

DRV8804 四通道串行接口低侧驱动器 IC

1 特性

- 4 通道受到保护的低侧驱动器
 - 四个具有过流保护功能的 N 沟道 MOSFET
 - 集成感应钳位二极管
 - 串行接口
- DW 封装：1.5A (单通道开启) / 800mA (四通道开启) 每通道最大驱动电流 (在 25°C 时)
- PWP 封装：2A (单通道开启) / 1A (四通道开启) 每通道最大驱动电流 (在 25°C 时, 采用适当的 PCB 散热)
- DYZ 封装：1.9A (单通道开启) / 0.9A (四通道开启) 每通道最大驱动电流 (在 25°C 时, 采用适当的 PCB 散热)
- 8.2V 至 60V 工作电源电压范围
- 热增强型表面贴装封装

2 应用

- 继电器驱动器
- 单极步进电机驱动器
- 螺线管驱动器
- 常见低侧开关应用

3 说明

DRV8804 提供了一个具有过流保护功能的 4 通道低侧驱动器。该器件具有可钳制电感负载产生的关断瞬态的内置二极管, 可用于驱动单极步进电机、直流电机、继电器、螺线管或其他负载。

在 25°C 时, 在 SOIC (DW) 封装中, DRV8804 每通道可提供高达 1.5A (一个通道开启) 或 800mA (所有通道开启) 的持续输出电流。在 25°C 时, 在 HTSSOP (PWP) 封装中, 该器件每通道可提供高达 2A (一个通道开启) 或 1A (所有通道开启) 的持续输出电流。在 25°C 时, 在 SOT-23-THN (DYZ) 封装中, DRV8804 在具有适当 PCB 散热的情况下每通道可提供高达 1.9A (一个通道开启) 或者 900mA (所有通道开启) 的持续输出电流。

提供的串行接口包括一个串行数据输出端, 可通过菊花链连接, 用一个串行接口控制多个设备。

内置的关断功能可提供过流保护、短路保护、欠压闭锁和过热保护, 具体故障由故障输出引脚指示。

DRV8804 采用 20 引脚耐热增强型 SOIC 封装、16 引脚 HTSSOP 封装和 16 引脚 SOT-23-THN 封装 (环保: RoHS, 无铍/溴)。

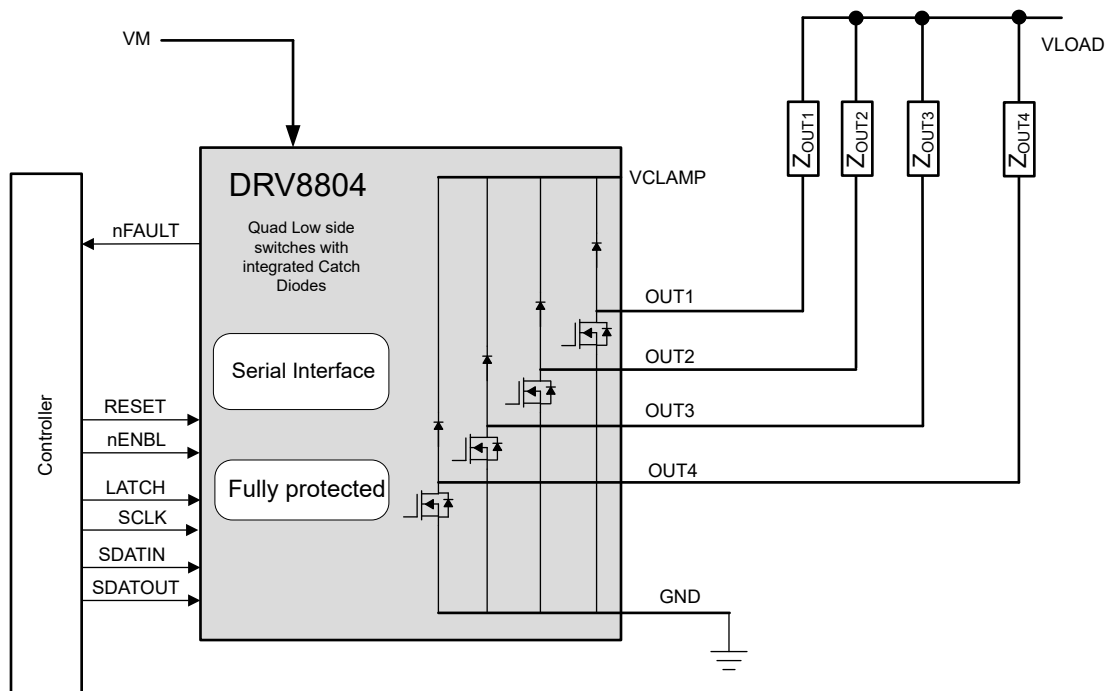
器件信息 (1)

器件型号	封装	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
DRV8804DW	SOIC (20)	12.80mm × 10.30mm	12.80mm × 7.50mm
DRV8804PWP	HTSSOP (16)	5.00mm × 6.40mm	5.00mm × 4.40mm
DRV8804DYZ	SOT-23-THN (16)	4.20mm × 2.00	4.20mm × 2.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。





简化版原理图

内容

1 特性	1	7.1 概述	10
2 应用	1	7.2 功能方框图	11
3 说明	1	7.3 特性说明	12
4 器件比较	4	7.4 器件功能模式	14
5 引脚配置和功能	4	8 应用和实施	15
5.1 引脚功能.....	5	8.1 应用信息.....	15
6 规格	6	8.2 典型应用.....	15
6.1 绝对最大额定值.....	6	8.3 布局.....	17
6.2 ESD 等级.....	6	9 器件和文档支持	20
6.3 建议运行条件.....	6	9.1 文档支持.....	20
6.4 电气特性.....	7	9.2 社区资源.....	20
6.5 热性能信息.....	8	9.3 商标.....	20
6.6 时序要求.....	9	10 修订历史记录	20
6.7 典型特性.....	10	11 机械、封装和可订购信息	20
7 详细说明	10		

4 器件比较

以下是 DRV8804 的 R_{ON} 和封装产品汇总

器件型号	LS R_{ON} (典型值)	封装	封装尺寸 (标称值)
DRV8804	500m Ω	SOIC (20)	12.80mm x 7.50mm
		HTSSOP (16)	5.00mm x 4.40mm
	400m Ω	SOT-23-THN (16)	4.20mm x 2mm

5 引脚配置和功能

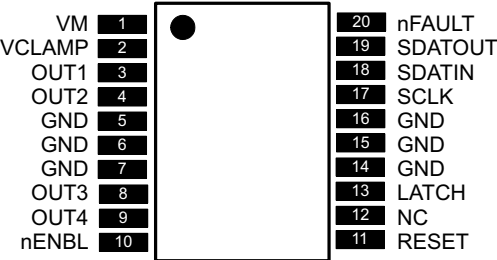


图 5-1. DW (宽体 SOIC) 封装 20 引脚封装 顶视图

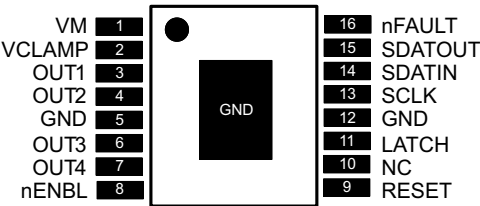


图 5-2. PWP (HTSSOP) 16 引脚封装 顶视图

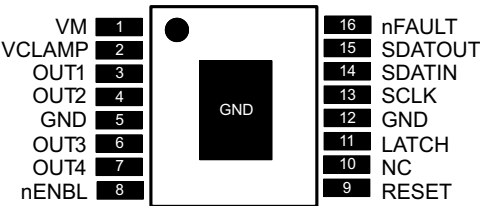


图 5-3. DYZ (SOT-23-THN) 16 引脚封装 顶视图

5.1 引脚功能

引脚				I/O ⁽¹⁾	说明	外部组件 或连接
名称	SOIC	HTSSOP	SOT-23- THN			
电源和接地						
GND	5、6、7、 14、15、 16	5、12、 PPAD	5.12,PPA D	—	器件接地	所有引脚都必须接地。
VM	1	1	1	—	器件电源	连接到电机电源 (8.2V - 60V)。
控制						
LATCH	13	11	11	I	锁存输入	上升沿将移位寄存器锁存至输出级 - 内部 下拉
nENBL	10	8	8	I	使能输入	低电平有效使能输出 - 内部下拉
复位	11	9	9	I	复位输入	高电平有效复位输入初始化内部逻辑 - 内 部下拉
SCLK	17	13	13	I	串行时钟	串行时钟输入 - 内部下拉
SDATIN	18	14	14	I	串行数据输入	串行数据输入 - 内部下拉
SDATOUT	19	15	15	O	串行数据输出	串行数据输出；推挽结构；有关详细信 息，请参阅串行接口部分
状态						
nFAULT	20	16	16	OD	故障	在故障条件下（过热、过流）时为逻辑低 电平
输出						
OUT1	3	3	3	O	输出 1	连接至负载 1
OUT2	4	4	4	O	输出 2	连接至负载 2
OUT3	8	6	6	O	输出 3	连接至负载 3
OUT4	9	7	7	O	输出 4	连接至负载 4
VCLAMP	2	2	2	—	输出钳位电压	连接到 VM 电源，或将齐纳二极管连接到 VM 电源

(1) 方向：I = 输入，O = 输出，OD = 漏极开路输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
VM	电源电压	-0.3	65	V
VOUTx	输出电压	-0.3	65	V
VCLAMP	钳位电压	-0.3	65	V
SDATOUT , nFAULT	输出电流		20	mA
	钳位二极管电流峰值		2	A
	直流或 RMS 钳位二极管电流		1	A
	数字输入引脚电压	-0.5	7	V
SDATOUT , nFAULT	数字输出引脚电压	-0.5	7	V
	峰值电机驱动输出电流, $t < 1 \mu s$	受内部限制		A
	持续总功率耗散	请参阅 节 6.5		
T _J	工作虚拟结温	-40	150	°C
T _{stg}	贮存温度	-60	150	°C

(1) 所有电压值都是以网络接地端为基准。

6.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±3000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±1000	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
V _M	电源电压	8.2		60	V
V _{CLAMP}	输出钳位电压 ⁽²⁾	0		60	V
I _{OUT}	连续输出电流, 单通道开启, T _A = 25°C, SOIC 封装 ⁽¹⁾			1.5	A
	连续输出电流, 四通道开启, T _A = 25°C, SOIC 封装 ⁽¹⁾			0.8	
	连续输出电流, 单通道开启, T _A = 25°C, HTSSOP 封装 ⁽¹⁾			2	
	连续输出电流, 四通道开启, T _A = 25°C, HTSSOP 封装 ⁽¹⁾			1	
	连续输出电流, 单通道开启, T _A = 25°C, DYZ 封装 ⁽¹⁾			1.9	
	连续输出电流, 四通道开启, T _A = 25°C, DYZ 封装 ⁽¹⁾			0.9	

(1) 必须遵循功率耗散和热限值。

(2) V_{CLAMP} 仅用于为钳位二极管供电。这不是电源输入。

6.4 电气特性

$T_A = 25^\circ\text{C}$ ，在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	VM 工作电源电流	$V_M = 24\text{V}$		1.6	2.1	mA
V_{UVLO}	VM 欠压锁定电压	V_M 上升			8.2	V
逻辑电平输入（具有迟滞功能的施密特触发输入）						
V_{IL}	输入低电压			0.6	0.7	V
V_{IH}	输入高电压		2			V
V_{HYS}	输入迟滞			0.45		V
I_{IL}	输入低电流	$V_{IN} = 0$	-20		20	μA
I_{IH}	输入高电流	$V_{IN} = 3.3\text{V}$			100	μA
R_{PD}	下拉电阻			100		k Ω
nFAULT 输出（漏极开路输出）						
V_{OL}	输出低电压	$I_O = 5\text{mA}$			0.5	V
I_{OH}	输出高电平漏电流	$V_O = 3.3\text{V}$			1	μA
SDATOUT 输出（推挽输出）						
V_{OL}	输出低电压	$I_O = 5\text{mA}$			0.5	V
V_{OH}	输出高电压	$I_O = 100\mu\text{A}$, $V_M = 11\text{V}$ 至 60V , 峰值			6.5	V
		$I_O = 100\mu\text{A}$, $V_M = 11\text{V}$ 至 60V , 稳态	3.3	4.5	5.6	
		$I_O = 100\mu\text{A}$, $V_M = 8.2\text{V}$ 至 11V , 稳态	2.5			
I_{SRC}	输出拉电流	$V_M = 24\text{V}$			1	mA
I_{SNK}	输出灌电流	$V_M = 24\text{V}$			5	mA
低侧 FET						
$R_{DS(ON)}$	FET 导通电阻 ，HTSSOP 和 SOIC 封装	$V_M = 24\text{V}$, $I_O = 700\text{mA}$, $T_J = 25^\circ\text{C}$		0.5		Ω
		$V_M = 24\text{V}$, $I_O = 700\text{mA}$, $T_J = 85^\circ\text{C}$		0.75	0.8	
	FET 导通电阻，SOT-23-THN 封装	$V_M = 24\text{V}$, $I_O = 700\text{mA}$, $T_J = 25^\circ\text{C}$		0.4		Ω
		$V_M = 24\text{V}$, $I_O = 700\text{mA}$, $T_J = 85^\circ\text{C}$			0.64	
I_{OFF}	关断状态漏电流		-50		50	μA
高侧二极管						
V_F	二极管正向电压	$V_M = 24\text{V}$, $I_O = 700\text{mA}$, $T_J = 25^\circ\text{C}$		1.2		V
I_{OFF}	关断状态漏电流	$V_M = 24\text{V}$, $T_J = 25^\circ\text{C}$	-50		50	μA
输出						
t_R	上升时间	$V_M = 24\text{V}$, $I_O = 700\text{mA}$, 电阻性负载	50		300	ns
t_F	下降时间	$V_M = 24\text{V}$, $I_O = 700\text{mA}$, 电阻性负载	50		300	ns
保护电路						
I_{OCP}	过流保护跳变电平		2.3		3.8	A
t_{OCP}	过流保护抗尖峰脉冲时间			3.5		μs
t_{RETRY}	过流保护重试时间			1.2		ms
t_{TSD}	热关断温度	裸片温度 ⁽¹⁾	150	160	180	$^\circ\text{C}$

(1) 未经生产测试。

6.5 热性能信息

热指标 ⁽¹⁾		DRV8804			单位
		DW (SOIC)	PWP (HTSSOP)	DYZ (SOT -23 THN)	
		20 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	67.7	39.6	53.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	32.9	24.6	76.8	°C/W
$R_{\theta JB}$	结至电路板热阻	35.4	20.3	22.2	°C/W
ψ_{JT}	结至顶部特征参数	8.2	0.7	8.2	°C/W
ψ_{JB}	结至电路板特征参数	34.9	20.1	22.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	2.3	9.6	°C/W

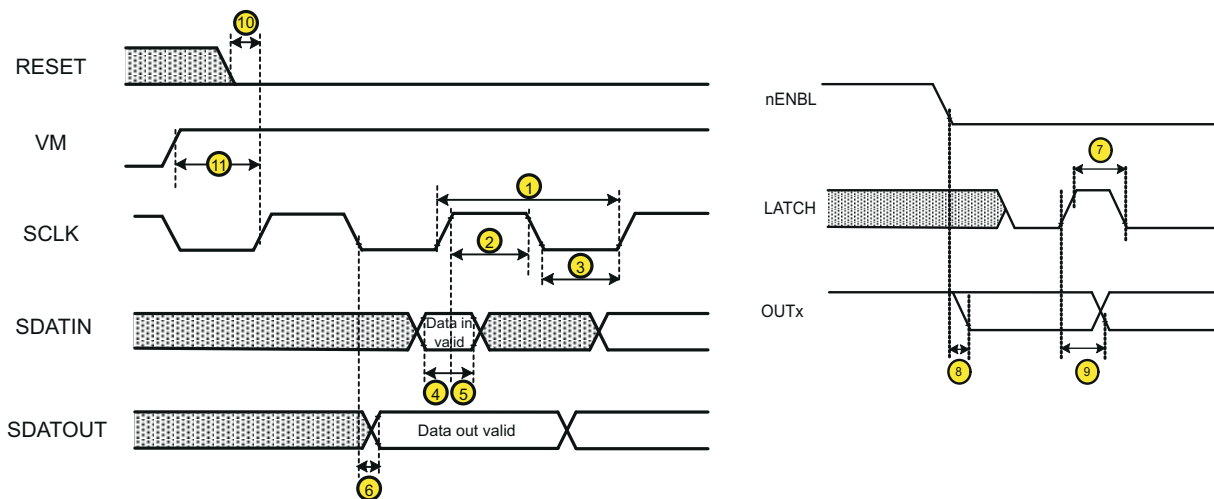
(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告，[SPRA953](#)。

6.6 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	标称值	最大值	单位
1	t_{CYC}	时钟周期时间	62			ns
2	t_{CLKH}	时钟高电平时间	25			ns
3	t_{CLKL}	时钟低电平时间	25			ns
4	$t_{SU(SDATIN)}$	设置时间, SDATIN 至 SCLK	5			ns
5	$t_{H(SDATIN)}$	保持时间, SDATIN 至 SCLK	1			ns
6	$t_{D(SDATOUT)}$	延迟时间, SCLK 至 SDATOUT, 无外部上拉电阻, $C_{OUT} = 100pF$		50	100	ns
7	$t_{W(LATCH)}$	脉冲宽度, LATCH	200			ns
8	$t_{OE(ENABLE)}$	使能时间, nENBL 到输出低电平		60		ns
9	$t_{D(LATCH)}$	延迟时间, LATCH 到输出变化		200		ns
—	t_{RESET}	RESET 脉冲宽度	20			μs
10	$t_{D(RESET)}$	时钟之前的复位延迟	20			μs
11	$t_{STARTUP}$	时钟之前应用启动延迟 VM	55			μs

(1) 未经生产测试。



最后一个 SCLK 上升沿和 LATCH 上升沿之间应存在 400ns 以上的延迟。这可以确保最后一个数据位正确移入器件。

图 6-1. DRV8804 时序要求

6.7 典型特性

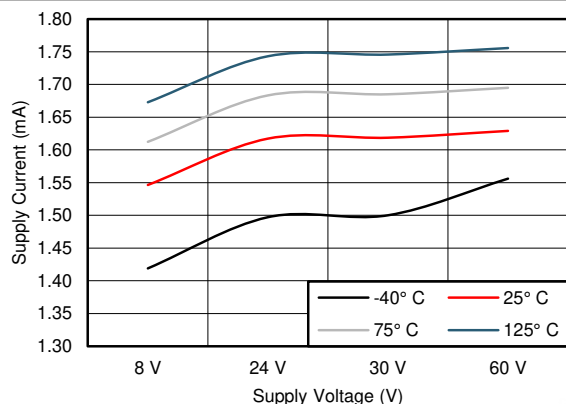


图 6-2. 电源电流与 V_M 间的关系

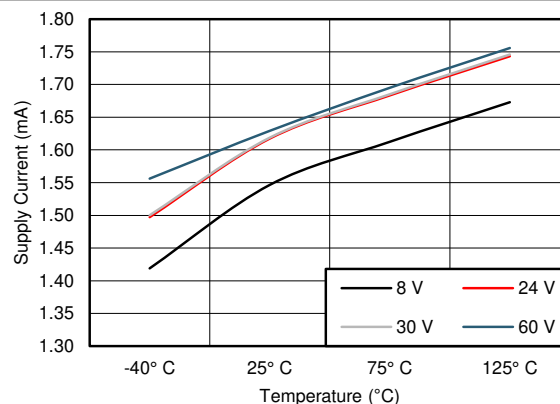


图 6-3. 电源电流与温度间的关系

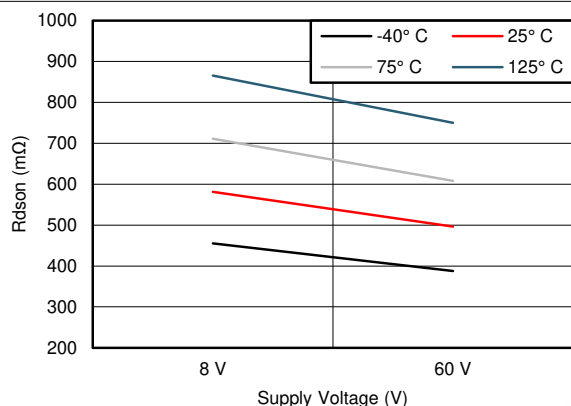


图 6-4. $R_{DS(on)}$ 与 V_M 之间的关系

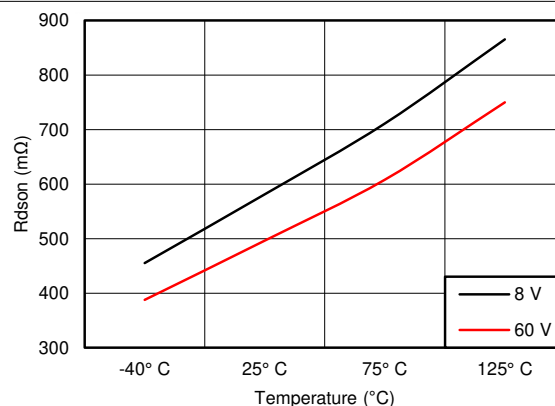


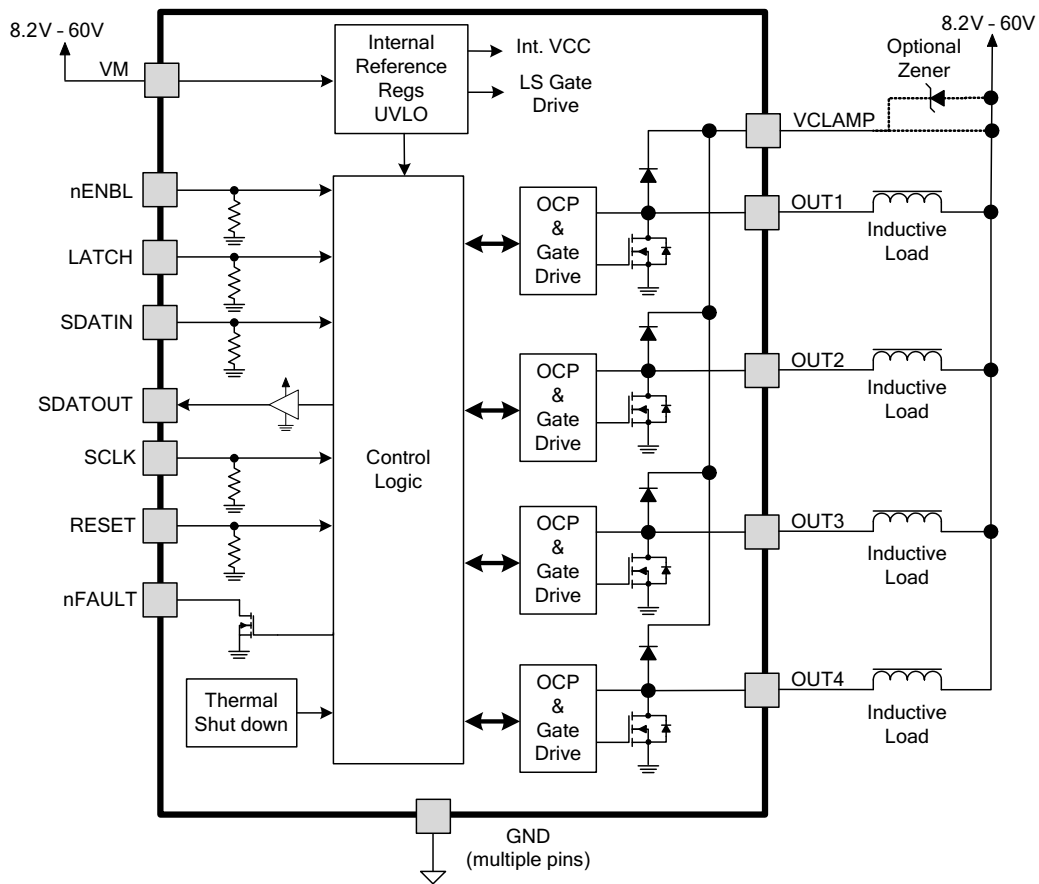
图 6-5. $R_{DS(on)}$ 与温度间的关系

7 详细说明

7.1 概述

DRV8804 是一款集成式 4 通道低压侧驱动器解决方案，适用于低侧开关应用。串行接口控制低侧驱动器输出，并允许将多个驱动器链接在一起，进而节省通信线路上的空间。四个低侧驱动器输出包含四个 N 沟道 MOSFET，其典型 $R_{DS(on)}$ 为 500mΩ (PWP 和 DW 封装) 和 400mΩ (DYZ 封装)。单电机电源输入 V_M 作为器件电源使用，经内部调节可为低侧栅极驱动器供电。将 nENBL 引脚设为逻辑高电平可禁用器件输出。该器件具有多种安全特性（包括集成的过流保护功能），可将电机电流限制在固定的最大值。如超过该值，器件将关断。热关断保护使器件能够在内核温度超过 TTSD 限制时自动关闭，并在内核达到安全温度后重新启动。如果 V_M 降至欠压锁定阈值以下，UVLO 保护将禁用器件中的所有电路。

7.2 功能方框图



7.3 特性说明

7.3.1 输出驱动器

DRV8804 包含四个受保护的低侧驱动器。每个输出都有一个连接到公共引脚 **VCLAMP** 的集成钳位二极管。

VCLAMP 可以连接到主电源电压 V_M 。它也可以连接到 V_M 的齐纳二极管或 TVS 二极管，使开关电压能超过主电源电压 V_M 。在驱动需要极快电流衰减的负载（例如单极步进电机）时，这种连接非常有用。

在所有情况下，输出端的电压不得超过最大输出电压规格。

7.3.2 串行接口运行

DRV8804 由一个简单串行接口控制。从逻辑上讲，接口如 图 7-1 所示。

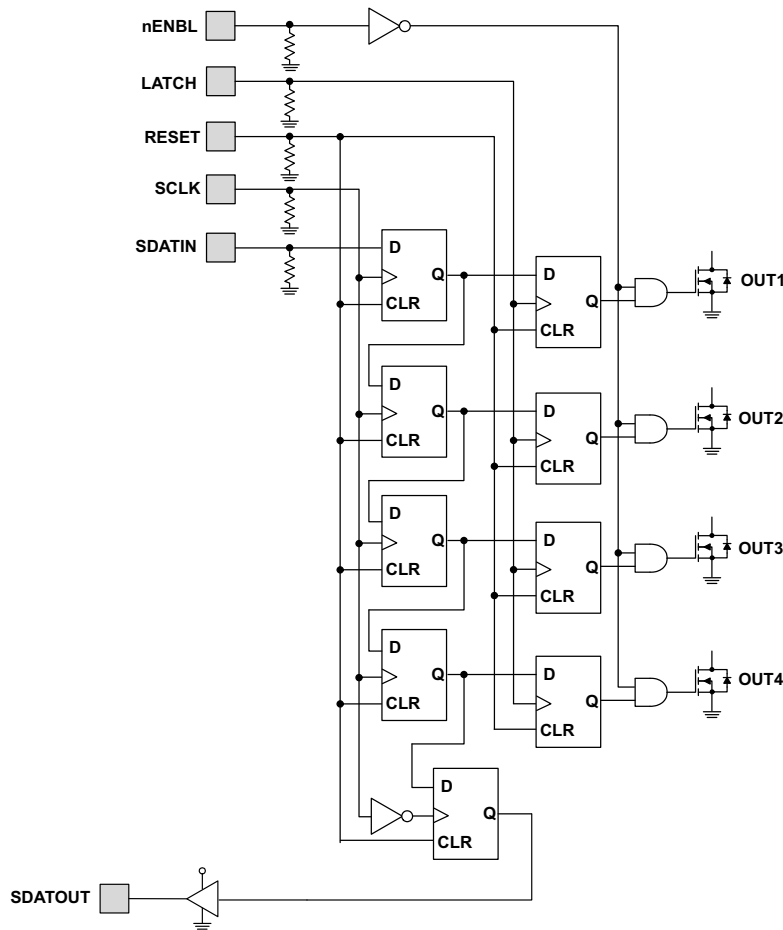


图 7-1. 串行接口运行

使用 **SDATIN** 引脚将数据移入器件中的临时保持移位寄存器，**SCLK** 引脚的每个上升沿移入一位。可同时将数据移出 **SDATOUT** 引脚，从而允许多个器件通过菊花链方式连接到一个串行端口上。请注意，**SDATOUT** 引脚具有推挽驱动器，无需外部上拉电阻，即可在高达 1 MHz 的时钟频率下驱动另一个 **DRV8804** **SDATIN** 引脚。可以在 **SDATOUT** 和外部 5V 逻辑电源之间使用上拉电阻，从而支持更高的时钟频率。TI 建议电阻值大于 1kΩ。**SDATOUT** 引脚可提供约 1mA 的拉电流和 5mA 的灌电流。要向低压微控制器提供逻辑信号，应在 **SDATOUT** 和 GND 之间使用电阻分压器。

LATCH 引脚的上升沿将临时移位寄存器中的数据锁存到输出级。

菊花链运行方式

下图显示了如何以菊花链形式连接两个 DRV81646 器件，从而充分利用 GPIO/隔离功能。一个器件的 SDO 引脚馈送到链中以下器件的 SDI 引脚

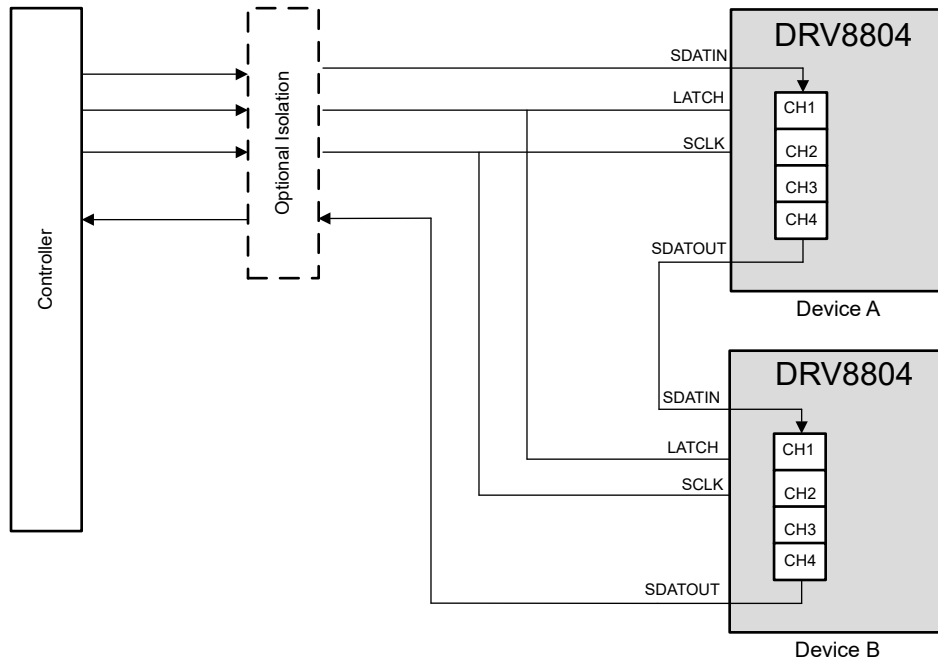


图 7-2. 菊花链中的两个 DRV8804 器件

要写入两个器件，需要写入 8 位数据，如图所示。请注意，SDO 在 SCLK 的下沿发出。在 SCLK 的下一个上沿后，即可对 SDO 进行采样。SDI 引脚上的值也会在 SCLK 的上沿上进行采样。请注意，无需将锁存变为低电平，即可启动数据移位。需要使用锁存的上沿来锁存移入输出的数据。

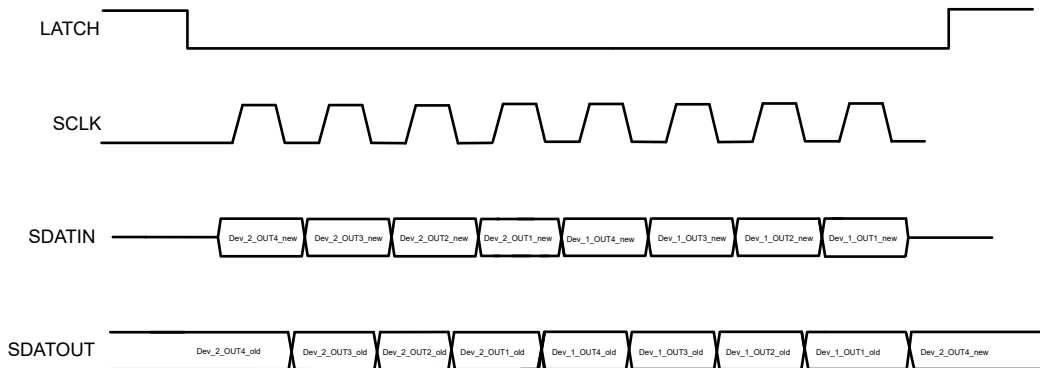


图 7-3. 8 位数据包，用于与两个菊花链器件进行通信

7.3.3 nENBL 和 RESET 操作

nENBL 引脚会启用或禁用输出驱动器。nENBL 必须为低电平才能启用输出。nENBL 不会影响串行接口逻辑的操作。请注意，nENBL 有一个内部下拉电阻。

当驱动至高电平有效时，RESET 引脚会将内部逻辑复位，包括 OCP 故障。所有串行接口寄存器都会被清零。请注意，RESET 有一个内部下拉电阻。其还提供了内部上电复位，因此不需要在上电时驱动 RESET。

7.3.4 保护电路

DRV8804 可完全防止欠压、过流和过热事件。

7.3.4.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过 t_{OCP} 抗尖峰脉冲时间 (约 $3.5\mu s$)，则将会禁用驱动器并将 nFAULT 引脚驱动为低电平。驱动器将在 t_{RETRY} 时间 (约 $1.2ms$) 内保持禁用状态，然后将自动清除故障。如果激活了 RESET 引脚或移除并重新应用 V_M ，则会立即清除故障。

7.3.4.2 热关断 (TSD)

如果内核温度超过安全限值，则会禁用输出所有 FET 并将 nFAULT 引脚驱动为低电平。一旦内核温度下降到安全水平，就将自动恢复运行。

7.3.4.3 欠压锁定 (UVLO)

每当 V_M 引脚上的电压降至低于欠压锁定 (UVLO) 下降阈值电压时，器件中的所有电路都将被禁用，并且内部逻辑将被复位。当 V_M 上升到 UVLO 阈值以上时，将恢复运行。

7.4 器件功能模式

当 DRV8804 的 nENBL 引脚被拉至逻辑低电平时漏极开路 FET 输出会启用。通过在逻辑低电平下启用器件，可以在高噪声环境中使用长数据线，而不会无意中在耦合噪声下启用器件。无论 nENBL 引脚的状态如何，器件仍将在 SDATIN / SDATOUT 线路和 SCLK 线路之间移动数据。

数据移至四条移位寄存器线路中的每条线路后，可以将 LATCH 引脚拉高以输出四个移位寄存器的状态。当 LATCH 被拉高后，四个移位寄存器的状态将变为逻辑与，与 nENBL 引脚的反向状态对应。如果 nENBL 引脚为逻辑低电平输入，而 LATCH 引脚为逻辑高电平，则该驱动器通道的漏极开路输出将打开。

如果器件检测到 V_M 已降至 UVLO 阈值以下，则将立即进入禁用所有内部逻辑的状态。器件将保持禁用状态，直到 V_M 上升到 UVLO 阈值以上且所有内部逻辑随后复位。在过流保护 (OCP) 事件期间，该器件会在一个 t_{RETRY} 间隔内移除栅极驱动，并且 nFAULT 引脚驱动为低电平。如果激活了 RESET 或移除并重新应用 V_M ，则会立即清除故障。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DRV8804 器件最多可驱动四个单极负载，例如单极 BDC、螺线管、继电器等

8.2 典型应用

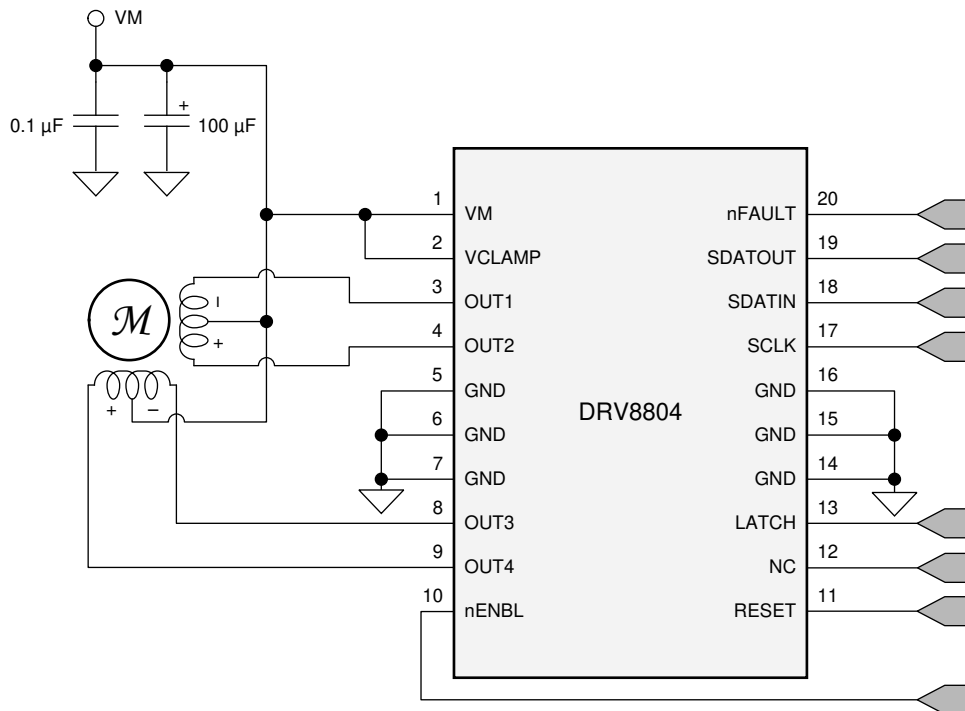


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1 列出了此设计示例的设计参数。

表 8-1. 设计参数

设计参数	基准	示例值
电源电压	V_M	24V
电机绕组电阻	R_L	7.4Ω/相
电机全步进角	θ_{step}	1.8°/步进
电机额定电流	I_{RATED}	0.75A

8.2.2 详细设计过程

8.2.2.1 电机电压

使用的电机电压将取决于所选电机的额定值和所需的扭矩。较高的电压可缩短步进电机线圈中的电流上升时间，从而使电机能够产生更大的平均扭矩。使用较高的电压还可以使电机以比较低电压快速运行。

8.2.2.2 驱动电流

电流路径从电源 V_M 开始，流经电感绕组负载和低侧灌电流 NMOS 功率 FET。一个灌电流 NMOS 功率 FET 中的功率耗散损耗如 [方程式 1](#) 所示。

$$P = I^2 \times R_{DS(on)} \quad (1)$$

经测量，在 25°C 温度条件下，DRV8804 器件在标准 FR-4 PCB 上采用 DW 封装时可支持 1.5A 单通道或 800mA 四通道，采用 PWP 封装时可支持 2A 单通道或 1A 四通道，采用 DYZ 封装时可支持 1.9A 单通道或 0.9A 四通道。最大 RMS 电流因 PCB 设计和环境温度而异。

8.2.3 应用曲线

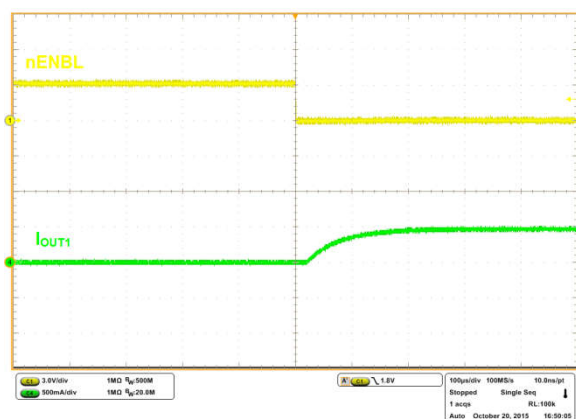


图 8-2. 使用 16Ω、1mH、 R_L 负载且 $V_M = 8.2V$ 时的电流斜坡

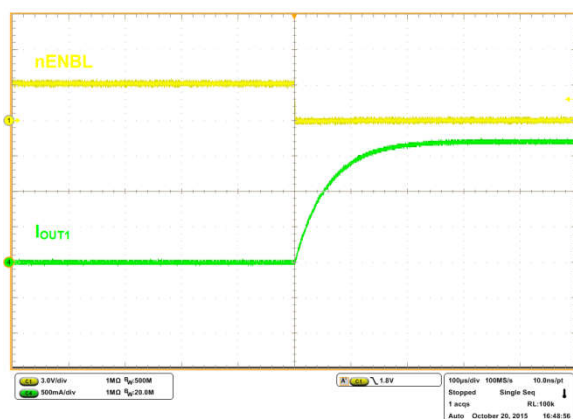


图 8-3. 使用 16Ω、1mH R_L 负载且 $V_M = 30V$ 时的电流斜坡

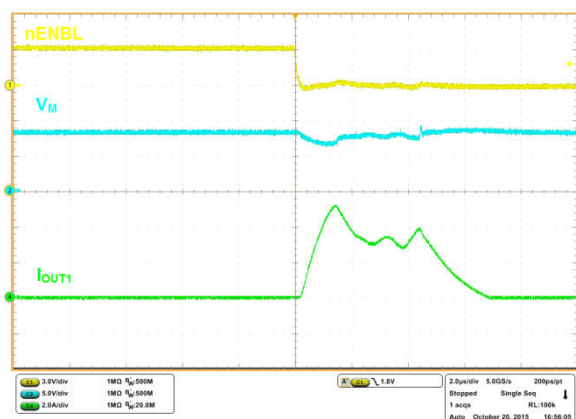


图 8-4. $V_M = 8.2V$ 且 OUT1 短接至 V_M 时的 OCP

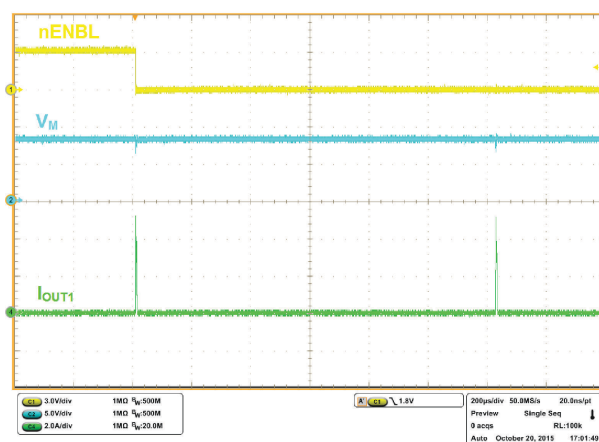


图 8-5. $V_M = 8.2V$ 且 OUT1 短接至 V_M 时，由 t_{RETRY} 分隔的 OCP

电源相关建议

8.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流。
- 电源的电容和拉电流的能力。
- 电源和电机系统之间的寄生电感量。
- 可接受的电压纹波。
- 使用的电机类型（有刷直流、无刷直流、步进电机）。
- 使用的电机类型（有刷直流、无刷直流、步进电机）。

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

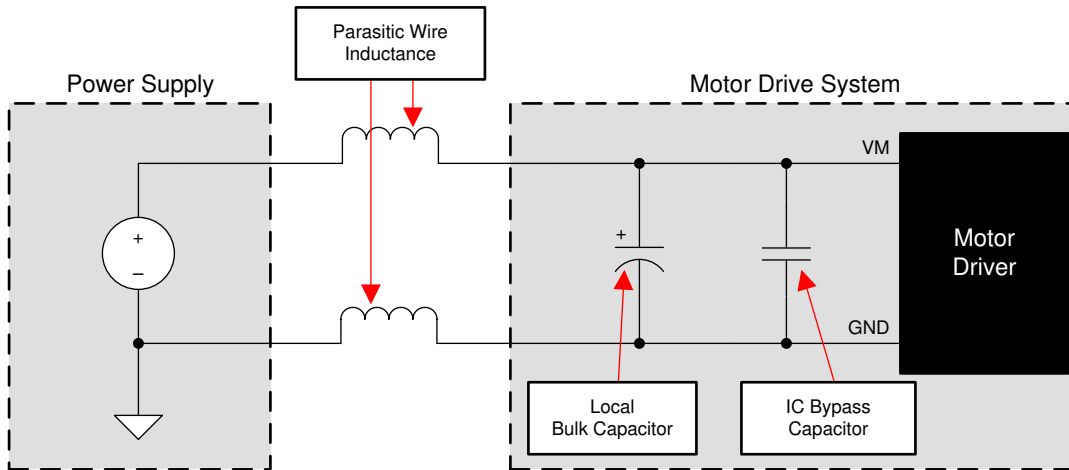


图 8-6. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

8.3 布局

8.3.1 布局指南

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

- 小值电容器应为陶瓷电容器，并靠近器件引脚放置。
- 大电流器件输出应使用宽金属布线。

器件散热焊盘应焊接到 PCB 顶层接地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

8.3.2 布局示例

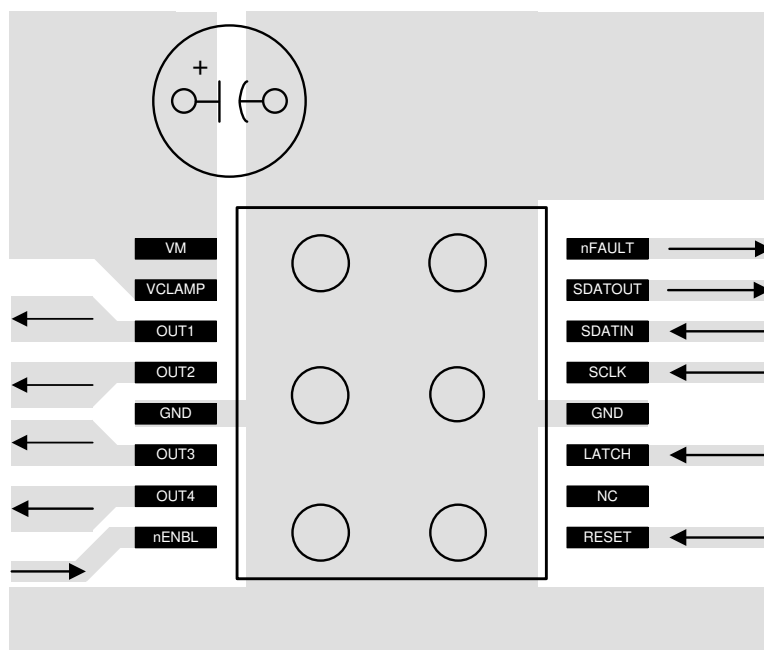


图 8-7. 布局建议

8.3.3 散热注意事项

DRV8804 具有热关断 (TSD) 功能，如 [节 7.3.4.2](#) 所述。如果芯片温度超过约 150°C，该器件将被禁用，直到温度降至安全水平。

如果该器件有任何进入热关断 (TSD) 状态的倾向，则表明功耗过大、散热不足或环境温度过高。

8.3.3.1 功率耗散

DRV8804 中的功率耗散主要由输出 FET 电阻或 $R_{DS(ON)}$ 中耗散的功率决定。每个 FET 在运行静态负载时的平均功耗可以通过 [方程式 2](#) 大致估算。

$$P = R_{DS(ON)} \cdot (I_{OUT})^2 \quad (2)$$

其中

- P 是一个 FET 的耗散功率
- $R_{DS(ON)}$ 是每个 FET 的导通电阻
- I_{OUT} 等于负载所消耗的平均电流

请注意，在启动和故障情况下，相应的电流远大于正常运行电流；务必将这些峰值电流及其持续时间考虑在内。当同时驱动多个负载时，必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意， $R_{DS(ON)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

8.3.3.2 散热

DRV8804DW 封装使用标准 SOIC 外形、但其中心引脚在内部熔合到芯片焊盘，以便器件高效散热。封装每一侧的两个中心引脚应尽可能与 PCB 上的大面积铜板连接，以便器件散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

一般来说，提供的覆铜区域面积越大，消耗的功率就越多。

DRV8804PWP (HTSSOP 封装) 和 DRV8804DYZ (SOT-23-THN 封装) 使用外露散热焊盘。外露焊盘可去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

有关如何设计 PCB 的详细信息，请参阅《PowerPAD 热增强型封装》(SLMA002) 应用报告和《PowerPAD 速成》(SLMA004) 应用简介，详情请访问 www.ti.com。

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- *PowerPAD 散热增强型封装*，[SLMA002](#)
- *PowerPAD 速成*，[SLMA004](#)

9.2 社区资源

9.3 商标

所有商标均为其各自所有者的财产。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (December 2015) to Revision G (December 2024)	Page
---	------

- | | |
|------------------------------|-------------------|
| • 向数据表添加了 DRV8804DYZ 器件..... | 1 |
|------------------------------|-------------------|

Changes from Revision E (January 2014) to Revision F (December 2015)	Page
--	------

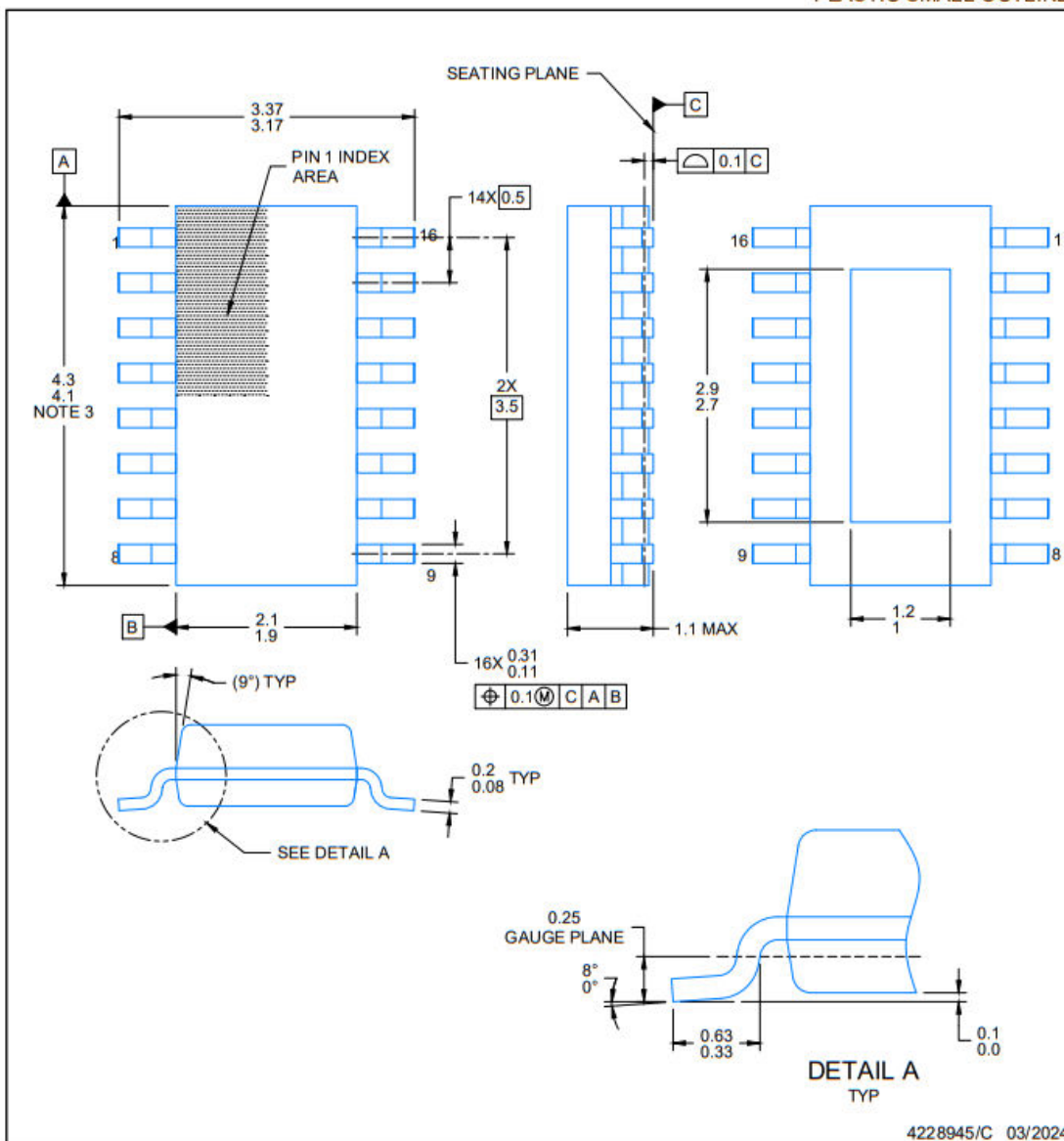
- | | |
|--|-------------------|
| • 在 <i>特性</i> 中将集流二极管更改为钳位二极管..... | 1 |
| • 添加了 <i>ESD 等级表</i> 、 <i>特性说明</i> 部分、 <i>器件功能模式</i> 、 <i>应用和实现</i> 部分、 <i>电源相关建议</i> 部分、 <i>布局</i> 部分、 <i>器件和文档支持</i> 部分以及 <i>机械、封装和可订购信息</i> 部分..... | 1 |

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGE OUTLINE
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



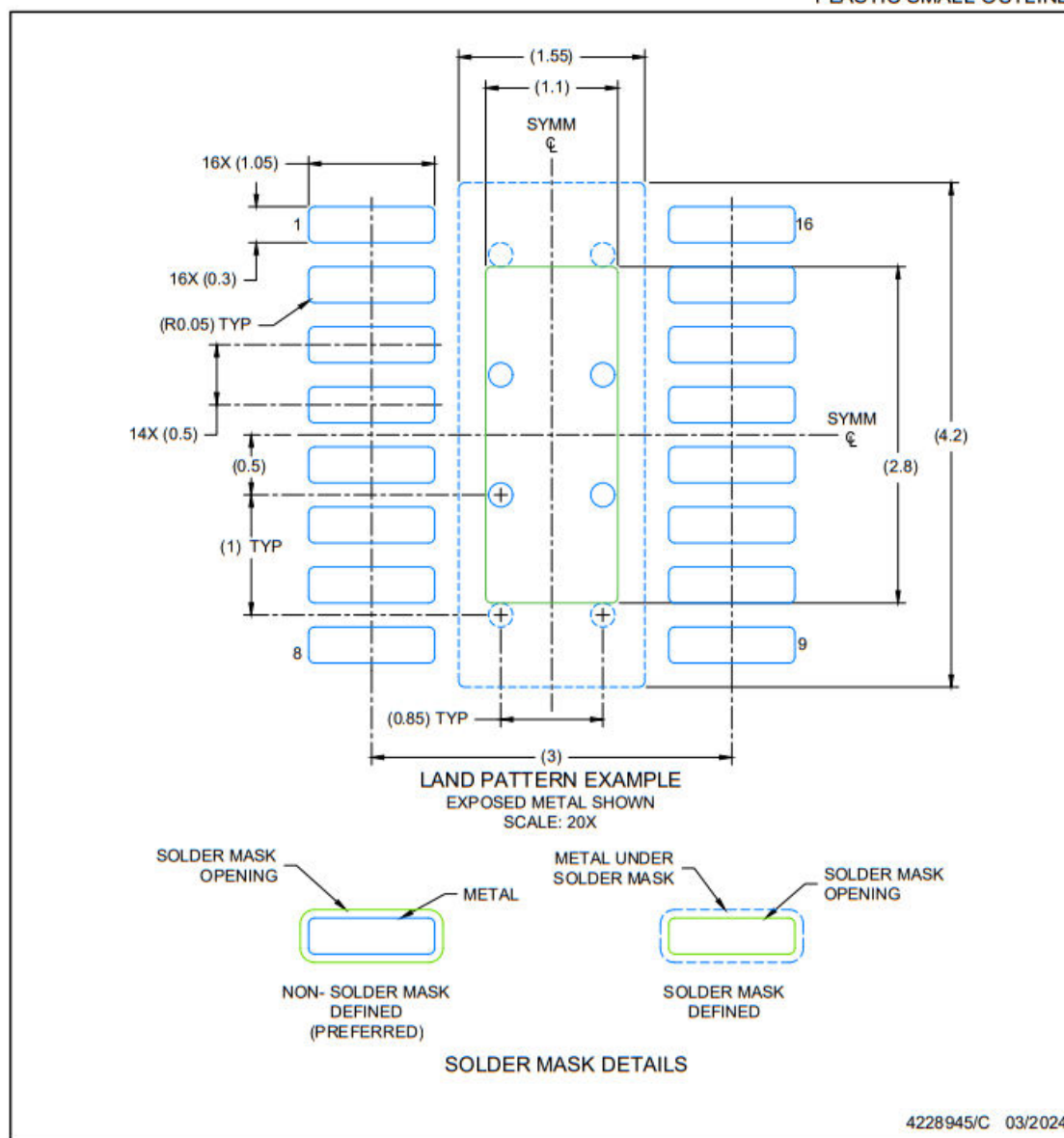
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

DYZ0016A

EXAMPLE BOARD LAYOUT
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



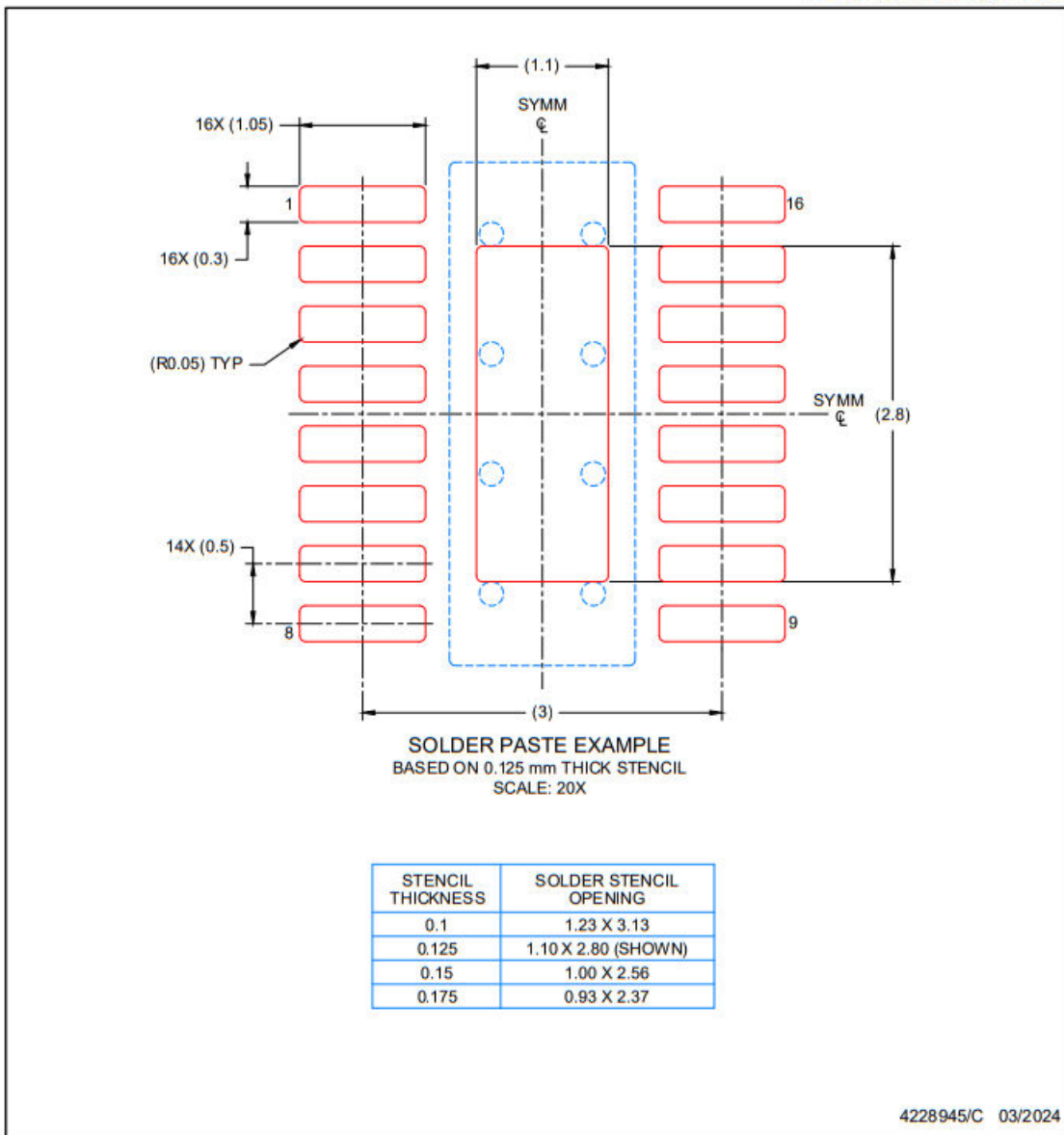
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DYZ0016A

EXAMPLE STENCIL DESIGN SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8804DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 125	DRV8804DW
DRV8804DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8804DW
DRV8804DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8804DW
DRV8804PWP	Obsolete	Production	HTSSOP (PWP) 16	-	-	Call TI	Call TI	-40 to 125	DRV8804
DRV8804PWPR	Active	Production	HTSSOP (PWP) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8804
DRV8804PWPR.A	Active	Production	HTSSOP (PWP) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8804
DRV8804PWPR.B	Active	Production	HTSSOP (PWP) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8804

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8804DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
DRV8804PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8804DWR	SOIC	DW	20	2000	356.0	356.0	45.0
DRV8804PWPR	HTSSOP	PWP	16	2000	350.0	350.0	43.0



SOIC - 2.65 mm max height

Technical drawing of a 20-pin connector showing top, side, and detail views with dimensions and callouts.

Top View:

- Overall width: 10.63 (9.97 TYP)
- Overall height: 13.0 (12.6 NOTE 3)
- Pin 1 ID Area: Indicated by a dotted rectangle.
- Pin 1 location: 7.6 (7.4 NOTE 4) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.
- Pin 10 location: 10.63 (9.97 TYP) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.

Side View:

- Seating Plane: Indicated by a dashed line.
- Pin 1 ID Area: Indicated by a dotted rectangle.
- Pin 10 location: 10.63 (9.97 TYP) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.
- Pin 10 location: 10.63 (9.97 TYP) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.

Detail A (Typical):

- Pin 1 ID Area: Indicated by a dotted rectangle.
- Pin 10 location: 10.63 (9.97 TYP) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.
- Pin 10 location: 10.63 (9.97 TYP) from the left edge.
- Pin 11 location: 11.43 (2X) from the bottom edge.
- Pin 20 location: 1.27 (18X) from the top edge.

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

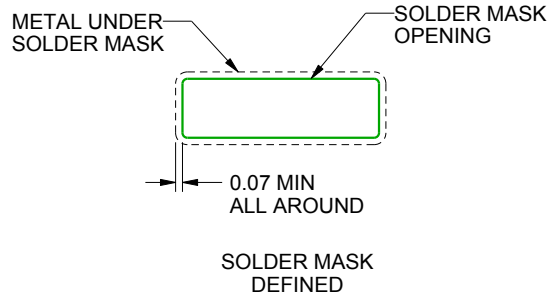
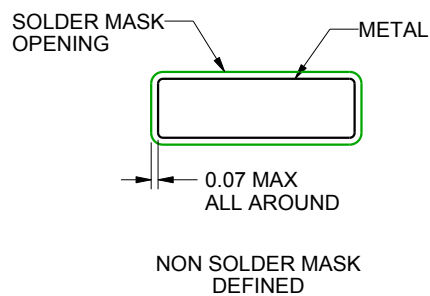
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC

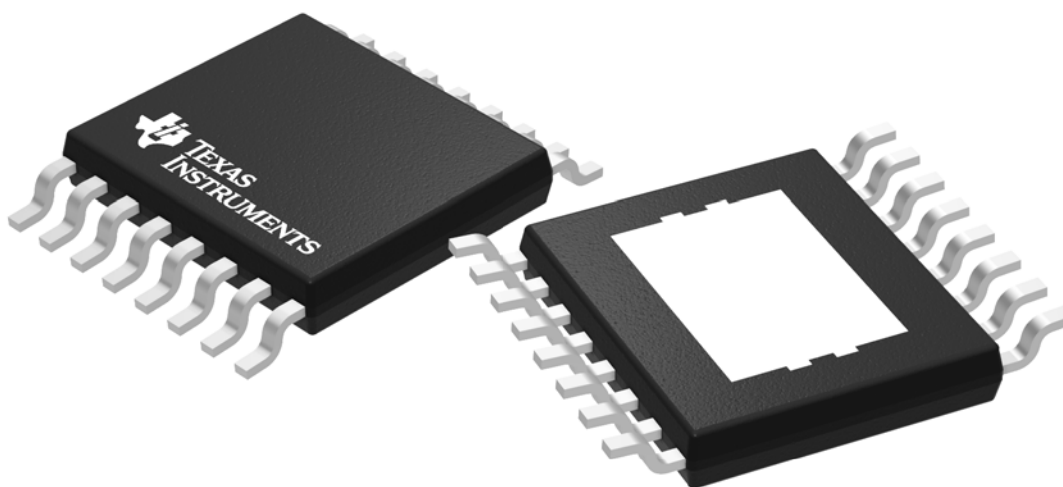


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

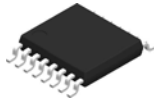
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

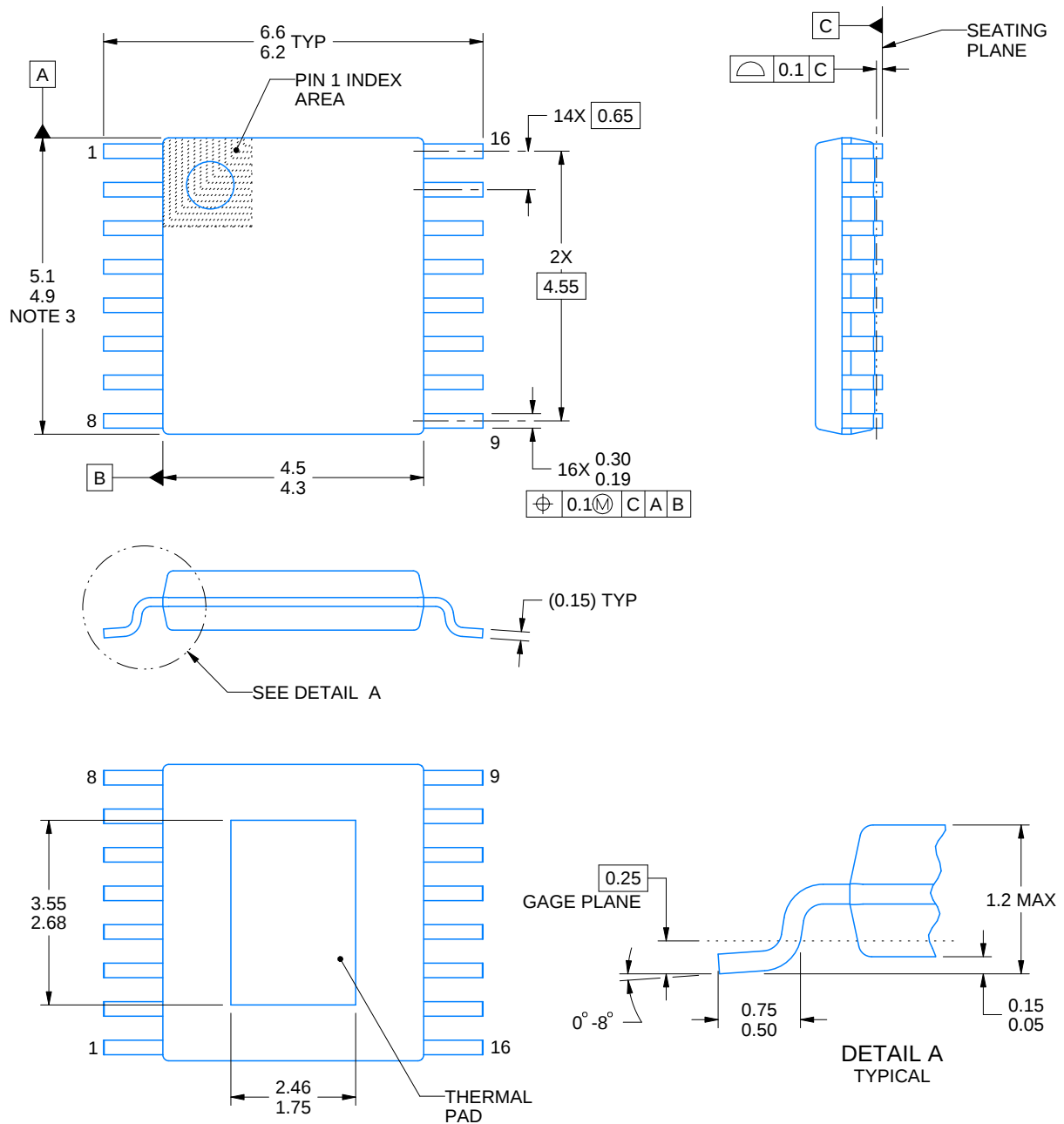
PWP0016J



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4223595/A 03/2017

NOTES:

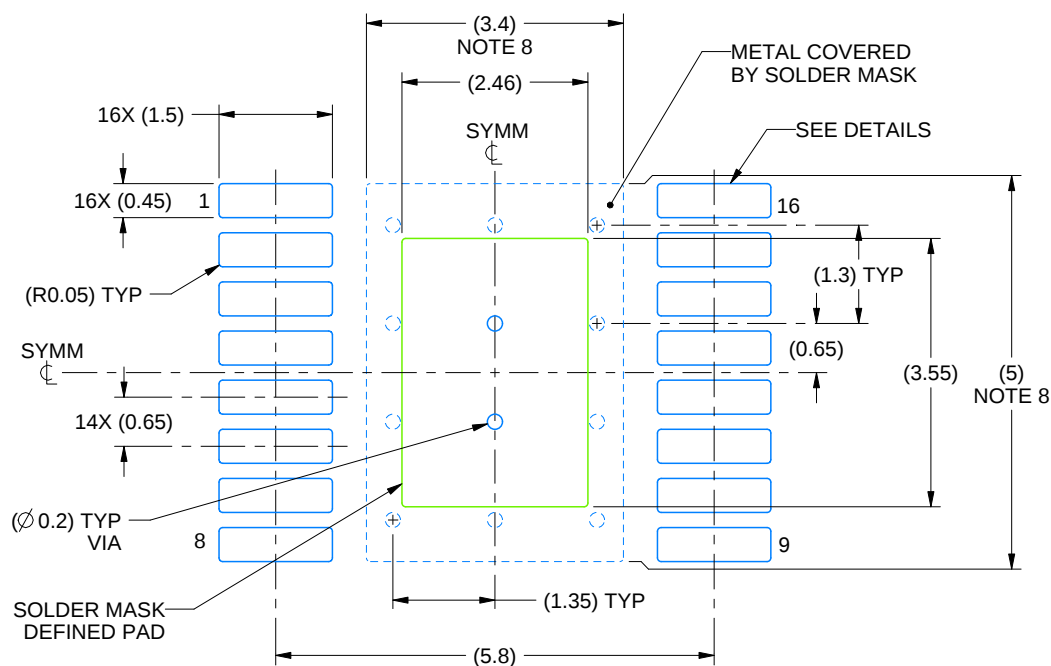
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

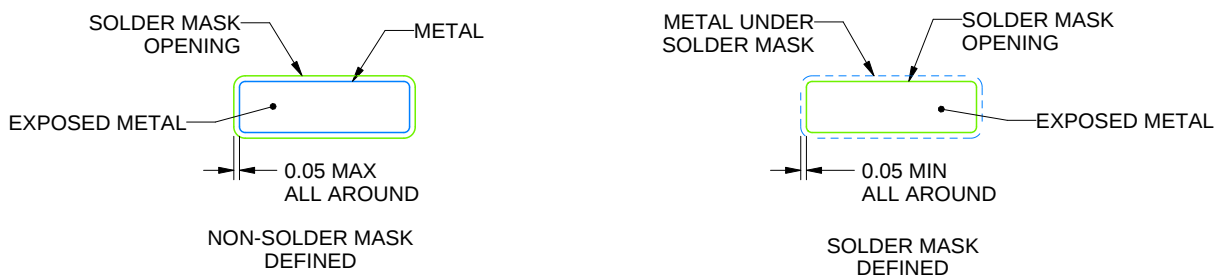
PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4223595/A 03/2017

NOTES: (continued)

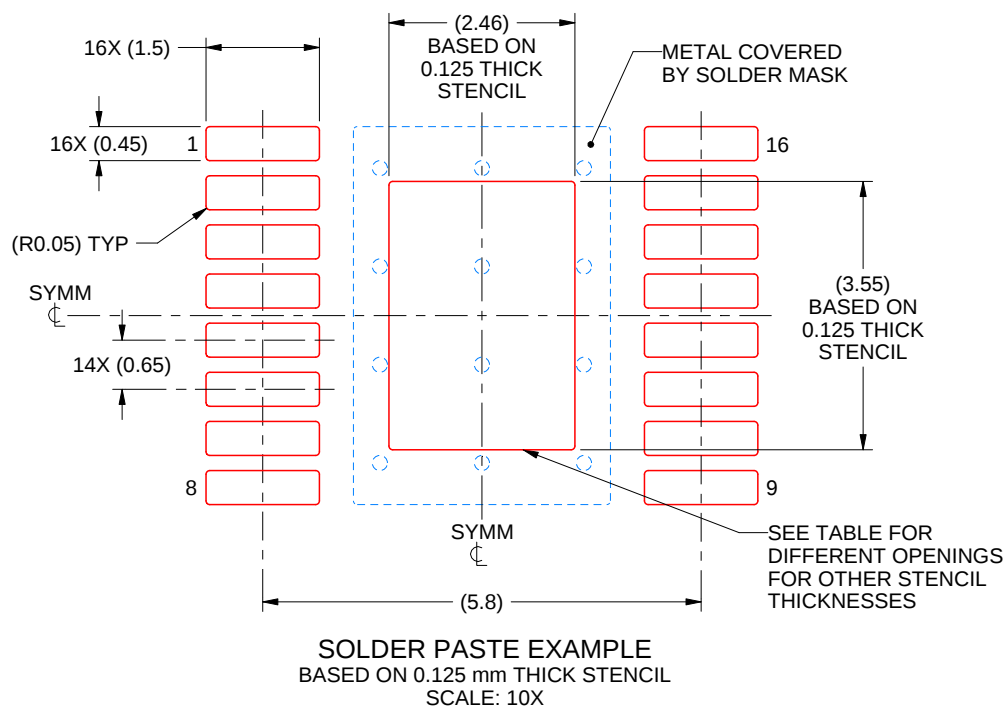
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 3.97
0.125	2.46 X 3.55 (SHOWN)
0.15	2.25 X 3.24
0.175	2.08 X 3.00

4223595/A 03/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司