

DRV8376-Q1 三相集成式 FET 电机驱动器

1 特性

- 三相 BLDC 电机驱动器
 - 支持 48V 系统
 - 支持高达 100kHz 的 PWM 频率
 - 主动消磁支持减少功率损耗
 - 逐周期电流限制，可限制相位电流
- 4.5V 至 65V 工作电压 (绝对最大值 70V)
- 高输出电流能力：4.5A 峰值
- 低 MOSFET 导通状态电阻
 - $T_A = 25^\circ\text{C}$ 时， $R_{DS(ON)}$ (HS + LS) 为 $400\text{m}\Omega$
- 通过 1.1V/ns 压摆率和反向恢复损耗最小化技术降低开关损耗
 - 可调制换率选项
- 具有低可闻噪声、易用的电机控制功能、< 200ns 的超低死区时间和 < 100ns 的传播延迟
- 低功耗睡眠模式
 - $V_{VM} = 24\text{V}$ 、 $T_A = 25^\circ\text{C}$ 时为 $1.5\mu\text{A}$ (典型值)
- 多种控制接口选项
 - 6x PWM 控制接口
 - 3x PWM 控制接口
- 不需要外部电流检测电阻器，内置电流检测功能
- 灵活的器件配置选项
 - DRV8376S：用于器件配置和故障状态的 5MHz 16 位 SPI
 - DRV8376H：基于硬件引脚的配置
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置 3.3V (5%)、30mA LDO 稳压器
- 内置 5V (5%)、30mA LDO 稳压器
- 集成式保护功能
 - 电源欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV)
 - 过流保护 (OCP)
 - 热警告和热关断 (OTW/OTSD)
 - 故障条件指示引脚 (nFAULT)
 - 可选择通过 SPI 进行故障诊断

2 应用

- 无刷直流 (BLDC) 电机模块
- HVAC 电机
- 办公自动化设备
- 工厂自动化和机器人
- 无线天线电机
- 无人机

3 说明

DRV8376-Q1 为驱动 4.5V 至 65V 无刷直流电机提供栅极驱动和功率级。DRV8376 集成了三个 1/2 H 桥，具有 70V 的绝对最大电压和 $400\text{m}\Omega$ 的超低 $R_{DS(ON)}$ (高侧 + 低侧)，可提供大功率驱动能力。使用集成电流检测功能来检测电流，无需外部检测电阻器。带有集成式 LDO 的电源管理功能为器件生成必要的电压轨，可用于为外部电路供电。

DRV8376-Q1 实现了 6x 或 3x PWM 控制方案，可用于通过外部微控制器实现有传感器或无传感器磁场定向控制 (FOC)、正弦控制或梯形控制。DRV8376 能够驱动高达 100kHz 的 PWM 频率。该控制方案具有高度可配置性，可通过硬件引脚或寄存器设置进行配置，涵盖范围从电机电流限制行为到故障响应。

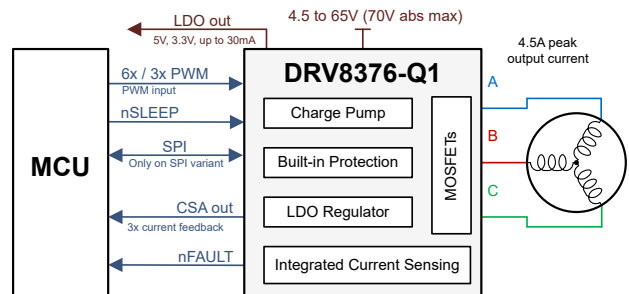
DRV8376-Q1 集成了多种保护特性，可在出现故障事件时保护该器件、电机和系统。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值)
DRV8376H-Q1	VQFN (28)	6.00mm x 5.00mm	6.00mm x 5.00mm
DRV8376S-Q1	VQFN (28)	6.00mm x 5.00mm	6.00mm x 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	7.4 器件功能模式	42
2 应用	1	7.5 SPI 通信	43
3 说明	1	8 寄存器映射	45
4 器件比较表	3	8.1 状态寄存器.....	45
5 引脚配置和功能	4	8.2 控制寄存器.....	50
6 规格	6	9 应用和实施	58
6.1 绝对最大额定值.....	6	9.1 应用信息.....	58
6.2 ESD 等级.....	6	9.2 典型应用.....	59
6.3 建议运行条件.....	6	9.3 电源相关建议.....	63
6.4 热性能信息.....	7	9.4 布局.....	64
6.5 电气特性.....	7	10 器件和文档支持	66
6.6 SPI 时序要求.....	12	10.1 文档支持.....	66
6.7 SPI 从模式时序.....	13	10.2 支持资源.....	66
6.8 典型特性.....	13	10.3 商标.....	66
7 详细说明	14	10.4 静电放电警告.....	66
7.1 概述.....	14	10.5 术语表.....	66
7.2 功能方框图.....	15	11 修订历史记录	66
7.3 特性说明.....	17	12 机械、封装和可订购信息	66

4 器件比较表

器件	封装	接口
DRV8376S	28 引脚 VQFN (6x5mm)	SPI
DRV8376H		硬件

表 4-1. DRV8376S (SPI 型号) 与 DRV8376H (硬件型号) 配置比较

参数	DRV8376S (SPI 型号)	DRV8376H (硬件型号)
PWM 模式设置	PWM_MODE (4 个设置)	MODE_SR 引脚 (4 个设置)
压摆率设置	SLEW_RATE (4 个设置)	SLEW 引脚 (4 个设置)
CSA 增益设置	CSA_GAIN (4 个设置)	GAIN 引脚 (4 个设置)
SDO 引脚配置：模式、电压	SDO_ODEN (2 个设置)、SDO_VSEL (2 个设置)、SDO_MD (2 个设置)	
电流限制配置：模式、在 nFAULT 上报告、消隐时间、100% 占空比 PWM 频率	ILIMFLT_MODE (2 个设置)、ILIM_MODE (2 个设置)、ILIM_BLANK_SEL (4 个设置)、PWM_100_FREQ_SEL (4 个设置)	启用 nFAULT 上的电流限制报告，固定为滑行模式，压摆率为 50 时消隐时间设置为 5.5 μ s，而所有其他压摆率则为 1.8 μ s，100% 占空比输入 PWM 周期固定为 20kHz
过压保护模式	OVP_MODE (2 个设置)、OVP_SEL (2 个设置)	禁用过压保护
OCP 配置：模式、电平、抗尖峰脉冲	OCP_MODE (4 个设置)、OCP_LVL (2 个设置)、OCP_DEG (4 个设置) 和 OCP_RETRY (2 个设置)	在自动重试模式下启用，电平固定为 4.5A 且抗尖峰脉冲时间为 1.25 μ s，重试时间为 5ms
主动消磁：启用、比较器阈值、比较器屏蔽时间、故障期间的行为	EN_ASR (2 个设置)、EN_AAR (2 个设置)、AD_COMP_TH (2 个设置)	MODE_SR (2 个设置)、主动消磁比较器阈值设置为 100mA，比较器屏蔽时间设置为 5.5 μ s (压摆率为 50V/ μ s) 和 1.8 μ s (所有其他压摆率)。ADMAG_TMARGIN 设置为 1.6 μ s，在 OCP 期间禁用主动消磁。
过热警告	OTW_MODE (2 个设置)	在 nFAULT 上报告

5 引脚配置和功能

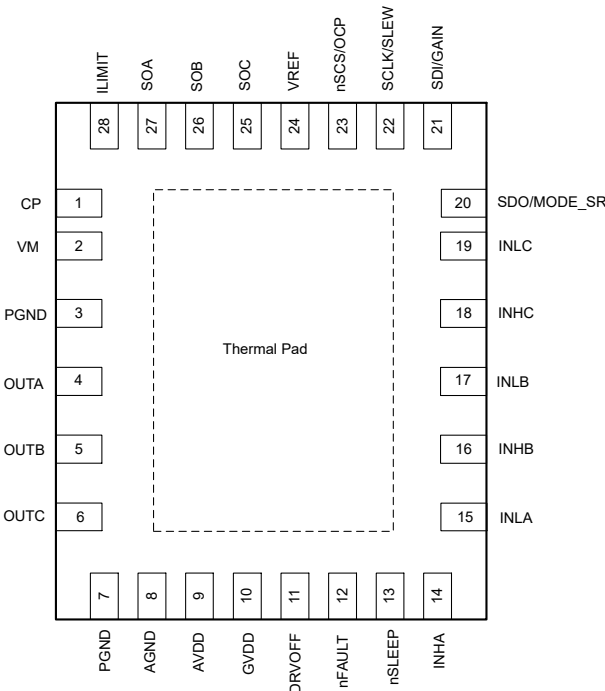


图 5-1. DRV8376 28 引脚 VQFN (带有外露散热焊盘) 顶视图

表 5-1. DRV8376 引脚功能

引脚 名称	28 引脚 VQFN 封装		类型 ⁽¹⁾	说明
	DRV8376H	DRV8376S		
AGND	8	8	GND	器件模拟接地。有关连接建议，请参阅节 9.4.1。
AVDD	9	9	PWR O	3.3V 内部稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
CP	1	1	PWR O	电荷泵输出。在 CP 和 VM 引脚之间连接一个 X5R 或 X7R、0.1μF、16V 的陶瓷电容器。
DRVOFF	11	11	I	当该引脚拉至高电平时，功率级中的六个 MOSFET 将关断，从而使所有输出处于高阻态。
增益	21	-	I	电流检测放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
GVDD	10	10	PWR O	5V 内部稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、10V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
ILIMIT	28	28		设置逐周期电流限制中使用的相电流阈值。
INHA	14	14	I	OUTA 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHB	16	16	I	OUTB 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHC	18	18	I	OUTC 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INLA	15	15	I	OUTA 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLB	17	17	I	OUTB 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLC	19	19	I	OUTC 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
MODE_SR	20	-	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
nFAULT	12	12	O	故障指示器。故障状态下拉至逻辑低电平；开漏输出需要一个连接到 1.8V 至 5.0V 电压的外部上拉电阻器。如果使用外部电源上拉 nFAULT，请检验上电时将外部电源拉至 >2.2V。

表 5-1. DRV8376 引脚功能 (续)

引脚 名称	28 引脚 VQFN 封装		类型 ⁽¹⁾	说明
	DRV8376H	DRV8376S		
nSCS	-	23	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
nSLEEP	13	13	I	驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
OCP	23	-	I	OCP 电平设置。该引脚是由外部电阻器设置的 2 电平输入引脚（硬件器件）。
OUTA	4	4	PWR O	半桥输出 A
OUTB	5	5	PWR O	半桥输出 B
OUTC	6	6	PWR O	半桥输出 C
PGND	3、7	3、7	GND	器件电源地。有关连接建议，请参阅节 9.4.1。
SCLK	-	22	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉（SPI 器件）。
SDI	-	21	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据（SPI 器件）。
SDO	-	20	O	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器（SPI 器件）。
SLEW	22	-	I	压摆率控制设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
SOA	27	27	O	电流检测放大器输出。支持容性负载或低通滤波器（串联电阻器和电容器至 GND）
SOB	26	26	O	电流检测放大器输出。支持容性负载或低通滤波器（串联电阻器和电容器至 GND）
SOC	25	25	O	电流检测放大器输出。支持容性负载或低通滤波器（串联电阻器和电容器至 GND）
VM	2	2	PWR I	电源。连接到电机电源电压；通过一个 0.1 μF 电容器和一个额定电压为 VM 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
VREF	24	24	PWR/I	电流检测放大器基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 的陶瓷电容器。
散热焊盘			AGND	必须连接至模拟地。

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	70	V
电源电压斜坡 (VM)		4	V/μs
接地引脚 (PGND、AGND) 之间的电压差	-0.6	0.6	V
电荷泵电压 (CP)	-0.3	V _M + 6.2	V
模拟稳压器引脚电压 (GVDD)	-0.3	5.75	V
模拟稳压器引脚电压 (AVDD)	-0.3	5.75	V
模拟引脚输入电压 (VREF、ILIMIT)	-0.3	5.75	V
模拟引脚输出电压 (SOx)	-0.3	5.75	V
逻辑引脚输入电压 (DRVOFF、INHx、INLx、nSCS、nSLEEP、SCLK、SDI)	-0.3	5.75	V
逻辑引脚输出电压 (nFAULT、SDO、)	-0.3	5.75	V
多电平引脚输入电压 (GAIN、MODE_SR、OCP、SLEW)	-0.3	5.75	V
输出引脚电压 (OUTA、OUTB、OUTC)	-1	V _M + 1	V
环境温度, T _A	-40	125	°C
结温, T _J	-40	150	°C
贮存温度, T _{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

		值	单位
V _(ESD)	静电放电	±2000	V
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±750	
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾		

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _{VM}	电源电压	V _{VM}	4.5	24	65	V
f _{PWM}	输出 PWM 频率	OUTA、OUTB、OUTC			100	kHz
I _{OUT} ⁽¹⁾	峰值输出绕组电流	OUTA、OUTB、OUTC			4	A
V _{IN}	逻辑输入电压	DRVOFF、INHx、INLx、nSCS、nSLEEP、SCLK、SDI、OCP	-0.1		5.5	V
V _{IN}	多电平输入电压	GAIN、MODE_SR、SLEW	-0.1		GVDD	
V _{OD}	开漏上拉电压	nFAULT、SDO、FG	-0.1		5.5	V
V _{SDO}	推挽电压	SDO	2.2		AVDD	V
I _{OD}	开漏输出电流	nFAULT、SDO、FG			5	mA
V _{VREF}	电压基准引脚电压	VREF		2.8	5.5	V
ILIMIT	用于电流限制的电压基准	ILIMIT	-0.1		5.5	V

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
T _A	工作环境温度		-40		125	°C
T _J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标 ⁽¹⁾		DRV8376H、DRV8376S	单位
		VQFN (NLG)	
		28 引脚	
R _{θJA}	结至环境热阻	29.9	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	20.8	°C/W
R _{θJB}	结至电路板热阻	11	°C/W
Ψ _{JT}	结至顶部特征参数	0.3	°C/W
Ψ _{JB}	结至电路板特征参数	11	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	2.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

T_J = -40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
电源						
I _{VMQ}	VM 睡眠模式电流	V _{VM} > 6V，nSLEEP = 0，T _A = 25°C	1.5	3		μA
		nSLEEP = 0	2.5	8		μA
I _{VMS}	VM 待机模式电流	V _{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T _A = 25°C	6.6	8.2		mA
		nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”	6.6	8.2		mA
I _{VMS}	VM 待机模式电流	V _{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T _A = 25°C，ASR 和 AAR 禁用	6.1	7.5		mA
I _{VMS}	VM 待机模式电流	nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，ASR 和 AAR 禁用	6.1	7.5		mA
I _{VM}	VM 工作模式电流	V _{VM} > 6V，nSLEEP = 1，f _{PWM} = 20kHz	7.6	9.8		mA
		nSLEEP =1，f _{PWM} = 20kHz	7.6	9.8		mA
		nSLEEP =1，f _{PWM} = 100kHz	10.1	13.4		mA
V _{GVDD}	模拟稳压器电压	0mA ≤ I _{GVDD} ≤ 30mA；（外部负载）；VM > 6V	4.75	5	5.25	V
V _{GVDD}	模拟稳压器电压	0mA ≤ I _{GVDD} ≤ 30mA；（外部负载）；VM = 4.5V	3.7		4.5	V
V _{AVDD}	模拟稳压器电压	0mA ≤ I _{AVDD} ≤ 30mA；（外部负载）	3.1	3.3	3.465	V
I _{GVDD}	外部模拟稳压器负载	I _{AVDD} = 0mA			30	mA
I _{AVDD}	外部模拟稳压器负载	I _{GVDD} = 0mA			30	mA
V _{VCP}	电荷泵稳压器电压	VCP 相对于 VM，(V _{VM} > 6V)	4	5	6	V
t _{WAKE}	唤醒时间	V _{VM} > V _{UVLO} ，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放			5.5	ms
t _{SLEEP}	睡眠脉冲时间	nSLEEP = 0 进入睡眠模式的周期	120			μs

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
t_{RST}	复位脉冲时间 nSLEEP = 0 复位故障的周期	20		40	μs
逻辑电平输入 (DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI、OCP)					
V_{IL}	输入逻辑低电平电压	0		0.6	V
V_{IH}	输入逻辑高电平电压	nSLEEP		5.5	V
	其他引脚	1.5		5.5	V
V_{HYS}	输入逻辑迟滞	nSLEEP	300	425	mV
	其他引脚	180	300	425	mV
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V		1	μA
I_{IH}	输入逻辑高电流	nSLEEP, V_{PIN} (引脚电压) = 5V		35	μA
I_{IH}	输入逻辑高电流	其他引脚, V_{PIN} (引脚电压) = 5V		75	μA
R_{PD}	输入下拉电阻	nSLEEP	200	300	$\text{k}\Omega$
	其他引脚	70	100	130	$\text{k}\Omega$
t_{GED}	抗尖峰脉冲时间	DRVOFF 引脚	1.15	1.7	μs
C_{ID}	输入电容		30		pF
逻辑电平输入 (nSCS)					
V_{IL}	输入逻辑低电平电压	0		0.6	V
V_{IH}	输入逻辑高电平电压	1.5		5.5	V
V_{HYS}	输入逻辑迟滞		300		mV
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V		75	μA
I_{IH}	输入逻辑高电流	V_{PIN} (引脚电压) = 5V		25	μA
R_{PU}	输入上拉电阻		100	130	$\text{k}\Omega$
C_{ID}	输入电容		30		pF
四电平输入 (GAIN、MODE_SR、SLEW)					
V_{L1}	输入模式 1 电压	连接至 AGND		$0.2 \cdot \text{GVDD}$	V
V_{L2}	输入模式 2 电压	高阻态	$0.27 \cdot \text{GVDD}$	$0.5 \cdot \text{GVDD}$	V
V_{L3}	输入模式 3 电压	$47\text{k}\Omega$ +/- 5% 连接至 GVDD	$0.6 \cdot \text{GVDD}$	$0.76 \cdot \text{GVDD}$	V
V_{L4}	输入模式 4 电压	连接至 GVDD	$0.94 \cdot \text{GVDD}$	GVDD	V
R_{PU}	输入上拉电阻	至 GVDD	80	100	$\text{k}\Omega$
R_{PD}	输入下拉电阻	至 AGND	80	100	$\text{k}\Omega$
开漏输出 (nFAULT)					
V_{OL}	输出逻辑低电平电压	$I_{\text{OD}} = 5\text{mA}$		0.4	V
I_{OH}	输出逻辑高电平电流	$V_{\text{OD}} = 5\text{V}$	-1	1	μA
C_{OD}	输出电容			30	pF
推挽式输出 (SDO)					
V_{OL}	输出逻辑低电平电压	$I_{\text{OP}} = 5\text{mA}$	0	0.4	V
V_{OH}	输出逻辑高电压	$I_{\text{OP}} = 5\text{mA}$, SDO_VSEL = 0	2.5	AVDD	V
V_{OH}	输出逻辑高电压	$I_{\text{OP}} = 5\text{mA}$, SDO_VSEL = 1, $V_{\text{VM}} > 6\text{V}$	4	GVDD	V
I_{OL}	输出逻辑低电平漏电流	$V_{\text{OP}} = 0\text{V}$	-1	1	μA
I_{OH}	输出逻辑高电平漏电流	$V_{\text{OP}} = 5\text{V}$	-1	1	μA
C_{OD}	输出电容			30	pF
驱动器输出					

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
$R_{DS(ON)}$	MOSFET 总导通电阻 (高侧 + 低侧)	$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		400	505	$\text{m}\Omega$
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		407	515	$\text{m}\Omega$
		$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		690	790	$\text{m}\Omega$
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		705	810	$\text{m}\Omega$
SR	相位引脚压摆率从低切换到高 (从 20% 上升到 80%)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND, $I_{OUTx} = 1\text{A}$	630	1100	1760	V/us
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态, $I_{OUTx} = 1\text{A}$	260	500	900	V/us
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega \pm 5\%$ 至 GVDD, $I_{OUTx} = 1\text{A}$	135	250	455	V/us
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD, $I_{OUTx} = 1\text{A}$	22	60	90	V/us
SR	相位引脚压摆率从高切换到低 (从 80% 下降到 20%)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND, $I_{OUTx} = 1\text{A}$	500	1100	1760	V/us
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态, $I_{OUTx} = 1\text{A}$	240	500	845	V/us
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega \pm 5\%$ 至 GVDD, $I_{OUTx} = 1\text{A}$	120	250	490	V/us
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD, $I_{OUTx} = 1\text{A}$	30	50	85	V/us
I_{LEAK}	OUTx 上的漏电流	$V_{OUTx} = V_{VM}$, nSLEEP = 1			2	mA
	OUTx 上的漏电流	$V_{OUTx} = 0\text{V}$, nSLEEP = 1			1	μA
t_{DEAD}	输出死区时间 (高电平到低电平/低电平到高电平)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND, HS 驱动器开启至 LS 驱动器关闭		65	150	ns
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态, HS 驱动器开启至 LS 驱动器关闭		100	250	ns
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega \pm 5\%$ 至 GVDD, HS 驱动器开启至 LS 驱动器关闭		100	250	ns
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD, HS 驱动器开启至 LS 驱动器关闭		250	550	ns
t_{PD}	传播延迟 (高侧/低侧开/关)	$V_{VM} = 24\text{V}$, INHx = 1 至 OUTx 转换, SLEW = 00b 或 SLEW 引脚连接至 AGND		35	85	ns
		$V_{VM} = 24\text{V}$, INHx = 1 至 OUTx 转换, SLEW = 01b 或 SLEW 引脚连接至高阻态		40	100	ns
		$V_{VM} = 24\text{V}$, INHx = 1 至 OUTx 转换, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega \pm 5\%$ 至 GVDD		45	140	ns
		$V_{VM} = 24\text{V}$, INHx = 1 至 OUTx 转换, SLEW = 11b 或 SLEW 引脚连接至 GVDD		1200	1900	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SLEW = 00b 或 SLEW 引脚连接至 AGND	110			ns

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
电流检测放大器						
G_{CSA}	电流检测增益 (SPI 器件)	$CSA_GAIN = 00$		0.4		V/A
G_{CSA}	电流检测增益 (SPI 器件)	$CSA_GAIN = 01$		1		V/A
G_{CSA}	电流检测增益 (SPI 器件)	$CSA_GAIN = 02$		2.5		V/A
G_{CSA}	电流检测增益 (SPI 器件)	$CSA_GAIN = 03$		5		V/A
G_{CSA}	电流检测增益 (硬件器件)	GAIN 引脚连接至 AGND		0.4		V/A
G_{CSA}	电流检测增益 (硬件器件)	GAIN 引脚至高阻态		1		V/A
G_{CSA}	电流检测增益 (硬件器件)	GAIN 引脚至 $47\text{k}\Omega \pm 5\%$ 至 GVDD		2.5		V/A
G_{CSA}	电流检测增益 (硬件器件)	GAIN 引脚连接至 GVDD		5		V/A
G_{CSA_ERR}	电流检测增益误差	$T_J = 25^{\circ}\text{C}$, $0\text{A} \leq \text{LS FET 电流} \leq 2.5\text{A}$ (电流方向为从 OUTx 到 PGND)	-4		4	%
		$T_J = 25^{\circ}\text{C}$, $2.5\text{A} \leq \text{LS FET 电流} \leq 3.5\text{A}$ (电流方向为从 OUTx 到 PGND)	-5		5	%
		$0\text{A} \leq \text{LS FET 电流} \leq 2.5\text{A}$ (电流方向为从 OUTx 到 PGND)	-5		5	%
		$2.5\text{A} \leq \text{LS FET 电流} \leq 3.5\text{A}$ (电流方向为从 OUTx 到 PGND)	-5		8.7	%
G_{CSA_ERR}	电流检测增益误差	$T_J = 25^{\circ}\text{C}$, $0\text{A} \leq \text{LS FET 电流} > \leq 2\text{A}$ (电流方向为从 PGND 到 OUTx)	-4		4	%
G_{CSA_ERR}	电流检测增益误差	$0\text{A} < \text{LS FET 电流} \leq 2\text{A}$; (电流方向为从 PGND 到 OUTx)	-6		6	%
I_{MATCH}	A、B 和 C 相之间的电流检测增益误差匹配	$T_A = 25^{\circ}\text{C}$	-5		5	%
			-5		5	%
FS_{POS}	满量程正电流测量	LS FET 中电流方向为从 PGND 到 OUTx, $V_{REF} = 3.3\text{V}$	2			A
FS_{NEG}	满量程负电流测量	LS FET 中电流方向为从 OUTx 到 PGND, $V_{REF} = 3.3\text{V}$			-3.5	A
V_{LINEAR}	SOX 输出电压线性范围		0.25		$V_{REF}-0.25$	V
I_{OFFSET}	电流检测偏移	$T_J = 25^{\circ}\text{C}$, 相电流 = 0A, $V_{REF} \leq 3.6\text{V}$	-20	-10	5	mA
I_{OFFSET}	电流检测偏移	$T_J = 25^{\circ}\text{C}$, 相电流 = 0A, $3.6\text{V} \leq V_{REF} \leq 5.5\text{V}$	-20	-10	10	mA
t_{SET}	达到 $\pm 1\%$ 的稳定时间, 30pF	SOX 上的阶跃 = 1.2V			1.2	μs
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	$SR = 1000\text{V}/\mu\text{s}$ 、 $500\text{V}/\mu\text{s}$ 或 $250\text{V}/\mu\text{s}$		500	700	ns
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	$SR = 50\text{V}/\mu\text{s}$		4300	5000	ns
I_{DRIFT}	漂移失调电压	相电流 = 0A	-60		60	$\mu\text{A/C}$
I_{VREF}	V_{REF} 输入电流	$V_{REF} = 3.0\text{V}$, nSLEEP = 0 或 1			15	μA
逐脉冲电流限制						
V_{LIM}	逐周期电流限制条件下 ILIMIT 引脚上的电压		$V_{REF}/2$		$V_{REF} - 0.25$	V
V_{LIM_DIS}	ILIMIT 引脚上用于禁用逐周期电流限制的电压		V_{REF}		GVDD	V
I_{LIMIT}	与 V_{LIM} 引脚电压范围对应的电流限制		0		4	A
I_{LIM_AC}	电流限制准确度	$V_{REF} = 3.3\text{V}$, $ILIMIT > 1\text{A}$	-6		6	%
I_{LIM_AC}	电流限制准确度	$V_{REF} = 3.3\text{V}$, $0.5\text{A} < ILIMIT < 1\text{A}$	-10		10	%

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 00b、01b 或 10b , ILIM_BLANK_SEL = 00b, 硬件型号		1.75		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 00b、01b 或 10b , ILIM_BLANK_SEL = 01b		2.25		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 00b、01b 或 10b , ILIM_BLANK_SEL = 10b		2.75		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 00b、01b 或 10b , ILIM_BLANK_SEL = 11b		3.75		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 11b, ILIM_BLANK_SEL = 00b, 硬件型号		5.5		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 11b, ILIM_BLANK_SEL = 01b		6		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 11b, ILIM_BLANK_SEL = 10b		6.5		μs
t_{BLANK}	逐周期电流限制消隐时间 SLEW = 11b, ILIM_BLANK_SEL = 11b		7.5		μs
保护电路					
V_{UVLO}	电源欠压锁定 (UVLO)	VM 上升	4.2	4.35	4.5 V
		VM 下降	4.0	4.15	4.3 V
$V_{\text{UVLO_HYS}}$	电源欠压锁定迟滞	上升至下降阈值	65	200	415 mV
t_{UVLO}	电源欠压抗尖峰脉冲时间		3	6	10 μs
V_{OVP}	电源过压保护 (OVP) (SPI 器件)	电源电压上升, OVP_EN = 1 , OVP_SEL = 0	60	62.5	65 V
		电源电压下降, OVP_EN = 1 , OVP_SEL = 0	58	61	63.5 V
		电源电压上升, OVP_EN = 1 , OVP_SEL = 1	32.5	34	35 V
		电源电压下降, OVP_EN = 1 , OVP_SEL = 1	32	33	34 V
$V_{\text{OVP_HYS}}$	电源过压保护 (OVP) (SPI 器件)	上升至下降阈值, OVP_SEL = 1	0.74	0.8	0.85 V
		上升至下降阈值, OVP_SEL = 0	1.35	1.45	1.55 V
t_{OVP}	电源过压抗尖峰脉冲时间		2.5	6.5	12 μs
V_{CPUV}	电荷泵欠压锁定 (高于 VM)	电源上升	2.1	2.7	3.2 V
		电源下降	1.8	2.45	2.95 V
$V_{\text{CPUV_HYS}}$	电荷泵 UVLO 迟滞	上升至下降阈值	105	150	200 mV
$V_{\text{AVDD_UV}}$	模拟稳压器欠压锁定	电源上升	2.7	2.85	3 V
		电源下降	2.5	2.65	2.8 V
$V_{\text{AVDD_UV_HYS}}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	180	200	240 mV
$V_{\text{GVDD_UV}}$	GVDD 稳压器欠压锁定	电源上升	3.1	3.3	3.5 V
$V_{\text{GVDD_UV}}$	GVDD 稳压器欠压锁定	电源下降	2.9	3.1	3.3 V
$V_{\text{GVDD_UV_HYS}}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	145	190	265 mV
I_{OCP}	过流保护跳变点 (SPI 器件)	OCP_LVL = 00b 或 01b	4.5		9 A
I_{OCP}	过流保护跳变点 (SPI 器件)	OCP_LVL = 10b 或 11b	2.5		5 A
I_{OCP}	过流保护跳变点 (硬件器件)	OCP 引脚连接至 AGND 或 OCP 引脚处 于高阻态	4.5		9 A
I_{OCP}	过流保护跳变点 (硬件器件)	OCP 连接至 GVDD	2.5		5 A

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
t _{OCP}	过流保护抗尖峰脉冲时间 (SPI 器件)	OCP_DEG = 00b	0.2	0.6	1.2	μs
		OCP_DEG = 01b	0.6	1.25	1.8	μs
		OCP_DEG = 10b	1	1.6	2.5	μs
		OCP_DEG = 11b	1.4	2	3	μs
	过流保护抗尖峰脉冲时间 (硬件器件)		0.6	1.25	2	μs
t _{RETRY}	过流保护重试时间 (SPI 器件)	OCP_RETRY = 0	4	5	6	ms
		OCP_RETRY = 1	425	500	575	ms
t _{RETRY}	过流保护重试时间 (硬件器件)		4	5	6	ms
T _{OTW}	热警告温度	芯片温度 (T _J)	160	170	180	°C
T _{OTW_HYS}	热警告迟滞	芯片温度 (T _J)	25	30	35	°C
T _{TSD}	热关断温度	芯片温度 (T _J)	175	185	195	°C
T _{TSD_HYS}	热关断迟滞	芯片温度 (T _J)	25	30	35	°C

6.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{READY}	上电后 SPI 就绪			1	ms
$t_{\text{HI_nSCS}}$	nSCS 最短高电平时间	400			ns
$t_{\text{SU_nSCS}}$	nSCS 输入设置时间	25			ns
$t_{\text{HD_nSCS}}$	nSCS 输入保持时间	25			ns
t_{SCLK}	SCLK 最小周期	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
$t_{\text{SU_SDI}}$	SDI 输入数据设置时间	25			ns
$t_{\text{HD_SDI}}$	SDI 输入数据保持时间	25			ns
$t_{\text{DLY_SDO}}$	SDO 输出数据延迟时间			25	ns
$t_{\text{EN_SDO}}$	SDO 启用延迟时间			50	ns
$t_{\text{DIS_SDO}}$	SDO 禁用延迟时间			50	ns

6.7 SPI 从模式时序

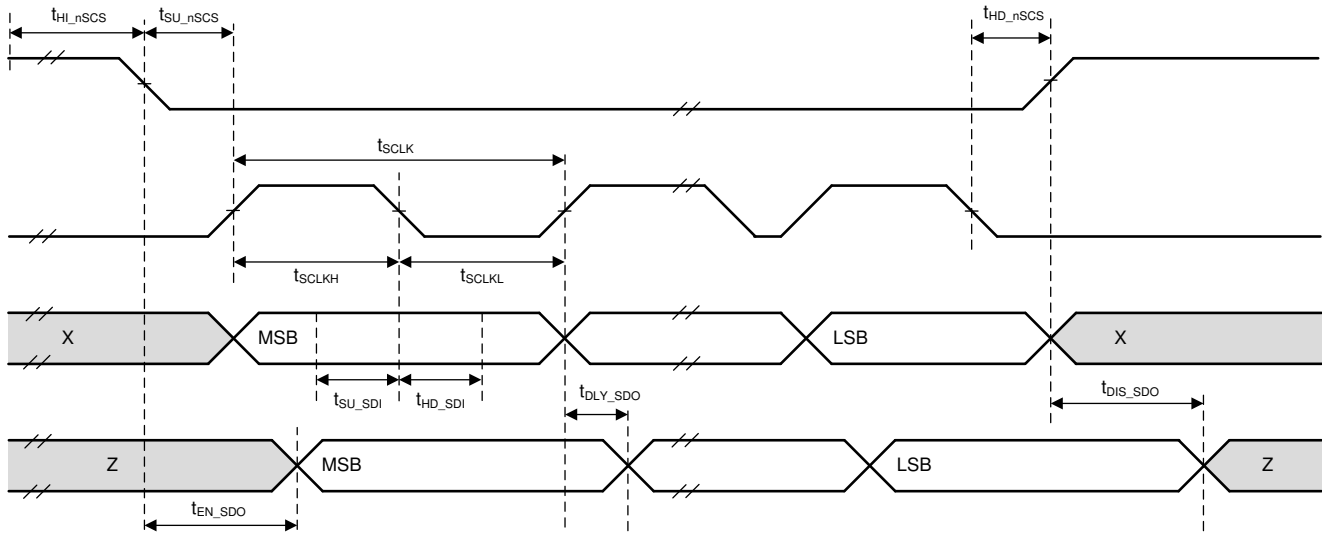


图 6-1. SPI 辅助模式时序

6.8 典型特性

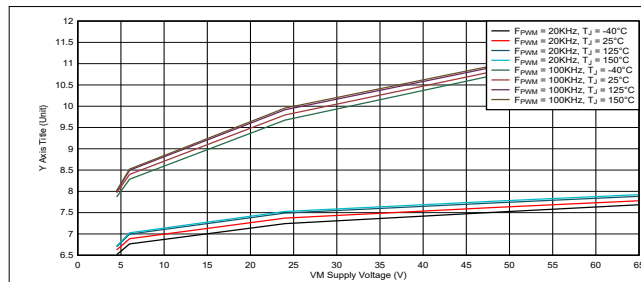


图 6-2. 电源电流与电源电压间的关系

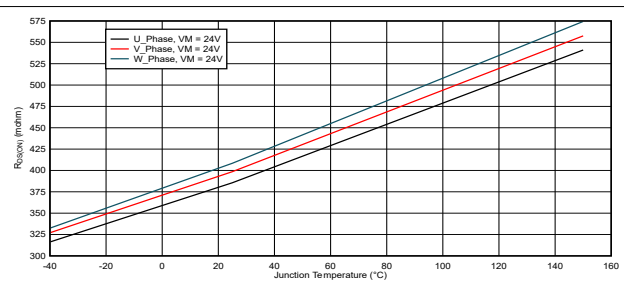


图 6-3. MOSFET 在温度范围内的 $R_{DS(ON)}$ (高侧和低侧之和)

7 详细说明

7.1 概述

DRV8376 器件是一款集成式 $400\text{m}\Omega$ (高侧和低侧 MOSFET 的导通状态电阻之和) 驱动器, 适用于三相电机驱动应用。该器件通过集成三个半桥 MOSFET、栅极驱动器、电荷泵、电流检测放大器以及用于外部负载的线性稳压器, 降低了系统元件数量、成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法, 可通过外部控制器配置各种器件设置和读取故障诊断信息。或者, 硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

该架构使用内部状态机来防止发生短路事件, 并防止内部功率 MOSFET 发生 dv/dt 寄生导通。

DRV8376 器件集成了三个双向电流检测放大器, 旨在使用内置电流检测来监控流过每个低侧 MOSFET 的电流。可通过 SPI 或硬件接口调整放大器的增益设置。

除了高度的器件集成之外, DRV8376 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、AVDD 和 GVDD 欠压锁定 (AVDD_UV、GVDD_UV) 和过热关断 (OTW 和 OTSD)。故障事件由 nFAULT 引脚指示, 可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

DRV8376 器件采用 VQFN 表面贴装封装。VQFN 封装尺寸为 $6\text{mm} \times 5\text{mm}$ 。

7.2 功能方框图

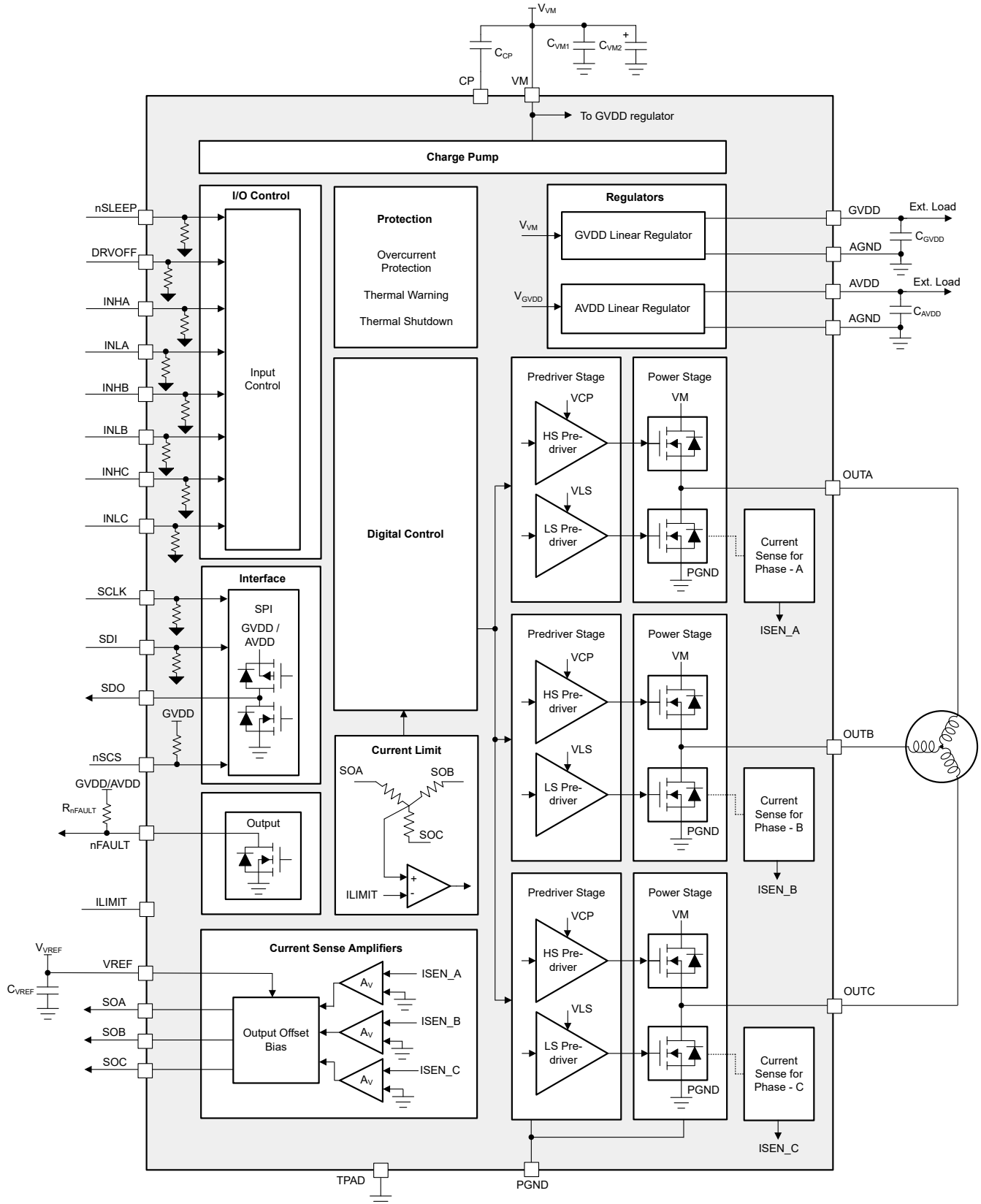


图 7-1. DRV8376S 方框图

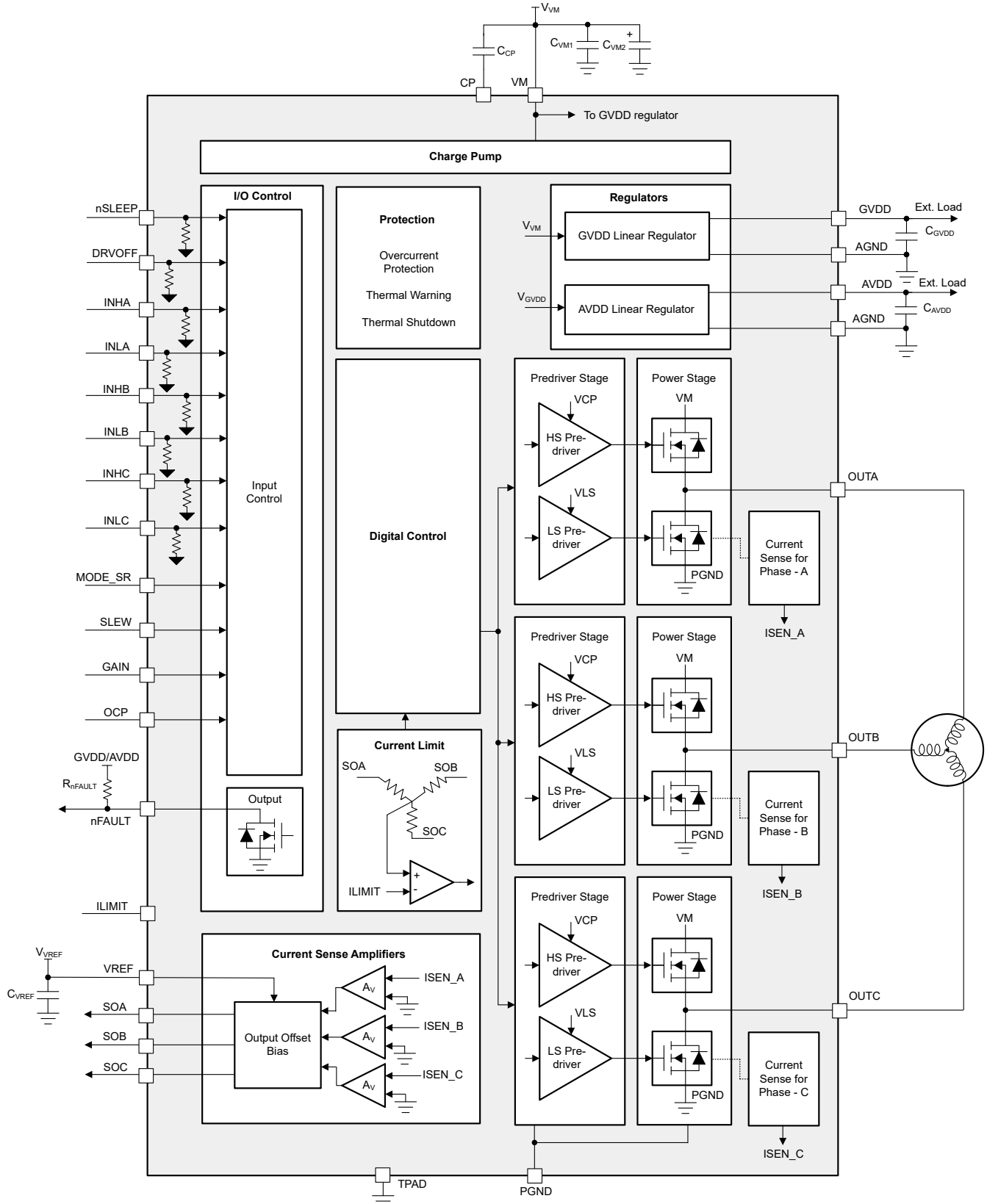


图 7-2. DRV8376H 方框图

7.3 特性说明

表 7-1 列出了驱动器的外部元件的建议值。

表 7-1. DRV8376 外部元件

元件	引脚 1	引脚 2	推荐
C _{VM1}	VM	PGND	X5R 或 X7R, 0.1μF, TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C _{VM2}	VM	PGND	≥ 10μF, TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C _{CP}	CP	VM	X5R 或 X7R、16V、0.1μF 电容器
C _{GVDD}	GVDD	AGND	X5R 或 X7R, 1μF, ≥10V
C _{AVDD}	AVDD	AGND	X5R 或 X7R, 0.1μF, ≥6.3V
R _{nFAULT}	AVDD/GVDD	nFAULT	5.1kΩ 上拉电阻器
R _{MODE_SR}	MODE_SR	AGND 或 GVDD	DRV8376H 硬件接口
R _{SLEW}	SLEW	AGND 或 GVDD	DRV8376H 硬件接口
R _{OCP}	OCP	AGND 或 GVDD	DRV8376H 硬件接口
R _{GAIN}	增益	AGND 或 GVDD	DRV8376H 硬件接口
C _{VREF}	VREF	AGND	X5R 或 X7R, 0.1μF, VREF 额定电容器 (可选)

备注

TI 建议在 nFAULT 上连接上拉电阻器 (即使不使用 nFAULT), 以避免意外进入内部测试模式。如果使用外部电源上拉 nFAULT, 请确保上电时将 nFAULT 拉至 >2.2V。

7.3.1 输出级

DRV8376-Q1 器件包含一个以三相桥配置连接的集成式 400mΩ (高侧和低侧 FET 的导通状态电阻之和) NMOS FET。倍增电荷泵可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压, 此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。

7.3.2 控制模式

DRV8376 系列器件提供四种不同的控制模式, 来支持各种换向和控制方法。表 7-2 展示了 DRV8376 器件的各种模式。

表 7-2. PWM 控制模式

MODE 类型	MODE_SR 引脚 (硬件型号)	PWM_MODE 位 (SPI 型号)	SR 位 (SPI 型号)	PWM 模式	ASR 和 AAR 模式
模式 1	连接到 AGND	PWM_MODE = 00b	EN_ASR = 0 , EN_AAR = 0	6x 模式	ASR 和 AAR 已禁用
模式 2	高阻态	PWM_MODE = 01b	EN_ASR = 1 , EN_AAR = 0	6x 模式	启用 ASR 和禁用 AAR
模式 3	通过 R _{MODE} 连接到 GVDD	PWM_MODE = 10b	EN_ASR = 0 , EN_AAR = 0	3x 模式	ASR 和 AAR 已禁用
模式 4	连接到 GVDD	PWM_MODE = 11b	EN_ASR = 1 , EN_AAR = 0	3x 模式	启用 ASR 和禁用 AAR

备注

器件仅在上电期间检测 MODE_SR 引脚或读取 PWM_MODE 寄存器, 并且器件在运行期间不支持 MODE_SR/PWM_MODE 更改。

7.3.2.1 6x PWM 模式 (PWM_MODE = 00b 或 01b 或者 MODE_SR 引脚连接至 AGND 或处于高阻态)

在 6x PWM 模式下，每个半桥支持三种输出状态：低电平、高电平或高阻抗（高阻态）。相应的 INHx 和 INLx 信号控制着输出状态，如表 7-3 所示。

表 7-3. 6x PWM 模式真值表

INLx	INHx	PHASEx
0	0	高阻态
0	1	H
1	0	L
1	1	高阻态

图 7-3 展示了在 6x PWM 模式下配置的 DRV8376 的应用图。

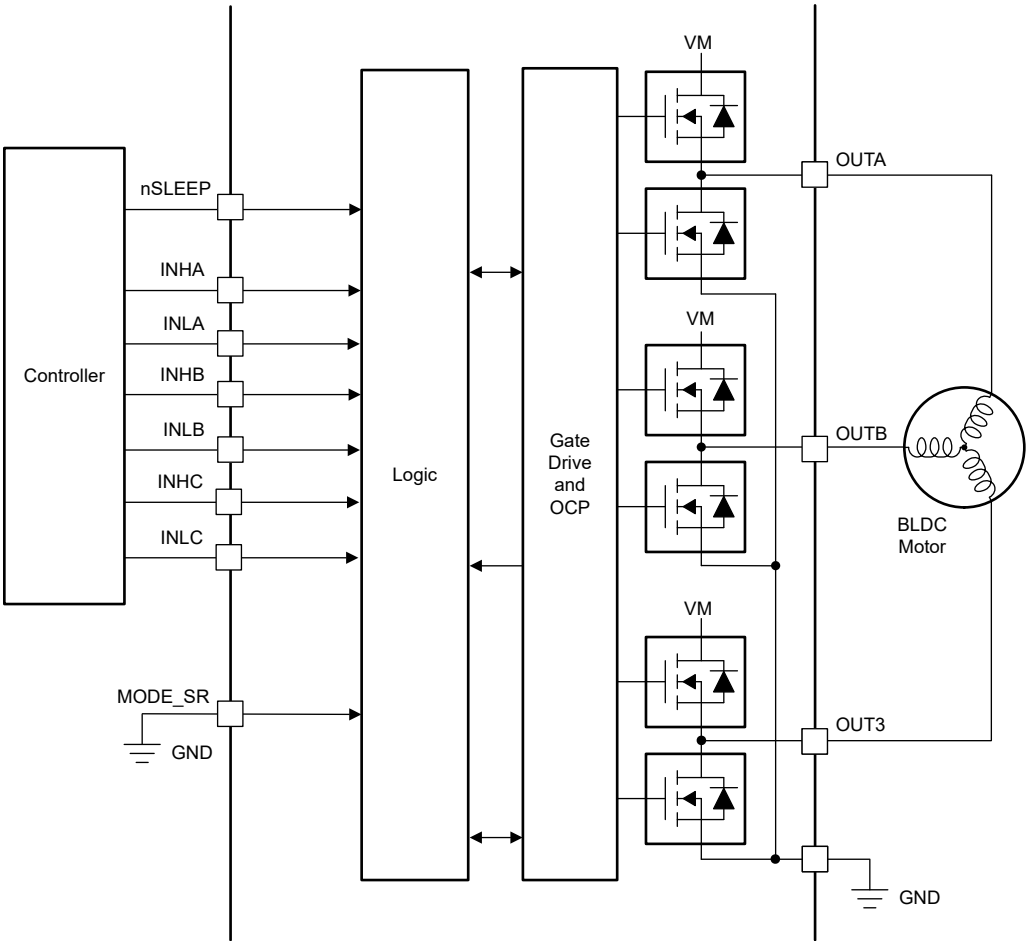


图 7-3. 6x PWM 模式

7.3.2.2 3x PWM 模式 (PWM_MODE = 10b 或 11b 或 MODE_SR 引脚连接至 GVDD 或通过 R_MODE 连接至 GVDD)

在 3x PWM 模式下, INHx 引脚控制每个半桥并支持两种输出状态: 低电平或高电平。INLx 引脚用于将半桥置于高阻态。如果不需要高阻态, 请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态, 如表 7-4 所示。

表 7-4. 3x PWM 模式真值表

INLx	INHx	PHASEx
0	X	高阻态
1	0	L
1	1	H

图 7-4 展示了在 3x PWM 模式下配置的 DRV8376 的应用图。

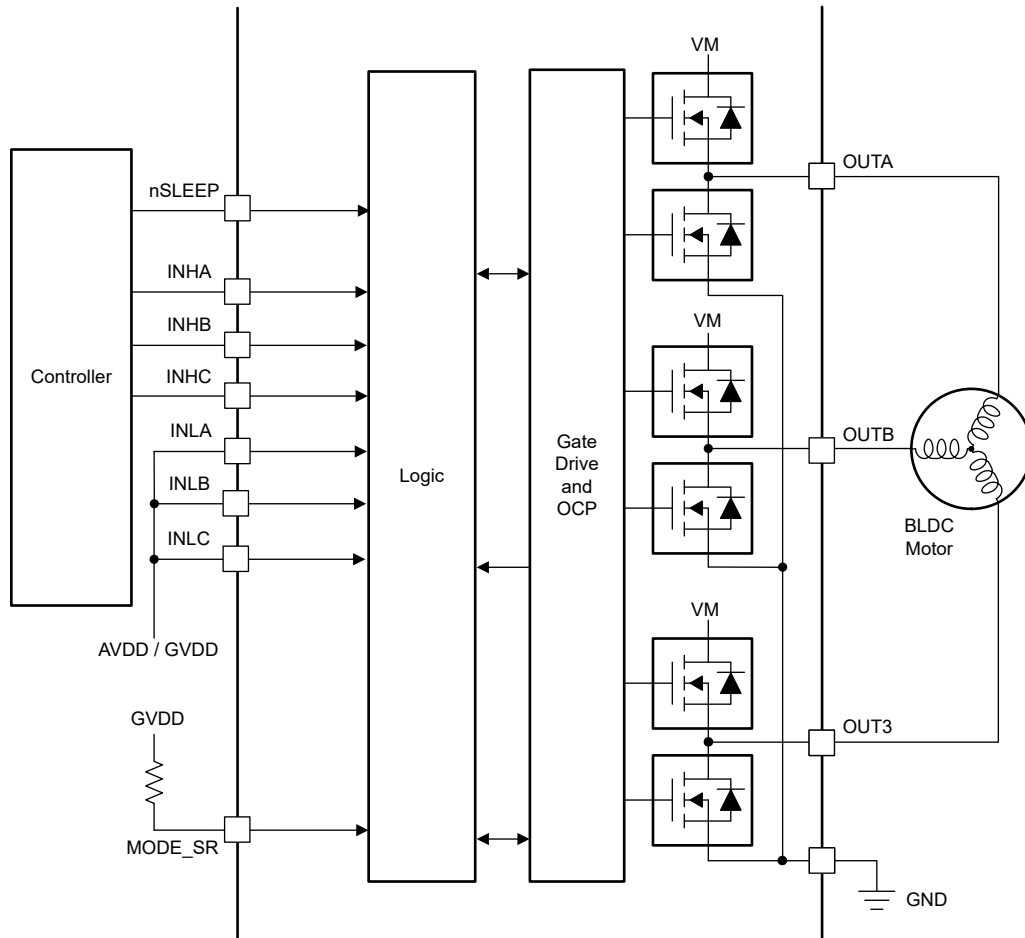


图 7-4. 3x PWM 模式

7.3.3 器件接口模式

DRV8376-Q1 系列器件支持两种不同的接口模式 (SPI 和硬件), 使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚, 允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以评估一个接口版本, 然后只需对设计进行极少修改即可切换到另一个版本。

7.3.3.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 DRV8376-Q1 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚可以通过 SDO_MODE 配置为开漏或推挽。
- nSCS 引脚是片选输入引脚。此引脚上的逻辑低电平信号可支持 SPI 通信。

有关 SPI 的更多信息，请参阅 节 7.5。

7.3.3.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入端，即 GAIN、SLEW、MODE_SR 和 OCP。

硬件接口让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，进行常用的器件设置配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- GAIN 引脚可配置电流检测放大器的增益。
- SLEW 引脚可配置输出电压的压摆率。
- MODE_SR 引脚可配置 PWM 控制模式。
- OCP 引脚用于配置 OCP 电平。

有关硬件接口的更多信息，请参阅 节 7.3.9。

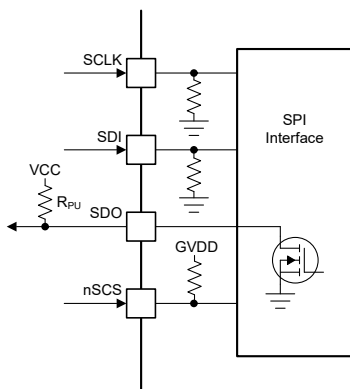


图 7-5. DRV8376S SPI

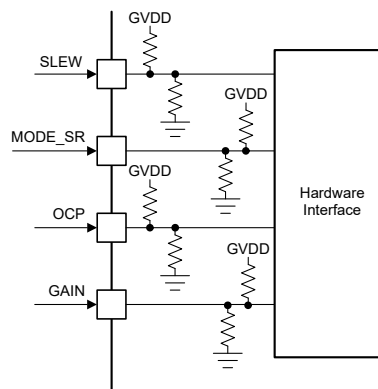


图 7-6. DRV8376H 硬件接口

备注

VCC 是外部上拉电压

7.3.4 AVDD 和 GVDD 线性稳压器

DRV8376 系列器件集成了 DRV8376 MCT8376 3.3V 和 5V 线性稳压器，因此可用于外部电路。AVDD 和 GVDD 稳压器为器件的内部数字电路供电，还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。在 AVDD 引脚附近放置一个 X5R 或 X7R、0.1 μF、6.3V 陶瓷电容器以旁路 AVDD 稳压器的输出，并将该电容器直接连接回相邻的 AGND 接地引脚。在 GVDD 引脚附近放置一个 X5R 或 X7R、1 μF、10V 陶瓷电容器以旁路 GVDD 稳压器的输出，并直接连接到相邻的 AGND 接地引脚。

AVDD 标称空载输出电压为 3.3V。

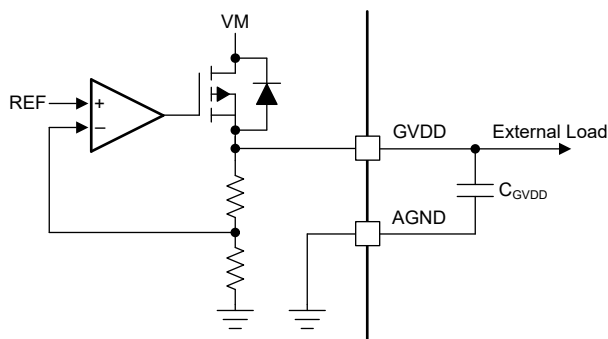


图 7-7. GVDD 线性稳压器方框图

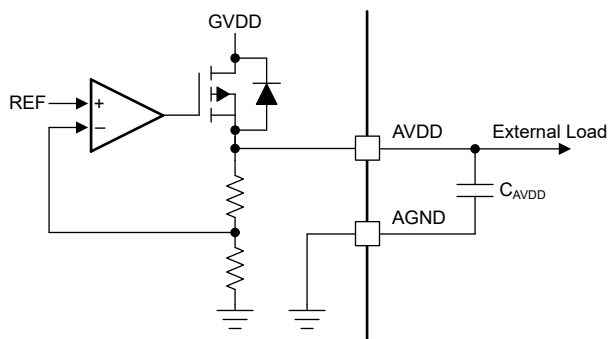


图 7-8. AVDD 线性稳压器方框图

可以使用[方程式 1](#)和[方程式 2](#)来计算以 VM 作为电源的 AVDD 和 GVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{VM} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (2)$$

例如，当 V_{VM} 为 24V 时，从 AVDD 汲取 20mA 的电流会导致[方程式 3](#)所示的功率耗散。

$$P = (24V - 3.3V) \times 20mA = 414mW \quad (3)$$

备注

线性稳压器 AVDD 和 GVDD 的组合外部电流支持仅限于 30mA。如果外部负载的 30mA 连接到 AVDD，则不要将任何外部负载连接到 GVDD，反之亦然。

7.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此该器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。DRV8376 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要一个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明并参阅（[节 7.3](#)）部分。

当 nSLEEP 为低电平时或过热关断期间，电荷泵会关断。

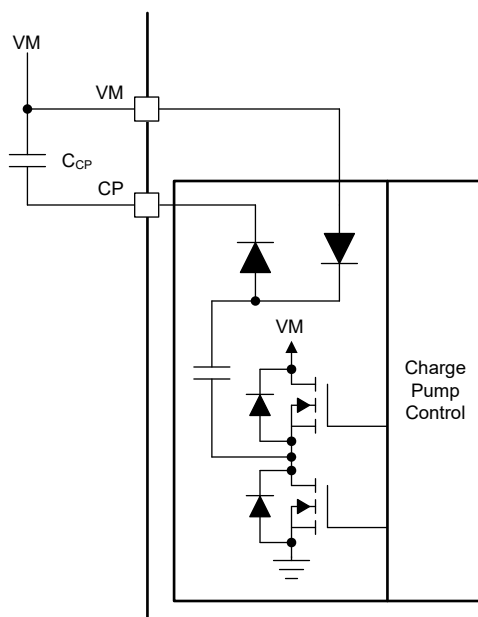


图 7-9. DRV8376 电荷泵

7.3.6 压摆率控制

可调栅极驱动电流控制主动管理半桥中的 MOSFET，以实现压摆率控制。MOSFET VDS 压摆率对优化辐射发射、二极管恢复尖峰的能量和持续时间以及寄生引起的开关电压瞬态有着关键影响。内部 MOSFET 的栅极电荷的速率主要决定这些压摆率，如图 7-10 所示。

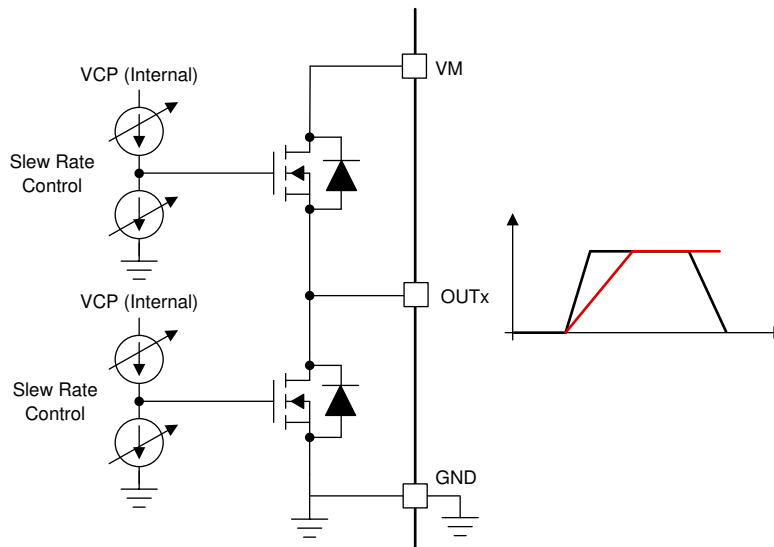


图 7-10. 压摆率电路实现

在硬件型号中，每个半桥的压摆率可以通过 SLEW 引脚进行调整，在 SPI 器件型号中则使用 SLEW 位进行调整。每个半桥都可以选择为 1.1V/ns、0.5V/ns、0.25V/ns 或 0.05V/ns 的压摆率设置。压摆率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 7-11 所示。

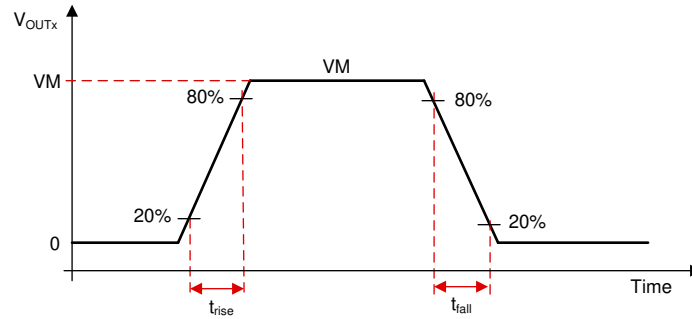


图 7-11. 压摆率时序

备注

DRV8376H 器件仅在上电期间检测 SLEW 引脚，并且在运行期间不支持压摆率更改。在 DRV8376S 器件中，可在运行期间通过寄存器写入来更改压摆率。TI 建议不要在运行期间更改压摆率。

7.3.7 跨导 (死区时间)

该器件针对 MOSFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 (t_{dead}) 来维持高侧和低侧 MOSFET 的运行，从而避免任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并保持高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 7-12 和图 7-13 所示。

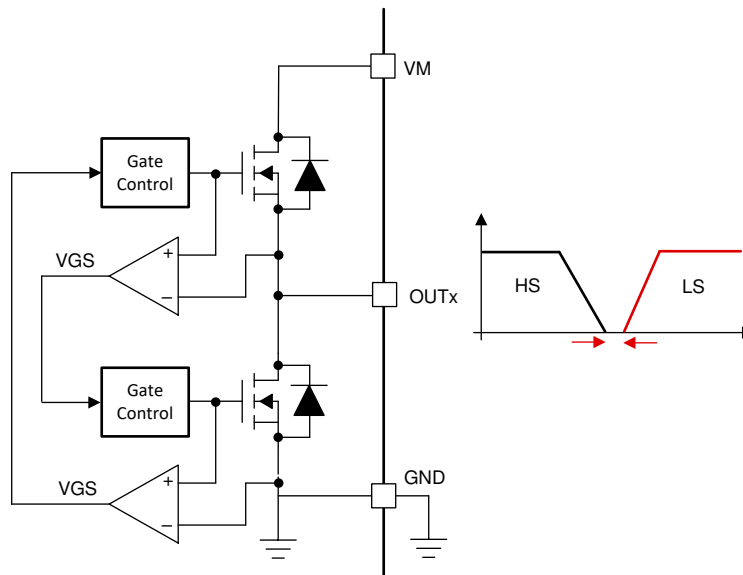


图 7-12. 跨导保护

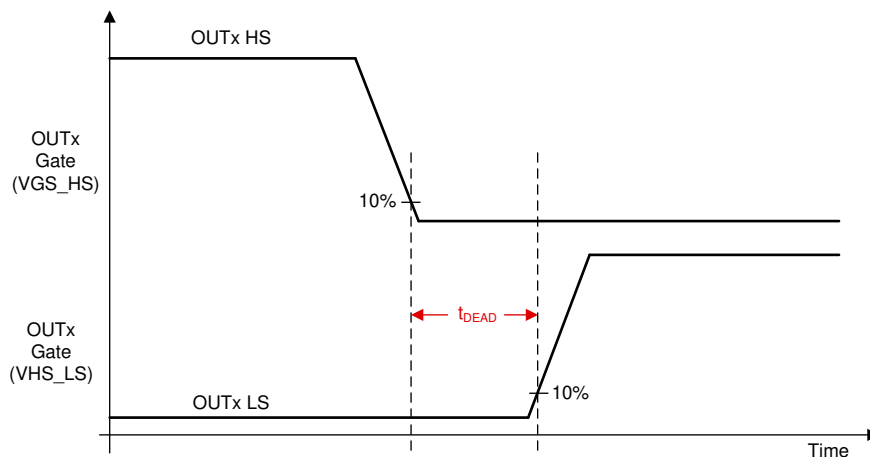


图 7-13. 死区时间

7.3.8 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。

备注

在电流限制模式或主动消磁模式期间，当输入命令通过器件传播时，会添加一个小的数字延迟，并且用户在这些模式下可能会看到多达 300ns 的延迟。

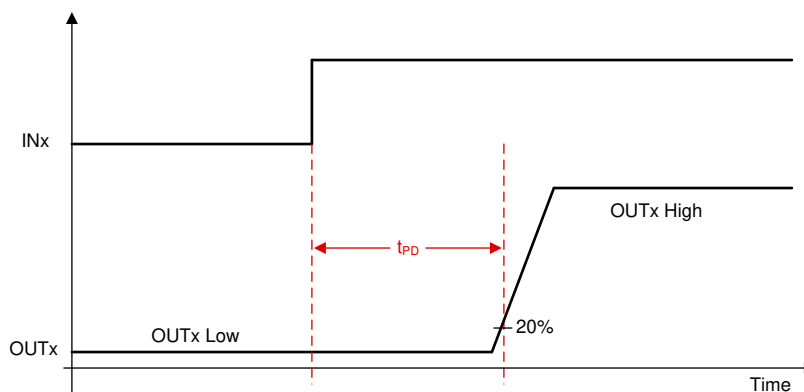


图 7-14. 传播延迟时序

7.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

7.3.9.1 逻辑电平输入引脚 (内部下拉)

图 7-15 显示了逻辑电平引脚 DRVOFF、IN_{Hx}、IN_{Lx}、nSLEEP、SCLK 和 SDI 的结构。输入可以由电压或外部电阻器驱动。TI 建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

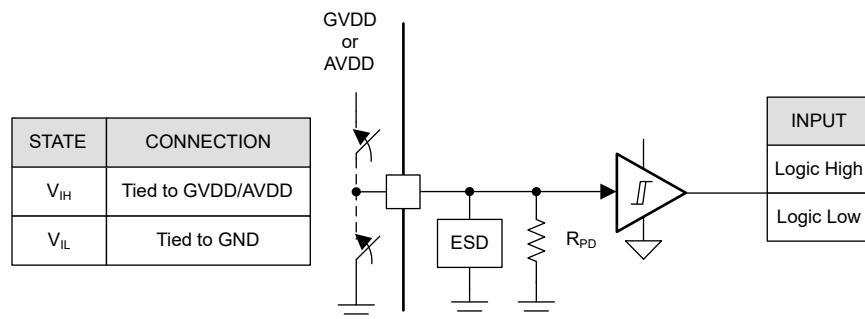


图 7-15. 逻辑电平输入引脚结构

7.3.9.2 逻辑电平输入引脚 (内部上拉)

图 7-16 展示了逻辑电平引脚 nSCS 的输入结构。输入可以由电压或外部电阻器驱动。

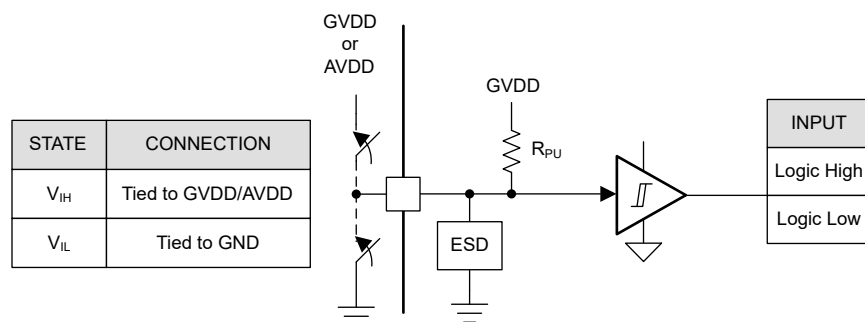


图 7-16. 逻辑 nSCS

7.3.9.3 开漏引脚

图 7-17 展示了开漏模式下的开漏输出引脚、nFAULT 和 SDO 的结构。开漏输出需要外部上拉电阻器正常运行。

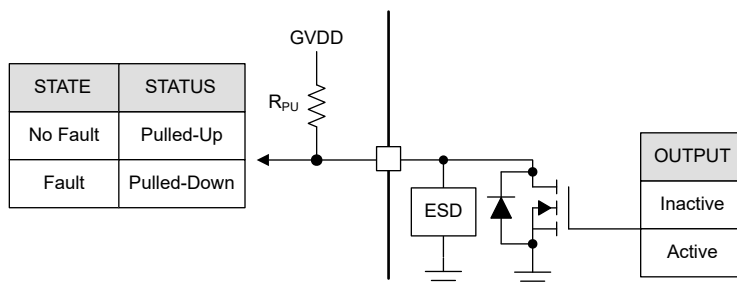


图 7-17. 漏极开路

7.3.9.4 推挽引脚

图 7-18 展示了推挽模式下的 SDO 结构。通过配置 SDO_VSEL，可以将推挽模式下的 SDO 电源选择为 GVDD 或 AVDD。

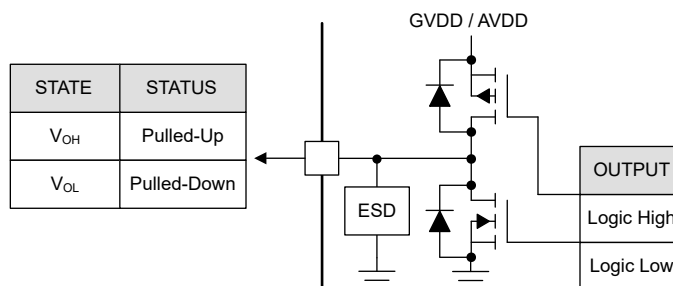


图 7-18. 推挽

7.3.9.5 四电平输入引脚

图 7-19 显示了硬件接口器件上四电平输入引脚 GAIN、MODE、_SR、SLEW 和 OCP 的结构。可以通过外部电阻器设置该输入。

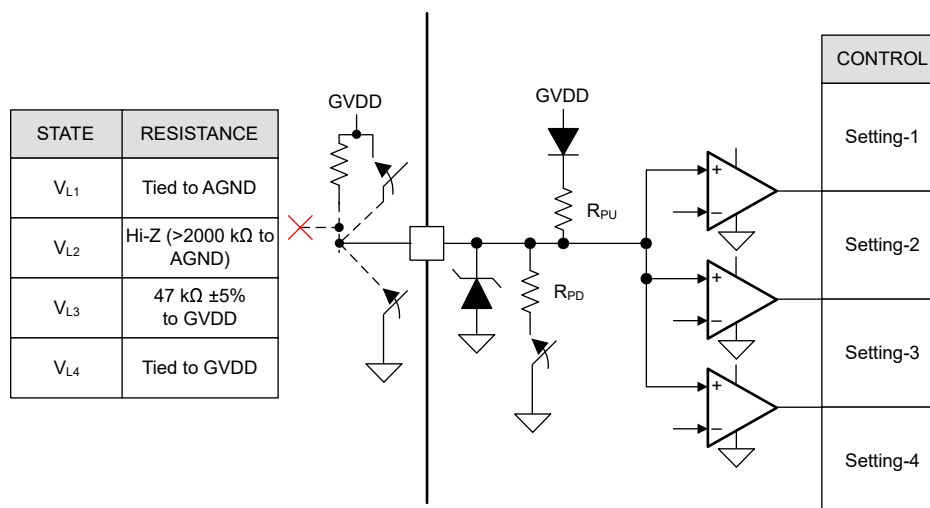


图 7-19. 四电平输入引脚结构

7.3.10 电流检测放大器

DRV8376 集成了三个高性能低侧电流检测放大器，以便使用内置电流检测进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。三个放大器都可用于检测每个半桥臂（低侧 FET）中的电流。电流检测放大器包括可编程增益等特性，并在电压基准引脚 (VREF) 上提供外部基准。

7.3.10.1 电流检测放大器操作

DRV8376 上的 SOx 引脚输出的模拟电压与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成比例。增益设置可在四个不同级别之间调节，这些级别可通过 GAIN 引脚（在硬件器件型号中）或 GAIN 位（在 SPI 器件型号中）设置。

图 7-20 显示了电流检测放大器的内部架构。电流检测是通过 DRV8376 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息馈送到内部 I/V 转换器，该转换器根据 VREF 引脚上的电压和增益设置在 SOX 引脚上生成 CSA 输出电压。CSA 输出电压可按以下公式计算：

$$SOX = \left(\frac{V_{REF}}{2} \right) \pm GAIN \div I_{OUTX} \quad (4)$$

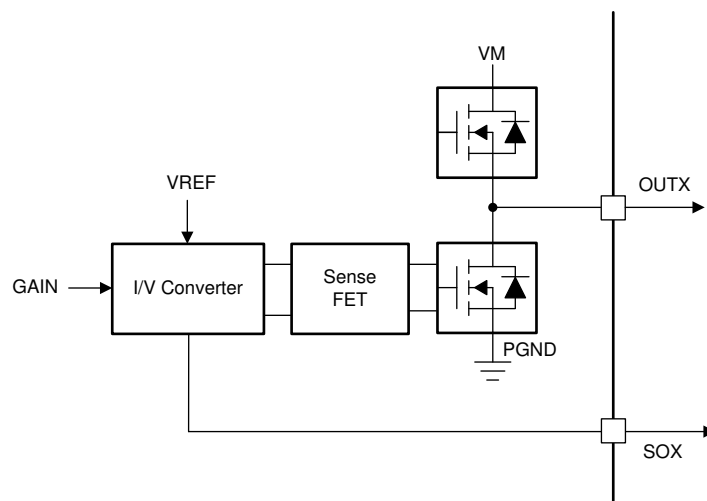


图 7-20. 集成电流检测放大器

图 7-21 和图 7-22 详细说明了放大器的工作范围。在双向运行中，放大器将 0V 输入的输出设置为 $V_{REF}/2$ 。差分输入的任何变化都会使输出产生相应变化，该变化乘以 CSA GAIN 系数。放大器在定义的线性区域内保持运行。

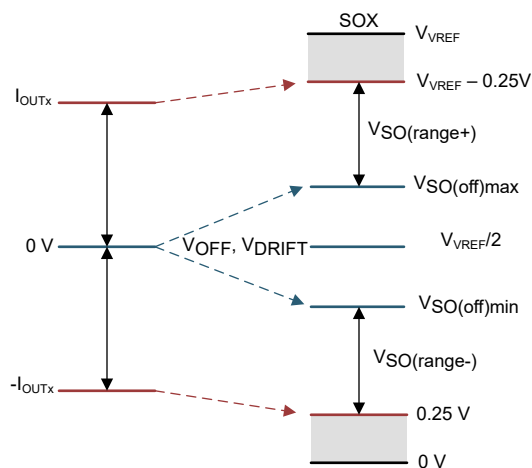


图 7-21. 双向电流检测输出

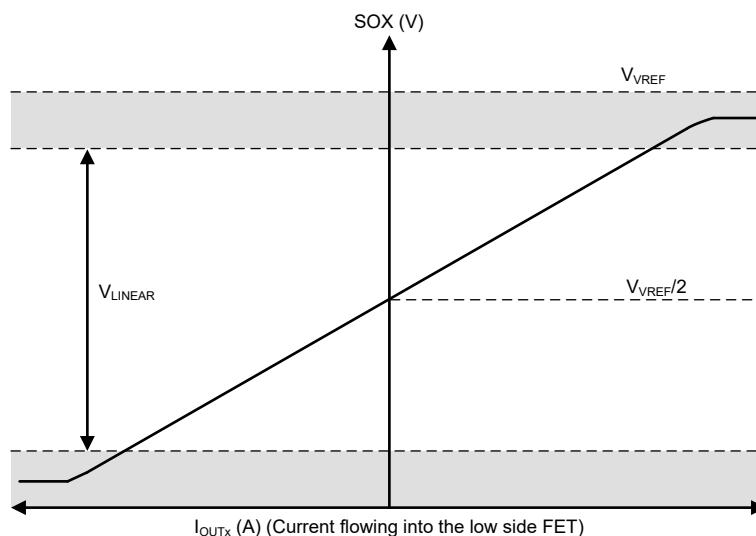


图 7-22. 双向电流检测区域

备注

电流检测放大器不支持输出端的持续电流负载，而仅支持输出端的容性负载。TI 建议在电流检测放大器的输出端连接由电阻器和电容器组成的低通滤波器。

备注

电流检测放大器支持动态增益变化。在 HW 型号中，系统通过引脚感应每 1ms 对增益进行一次采样，而在 SPI 型号中，系统通过 SPI 写入更新该增益。收到增益更改命令后，系统会在任何 INLx 信号的下一个下降沿将新的增益应用于所有三个电流检测放大器。

7.3.11 主动消磁

DRV8376 系列器件具有智能整流特性（主动消磁），可通过减少二极管导通损耗来降低器件中的功率损耗。启用此特性后，只要该器件检测到二极管导通，它就会自动导通相应的 MOSFET。对于硬件型号，可以使用 MODE_SR 引脚配置此特性。在 SPI 器件型号中，这可以通过 EN_ASR 和 EN_AAR 位进行配置。智能整流分为自动同步整流 (ASR) 模式和自动异步整流 (AAR) 模式两类，后续几节对此进行了介绍。

备注

在 SPI 器件型号中，EN_ASR 和 EN_AAR 这两个位都需要设置为 1 才能启用主动消磁。

DRV8376 器件包括一个高侧 (AD_HS) 和低侧 (AD_LS) 比较器，用于检测每个半桥上器件中的负电流。AD_HS 比较器将检测 FET 输出与电源电压 (VM) 阈值进行比较，而 AD_LS 比较器则与接地 (0V) 阈值进行比较。根据从 OUTx 流向 VM 或从 PGND 流向 OUTx 的电流，AD_HS 或 AD_LS 比较器跳变。该比较器为主动消磁特性的运行提供基准点。

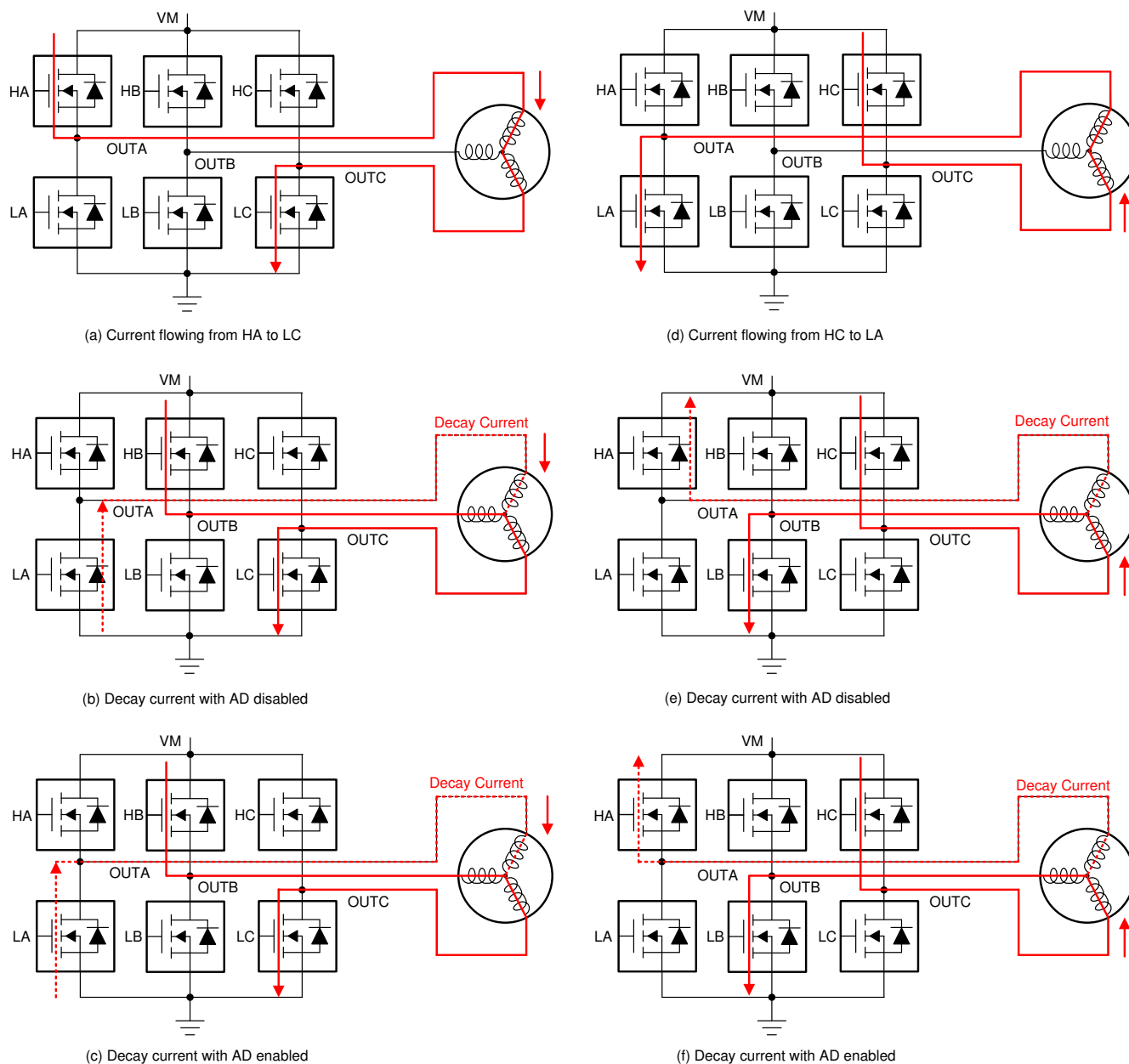
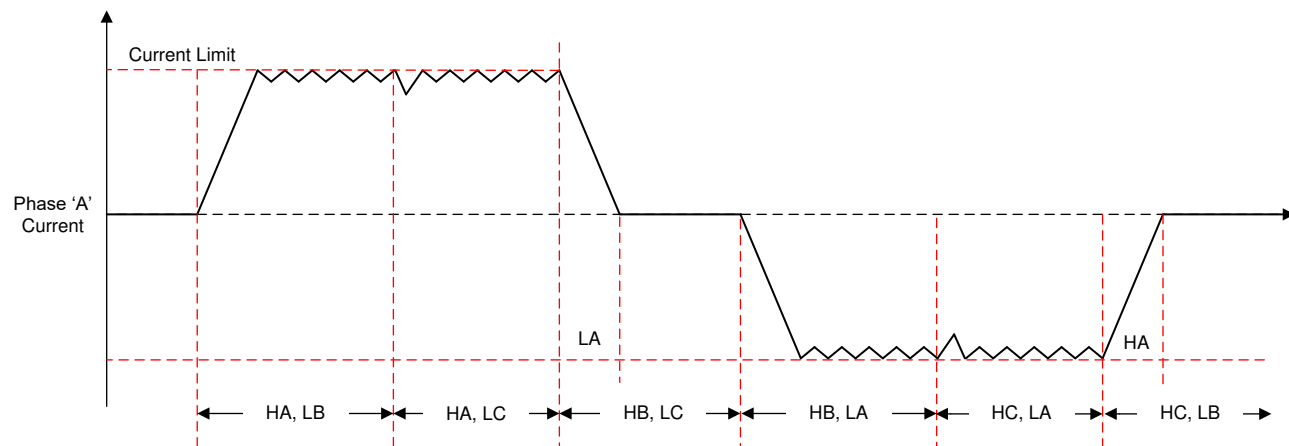


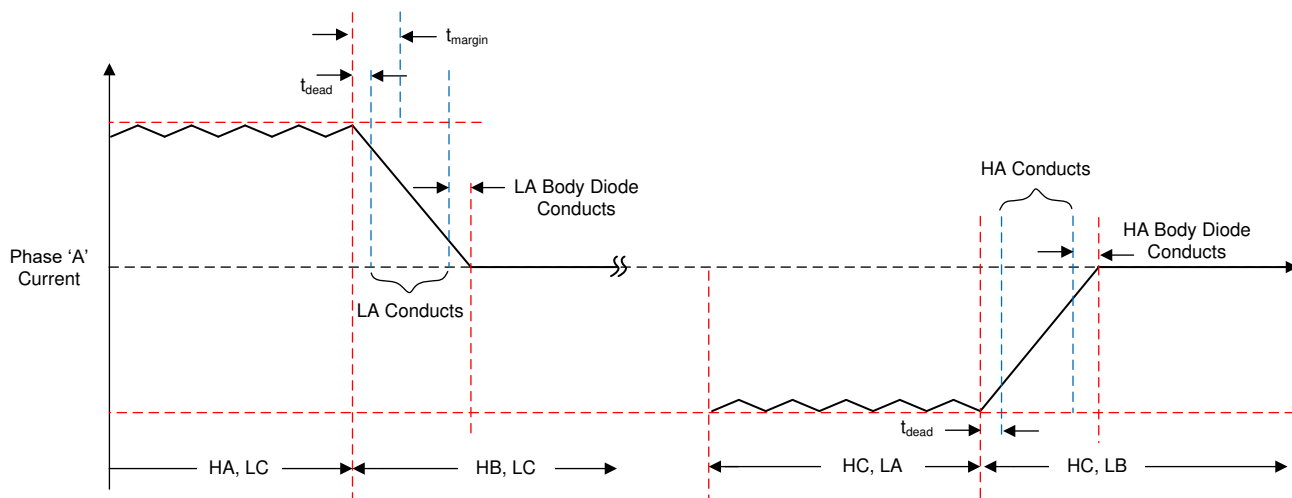
图 7-24. BLDC 电机换向中的 ASR

图 7-25 (a) 显示了以梯形换向方式运行的 BLDC 电机在自动同步整流模式下的 BLDC 电机相电流波形。该图显示了在单个换向周期中各种开关的运行情况。

图 7-25 (b) 显示了换向周期的放大波形，详细说明了 ASR 模式启动时的裕度时间 (t_{margin}) 和 ASR 模式由于主动消磁比较器阈值和延迟而提前停止的情况。



(a) Commutation current of Phase "A"



(b) Zoomed waveform of Active Demagnetization

图 7-25. BLDC 电机换向中 ASR 的电流波形

7.3.11.1.2 自动同步整流 (PWM 模式)

图 7-26 显示了 PWM 模式下 ASR 的运行情况。如该图所示，PWM 仅应用于高侧 FET，而低侧 FET 始终关断。在 PWM 关断期间，低侧 FET 的电流衰减，从而导致更高的功率损耗。因此，该模式支持在低侧二极管导通期间导通低侧 FET。

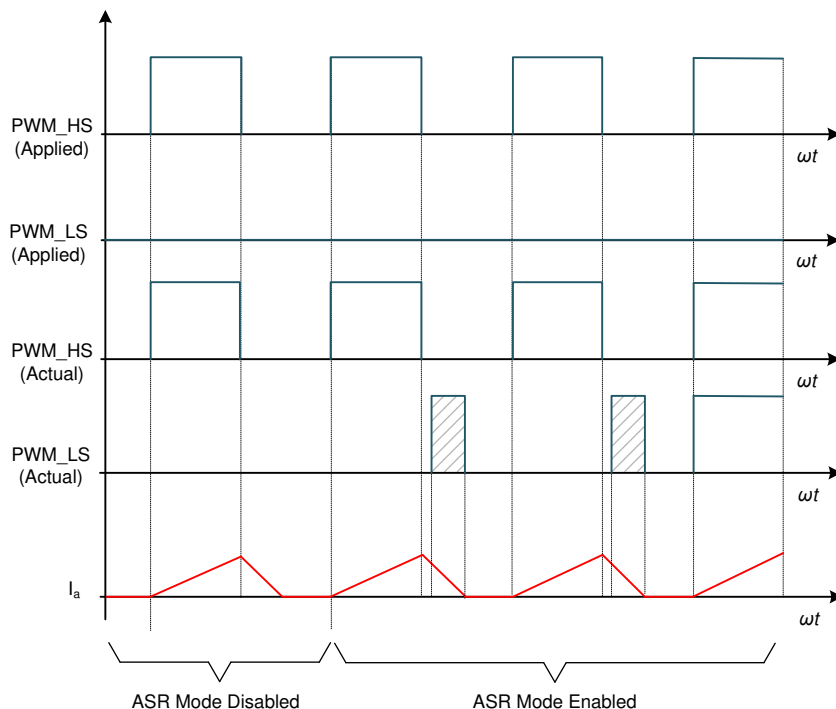


图 7-26. ASR 处于 PWM 模式

7.3.11.2 自动异步整流模式 (AAR 模式)

图 7-27 显示了 PWM 模式下 AAR 的运行情况。如该图所示，在同步整流中将 PWM 应用于高侧和低侧 FET。在低侧 FET 导通期间，对于电感较低的电机，电流可能衰减至零并变为负值，因为低侧 FET 处于导通状态。这会对 BLDC 电机运行产生负扭矩。启用 AAR 模式时，会监测衰减期间的电流，并且一旦电流达到接近零，低侧 FET 便会关断。这节省了 BLDC 电机中建立的负电流，从而实现更好的噪声性能和更好的热管理。

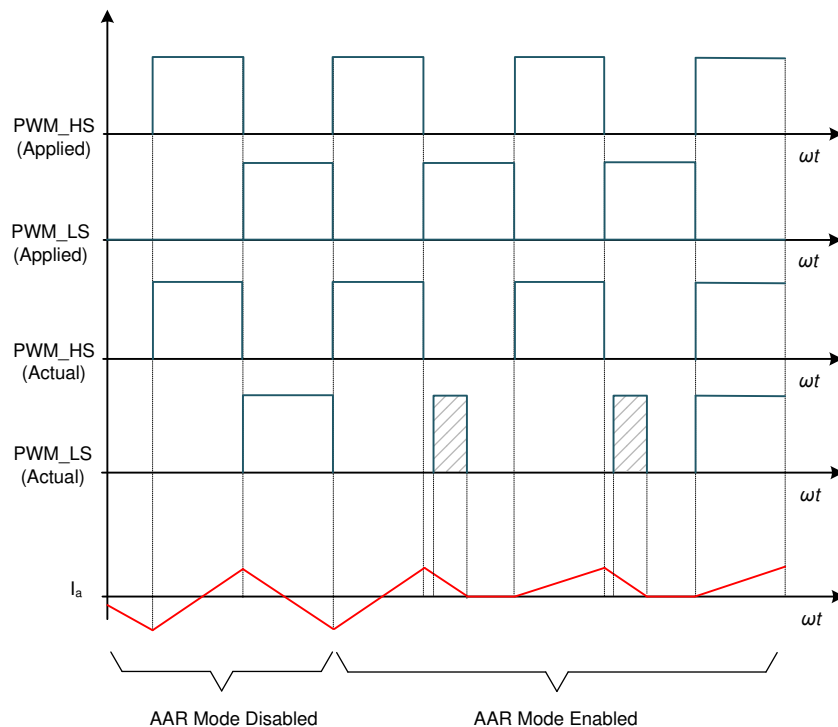


图 7-27. AAR 处于 PWM 模式

7.3.12 逐周期电流限制

电流限制电路利用三相的电流检测放大器输出，并将该电压与 ILIMIT 引脚处的电压进行比较。图 7-28 展示了电流限制电路的实现方式，其中电流检测放大器的输出与星形连接的电阻网络相结合。这个测得的电压 V_{MEAS} 与 ILIMIT 引脚上的外部基准电压 V_{LIM} 进行比较，以实现电流限制实施。三相上检测到的电流 (I_{OUTx}) 与 V_{MEAS} 阈值之间的关系如下所示：

$$V_{MEAS} = \left(\frac{V_{VREF}}{2} \right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN / 3) \quad (5)$$

其中

- V_{VREF} 是电流检测放大器电源
- I_{OUTx} 是流入低侧 MOSFET 的电流
- CSA_GAIN 是电流检测放大器增益

可以通过配置 ILIMIT 引脚上的电压来调整电流限制阈值。当 ILIMIT 引脚上的电压在 $V_{REF}/2$ 至 V_{MEAS} 之间变化时，电流限制会在 0A 至 4A 之间呈线性变化。可以施加大于 V_{VREF} 的电压来禁用 ILIMIT。

在高侧和低侧开关控制输入 (INHx 和 INLx) 的每个上升沿，电流限制比较器输出均存在一个消隐时间，而在消隐时间内，DRV8376 输出状态取决于 INHx 和 INLx 状态。在 SPI 器件中，消隐时间通过 ILIM_BLANK_SEL 进行配置，而在硬件型号中，对于 50 的压摆率，消隐时间固定为 5.5us，对于所有其他压摆率，消隐时间则固定为 1.8us。

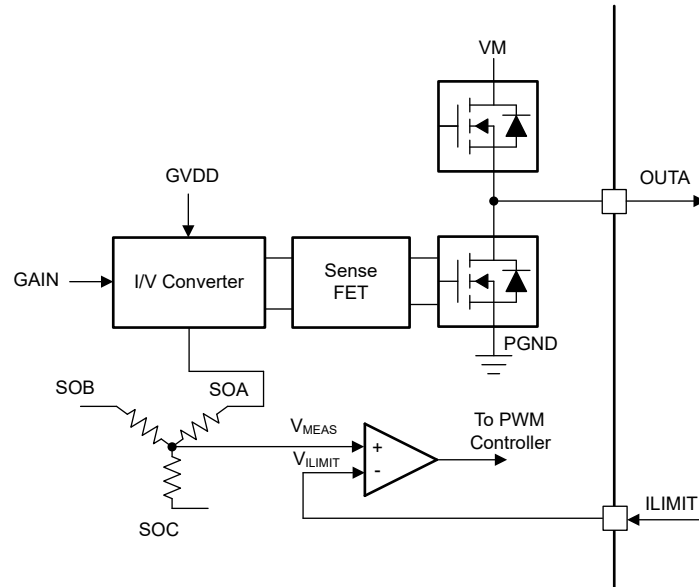


图 7-28. 电流限制实现

当电流限制激活时，每个半桥的高侧 FET 将被禁用，直到该半桥的高侧 (INHx) 的上升沿为止，如 图 7-29 所示。在 SPI 器件型号中，通过配置 ILIM_MODE 位，低侧 FET 可以在制动模式或滑行（高阻态）模式下运行。在硬件型号中，低侧 FET 在滑行（高阻态）模式下运行。

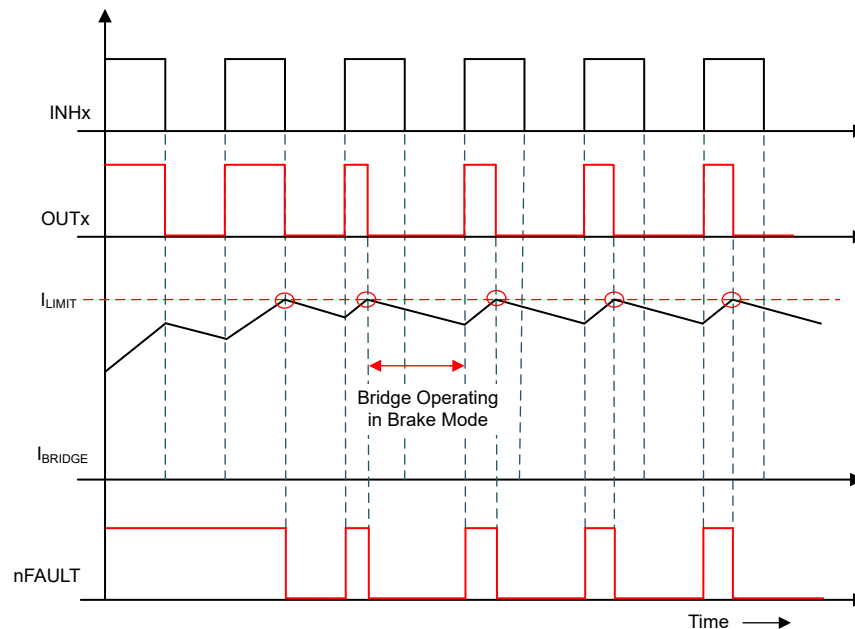


图 7-29. 逐周期电流限制运行

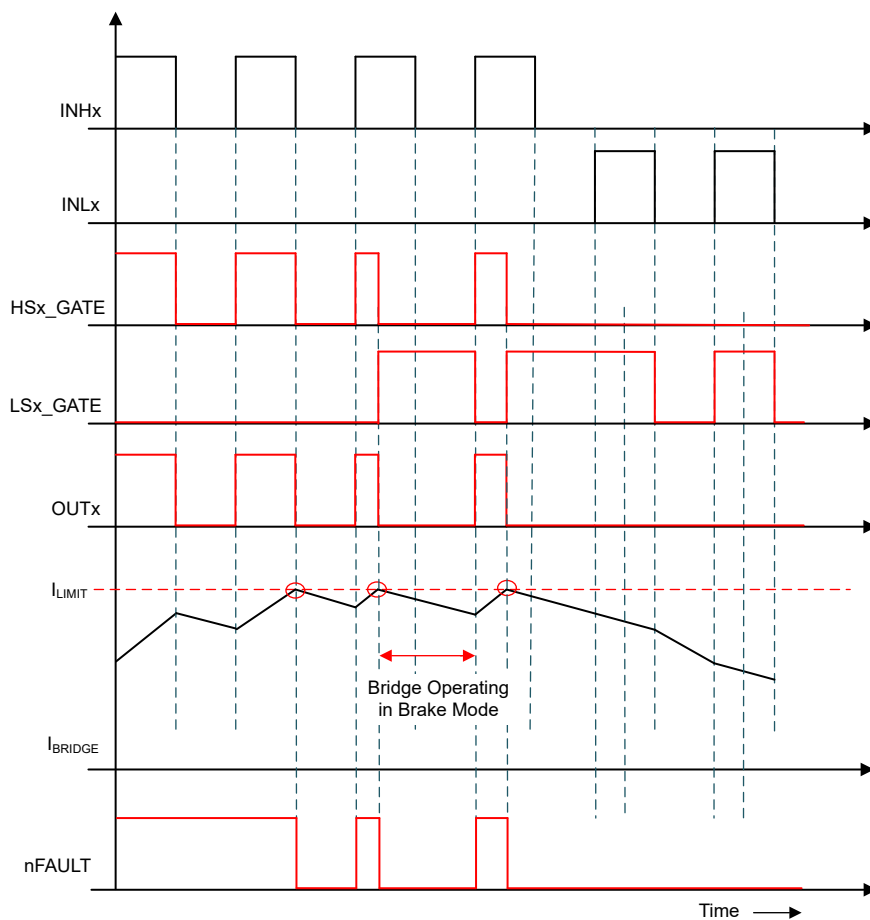


图 7-30. 低侧在制动模式下开关的逐周期电流限制运行

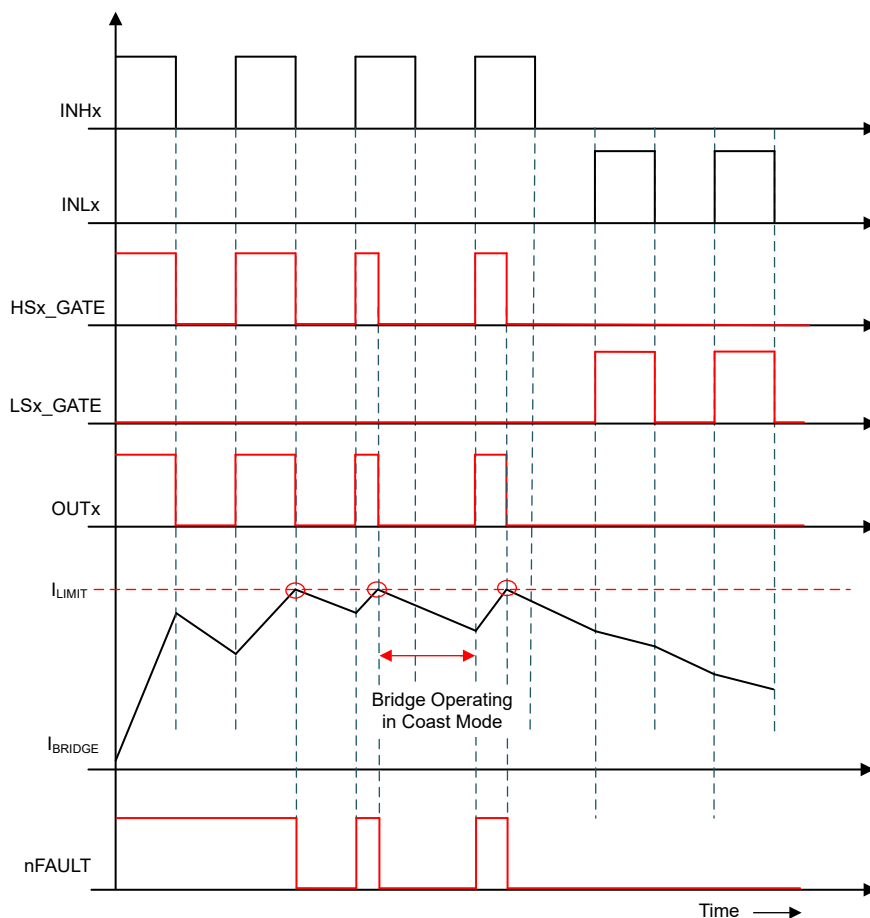


图 7-31. 低侧在滑行模式下开关的逐周期电流限制运行

图 7-32 显示了驱动器在制动模式下的运行情况，其中电流通过低侧 FET 再循环，而高侧 FET 被禁用。所示

图 7-33 显示了驱动器在高阻态模式下的运行情况，其中电流通过低侧 FET 的体二极管再循环，而高侧 FET 被禁用。所示

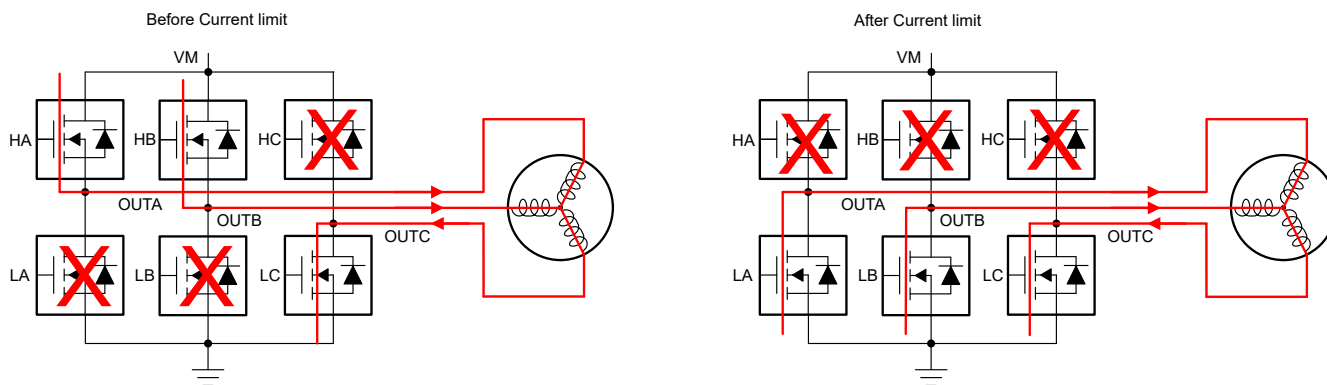


图 7-32. 制动状态

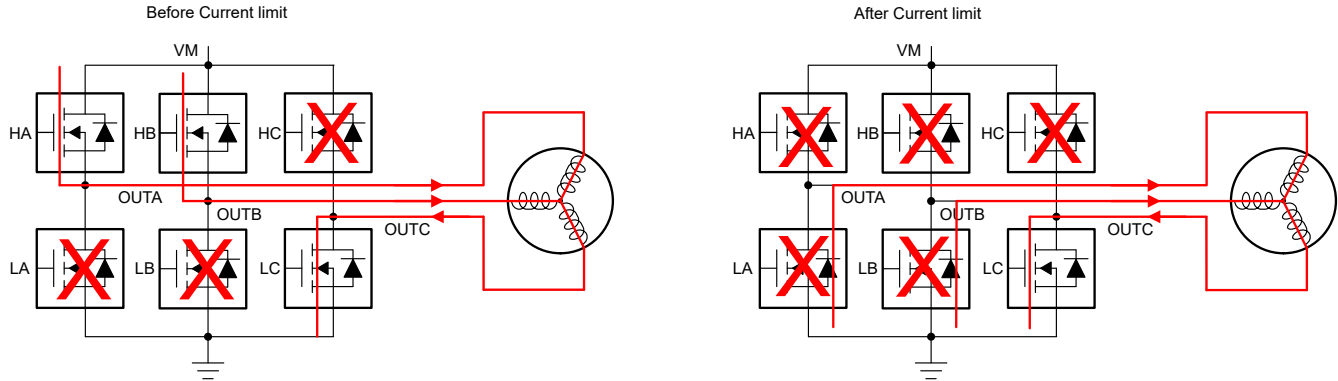


图 7-33. 滑行状态

备注

在制动运行期间，大电流会流过低侧 FET，最终会激活过流保护电路。在此状态下，高侧 FET 的体二极管传导制动能量并将其引导到 VM 电源轨。

7.3.12.1 具有 100% 占空比输入的逐周期电流限制

如果对 PWM 输入施加 100% 占空比，则没有边沿可用于重新开启高侧 FET。为了克服此问题，DRV8376-Q1 具有内置内部 PWM 时钟，当高侧 FET 在超过 I_{LIMIT} 阈值后被禁用时，该时钟用于重新开启高侧 FET。在 SPI 型号 DRV8376-Q1 中，可以通过 PWM_100_DUTY_SEL 将此内部 PWM 时钟配置为 10kHz、20kHz 或 40kHz。在硬件型号 DRV8376-Q1 中，PWM 内部时钟设置为 20kHz。图 7-34 展示了具有 100% 占空比的运行。

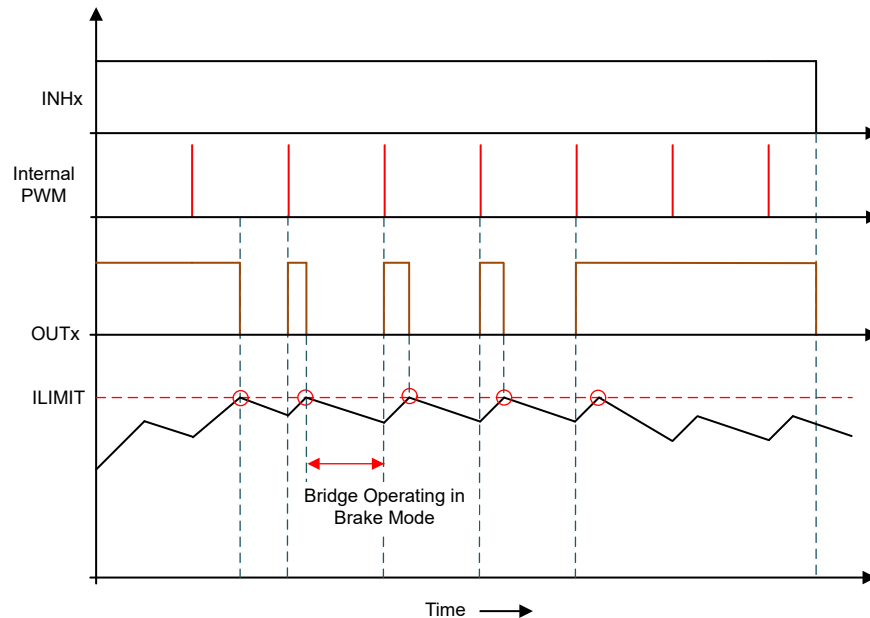


图 7-34. 具有 100% PWM 占空比的逐周期电流限制运行

7.3.13 保护功能

DRV8376-Q1 系列器件可防止 VM 欠压、电荷泵欠压和过流事件。表 7-5 总结了各种故障详细信息。

表 7-5. 故障操作和响应 (SPI 器件)

故障	条件	配置	报告	H 桥	逻辑	恢复
VM 欠压 (RESET)	$V_{VM} < V_{UVLO}$	—	—	高阻态	禁用	自动： $V_{VM} > V_{UVLO_R}$ CLR_FLT, nSLEEP 复位脉冲 (RESET 位)
GVDD 欠压 (RESET)	$V_{GVDD} < V_{GVDD_UV}$	—	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UV_R}$ CLR_FLT, nSLEEP 复位脉冲 (RESET 位)
AVDD 欠压 (RESET)	$V_{AVDD} < V_{AVDD_UV}$	—	—	高阻态	禁用	自动： $V_{AVDD} > V_{AVDD_UV_R}$ CLR_FLT, nSLEEP 复位脉冲 (RESET 位)
电荷泵欠压 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	高阻态	运行	自动： $V_{VCP} > V_{CPUV}$ CLR_FLT, nSLEEP 复位脉冲 (VCP_UV 位)
过压保护 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	无	运行	运行	无操作 (OVP 禁用)
		OVP_MODE = 1b	故障	高阻态	运行	自动： $V_{VM} < V_{OVP}$ CLR_FLT, nSLEEP 复位脉冲 (OVP 位)
过流保护 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	高阻态	运行	锁存： CLR_FLT, nSLEEP 复位脉冲 (OCP 位)
		OCP_MODE = 01b	nFAULT	高阻态	运行	重试： t_{RETRY} CLR_FLT, nSLEEP 复位脉冲 (OCP 位)
		OCP_MODE = 10b	nFAULT	运行	运行	仅报告： CLR_FLT, nSLEEP 复位脉冲 (OCP 位)
		OCP_MODE = 11b	无	运行	运行	无操作
ILIMIT	$V_{LIMIT} > V_{SO}$	ILIMFLT_MODE = 0b	无	ILIMIT 模式	运行	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT 模式	运行	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
SPI 误差 (SPI_FLT)	SCLK、奇偶校验和 ADDR 故障	SPIFLT_MODE = 0b	无	运行	运行	无操作
		SPIFLT_MODE = 1b	nFAULT	运行	运行	仅报告： CLR_FLT, nSLEEP 复位脉冲 (SPI_FLT 位)
OTP 误差 (OTP_ERR)	OTP 读数错误	—	nFAULT	高阻态	运行	锁存： 下电上电, CLR_FLT
热警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	无	运行	运行	无操作
		OTW_MODE = 1b	nFAULT	运行	运行	自动： $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT, nSLEEP 脉冲 (OTW 位)
热关断 (OTSD)	$T_J > T_{TSD}$	—	nFAULT	高阻态	运行	自动： $T_J < T_{TSD} - T_{TSD_HYS}$

7.3.13.1 VM 电源欠压锁定 (RESET)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{UVLO} 阈值 (VM UVLO 下降阈值)，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用，如图 7-35 所示。消除 VM 欠压条件后，将恢复正常运行 (驱动器运行)。一旦器件假定 VM，器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

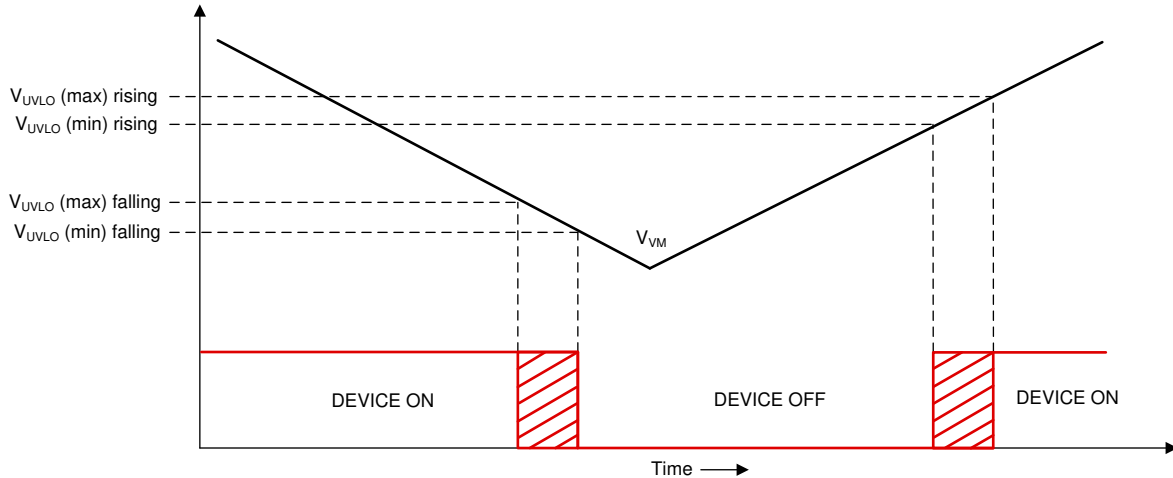


图 7-35. VM 电源欠压锁定

7.3.13.2 AVDD 欠压保护 (AVDD_UV)

在任何时候，如果 AVDD 引脚上的电压降至 V_{AVDD_UV} 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 AVDD 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定 VM，器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

7.3.13.3 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压降至 V_{GVDD_UV} 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 GVDD 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定 VM，器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

7.3.13.4 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于电荷泵的 V_{CPUV} 阈值电压，则会禁用所有集成式 FET 并将 nFAULT 引脚驱动至低电平。VCP 欠压条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。电荷泵欠压情况在 FAULT 和 CPUV 位上报告。当电荷泵欠压情况消除后，故障位将自动清除。CPUV 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在硬件和 SPI 器件型号中始终启用 CPUV 保护。

7.3.13.5 过压保护 (OV)

无论 VM 引脚上的输入电源电压何时上升至高于 V_{OVP} 阈值电压，都会禁用所有集成 FET 并将 nFAULT 引脚驱动至低电平。OVP 条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。欠压情况在 FAULT 和 OVP 位上报告。过压条件消失后，FAULT 位自动清除。OVP 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在 SPI 器件上，将 OVP_MODE 位设置为高电平可启用该保护功能。在硬件接口器件上，OVP 保护功能会被禁用。

在 SPI 器件型号上，OVP 阈值也可以进行编程。OVP 阈值可以根据 OVP_SEL 位设置为 35V 或 65V。

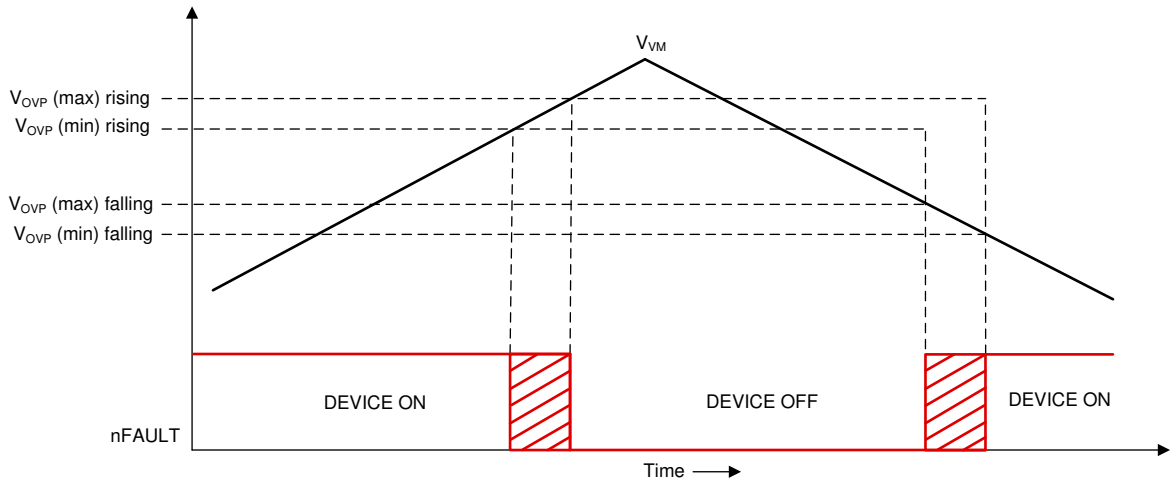


图 7-36. 过压保护

7.3.13.6 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件并根据 OCP_MODE 位执行操作。在硬件接口器件上， I_{OCP} 阈值通过 OCP 引脚进行设置， t_{OCP_DEG} 固定为 $1.2\mu s$ ，并且 OCP_MODE 位配置为锁存关断。在 SPI 器件上， I_{OCP} 阈值通过 OCP_LVL 位设置，而 t_{OCP_DEG} 通过 OCP_DEG 位设置。

表 7-6 显示了 DRV8376 器件的 OCP 电平和抗尖峰脉冲时间配置。

表 7-6. OCP 配置

OCP 设置	OCP 引脚 (硬件型号)	OCP_LVL 位 (SPI 型号)	最低 OCP 电平
OCP 1	连接到 AGND	OCP_LVL = 0b	4.5A
OCP 2	连接到 GVDD	OCP_LVL = 1b	2.5A

OCP_MODE 位可以在四种不同的模式下运行：OCP 锁存关断、OCP 自动重试、OCP 仅报告和 OCP 禁用。

7.3.13.6.1 OCP 锁存关断 (OCP_MODE = 00b)

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。

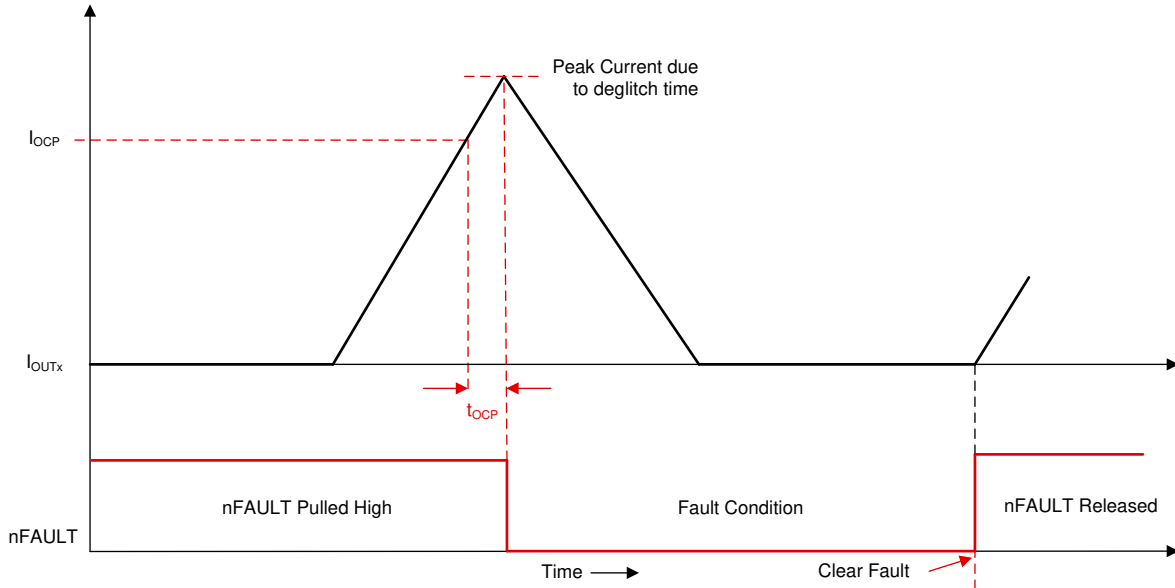


图 7-37. 过流保护 - 锁存关断模式

7.3.13.6.2 OCP 自动重试 (OCP_MODE = 01b)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 $nFAULT$ 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 $nFAULT$ 引脚）。在 t_{RETRY} 时间过后，FAULT、OCP 和相应 FET 的 OCP 位保持锁存，直到通过 CLR_FLT 位或 $nSLEEP$ 复位脉冲 (t_{RST}) 发出清除故障命令为止。

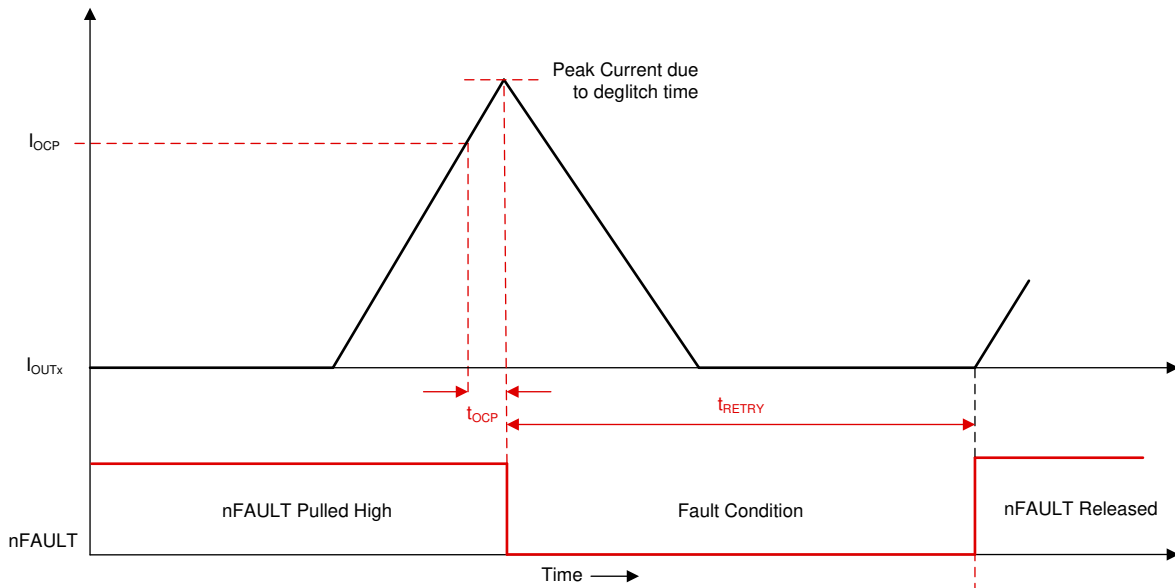


图 7-38. 过流保护 - 自动重试模式

7.3.13.6.3 OCP 仅报告 (OCP_MODE = 10b)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 $nFAULT$ 引脚驱动至低电平并将 SPI 寄存器中的 FAULT、OCP 和相应的 FET OCP 位锁定为高电平来报告过流事件。DRV8376-Q1 继续照常运行。外部控

制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

7.3.13.6.4 OCP 已禁用 (OCP_MODE = 11b)

在该模式下发生 OCP 事件后不会执行任何操作。

7.3.13.7 热警告 (OTW)

如果内核温度超过热警告 (T_{OTW}) 的触发点，则会设置 OT 状态 (OT_STS) 寄存器中的 OT 位和状态寄存器 (DEV_STS) 中的 OTF 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_MODE) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的迟滞点 (T_{OTW_HYS}) 时，nFAULT 引脚会释放。OTW 位保持设置状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 将其清除且内核温度低于热警告触发点 (T_{OTW})。在硬件型号上，默认情况下不会在 nFAULT 引脚上报告过热警告。

7.3.13.8 热关断 (OTS)

如果器件中的内核温度超过热关断限值 (T_{TSD}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 nFAULT 引脚驱动至低电平。此外，还会设置 OT 状态 (OT_STS) 寄存器中的 FAULT 和 OTSD 位以及状态寄存器 (DEV_STS) 中的 OTF 位。过热条件清除后，器件将重新开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OTSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

7.4 器件功能模式

7.4.1 功能模式

7.4.1.1 睡眠模式

nSLEEP 引脚管理 DRV8376-Q1 系列器件的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 GVDD 和 AVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有 MOSFET 都被禁用。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

7.4.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、GVDD 稳压器、AVDD 稳压器和 SPI 总线处于活动状态。

7.4.1.3 故障复位 (CLR_FLT 或 nSLEEP 复位脉冲)

在器件存在锁存故障的情况下，DRV8376-Q1 系列器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 (t_{RST}) 包含 nSLEEP 引脚的高电平到低电平到高电平转换。序列的低电平周期在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

7.4.2 DRVOFF 功能

DRV8376 能够禁用前置驱动器和通过 DRVOFF 引脚绕过数字逻辑的 MOSFET。当 DRVOFF 引脚被拉高时，所有六个 MOSFET 均被禁用。如果在 DRVOFF 引脚为高电平时 nSLEEP 为高电平，则电荷泵、AVDD 稳压器、GVDD 稳压器和 SPI 总线将处于活动状态，而任何与驱动器相关的故障（例如 OCP）处于非活动状态。DRVOFF 引脚独立禁用 MOSFET，无论 INHx 和 INLx 输入引脚的状态如何，这都会停止电机换向。

7.5 SPI 通信

7.5.1 编程

在 DRV8376-Q1 SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。SPI 采用辅助模式工作并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 24 位的字，其中包括一个读取或写入位、一个奇偶校验位、6 位地址和 15 位数据与一个奇偶校验位。SPI 输出包含 24 位字，其中包括 8 位状态信息 (STS 寄存器) 和 16 位寄存器数据。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少应为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 24 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 24 位或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位状态数据之后在 SDO 引脚上移出。

SPI 寄存器在上电时以及器件进入睡眠模式时复位为默认设置

7.5.1.1 SPI 格式

SPI 格式 - 带奇偶校验

SDI 输入数据的字长为 24 位，包含以下格式：

- 1 个读取或写入位，W (位 B16)
- 6 个地址位，A (位 B22 至 B17)
- 奇偶校验位，P (位 B23)
- 15 个数据位和 1 个奇偶校验位，D (位 B15 到 B0)

SDO 输出数据字长为 24 位。最高有效位是状态位，最低有效 16 位是所访问寄存器的数据内容。

表 7-7. SPI 的 SDI 输入数据字格式

奇偶校验	地址							RW	奇偶校验	DATA													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 7-8. SDO 输出数据字格式

状态								DATA															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

下面详细介绍了 SPI 帧格式中使用的各个位。

读取/写入位 (R/W) : R/W (W0) 位设置为 0b 表示 SPI 写入事务。对于 SPI 读取操作，需要将 R/W 位设置为 1b。

地址位 (A) : SPI 辅助器件采用一个 6 位寄存器地址。

奇偶校验位 (P) : SPI 输入数据帧的标头和数据字段都包括用于 single-bit 错误检测的奇偶校验位 - 在表 7-7 中，B23 是标头字段的奇偶校验位，而 B15 是数据字段的奇偶校验位。使用的奇偶校验机制是偶校验，即 16 位块中的 1 数量（包括奇偶校验位）是偶数。仅当奇偶校验成功时，数据才会写入内部寄存器。可通过配置 SYS_CTRL 寄存器的 SPI_PEN 位来启用或禁用奇偶校验。默认情况下会禁用奇偶校验。

备注

尽管默认情况下会禁用奇偶校验，但 TI 建议启用奇偶校验，以防止 single-bit 错误。

8 寄存器映射

8.1 状态寄存器

表 8-1 列出了状态寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. 状态寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	器件状态寄存器	器件状态寄存器	节 8.1.1
2h	器件原始状态寄存器	器件原始状态寄存器	节 8.1.2
4h	过热状态寄存器	过热状态寄存器	节 8.1.3
5h	电源状态寄存器	电源状态寄存器	节 8.1.4
6h	驱动器状态寄存器	驱动器状态寄存器	节 8.1.5
7h	系统接口状态寄存器	系统接口状态寄存器	节 8.1.6

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
复位或默认值		
-n		复位后的值或默认值

8.1.1 器件状态寄存器 (偏移 = 0h) [复位 = 0280h]

器件状态寄存器如表 8-3 所示。

返回到[汇总表](#)。

表 8-3. 器件状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10	RESERVED	R	0h	保留
9	DNRDY_STS	R	1h	器件未就绪状态。将在上电完成后自动清除。 0h = 器件已就绪 1h = 器件未就绪
8	SYSFLT	R	0h	发生 OTP 读取故障。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	器件复位状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 清除值 1h = 器件已完成上电复位
6	SPIFLT	R	0h	SPI 故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 SPI 故障。 1h = 检测到 SPI 故障

表 8-3. 器件状态寄存器字段说明 (续)

位	字段	类型	复位	说明
5	OCP	R	0h	过流状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过流情况 1h = 检测到过流情况
4	RESERVED	R-0	0h	保留
3	OVP	R	0h	过压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过压情况 1h = 检测到过压情况
2	UVP	R	0h	电源欠压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未在 CP 上检测到欠压情况 1h = 在 CP 上检测到欠压情况
1	OTF	R	0h	过热故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过热警告/关断 1h = 检测到过热警告/关断
0	故障	R	0h	器件故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到故障情况 1h = 检测到故障情况

8.1.2 器件原始状态寄存器 (偏移 = 2h) [复位 = 0280h]

器件原始状态寄存器如表 8-4 所示。

返回到[汇总表](#)。

表 8-4. 器件原始状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-13	RESERVED	R-0	0h	保留
12	DRVOFF_RSTS	R	0h	DRV_OFF 引脚的状态 0h = DRV_OFF 处于非活动状态 1h = DRV_OFF 处于活动状态
11	OTW_RSTS	R	0h	OT 警告原始状态 0h = OTW 未激活 1h = OTW 处于活动状态
10	RESERVED	R	0h	保留
9	DNRDY_RSTS	R	1h	器件未就绪状态 0h = 器件已就绪 1h = 器件未就绪
8	SYSFLT_RSTS	R	0h	发生 OTP 读取故障。状态保持锁存状态，直到通过写入 FLT_CLR 清除 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	器件上电状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 读取后由固件清除 1h = 器件已完成上电复位

表 8-4. 器件原始状态寄存器字段说明 (续)

位	字段	类型	复位	说明
6	SPIFLT_RSTS	R	0h	SPI 故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 SPI 故障。 1h = 检测到 SPI 故障
5	OCP_RSTS	R	0h	过流故障原始状态。状态保持锁存，直到自动重试完成、写入 FLT_CLR 或 nSLEEP 上收到复位脉冲。 0h = 过流情况处于非活动状态 1h = 过流情况处于活动状态
4	RESERVED	R-0	0h	保留
3	OVP_RSTS	R	0h	过压原始故障状态。 0h = 过压情况处于非活动状态。 1h = 过压情况处于活动状态。
2	UVP_RSTS	R	0h	CP 欠压原始故障状态。 0h = 电荷泵欠压情况处于非活动状态。 1h = 电荷泵欠压情况处于活动状态。
1	OTF_RSTS	R	0h	过热关断原始故障状态。 0h = 过热关断处于非活动状态。 1h = 过热关断处于活动状态。
0	RESERVED	R-0	0h	保留

8.1.3 过热状态寄存器 (偏移 = 4h) [复位 = 0000h]

过热状态寄存器如表 8-5 所示。

返回到[汇总表](#)。

表 8-5. 过热状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留
1	OTW	R	0h	过热警告故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热警告 1h = 检测到过热警告
0	OTSD	R	0h	过热关断故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热关断 1h = 检测到过热关断

8.1.4 电源状态寄存器 (偏移 = 5h) [复位 = 0000h]

电源状态寄存器如表 8-6 所示。

返回到[汇总表](#)。

表 8-6. 电源状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	VM_OV	R	0h	Vm 过压故障状态 0h = 未检测到 Vm 过压 1h = 检测到 Vm 过压

表 8-6. 电源状态寄存器字段说明（续）

位	字段	类型	复位	说明
5	RESERVED	R-0	0h	保留
4	CP_UV	R	0h	电荷泵欠压故障状态 0h = 未检测到电荷泵欠压 1h = 检测到电荷泵欠压
3-0	RESERVED	R-0	0h	保留

8.1.5 驱动器状态寄存器 (偏移 = 6h) [复位 = 0000h]

驱动器状态寄存器如表 8-7 所示。

返回到[汇总表](#)。

表 8-7. 驱动器状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	OCPH_HS	R	0h	OUTC 的高侧开关上的过流状态 0h = 未在 OUTC 的高侧 MOSFET 上检测到过流 1h = 在 OUTC 的高侧 MOSFET 上检测到过流
5	OCPB_HS	R	0h	OUTB 的高侧开关上的过流状态 0h = 未在 OUTB 的高侧 MOSFET 上检测到过流 1h = 在 OUTB 的高侧 MOSFET 上检测到过流
4	OCPA_HS	R	0h	OUTA 的高侧开关上的过流状态 0h = 未在 OUTA 的高侧 MOSFET 上检测到过流 1h = 在 OUTA 的高侧 MOSFET 上检测到过流
3	RESERVED	R-0	0h	保留
2	OCPH_LS	R	0h	OUTC 的低侧开关上的过流状态 0h = 未在 OUTC 的低侧 MOSFET 上检测到过流 1h = 在 OUTC 的低侧 MOSFET 上检测到过流
1	OCPB_LS	R	0h	OUTB 的低侧开关上的过流状态 0h = 未在 OUTB 的低侧 MOSFET 上检测到过流 1h = 在 OUTB 的低侧 MOSFET 上检测到过流
0	OCPA_LS	R	0h	OUTA 的低侧开关上的过流状态 0h = 未在 OUTA 的低侧 MOSFET 上检测到过流 1h = 在 OUTA 的低侧 MOSFET 上检测到过流

8.1.6 系统接口状态寄存器 (偏移 = 7h) [复位 = 0000h]

系统接口状态寄存器如表 8-8 所示。

返回到[汇总表](#)。

表 8-8. 系统接口状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-5	RESERVED	R-0	0h	保留
4	OTPLD_ERR	R	0h	加载期间的 OTP CRC 错误 0h = 未检测到 OTP 读取错误 1h = 检测到 OTP 读取错误
3	RESERVED	R-0	0h	保留
2	SPI_PARITY	R	0h	SPI 奇偶校验错误 0h = 未检测到 SPI 奇偶校验错误 1h = 检测到 SPI 奇偶校验错误
1	RESERVED	R-0	0h	保留
0	FRM_ERR	R	0h	SPI 帧错误 0h = 未检测到 SPI 帧错误 1h = 检测到 SPI 帧错误

8.2 控制寄存器

表 8-9 列出了控制寄存器的存储器映射寄存器。表 8-9 中未列出的所有寄存器偏移地址都被视为保留的位置，并且不得修改寄存器内容。

表 8-9. 控制寄存器

偏移	首字母缩写词	寄存器名称	部分
10h	故障模式寄存器	故障模式寄存器	节 8.2.1
13h	驱动器故障控制寄存器	驱动器故障控制寄存器	节 8.2.2
17h	故障清除寄存器	故障清除寄存器	节 8.2.3
20h	PWM 控制寄存器 1	PWM 控制寄存器 1	节 8.2.4
22h	前置驱动器控制寄存器	前置驱动器控制寄存器	节 8.2.5
23h	CSA 控制寄存器	CSA 控制寄存器	节 8.2.6
3Fh	系统控制寄存器	系统控制寄存器	节 8.2.7

复杂的位访问类型经过编码可适应小型表单元。表 8-10 展示了适用于此部分中访问类型的代码。

表 8-10. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.2.1 故障模式寄存器 (偏移 = 10h) [复位 = 2811h]

故障模式寄存器如表 8-11 所示。

返回到[汇总表](#)。

表 8-11. 故障模式寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	RESERVED	R-0	0h	保留
13	ILIMFLT_MODE	R/W	1h	ILIMIT 故障模式 0h = 禁用 nFAULT 引脚上的 ILIMIT 报告 1h = 启用 nFAULT 引脚上的 ILIMIT 报告
12-11	RESERVED	R/W	0h	保留
10	RESERVED	R-0	0h	保留
9	OVP_MODE	R/W	0h	过压保护故障模式 0h = 禁用过压保护 1h = 启用过压保护
8	RESERVED	R-0	0h	保留
7	SPIFLT_MODE	R/W	0h	SPI 故障模式 0h = 禁用 nFAULT 引脚上的 SPI 故障报告 1h = 启用 nFAULT 引脚上的 SPI 故障报告
6	RESERVED	R-0	0h	保留
5-4	OCP_MODE	R/W	1h	过流保护故障模式 0h = 过流导致锁存故障 1h = 过流导致自动重试故障 2h = 仅报告过流但不采取任何措施 3h = 不报告过流且不采取任何措施
3-1	RESERVED	R-0	0h	保留
0	OTW_MODE	R/W	1h	过热警告故障模式 0h = 禁用 nFAULT 上的过热报告 1h = 启用 nFAULT 上的过热报告

8.2.2 驱动器故障控制寄存器 (偏移 = 13h) [复位 = 1010h]

驱动器故障控制寄存器如 表 8-12 所示。

返回到[汇总表](#)。

表 8-12. 驱动器故障控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	RESERVED	R-0	0h	保留
13-12	RESERVED	R/W	0h	保留
11	RESERVED	R-0	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R-0	0h	保留
8	OVP_SEL	R/W	0h	过压电平设置 0h = VM 过压电平为 65V 1h = VM 过压电平为 35V
7-6	RESERVED	R-0	0h	保留
5-4	OCP_DEG	R/W	1h	OCP 抗尖峰脉冲时间 0h = OCP 抗尖峰脉冲时间为 0.6μs 1h = OCP 抗尖峰脉冲时间为 1.25μs 2h = OCP 抗尖峰脉冲时间为 1.6μs 3h = OCP 抗尖峰脉冲时间为 2μs
3	RESERVED	R-0	0h	保留
2	OCP_TRETRY	R/W	0h	OCP 重试时间 0h = 5ms 1h = 500ms
1	RESERVED	R-0	0h	保留
0	OCP_LVL	R/W	0h	OCP 电平 0h = 4.5A 1h = 2.5A

8.2.3 故障清除寄存器 (偏移 = 17h) [复位 = 0000h]

故障清除寄存器如表 8-13 所示。

返回到[汇总表](#)。

表 8-13. 故障清除寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-1	RESERVED	R-0	0h	保留
0	FLT_CLR	R-0/W1C	0h	清除锁存故障 0h = 未发出清除故障命令 1h = 将锁存的故障位清零。该位在写入后自动复位。

8.2.4 PWM 控制寄存器 1 (偏移 = 20h) [复位 = 0020h]

PWM 控制寄存器 1 如表 8-14 所示。

返回到[汇总表](#)。

表 8-14. PWM 控制寄存器 1 字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-8	RESERVED	R/W	0h	保留
7-6	PWM_100_FREQ_SEL	R/W	0h	100% 占空比时 PWM 的频率 0h = 20KHz 1h = 40KHz 2h = 10KHz 3h = 无
5	ILIM_MODE	R/W	1h	电流限制再循环设置 0h = 通过 FET 的电流再循环 (制动模式) 1h = 通过二极管的电流再循环 (滑行模式)
4	RESERVED	R/W	0h	保留
3	EN_AAR	R/W	0h	启用 AAR，以便当电流变为负值时，LS FET 会关断。 0h = 禁用主动消磁 AAR 1h = 启用主动消磁 AAR
2	EN_ASR	R/W	0h	启用主动消磁 0h = 禁用主动消磁 1h = 启用主动消磁
1-0	PWM_MODE	R/W	0h	PWM 模式选择 0h = 6x 模式 1h = 6x 模式 2h = 3x 模式 3h = 3x 模式

8.2.5 前置驱动器控制寄存器 (偏移 = 22h) [复位 = 0080h]

前置驱动器控制寄存器如表 8-15 所示。

返回到[汇总表](#)。

表 8-15. 前置驱动器控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为 “1” ，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10-8	ILIM_BLANK_SEL	R/W	0h	电流限制消隐时间选择 0h = 5.5us (对于 50 的压摆率) 和 1.8us (对于所有其他压摆率)。 1h = 6.0us (对于 50 的压摆率) 和 2.3us (对于所有其他压摆率)。 2h = 6.5us (对于 50 的压摆率) 和 2.8us (对于所有其他压摆率)。 3h = 7.5us (对于 50 的压摆率) 和 3.8us (对于所有其他压摆率)。
7-4	ADMAG_TMARGIN	R/W	8h	确定高阻态之前的等待时间。N*4*100ns
3	AD_COMP_TH_HS	R/W	0h	主动消磁高侧比较器阈值 0h = 主动消磁比较器阈值为 100mA 1h = 主动消磁比较器阈值为 150mA
2	AD_COMP_TH_LS	R/W	0h	主动消磁低侧比较器阈值 0h = 主动消磁比较器阈值为 100mA 1h = 主动消磁比较器阈值为 150mA
1-0	SLEW_RATE	R/W	0h	压摆率设置 0h = 压摆率为 1100V/μs 1h = 压摆率为 500V/μs 2h = 压摆率为 250V/μs 3h = 压摆率为 50V/μs

8.2.6 CSA 控制寄存器 (偏移 = 23h) [复位 = 0000h]

CSA 控制寄存器如表 8-16 所示。

返回到[汇总表](#)。

表 8-16. CSA 控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留
1-0	CSA_GAIN	R/W	0h	CSA 增益设置 0h = CSA 增益为 0.4V/A 1h = CSA 增益为 1.0V/A 2h = CSA 增益为 2.5V/A 3h = CSA 增益为 5.0V/A

8.2.7 系统控制寄存器 (偏移 = 3Fh) [复位 = 0008h]

系统控制寄存器如表 8-17 所示。

返回到[汇总表](#)。

表 8-17. 系统控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	WRITE_KEY	R-0/W	0h	特定于该寄存器的 0x5 写入密钥。
11	SDO_VSEL	R/W	0h	SDO 输出电压选择 0h = AVDD 1h = GVDD
10	SDO_ODEN	R/W	0h	SDO 处于开漏模式 0h = SDO 处于推挽模式 1h = SDO 处于开漏模式
9-8	RESERVED	R-0	0h	保留
7	REG_LOCK	R/W	0h	寄存器锁定位 0h = 寄存器未锁定 1h = 寄存器已锁定
6	SPI_PEN	R/W	0h	SPI 奇偶校验启用 0h = 奇偶校验禁用 1h = 奇偶校验启用
5-4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	0h	保留
2-0	RESERVED	R-0	0h	保留

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

DRV8376-Q1 可用于驱动无刷直流电机。图 9-1 展示了主要应用原理图。

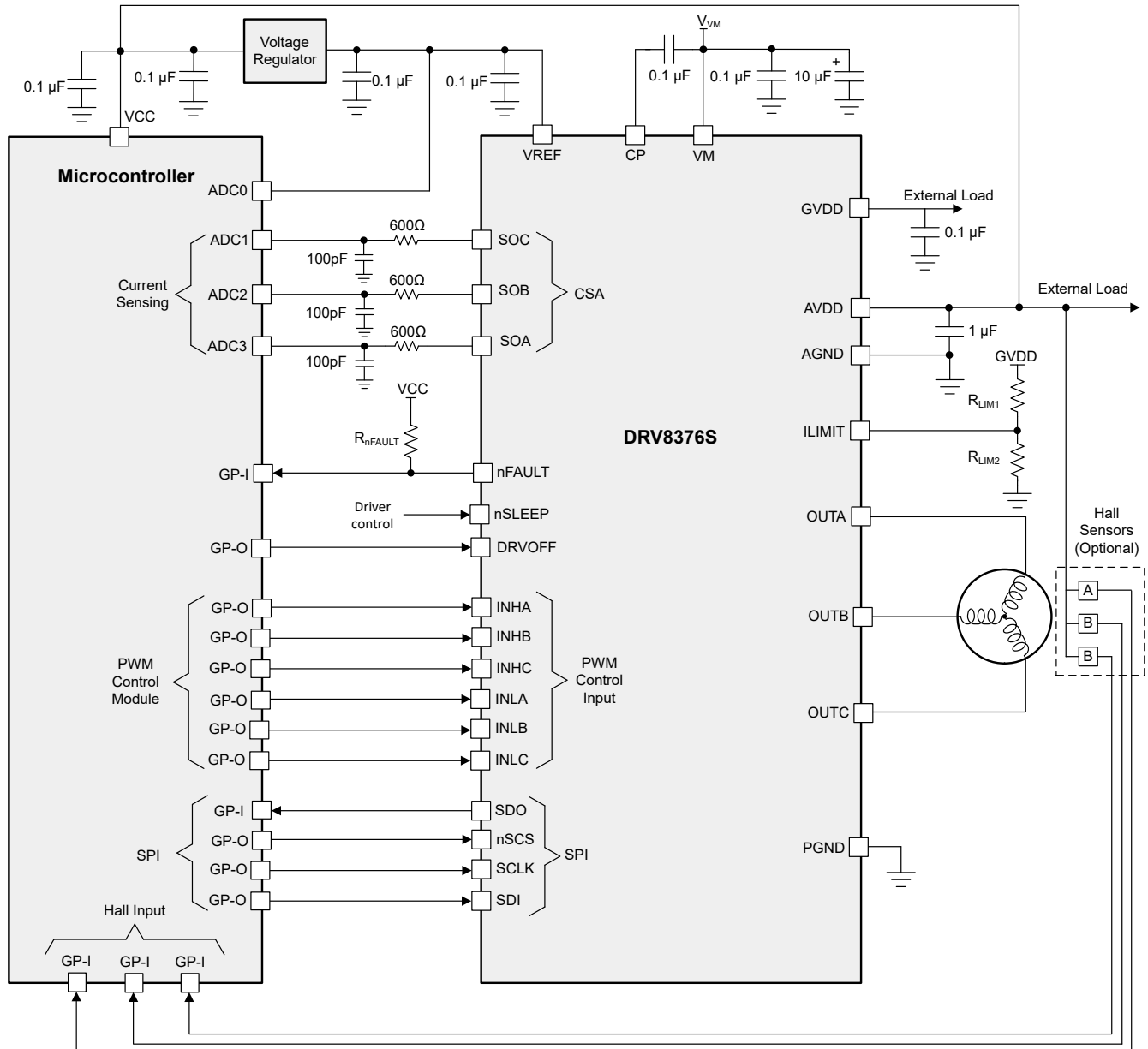


图 9-1. 主要应用原理图

9.2 典型应用

9.2.1 三相无刷直流电机控制

在此应用中，DRV8376 用于驱动无刷直流电机。

9.2.1.1 详细设计过程

表 9-1 列出了系统设计的示例输入参数。

表 9-1. 设计参数

设计参数	基准	示例值
电源电压	V_{VM}	48V
电机均方根电流	I_{RMS}	0.5A
电机峰值电流	I_{PEAK}	1.25A
Ilimit 电流	I_{LIMIT}	2A
PWM 频率	f_{PWM}	20kHz
压摆率设置	SR	1100V/ μ s
ADC 基准电压	V_{VREF}	3.3V
系统环境温度	T_A	-20°C 至 +105°C

9.2.1.1.1 电机电压

DRV8376 支持 4.5V 至 65V 的宽工作电源电压额定值。检验最大电源电压不违反工作电压规范。

9.2.1.1.2 使用主动消磁

主动消磁通过在体二极管开始导通时自动导通 MOSFET 以降低二极管导通损耗，从而降低器件中的功率损耗。主动消磁用于切换换向状态时的梯形换向（关断一个高侧 MOSFET 并导通另一个高侧 MOSFET，同时保持低侧 MOSFET 导通）。当在 SPI 型号中设置 EN_ASF 和 EN_AAR 位或在硬件型号中将 OCP/SR 引脚设置为模式 2 或模式 4 时，将启用主动消磁。

当在禁用主动消磁的情况下切换换向状态时，会插入死区时间，低侧 MOSFET 的体二极管会导通，同时导通另一个高侧 MOSFET，以继续通过电机提供电流。由于二极管的正向偏置电压和较慢的电流耗散，该导通期间会导致更高的功率损耗。图 9-2 显示了在切换换向状态时的体二极管导通。

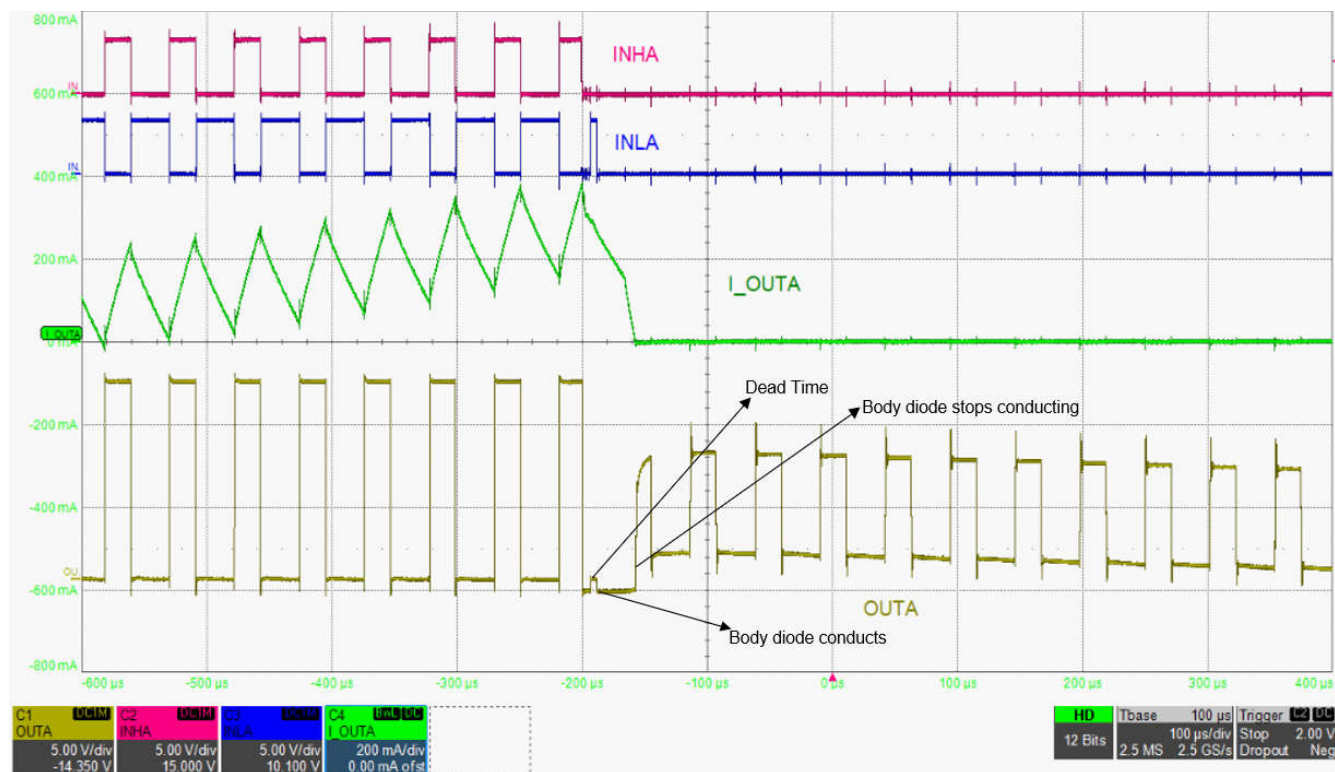


图 9-2. 在 DRV8376-Q1 中禁用了主动消磁

启用主动消磁后，AD_HS 和 AD_LS 比较器会检测此检测 FET 电压何时高于或低于编程的阈值。在死区时间期间之后，如果超过阈值达到一段固定的时间，体二极管将导通，逻辑内核将导通低侧 FET，以提供功率损耗更小的导通路径。一旦 V_{DS} 电压低于比较器阈值，MOSFET 就会关断，电流短暂地流过体二极管，直到电流完全衰减至零。如图 9-3 中所示。

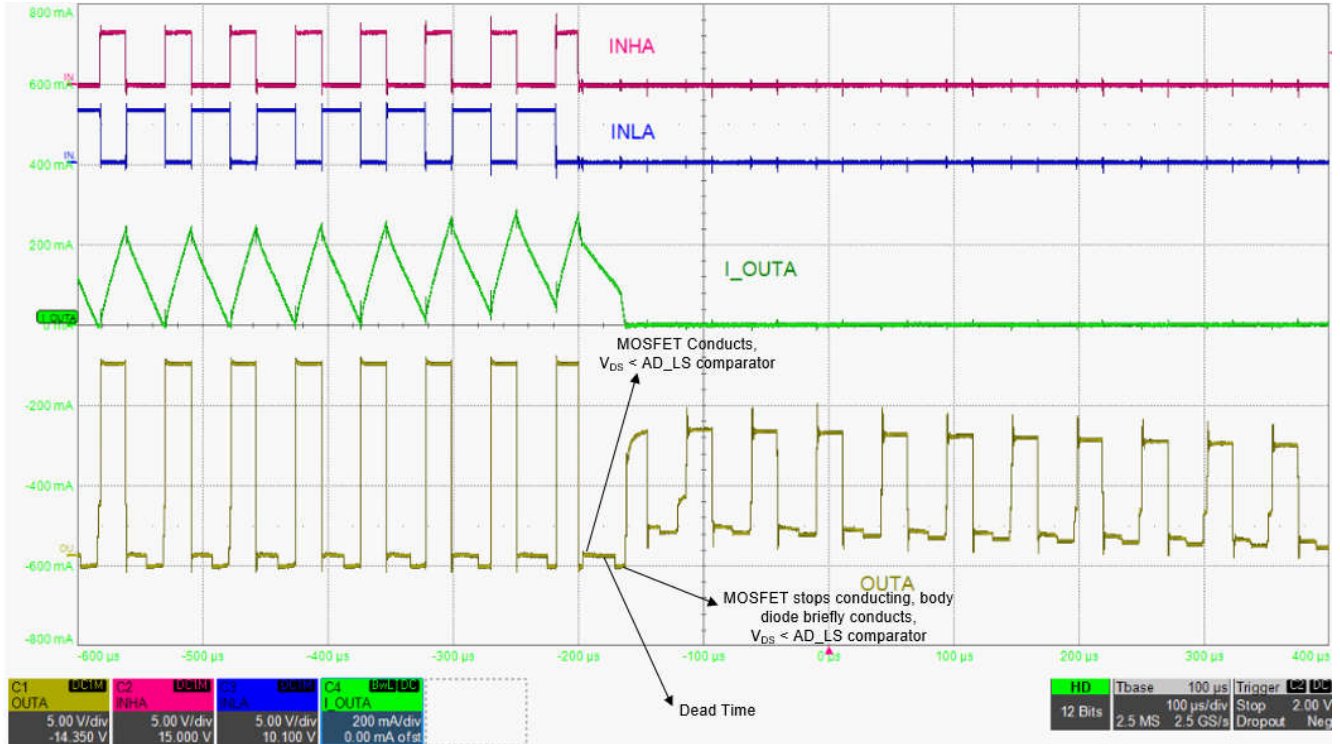


图 9-3. 在 DRV8376-Q1 中启用了主动消磁

9.2.1.1.3 电流限制实现

DRV8376 器件上的 ILIMIT 引脚用于设置与 ILIMIT 引脚上的电压 (V_{LIM}) 成比例的逐周期电流限制。可使用来自外部微控制器的数模转换器或电阻分压器对模拟电压 V_{LIM} 进行设置。在 ILIMIT 引脚上施加与 V_{VREF} 同等的电压会禁用逐周期电流限制，而在 ILIMIT 引脚上施加 $(V_{VREF}/2 - 0.25)$ V 会将电流限制设置为 4A 的最大阈值。

下面的公式显示了如何相对于 $V_{VREF} = 3.3V$ 、电流检测放大器增益 (增益) = $1V/A$ 来设置 ILIMIT 引脚电压 (V_{LIM})，从而将逐周期电流限制设置为 2A (所有低侧 FET 电流的总和)。

$$V_{LIM} = \frac{V_{VREF}}{2} + (I_{OUT} \times \frac{GAIN}{3}) \quad (6)$$

使用 方程式 7 计算 GVDD 电源下电阻分压器 R_{ILIM1} 和 R_{ILIM2} 的值，以将电源限制设置为等于计算出的电流限制 2A。其他电压轨 (如 AVDD 或 VREF 电压) 也可用于产生 ILIMIT 引脚电压。如果需要，在 ILIMIT 引脚处使用适当的电容滤波器。

$$V_{LIM}(V) = GVDD \times \left(\frac{R_{ILIM2}}{R_{ILIM1} + R_{ILIM2}} \right) \quad (7)$$

为了降低 GVDD 上的电流负载，在本例中 R_{ILIM2} 配置为 $10k\Omega$ 。

$$2.317 = 5 \times \left(\frac{10k\Omega}{R_{ILIM1} + 10k\Omega} \right) \quad (8)$$

$$R_{ILIM1} = 11.6k\Omega \quad (9)$$

在 100% PWM 占空比输入下，也可以使用内部 PWM 脉冲通过 ILIM 监测电流来实现逐周期限制。通过设置 PWM_100_DUTY_SEL，将内部 PWM 脉冲的频率配置为 20kHz 或 40kHz。

备注

如果 ILIMIT 引脚上的电压低于 $V_{VREF}/2$ ，则 ILIMIT 阈值为 0A。

9.2.1.1.4 电流检测和输出滤波

通常，SOx 引脚通过 MCU 中的模数转换器进行采样，以计算相电流。相电流计算用于闭环反馈，例如磁场定向控制。

下面显示了使用 $V_{VREF} = 3.3V$ 、增益 = 1V/A 和峰值电机电流 (I_{OUTx}) $\pm 1.25A$ 的系统的 SOx 电压计算示例。

$$SOx = \frac{V_{VREF}}{2} \pm GAIN \times I_{OUTx} \quad (10)$$

$$SOx = \frac{3.3V}{2} \pm 1V/A \times 1.25 \quad (11)$$

$$SOx = 0.4V \text{ to } 2.9V \quad (12)$$

有时，SOx 信号上会出现高频噪声，这可能是由于 VREF 上的电压纹波、SOx 布线上增加的电感或者 SOx 布线靠近高频元件而引起的。在 MCU 附近添加一个低通 RC 滤波器，其截止频率至少为梯形换向 PWM 开关频率的 10 倍和正弦换向 PWM 开关频率的 100 倍，可有效滤除高频噪声。电容器的选择取决于各种参数，如带宽要求、ADC 采样电容器和 ADC 采集时间。电流检测输出级只能管理几百微安左右的电流。使用最大值为 100pF 的电容器可以保持最佳性能。根据带宽要求选择电阻器。低通 RC 滤波器的截止频率如方程式 13 所示。

$$f_c = \frac{1}{2\pi RC} \quad (13)$$

9.2.1.1.5 功率损耗和结温损耗

要根据功率损耗计算 DRV8376 的结温，请使用方程式 14。请注意，热阻 θ_{JA} 取决于 PCB 配置，例如环境温度、PCB 层数、顶层和底层的铜厚度以及 PCB 面积。

$$T_J[^\circ C] = P_{loss}[W] \times \theta_{JA}[\frac{^\circ C}{W}] + T_A[^\circ C] \quad (14)$$

9.2.1.2 应用曲线

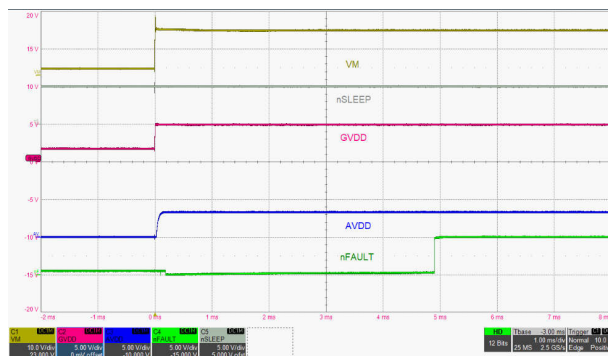


图 9-4. 通过 VM 实现器件上电

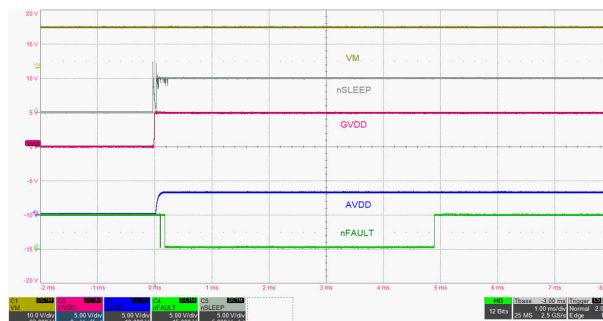


图 9-5. 通过 nSLEEP 实现器件上电

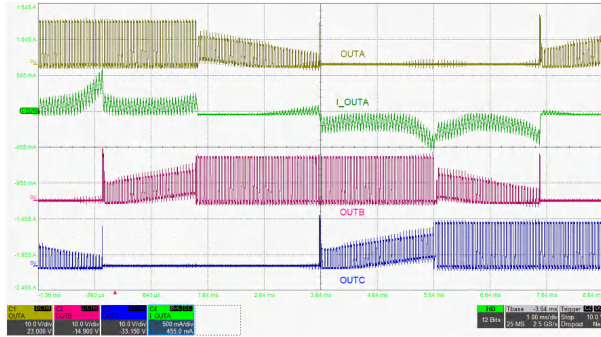


图 9-6. 启用主动消磁的驱动器 PWM

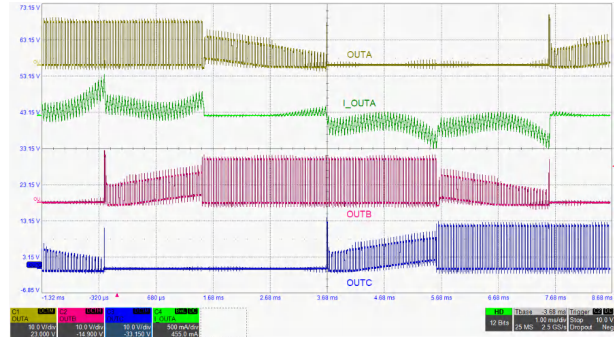


图 9-7. 禁用主动消磁的驱动器 PWM

9.3 电源相关建议

9.3.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

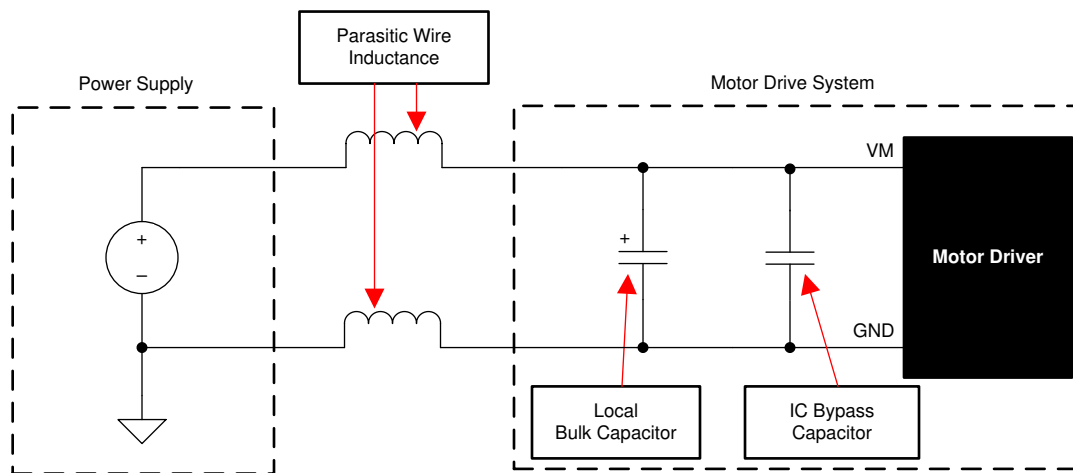


图 9-8. 带外部电源的电机驱动系统示例设置

使大容量电容的额定电压高于工作电压，以便在电机向电源传递能量时提供裕度。

9.4.3.1 功率耗散

DRV8376-Q1 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 DRV8376-Q1 的总功率耗散中占主导地位。在启动和故障情况下，输出电流远大于正常电流；务必将这些峰值电流以及电流持续时间考虑在内。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意， $R_{DS,ON}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

10 器件和文档支持

10.1 文档支持

10.2 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8376HQNLRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D8376HQ
DRV8376SQNLRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D8376SQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

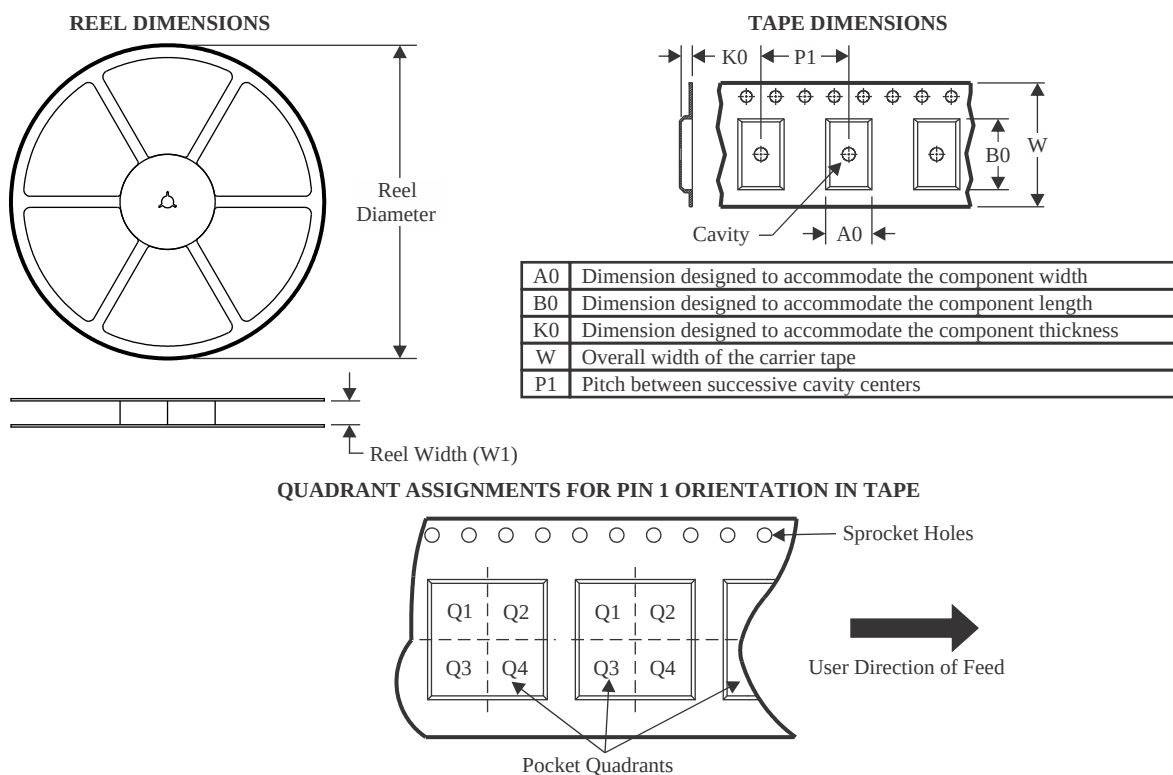
OTHER QUALIFIED VERSIONS OF DRV8376-Q1 :

- Catalog : [DRV8376](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

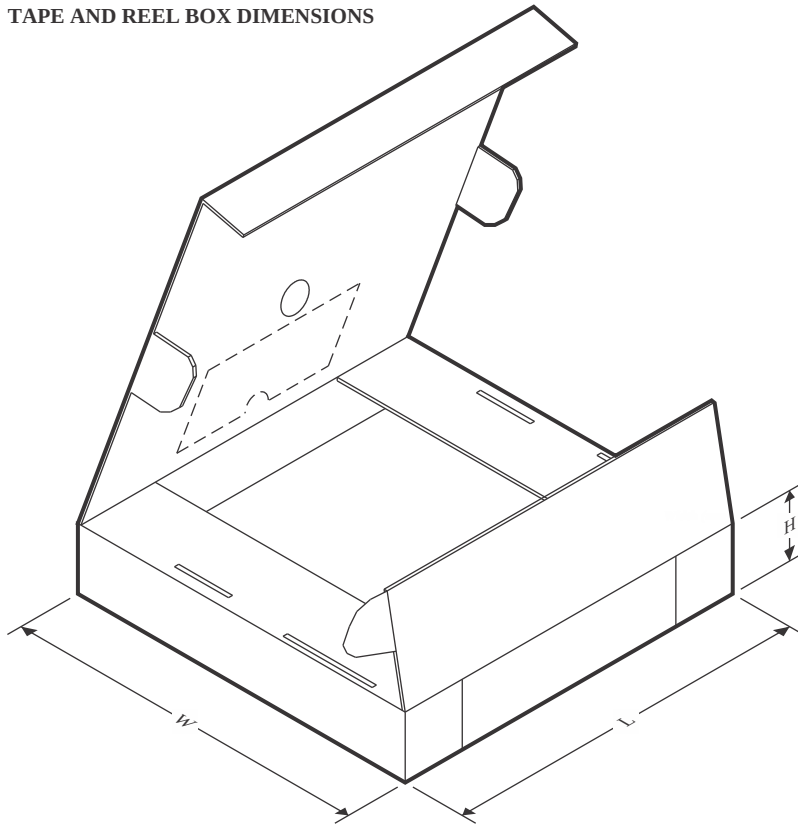
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8376HQNLRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1
DRV8376SQNLRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8376HQNLRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0
DRV8376SQNLRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

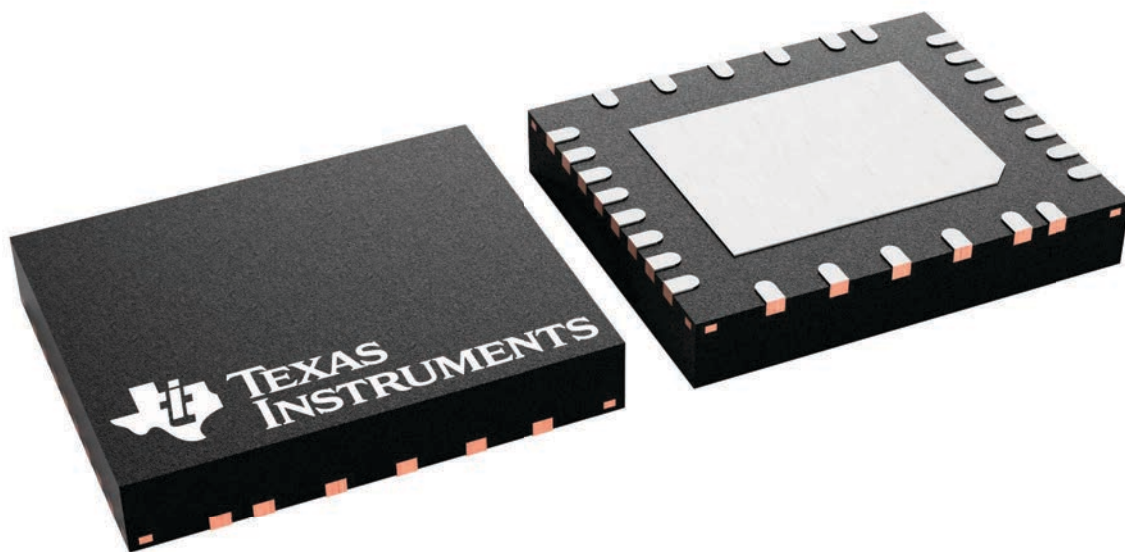
NLG 28

VQFN - 1 mm max height

5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





VQFN - 1 mm max height

Top View Dimensions:

- Overall Width: 14.0 (5.1 B to A)
- Overall Height: 15.2 (6.1 to A)
- Pin Pitch: 0.5
- PIN 1 INDEX AREA

Section A-A Typical:

- Minimum Clearance: 0.1 MIN

Side View Dimensions:

- Total Height: 1.0
- Seating Plane Height: 0.05
- Pin Height: 0.8

Pin Array Dimensions:

- Pin Width: 0.5
- Pin Pitch: 0.5
- Pin Height: 0.3

0.1	C	A	B
0.05	C		

4230442/A 01/202

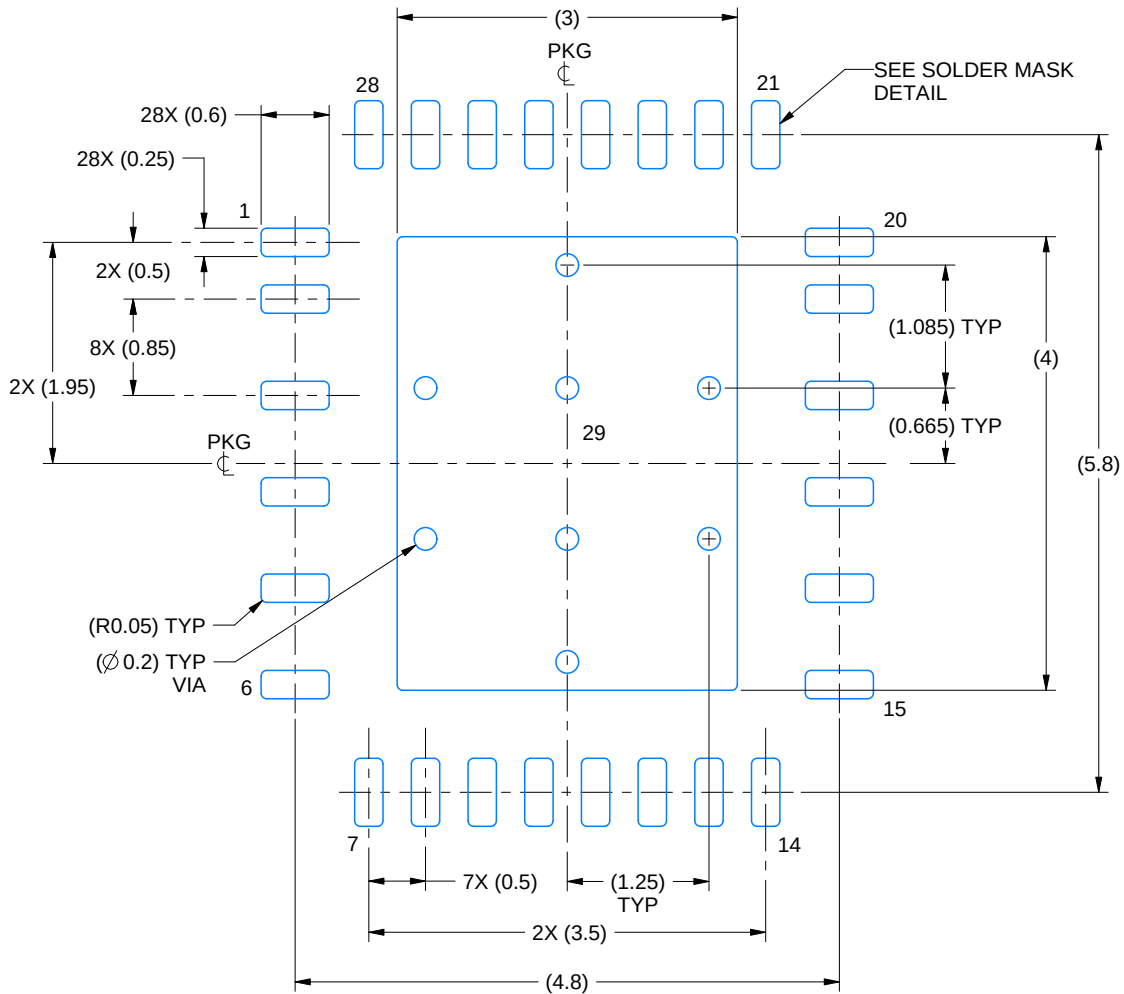
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

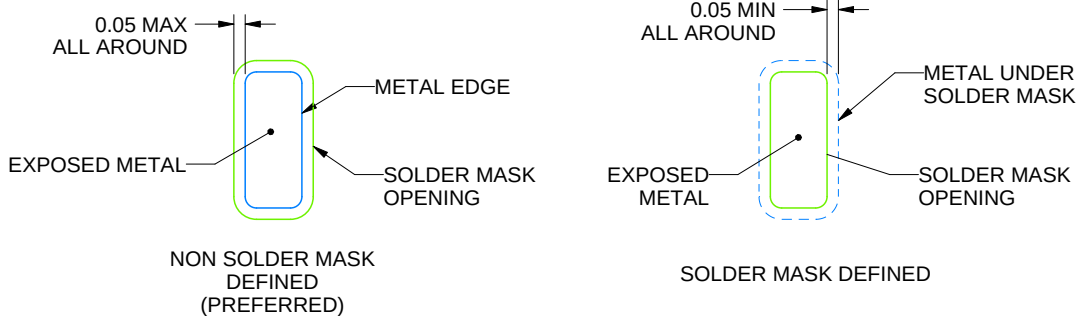
NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4230442/A 01/2024

NOTES: (continued)

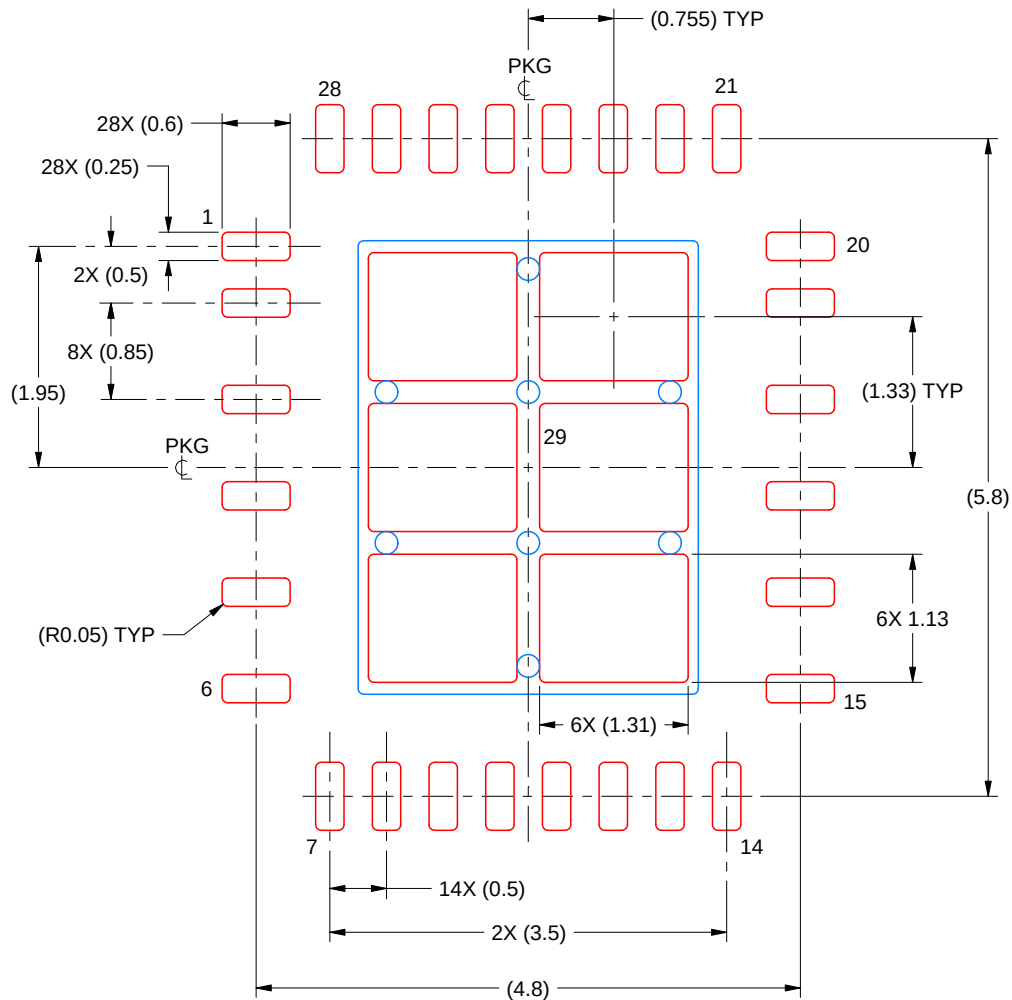
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 15X

EXPOSED PAD 29
 74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230442/A 01/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司