

DRV8351-SEP: 40V 三相 BLDC 栅极驱动器

1 特性

- 40V 三相半桥栅极驱动器
 - 驱动 N 沟道 MOSFET (NMOS)
 - 栅极驱动器电源 (GVDD) : 5-15V
 - MOSFET 电源 (SHx) 支持高达 40V 的电压
- 目标辐射性能
 - SEL、SEB 和 SET 对于 LET 的抗扰度高达 43MeV-cm²/mg
 - SET 和 SEFI 的 LET 特征值高达 43MeV-cm²/mg
 - 每个晶圆批次的保障 TID 高达 30krad(Si)
 - TID 特征值高达 30krad(Si)
- 增强型航天塑料 (航天 EP) :
 - 受控基线
 - 一个封测厂
 - 一个制造厂
 - 延长的产品生命周期
 - 产品可追溯性
- 集成自举二极管
- 支持反相和同相 INLx 输入
- 自举栅极驱动架构
 - 750mA 拉电流
 - 1.5A 灌电流
- SHx 引脚具有低漏电流 (小于 55 μ A)
- 绝对最大 BSTx 电压高达 57.5V
- SHx 引脚瞬态负压可达 -22V
- 内置跨导保护
- 固定插入 200ns 死区时间
- 支持 3.3V 和 5V 逻辑输入 (绝对最大值为 20V)
- 4ns 典型传播延迟匹配
- 紧凑型 TSSOP 封装
- 具有电源块的高效系统设计
- 集成式保护功能
 - BST 欠压锁定 (BSTUV)
 - GVDD 欠压 (GVDDUV)

2 应用

支持国防、航天和医疗应用

- 推进器云台机构
- 天线指向机构
- 反作用轮
- 推进剂控制阀

3 说明

DRV8351-SEP 是一款三相半桥栅极驱动器，能够驱动高侧和低侧 N 沟道功率 MOSFET。DRV8351-SEP 使用集成自举二极管和外部电容为高侧 MOSFET 生成合适的栅极驱动电压。GVDD 用于为低侧 MOSFET 生成栅极驱动电压。此栅极驱动架构支持高达 750mA 的峰值拉电流和 1.5A 的峰值灌电流。

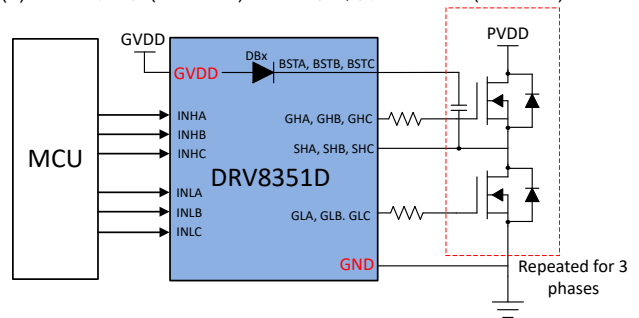
相位引脚 SHx 能够承受显著的瞬变负电压；而高侧栅极驱动器电源 BSTx 和 GHx 能够支持更高的瞬变正电压 (57.5V) 绝对最大电压，从而提高系统的鲁棒性。较小的传播延迟和延迟匹配参数可尽可能降低死区时间要求，从而进一步提高效率。通过 GVDD 和 BST 欠压锁定为低侧和高侧提供欠压保护。

器件信息 (1)

器件型号	封装	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
DRV8351DMPWTSEP	TSSOP (20)	6.50mm × 6.40mm	6.40mm × 4.40mm
DRV8351DIMPWTSEP	TSSOP (20)	6.50mm × 6.40mm	6.40mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



DRV8351-SEP 的简化原理图

内容

1 特性	1	7.4 器件功能模式	14
2 应用	1	8 应用和实施	15
3 说明	1	8.1 应用信息.....	15
4 器件比较表	3	8.2 典型应用.....	16
5 引脚配置和功能	4	9 电源相关建议	19
6 规格	6	10 布局	20
6.1 绝对最大额定值.....	6	10.1 布局指南.....	20
6.2 ESD 等级 - 通信.....	6	10.2 布局示例.....	20
6.3 建议运行条件.....	6	11 器件和文档支持	21
6.4 热性能信息.....	7	11.1 接收文档更新通知.....	21
6.5 电气特性.....	7	11.2 支持资源.....	21
6.6 时序图.....	8	11.3 商标.....	21
6.7 典型特性.....	9	11.4 静电放电警告.....	21
7 详细说明	10	11.5 术语表.....	21
7.1 概述.....	10	12 修订历史记录	21
7.2 功能方框图.....	11	13 机械、封装和可订购信息	21
7.3 特性说明.....	12		

4 器件比较表

器件型号	封装	集成自举二极管	相对于 INLx 输入的 GLx 极性	死区
DRV8351-SEPD1	20 引脚 TSSOP	是	反转	固定
DRV8351-SEPD		是	同相	固定

5 引脚配置和功能

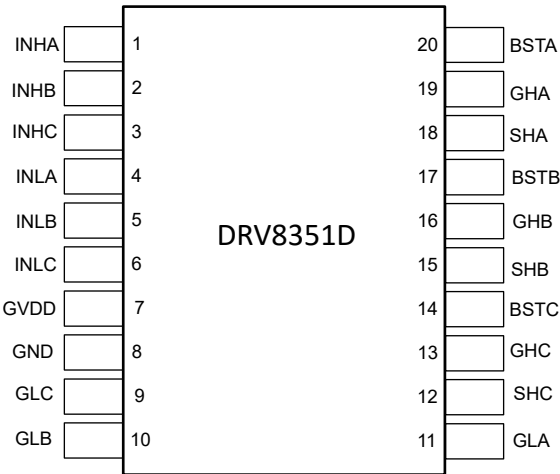


图 5-1. DRV8351-SEPD、DRV8351-SEPDI 封装 20 引脚 TSSOP 顶视图

表 5-1. 引脚功能 - 20 引脚 DRV8351-SEP 器件

引脚		类型 1	说明
名称	编号		
BSTA	20	O	自举输出引脚。在 BSTA 和 SHA 之间连接一个电容器
BSTB	17	O	自举输出引脚。在 BSTB 和 SHB 之间连接一个电容器
BSTC	14	O	自举输出引脚。在 BSTC 和 SHC 之间连接一个电容器
GHA	19	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	16	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	13	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	11	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	10	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	9	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
INHA	1	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHB	2	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHC	3	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLA	4	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
INLB	5	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
INLC	6	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
GND	8	PWR	器件接地。
SHA	18	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SHB	15	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。

表 5-1. 引脚功能 - 20 引脚 DRV8351-SEP 器件 (续)

引脚		类型 ¹	说明
名称	编号		
SHC	12	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
GVDD	7	PWR	栅极驱动器电源输入。在 GVDD 和 GND 引脚之间连接一个 X5R 或 X7R、额定电压为 GVDD、容值大于或等于 10uF 的陶瓷局部电容器。

1. PWR = 电源, I = 输入, O = 输出, NC = 无连接

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
栅极驱动器稳压器引脚电压	GVDD	-0.3	15	V
自举引脚电压	BSTx	-0.3	57.5	V
自举引脚电压	BSTx, 以 SHx 为基准	-0.3	15	V
逻辑引脚电压	INHx、INLx	-0.3	$V_{GVDD}+0.3$	V
高侧栅极驱动引脚电压	GHx	-22	55	V
高侧栅极驱动引脚电压	GHx, 以 SHx 为基准	-0.3	15	V
高侧栅极驱动引脚 500ns 瞬态电压	GHx, 以 SHx 为基准	-5	15	V
低侧栅极驱动引脚电压	GLx	-0.3	$V_{GVDD}+0.3$	V
低侧栅极驱动引脚 500ns 瞬态电压	GLx	-5	$V_{GVDD}+0.3$	V
高侧源极引脚电压	SHx	-22	42.5	V
环境温度, T_A		-55	125	°C
结温, T_J		-55	150	°C
贮存温度, T_{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

6.2 ESD 等级 - 通信

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 1000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 250	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{GVDD}	电源电压	GVDD	5		15	V
V_{SHx}	高侧源极引脚电压	SHx	-2		40	V
V_{SHx}	高侧源极引脚 2 μ s 瞬态电压	SHx	-22		40	V
V_{BST}	自举引脚电压	BSTx	5		55	V
V_{BST}	自举引脚电压	BSTx, 以 SHx 为基准	5		15	V
V_{IN}	逻辑输入电压	INHx、INLx	0		GVDD	V
f_{PWM}	PWM 频率	INHx、INLx	0		100	kHz
V_{SHSL}	SHx 引脚上的压摆率				2	V/ns
C_{BOOT} ⁽¹⁾	BSTx 和 SHx 之间的电容器				1	μ F
T_A	工作环境温度		-55		125	°C
T_J	工作结温		-55		150	°C

- (1) 当 $C_{BOOT} > 1\mu$ F 时，需要限制流经自举二极管 (D_{BOOT}) 的电流。

6.4 热性能信息

热指标 ⁽¹⁾		DRV8351-SEP	单位
		PW (TSSOP)	
		20 引脚	
$R_{\theta JA}$	结至环境热阻	97.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	38.3	°C/W
$R_{\theta JB}$	结至电路板热阻	48.8	°C/W
Ψ_{JT}	结至顶部特征参数	4.3	°C/W
Ψ_{JB}	结至电路板特征参数	48.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

$4.8V \leq V_{GVDD} \leq 20V$ ， $-55^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源 (GVDD、BSTx)						
I_{GVDD}	GVDD 待机模式电流	$INHx = INLx = 0$ ； $V_{BSTx} = V_{GVDD}$	400	800	1500	μA
	GVDD 工作模式电流	$INHx = INLx = \text{开关}$ ，20kHz； $V_{BSTx} = V_{GVDD}$ ；未连接 FET	400	825	1500	μA
IL_{BSx}	自举引脚漏电流	$V_{BSTx} = V_{SHx} = 40V$ ； $V_{GVDD} = 0V$	2	7	13	μA
IL_{BS_TRAN}	自举引脚运行模式瞬态漏电流	$INHx = \text{开关}$ ，20kHz	30	105	220	μA
IL_{BS_DC}	自举引脚运行模式静态漏电流	$INHx = \text{高电平}$	30	85	150	μA
IL_{SHx}	高侧源极引脚漏电流	$INHx = INLx = 0$ ； $V_{BSTx} - V_{SHx} = 12V$ ； $V_{SHx} = 0V$ 至 40V	30	55	90	μA
逻辑电平输入 (INHx、INLx、MODE)						
V_{IL}	输入逻辑低电平电压	INLx、INHx 引脚			0.8	V
V_{HYS}	输入迟滞	INLx、INHx 引脚	40	100	260	mV
I_{IL_INLx}	INLx 输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V；INLx 处于同相模式	-1	0	1	μA
I_{IH_INLx}	INLx 输入逻辑高电平电流	V_{PIN} (引脚电压) = 5V；INLx 处于同相模式	5	20	30	μA
I_{IL}	INHx 输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V；	-1	0	1	μA
I_{IH}	INHx 输入逻辑高电平电流	V_{PIN} (引脚电压) = 5V；	5	20	30	μA
R_{PD_INHx}	INHx 输入下拉电阻	至 GND	120	200	280	kΩ
R_{PD_INLx}	INLx 输入下拉电阻	至 GND，INLx 处于同相模式	120	200	280	kΩ
R_{PD_MODE}	MODE 输入下拉电阻	至 GND	120	200	280	kΩ
栅极驱动器 (GHx、GLx、SHx、SLx)						
V_{GHx_LO}	高侧栅极驱动低电平电压	$I_{GLx} = -100mA$ ， $V_{GVDD} = 12V$ ，未连接 FET	0	0.15	0.35	V
V_{GHx_HI}	高侧栅极驱动高电平电压 ($V_{BSTx} - V_{GHx}$)	$I_{GHx} = 100mA$ ， $V_{GVDD} = 12V$ ，未连接 FET	0.3	0.6	1.2	V
V_{GLx_LO}	低侧栅极驱动低电平电压	$I_{GLx} = -100mA$ ， $V_{GVDD} = 12V$ ，未连接 FET	0	0.15	0.35	V
V_{GLx_HI}	低侧栅极驱动高电平电压 ($V_{GVDD} - V_{GHx}$)	$I_{GHx} = 100mA$ ， $V_{GVDD} = 12V$ ，未连接 FET	0.3	0.6	1.2	V
I_{DRIVEP_HS}	高侧峰值栅极拉电流	$GHx-SHx = 12V$	400	750	1200	mA
I_{DRIVEN_HS}	高侧峰值栅极灌电流	$GHx-SHx = 0V$	850	1500	2100	mA

$4.8V \leq V_{GVDD} \leq 20V$, $-55^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I _{DRIVE_LS}	低侧峰值栅极拉电流	GLx = 12V	400	750	1200	mA
I _{DRIVEN_LS}	低侧峰值栅极灌电流	GLx = 0V	850	1500	2100	mA
t _{PD}	输入至输出传播延迟	INHx, INLx 至 GHx, GLx ; V _{GVDD} = V _{BSTx} - V _{SHx} > 8V ; SHx = 0V, GHx 和 GLx 上没有负载	70	125	180	ns
t _{PD_match}	每相位的匹配传播延迟	GHx 关闭至 GLx 开启, GLx 关闭至 GHx 开启 ; V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V, GHx 和 GLx 上没有负载	-30	±4	30	ns
t _{PD_match}	相间匹配传播延迟	GHx/GLx 开启至 GHy/GLy 开启, GHx/GLx 关闭至 GHy/GLy 关闭, V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V, GHx 和 GLx 上没有负载	-30	±4	30	ns
t _{R_GLx}	GLx 上升时间 (10% 至 90%)	C _{LOAD} = 1000pF, V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V	10	24	50	ns
t _{R_GHx}	GHx 上升时间 (10% 至 90%)	C _{LOAD} = 1000pF, V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V	10	24	50	ns
t _{F_GLx}	GLx 下降时间 (90% 至 10%)	C _{LOAD} = 1000pF, V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V	5	12	30	ns
t _{F_GHx}	GHx 下降时间 (90% 至 10%)	C _{LOAD} = 1000pF, V _{GVDD} = V _{BSTx} - V _{SHx} > 8V, SHx = 0V	5	12	30	ns
t _{DEAD}	栅极驱动死区时间		150	215	280	ns
t _{PW_MIN}	INHx、INLx 上改变 GHx、GLx 输出的最小输入脉冲宽度		40	70	150	ns
自举二极管						
V _{BOOTD}	自举二极管正向电压	I _{BOOT} = 100μA	0.45	0.7	0.85	V
		I _{BOOT} = 100mA	2	2.3	3.1	V
R _{BOOTD}	自举动态电阻 (Δ V _{BOOTD} /Δ I _{BOOT})	I _{BOOT} = 100mA 和 80mA	11	15	25	Ω
保护电路						
V _{GVDDUV}	栅极驱动器电源欠压锁定 (GVDDUV)	电源上升	4.45	4.6	4.7	V
		电源下降	4.2	4.35	4.4	V
V _{GVDDUV_HYS}	栅极驱动器电源 UV 迟滞	上升至下降阈值	250	280	310	mV
t _{GVDDUV}	栅极驱动器电源欠压抗尖峰脉冲时间		5	10	13	μs
V _{BSTUV}	自举欠压锁定 (V _{BSTx} - V _{SHx})	电源上升	3.6	4.2	4.8	V
	自举欠压锁定 (V _{BSTx} - V _{SHx})	电源下降	3.5	4	4.5	V
V _{BSTUV_HYS}	自举 UV 迟滞	上升至下降阈值	200			mV
t _{BSTUV}	自举欠压抗尖峰脉冲时间		6	10	22	μs

6.6 时序图

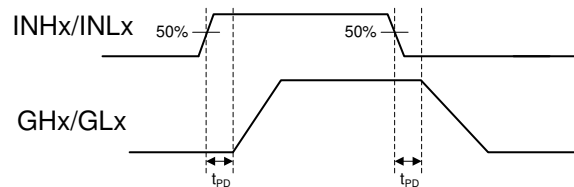


图 6-1. 传播延迟 (t_{PD})

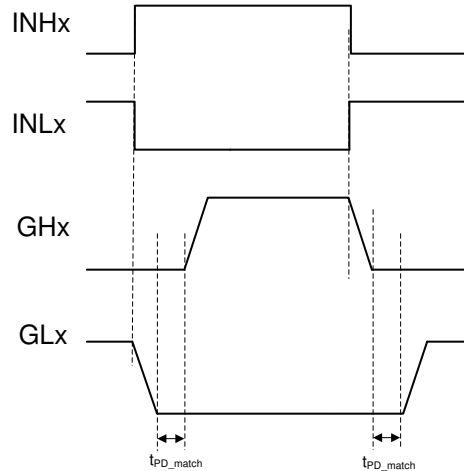


图 6-2. 传播延迟匹配 (t_{PD_match})

6.7 典型特性

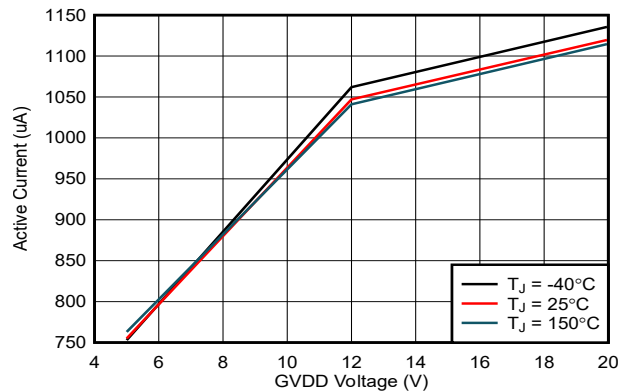


图 6-3. 电源电流与 GVDD 电压间的关系

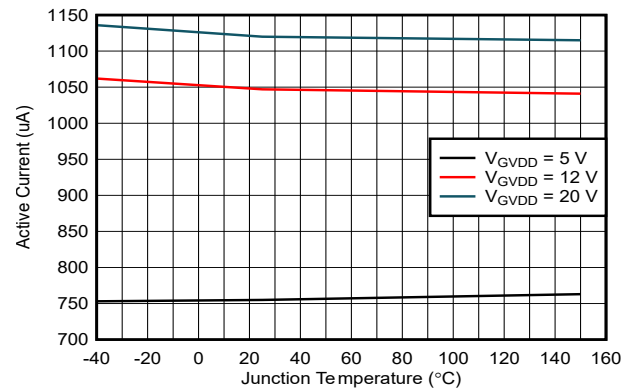


图 6-4. 电源电流与温度间的关系

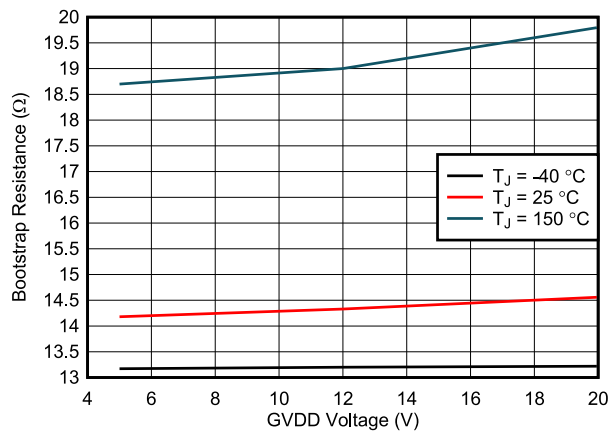


图 6-5. 自举电阻与 GVDD 电压间的关系

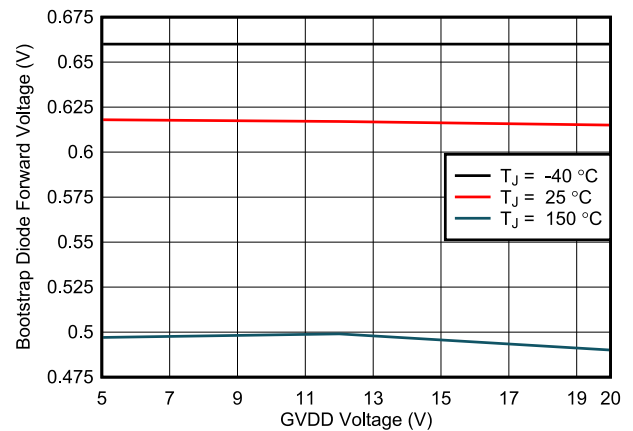


图 6-6. 自举二极管正向电压与 GVDD 电压间的关系

7 详细说明

7.1 概述

DRV8351-SEP 系列器件均为栅极驱动器，适用于三相电机驱动应用。这些器件集成了三个独立半桥栅极驱动器和可选的自举二极管，减少了系统元件数量，并节省了 PCB 空间和成本。

DRV8351-SEP 支持外部 N 沟道高侧和低侧功率 MOSFET，可驱动高达 750mA 的拉电流、1.5A 的峰值灌电流和 30mA 的平均输出电流。DRV8351-SEP 系列器件采用 0.65mm 间距 TSSOP 表面贴装封装。20 引脚封装的 TSSOP 封装尺寸为 6.5mm × 4.4mm (0.65mm 引脚间距)。

7.2 功能方框图

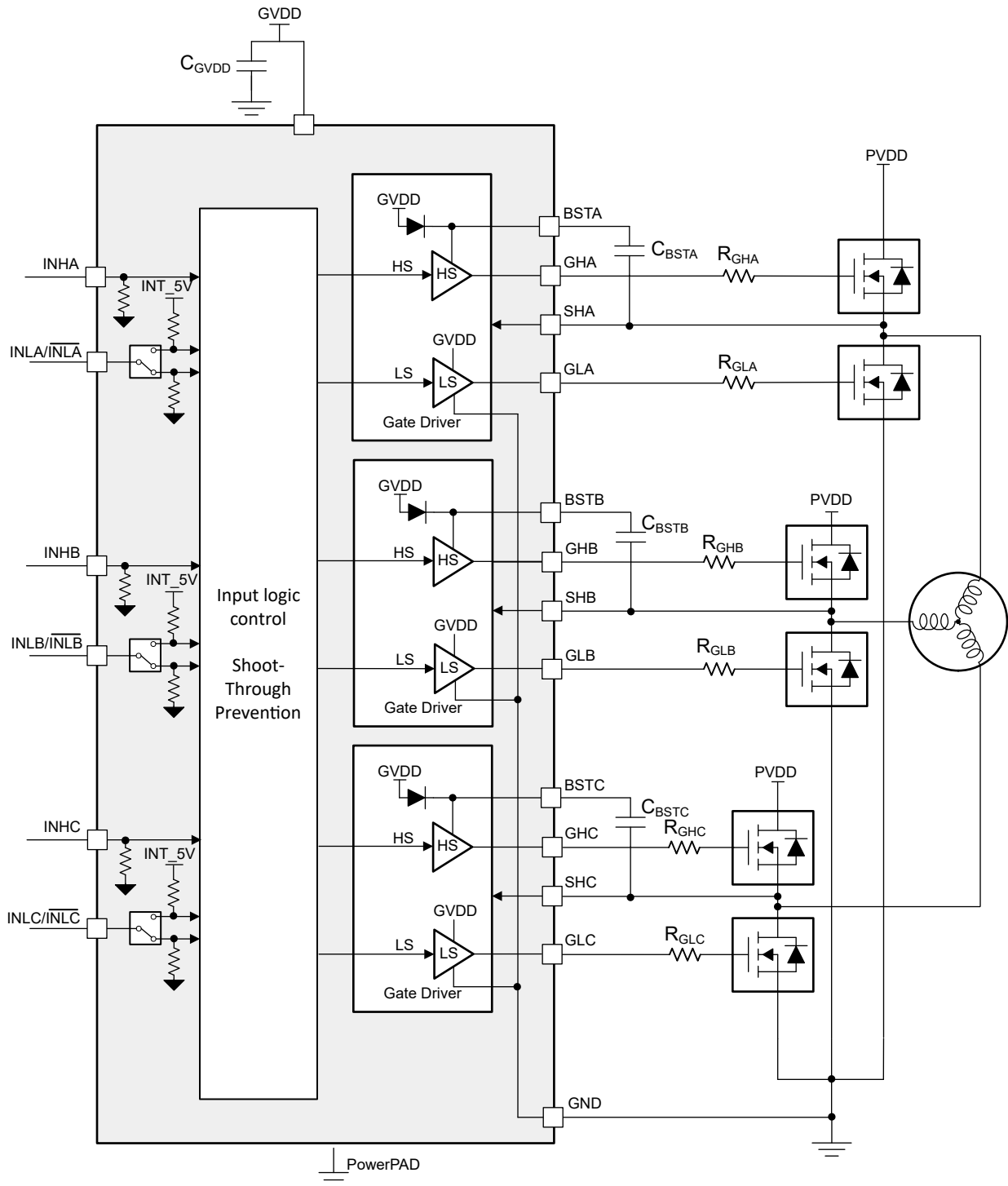


图 7-1. DRV8351-SEP 的方框图

7.3 特性说明

7.3.1 三相 BLDC 栅极驱动器

DRV8351-SEP 集成了三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。GVDD 上的输入为低侧 MOSFET 提供栅极偏置电压。高电压使用自举电容器和 GVDD 电源来生成。可以组合使用多个半桥栅极驱动器来驱动三相电机，也可以单独使用这些驱动器来驱动其他类型的负载。

7.3.1.1 栅极驱动器时序

7.3.1.1.1 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与检测到的输出变化之间的时间。该时间由两个部分组成，即输入抗尖峰脉冲器延迟和通过模拟栅极驱动器的延迟。

输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。模拟栅极驱动器具有较小的延迟，从而增大器件的总体传播延迟。

7.3.1.1.2 死区时间和跨导保护

在 DRV8351-SEP 中，高侧和低侧输入独立运行，但有一个例外，即当高侧和低侧同时开启时，以便防止发生跨导。当高侧和低侧输入同时为逻辑高电平时，DRV8351-SEP 会关闭高侧和低侧输出，以防止击穿。

在 DRV8351D-SEP 中，会插入 200ns (典型值) 的固定死区时间，以防止高侧和低侧栅极输出同时导通。

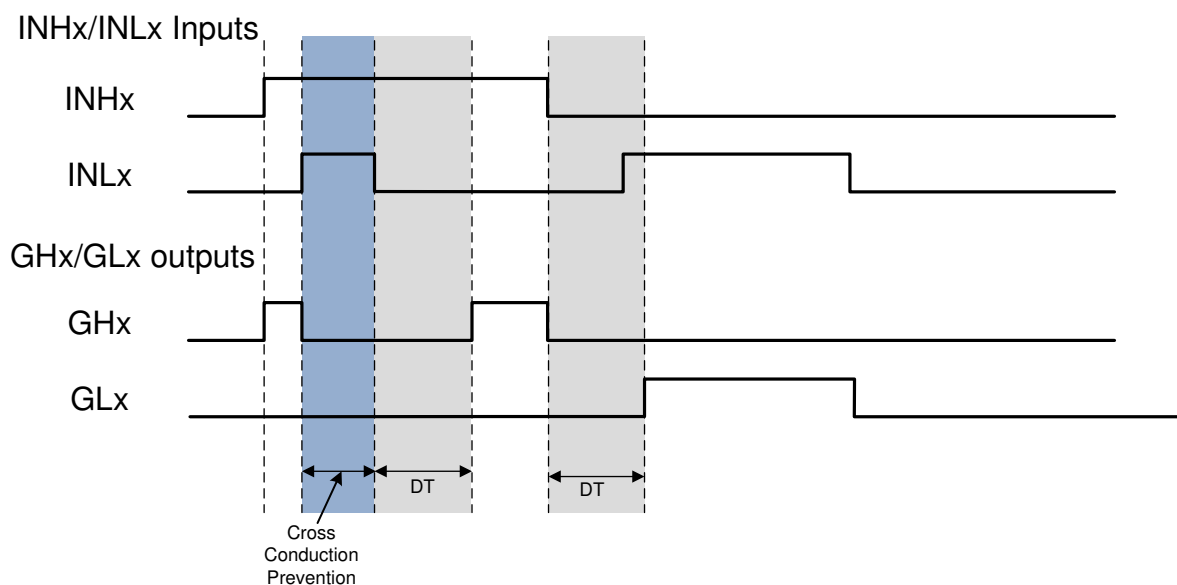


图 7-2. 跨导保护和死区时间插入

7.3.1.2 模式 (反相和同相 INLx)

DRV8351-SEP 可灵活地在 INLx 上接受不同类型的输入。DRV8351-SEP 中有不同的器件选项，可用于反相和非反相输入 (请参阅节 4)。

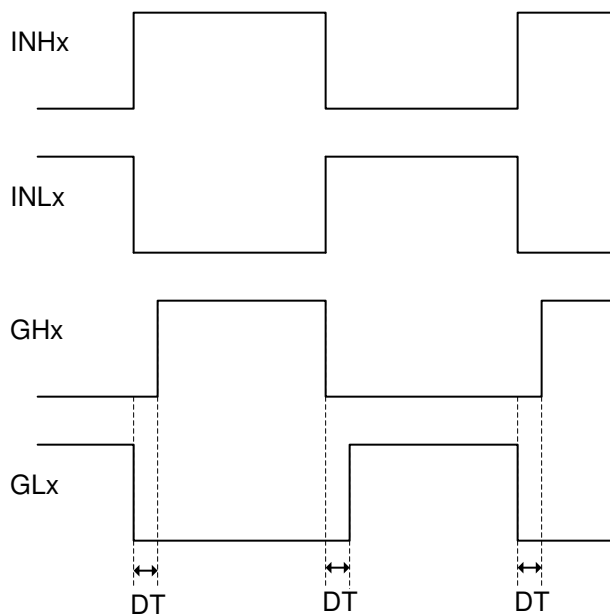


图 7-3. 同相 $INLx$ 输入

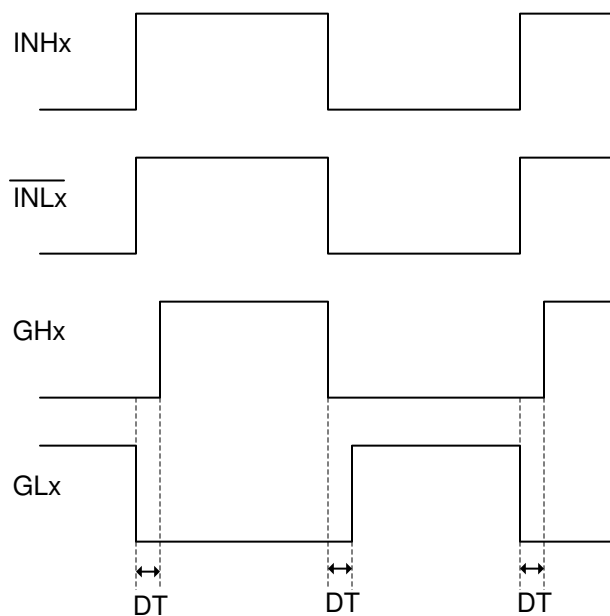
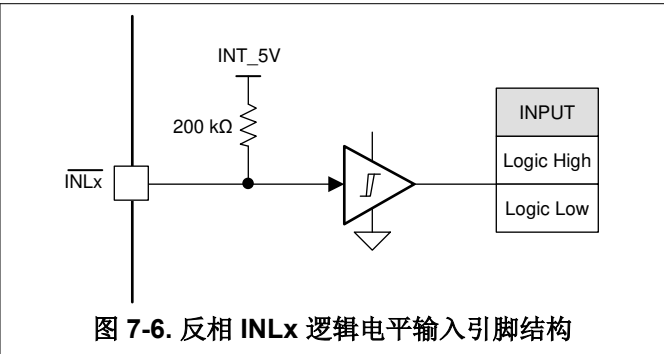
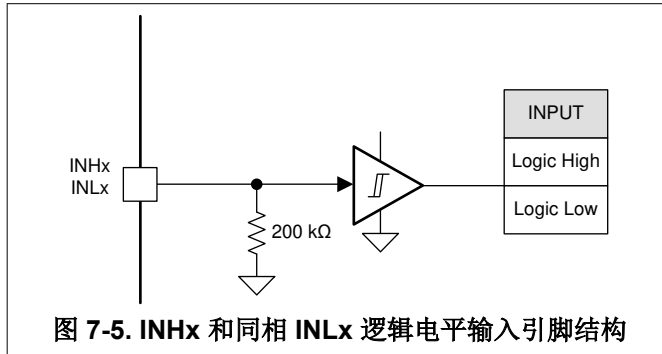


图 7-4. 反相 $INLx$ 输入

7.3.2 引脚图

图 7-5 展示了逻辑电平引脚 INHx 和 INLx 的输入结构。INHx 和同相 INLx 具有无源下拉功能，因此当输入悬空时，输出将被拉低。图 7-6 展示了反相 INLx 引脚的输入结构。反相 INLx 具有无源上拉，因此当输入悬空时，低侧栅极驱动器的输出将被拉低。



7.3.3 栅极驱动器保护电路

DRV8351-SEP 可防止 BSTx 过压和 GVDD 欠压事件。

表 7-1. 故障操作和响应

故障	条件	栅极驱动器	恢复
V_{BSTx} 欠压 (BSTUV)	$V_{BSTx} < V_{BSTUV}$	GHx - Hi-Z	自动： $V_{BSTx} > V_{BSTUV}$ 且在 INHx 引脚上检测到低电平到高电平 PWM 边沿
GVDD 欠压 (GVDDUV)	$V_{GVDD} < V_{GVDDUV}$	高阻态	自动： $V_{GVDD} > V_{GVDDUV}$

7.3.3.1 V_{BSTx} 欠压锁定 (BSTUV)

DRV8351-SEP 具有独立的电压比较器来检测每个相位的欠压情况。在任何时候，如果 BSTx 引脚上的电压降至低于 V_{BSTUV} 阈值，则会通过禁用 GHx 引脚（置于高阻态）来禁用该特定相位的高侧外部 MOSFET。当 BSTUV 条件清除并且在检测到 BSTUV 条件的同一相位的 INHx 输入上检测到低电平到高电平的 PWM 边沿时，器件将再次开始正常运行。BSTUV 保护可确保在 BSTx 引脚的值较低时不会驱动高侧 MOSFET。

7.3.3.2 GVDD 欠压锁定 (GVDDUV)

在任何时候，如果 GVDD 引脚上的电压降至 V_{GVDDUV} 阈值电压以下，所有外部 MOSFET 都会被禁用。GVDDUV 条件清除后，即可重新开始正常运行。GVDDUV 保护可确保在 GVDD 输入处于较低值时不会驱动外部 MOSFET。

7.4 器件功能模式

只要 GVDD 和 BST 引脚高于 UV 阈值（ $GVDD > V_{GVDDUV}$ 且 $V_{BSTx} > V_{BSTUV}$ ），DRV8351-SEP 就处于工作（活动）模式。在工作模式下，栅极驱动器输出 GHx 和 GLx 将跟随相应的输入 INHx 和 INLx。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DRV8351-SEP 系列器件主要用于三相无刷直流电机控制应用。节 8.2 部分中的设计过程重点介绍了如何使用和配置 DRV8351-SEP。

8.2 典型应用

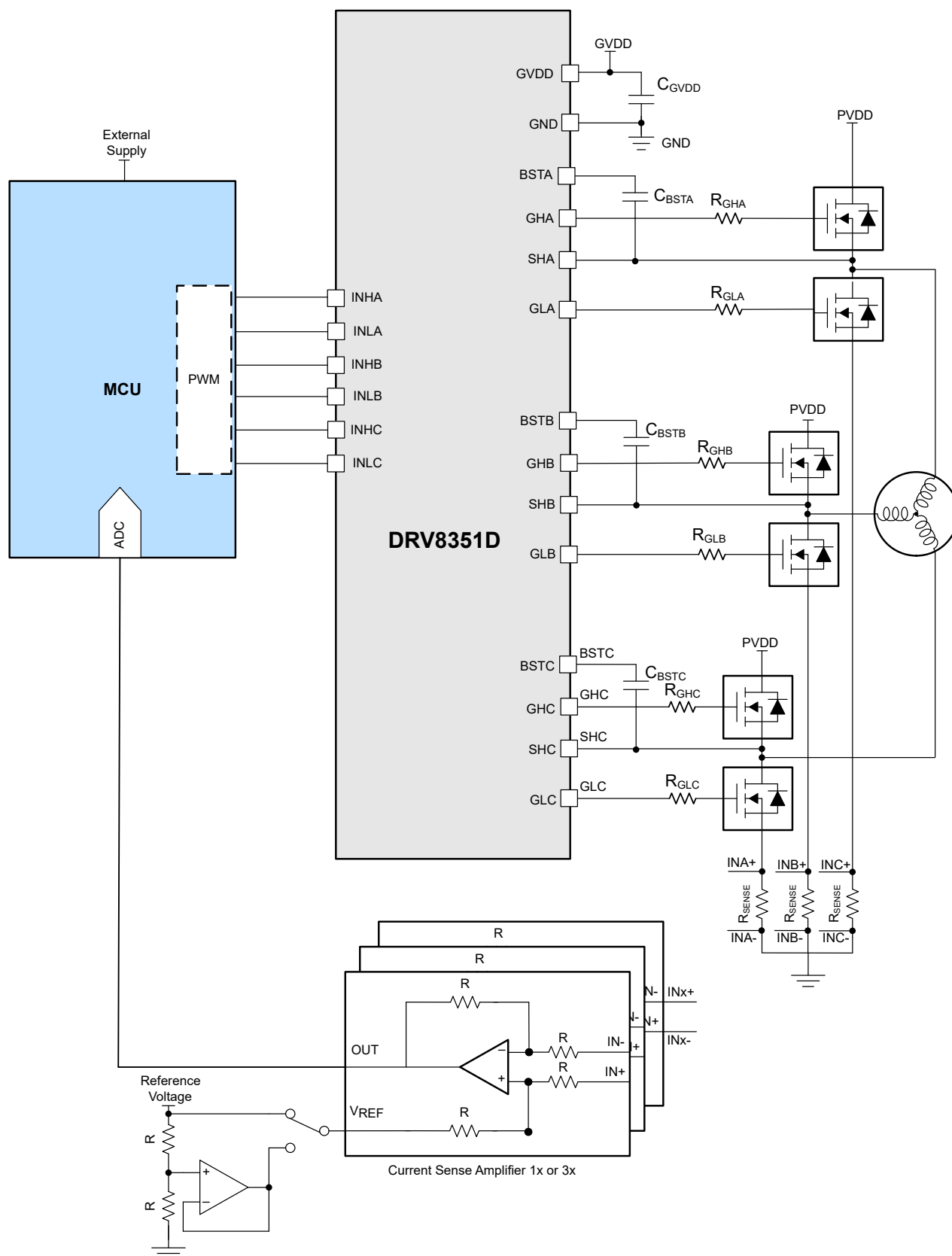


图 8-1. 应用原理图

8.2.1 设计要求

表 8-1 列出了系统设计的示例设计输入参数。

表 8-1. 设计参数

示例设计参数	基准	示例值
MOSFET	-	CSD19532Q5B
栅极电源电压	V_{GVDD}	12V
栅极电荷	Q_G	48nC

8.2.2 自举电容器和 GVDD 电容器选型

自举电容器的大小必须能够维持自举电压高于欠压锁定以实现正常运行。方程式 1 用于计算自举电容器上允许的最大压降：

$$\Delta V_{BSTX} = V_{GVDD} - V_{BOOTD} - V_{BSTUV} \quad (1)$$

$$= 12V - 0.85V - 4.5V = 6.65V$$

其中

- V_{GVDD} 是栅极驱动器的电源电压
- V_{BOOTD} 是自举二极管的正向压降
- V_{BSTUV} 是自举欠压锁定的阈值

在本示例中，自举电容器的允许压降为 6.65V。通常情况下，建议尽量降低自举电容器和 GVDD 电容器上的纹波电压。很多商业、工业和汽车应用中采用介于 0.5V 和 1V 之间的纹波值。

每个开关周期所需的总电荷可以通过方程式 2 进行估算：

$$Q_{TOT} = Q_G + \frac{I_{LBS_TRANS}}{f_{SW}} \quad (2)$$

$$= 48nC + 220 \mu A / 20kHz = 50nC + 11nC = 59nC$$

其中

- Q_G 是总 MOSFET 栅极电荷
- I_{LBS_TRAN} 是自举引脚漏电流
- f_{SW} 是 PWM 频率

假设 ΔV_{BSTX} 为 1V，则最小自举电容器可通过以下公式进行估算：

$$C_{BST_MIN} = Q_{TOT} / \Delta V_{BSTX} \quad (3)$$

$$= 59nC / 1V = 59nF$$

计算出的最小自举电容值为 59nF。请注意，这是全偏置电压条件下所需的电容值。实际应用中，自举电容值必须大于计算值，才能确保在功率级可能因各种瞬态条件而发生脉冲跳跃的情况下正常使用。在本示例中，建议使用 100nF 自举电容器。此外，还建议预留足够的裕度，并将自举电容器尽可能靠近 BSTx 和 SHx 引脚放置。

$$C_{GVDD} \geq 10 \times C_{BSTX} \quad (4)$$

$$= 10 \times 100nF = 1 \mu F$$

对于该示例应用，选择 $1\mu\text{F}$ C_{GVDD} 电容器。选择电压等级至少是其将承受的最大电压两倍的电容器，因为大多数陶瓷电容器在偏置时会损失大量电容。该值还可提高系统的长期可靠性。

8.2.3 应用曲线

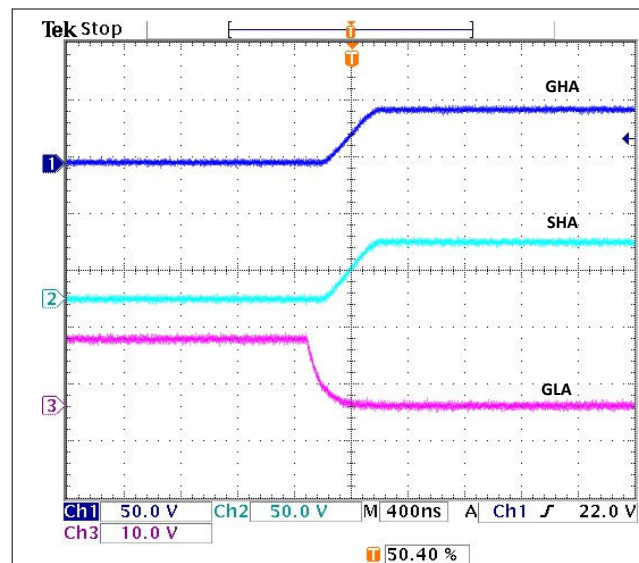


图 8-2. 栅极电压，SHx 上升且具有 15Ω 栅极电阻器和 CSD19532Q5B MOSFET

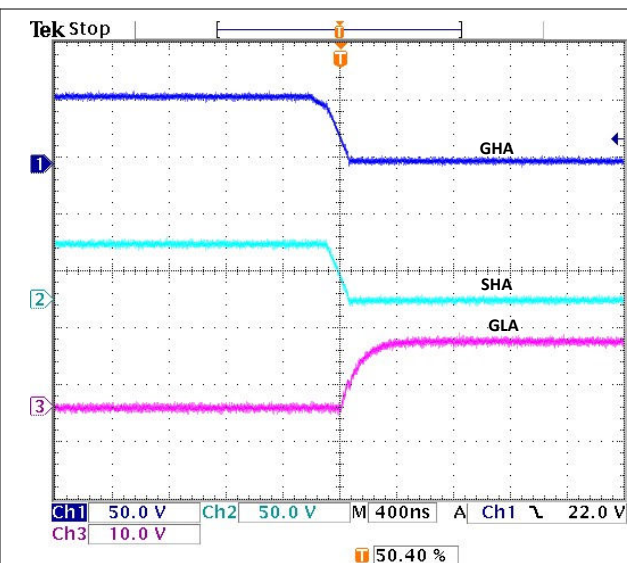


图 8-3. 栅极电压，SHx 下降且具有 15Ω 栅极电阻器和 CSD19532Q5B MOSFET

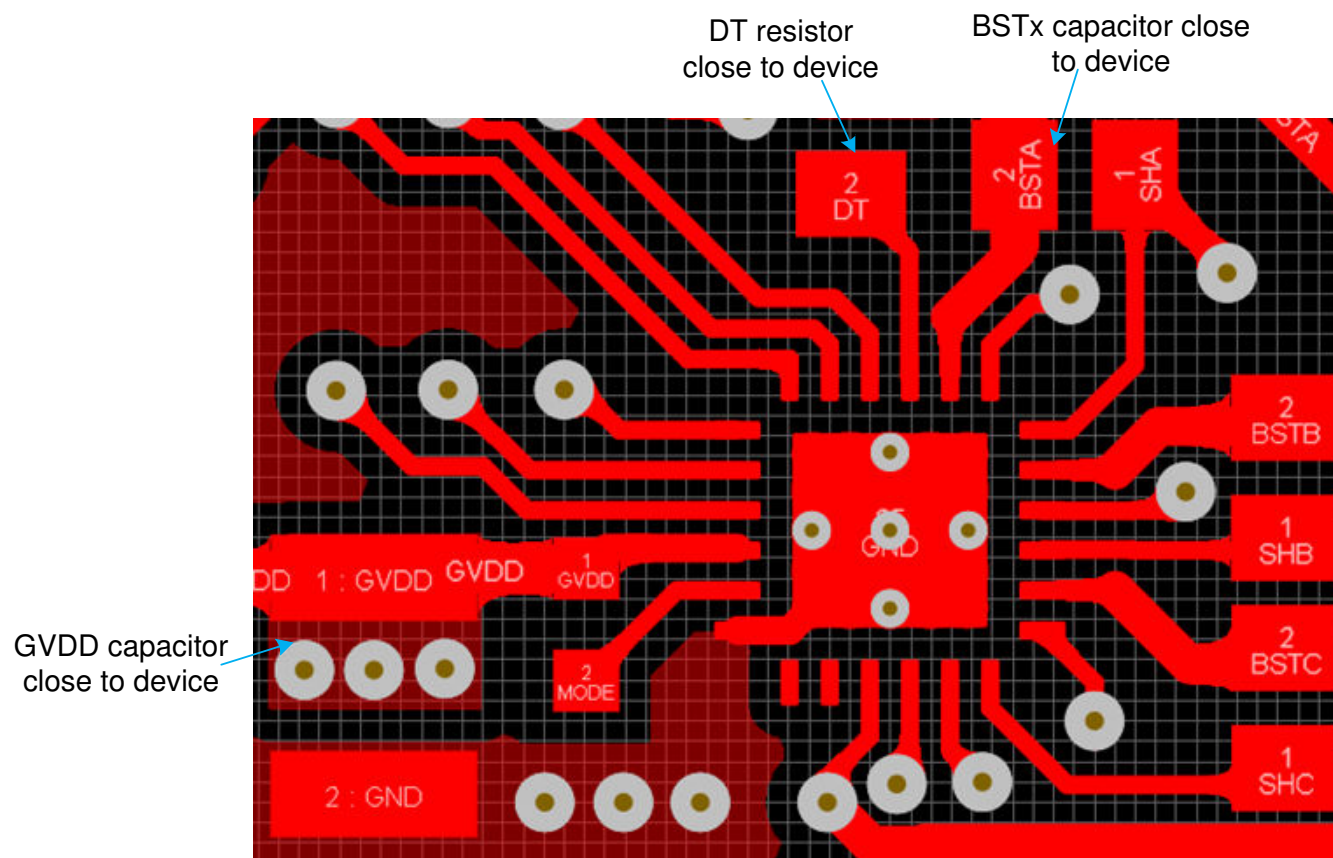
9 电源相关建议

DRV8351-SEP 设计为在 4.8V 至 15V 的输入电源电压 (GVDD) 范围内运行。应当在 GVDD 和 GND 引脚之间放置一个本地旁路电容器。该电容器应尽量靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。建议在 GVDD 和 GND 之间使用两个电容器：一个低电容陶瓷表面贴装电容器，非常靠近 GVDD 和 GND 引脚，用于高频滤波；一个高电容表面贴装电容器，旨在满足器件偏置要求。与此类似，GHx 引脚提供的电流脉冲来自 BSTx 引脚。因此，建议在 BSTx 和 SHx 之间连接一个电容器，该电容器应该具有足够高的电容值来传输 GHx 脉冲。

10.1 布局指南

- 应在 **GVDD** 和 **GND** 引脚之间以及 **BSTx** 和 **SHx** 引脚之间靠近器件的位置连接低 **ESR/ESL** 电容器，从而在外部 **MOSFET** 导通时支持 **GVDD** 和 **BSTx** 引脚消耗的高峰值电流。
- 为防止顶部 **MOSFET** 漏极出现大的电压瞬变，必须在高侧 **MOSFET** 漏极和接地之间连接一个低 **ESR** 电解电容器和一个高质量陶瓷电容器。
- 为避免开关节点 (**SHx**) 引脚上出现大的负瞬变，必须尽可能减小高侧 **MOSFET** 源极和低侧 **MOSFET** 源极之间的寄生电感。
- 为避免出现意外的瞬变，必须更大限度地减小 **GHx**、**SHx** 和 **GLx** 连接的寄生电感。尽可能缩短布线长度并减少过孔数量。建议使用最小 **10mil** 和典型 **15mil** 的布线宽度。
- 栅极驱动器应尽量靠近 **MOSFET**。通过缩短布线长度，将对 **MOSFET** 栅极进行充电和放电的高峰值电流限制在最小的物理区域内。这种限制降低了环路电感，能够有效避免 **MOSFET** 栅极端子上的噪声问题。
- 请参阅 [应用报告](#) 中的 *通用布线技术* 以及 *MOSFET 的放置和功率级布线*

10.2 布局示例



11 器件和文档支持

11.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8351DIMPWTSEP	Active	Production	TSSOP (PW) 20	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	8351DIM
DRV8351DIMPWTSEP.A	Active	Production	TSSOP (PW) 20	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	8351DIM
V62/24612-01XE	Active	Production	TSSOP (PW) 20	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	8351DIM

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8351DIMPWTSEP	TSSOP	PW	20	250	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8351DIMPWTSEP	TSSOP	PW	20	250	353.0	353.0	32.0



4220206/A 02/2017

NOTES:

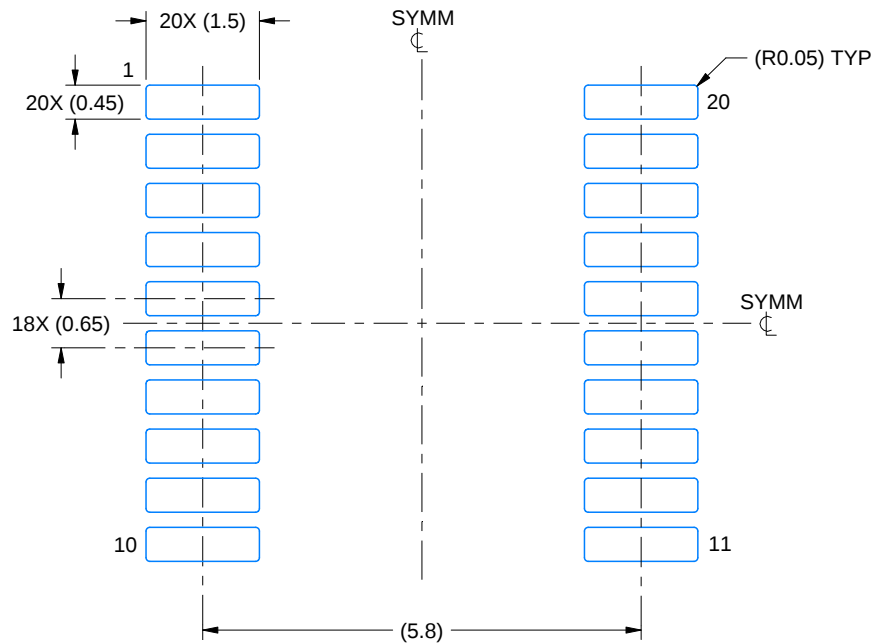
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

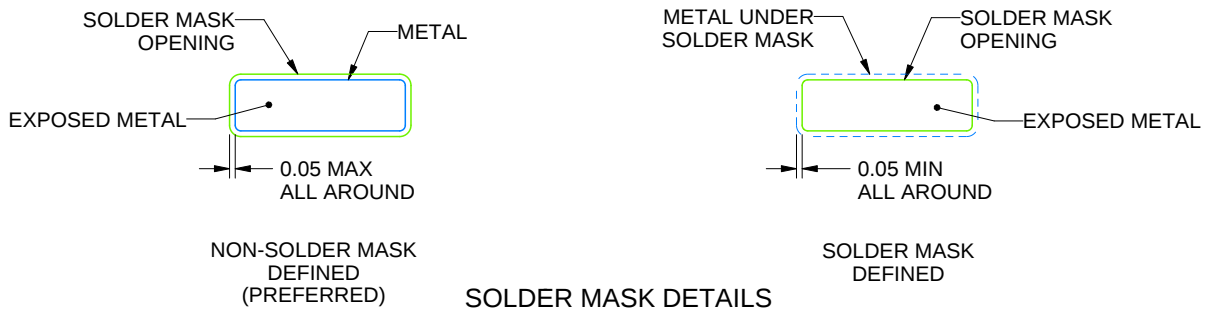
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

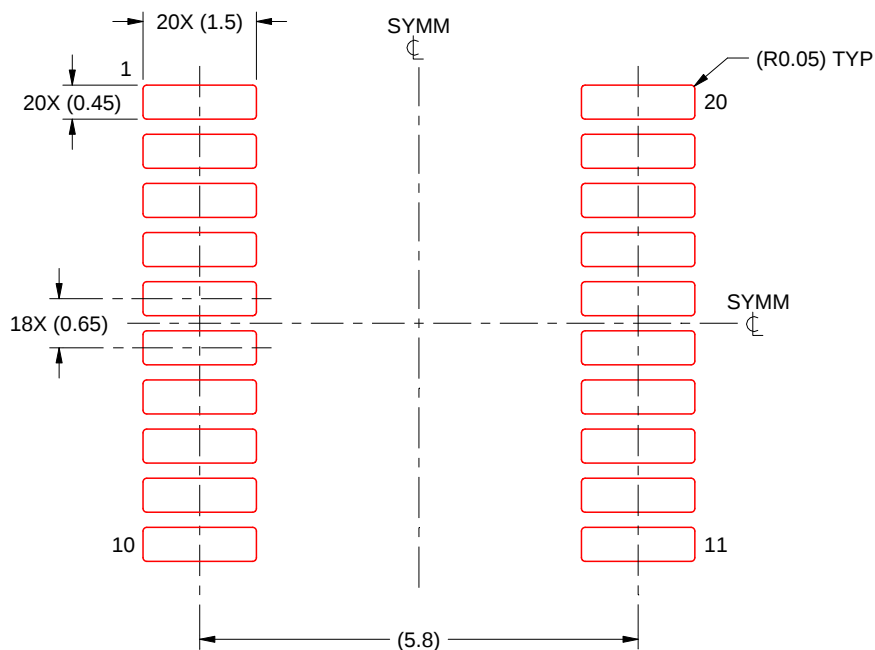
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司