DRV8334-Q1 具有精确电流检测和增强型诊断功能的汽车类 24/12V 电池三相栅极驱动器单元

1 特性

- 符合面向汽车应用的 AEC-Q100 标准。温度选项：
  - DRV8334EPHP：–40°C 至 +150°C，T_A
  - DRV8334QPHP：–40°C 至 +125°C，T_A
- 三相半桥栅极驱动器
  - 驱动六个 N 通道 MOSFET (NMOS)
  - 4.5V 至 60V 宽工作电压范围
  - 适用于高侧栅极驱动器的自举架构
  - 强大的 GVDD 电荷泵可支持高达 50mA 的平均栅极开关电流，能够以 20kHz 的频率驱动 400nC MOSFET
  - 涓流电荷泵可支持 100% PWM 占空比，并可生成过驱电源以驱动外部保护电路
- 智能栅极驱动架构
  - 高达 1000/2000mA（拉电流/灌电流）的 45 级可配置峰值栅极驱动电流
  - 三步动态驱动电流控制
  - 可配置的软关断可在过流关断期间更大限度地降低电感电压尖峰
- 低侧电流检测放大器
  - 在整个温度范围内具有低于 1mV 的低输入失调电压
  - 9 级可调增益
- 基于 SPI 的详细配置和诊断
- DRVOFF 引脚可独立禁用驱动器
- 高压唤醒引脚 (nSLEEP)
- 6x、3x、1x 和独立的 PWM 模式
- 支持 3.3V 和 5V 逻辑输入
- 用于复位设置的可选可编程 OTP
- 集成式保护功能
  - 电池和电源电压监测器
  - 相位反馈比较器
  - MOSFET V_{DS} 和 R_{sense} 过电流监测器
  - MOSFET V_{GS} 栅极故障监测器
  - 器件热警告和热关断
  - 故障状态指示引脚

2 应用

- 燃油泵、水泵和机油泵
- 汽车风扇和鼓风机
- 汽车车身电机
- 变速器传动器
- 汽车 BLDC 和 PMSM 电机

3 说明

DRV8334-Q1 是一款集成式智能栅极驱动器，适用于 12V 和 24V 汽车类 三相 BLDC 应用。此器件具有三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。DRV8334-Q1 使用集成式自举二极管和 GVDD 电荷泵生成合适的栅极驱动电压。此智能栅极驱动架构支持 0.8mA 至 1A（拉电流）和 2A（灌电流）的可配置峰值栅极驱动电流。DRV8334-Q1 可由具有 4.5V 至 60V 宽输入范围的单个电源供电。涓流电荷泵可实现 100% PWM 占空比控制，并可为外部开关提供过驱电源电压。

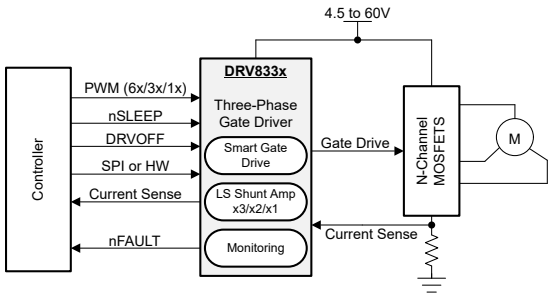
DRV8334-Q1 提供低侧电流检测放大器，用于支持基于电阻器的低侧电流检测。放大器的低失调电压使系统能够实现精密的电机电流测量。

DRV8334-Q1 集成了各种诊断和保护特性，可实现稳健的电机驱动系统设计，还有助于消除对外部元件的需求。该器件具有高度可配置特性，能够无缝集成到各种系统设计中。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）
DRV8334-Q1	HTQFP (48)	9mm x 9mm	7mm × 7mm
	QFN (48)(3)	7mm × 7mm	7mm × 7mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸包括引脚（如适用）。
(3) 产品仅为预发布状态。如需更多信息，请联系 TI。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
4.1 引脚功能 48 引脚 DRV8334-Q1 器件....3
5 规格.... 6
5.1 绝对最大额定值....6
5.2 ESD 等级 - 汽车....7
5.3 建议运行条件.... 7
5.4 热性能信息....8
5.5 电气特性....8
5.6 时序要求....20
5.7 SPI 时序图.... 21
6 详细说明.... 22
6.1 概述....22
6.2 功能方框图....23
6.3 特性说明....24
6.4 器件功能模式.... 42
6.5 编程....44
7 寄存器映射....46
7.1 状态寄存器....47
7.2 控制寄存器....51
8 应用和实施....64
8.1 应用信息....64
8.2 典型应用....64
8.3 布局....67
9 器件和文档支持.... 69
9.1 文档支持....69
9.2 接收文档更新通知.... 69
9.3 社区资源....69
9.4 商标....69
10 修订历史记录....69
11 机械、封装和可订购信息.... 70

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

4.1 引脚功能 48 引脚 DRV8334-Q1 器件

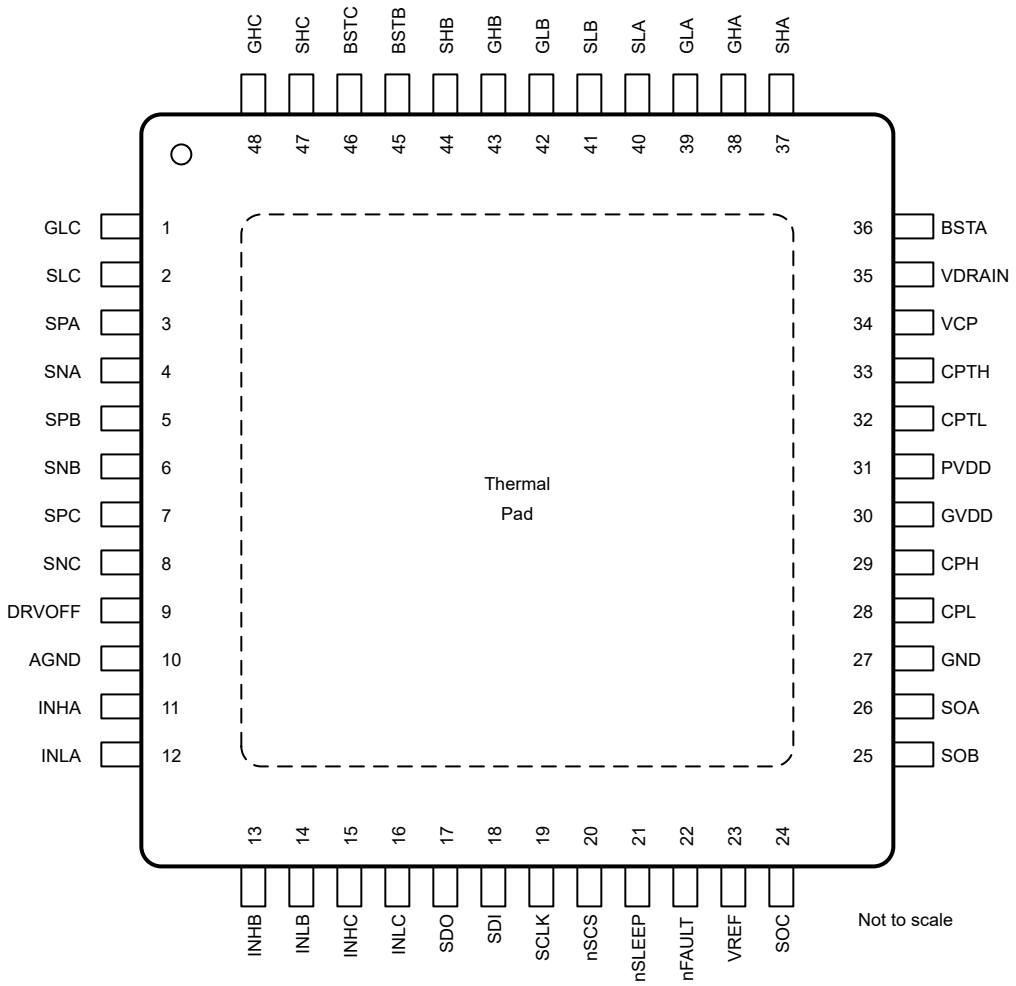


图 4-1. DRV8334-Q1 封装 48 引脚 HTQFP（带有外露散热焊盘）顶视图

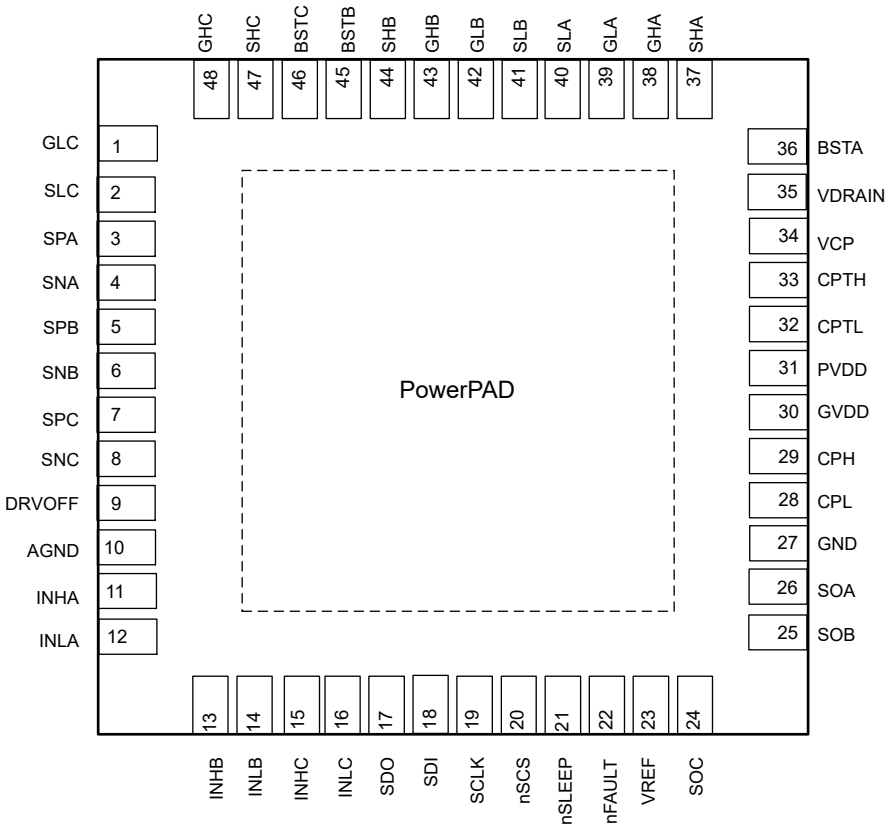


图 4-2. DRV8334-Q1xRGZ 封装 48 引脚 QFN（预览，带有外露散热焊盘）顶视图

表 4-1. 引脚功能 48-QFP 和 48-QFN（预览）

引脚		I/O[(1)]	说明
名称	编号		
GLC	1	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
SLC	2	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
SPA	3	I	低侧分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
SNA	4	I	电流检测放大器输入。连接到电流采样电阻的低侧。
SPB	5	I	低侧分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
SNB	6	I	电流检测放大器输入。连接到电流采样电阻的低侧。
SPC	7	I	低侧分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
SNC	8	I	电流检测放大器输入。连接到电流采样电阻的低侧。
DRVOFF	9	I	高电平有效关断输入，用于下拉栅极驱动器输出 GHx 和 GLx。
AGND	10	PWR	器件接地。
INHA	11	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLA	12	I/O	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。该引脚可通过 SPI 寄存器位 PHC_OUTEN 配置为相位比较器的输出缓冲器。
INHB	13	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLB	14	I/O	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。该引脚可通过 SPI 寄存器位 PHC_OUTEN 配置为相位比较器的输出缓冲器。
INHC	15	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLC	16	I/O	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。该引脚可通过 SPI 寄存器位 PHC_OUTEN 配置为相位比较器的输出缓冲器。
SDO	17	O	串行数据输出。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 48-QFP 和 48-QFN（预览）（续）

引脚		I/O[(1)]	说明
名称	编号		
SDI	18	I	串行数据输入。
SCLK	19	I	串行时钟输入。
nSCS	20	I	串行芯片选择。
nSLEEP	21	I	栅极驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。
nFAULT	22	OD	故障指示灯输出。该引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。
VREF	23	PWR	电流感测放大器的外部电压基准。
SOC	24	O	电流检测放大器输出。
SOB	25	O	电流检测放大器输出。
SOA	26	O	电流检测放大器输出。
GND	27	PWR	器件接地
CPL	28	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚间连接一个飞跨电容器。
CPH	29	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚间连接一个飞跨电容器。
GVDD	30	PWR	栅极驱动器电源输出。在 GVDD 引脚和 GND 引脚之间连接一个额定电压为 GVDD 的陶瓷电容器。
PVDD	31	PWR	栅极驱动器电源输入。连接到电桥电源。在 PVDD 引脚和 GND 引脚之间连接一个额定电压为 PVDD 的陶瓷电容器。
CPTL	32	PWR	涓流电荷泵开关节点。在 CPTL 引脚和 CPTH 引脚之间连接一个电荷泵飞跨电容器。
CPTH	33	PWR	涓流电荷泵开关节点。在 CPTL 引脚和 CPTH 引脚之间连接一个电荷泵飞跨电容器。
VCP	34	PWR	涓流电荷泵存储电容器。在 VCP 引脚和 VDRAIN 引脚之间连接一个陶瓷电容器。
VDRAIN	35	PWR	高侧漏极感测和电荷泵电源输入。
BSTA	36	O	自举输出引脚。在 BSTA 和 SHA 间连接一个自举电容器
SHA	37	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
GHA	38	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	39	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
SLA	40	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
SLB	41	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
GLB	42	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GHB	43	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
SHB	44	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
BSTB	45	O	自举输出引脚。在 BSTB 和 SHB 间连接一个自举电容器
BSTC	46	O	自举输出引脚。在 BSTC 和 SHC 间连接一个自举电容器
SHC	47	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
GHC	48	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
PAD	不适用	不适用	外露焊盘。连接到具有出色散热能力的 GND 平面。此焊盘不用作实现电路运行的 GND 电气连接。

(1) 信号类型：I = 输入；O = 输出；I/O = 输入或输出；PWR = 电源

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）[(1)]

		最小值	最大值	单位
电源引脚电压	PVDD	-0.3	65	V
高侧 MOSFET 漏极引脚电压	VDRAIN	-0.3	65	V
接地引脚之间的电压差	AGND、GND	-0.3	0.3	V
电荷泵引脚电压	CPH	-0.3	V_{GVDD} + 0.3	V
电荷泵引脚电压	CPL	-0.3	V_{GVDD} + 0.9	V
	CPL，V_{PVDD} < V_{GVDD}		V_{PVDD} + 0.6	
涓流电荷泵高侧引脚电压	CPTH	-0.3	80	V
涓流电荷泵低侧引脚电压	CPTL	-0.3	V_{VDRAIN} + 0.3	V
涓流电荷泵输出引脚电压	VCP	-0.3	80	V
栅极驱动器稳压器引脚电压 V_{GVDD}	GVDD	-0.3	18	V
逻辑引脚电压	nSLEEP	-0.3	65	V
逻辑引脚电压	DRVOFF	-0.3	65	V
逻辑引脚电压	INHx、INLx、nFAULT、SCLK、SDO、SDI、nSCS	-0.3	6.5	V
逻辑引脚电压	INHx、INLx、nFAULT、SCLK、SDO、SDI、nSCS：瞬态	-0.3	7.0	V
自举引脚电压	BSTx，连续工作模式	-0.3	80	V
	BSTx，以 SHx 为基准	-0.3	20	V
	BSTx，以 GHx 为基准	-0.3	20	V
自举引脚瞬态电流	BSTx，瞬态 (500ns)，假设外部元件 R_{BST} = 2Ω 且条件 V (R_{BST}) = -7V、		3.5	A
高侧栅极驱动引脚电压	GHx，连续工作模式	-8	80	V
高侧栅极驱动引脚电压	GHx，瞬态 1us	-15	80	V
与 SHx 相关的高侧栅极驱动引脚电压	GHx-SHx	-0.3	BSTx + 0.3	V
高侧源极引脚电压	SHx，连续工作模式	-8	70	V
高侧源极引脚电压	SHx，瞬态 1us	-15	72	V
低侧栅极驱动引脚电压	GLx，以 SLx (LSS) 为基准	-0.3	20	V
低侧栅极驱动引脚电压	GLx，以 GVDD 为基准，V_{GLx} - V_{GVDD}（如果 V_{GLx} > V_{GVDD}）		0.3	V
低侧栅极驱动引脚电压	GLx，连续工作模式	-8	20	V
低侧栅极驱动引脚电压	GLx，瞬态 1us	-15	20	V
低侧源极检测引脚电压	SLx，连续工作模式	-8	V_{GVDD}	V
低侧源极检测引脚电压	SLx，瞬态 1us	-15	V_{GVDD}	V
栅极驱动电流	GHx、GLx	受内部限制	受内部限制	A
基准输入引脚电压	VREF	-0.3	6	V
并联放大器输入引脚电压	SNx、SPx，连续工作模式	-5	5	V
并联放大器输入引脚电压	SNx、SPx，瞬态 1μs	-15	15	V
分流放大器输出引脚电压	SOx	-0.3	VREF + 0.3	V
电源瞬态电压斜坡	PVDD、VDRAIN、VREF		3	V/μs
高侧源级压摆率	SHx，V_{BSTx}-V_{SHx} ≥ 5.5V nSLEEP = 高电平，且 ENABLE_DRV = 1b		4	V/ns

Copyright © 2025 Texas Instruments Incorporated

在工作温度范围内（除非另有说明）[(1)]

		最小值	最大值	单位
环境温度，T_A	环境温度，T_A	-40	125	°C
结温，T_J	结温，T_J	-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

5.2 ESD 等级 - 汽车

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电源电压	PVDD 完整器件功能。仅在 PVDD 从更高 PVDD 降至 4.5V 时运行。启动所需最小 PVDD 为 4.85V	4.5		60	V
V_{VM}	用于逻辑运算的电源电压	电池电压从启动所需的最低 PVDD 下降（在器件从完全功能状态进入电池启动期间）后，PVDD、逻辑运算和 SPI 正常工作	4.0		60	V
V_{VDRAIN}	高侧 MOSFET 漏极电压	VDRAIN，保持完整功能	4.5		60	V
V_{VDRAIN}	高侧 MOSFET 漏极电压	VDRAIN，功能受限（VDS 监控）。GVDD、TCP/VCP、BST 和栅极驱动器正常运行。	0		60	V
V_{BST}	以 SHx 为基准的自举引脚电压	nSLEEP = 高电平，PWM 开关和栅极驱动器正常运行 [(1)]	3.9		20	V
I_{VCP}	VCP 外部负载	VCP，PVDD < 8V			3	mA
I_{VCP}	VCP 外部负载	VCP，PVDD > 8V			5	mA
V_{IN}	逻辑输入电压	DRVOFF、INHx、INLx	0		5.5	V
V_{IN}	逻辑输入电压	nSLEEP，	0		60	V
V_{IN}	逻辑输入电压	SCLK、SDI、nSCS	0		5.5	V
V_{OD}	开漏上拉电压	nFAULT			5.5	V
I_{OD}	开漏输出上拉电阻器	nFAULT	5			KΩ
I_{OD}	开漏输出电流	SDO、PHC 和直流状态			-1	mA
I_{GS}	总平均栅极驱动电流（低侧和高侧相结合）	I_{GHx}。I_{GLx}			50	mA
V_{VREF}	电流检测放大器基准电压	VREF	3		5.5	V
V_{SL}	SLx 的直流电压	SLx 引脚，直流状态	-2		2	V
V_{CM_CSA}	电流检测输入共模电压	SP、SN	-2		2	V
T_A	工作环境温度	工作环境温度 DRV8334Q 器件型号	-40		125	°C

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
T_A	工作环境温度（等级 0）	工作环境温度 DRV8334E 器件型号	-40		150	°C
T_J	工作结温	工作结温 DRV8334Q 器件型号	-40		150	°C
T_J	工作结温（等级 0）	工作结温 DRV8334E 器件型号	-40		175	°C

(1) 用户需要结合过压/欠压检测阈值 V_{BST_OV}/V_{BST_UV} 和外部 MOSFET 的规格要求，对 V_{BST} 进行评估检查。

5.4 热性能信息

热指标[1]		DRV8334-Q1 PHP (QFP) 48 引脚	DRV8334-Q1 RGZ (QFN) 预览 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	27.0	23.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.6	11.6	°C/W
$R_{\theta JB}$	结至电路板热阻	11.0	6.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	10.9	6.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.1	1.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源 (PVDD)						
I_{PVDDQ}	PVDD 睡眠模式电流	V_{PVDD} = 12V，nSLEEP = 0，T_A = 25°C，I_{PVDDQ} = PVDD + VDRAIN		7	10	μA
I_{PVDDQ}	PVDD 睡眠模式电流	V_{PVDD} = 24V，nSLEEP = 0，T_A = 25°C，I_{PVDDQ} = PVDD + VDRAIN		8	12	μA
I_{PVDDQ}	PVDD 睡眠模式电流	V_{PVDD} =< 36V，nSLEEP = 0，I_{PVDDQ} = PVDD + VDRAIN		9	30	μA
I_{PVDD}	PVDD 活动模式电流	V_{PVDD} = 24V；nSLEEP = 高电平，INHx = INLX = 低电平。未连接 FET，I_{PVDD} = PVDD + VDRAIN，V_{DRAIN} = 24V		25	38	mA
I_{PVDD}	PVDD 活动模式电流	V_{PVDD} = 60V；nSLEEP = 高电平，INHx = INLX = 低电平。未连接 FET，I_{PVDD} = PVDD + VDRAIN，V_{DRAIN} = 60V，VCP_MODE = 00b、01b、11b		26	40	mA
I_{PVDD}	PVDD 活动模式电流	V_{PVDD} = 24V，nSLEEP =高电平，INHx = INLX = 开关频率 20kHz，未连接 FET，I_{PVDD} = PVDD + VDRAIN		25	38	mA
I_{PVDD}	PVDD 活动模式电流	V_{PVDD} = 60V，nSLEEP = 高电平，INHx = INLX = 开关频率 20kHz。未连接 FET，I_{PVDD} = PVDD + VDRAIN，V_{DRAIN} = 60V，VCP_MODE = 00b、01b、11b		26	40	mA
t_{WAKE}	导通时间	nSLEEP = 低电平到高电平；nFAULT 变为高电平。		1	5	ms
逻辑电平输入（INHx、INLx、nSLEEP 等）						
V_{IL}	输入逻辑低电平电压				0.8	V

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入逻辑高电平电压		2.1			V
V_{HYS}	输入迟滞		200	330	450	mV
V_{IL}	DRVOFF 输入逻辑低电压	DRVOFF			0.8	V
V_{IH}	DRVOFF 输入逻辑高电压	DRVOFF	2.1			V
V_{HYS}	DRVOFF 输入迟滞	DRVOFF	190	350	600	mV
R_{PD}	输入下拉电阻	至 GND；INHx、INLx、SCLK、SDI	50	100	150	kΩ
R_{PD}	输入下拉电阻	nSLEEP、DRVOFF	460	800	1700	kΩ
I_{IL}	输入逻辑低电平电流	V_I = 0V；nSCS（内部上拉）；VIO = 3.3V	11	33	66	μA
I_{IL}	输入逻辑低电平电流	V_I = 0V；nSCS（内部上拉）；VIO = 5V	25	50	100	μA
I_{IH}	输入逻辑高电流	V_I = 5V，INHx/INLx/SDI/SCLK	30	50	70	μA
V_{IH}	nSleep 输入逻辑高电压				2.1	V
V_{IL}	nSleep 输入逻辑低电压		0.8			V
V_{HYST}	nSLEEP 输入逻辑磁滞		0.1			V
逻辑电平输出（nFAULT、SDO、PHCx）						
V_{OL}	输出逻辑低电平电压	I_{DOUT} = 1mA，PHCOMP			0.5	V
V_{OL}	输出逻辑低电平电压	I_{DOUT} = 1mA，SDO			0.5	V
V_{OH}	输出逻辑高电压	I_{DOUT} = 1mA，SDO，3.3V 模式	2.7	3.3	3.6	V
V_{OH}	输出逻辑高电压	I_{DOUT} = 1mA，PHCOMP，5V 模式；V_{PVDD} ≥ 4.5V	4.0	5	5.5	V
V_{OH}	输出逻辑高电压	I_{DOUT} = 1mA，SDO，5V 模式；V_{PVDD} ≥ 4.5V	4.0	5	5.5	V
V_{OH}	输出逻辑高电压	I_{DOUT} = 1mA，SDO，5V 模式；4V ≤ V_{PVDD} < 4.5V	3.6	3.8	4.5	V
I_{OZ}	输出逻辑高电平电流	nFAULT：强制 nFAULT = 5V，无故障事件，nSLEEP = 高电平 SDO：强制 V_{SDO} = 5V，nSCS = 高电平或 nSLEEP = 低电平	-12		25	μA
I_{OZ}	输出逻辑高电平电流	SDO：强制 V_{SDO} = 0V，nSCS = 高电平或 nSLEEP = 低电平	-12		10	μA
电荷泵（GVDD、VCP）						
V_{GVDD}	GVDD 栅极驱动器稳压器电压（LDO 模式）	22V ≤ V_{PVDD}；I_{GS} ≤ 50mA	11.5		13.5	V
		18V ≤ V_{PVDD} ≤ 22V；I_{GS} ≤ 50mA	11.5		13.5	V
	GVDD 栅极驱动器稳压器电压（电荷泵模式）	7.2V ≤ V_{PVDD} ≤ 18V；I_{GS} = 50mA；I_{VCP} = 5mV	11.5		13.5	V
		6.5V ≤ V_{PVDD} ≤ 7.2V；I_{GS} ≤ 20mA；I_{VCP} = 3mA	11.5		13.5	V
		5V ≤ V_{PVDD} ≤ 6.5V；I_{GS} ≤ 20mA；I_{VCP} = 3mA	9		13	V
		4.5V ≤ V_{PVDD} ≤ 5V；I_{GS} ≤ 20 mA，I_{VCP} = 3mA；	8		10	V
V_{VCP}	VCP 电荷泵电压（参考 VDRAIN）	V_{VCP} = $V_{(VCP - VDRAIN)}$；13.5 ≥ GVDD ≥ 11V；V_{DRAIN} > 4.5V；I_{VCP} 5mA；	9.5		13.5	V
		V_{VCP} = $V_{(VCP - VDRAIN)}$；9V ≤ GVDD < 11V；V_{DRAIN} > 4.5V；I_{VCP} = 3mA；	8.3		11	V
		V_{VCP} = $V_{(VCP - VDRAIN)}$；8V ≤ GVDD < 9V；V_{DRAIN} > 4.5V；I_{VCP} = 3mA；	7.36		9	V

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{BST_PRECHG}	VCP 电荷泵自举电容预充电时间	$V_{BST-SHX}$ = 5V；INHx = INLx = 低电平。Tj = 150°C，I_{VCP} = 3mA；C_{VCP} = 1.5μF；C_{BST} = 1.5μF（每个相位），C_{VCP_FLY} = 1μF；V_{PVDD} = 4.5V		1.7	3	ms
V_{BST_TCPOFF}	VCP 停止对 BST 电容充电的 BST 监控电压（上升电压）	INLx = 0；SHx = 0、VDRAIN；VDRAIN = PVDD = 12V、60V；	12.0	13.2	14.6	V
自举二极管						
V_{BOOTD}	自举二极管正向电压	I_{BOOT} = 100μA		0.55	0.85	V
		I_{BOOT} = 10mA		0.85	1.1	
V_{BOOTD}	自举二极管正向电压	I_{BOOT} = 100mA。T_J < 150℃			1.6	V
R_{BOOTD}	自举动态电阻（$\Delta V_{BOOTD}/\Delta I_{BOOT}$）	I_{BOOT} = 100mA 和 50mA。T_J < 150°C		6.6	9.1	Ω
栅极驱动器（GHx、GLx、SHx、SLx）						
VGL_L	低侧低电平输出电压	IGLx = 10mA，GLx - SLx；IDRVN = 100100b：IHOLD_SEL = 0b，V_{GVDD} = 12V；	0		0.2	V
VGL_H	低侧高电平输出电压	IGLx = 10mA，GVDD - GLx；IDRVP = 100100b；IHOLD_SEL = 0b；V_{GVDD} = 12V；	0		0.2	V
VGH_L	高侧低电平输出电压	IGHx = 10mA，GHx - SHx；IDRVN = 100100b；IHOLD_SEL = 0b；V_{GVDD} = 12V；	0		0.2	V
VGH_H	高侧高电平输出电压	IGHx = 10mA，BSTx - GHx；IDRVP = 100100b；IHOLD_SEL = 0b；V_{GVDD} = 12V；	0		0.2	V
R_{PDSA_LS}	低侧半有源下拉电阻	GLx 至 SLx；nSLEEP = 低电平，V_{GLx} - V_{SLx} = 2V，GVDD (BSTx-SHx) > 2V	2	3	4.3	kΩ
R_{PDSA_HS}	高侧半有源下拉电阻	GHx 至 SHx；nSLEEP = 低电平，V_{GHx} - V_{SHx} = 2V，GVDD (BSTx-SHx) > 2V	7	9	12	kΩ

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{DRVN}	峰值栅极灌电流	IDRVN=000000b；VGSx = 5V；BST-SHx = GVDD = 12V		0.85		mA
		IDRVN=000001b；VGSx = 5V；BST-SHx = GVDD = 12V		1.2		
		IDRVN=000010b；VGSx = 5V；BST-SHx = GVDD = 12V		1.6		
		IDRVN=000011b；VGSx = 5V；BST-SHx = GVDD = 12V		2.0		
		IDRVN=000100b；VGSx = 5V；BST-SHx = GVDD = 12V		2.4		
		IDRVN=000101b；VGSx = 5V；BST-SHx = GVDD = 12V		3.0		
		IDRVN=000110b；VGSx = 5V；BST-SHx = GVDD = 12V		3.6		
		IDRVN=000111b；VGSx = 5V；BST-SHx = GVDD = 12V		4.2		
		IDRVN=001000b；VGSx = 5V；BST-SHx = GVDD = 12V		4.7		
		IDRVN=001001b；VGSx = 5V；BST-SHx = GVDD = 12V		5.7		
		IDRVN=001010b；VGSx = 5V；BST-SHx = GVDD = 12V		6.7		
		IDRVN=001011b；VGSx = 5V；BST-SHx = GVDD = 12V		7.8		
		IDRVN=001100b；VGSx = 5V；BST-SHx = GVDD = 12V		8.8		
		IDRVN=001101b；VGSx = 5V；BST-SHx = GVDD = 12V		10		
		IDRVN=001110b；VGSx = 5V；BST-SHx = GVDD = 12V		11.5		
		IDRVN=001111b；VGSx = 5V；BST-SHx = GVDD = 12V		13		
		IDRVN=010000b；VGSx = 5V；BST-SHx = GVDD = 12V		14		
		IDRVN=010001b；VGSx = 5V；BST-SHx = GVDD = 12V		17		
		IDRVN=010010b；VGSx = 5V；BST-SHx = GVDD = 12V		19		
		IDRVN=010011b；VGSx = 5V；BST-SHx = GVDD = 12V		26		
		IDRVN=010100b；VGSx = 5V；BST-SHx = GVDD = 12V		29		
		IDRVN=010101b；VGSx = 5V；BST-SHx = GVDD = 12V		32		

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{DRVN}	峰值栅极灌电流	IDRVN=010110b；VGSx = 5V；BST-SHx = GVDD = 12V		37		mA
		IDRVN=010111b；VGSx = 5V；BST-SHx = GVDD = 12V		43		
		IDRVN=011000b；VGSx = 5V；BST-SHx = GVDD = 12V		49		
		IDRVN=011001b；VGSx = 5V；BST-SHx = GVDD = 12V		58		
		IDRVN=011010b；VGSx = 5V；BST-SHx = GVDD = 12V		77		
		IDRVN= 011011b；VGSx = 5V；BST-SHx = GVDD = 12V		92		
		IDRVN= 011100b；VGSx = 5V；BST-SHx = GVDD = 12V		100		
		IDRVN=011101b；VGSx = 5V；BST-SHx = GVDD = 12V		120		
		IDRVN=011110b；VGSx = 5V；BST-SHx = GVDD = 12V		140		
		IDRVN=011111b；VGSx = 5V；BST-SHx = GVDD = 12V		155		
		IDRVN=100000b；VGSx = 5V；BST-SHx = GVDD = 12V		175		
		IDRVN=100001b；VGSx = 5V；BST-SHx = GVDD = 12V		210		
		IDRVN=100010b；VGSx = 5V；BST-SHx = GVDD = 12V		240		
		IDRVN=100011b；VGSx = 5V；BST-SHx = GVDD = 12V		270		
I_{DRVP}	峰值栅极拉电流	IDRV_CFG = 0b；IDRV_RATIO = 00b；IDRVN = 00000b 至 100011b；VGSx = 5V；BST-SHx = GVDD = 12V		1*I_{DRVN}		mA
		IDRV_CFG = 0b；IDRV_RATIO = 01b；IDRVN = 00000b 至 100011b；VGSx = 5V；BST-SHx = GVDD = 12V		0.75*I_{DRVN}		mA
		IDRV_CFG = 0b；IDRV_RATIO = 10b；IDRVN = 00000b 至 100011b；VGSx = 5V；BST-SHx = GVDD = 12V		0.5*I_{DRVN}		mA
		IDRV_CFG = 0b；IDRV_RATIO = 11b；IDRVN = 00000b 至 100011b；VGSx = 5V；BST-SHx = GVDD = 12V		0.25*I_{DRVN}		mA
I_{DRVN_VAR}	峰值栅极灌电流变化	IDRVN = 000000b - 010011b，以典型值为基准	-55		+55	%
		IDRVN = 010011b - 100011b，以典型值为基准	-45		+45	%

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
IDRVN	峰值栅极灌电流 - 开关模式	IDRVN = 100100b；VGSx (GHx-SHx, GLx-SLx) = 12V；BST-SHx = GVDD = 12V。 SGD_TMP_EN = 1b	370	600	980	mA
		IDRVN = 100101b；VGSx (GHx-SHx, GLx-SLx) = 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	440	700	1050	mA
		IDRVN = 100110b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	500	795	1250	mA
		IDRVN = 100111b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	580	910	1365	mA
		IDRVN = 101000b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	720	1090	1600	mA
		IDRVN = 101001b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	820	1255	1820	mA
		IDRVN = 101010b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	910	1455	2200	mA
		IDRVN = 101011b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	1000	1685	2500	mA
		IDRVN = 101100b；VGSx (GHx-SHx, GLx-SLx)= 12V；BST-SHx = GVDD = 12V。SGD_TMP_EN = 1b	1080	2000	2600	mA
IDRVP	峰值栅极拉电流 - 开关模式	IDRVP= 100100b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	160	300	450	mA
		IDRVP= 100101b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	160	320	480	mA
		IDRVP= 100110b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	200	380	570	mA
		IDRVP= 100111b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	215	430	645	mA
		IDRVP= 101000b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	250	500	750	mA
		IDRVP= 101001b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	300	600	850	mA
		IDRVP= 101010b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	360	700	970	mA
		IDRVP= 101011b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	400	800	1150	mA
		IDRVP= 101100b；VGSx (GHx-SHx, GLx-SLx)= 0V；GVDD = 12V	500	1000	1300	mA
I_{HOLD_PU}	栅极上拉保持电流	IHOLD_SEL = 1b；BST-SHx = GVDD = 12V。	150	250	400	mA
I_{HOLD_PU}	栅极上拉保持电流	IHOLD_SEL = 0b；BST-SHx = GVDD = 12V。	330	560	900	mA
I_{HOLD_PD}	栅极下拉保持电流	IHOLD_SEL = 1b；BST-SHx = GVDD = 12V。	140	267	480	mA
I_{HOLD_PD}	栅极下拉保持电流	IHOLD_SEL = 0b；BST-SHx = GVDD = 12V。	580	1100	1500	mA

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{STRONG}	栅极下拉强电流	GHx-SHx = 12V（高侧）或 GLx = 12V（低侧）；BST-SHx = GVDD = 12V。	1000	2000	2800	mA
栅极驱动器时序（GHx，GLx）						
t_{PD}	输入到输出传播延迟 GHx/GLx 下降	INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 101000b；在 INHx/INLx 下降沿至 VGS = VGHS/VGLS – 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		90	150	ns
t_{PD}	输入到输出传播延迟 GHx/GLx 下降	INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 011101b；在 INHx/INLx 下降沿至 VGS = VGHS/VGLS – 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		110	150	ns
t_{PD}	输入到输出传播延迟 GHx/GLx 上升	INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 101000b；INHx/INLx 上升沿至 VGS = 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥8 V		90	152	ns
t_{PD}	输入到输出传播延迟 GHx/GLx 上升	INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 011101b；在 INHx/INLx 上升沿至 VGS = 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V		100	150	ns
t_{PD}	输入到输出传播延迟 GHx/GLx 上升	Rev2p0 新 DRV_BIAS_MODE = 01b INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 101000b；INHx/INLx 上升沿至 VGS = 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥8 V		60	170	ns
t_{PD}	输入到输出传播延迟 GHx/GLx 上升	Rev2p0 新 DRV_BIAS_MODE = 10b、11b INHx、INLx 至 GHx、GLx。IDRVN = IDRVP = 101000b；INHx/INLx 上升沿至 VGS = 1V 后；V_{GVDD} = $V_{BSTx-SHx}$ ≥8 V		100	220	ns
t_{PD_match}	每相位的匹配传播延迟	GHx 关闭至 GLx 开启，GLx 关闭至 GHx 开启；V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V	-150	10	150	ns
t_{PD_match}	相间匹配传播延迟	GHx/GLx 开启至 GHy/GLy 开启，GHx/GLx 关闭至 GHy/GLy 关闭；V_{GVDD} = $V_{BSTx-SHx}$ ≥ 8V	-50	10	50	ns
t_{DRIVE}	峰值电流栅极驱动时间	典型值。TDRVP (TDRVN) = 0000b - 1111b。请参阅寄存器映射 TDRNP 和 TDRVN。	140		3821	ns
t_{DRIVE_V}	峰值电流栅极驱动时间变化	以典型值为基准。TDRVP (TDRVN) = 0000b - 1111b	-20		20	%
t_{DEAD}	数字栅极驱动死区时间	DEADTIME = 000b；	30	70	130	ns
		DEADTIME = 001b；	170	214	300	ns
		DEADTIME = 010b	230	286	380	ns
		DEADTIME = 011b	420	500	640	ns
		DEADTIME = 100b	640	750	930	ns
		DEADTIME = 101b	880	1000	1280	ns
		DEADTIME = 110b	1270	1500	1820	ns
		DEADTIME = 111b	1700	2000	2400	ns
电流分流放大器（SNx、SOx、SPx、VREF）						

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
A_{CSA}	检测放大器增益	CSAGAIN = 0000b		5		V/V
		CSAGAIN = 0001b；		10		V/V
		CSAGAIN = 0010b		12		V/V
		CSAGAIN = 0011b		16		V/V
		CSAGAIN = 0100b		20		V/V
		CSAGAIN = 0101b		23		V/V
		CSAGAIN = 0110b		25		V/V
		CSAGAIN = 0111b		30		V/V
		CSAGAIN = 1000b		40		V/V
EA_{CSA}	检测放大器增益误差	所有 CSAGAIN 设置 V_{GVDD} > 7.2V（此 GVDD 条件适用于所有 CSA 项目）	-0.55		0.55	%
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 5V/V，R_{SO} = 160Ω，C_{SO} = 470pF ；VREF = 5V/3V		0.6	1.6	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 10V/V，C_{LOAD} = 470pF		0.65	1.5	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 20V/V，R_{SO} = 160Ω，C_{SO} = 470pF VREF = 5V/3V		0.7	1.55	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 30V/V，R_{SO} = 160Ω，C_{SO} = 470pF VREF = 5V		0.7	1.5	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 30V/V，R_{SO} = 160Ω，C_{SO} = 470pF VREF = 3V		0.7	1.6	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 40V/V，R_{SO} = 160Ω，C_{SO} = 470pF VREF = 5V		0.7	1.7	μs
t_{SET}	精度达 ±1% 的稳定时间	V_{STEP} = 1.6V，A_{CSA} = 40V/V，R_{SO} = 160Ω，C_{SO} = 470pF VREF = 3V		0.7	1.75	μs
UGB	单位带宽增益积	C_{LOAD} = 470pF；闭环，单位增益带宽	10			MHz
BW	带宽	闭环，-3db，无输出负载	1			MHz
V_{SWING}	输出电压范围	V_{VREF} = 3V 至 5.5V	0.25		V_{VREF} - 0.25	V
V_{COM}	共模输入范围	VCOM = (V_{SP} + V_{SN})/2	-2		2	V
t_{com_rec}	共模瞬态抗恢复时间	VCOM = -15V 至 0V		2.9		μs
V_{DIFF}	差分模式输入范围		-0.3		0.3	V
V_{OFF}	输入总偏移电压	V_{SP} = V_{SN} = GND；CSAGAIN = 0000b（增益 5） 初始偏移 + 温漂，增益 = 5	-0.6		0.5	mV
V_{OFF}	输入总偏移电压	V_{SP} = V_{SN} = GND；CSAGAIN = 0001b - 1000b（增益 10 - 增益 40） 初始偏移 + 温漂	-0.5		0.5	mV
V_{OFF_DRIFT}	输入漂移失调电压	V_{SP} = V_{SN} = GND；温度漂移 + 老化		±0.1		mV
I_{BIAS}	输入偏置电流	V_{SP} = V_{SN} = GND。 CSA 和 SENSE_OCP 总计	20		100	μA
I_{BIAS_OFF}	输入偏置电流失调	I_{SP} – I_{SN}。CSA 和 SENSE_OCP 总计	-1.5		1.5	μA
I_{VREF}	基准输入电流	V_{CSAREF} = 3.3V	3	6	9.25	mA
		V_{CSAREF} = 5V	4	7	9.5	mA
CMRR	直流共模抑制比	SN/SP =-2V 至 2V	60	90		dB

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
CMRR	瞬态共模抑制比	20KHz	60	90		dB
PSRR	电源抑制比			100		dB
tCSAAZ_INIT	初始 CSA 自动置零	从 CSA_EN = 1b 到初始 CSA 自动置零结束功能	26	32	38	µS
tCSAAZ_MIN	CSA 自动置零超时周期	CSA_EN = 1b。INHx 和 INLx 切换。	170			µS
tCSAAZ_MAX	CSA 自动置零超时周期	CSA_EN = 1b。INHx = INLx = 低电平			260	µS
温度报告						
电源电压监测						
V_{PVDD_UV}	PVDD 欠压锁定阈值	V_{PVDD} 上升	4.5	4.65	4.8	V
		V_{PVDD} 下降	4.05	4.2	4.35	
$V_{PVDD_UV_HYS}$	PVDD 欠压锁定磁滞	上升至下降阈值	400	450	500	mV
$t_{PVDD_UV_DG}$	PVDD 欠压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{PVDD_UVW}	PVDD 欠压警告阈值	V_{PVDD} 上升；PVDD_UVW_LVL = 0b；	6.0		7	V
		V_{PVDD} 下降；PVDD_ULW_LVL = 0b；	5.8		6.8	V
		V_{PVDD} 上升；PVDD_UVW_LVL = 1b；	7.3		8.3	V
		V_{PVDD} 下降；PVDD_UVW_LVL = 1b；	7.1		8.1	V
$V_{PVDD_UVW_HYS}$	PVDD 欠压警告迟滞	上升至下降阈值	140	200	260	mV
$t_{PVDD_UVW_DG}$	PVDD 欠压警告抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{PVDD_OV}	PVDD 过压阈值	V_{PVDD} 上升，PVDD_OV_LVL = 00b	28		31	V
		V_{PVDD} 下降，PVDD_OV_LVL = 00b	27		30	
		V_{PVDD} 上升，PVDD_OV_LVL = 01b	33		36	
		V_{PVDD} 下降，PVDD_OV_LVL = 01b	32		35	
		V_{PVDD} 上升，PVDD_OV_LVL = 10b	50		55	
		V_{PVDD} 下降，PVDD_OV_LVL = 10b	47		52	
$V_{PVDD_OV_HYS}$	PVDD 过压迟滞	上升至下降阈值 PVDD_OV_LVL = 00b、01b	0.6	0.9	1.2	V
$V_{PVDD_OV_HYS}$	PVDD 过压迟滞	上升至下降阈值 PVDD_OV_LVL = 10b	2.0	2.2	2.4	V
$t_{PVDD_OV_DG}$	PVDD 过压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{GVDD_UV}	GVDD 欠压阈值	V_{GVDD} 上升 - 上电后	7.0		7.8	V
		V_{GVDD} 上升 - 仅上电	7.5		8.1	V
		V_{GVDD} 下降	6.8		7.6	V
$V_{GVDD_UV_HYS}$	GVDD 欠压迟滞	上升至下降阈值	185	215	245	mV
$t_{GVDD_UV_DG}$	GVDD 欠压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{GVDD_OV}	GVDD 过压阈值	V_{GVDD} 上升	15		17	V
		V_{GVDD} 下降	14.5		16.5	
$V_{GVDD_OV_HYS}$	GVDD 过压迟滞	上升至下降阈值	490	560	630	mV
$t_{GVDD_OV_DG}$	GVDD 过压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{BST_UV}	自举欠压阈值	V_{BSTx} - V_{SHx}；V_{BSTx} 上升；BST_UV_LVL = 1b	6.3	7.4	8.5	V
		V_{BSTx} - V_{SHx}；V_{BSTx} 下降；BST_UV_LVL = 1b	6.1	7.2	8.3	
V_{BST_UV}	自举欠压阈值	V_{BSTx} - V_{SHx}；V_{BSTx} 上升；BST_UV_LVL = 0b	3.8	4.4	5	V
		V_{BSTx} - V_{SHx}；V_{BSTx} 下降；BST_UV_LVL = 0b	3.60	4.2	4.8	V
$V_{BST_UV_HYS}$	自举欠压迟滞	上升至下降阈值 BST_UV_LVL = 0b 和 1b	120	200	280	mV
$t_{BST_UV_DG}$	自举欠压抗尖峰脉冲时间	上升沿和下降沿	4	6	8	µs
V_{BST_OV}	自举过压阈值	V_{BSTx} - V_{SHx}，V_{BSTx} 上升	15.2		18	V
		V_{BSTx} - V_{SHx}，V_{BSTx} 下降	15		17.8	
$V_{BST_OV_HYS}$	自举过压磁滞		110	200	260	mV
$t_{BST_OV_DG}$	自举过压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{CP_UV}	VCP 欠压阈值	VCP - VDRAIN；上升	6	6.7	7.36	V
		VCP - VDRAIN；下降	5.9	6.6	7.25	
$t_{CP_UV_DG}$	VCP 欠压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{CP_OV}	VCP 过压阈值	VCP - VDRAIN；上升	14.1		17.1	V
		VCP - VDRAIN；下降	13.8		16.7	
$t_{CP_OV_DG}$	VCP 过压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{DRAIN_UV}	VDRAIN 欠压阈值	V_{VDRAIN} 上升	4.25	4.35	4.45	V
V_{DRAIN_UV}	VDRAIN 欠压阈值	V_{VDRAIN} 下降	4.05	4.15	4.25	V
$V_{DRAIN_UV_HYS}$	VDRAIN 欠压迟滞		160	190	210	mV
$t_{VDRAIN_UV_DG}$	VDRAIN 欠压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
V_{DRAIN_OV}	VDRAIN 过压阈值	V_{VDRAIN} 上升，VDRAIN_OV_LVL = 00b	28		31	V
		V_{VDRAIN} 下降，VDRAIN_OV_LVL = 00b	27		30	V
		V_{VDRAIN} 上升，VDRAIN_OV_LVL = 01b	33		36	V
		V_{VDRAIN} 下降，VDRAIN_OV_LVL = 01b	32		35	V
		V_{VDRAIN} 上升，VDRAIN_OV_LVL = 10b、11b	50		55	V
		V_{VDRAIN} 下降，VDRAIN_OV_LVL = 10b、11b	48		353	V
$V_{DRAIN_OV_HYS}$	VDRAIN 过压迟滞	上升至下降阈值，VDRAIN_OV_LVL = 00b、01b	0.7	1.0	1.3	V
$V_{DRAIN_OV_HYS}$	VDRAIN 过压迟滞	上升至下降阈值，VDRAIN_OV_LVL = 10b，11b	1.9	2.3	2.6	V
$t_{VDRAIN_OV_DG}$	VDRAIN 过压抗尖峰脉冲时间	上升沿和下降沿	8	12	16	µs
保护电路						
$V_{GS_LVL_H}$	栅极电压监控阈值	V_{GHx} – V_{SHx}，V_{GLx} – V_{SLx}，INLx/INHx = H；VGS_LVL = 1'b1	6.9		8.5	V
$V_{GS_LVL_H}$	栅极电压监控阈值	V_{GHx} – V_{SHx}，V_{GLx} – V_{SLx}，INLx/INHx = H；VGS_LVL = 1'b0	5		6.3	V

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{GS_LVL_L}$	栅极电压监控阈值	V_{GHx} – V_{SHx}，V_{GLx} – V_{SLx}，INLx/INHx = L		1.3	2	V
t_{GS_DG}	VGS 栅极电压监控抗尖峰脉冲时间	VGS_DG = 000b	0.3	0.6	0.8	µs
		VGS_DG = 001b	0.6	1.0	1.3	µs
		VGS_DG = 010b，	1.1	1.5	1.9	µs
		VGS_DG = 011b，VGS_DG = 1xxb	1.6	2.0	2.5	µs
t_{GS_BLK}	VGS 栅极电压监控消隐时间	VGS_BLK = 000b	1.7	2.25	2.9	µs
		VGS_BLK = 001b	2.4	3	3.6	µs
		VGS_BLK = 010b	4.0	5	5.8	µs
		VGS_BLK = 011b	5.9	7	8.2	µs
		VGS_BLK = 100b、101b、110b、111b	8.6	10	11.9	µs
V_{DS_LVL}	V_{DS} 过流保护阈值	VDS_LVL = 0000b；SLx = -0.2V 至 +2.0V。 VDS_CM = 0b	0.036	0.06	0.085	V
V_{DS_LVL}	V_{DS} 过流保护阈值	VDS_LVL = 0001b；SLx = -0.2V 至 +2.0V。VDS_CM = 0b	0.059	0.08	0.11	V
V_{DS_LVL}	V_{DS} 过流保护阈值	VDS_LVL = 0010b；SLx = -0.2V 至 +2.0V。VDS_CM = 0b，	0.064	0.10	0.13	V
V_{DS_LVL}	V_{DS} 过流保护阈值	VDS_LVL = 0011b；SLx = -0.3V 至 +2.0V。	0.082	0.12	0.16	V
V_{DS_LVL}	V_{DS} 过流保护阈值	VDS_LVL = 0100b；SLx = -0.3V 至 +2.0V。	0.13	0.16	0.20	V
		VDS_LVL = 0101b；SLx = -0.3V 至 +2.0V。	0.2	0.24	0.29	
		VDS_LVL = 0110b；SLx = -0.3V 至 +2.0V。	0.27	0.32	0.385	
		VDS_LVL = 0111b；SLx = -0.3V 至 +2.0V。	0.34	0.4	0.47	
		VDS_LVL = 1000b；SLx = -0.3V 至 +2.0V。	0.44	0.5	0.58	
		VDS_LVL = 1001b；SLx = -0.3V 至 +2.0V。	0.59	0.67	0.77	
		VDS_LVL = 1010b；SLx = -0.3V 至 +2.0V。	0.75	0.83	0.96	
		VDS_LVL = 1011b；SLx = -0.3V 至 +2.0V。	0.90	1	1.15	
		VDS_LVL = 1100b；SLx = -0.3V 至 +2.0V。	1.12	1.27	1.43	
		VDS_LVL = 1101b；SLx = -0.3V 至 +2.0V。	1.35	1.53	1.71	
		VDS_LVL = 1110b；SLx = -0.3V 至 +2.0V。	1.57	1.78	1.99	
		VDS_LVL = 1111b；SLx = -0.3V 至 +2.0V。	1.79	2	2.27	

Copyright © 2025 Texas Instruments Incorporated

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
tDS_CMP	VDS 比较器延迟	VDS（比较器输入电压）从 0V 到 VDS_LVL 的最大值（比较器输出上升），内部比较器的延迟时间。		0.5	1.0	µs
		VDS（比较器输入电压）从 VDRAIN 到 VDS_LVL 的最小值（比较器输出下降），内部比较器的延迟时间。		1.0	1.6	
t_{DS_DG}	V_{DS} 过流抗尖峰脉冲	VDS_DG = 000b	0.4	0.6	0.8	µs
		VDS_DG = 001b	0.7	1	1.3	
		VDS_DG = 010b	1.2	1.5	2.0	
		VDS_DG = 011b	1.5	2	2.5	
		VDS_DG = 100b	3.3	4	4.8	
		VDS_DG = 101b	5.2	6	7.35	
		VDS_DG = 110b、111b	6.8	8	9.2	
t_{DS_BLK}	V_{DS} 过流保护消隐时间	VDS_BLK = 000b	0		0.2	µs
		VDS_BLK = 001b	0.4	0.5	0.7	
		VDS_BLK = 010b	0.7	1	1.5	
		VDS_BLK = 011b	1.4	2	2.6	
		VDS_BLK = 100b	5.0	6	7.2	
		VDS_BLK = 101b	6.8	8	9.4	
		VDS_BLK = 110b	8.4	10	11.9	
		VDS_BLK = 111b	10.1	12	13.9	
V_{SENSE_LVL}	V_{SENSE} 过流阈值	SNS_OCP_LVL = 000b：输入共模电压 +/-2V	34	50	64	mV
		SNS_OCP_LVL = 001b：输入共模电压 +/-2V	60	75	87	
		SNS_OCP_LVL = 010b：输入共模电压 +/-2V	84	100	112	
		SNS_OCP_LVL = 011b：输入共模电压 +/-2V	110	125	138	
		SNS_OCP_LVL = 100b：输入共模电压 +/-2V	134	150	165	
		SNS_OCP_LVL = 101b：输入共模电压 +/-2V	183	200	214	
		SNS_OCP_LVL = 110b：输入共模电压 +/-2V	280	300	320	
		SNS_OCP_LVL = 111b：输入共模电压 +/-2V	474	500	525	
t_{SENSE_DG}	V_{SENSE} 过流抗尖峰脉冲时间	SNS_OCP_DG = 00b	1.5	2.0	2.5	µs
		SNS_OCP_DG = 01b	3.0	4.0	5.0	
		SNS_OCP_DG = 10b	4.5	6.0	7.5	
		SNS_OCP_DG = 11b	8	10.0	12	
I_{PHD_SRC}	相位诊断拉电流	SHx 的拉电流；PHDEN_Hx = 1b；V_{GVDD} ≥ 8V，V_{DRAIN} ≥ 4.5V。VDRAIN - SHx = 4V	4.3	7.3	12	mA
I_{PHD_SINK}	相位诊断灌电流	SHx 的灌电流；PHDEN_Lx = 1b；V_{GVDD} ≥ 8V，V_{DRAIN} ≥ 4.5V。 SHx-GND = 4V	4.0	4.8	5.5	

4.5V ≤ V_{PVDD} ≤ 60V，–40°C ≤ T_J ≤ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{PHC_H}	相对于 VDRAIN 的相位比较器高电平阈值（这是与 VDRAIN 电压的比率）	PHC_THR = 0b	0.6	0.75	0.9	V/V
V_{PHC_H}	相对于 VDRAIN 的相位比较器高电平阈值（这是与 VDRAIN 电压的比率）	PHC_THR = 1b	0.37	0.52	0.67	V/V
V_{PHC_L}	相对于 VDRAIN 的相位比较器低电平阈值（这是与 VDRAIN 电压的比率）	PHC_THR = 0b	0.10	0.25	0.40	V/V
V_{PHC_L}	相对于 VDRAIN 的相位比较器低电平阈值（这是与 VDRAIN 电压的比率）	PHC_THR = 1b	0.33	0.48	0.63	V/V
$t_{PHC_PD_HL}$	相位比较器传播延迟	相位比较器从高电平到低电平的传播延迟从 SHx 到 PHCx，Cload = 20pF；SHx 输入测试条件 60V – 0V，从 SHx = V_{DRAIN} 的 88% 到 15%			1.5	μs
$t_{PHC_PD_LH}$	相位比较器传播延迟	相位比较器从低电平到高电平的传播延迟从 SHx 到 PHCx，Cload = 20pF；SHx 输入测试条件 0V – 60V，从 SHx = V_{DRAIN} 的 15% 到 88%			1.5	μs
$t_{PHC_OUT_DEG}$	相位比较器输出抗尖峰脉冲时间	PHCOUT_DG_SEL = 1	0.8	1.0	1.4	μs
T_{OTW}	热警告温度	T_J 上升，OT_LVL = 0b；	125		150	°C
T_{OTW}	热警告温度（0 级）	T_J 上升，OT_LVL = 1b；	150		175	°C
T_{OTW_HYS}	热警告迟滞		15	22	25	°C
t_{OTW_DEG}	热警告抗尖峰脉冲		8	12	16	μs
T_{OTSD}	热关断温度	T_J 上升；OT_LVL = 0b	155		180	°C
	热关断温度（0 级器件）	T_J 上升；OT_LVL = 1b；	180		205	°C
T_{OTSD_HYS}	热关断迟滞		16	23	27	°C
t_{OTSD_DEG}	热关断抗尖峰脉冲		8	12	16	μs
t_{DRVN_SD}	栅极驱动关断序列时间			20		μs

5.6 时序要求

		最小值	标称值	最大值	单位
t_{SCLK}	SCLK 最小周期	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{SU_SDI}	SDI 输入数据设置时间	15			ns
t_{H_SDI}	SDI 输入数据保持时间	25			ns
t_{D_SDO}	SDO 输出数据延迟时间；SCLK 高电平至 SDO 有效（上升时为直流 VOH x 70%，下降时为 X 30%），C_L = 20pF；PVDD ≥ 4.5V；	5		38	ns
t_{D_SDO}	SDO 输出数据延迟时间；SCLK 高电平至 SDO 有效（上升时为直流 VOH x 70%，下降时为 X 30%），C_L = 20pF；4.5V ≥ PVDD 4V	5		48	ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{H_nSCS}	nSCS 输入保持时间	25			ns
t_{HI_nSCS}	低电平有效前的 nSCS 最短高电平时间	450			ns
t_{EN_SDO}	SDO 启用延迟时间；nSCS 低电平至 SDO 就绪			50	ns
t_{DIS_SDO}	SDO 禁用延迟时间；nSCS 高电平至 SDO 高阻抗			50	ns

Copyright © 2025 Texas Instruments Incorporated

5.7 SPI 时序图

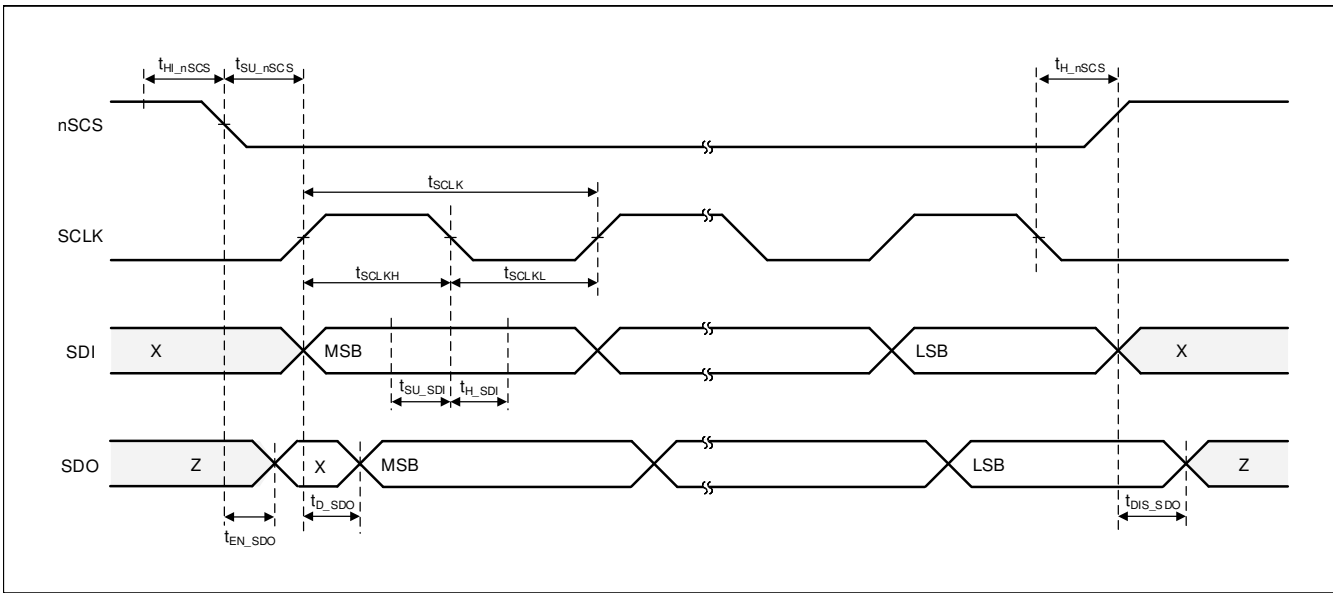


图 5-1. SPI 从模式时序图

6 详细说明

6.1 概述

DRV8334-Q1 为 4.5V 至 60V 栅极驱动器，适用于三相电机驱动应用。该器件集成了三个独立的半桥栅极驱动器、涓流电荷泵以及线性稳压器来为高侧和低侧栅极驱动器提供电源电压，从而减少系统元件数量并降低系统成本和复杂性。该器件还集成了电流分流（或电流感测）放大器。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。

栅极驱动器支持外部 N 通道高侧和低侧功率 MOSFET，可驱动高达 1A 的峰值拉电流和 2A 的峰值灌电流。自举电容器为高侧栅极驱动器生成电源电压。低侧栅极驱动器的电源电压由线性稳压器 GVDD 从 PVDD 电源生成，该电源电压可调节至 12V。

智能栅极驱动架构提供了动态调整栅极驱动输出电流强度的功能，从而使栅极驱动器能够控制功率 MOSFET 的 VDS 开关速度。借助该功能，用户可移除外部栅极驱动电阻器和二极管，从而减少物料清单 (BOM) 中的元件数量、降低成本并减小印刷电路板 (PCB) 的面积。该架构还使用内部状态机来防止栅极驱动器中发生短路事件，控制半桥死区时间，并防止外部功率 MOSFET 发生 dV/dt 寄生导通。

DRV8334-Q1 集成了电流感测放大器，用于使用低侧分流电阻器监测流经所有外部半桥的电流电平。电流感测放大器的增益设置可通过 SPI 命令进行调节。

除了高度的器件集成之外，DRV8334-Q1 还提供丰富的集成保护功能。这些功能包括电源欠压锁定 (PVDD UV)、稳压器欠压锁定 (GVDDUV)、VDS 过流监测 (VDS OCP)、R_{SENSE} 过流监测 (SNS_OCP) 和过热关断（OTW 和 OTSD）。故障事件通过 nFAULT 引脚指示。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

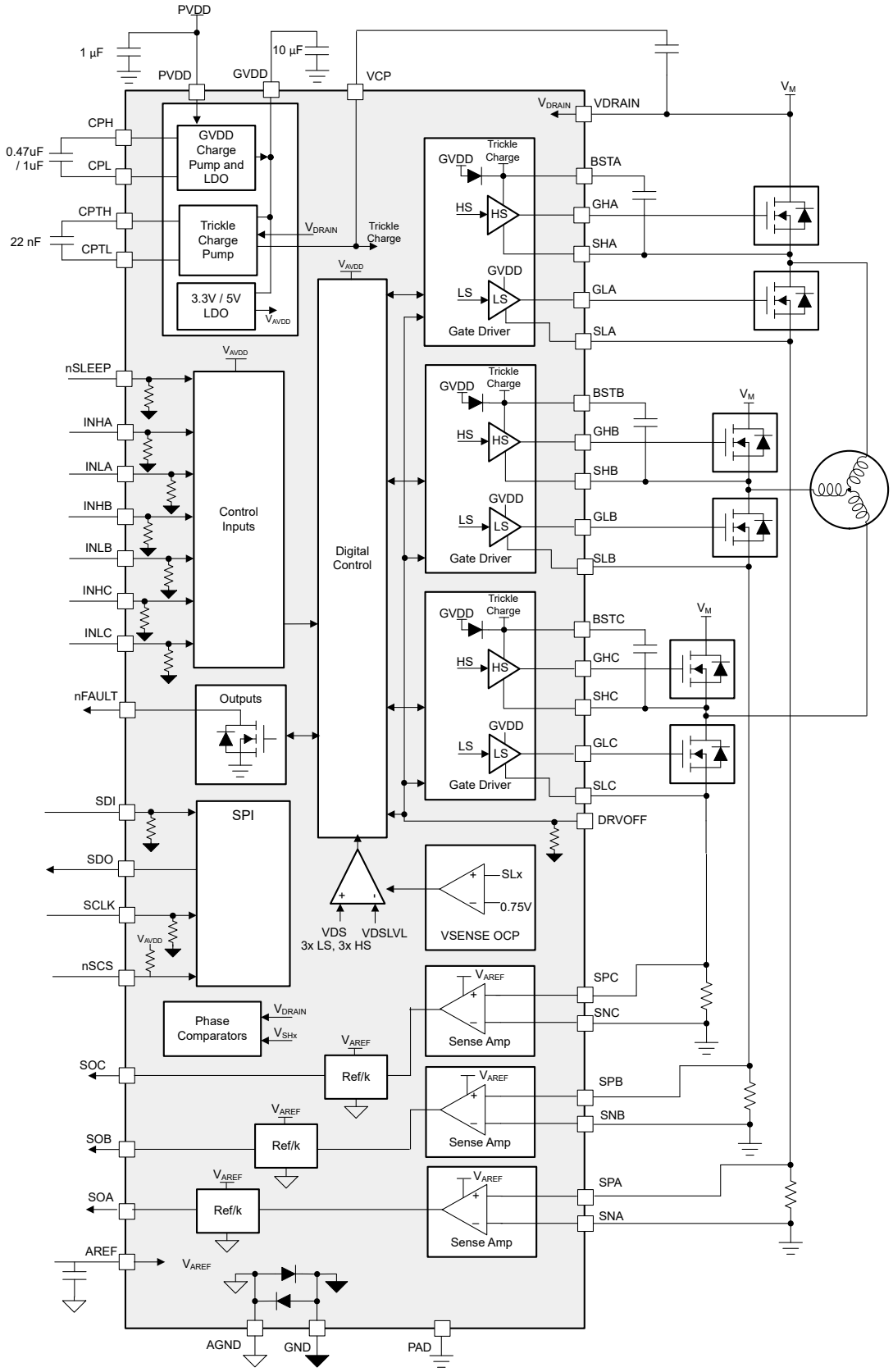


图 6-1. DRV8334-Q1

6.3 特性说明

6.3.1 三相 BLDC 栅极驱动器

DRV8334-Q1 集成三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 通道功率 MOSFET。电荷泵用于生成 GVDD，以便在 PVDD 电源输入的宽工作电压范围内提供正确的栅极偏置电压。低侧栅极输出直接由 GVDD 驱动，而高侧栅极输出由带有集成二极管的自举电路驱动。内部涓流电荷泵 (VCP) 支持 100% 占空比并为外部开关提供过驱电压。可以组合使用多个半桥栅极驱动器来驱动三相电机，也可以单独使用这些驱动器来驱动其他类型的负载。

6.3.1.1 PWM 控制模式

DRV8334-Q1 提供四种不同的 PWM 控制模式，用以支持各种换向和控制方法。PWM 控制模式可通过 PWM_MODE 寄存器位进行调整。

6.3.1.1.1 6x PWM 模式

在 6x PWM 模式下，相应的 INHx 和 INLx 信号控制着输出状态，如 表 6-1 所示。

表 6-1. 6x PWM 模式真值表

INLx	INHx	GLx	GHx	注释
0	0	L	L	
0	1	L	H	
1	0	H	L	
1	1	L	L	击穿保护

6.3.1.1.2 带 INLx 启用控制的 3x PWM 模式

在 3x PWM 模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将高侧和低侧栅极驱动输出置于低电平。如果不需要此状态，请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 6-2 所示。

表 6-2. 3x PWM 模式真值表

INLx	INHx	GLx	GHx
0	X	L	L
1	0	H	L
1	1	L	H

6.3.1.1.3 带 SPI 启用控制的 3x PWM 模式

在 3x PWM 模式下，INHx 引脚控制 GHx 和 GLx 的输出状态。如果 SPI 寄存器位 DRVEN_x（x=A、B、C）为 0b，则 GHx 和 GLx 被拉至低电平。INLx 不被器件用于 PWM 控制。相应的 INHx 信号和 DRVEN_x 控制输出状态，如表格所示。

表 6-3. 3x PWM 模式（SPI 启用控制）真值表

DRVEN_x	INL	INHx	GLx	GHx
0	X	X	L	L
1	X	0	H	L
1	X	1	L	H

备注

SPI 寄存器位 DRVEN_x 对任何 PWM 模式设置都有效。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.1.4 1x PWM 模式

在 1x PWM 模式下，器件使用内部存储的 6 步阻塞换向表。该功能允许使用简单控制器提供的一个 PWM 来控制三相 BLDC 电机。该 PWM 施加在 INHA 引脚上，可确定半桥的输出频率和占空比。

半桥输出状态由用作状态逻辑输入的 INLA、INHB 和 INLB 引脚进行管理。状态输入可由外部控制器控制或直接连接到电机的霍尔传感器的数字输出端（INLA = HALL_A、INHB = HALL_B、INLB = HALL_C）。1x PWM 模式通常采用同步整流方式（低侧 MOSFET 实现续流）运行。

INHC 输入通过 6 步换向表控制方向，当霍尔效应传感器直接控制 INLA、INHB 和 INLB 输入的状态时，该表用于改变电机的方向。如果不需要该功能，请将 INHC 引脚保持在低电平。

当 INLC 引脚被拉低时，INLC 输入通过关断所有高侧 MOSFET 并开启所有低侧 MOSFET 来对电机实现制动。该制动操作不受其他输入引脚状态的影响。如果不需要该功能，请将 INLC 引脚保持在高电平。

表 6-4. 同步 1x PWM 模式 (PWM1X_COM = 0b)

逻辑和霍尔输入							栅极驱动输出[(1)]						
状态	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) *!PWM* 是 PWM 信号的反相信号。

表 6-5. 异步 1x PWM 模式 (PWM1X_COM = 1b)

逻辑和霍尔输入							栅极驱动输出						
状态	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	L	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

图 6-2 和图 6-3 展示了 1x PWM 模式下不同的配置。

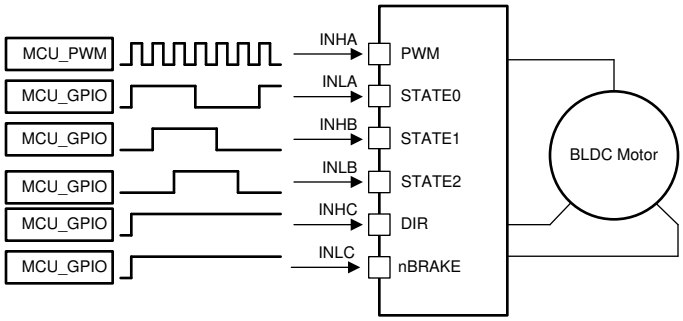


图 6-2. 1x PWM - 简单控制器

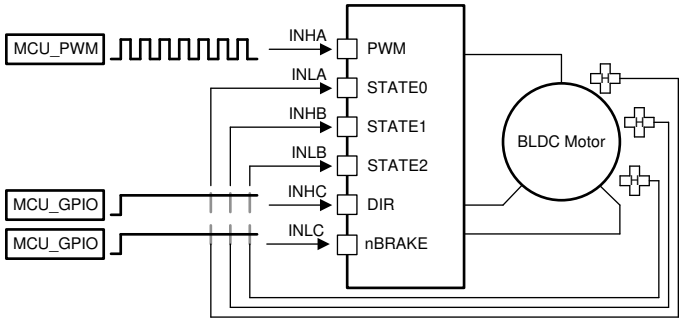


图 6-3. 1x PWM — 霍尔效应传感器

6.3.1.1.5 SPI 栅极驱动模式

在 SPI 栅极驱动模式下，GLx 和 GHx 的输出状态由相应的 DRV_GLx 和 DRV_GHx SPI 寄存器位（如 表 6-6 中所列）控制。

表 6-6. SPI 栅极驱动模式真值表

SPI DRV_GLx	SPI DRV_GHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	L	L

6.3.1.2 栅极驱动架构

栅极驱动器器件采用适用于高侧和低侧驱动器的互补推挽拓扑。该拓扑允许对外部 MOSFET 栅极进行强上拉和强下拉。低侧栅极驱动器由 GVDD 稳压器电源直接供电。对于高侧栅极驱动器，自举二极管和电容器用于生成浮动高侧栅极电压电源。集成了自举二极管，并在 BSTx 引脚上使用了一个外部自举电容器。为支持 100% 占空比控制，器件中集成了一个涓流电荷泵。涓流电荷泵连接到 BSTx 节点，以防止由于驱动器和外部 MOSFET 的漏电流而导致 100% 占空比运行期间的自举压降。

Copyright © 2025 Texas Instruments Incorporated

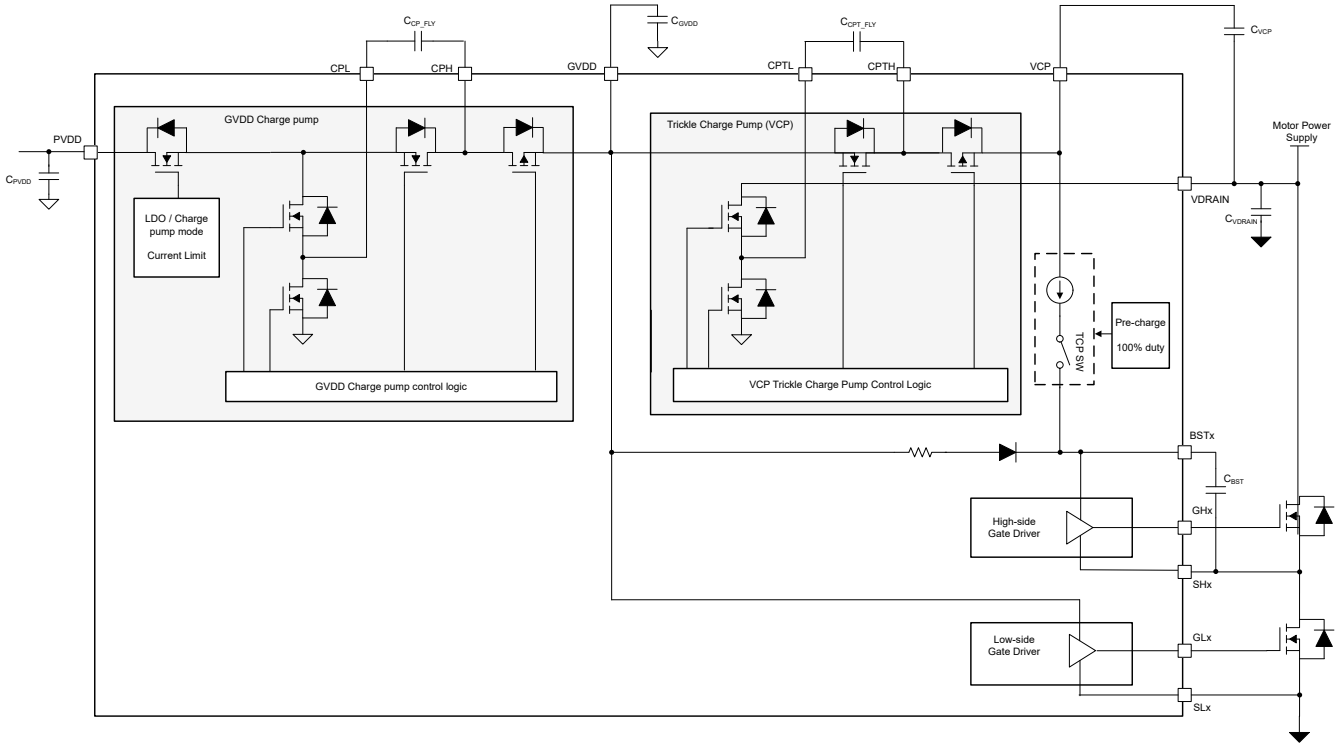


图 6-4. DRV8334-Q1 栅极驱动器电源架构

6.3.1.2.1 自举二极管

自举二极管是产生高侧偏置所必需的，并且集成在驱动器内部。二极管阳极通过内部电阻器连接到 GVDD，阴极连接到 BSTx。当 C_{BST} 电容器连接到 BSTx 和 SHx 引脚时，C_{BST} 电容器电荷会在 SHx 转换为接地时每个开关周期刷新一次。电容值 C_{BST} 取决于高侧 MOSFET 的栅极电荷，在选择该电容值时必须考虑 MOSFET 栅极的 PWM 控制和压降。自举二极管可提供快速恢复时间、低二极管电阻和额定电压裕度，从而实现高效可靠的运行。

6.3.1.2.2 GVDD 电荷泵/LDO

GVDD 电荷泵/LDO 可在 GVDD 引脚上提供约 12V 的稳压电压。GVDD 是自举二极管的电源，也为 VCP 涓流电荷泵供电。

6.3.1.2.3 VCP 涓流电荷泵

该器件具有涓流电荷泵，可为 C_{BST} 自举电容器提供电流，以便自举电容器保持充电状态。由此，栅极驱动器就能够以 100% 占空比运行。电荷泵还支持在上电时对 C_{BST} 电容器进行预充电。

默认情况下，该器件会监测 INLx 引脚，并在 INLx 处于非运行状态（=低电平）时启用通过 VCP 为自举电容器充电。如果 TCP_SW_MODE 寄存器位为 1b，则无论 INLx 引脚如何，都启用为自举电容器充电。

除了支持 100% PWM 占空比运行，VCP 电荷泵还用于支持外部组件的过驱电源。电源电压 V_{VCP} 在 VCP 引脚上可用，并且电压以 VDRAIN 为基准进行调节，其中 VCP 和 VDRAIN 引脚之间连接了一个电容器。VCP 电压可用于外部开关（例如电池反向保护开关、高侧开关或电机相位隔离开关）控制电路的过驱电源。虽然 VCP 电荷泵旨在支持这些外部负载，但必须注意避免超过过驱电源的总电流限值。

备注

在器件上电时，系统会报告 VCP 欠压标志 VCP_UV 并保持锁存状态。VCP_UV 状态标志可由 MCU 通过 SPI 写入命令 CLR_FLT 清除。

6.3.1.2.4 栅极驱动器输出

栅极驱动器使用智能栅极驱动架构来提供对外部功率 MOSFET 的开关控制，采取额外措施来保护 MOSFET，并在效率和稳健性之间实现最优平衡。此架构是通过两个称为 IDRIVE 和 TDRIVE 的元件实现的。可根据系统中使用的外部功率 MOSFET 的参数和所需的上升和下降时间初步选择 IDRIVE 栅极驱动电流和 TDRIVE 栅极驱动时间。

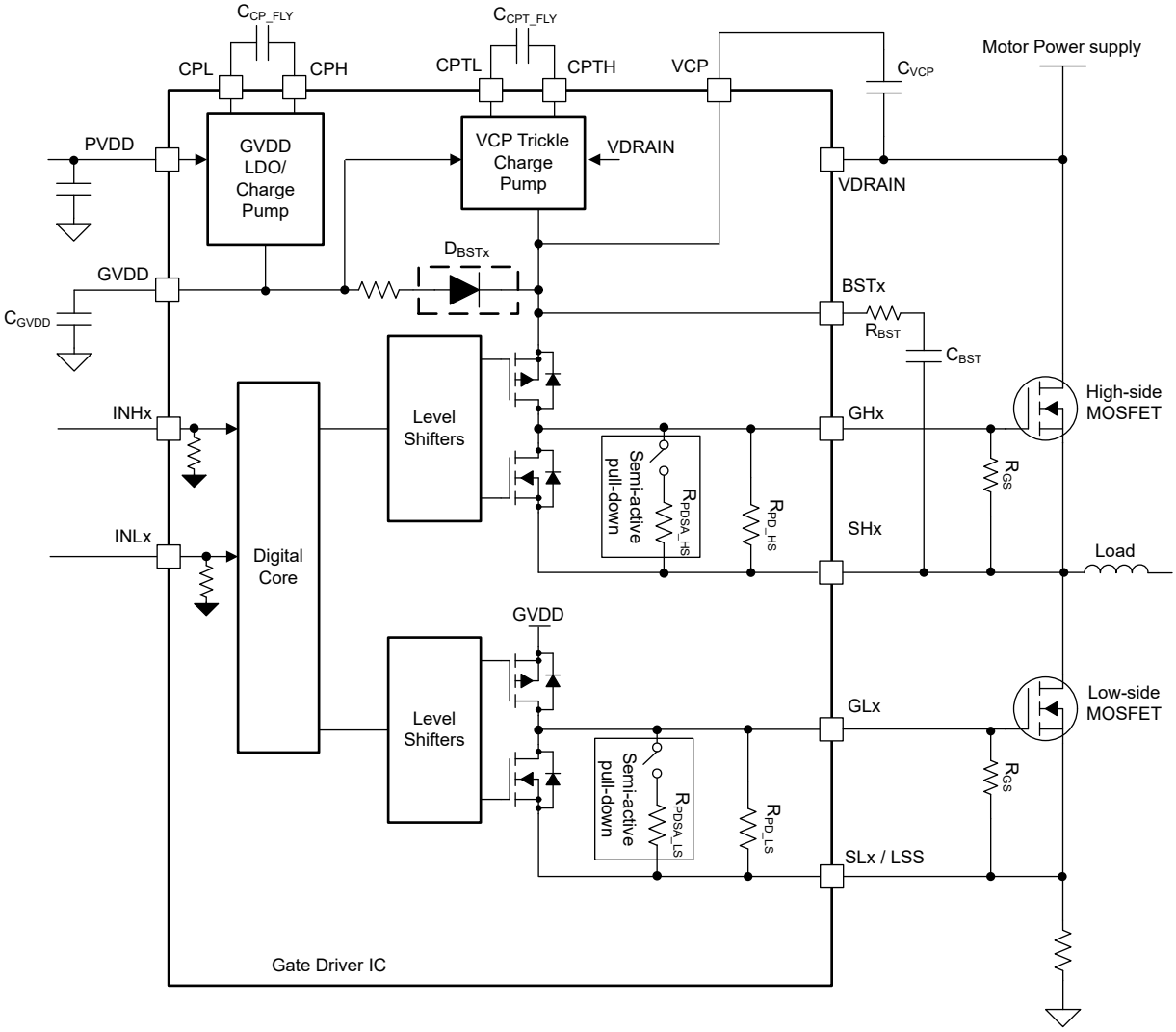


图 6-5. 栅极驱动器架构

6.3.1.2.5 无源和半有源下拉电阻器

每个栅极驱动器在栅极和源极之间都有一个无源下拉电阻，用于在未通电的情况下使外部 MOSFET 保持关断状态。此外，低侧栅极驱动器的半有源下拉电路可降低 SLEEP 模式下的栅极阻抗。

6.3.1.2.6 TDRIVE 栅极驱动时序控制

该器件集成了 TDRIVE 栅极驱动时序控制，可防止外部 MOSFET 因寄生 dV/dt 栅极导致开启。每当 MOSFET 开关时，都会在相反方向的 MOSFET 栅极上启用强下拉 I_{STRONG} 电流。该强下拉会持续 TDRIVE 时长。当半桥开关节点电压快速转换时，该功能有助于消除耦合到 MOSFET 栅极中的寄生电荷。

Copyright © 2025 Texas Instruments Incorporated

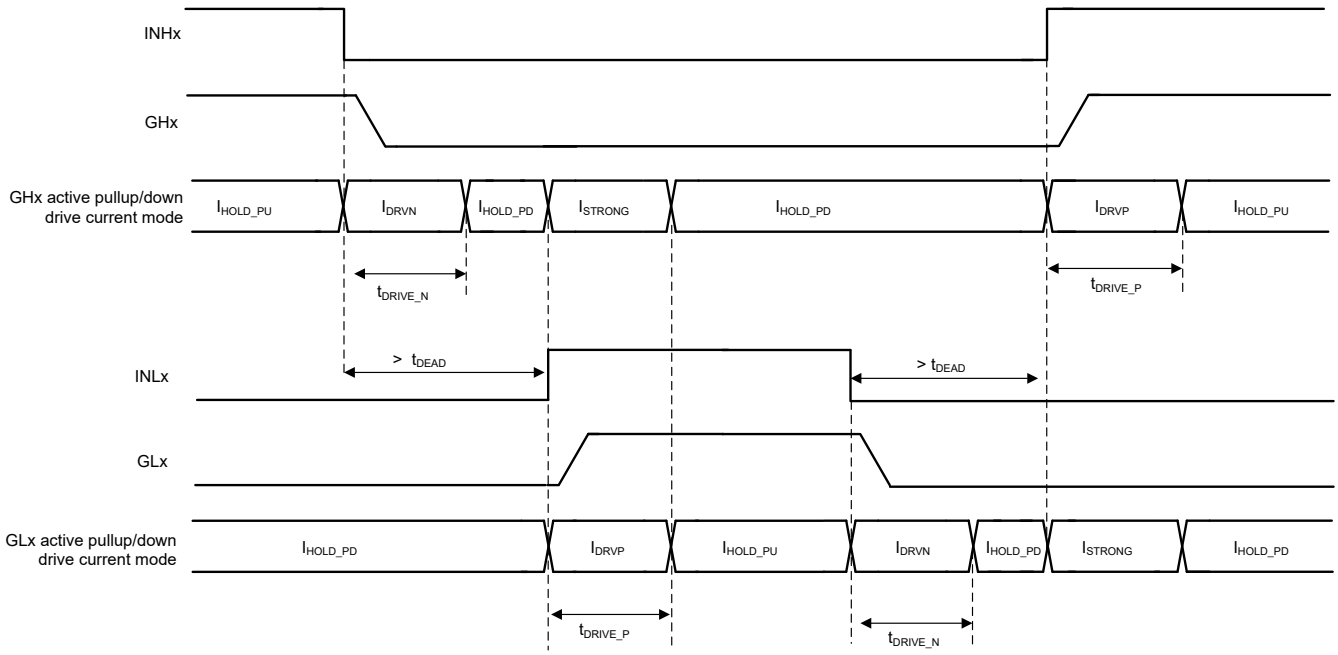


图 6-6. TDRIVE 栅极驱动时序控制 (DEADT_MODE = 0b)

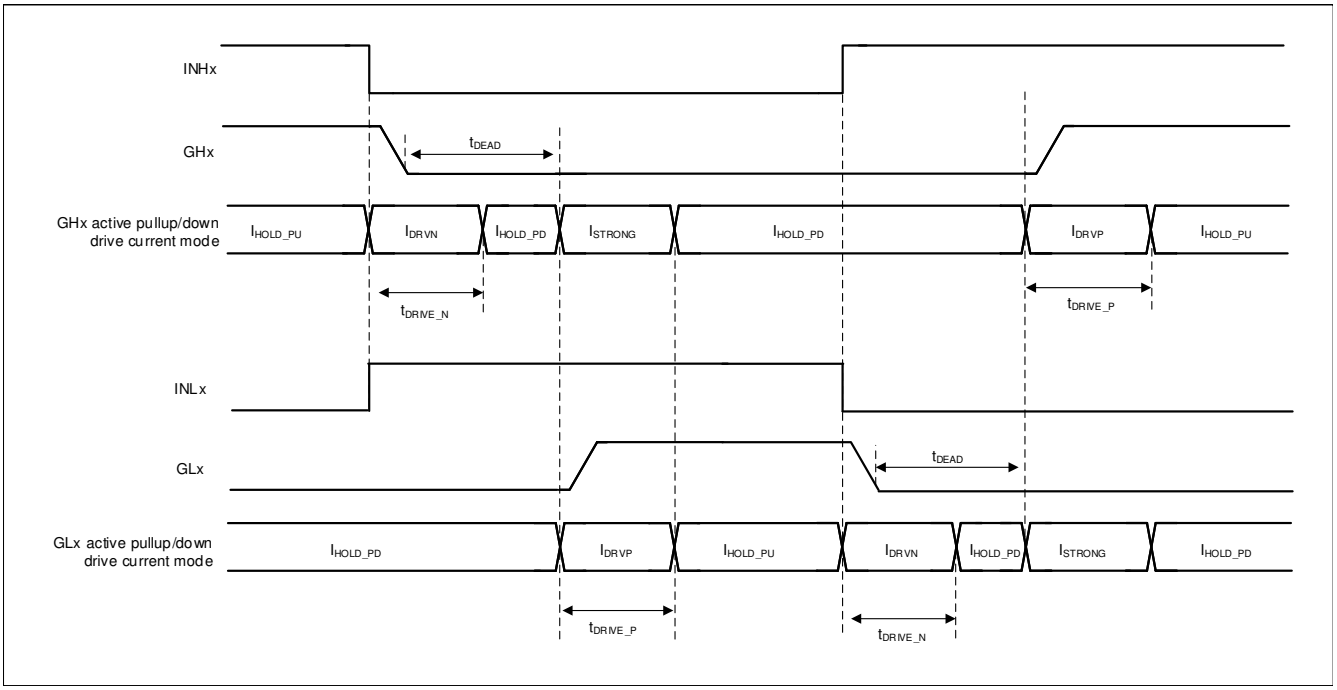


图 6-7. TDRIVE 栅极驱动时序控制 (DEADT_MODE = 1b)

6.3.1.2.7 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与检测到的输出变化之间的时间。该时间由两个部分组成，即数字传播延迟和通过模拟栅极驱动器的延迟。

为了支持多种控制模式和死区时间插入，在输入命令通过器件传播时添加了一个较小的数字延迟。最后，模拟栅极驱动器具有较小的延迟，从而增大器件的总体传播延迟。

6.3.1.2.8 死区时间和跨导保护

在 DRV8334-Q1 的 6xPWM 模式中，高侧 INHx 和低侧 INLx 输入独立运行，但有一个例外，即当同一半桥的高侧和低侧同时开启时，以便防止发生跨导。该器件将高侧和低侧栅极输出拉至低电平，以防止功率级发生击穿现象，并且当高侧和低侧输入同时为逻辑高电平时，器件会报告故障 STP_FLT。

在 6xPWM 模式中，如果 SPI 寄存器位 DEADT_MODE 为 0b 且 DEADT_MODE_6X 为 00b，则器件会监测 INHx 和 INLx 并在 INHx=INLx=low 的周期短于 t_{DEAD} 时插入死区时间。除 6xPWM 模式之外，无论配置如何，器件始终会插入死区时间。

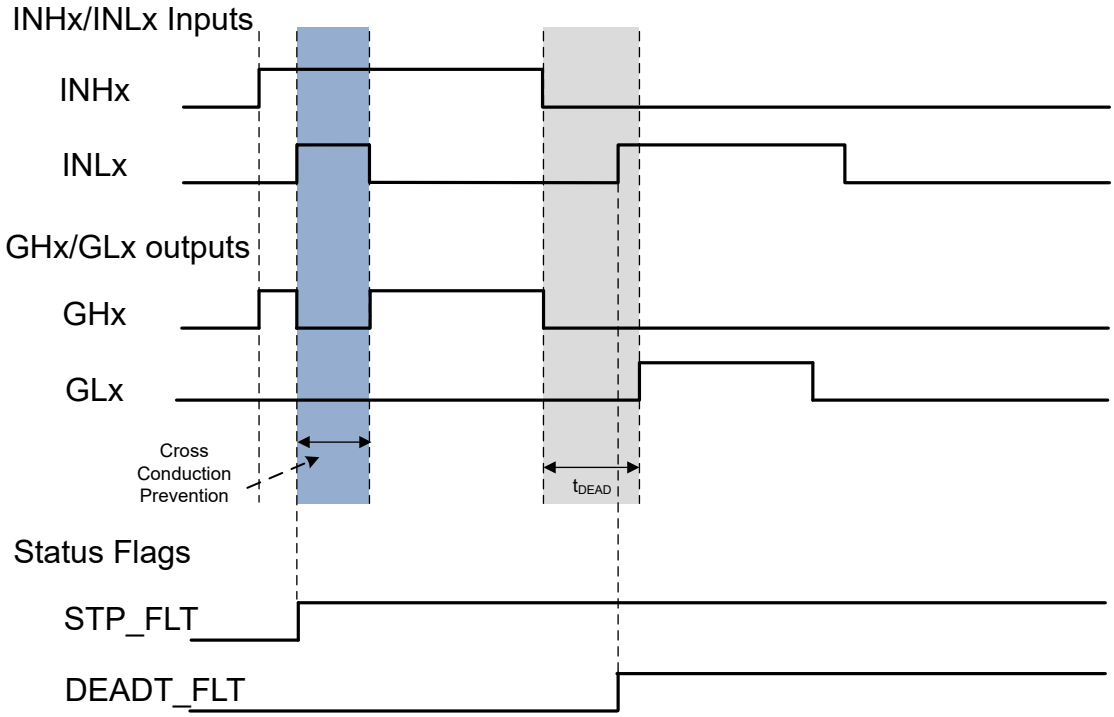


图 6-8. 跨导保护和死区时间插入

Copyright © 2025 Texas Instruments Incorporated

6.3.2 低侧电流检测放大器

DRV8334-Q1 器件集成了一个高性能低侧电流感测放大器，用于使用低侧分流电阻器进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。电流感测放大器具有九个可配置的增益设置，介于 5 和 40V/V 之间，可通过 SPI 命令对其进行配置。CSA 的输出以外部电压基准引脚 (VREF) 为基准。CSA 的输出失调电压可配置为 1/2 xVREF 或 1/8 xVREF 之间，以支持所需的双向或单向电流感测。

备注

默认情况下，禁用 CSA 输出。可以在 SPI 寄存器 IC_CTRL2 中启用 CSA 输出。启用 CSA 后，在对 CSA 输出信号进行采样之前，外部 MCU 必须等待 100us。

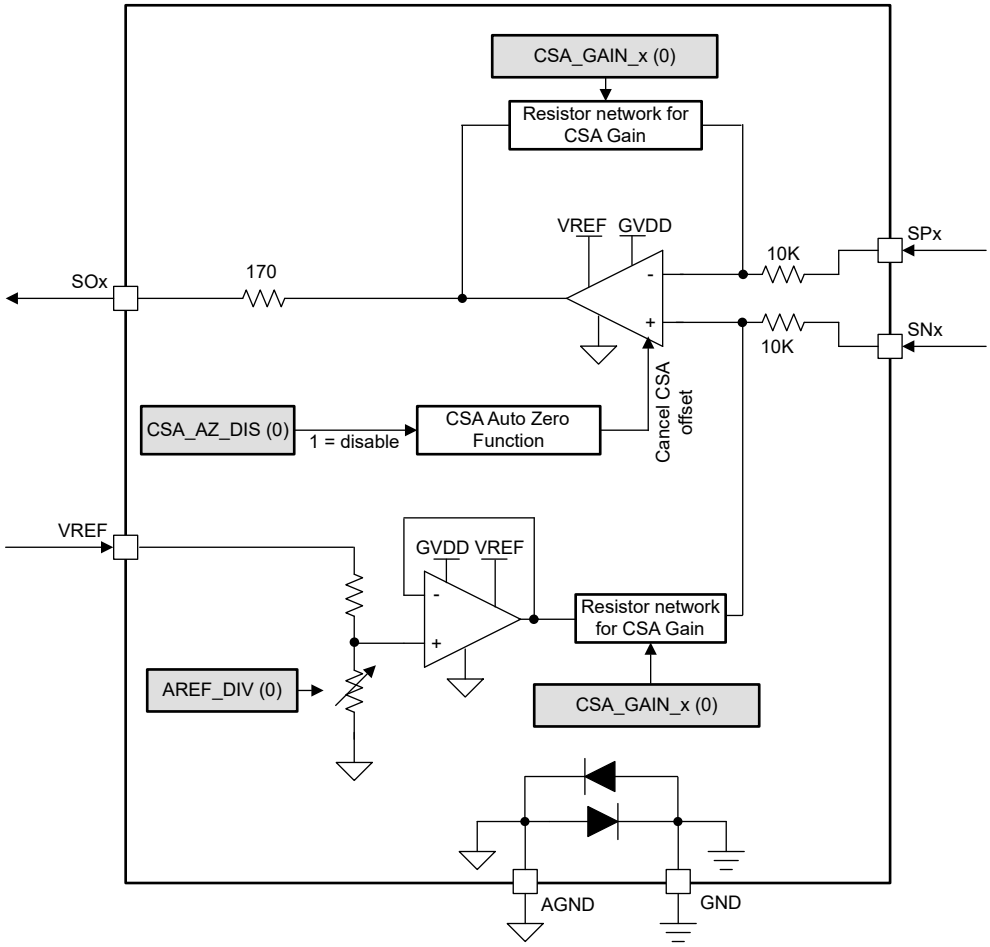


图 6-9. 电流感测放大器图

6.3.2.1 单向电流检测操作

DRV8334-Q1 在内部生成 1/8 x VREF 的共模电压，用于为电流测量实现最大分辨率。电流感测放大器以单向模式运行，SO 引脚输出的模拟电压等于 SP 和 SN 引脚上的电压乘以增益设置值 (G_{CSA})。

可以使用 方程式 1 来计算流过分流电阻器的电流。

$$I = \frac{V_{SOx} - V_{VREF}/8}{G_{CSA} \times R_{SENSE}} \quad (1)$$

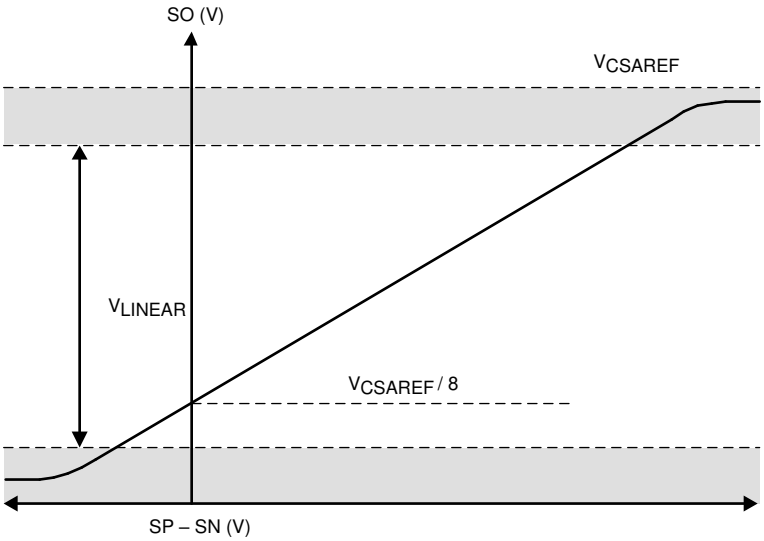


图 6-10. 单向电流检测输出

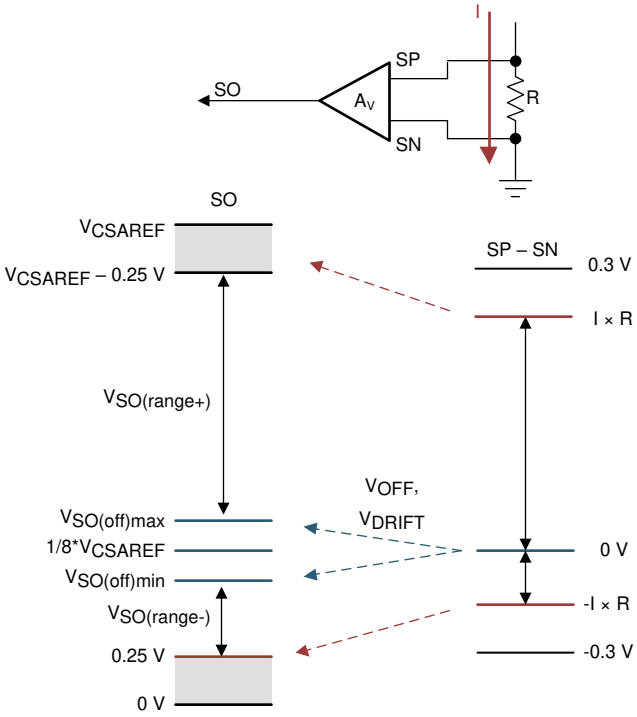


图 6-11. 单向电流检测区域

Copyright © 2025 Texas Instruments Incorporated

6.3.2.2 双向电流检测操作

在此模式下，DRV8334-Q1 在内部生成 ½ x VREF 的共模电压，以实现双向电流测量。电流感测放大器以双向模式运行，SO 引脚输出的模拟电压等于 SP 和 SN 引脚上的电压乘以增益设置值 (G_{CSA})。

可以使用 方程式 2 来计算流经分流电阻器（AREF_DIV = VREF / 2 情况）的电流。

$$I = \frac{V_{SOx} - \frac{V_{VREF}}{2}}{G_{CSA} \times R_{SENSE}} \quad (2)$$

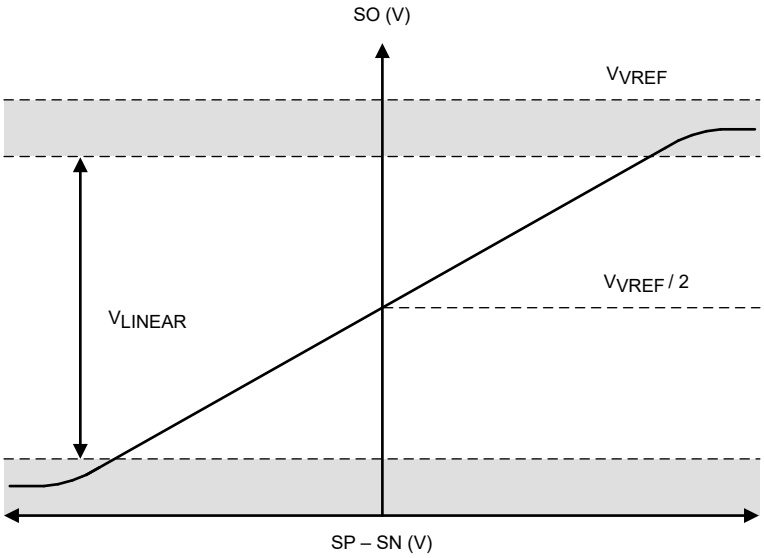


图 6-12. 双向电流检测输出

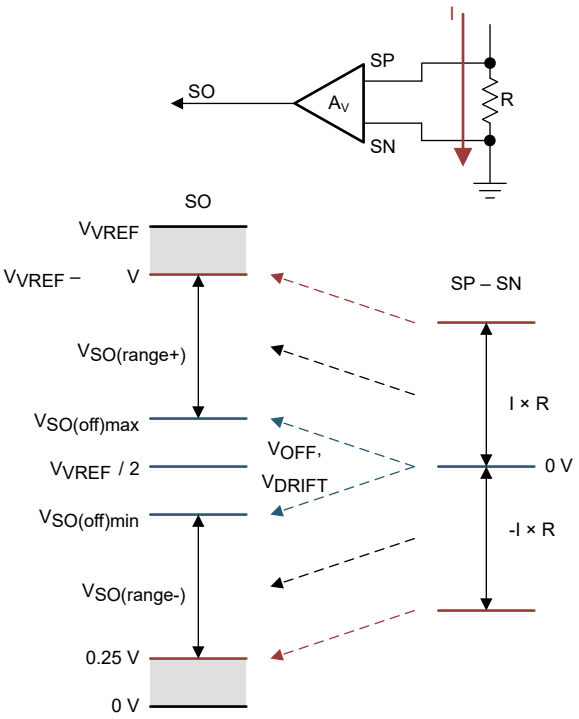


图 6-13. 双向电流检测区域

6.3.3 栅极驱动器关断

如果检测到故障条件或系统驱动 DRVOFF 引脚，该器件将执行栅极驱动器关断动作。高侧和低侧栅极驱动器输出被下拉，以关断外部 MOSFET。

6.3.3.1 DRVOFF 栅极驱动器关断

当 DRVOFF 被驱动为高电平时，栅极驱动器进入关断模式，覆盖输入引脚 INHx 和 INLx 上的信号。DRVOFF 绕过内部数字逻辑，直接连接前置驱动器。该引脚为外部故障监测提供了一种机制，可通过直接绕过内部控制器来直接禁用栅极驱动器。当 DRVOFF 引脚驱动为高电平时，该器件会禁用栅极驱动器并触发关断序列。

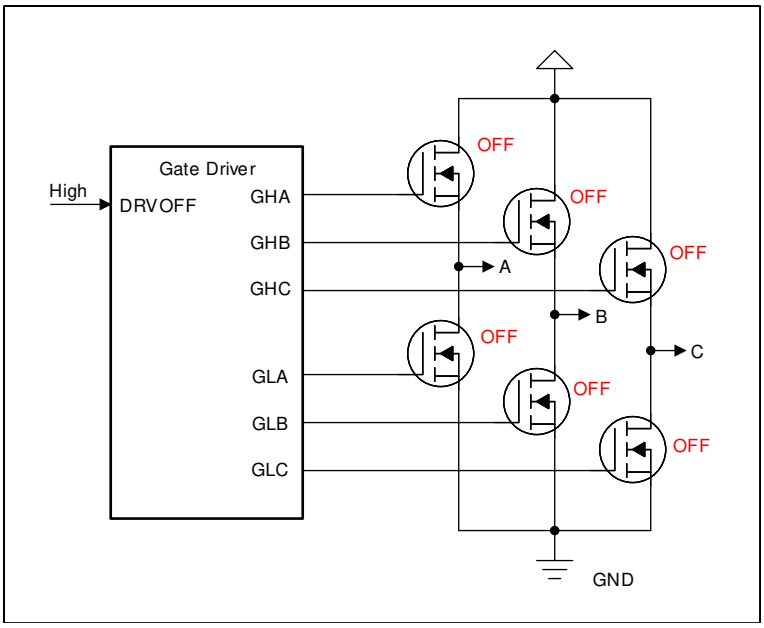


图 6-14. DRVOFF 栅极驱动器输出状态

6.3.3.2 栅极驱动器关断时序

该器件按照图示启动栅极驱动器关断序列。关断驱动电流可使用 SPI 寄存器 IDRVN_SD 进行编程。栅极驱动器会采用 I_{DRVN_SDD} 持续 t_{DRVN_SDD} 时长来对 MOSFET 的栅极进行放电。随后关断电流变为 I_{DRVN_SD} 电流并保持，直至 t_{DRVN_SD} 时长结束。关断序列完成后，栅极驱动器输出进入半有源下拉模式。

Copyright © 2025 Texas Instruments Incorporated

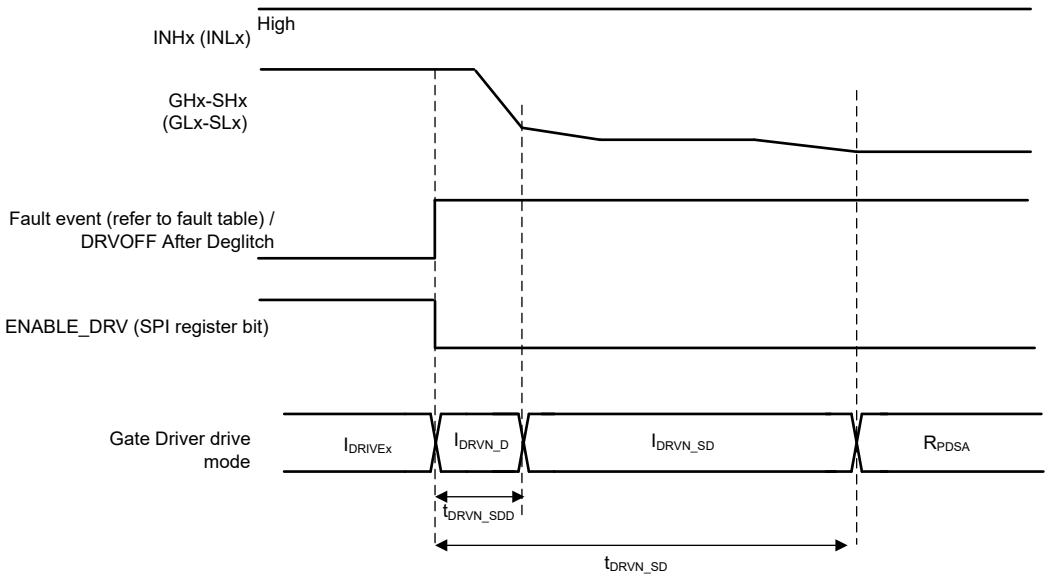


图 6-15. 栅极驱动器关断序列

6.3.4 栅极驱动器保护电路

DRV832x 系列器件具备多重保护功能，包括 PVDD 欠压和过压保护、AVDD 上电复位 (POR) 保护、自举欠压保护、GVDD 欠压保护以及 MOSFET V_{DS} 和 V_{SENSE} 过流事件保护。

6.3.4.1 PVDD 电源欠压警告 (PVDD_UVW)

在任何时候，如果 PVDD 引脚上的电源电压低于 V_{PVDD_UVW} 阈值的时间超过 $t_{PVDD_UVW_DG}$ 时间，则 DRV8334-Q1 会检测到 PVDD 欠压警告事件。检测到欠压条件后，器件会根据 WARN_MODE 位发出警告。V_{PVDD_UVW} 阈值可通过 SPI 寄存器位 PVDD_UVW_LVL 进行调节。

6.3.4.2 PVDD 电源欠压锁定 (PVDD_UV)

在任何时候，如果 PVDD 引脚上的电源电压低于 V_{PVDD_UV} 阈值的时间超过 $t_{PVDD_UV_DG}$ 时间，则 DRV8334-Q1 会检测到 PVDD 欠压事件。检测到欠压条件后，栅极驱动器被禁用，电荷泵被禁用，nFAULT 引脚被驱动为低电平。在 PVDD_UV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.3 PVDD 电源过压故障 (PVDD_OV)

在任何时候，如果 PVDD 引脚上的电源电压高于 V_{PVDD_OV} 阈值的时间超过 $t_{PVDD_OV_DG}$ 时间，则 DRV8334-Q1 会检测到 PVDD 过压事件。检测到过压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在 PVDD_OV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。PVDD_OV 阈值可通过 SPI 寄存器字段 PVDD_OV_LVL 进行调节。PVDD OV 阈值可通过 SPI 寄存器字段 PVDD_OV_LVL 进行调节，而这些设置可用于 28V、33V 或 50V。

6.3.4.4 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压低于 V_{GVDD_UV} 阈值电压的时间长于 $t_{GVDD_UV_DG}$，则器件会检测到 GVDD 欠压事件。检测到 GVDD_UV 欠压事件后，将禁用栅极驱动器，禁用 VCP 电荷泵；如果 GVDD_UV_MODE 位为 1b，则 nFAULT 引脚将驱动为低电平。在 GVDD_UV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.5 GVDD 过压故障 (GVDD_OV)

在任何时候，如果 GVDD 引脚上的电源电压高于 V_{GVDD_OV} 阈值的时间超过 $t_{GVDD_OV_DG}$ 时间，则 DRV8334-Q1 会检测到 GVDD 过压事件。检测到过压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在 PVDD_OV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.6 BST 欠压锁定 (BST_UV)

如果在任何时候 BTSx 和 SHx 引脚之间的电压低于 V_{BST_UV} 阈值电压的持续时间大于 $t_{BST_UV_DG}$，该器件检测到 BST 欠压事件。检测到 BST_UV 欠压事件后，如果 BST_UV_MODE 寄存器位为 1b，则高侧栅极驱动器将被禁用，并且 nFAULT 引脚将被驱动为低电平。在 BST_UV 事件期间，低侧栅极驱动器保持活动状态。在 BST_UV 条件被清除后，如果 BST_UV_LATCH 寄存器位为 1b，则故障状态保持锁存状态，并且可以通过 SPI 命令清除该标志。

6.3.4.7 BST 过压故障 (BST_OV)

在任何时候，如果 BSTx 引脚上的电源电压高于 V_{BST_OV} 阈值的时间超过 $t_{BST_OV_DG}$，则 DRV8334-Q1 会检测到 BST 过压事件。检测到过压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在 BST_OV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.8 VCP 欠压故障 (CP_OV)

在任何时候，如果 VCP 引脚和 VDRAIN 引脚之间的电压低于 V_{CP_UV} 阈值的时间超过 $t_{CP_UV_DG}$ 时间，则 DRV8334-Q1 会检测到 VCP 欠压事件。检测到欠压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在清除 VCP_UV 条件后，故障状态保持锁存状态，并可通过 SPI 命令清除。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.9 VCP 过压故障 (CP_OV)

在任何时候，如果 VCP 引脚和 VDRAIN 引脚之间的电压高于 V_{CP_OV} 阈值的时间超过 $t_{CP_OV_DG}$ 时间，则 DRV8334-Q1 会检测到 VCP 过压事件。检测到过压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在 VCP_OV 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.10 VDRAIN 欠压故障 (VDRAIN_UV)

在任何时候，如果 VDRAIN 引脚上的电压低于 V_{DRAIN_UV} 阈值的时间超过 $t_{vdrain_uv_dg}$ 时间，则 DRV8334-Q1 会检测到 VDRAIN 欠压事件。检测到欠压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在清除 VDARIN_UV 条件后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.11 VDRAIN 过压故障 (VDRAIN_OV)

在任何时候，如果 VDRAIN 引脚上的电源电压高于 V_{DRFAIN_OV} 阈值的时间超过 $t_{VDRAIN_OV_DG}$，则 DRV8334-Q1 会检测到 VDRAIN 过压事件。检测到过压情况后，栅极驱动器被禁用，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在清除 VDRAIN_OV 条件后，故障状态保持锁存状态，并可通过 SPI 命令清除。可以使用 VDRAIN_OV_LVL 寄存器字段根据预期的电源电压范围调整 VDRAIN_OV 阈值。

6.3.4.12 MOSFET VGS 监测保护

DRV8334-Q1 采用集成式栅源电压 (VGS) 监测器来监测外部 MOSFET 的状态。当命令 MOSFET 的输出状态为关闭（INxx = 低电平）时，监测器会确保输出保持关断状态。如果在任何时候，VGS 电压超过 VGS 阈值的持续时间超过 tvgs_dg，则 nFAULT 引脚会被驱动为低电平，并为相应的输出通道设置 VGS_XX 标志。当 MOSFET 的输出状态被命令为开启（INxx = 高电平）时，监视器会验证输出是否开启，以及 MOSFET 是否在足够的 VGS 驱动下以实现强增强。如果在任何时候，VGS 降至 VGS 阈值以下的持续时间超过 tvgs_dg，则 nFAULT 引脚会被驱动为低电平，并为相应的输出通道设置 VGS_XX 标志。VGS 监测消隐时间可以通过 VGS_BLK 寄存器字段进行调整。TI 建议根据外部 MOSFET 的预期开关时间设置该参数值。VGS 检测抗尖峰脉冲时间可以通过 VGS_DEG 寄存器字段进行调整。在 PWM 上升/下降信号之后经过 VGS 消隐时间后，抗尖峰脉冲计时器才会启动。TI 建议根据系统噪声级别和可接受的容错时序设置该参数值。

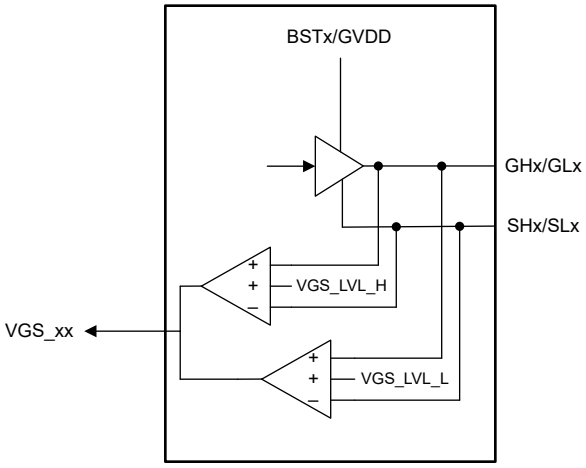


图 6-16. DRV8334-Q1V_{GS} 监测器

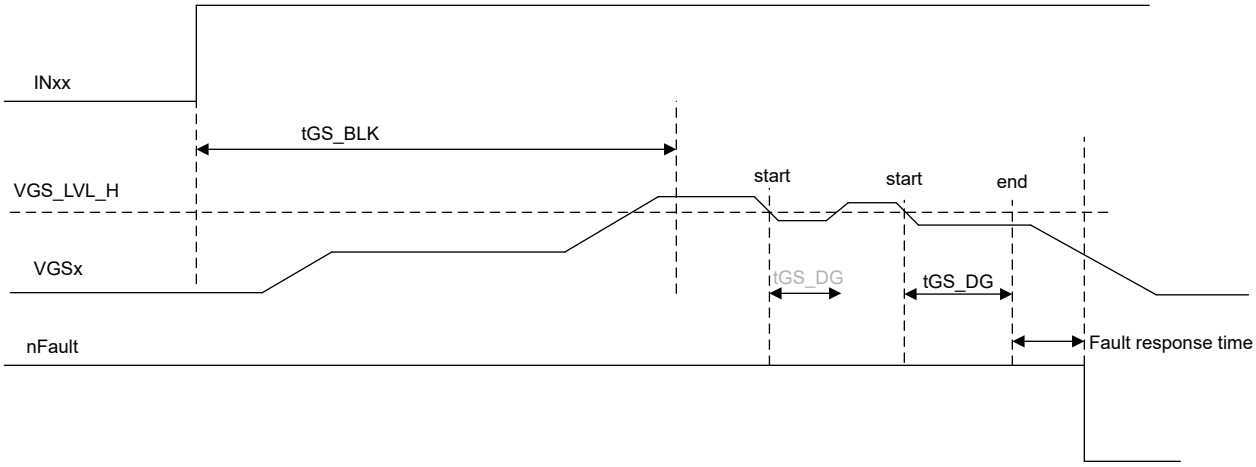


图 6-17. DRV8334-Q1V_{GS} 监测时序（输出高电平）

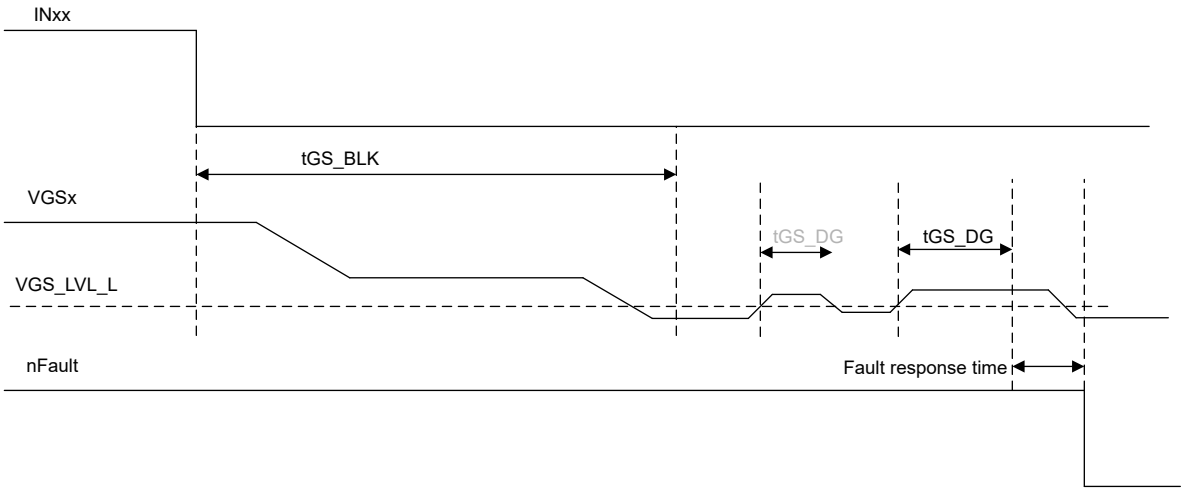


图 6-18. DRV8334-Q1V_{GS} 监测时序（输出低电平）

6.3.4.13 MOSFET V_{DS} 过流保护 (VDS_OCP)

该器件具有可调节的 V_{DS} 电压监视器，可检测外部功率 MOSFET 上的过流或短路情况。可以通过监测外部 MOSFET $R_{DS(on)}$ 上的 V_{DS} 压降来检测 MOSFET 过流事件。高侧 VDS 监测器在 VDRAIN 和 SHx 引脚之间进行测量，低侧 VDS 监测器在 SHx 和 SLx 引脚之间进行测量。如果外部 MOSFET 两端的电压超过 V_{DS_LVL} 阈值的时间大于 t_{DS_DG} 抗尖峰脉冲时间，则会识别到 VDS_OCP 事件。检测到 VDS 过流事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且 nFAULT 引脚被驱动为低电平。VDS 电平和抗尖峰脉冲时间是可编程的。

Copyright © 2025 Texas Instruments Incorporated

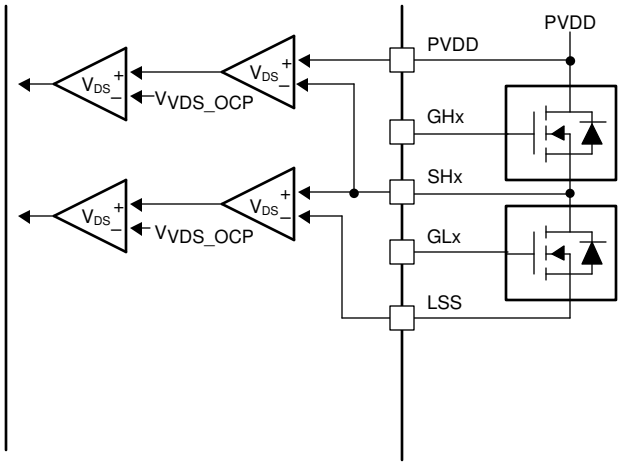


图 6-19. DRV8334-Q1V_{DS} 监测器

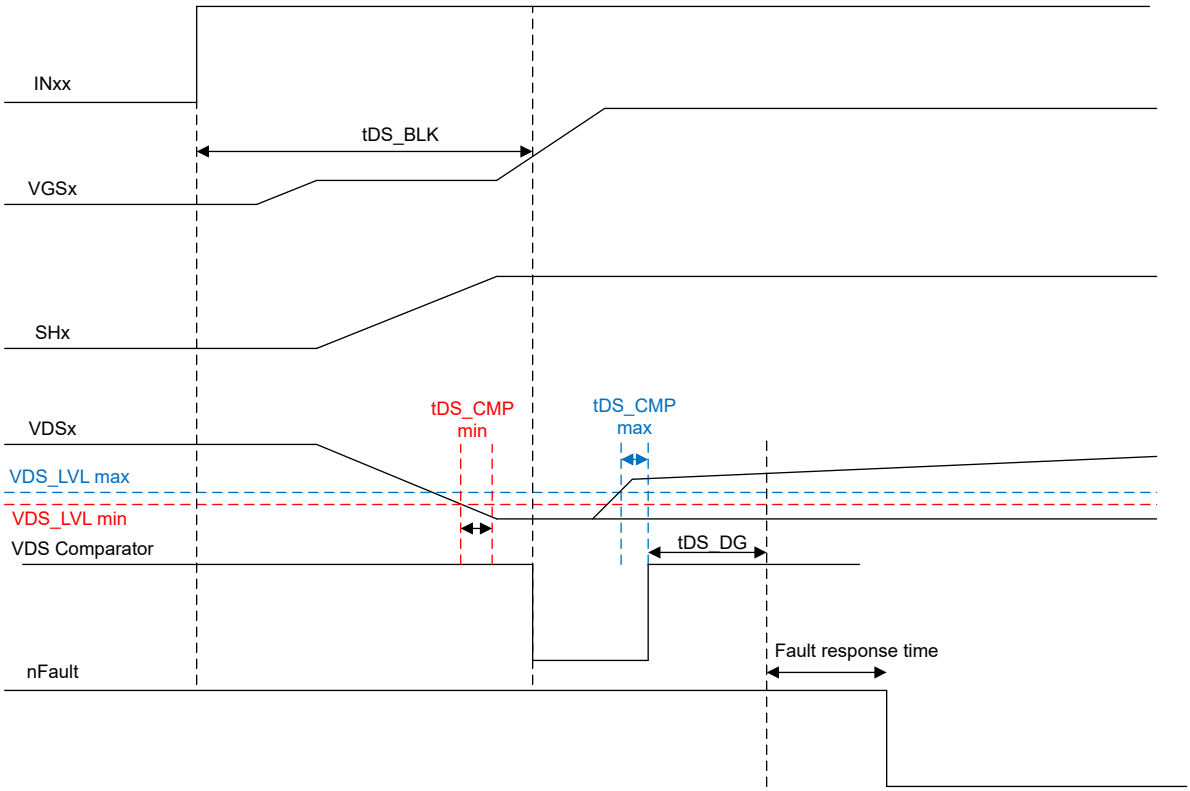


图 6-20. DRV8334-Q1V_{DS} 检测时序

6.3.4.14 V_{SENSE} 过流保护 (SEN_OCP)

仍然通过检测 SPx 和 SNx 引脚之间外部电流感测电阻器上的压降来监测过流。在任何时候，如果 SPx 和 SNx 之间的电压差超过 V_{SEN_OCP} 阈值的时间超过 t_{OCP_DEG} 抗尖峰脉冲时间，则会识别到 SEN_OCP 事件。检测到 SEN_OCP 过流事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且 nFAULT 引脚被驱动为低电平。V_{SENSE} 阈值和抗尖峰脉冲时间是可编程的。在清除 SEN_OCP 条件后，故障状态保持锁存状态，并可通过 SPI 命令清除。

6.3.4.15 相位比较器

该器件具有三个集成相位比较器，每个比较器根据 VDRAIN 引脚上的电压监测 SHx 引脚上的电压。相位比较器可用于监测 SHx 引脚的电压，以进行电机换向控制，测量从输入到输出的时间，或用于诊断驱动器、外部 MOSFET 和外部负载。

相位比较器阈值由 VDRAIN 引脚和 GND 引脚之间的电阻分压器生成。阈值电压被发送到相位比较器上，并与 SHx 电压进行比较（以 GND 为基准）。

该器件可配置为在 INLA、INLB 和 INLC 引脚上启用三个推挽式数字输出。输出指示每个相位比较器输出的状态。当 INLx 用于相位比较器输出时，必须将 SPI 寄存器位 PWM_MODE 配置为 010b（带有 SPIN 使能控制的 3xPWM 模式），以控制低侧栅极驱动器。

该器件集成了一个用于比较数字输入 INHx 和相位比较器输出的逻辑。如果检测到不匹配，则会在 SPI 寄存器位 PHCx_FLT 上报告故障。

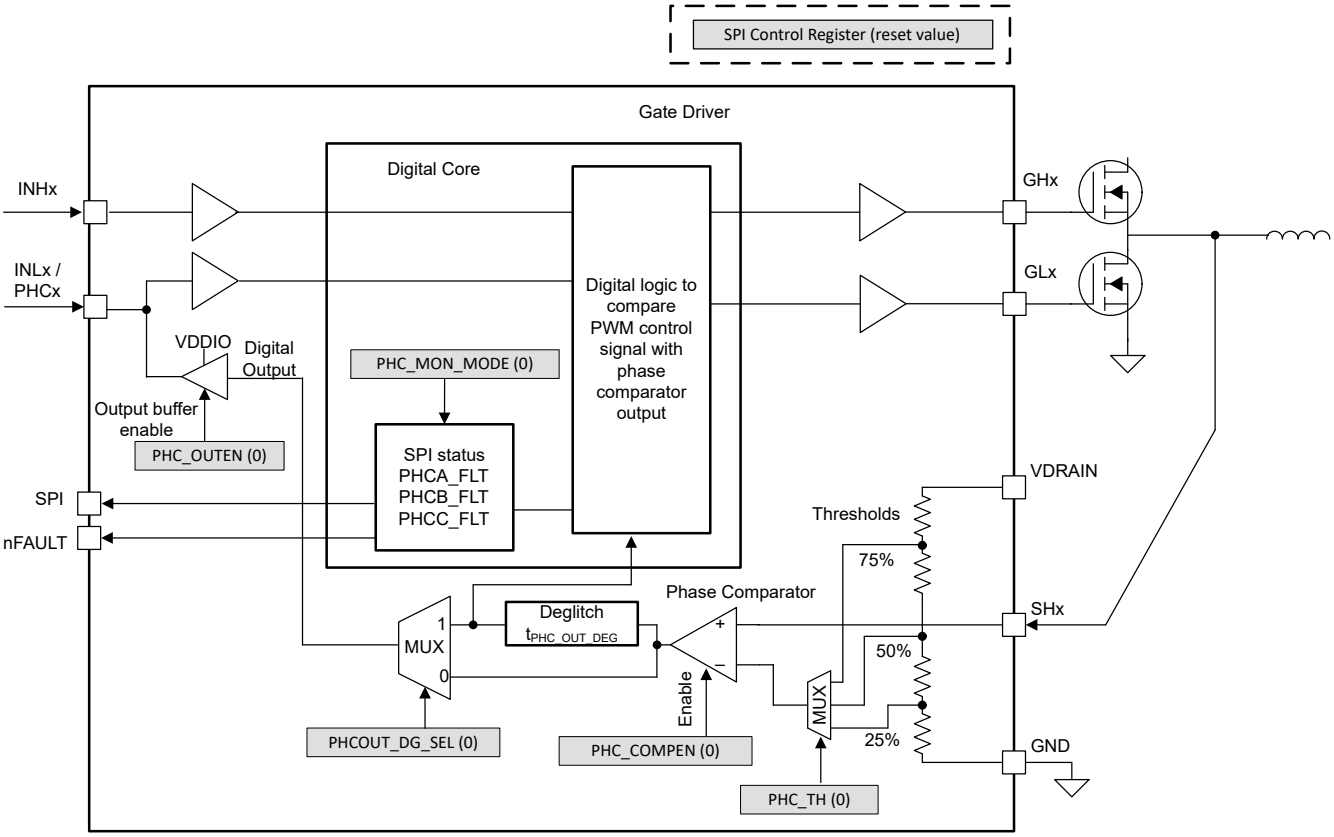


图 6-21. 相位比较器功能图

6.3.4.16 热关断 (OTSD)

如果内核温度超过热关断限制 (T_{OTSD}) 的跳闸点，则会识别到 OTSD 事件。检测到 OTSD 过热事件后，如果 OTSD_MODE 为故障模式，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，电荷泵和电流感测被禁用，并且 nFAULT 引脚被驱动为低电平。在 OTSD 条件被清除后，故障状态保持锁存状态，并可通过 SPI 命令 (CLR_FLT) 清除。OTSD_MODE 默认为故障模式。如果在器件上电期间检测到 OTSD 条件，则 nFAULT 保持低电平，电荷泵和电流感测保持禁用状态，直到 OTSD 条件消失且 MCU 发送 SPI 命令 (CLR_FLT)。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.17 热警告 (OTW)

如果内核温度超过热警告 (T_{OTW}) 的跳变点，则会在 SPI 器件的寄存器中设置 OTW 位。器件不会执行任何其他操作，并且会继续运行。当内核温度降至低于热警告的迟滞点后，OTW 位保持锁存状态，并可以通过 SPI 命令 CLR_FLT 清除。如果 OTW 位为 1b，则 nFAULT 保持高电平。

6.3.4.18 OTP CRC

每次上电后，该器件都会执行 OTP CRC 校验。如果计算出的 CRC8 校验和与内部 OTP 存储器中存储的 CRC8 校验和不匹配，则会设置 OTP_CRC 失败标志。

6.3.4.19 SPI 看门狗计时器

该器件集成了一个可编程窗口型 SPI 看门狗计时器，以验证外部控制器是否正在工作。可通过向 WDT_EN SPI 寄存器位写入 1 来启用 SPI 看门狗计时器。看门狗计时器默认处于禁用状态。看门狗计时器使能后，内部计时器开始递增计数。有效的 SPI 访问可复位计时器。此有效的 SPI 访问必须在下窗口时间和上窗口时间之间发出。如果检测到看门狗计时器故障，则 WDT_FLT 状态位将设置为 1b 并且 nFAULT 引脚将置位为低电平。

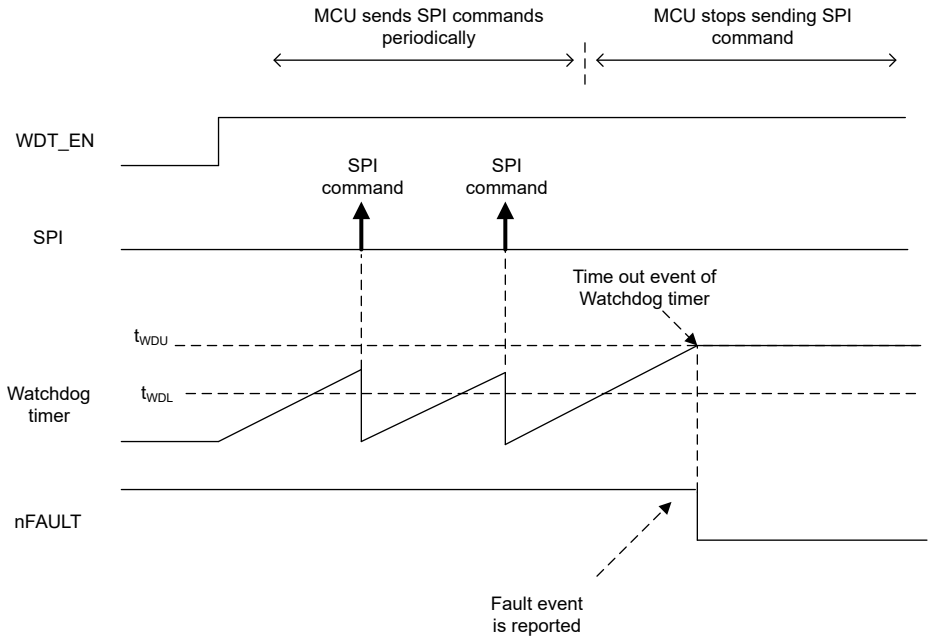


图 6-22. SPI 看门狗计时器时序图

6.3.4.20 相位诊断

该器件集成了一个电流源以及 VDRAIN 与 SHx 器件引脚之间及 SHx 器件引脚与每个通道的器件接地端之间的开关。可以通过 SPI 寄存器位 PHDEN_Hx 和 PHDEN_Lx 来单独启用和禁用开关。如果 PHDEN_Hx 为 1b，则 SHx 引脚的拉电流 I_{PHD_SRC} 将被启用。如果 PHDEN_Lx 为 1b，则 SHx 引脚的灌电流 I_{PHD_SNK} 将被启用。当任何 PHDEN_Hx 和 PHDEN_Lx 寄存器位设置为 1 时，VDS 过流检测标志 VDS_Hx 和 VDS_Lx 会从故障检测标志更改为 VDS 比较器的状态标志。集成电流源和 VDS 状态标志的组合可用于相位诊断（例如检测电机负载的开路故障），而无需激活外部 MOSFET。

默认情况下，当 PHDEN_x 寄存器位为 1b 时，栅极驱动器将被禁用。如果 PHDEN_DRV 寄存器位为 1b，则栅极驱动器输出可以由 INHx 和 INLx 输入引脚控制，而 PHDEN_x 寄存器位为 1b，并且可以在相位诊断期间导通外部 MOSFET。

如果 PDHEN_x 寄存器位为 1b，则 VCP 电荷泵保持启用状态，但从 VCP 到自举电容器的充电路径被禁用。进行相位诊断之后，需要在 PWM 运行之前对自举电容器进行预充电。

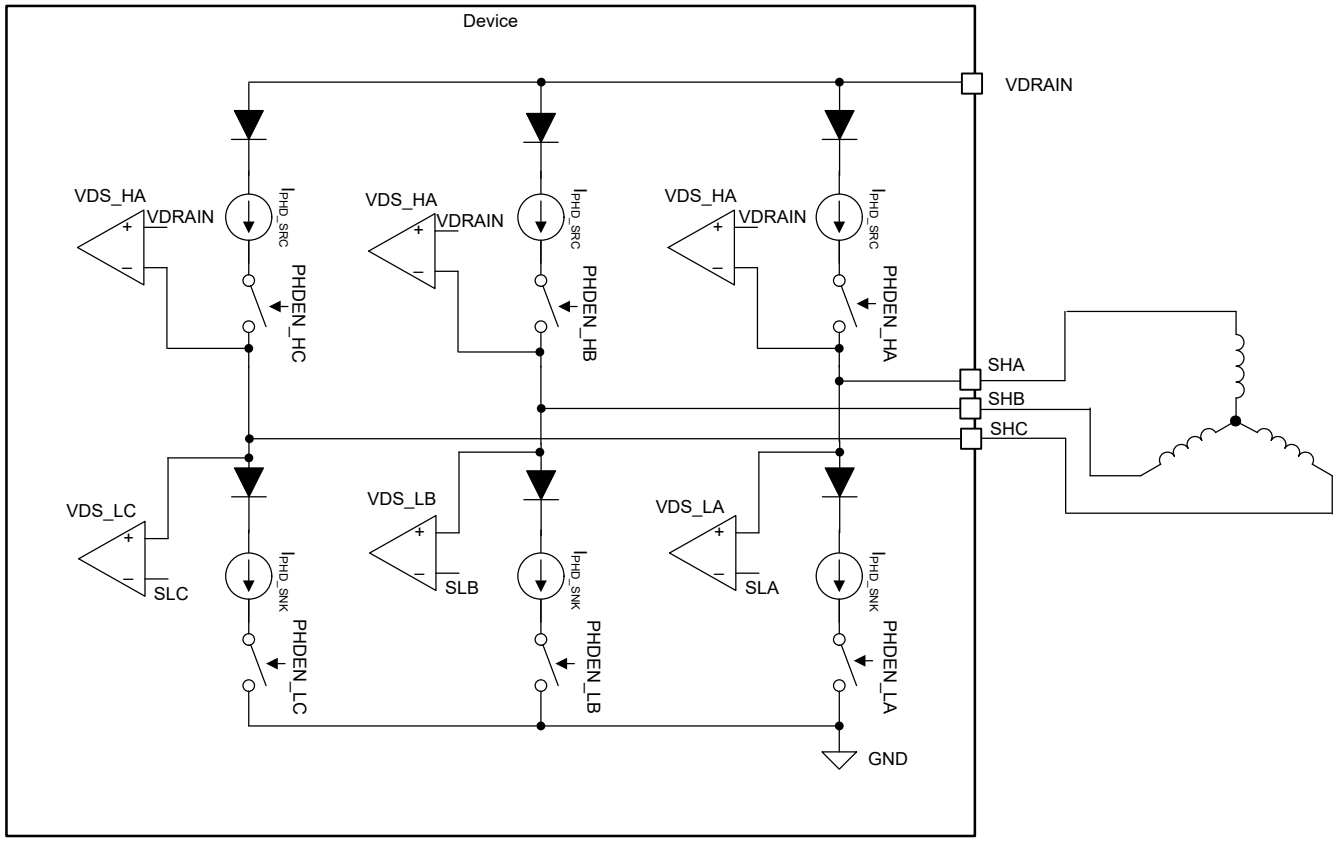


图 6-23. 相位诊断（仅限预览）

6.4 器件功能模式

6.4.1 栅极驱动器功能模式

6.4.1.1 睡眠模式

nSLEEP 引脚管理 DRV8334-Q1 的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，所有栅极驱动器均禁用，感测放大器均禁用，所有外部 MOSFET 均禁用，GVDD 稳压器被禁用。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.4.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{PVDD} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，GVDD 稳压器和 AVDD 处于活动状态

Copyright © 2025 Texas Instruments Incorporated

6.4.2 器件上电序列

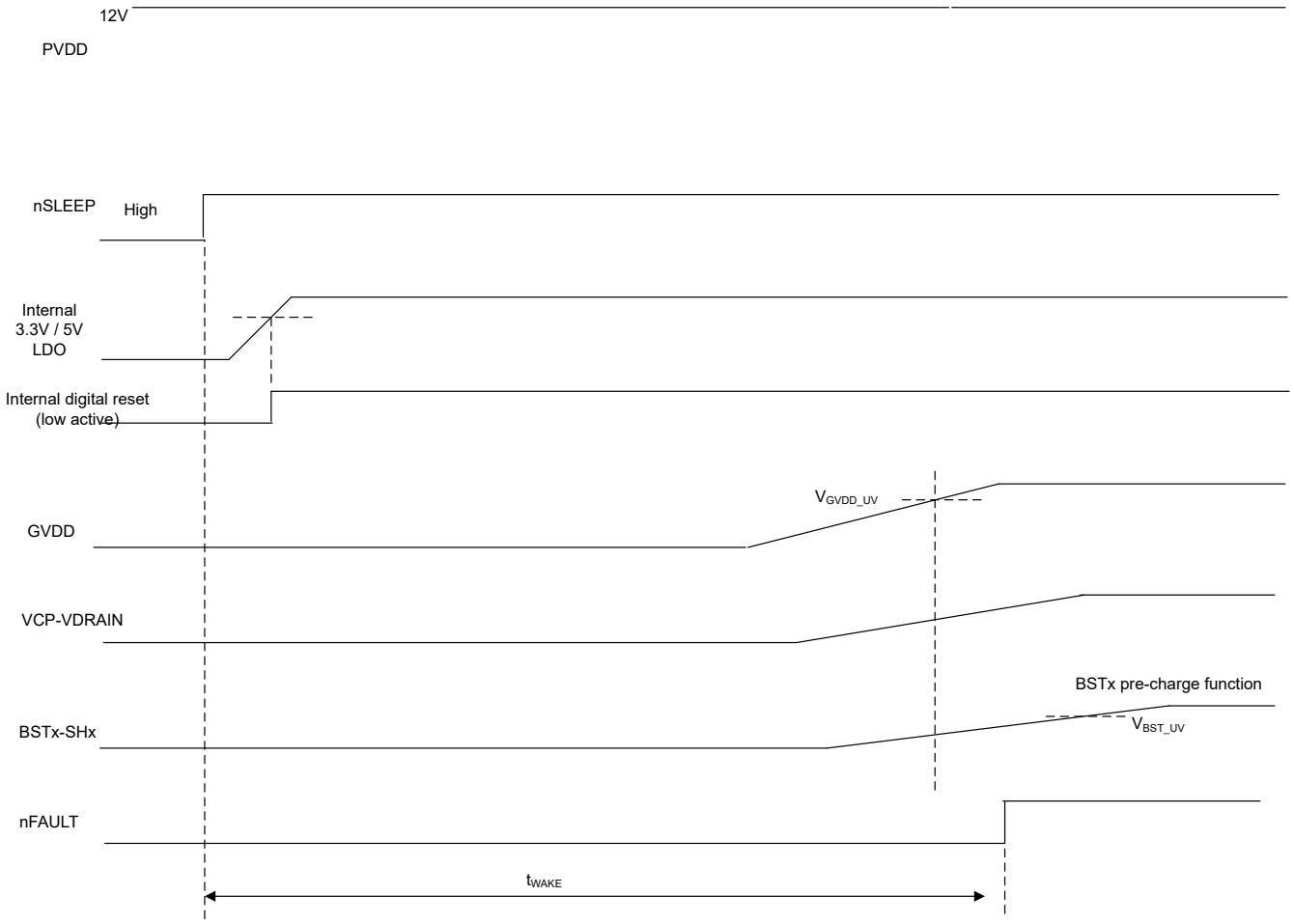


图 6-24. 器件上电序列和 t_{WAKE}

图 6-24 说明了器件上电序列（包括器件内部信息）。如 节 6.4 所述，如果 nSLEEP 引脚被驱动为高电平，该器件会启动上电序列以启用内部 LDO、GVDD 和 VCP 电荷泵。当器件完成上电序列并进入工作模式时，nFAULT 输出为低电平。外部 MCU 可能会额外等待自举电容器的预充电，然后再切换高侧栅极驱动器，SPI 状态标志 BST_UVx 可用于检查预充电操作的状态。

6.5 编程

6.5.1 SPI

该器件使用串行外设接口 (SPI) 总线设置器件配置、运行参数和读取诊断信息。器件 SPI 在从模式下运行，并连接到主外部控制器。如果启用 SPI CRC (SPI_CRC_EN = 1b)，则 SPI 输入数据 (SDI) 字由一个 32 位字、一条 8 位命令、16 位数据和 8 位 CRC（初始值 0xFF、多项式 0x2F）组成。SPI 输出数据 (SDO) 字由一个 32 位字组成，其中包含一个 8 位状态数据、16 位寄存器数据和 8 位 CRC（初始值 0xFF、多项式 0x2F）。如果禁用 SPI CRC (SPI_CRC_EN = 0b)，则 SPI 数据字由 24 位字组成，其中不包括 8 位 CRC。

备注

默认情况下启用 CRC。要禁用 CRC，请在器件上电后使用 CRC 值“0x6E”将“0x0009”发送到寄存器 0x1C（完整的 SPI 帧为“0x3800096E”）。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平以及从低电平转换为高电平时，SCLK 引脚为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少为 450ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 32（或 24）个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字不是 32（或 24）位，则会发生帧错误并且数据字会被忽略。
- 对于写入命令，要写入的寄存器中的现有数据会在 8 位命令数据之后在 SDO 引脚上移出。
- SDO 引脚是推挽式输出。
- 在 nSCS 的上升沿确认 SPI 故障。

6.5.2 SPI 格式

SDI 输入数据的字长为 32（或 24）位，包含以下格式：

- 7 个地址位 (A6-A0)
- 1 个读取或写入位 (W0)。对于写入命令，W0 = 0b；对于读取命令，W0 = 1b。
- 16 个数据位 (D15-D0)
- 如果 SPI_CRC_EN = 1b，则为 8 位 CRC。

SDO 输出数据字长为 32（或 24）位，包含以下格式。

- 1 个故障状态位 F。该位与 IC_STAT1 故障寄存器位相同。
- 7 个回读位 (A6-A0)。这是同一 SPI 帧中传入的 7 个 SDI 地址位的回读。该器件在 SCLK 的上升沿捕获 SDI，并在 SCLK 的下降沿输出数据。
- 16 个数据位 (D15-D0)。这是所寻址寄存器的读取数据。对于写命令，它是之前存储在寻址寄存器中的数据。
- 如果 SPI_CRC_EN = 1b，则为 8 位 CRC。

Copyright © 2025 Texas Instruments Incorporated

6.5.3 SPI 格式图

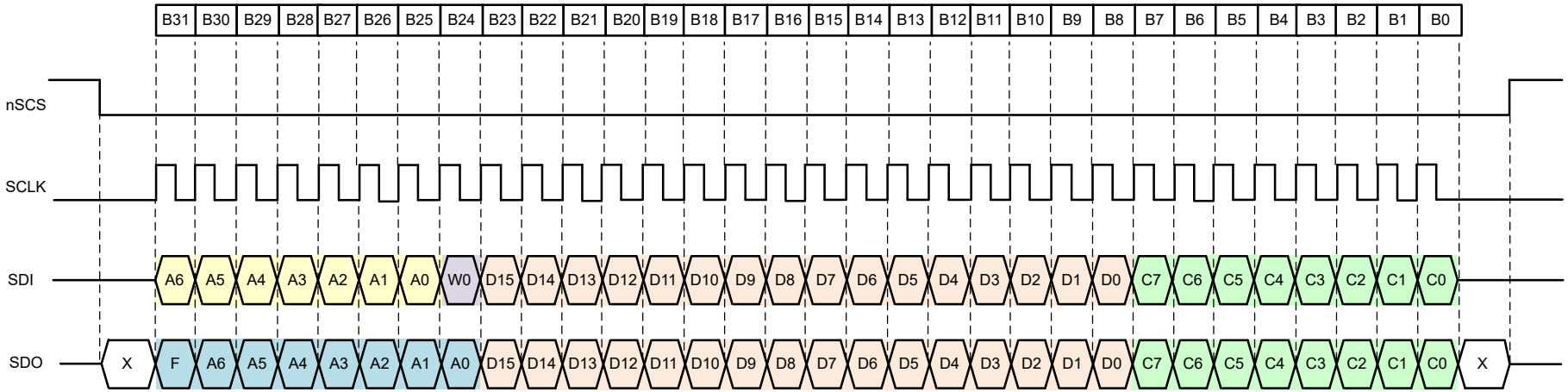


图 6-25. SPI 格式 - 32 位帧 (SPI_CRC_EN = 1b)

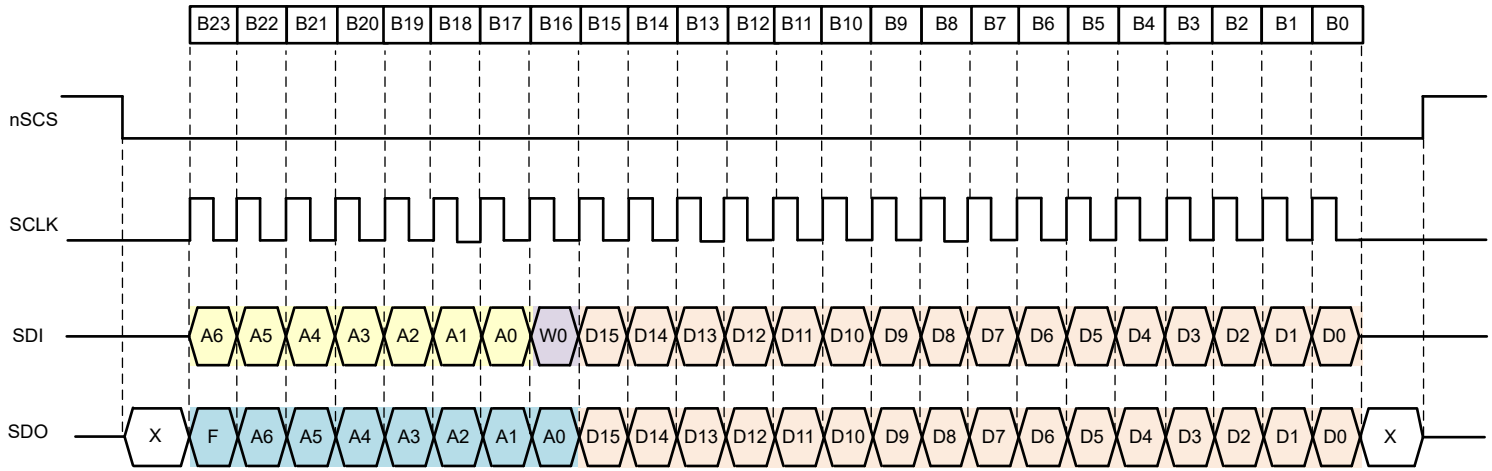


图 6-26. SPI 格式 - 24 位帧 (SPI_CRC_EN = 0b)

7 寄存器映射

Copyright © 2025 Texas Instruments Incorporated

7.1 状态寄存器

表 7-1 列出了状态寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. 状态寄存器

地址	首字母缩写词	寄存器名称	部分
0h	IC_STAT1	IC 状态寄存器 1	节 7.1.1
1h	IC_STAT2	IC 状态寄存器 2	节 7.1.2
2h	IC_STAT3	IC 状态寄存器 3	节 7.1.3
3h	IC_STAT4	IC 状态寄存器 4	节 7.1.4
4h	IC_STAT5	IC 状态寄存器 5	节 7.1.5
5h	IC_STAT6	IC 状态寄存器 6	节 7.1.6

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

7.1.1 IC_STAT1 寄存器（地址 = 0h）[复位 = 8000h]

表 7-3 展示了 IC_STAT1。

返回到汇总表。

表 7-3. IC_STAT1 寄存器字段说明

位	字段	类型	复位	说明
15	SPI_OK	R	1b	未检测到 SPI 故障 0b = 检测到 SPI 故障 1b = 无故障
14	故障	R	0b	故障状态寄存器的逻辑或。对应 nFAULT 引脚。 0b = nFAULT 状态逻辑低电平 1b = nFAULT 状态逻辑高电平。检测到一个或多个故障事件。
13	WARN	R	0b	WARN 状态的逻辑或，OTW 除外 0b = 未检测到警告事件 1b = 检测到一个或多个警告事件
12	VDS	R	0b	VDS 过流检测的逻辑或 0b = 未检测到 VDS 事件。 1b = 检测到一个或多个 VDS 事件。
11	VGS	R	0b	VGS 检测的逻辑或 0b = 未检测到 VGS 事件。 1b = 检测到一个或多个 VGS 事件。
10	SNS_OCP	R	0b	感测过流检测的逻辑或 0b = 未检测到感测过流事件。 1b = 检测到一个或多个感测过流事件。
9	OV	R	0b	电源电压过压检测的逻辑或 0b = 未检测到过压事件。 1b = 检测到一个或多个过压事件。

表 7-3. IC_STAT1 寄存器字段说明（续）

位	字段	类型	复位	说明
8	UV	R	0b	电源电压欠压检测的逻辑或 0b = 未检测到欠压事件。 1b = 检测到一个或多个欠压事件。
7-2	RESERVED	R	0b	保留
1	OTW	R	0b	过热警告状态位 0b = 未检测到事件 1b = 检测到过热警告事件
0	DRV_STAT	R	0b	指示驱动器启用状态。对应 ENABLE_DRV 寄存器位

7.1.2 IC_STAT2 寄存器（地址 = 1h）[复位 = 0000h]

表 7-4 展示了 IC_STAT2。

返回到汇总表。

表 7-4. IC_STAT2 寄存器字段说明

位	字段	类型	复位	说明
15	CBC_ST	R	0b	VDS 和 SNS_OCP 监测逐周期 (CBC) 计数器活动状态。如果启用 CBC（CBC 为 1b），则当检测到 VDS 或 SNS_OCP 条件时，CBC 计数器递增。如果 CBC 计数器不为 0（CBC 计数器 > 0），表示检测到一个或多个 VDS 或 SNS_OCP 条件，则 CBC_ST 为 1。 0b = CBC 计数器为 0 1b = 如果启用 CBC，则 CBC 计数器不为 0。
14-11	RESERVED	R	0b	保留
10	SNS_OCP_A	R	0b	A 相外部感测电阻器过流状态位
9	SNS_OCP_B	R	0b	B 相外部感测电阻器过流状态位
8	SNS_OCP_C	R	0b	C 相外部感测电阻器过流状态位
7-6	RESERVED	R	0b	保留
5	VDS_HA	R	0b	A 高侧 MOSFET 上的 VDS 过流状态
4	VDS_LA	R	0b	A 低侧 MOSFET 上的 VDS 过流状态
3	VDS_HB	R	0b	B 高侧 MOSFET 上的 VDS 过流状态
2	VDS_LB	R	0b	B 低侧 MOSFET 上的 VDS 过流状态
1	VDS_HC	R	0b	C 高侧 MOSFET 上的 VDS 过流状态
0	VDS_LC	R	0b	C 低侧 MOSFET 上的 VDS 过流状态

7.1.3 IC_STAT3 寄存器（地址 = 2h）[复位 = 0000h]

表 7-5 展示了 IC_STAT3。

返回到汇总表。

表 7-5. IC_STAT3 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0b	保留
5	VGS_HA	R	0b	A 高侧 MOSFET 上的栅极驱动器故障状态。
4	VGS_LA	R	0b	A 低侧 MOSFET 上的栅极驱动器故障状态。
3	VGS_HB	R	0b	B 高侧 MOSFET 上的栅极驱动器故障状态。
2	VGS_LB	R	0b	B 低侧 MOSFET 上的栅极驱动器故障状态。
1	VGS_HC	R	0b	C 高侧 MOSFET 上的栅极驱动器故障状态。

Copyright © 2025 Texas Instruments Incorporated

表 7-5. IC_STAT3 寄存器字段说明（续）

位	字段	类型	复位	说明
0	VGS_LC	R	0b	C 低侧 MOSFET 上的栅极驱动器故障状态。

7.1.4 IC_STAT4 寄存器（地址 = 3h）[复位 = 0000h]

表 7-6 展示了 IC_STAT4。

返回到汇总表。

表 7-6. IC_STAT4 寄存器字段说明

位	字段	类型	复位	说明
15	PVDD_OV	R	0b	PVDD 过压状态
14	PVDD_UV	R	0b	PVDD 欠压状态
13	VDRAIN_OV	R	0b	VDRAIN 过压状态
12	VDRAIN_UV	R	0b	VDRAIN 欠压状态
11	VCP_OV	R	0b	VCP 过压状态
10	VCP_UV	R	0b	VCP 欠压状态
9	GVDD_OV	R	0b	GVDD 过压状态
8	GVDD_UV	R	0b	GVDD 欠压状态
7	RESERVED	R	0b	保留
6	RESERVED	R	0b	保留
5	BSTA_OV	R	0b	A 高侧 MOSFET 上的 BST 过压
4	BSTA_UV	R	0b	A 高侧 MOSFET 上的 BST 欠压
3	BSTB_OV	R	0b	B 高侧 MOSFET 上的 BST 过压
2	BSTB_UV	R	0b	B 高侧 MOSFET 上的 BST 欠压
1	BSTC_OV	R	0b	指示 C 高侧 MOSFET 上的 BST 过压
0	BSTC_UV	R	0b	C 高侧 MOSFET 上的 BST 欠压

7.1.5 IC_STAT5 寄存器（地址 = 4h）[复位 = 0000h]

表 7-7 展示了 IC_STAT5。

返回到汇总表。

表 7-7. IC_STAT5 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留
14	PVDD_UVW	R	0b	PVDD 欠压警告状态
13-11	RESERVED	R	0b	保留
10	GVDD_CP_LDO	R	0b	GVDD 工作模式状态 0b = 电荷泵 1b = LDO 模式
9	OTSD	R	0b	
8	WDT_FLT	R	0b	看门狗计时器故障位
7	SPI_CRC_FLT	R	0b	SPI CRC 故障位
6	SPI_ADDR_FLT	R	0b	SPI 地址故障位

表 7-7. IC_STAT5 寄存器字段说明（续）

位	字段	类型	复位	说明
5	SPI_CLK_FLT	R	0b	SPI 时钟组帧故障位。对于 32 位帧（SPI_CRC_EN 为 1），如果一个 SPI 帧的 SPI 时钟数为 1 至 31、33 或更高，则 SPI_CLK_FLT 设置为 1。如果 SPI 时钟数为 0 或 32，则 SPI_CLK_FLT 为 0。对于 24 位帧（SPI_CRC_EN 为 0b），如果 SPI 时钟数为 0 或 24，则 SPI_CLK_FLT 为 0。对于 96 位帧，如果 SPI 时钟数为 0 或 96，则 SPI_CLK_FLT 为 0。否则，SPI_CLK_FLT 设置为 1。
4	OTP_CRC_FLT	R	0b	OTP CRC 故障位。已检测到用于器件生产的 OTP 存储器故障。
3	OTP_USR_CRC_FLT	R	0b	USER OTP CRC 故障。已检测到用于用户配置的 OTP 存储器故障。如果不使用 USER OTP（已编程），则 OTP_USR_CRC_FLT 将始终设置为 1b，并且必须在上电时清除该标志。OTP_USR_CRC_FLT 不影响 nFAULT 或栅极驱动器。
2	RESERVED	R	0b	保留
1	STP_FLT	R	0b	击穿保护违例
0	DEADT_FLT	R	0b	违反死区违例

7.1.6 IC_STAT6 寄存器（地址 = 5h）[复位 = 0000h]

表 7-8 展示了 IC_STAT6。

返回到汇总表。

表 7-8. IC_STAT6 寄存器字段说明

位	字段	类型	复位	说明
15	PHCA_FLT	R	0b	指示 PHCA 的相位比较器故障
14	PHCB_FLT	R	0b	指示 PHCB 的相位比较器故障
13	PHCC_FLT	R	0b	指示 PHCC 的相位比较器故障
12	RESERVED	R	0b	保留
11	VREF_OV	R	0b	VREF 输入过压状态
10	VREF_UV	R	0b	VREF 输入欠压状态
9	VDDSDO_UV	R	0b	器件内部稳压器 VDDSDO 稳压器欠压状态
8	RESERVED	R	0b	保留
7	DVDD_OV	R	0b	DVDD 过压状态
6-5	RESERVED	R	0b	保留
4	ABIST_FLT	R	0b	模拟 BIST 故障状态
3	DEV_MODE_FLT	R	0b	器件模式故障状态
2-1	RESERVED	R	0b	保留
0	CLK_MON_FLT	R	0b	时钟监测器故障状态

Copyright © 2025 Texas Instruments Incorporated

7.2 控制寄存器

表 7-9 列出了控制寄存器的存储器映射寄存器。表 7-9 中未列出的所有寄存器偏移地址都被视为保留的位置，并且不得修改寄存器内容。

表 7-9. 控制寄存器

地址	首字母缩写词	寄存器名称	部分
1Ah	IC_CTRL1	IC 控制寄存器 1	节 7.2.1
1Bh	IC_CTRL2	IC 控制寄存器 2	节 7.2.2
1Ch	IC_CTRL3	IC 控制寄存器 3	节 7.2.3
1Eh	GD_CTRL1	栅极驱动控制寄存器 1	节 7.2.4
1Fh	GD_CTRL2	栅极驱动控制寄存器 2	节 7.2.5
21h	GD_CTRL3	栅极驱动控制寄存器 3	节 7.2.6
22h	GD_CTRL3B	栅极驱动控制寄存器 3B	节 7.2.7
23h	GD_CTRL4	栅极驱动控制寄存器 4	节 7.2.8
24h	GD_CTRL5	栅极驱动控制寄存器 5	节 7.2.9
25h	GD_CTRL6	栅极驱动控制寄存器 6	节 7.2.10
26h	GD_CTRL7	栅极驱动控制寄存器 7	节 7.2.11
29h	CSA_CTRL	CSA 控制寄存器	节 7.2.12
2Bh	MON_CTRL1	监测控制寄存器 1	节 7.2.13
2Ch	MON_CTRL2	监测控制寄存器 2	节 7.2.14
2Dh	MON_CTRL3	监测控制寄存器 3	节 7.2.15
2Eh	MON_CTRL4	监测控制寄存器 4	节 7.2.16
36h	SPI_TEST	SPI 测试寄存器	节 7.2.17
48h	OTP_USR	OTP 用户控制	节 7.2.18

复杂的位访问类型经过编码可适应小型表单元。表 7-10 展示了适用于此部分中访问类型的代码。

表 7-10. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.2.1 IC_CTRL1 寄存器（地址 = 1Ah）[复位 = 0000h]

表 7-11 展示了 IC_CTRL1。

返回到汇总表。

表 7-11. IC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0b	保留

表 7-11. IC_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
0	VDDSDO_SEL	R/W	0b	VDDSDO 稳压器输出选择位。该位决定 3.3V 模式或 5V 模式之间 SDO 和 PHCx 的 VOH 电平。输入缓冲器的 VIH/VIL 不受 VDDSDO_SEL 位的影响。在设置 VDDSDO_SEL 之前，需要正确配置 VDDSDO_MON_LVL。 0b = SDO/PHCx 3.3V 模式 1b = SDO/PHCx 5V 模式

7.2.2 IC_CTRL2 寄存器（地址 = 1Bh）[复位 = 0006h]

表 7-12 展示了 IC_CTRL2。

返回到汇总表。

表 7-12. IC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
15	ENABLE_DRV	R/W	0b	启用前置驱动器位。如果检测到一个或多个前置驱动器关断条件并且故障标志设置为 1b 并且 ALL_CH 为 1b 或者 DRVOFF 驱动为高电平，则该位会清除为 0b。当故障条件存在或 DRVOFF 为高电平时，器件会强制将 ENABLE_DRV 位设为 0b。上电时，对 ENABLE_DRV 的写入访问将被忽略，并且该位不能设置为 1，直到 nFAULT 变为高电平。nFAULT 变为高电平后，等待 5us 并将 ENABLE_DRV 设置为 1b。在初始设置期间，建议在 ENABLE_DRV 设置为 1b 之前设置栅极驱动电流 IDRVx 参数。 0b = 默认情况下，INHx 和 INLx 数字输入被忽略，栅极驱动器输出被拉至低电平（有源下拉）。 1b = 栅极驱动器输出由 INHx 和 INL 数字输入控制。如果在 ENABLE_DRV 为 1b 时修改 IDRVP 或 IDRVN 寄存器值，则应使用一个 PWM 周期延迟来更新栅极驱动器电流。
14	MODE_NSLEEP	R/W	0b	nSLEEP 模式。 0b = nSLEEP 为低电平有效，且当 nSLEEP 驱动为低电平时，器件进入睡眠模式。 1b = nSLEEP 为低电平有效，且当 nSLEEP 驱动为低电平时，器件进入 DRVOFF 关断模式。包括 GVDD 电荷泵和 TCP/VCP 电荷泵在内的内部稳压器处于活动状态。如果检测到 WDT_FLT，无论 MODE_NSLEEP 位如何，当 nSLEEP 为低电平时，器件都会进入睡眠模式。
13	CFG_CRC_EN	R/W	0b	启用配置数据 CRC 功能 0b = 禁用配置数据 CRC 功能。 1b = 启用配置数据 CRC 功能。
12	CLKMON_EN	R/W	0b	时钟监测启用 0b = 禁用时钟监测。 1b = 启用时钟监测。
11	CSA_EN	R/W	0b	电流感测放大器启用。如果 GVDD_UV_MODE 为 0b（警告模式），则 MCU 必须在 CSA_EN 位设置为 1b 之前让 GVDD_UV 标志保持为 0b。如果 GVDD_UV_MODE 为 1b（故障模式），则 IC 会在检测到 GVDD_UV 时禁用 CSA 放大器。 0b = 禁用 CSA。SOx 处于高阻态状态。 1b = 启用 CSA。
10	CSA_AZ_DIS	R/W	0b	电流感测放大器自动置零功能禁用 0b = 启用 CSA 自动置零功能。在 PWM/CSA 正常运行期间，该位为 0b。 1b = 禁用 CSA 自动置零功能。该位的目的是禁用电流感测放大器的开关活动以实现自动置零功能。如果使用此位，请参阅时序要求。
9	RESERVED	R	0b	保留

Copyright © 2025 Texas Instruments Incorporated

表 7-12. IC_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
8	GVDD_MODE	R/W	0b	GVDD 电荷泵 LDO 模式控制 0b = GVDD 正常运行。电荷泵模式和 LDO 模式由器件控制。 1b = LDO 模式。GVDD 电荷泵时钟会被禁用。（电荷泵开关操作被禁用）。
7-6	VCP_MODE	R/W	00b	VCP/TCP 模式控制 00b = VCP/TCP 正常运行。VCP/TCP 在上电时启用。当 SPI ENABLE_DRV 为 0 时，启用 TCP SW。当 DRVOFF 为高电平时，如果系统期望器件 BST 电容持续充电，则 VCP_MODE 必须为 00b。 01b = VCP/CPTH-SHx 开关被禁用。VCP/TCP 电荷泵时钟处于活动状态。无论 SPI ENABLE_DRV 如何，该位都有效。 10b = VCP/TCP 关断。VCP/CPTH-SHx 开关和 VCP/TCP 电荷泵时钟均被禁用。无论 SPI ENABLE_DRV 如何，该位都有效。 11b = VCP/TCP 正常运行。VCP/TCP 在上电时启用。当 SPI ENABLE_DRV 为 0 时，TCP SW 被禁用。
5-4	RESERVED	R	0b	保留
3-1	LOCK	R/W	011b	锁定和解锁寄存器设置 未列出的位设置无效。 011b = 解锁所有寄存器 110b = 锁定设置，除了这些位，忽略后续寄存器写入。
0	CLR_FLT	R/W	0b	清除故障。检测到故障事件并设置故障标志后，TI 建议在单独的 SPI 帧中首先发出 CLR_FLT 命令，然后发出 ENABLE_DRV 命令。如果在同一 SPI 帧中发出 CLR_FLT 和 ENABLE_DRV 命令，则 CLR_FLT 具有更高优先级；如果故障标志已锁存且器件正在等待 CLR_FLT，则系统不会设置 ENABLE_DRV。 0b = 无操作 1b = 清除故障。自行清除为 0b。

7.2.3 IC_CTRL3 寄存器（地址 = 1Ch）[复位 = 8009h]

表 7-13 展示了 IC_CTRL3。

返回到汇总表。

表 7-13. IC_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
15	SPI_CRC_EN	R/W	1b	SPI CRC 启用 0b = 禁用 SPI CRC。一个 SPI 帧为 8 位命令，16 位数据。 1b = 启用 SPI CRC。一个 SPI 帧为 8 位命令，16 位数据和 8 位 CRC。
14	WARN_MODE	R/W	0b	警告 nFAULT 模式；控制警告事件的 nFAULT 响应 0b = 无 nFAULT 报告用于警告响应。状态标志已设置。 1b = nFAULT 在警告响应时被驱动为低电平。状态标志已设置。
13	RESERVED	R	0b	保留
12	DIS_SSC	R/W	0b	TI 内部设计参数：除非 TI 通知，否则不需要进行任何更改。该位会禁用器件内部振荡器的展频时钟功能 0b = 正常运行。展频时钟 (SSC) 功能启用。 1b = 出于 TI 调试目的禁用展频时钟功能。
11	RESERVED	R	0b	保留
10	TCP_EN_DLY	R/W	0b	器件检测到 PWM 未处于活动状态后激活涓流电荷泵的延迟时间（INHx=INLx=低电平） 0b = 100us（典型值） 1b = 250us（典型值）

表 7-13. IC_CTRL3 寄存器字段说明（续）

位	字段	类型	复位	说明
9	DRVOFF_PDSEL_HS	R/W	0b	高侧栅极驱动器的 DROVFF 下拉选择 0b = 如果 DRVOFF 为高电平，则高侧栅极驱动器输出 GHx 为半有源下拉 (RPDSA_HS)。 1b = 如果 DRVOFF 为高电平，则高侧栅极驱动器输出 GHx 为无源下拉 (RPD_HS)。
8	DRVOFF_PDSEL_LS	R/W	0b	低侧栅极驱动器的 DROVFF 下拉选择 0b = 如果 DRVOFF 为高电平，则低侧栅极驱动器输出 GLx 为半有源下拉 (RPDSA_LS)。 1b = 如果 DRVOFF 为高电平，则低侧栅极驱动器输出 GLx 为无源下拉 (RPD_LS)。
7-4	RESERVED	R	0b	保留
3	OT_LVL	R/W	1b	过热关断阈值选择 0b = 1 级模式 1b = 0 级模式
2	RESERVED	R	0b	保留
1-0	OTSD_MODE	R/W	01b	过热关断模式 00b = 警告模式 01b = 故障（关断）模式 10b = 无报告。无关断。 11b = 无报告。无关断

7.2.4 GD_CTRL1 寄存器（地址 = 1Eh）[复位 = 0138h]

表 7-14 展示了 GD_CTRL1。

返回到汇总表。

表 7-14. GD_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留
14-12	PWM_MODE	R/W	000b	脉宽调制 (PWM) 模式。 000b = 6x PWM 模式 (INHx/INLx) 001b = 3x PWM 模式，带 INLx 启用控制 010b = 3x PWM 模式，带 SPI 启用控制 (DRVEN_x)。INLx 不会影响 PWM 控制。如果 PHC_OUTEN 为 1b，则 MCU 必须使用此模式来生成 PWM。 011b = 1x PWM 模式 (INHx/INLx) 100b = 被保留。 101b = SPI 栅极驱动模式。DRV_GHx 和 DRV_GLx 寄存器位有效。 110b = 6x PWM 模式 (INHx/INLx) 111b = 6x PWM 模式 (INHx/INLx)
11	RESERVED	R	0b	保留
10-9	SGD_MODE	R/W	00b	智能栅极驱动模式 00b = 具有固定峰值电流控制功能的智能栅极驱动。TDRVN_D 无效并被忽略。 01b = 具有动态峰值电流控制功能的智能栅极驱动。TDRVN_D 已启用。
8	SGD_TMP_EN	R/W	1b	启用智能栅极驱动的动态温度控制。 0b = 禁用 SGD 温度控制。IDRVP 和 IDRVN 是恒定的。 1b = 启用 SGD 温度控制。根据 DIE_TEMP 信息调整 IDRVP（300mA 或更高版本）和 IDRVN（600mA 或更高版本）。IDRIVx 调整由器件每 9ms 执行一次，或者当 SGD_TMP_EN 位从 0b 更改为 1b 时执行一次。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. GD_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
7	STP_MODE	R/W	0b	击穿保护报告模式 **备注** 除 PWM_MODE 000b 之外，STP_MODE 应设置为 1b，否则会报告错误的 STP_FLT 标志。 0b = 启用击穿保护。栅极驱动器输出在击穿条件下被强制设为低电平。当检测到这种条件时，系统设置 SPI 故障标志，nFAULT 引脚被驱动为低电平。仅对于 PWM_MODE 000b（6xPWM 模式），将 STP_MODE 设置为 0b。 1b = 启用击穿保护，但不执行报告。栅极驱动器输出在击穿条件下被强制设为低电平。未设置 SPI 故障标志，且当检测到这种条件时，nFAULT 引脚保持高电平。除 PWM_MODE 000b 之外，STP_MODE 应设置为 1b，以避免报告错误的 STP_FLT 标志。
6	RESERVED	R	0b	保留
5-3	DEADT	R/W	111b	栅极驱动器死区时间 000b = 70ns 001b = 200ns 010b = 300ns 011b = 500ns 100b = 750ns 101b = 1000ns 110b = 1500ns 111b = 2000ns
2	DEADT_MODE	R/W	0b	死区时间插入模式。 0b = 当器件输入（INHx 或 INLx）变为低电平时，插入死区时间。 1b = 通过监测栅极驱动器输出（GHx 或 GLx）来插入死区时间。
1-0	DEADT_MODE_6X	R/W	00b	死区时间违例响应模式仅适用于 6 PWM 模式。注意：除 6 PWM 模式之外，无论 DEADT_MODE 位如何，都始终插入死区时间，并且不会向 MCU 报告故障。 00b = 启用死区时间保护。在死区时间期间，栅极驱动器控制信号被强制设为低电平。当检测到死区时间条件时，会设置 SPI 故障标志并将 nFAULT 引脚驱动为低电平。 01b = 启用死区时间保护但不执行报告。在死区时间期间，栅极驱动器输出被强制设为低电平。当检测到死区时间条件时，系统绝不会设置 SPI 故障标志，nFAULT 引脚会保持高电平 10b = 禁用死区时间保护。未插入死区时间。未设置 SPI 故障标志，nFAULT1 引脚保持高电平。当 DEADT_MODE 为 0b（监测 INH 或 INL）和 1b（监测 GHx 或 GLx）时，这两种情况都适用。 11b = 启用死区时间保护并设置 SPI 故障，但不执行 nFAULT 报告。在死区时间期间，栅极驱动器输出被强制设为低电平。当检测到死区时间条件时，nFAULT 引脚保持高电平。

7.2.5 GD_CTRL2 寄存器（地址 = 1Fh）[复位 = 0717h]

表 7-15 展示了 GD_CTRL2。

返回到汇总表。

表 7-15. GD_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0b	保留

表 7-15. GD_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
11-8	TDRVP	R/W	0111b	峰值拉电流上拉驱动时序 0000b = 0.143us 0001b = 0.179us 0010b = 0.321us 0011b = 0.464us 0100b = 0.607us 0101b = 0.750us 0110b = 0.893us 0111b = 1.036us 1000b = 1.321us 1001b = 1.607us 1010b = 1.893us 1011b = 2.179us 1100b = 2.536us 1101b = 2.964us 1110b = 3.393us 1111b = 3.821us
7-4	TDRVN_D	R/W	0001b	峰值灌电流下拉预放电时序 0000b = 70ns 0001b = 140ns 0010b = 211ns 0011b = 281ns 0100b = 351ns 0101b = 421ns 0110b = 491ns 0111b = 561ns 1000b = 632ns 1001b = 702ns 1010b = 772ns 1011b = 842ns 1100b = 912ns 1101b = 982ns 1110b = 1053ns 1111b = 1123ns
3-0	TDRVN	R/W	0111b	峰值灌电流下拉驱动时序。请参阅 TDRVP

7.2.6 GD_CTRL3 寄存器（地址 = 21h）[复位 = 0700h]

表 7-16 展示了 GD_CTRL3。

返回到汇总表。

表 7-16. GD_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0b	保留
11-8	TDRVN_SDD	R/W	0111b	智能关断放电时序。请参见 TDRVN_D
7-6	RESERVED	R	0b	保留
5-0	IDRVN_SD	R/W	000000b	智能关断驱动电流。

7.2.7 GD_CTRL3B 寄存器（地址 = 22h）[复位 = 0000h]

表 7-17 展示了 GD_CTRL3B。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 7-17. GD_CTRL3B 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0b	保留
13-8	IDRVN_D_H	R/W	000000b	高侧栅极驱动器的峰值下拉预放电电流。请参阅 IDRIVE 的说明
7-6	RESERVED	R	0b	保留
5-0	IDRVN_D_L	R/W	000000b	低侧栅极驱动器的峰值下拉预放电电流。请参阅 IDRIVE 的说明

7.2.8 GD_CTRL4 寄存器（地址 = 23h）[复位 = 0000h]

表 7-18 展示了 GD_CTRL4。

返回到汇总表。

表 7-18. GD_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
15	PWM1X_COM	R/W	0b	1x PWM 换向控制 0b = 1x PWM 模式使用同步整流 1b = 1x PWM 模式使用异步整流
14	PWM1X_DIR	R/W	0b	1x PWM 方向。在 1x PWM 模式下，该位与 INHC (DIR) 输入进行或运算
13-12	PWM1X_BRAKE	R/W	00b	1x PWM 输出配置 00b = 输出跟随命令输入 01b = 导通全部三个低侧 MOSFET 10b = 导通全部三个高侧 MOSFET 11b = 关断所有六个 MOSFET（滑行）
11-10	RESERVED	R	0b	保留
9	IDRVP_CFG	R/W	0b	IDRVP 配置模式 0b = IDRVP 寄存器无效并被忽略。如果 IDRVN 在 000000b (0.7mA) - 100011b (247mA) 的范围内，则 IDRV_RATIO 用于确定 IDRVP 参数。如果 IDRVN 为 100100b (600mA) - 101100b (2000mA)，则 IDRVP 使用与 IDRVN 相同的设置。例如，如果 IDRVN 设置为 100100b (600mA)，则 IDRVP 为 100100b (300mA)，其中上拉电流通常为下拉电流的一半。 1b = IDRVP 寄存器用于确定 IDRVP 参数。IDRV_RATIO 无效并被忽略。
8	IHOLD_SEL	R/W	0b	选择 IHOLD 上拉电流和下拉电流。必须在 PWM 未处于活动状态（ENABLE_DRV 为 0b）时配置 IHOLD_SEL 位。 0b = IHOLD 上拉/下拉 500mA/1000mA（典型值） 1b = IHOLD 上拉/下拉 260mA/260mA（典型值）
7-6	RESERVED	R	0b	保留
5	DRV_GHA	R/W	0b	通过 SPI 命令驱动 GHA。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHA 被驱动为低电平 1b = GHA 被驱动为高电平
4	DRV_GHB	R/W	0b	通过 SPI 命令驱动 GHB。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHB 被驱动为低电平 1b = GHB 被驱动为高电平
3	DRV_GHC	R/W	0b	通过 SPI 命令驱动 GHC。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHC 被驱动为低电平 1b = GHC 被驱动为高电平

表 7-18. GD_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
2	DRV_GLA	R/W	0b	通过 SPI 命令驱动 GLA。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GLA 被驱动为低电平 1b = GLA 被驱动为高电平
1	DRV_GLB	R/W	0b	通过 SPI 命令驱动 GLB。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GLB 被驱动为低电平 1b = GLB 被驱动为高电平
0	DRV_GLC	R/W	0b	通过 SPI 命令驱动 GLC。PWM_MODE = 101b（SPI 栅极驱动模式）。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GLC 被驱动为低电平 1b = GLC 被驱动为高电平

7.2.9 GD_CTRL5 寄存器（地址 = 24h）[复位 = 0007h]

表 7-19 展示了 GD_CTRL5。

返回到汇总表。

表 7-19. GD_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0b	保留
2	DRVEN_A	R/W	1b	DRVEN_A = 0 通过无关断序列的有源下拉强制将 GHA 和 GLA 设为低电平。该位对任何 PWM_MODE 设置都有效。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHA 和 GLA 被主动下拉（低电平）。ENABLE_DRV 不受该位影响。 1b = 无影响。系统通常根据 PWM_MODE 设置来控制 GHA 和 GLA。
1	DRVEN_B	R/W	1b	DRVEN_B = 0 通过无关断序列的有源下拉强制将 GHB 和 GLB 设为低电平。该位对任何 PWM_MODE 设置都有效。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHB 和 GLB 被主动下拉（低电平）。ENABLE_DRV 不受该位影响。 1b = 无影响。系统通常根据 PWM_MODE 设置来控制 GHB 和 GLB。
0	DRVEN_C	R/W	1b	DRVEN_C = 0 通过无关断序列的有源下拉强制将 GHC 和 GLC 设为低电平。该位对任何 PWM_MODE 设置都有效。当 ENABLE_DRV 为 1b 时，该位有效。 0b = GHC 和 GLC 被主动下拉（低电平）。ENABLE_DRV 不受该位影响。 1b = 无影响。系统通常根据 PWM_MODE 设置来控制 GHC 和 GLC。

7.2.10 GD_CTRL6 寄存器（地址 = 25h）[复位 = 0000h]

表 7-20 展示了 GD_CTRL6。

返回到汇总表。

表 7-20. GD_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0b	保留

Copyright © 2025 Texas Instruments Incorporated

表 7-20. GD_CTRL6 寄存器字段说明（续）

位	字段	类型	复位	说明
13-8	IDRVP_H	R/W	000000b	高侧峰值供电上拉电流。如果 IDRVP_CFG = 1b，则 IDRVP_H 有效。如果 IDRVP_CFG = 0b，则 IDRVP_H 无效并被忽略。
7-6	RESERVED	R	0b	保留
5-0	IDRVP_L	R/W	000000b	低侧峰值供电上拉电流。如果 IDRVP_CFG = 1b，则 IDRVP_L 有效。如果 IDRVP_CFG = 0b，则 IDRVP_H 无效并被忽略。

7.2.11 GD_CTRL7 寄存器（地址 = 26h）[复位 = 0000h]

表 7-21 展示了 GD_CTRL7。

返回到汇总表。

表 7-21. GD_CTRL7 寄存器字段说明

位	字段	类型	复位	说明
15-14	IDRV_RATIO_H	R/W	00b	高侧 IDRVP 与 IDRVN 比率。如果 IDRVP_CFG = 0b 并且 IDRVN_H 的范围为 00000b (0.7mA) 至 100011b（典型值 247mA），则 IDRV_RATIO_H 有效。如果 IDRVN_H 为 100100b(600mA) 或更高参数，则 IDRIVE_RATIO_H 不会影响栅极驱动器性能。如果 IDRVP_CFG = 1b，则 IDRV_RATIO_H 无效并被忽略。 00b = IDRVP 为 IDRVN x 1 01b = IDRVP 为 IDRVN x 0.75 10b = IDRVP 为 IDRVN x 0.5 11b = IDRVP 为 IDRVN x 0.25
13-8	IDRVN_H	R/W	000000b	高侧峰值受电下拉电流。请参阅电气特性表，IDRVN 参数。
7-6	IDRV_RATIO_L	R/W	00b	低侧 IDRVP 与 IDRVN 比率。如果 IDRVP_CFG = 0b 并且 IDRVN_H 的范围为 00000b (0.7mA) 至 100011b（典型值 247mA），则 IDRV_RATIO_L 有效。如果 IDRVN_H 为 100100b(600mA) 或更高设置，则 IDRIVE_RATIO_L 不会影响栅极驱动器性能。如果 IDRVP_CFG = 1b，则 IDRV_RATIO_L 无效并被忽略。 00b = IDRVP 为 IDRVN x 1 01b = IDRVP 为 IDRVN x 0.75 10b = IDRVP 为 IDRVN x 0.5 11b = IDRVP 为 IDRVN x 0.25
5-0	IDRVN_L	R/W	000000b	低侧峰值受电下拉电流。请参阅电气特性表，IDRVN 参数。

7.2.12 CSA_CTRL 寄存器（地址 = 29h）[复位 = 0000h]

表 7-22 中显示了 CSA_CTRL。

返回到汇总表。

表 7-22. CSA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	AREF_DIV	R/W	0b	VREF 分压比 0b = 1/2 1b = 1/8
14-12	RESERVED	R	0b	保留

表 7-22. CSA_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
11-8	CSA_GAIN_A	R/W	0000b	SOA 的 CSA 增益。可以在 PWM 运行期间更新增益。未定义设置 (1001b - 1111b) 为 40。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40
7-4	CSA_GAIN_B	R/W	0000b	SOB 的 CSA 增益。可以在 PWM 运行期间更新增益。未定义设置 (1001b - 1111b) 为 40。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40
3-0	CSA_GAIN_C	R/W	0000b	SOC 的 CSA 增益。可以在 PWM 运行期间更新增益。未定义设置 (1001b - 1111b) 为 40。 0000b = 5 0001b = 10 0010b = 12 0011b = 16 0100b = 20 0101b = 23 0110b = 25 0111b = 30 1000b = 40

7.2.13 MON_CTRL1 寄存器（地址 = 2Bh）[复位 = 4002h]

表 7-23 展示了 MON_CTRL1。

返回到汇总表。

表 7-23. MON_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
15-14	VDRAIN_OV_LVL	R/W	01b	VDRAIN 过压阈值电平 00b = 29.5V（典型值） 01b = 34.5V（典型值） 10b = 53.5V（典型值） 11b = 53.5V（典型值）
13	VDRAIN_MON_MODE	R/W	0b	VDRAIN 监测模式，用于监测欠压和过压 0b = 警告模式 1b = 故障模式
12	BST_OV_MODE	R/W	0b	BST 引脚过压监测模式 0b = 警告模式 1b = 故障模式
11	BST_UV_LATCH	R/W	0b	BST 引脚欠压锁存模式 0b = BST_UV 是实时监测器。当 VBST 超过 VBST_UV 阈值时，BST_UV 清除为 0b。忽略 BST_UV_MODE。 1b = 当检测到欠压条件时，BST_UV 被锁存。

Copyright © 2025 Texas Instruments Incorporated

表 7-23. MON_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
10	BST_UV_MODE	R/W	0b	BST 引脚监测模式。如果 BST_UV_LATCH 为 1b，则 BST_UV_MODE 确定警告模式或故障模式。请参阅 BST_UV_LATCH 寄存器位。 0b = 警告模式 1b = 故障模式
9	BST_UV_LVL	R/W	0b	BST 引脚欠压阈值电平 V_{BST_UV} 0b = 4.2V（典型值） 1b = 7.2V（典型值）
8	DVDD_OV_MODE	R/W	0b	过压监测的 DVDD 监测模式 0b = 警告模式 1b = 故障模式
7	GVDD_OV_MODE	R/W	0b	过压监测的 GVDD 监测模式 0b = 警告模式 1b = 故障模式
6	GVDD_UV_MODE	R/W	0b	欠压监测的 GVDD 监测模式 0b = 警告模式 1b = 故障模式
5	VCP_OV_MODE	R/W	0b	过压监测的 VCP 监测模式 0b = 警告模式 1b = 故障模式
4	VCP_UV_MODE	R/W	0b	欠压监测的 VCP 监测模式 0b = 警告模式 1b = 故障模式
3	PVDD_UVW_LVL	R/W	0b	PVDD UV 警告阈值电平
2-1	PVDD_OV_LVL	R/W	01b	PVDD OV 阈值电平
0	PVDD_OV_MODE	R/W	0b	PVDD OV 阈值监测模式 0b = 警告模式 1b = 故障模式

7.2.14 MON_CTRL2 寄存器（地址 = 2Ch）[复位 = 1101h]

表 7-24 展示了 MON_CTRL2。

返回到汇总表。

表 7-24. MON_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
15-14	VDS_MODE	R/W	00b	VDS 过流模式 00b = 警告模式。 01b = 故障模式。 10b = 保留 11b = 无报告。无关断。
13-11	VDS_BLK	R/W	010b	VDS 过流消隐时间
10-8	VDS_DEG	R/W	001b	VDS 过流抗尖峰脉冲时间
7-6	VGS_MODE	R/W	00b	VGS 监测模式 00b = 警告模式。 01b = 故障模式。 10b = 保留 11b = 无报告。无关断。
5-3	VGS_BLK	R/W	000b	VGS 监测消隐时间
2-0	VGS_DEG	R/W	001b	VGS 监测抗尖峰脉冲时间

Copyright © 2025 Texas Instruments Incorporated

7.2.15 MON_CTRL3 寄存器（地址 = 2Dh）[复位 = 003Bh]

表 7-25 展示了 MON_CTRL3。

返回到汇总表。

表 7-25. MON_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0b	保留
8	VGS_LVL	R/W	0b	当 INLx/INHx = 高电平时，栅极电压监测阈值电平。$V_{GS_LVL_H}$ 0b = 5.7V（典型值） 1b = 7.7V（典型值）
7-6	SNS_OCP_MODE	R/W	00b	V_{SENSE} 过流保护的监测模式（Rshunt 监测器） 00b = 警告模式。 01b = 故障模式。 10b = 保留 11b = 无报告。无关断。
5-3	SNS_OCP_LVL	R/W	111b	V_{SENSE} 过流保护的阈值电压（Rshunt 监测器） 000b = 50mV（典型值） 001b = 75mV（典型值） 010b = 100mV（典型值） 011b = 125mV（典型值） 100b = 150mV（典型值） 101b = 200mV（典型值） 110b = 300mV（典型值） 111b = 500mV（典型值）
2	RESERVED	R	0b	保留
1-0	SNS_OCP_DEG	R/W	11b	V_{SENSE} 过流保护的抗尖峰脉冲时间（Rshunt 监测器） 00b = 2.0us（典型值） 01b = 4.0us（典型值） 10b = 6.0us（典型值） 11b = 10.0us（典型值）

7.2.16 MON_CTRL4 寄存器（地址 = 2Eh）[复位 = 0000h]

表 7-26 展示了 MON_CTRL4。

返回到汇总表。

表 7-26. MON_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0b	保留
5	WDT_FLT_MODE	R/W	0b	看门狗时间故障模式 0b = 在 nFAULT 上报告。无栅极驱动器关断。 1b = 在 nFAULT 上报告。栅极驱动器关断。
4	WDT_CNT	R/W	0b	看门狗时间故障计数 0b = 一次 WDT 故障报告状态标志并将 nFAULT1 引脚置为低电平。 1b = 三个连续故障报告状态标志并将 nFAULT 引脚置为低电平。在检测到三个连续故障后，内部计数器清零。如果 WDT_EN 被清除为 0b，也可以将内部计数器清零。
3	WDT_MODE	R/W	0b	看门狗时间模式 0b = 任何有效的读取访问会将看门狗计时器复位 1b = 对 SPI_TEST 的有效写入访问会将看门狗计时器复位
2-1	WDT_W	R/W	00b	看门狗计时器窗口 t_{WDL}（下窗口）和 t_{WDU}（上窗口） 00b = tWDL 0.5ms tWDU 10ms 01b = tWDL 1ms tWDU 20ms 10b = tWDL 2ms tWDU 40ms 11b = tWDL 2ms tWDU 40ms

Copyright © 2025 Texas Instruments Incorporated

表 7-26. MON_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
0	WDT_EN	R/W	0b	看门狗时间启用 0b = 看门狗计时器禁用 1b = 看门狗计时器启用

7.2.17 SPI_TEST 寄存器（地址 = 36h）[复位 = 0000h]

表 7-27 中显示了 SPI_TEST。

返回到汇总表。

表 7-27. SPI_TEST 寄存器字段说明

位	字段	类型	复位	说明
15-0	SPI_TEST	R/W	0000000000000000b	SPI 测试寄存器。对该寄存器的写入访问对器件运行没有影响。

7.2.18 OTP_USR 寄存器（地址 = 48h）[复位 = 0000h]

表 7-28 中显示了 OTP_USR。

返回到汇总表。

表 7-28. OTP_USR 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0b	保留
4	OTP_USR_P_VER	R/W	0b	启用用户 OTP 程序的存储器验证。该位在用户对用户 OTP 进行编程后使用。MCU 将等待至器件将该位清零，然后 MCU 必须检查 OTP_USR_CRC_FLT 以获取验证结果。OTP_USR_PRG 和 OTP_USR_P_VER 绝不能同时设置为 1b。 0b = 用户 OTP 验证未处于活动状态 1b = 用户 OTP 验证被启用并处于活动状态。器件自动运行 CRC，如果用户 OTP 验证失败，则 OTP_USR_CRC_FLT 状态位设置为 1b。
3-1	OTP_USR_P_ACC	R/W	000b	对用户 OTP 程序和用户 OTP 验证的访问控制。除非按顺序写入以下值：0x2、0x1、0x4，否则 OTP_USR_PRG 位的写访问将不可用。任何其他未定义的值都将被忽略，并复位内部序列逻辑。如果序列值被接受，则器件返回读取 0x7。在器件接受该序列（读取 = 0x7）后，对该寄存器的任何写入访问（包括 0x2、0x1、0x4）都会将序列逻辑（读取 = 0x0）复位。 000b = 如果序列逻辑被复位，则读取返回的数据。 001b = 要在序列中输入的第 2 个数据 010b = 要在序列中输入的第 1 个数据 100b = 要在序列中输入的第 3 个数据 111b = 如果器件接受序列命令，则读取返回的数据，并允许对 OTP_USR_PRG 进行写访问。
0	OTP_USR_PRG	W	0b	对用户 OTP 进行编程。MCU 将该位设置为 1 以启用 OTP 程序。MCU 将等待至器件将该位清零。OTP_USR_PRG 和 OTP_USR_P_VER 绝不能同时设置为 1b。当 OTP_USR_PRG 设置为 1 时，应相应地配置以下 SPI 寄存器位；ENABLE_DRV=0、ADC_EN=0、ADC_EN2=0、PWSPI_EN=0、WDT_EN=0、VCP_MODE=11、CLKMON_EN=0、DRVEN_A=0、DRVEN_B=0、DRVEN_C=0、CSA_EN=0、GVDD_MODE=1。 0b = 用户 OTP 程序未处于活动状态。 1b = 用户 OTP 程序被启用并处于活动状态。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

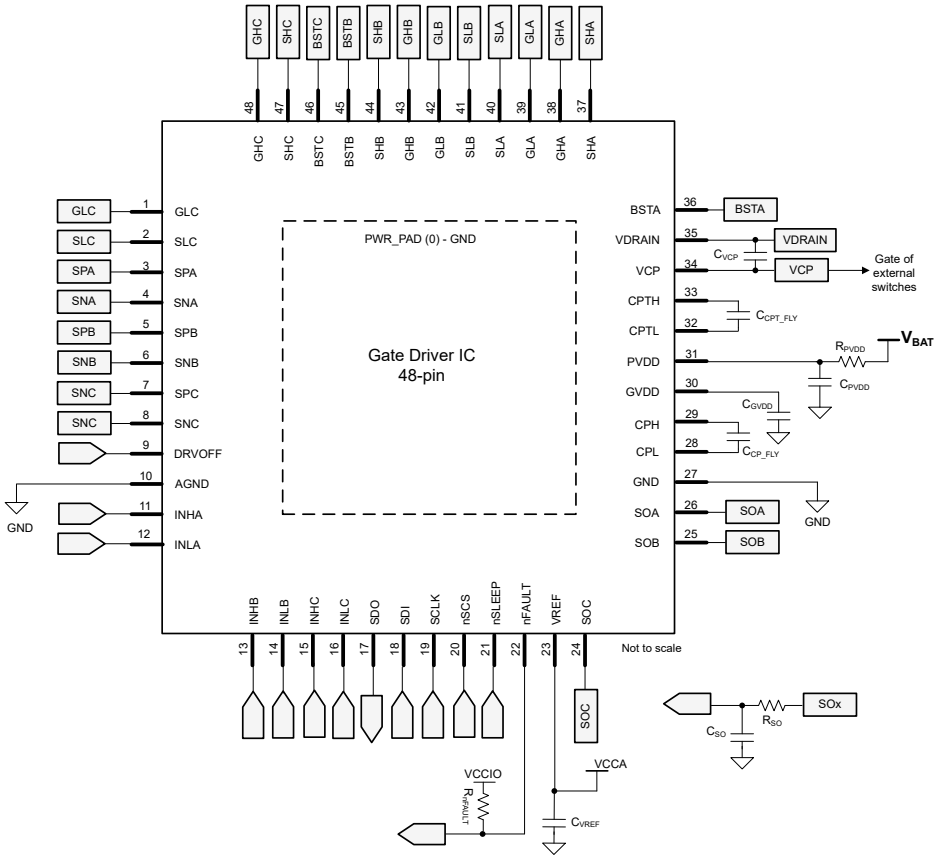
DRV8334-Q1 主要用于三相无刷直流电机控制应用。*节 8.2* 部分中的设计过程重点介绍了如何使用和配置 DRV8334-Q1 器件。

8.2 典型应用

8.2.1 48 引脚封装的典型应用

此图显示了 DRV8334-Q1 48 引脚封装的典型应用。

Copyright © 2025 Texas Instruments Incorporated


GHC
SHC
BSTC
BSTB
SHB
GHB
GLB
SLB
SLA
GLA
GHA
SHA
48
47
46
45
44
43
42
41
40
39
38
37
GLC
SLC
SPA
SNA
SPB
SNB
SNC
SNC
DRVOFF
AGND
INHA
INLA
GND
1
2
3
4
5
6
7
8
9
10
11
12
PWR_PAD (0) - GND
Gate Driver IC
48-pin
BSTA
VDRAIN
VCP
CPTH
CPTL
PVDD
GVDD
CPH
CPL
GND
SOA
SOB
36
35
34
33
32
31
30
29
28
27
26
25
CVCP
Gate of external switches
CCPT_FLY
VBAT
RPVDD
CPVDD
CGVDD
CCP_FLY
INHB
INLB
INHC
INLC
SDO
SDI
SCLK
nSCS
nSLEEP
nFAULT
VREF
SOC
13
14
15
16
17
18
19
20
21
22
23
24
Not to scale
SOx
RSO
CSO
VCCIO
RnFAULT
VCCA
CVREF

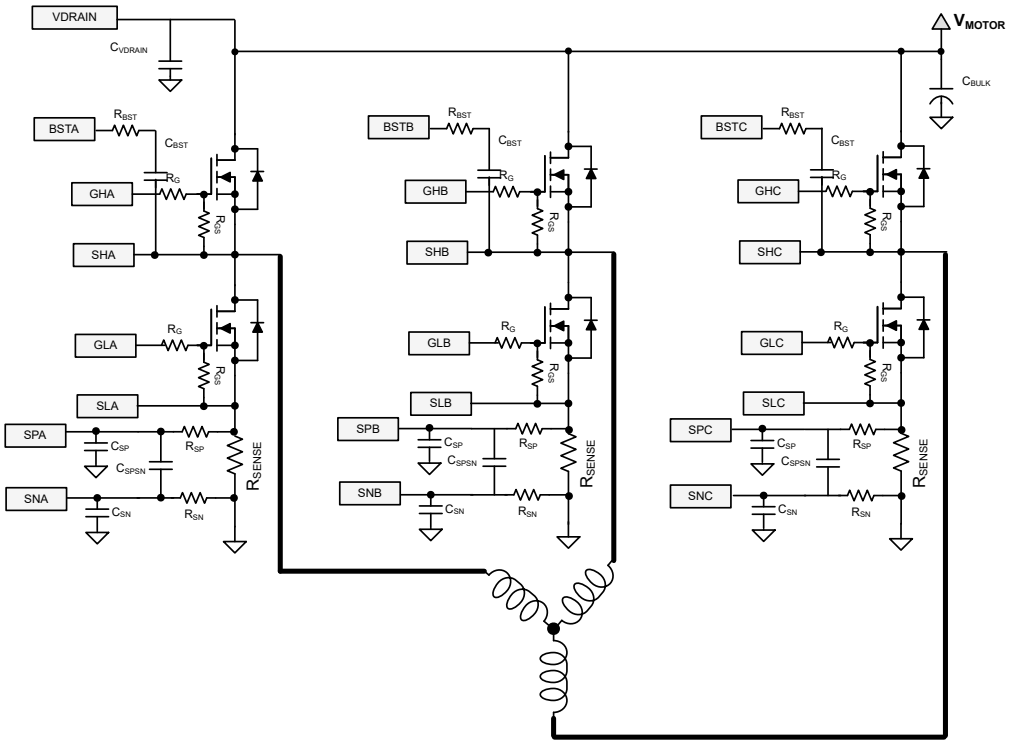

VDRAIN
CVDRAIN
VMOTOR
CBULK
BSTA
RBST
CBST
RG
GHA
RGS
SHA
GLA
SLA
SPA
CSP
CSPSN
RSP
SNA
CSN
RSN
RSENSE
BSTB
GHB
SHB
GLB
SLB
SPB
SNB
BSTC
GHC
SHC
GLC
SLC
SPC
SNC

图 8-1.

8.2.1.1 外部组件

“外部元件”部分列出了推荐使用的外部元件。请注意，以下电容被视为标称条件下的有效电容。在选择这些元件时，请考虑直流降额的影响。

表 8-1. 外部元件（48 引脚封装）

元件	PIN1	PIN2	推荐
R_{PVDD}	V_{BAT}	PVDD	可选：1Ω（或更小）串联电阻器
C_{PVDD}	PVDD	GND	额定电压适配 PVDD 的 10μF 陶瓷电容器。
C_{GVDD}	GVDD	GND	额定电压适配 GVDD 的 10μF 陶瓷电容器。
C_{CP_FLY}	CPH	CPL	额定电压适配 GVDD 电压的 1.0μF 陶瓷电容器
C_{CPT_FLY}	CPTH	CPTL	额定电压适配 GVDD 电压的 1.0μF 陶瓷电容器
C_{VCP}	VCP	VDRAIN	额定电压适配 VCP 电压的 1.0μF 陶瓷电容器
R_{nFAULT}	VCCIO	nFAULT	10kΩ 上拉 MCU I/O 电源
C_{VREF}	VREF	GND	额定电压为 VREF 的 0.1μF 陶瓷电容器
C_{BULK}	V_{MOTOR}	GND	100μF - 1000μF 的额定电压需适配 V_{MOTOR}；具体取决于系统配置
C_{VDRAIN}	VDRAIN	GND	1μF 的额定电压需适配 VDRAIN
C_{BST}	BSTx	SHx	在 BSTx 和 SHx 之间的 1.0μF、20V 陶瓷电容器，具体取决于外部 MOSFET Q_g 的总栅极电荷。$C_{BST} > 20 \times Q_g / (V_{GHX} - V_{SHx})$
R_{BST}	BSTx	SHx	可选：BSTx 和 SHx 之间的 2Ω 串联电阻器有助于防止 SHx 引脚上出现大负瞬变电压时的 C_{BST} 过充。
R_G	GHx、GLx	外部旁 MOSFET 的栅极	可选：GHx/GLx 与外部 MOSFET 的栅极之间的 3Ω 串联电阻器。
R_{GS}	GHx、GLx	外部 MOSFET 的源极	GHx/GLx 与外部 MOSFET 的源极之间的 100kΩ 下拉电阻器。
R_{SENSE}	SPx	SNx	用于电流感测放大器的 0.5mΩ 分流电阻器。系统设计参数。
R_{SO}	MCU ADC	SOx	电流感测放大器输入滤波器为 160Ω
C_{SO}	MCU ADC	GND	用于电流感测放大器输入滤波器、额定电压适配 AREF 的 470pF 陶瓷电容器
R_{SP}、R_{SN}	SPx/SNx	R_{SENSE}	可选：电流检测放大器输入滤波器为 10Ω。
C_{SPSN}	SPx	SNx	可选：用于电流检测放大器输入滤波器的 1nF 陶瓷电容器。
C_{SP}、C_{SN}	SPx/SNx	GND	可选：用于电流检测放大器输入滤波器的 1nF 陶瓷电容器。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 应用曲线

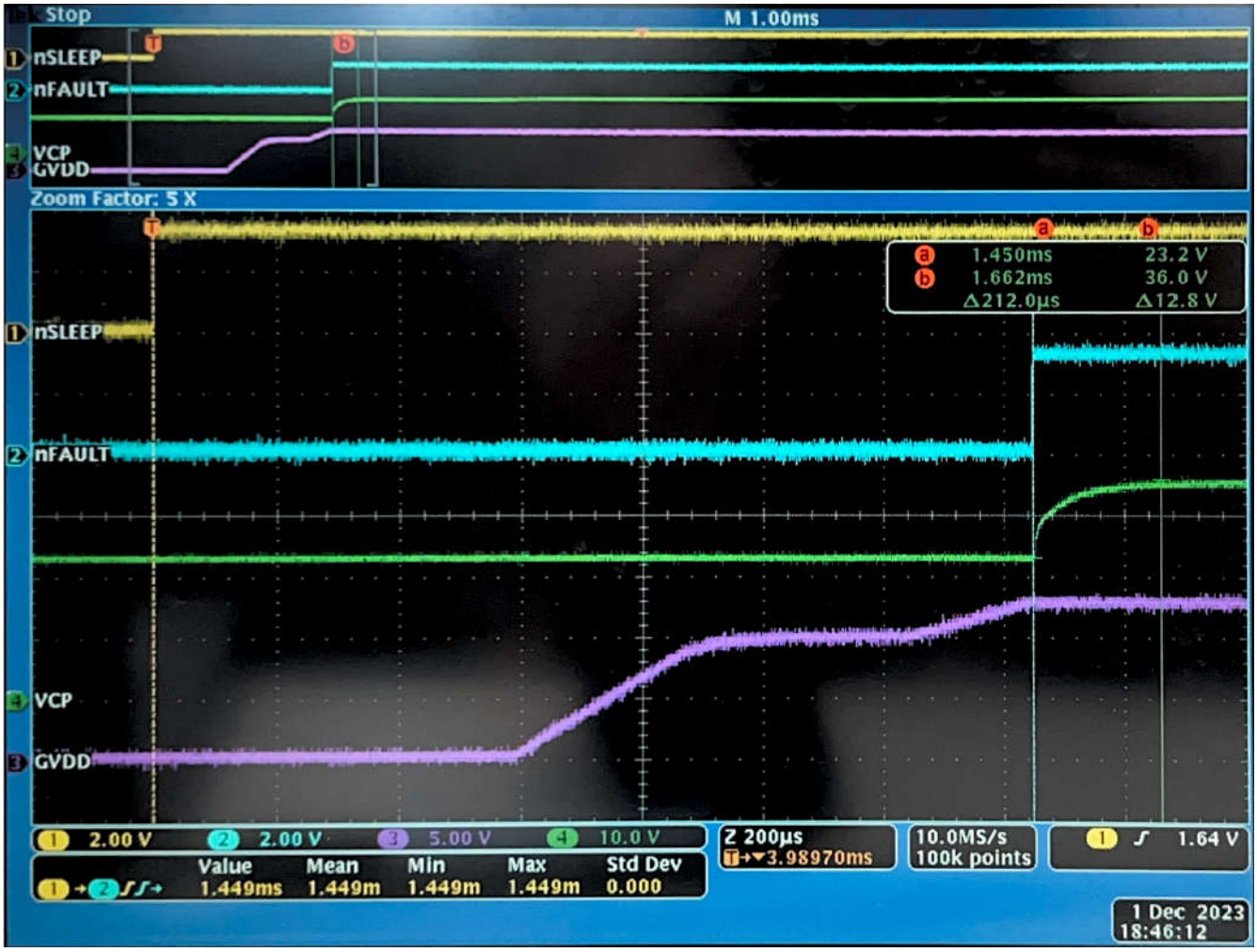


图 8-2. 器件上电

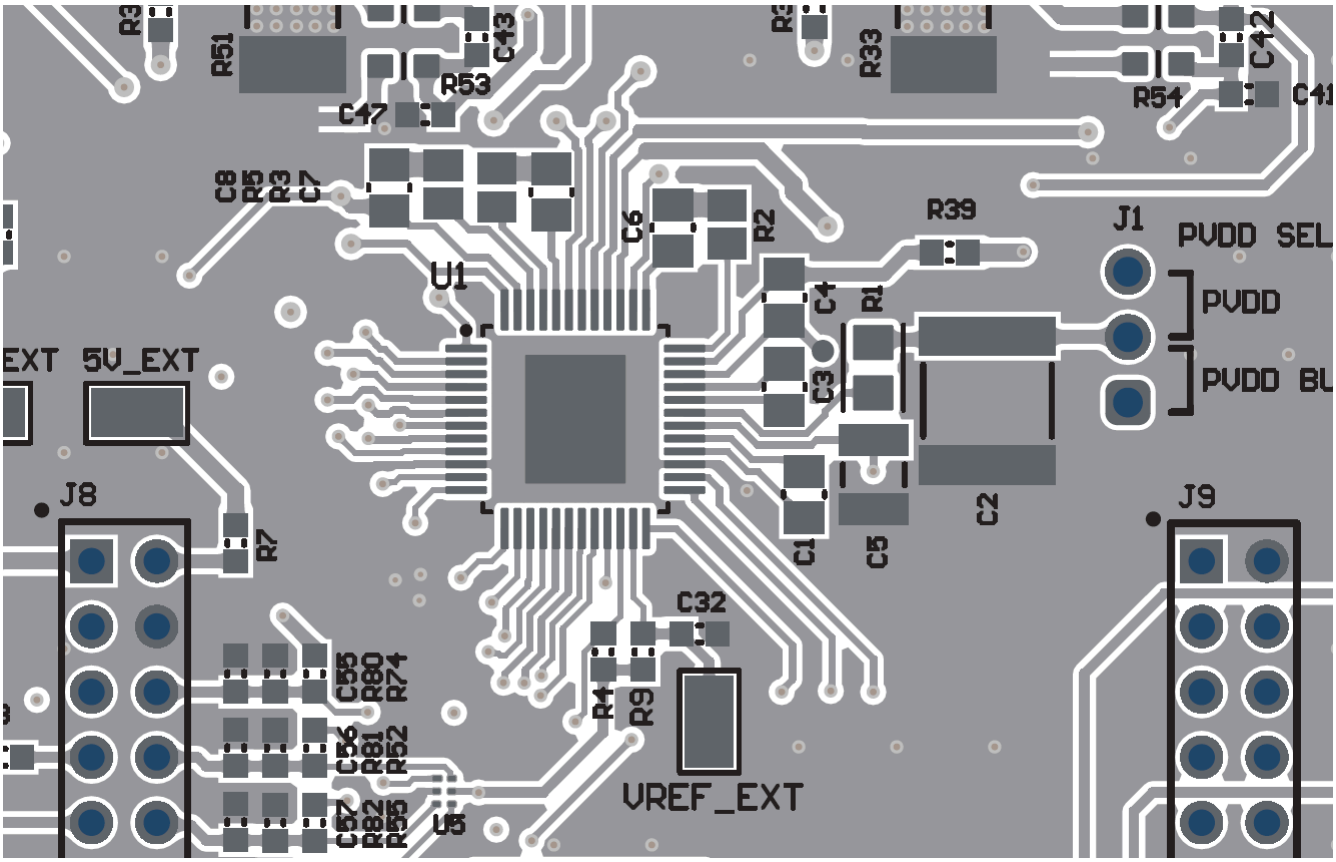
8.3 布局

8.3.1 布局指南

- 尽量减小 GHx、SHx、GLx 和 SLx 布线的长度和阻抗。使用尽可能少的过孔来更大限度地减小寄生电感。TI 建议在从器件引脚引开后尽快增加这些布线的宽度，以便尽可能减小寄生电阻。
- 使 BSTx 电容器靠近各自引脚
- 使 CPH/CPL 飞跨电容器尽可能靠近器件引脚
- 使 PVDD 电容器保持靠近 PVDD 引脚
- 使 VDRAIN 电容器保持靠近 VDRAIN 引脚，以便为电荷泵提供稳定的开关电流。
- 需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。该大容量电容的放置方法是尽可能缩短流经外部 MOSFET 的大电流路径的长度。连接金属走线尽可能宽，并具有许多连接 PCB 层的过孔。这些做法尽可能地减小了电感并使大容量电容器提供高电流。
- 将 SLx 引脚连接到 MOSFET 源极，而不是直接连接到 GND，从而实现精确的 VDS 检测。
- 从感测电阻器到器件，以并联方式为 SNx/SPx 引脚布线。将滤波元件放置在靠近器件引脚的位置，以便尽可能减少后置滤波器噪声耦合。使 SNx/SPx 与 GND 平面保持分离，以便实现出色的 CSA 精度。VREF 和 GND 上的旁路电容器放置在更靠近器件引脚的位置。

- 该外露焊盘用于散热，而不是电气接地，且与 GND/AGND 引脚的连接具有高阻抗性。因此，TI 建议将外露焊盘连接到最佳散热 GND，并将 GND/AGND 引脚连接到 MCU 基准 GND。

8.3.2 布局示例



Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI)，*了解智能栅极驱动（修订版 D）*应用报告
- 德州仪器 (TI)，无刷直流电机驱动器注意事项和选择指南（修订版 A）应用报告
- 德州仪器 (TI)，*在电机应用中设计高侧和三相隔离器 MOSFET 电路*应用手册
- 德州仪器 (TI)，*电机驱动器电路板布局布线最佳实践（修订版 B）*应用手册
- 德州仪器 (TI)，*PowerPAD™ 热增强型封装*应用报告
- 德州仪器 (TI)，*PowerPAD™ 速成*应用报告
- 德州仪器 (TI)，*采用 MSP430 的传感器式三相 BLDC 电机控制*应用报告
- 德州仪器 (TI)，采用 BLDC 电机的电动自行车硬件设计注意事项 应用报告

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 社区资源

9.4 商标

所有商标均为其各自所有者的财产。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2023) to Revision A (May 2025)	Page
• 将 DRV3233EPHP 的器件状态更新为量产数据。	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8334EPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	DRV8334E
DRV8334QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8334Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8334-Q1 :

- Catalog : DRV8334

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

GENERIC PACKAGE VIEW

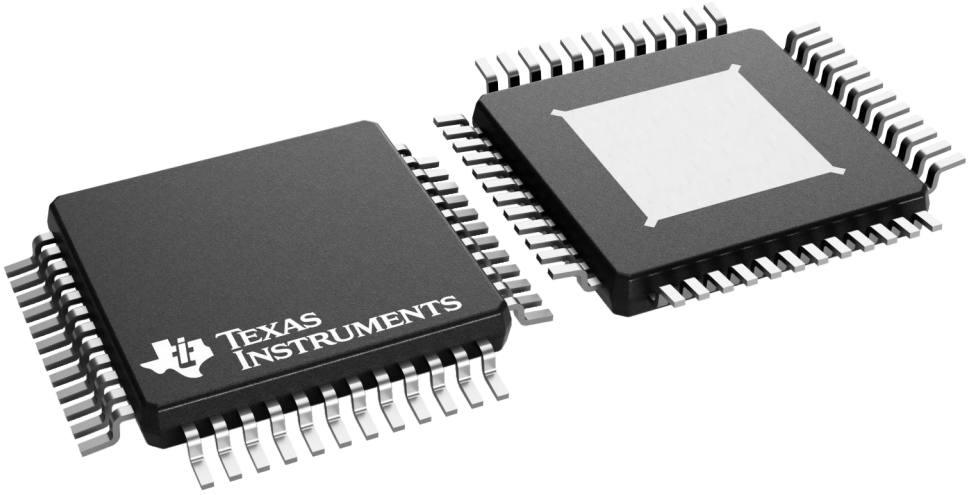
PHP 48

TQFP - 1.2 mm max height

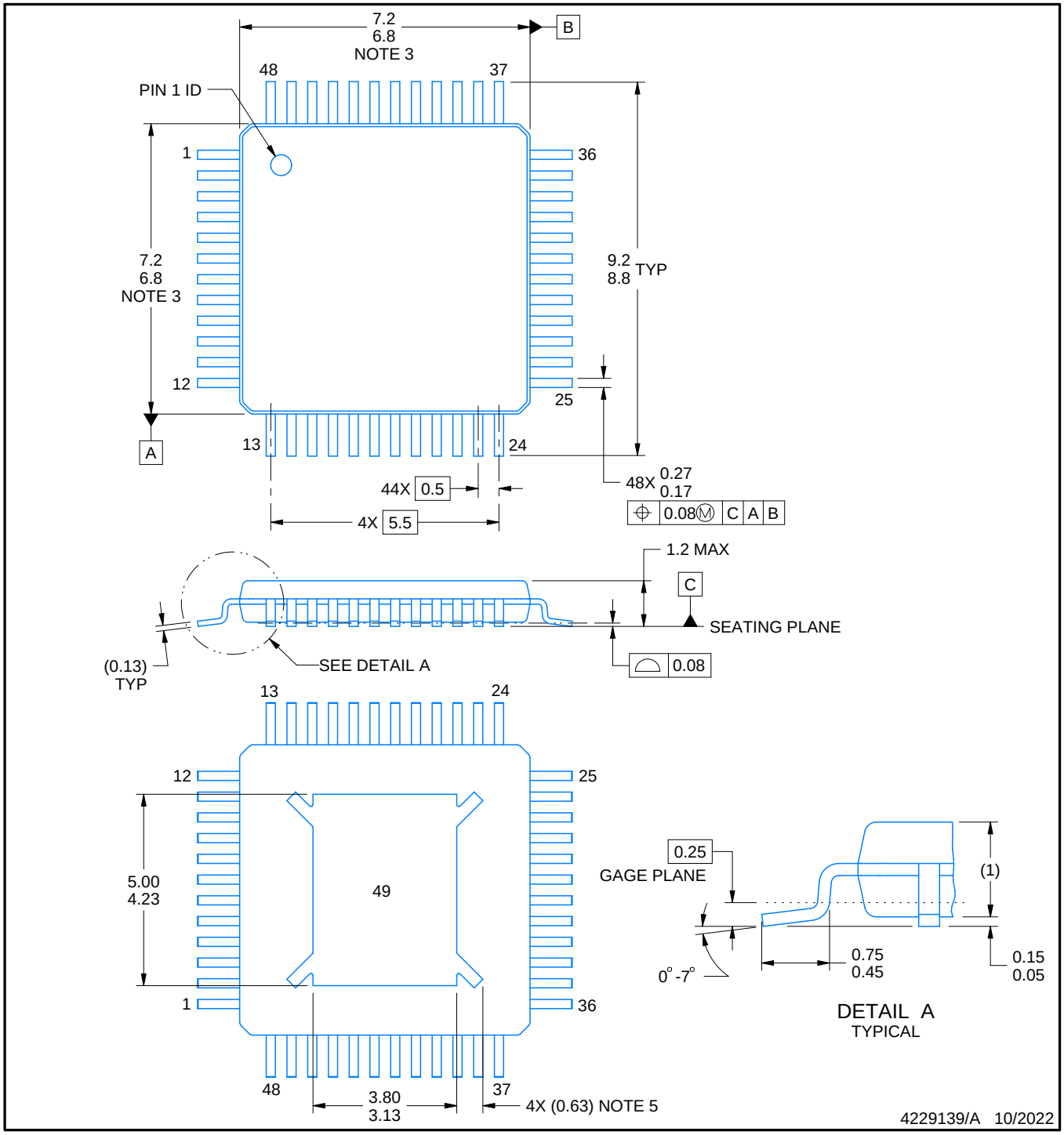
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



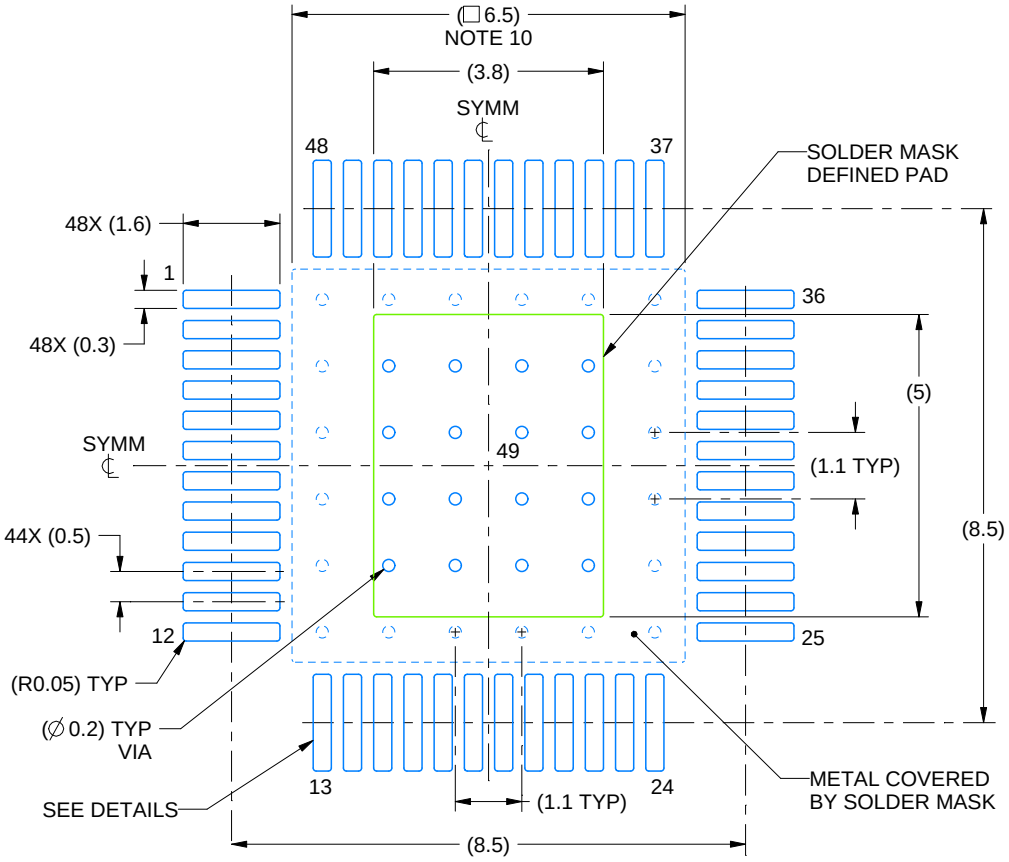
4226443/A



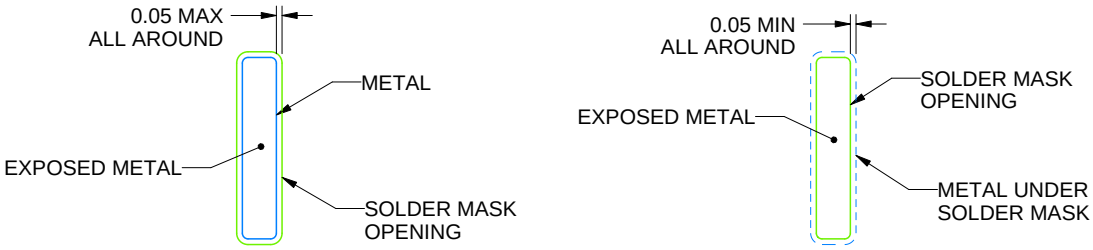
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



NON SOLDER MASK
DEFINED

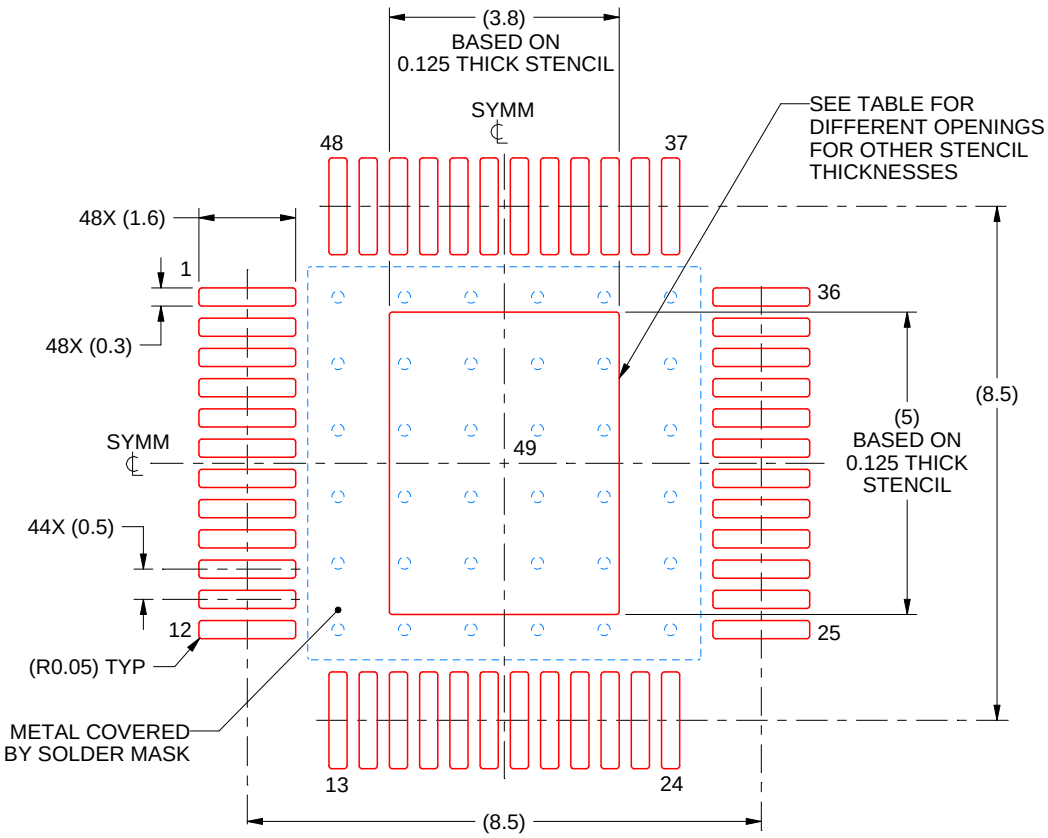
SOLDER MASK DETAILS

SOLDER MASK
DEFINED

4229139/A 10/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 5.59
0.125	3.80 X 5.00 (SHOWN)
0.150	3.47 X 4.56
0.175	3.21 X 4.23

4229139/A 10/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月