具有集成电流检测和诊断功能的、DRV8163-Q1 汽车级 65V 及半桥驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- **4.5V 至 65V（最大绝对值为 70V）**工作电压范围
- MOSFET 导通电阻 (HS + LS)：**43mΩ**
- 最大输出电流 = **40A**
- 2 个接口选项 - **HW 或 SPI**
- PWM 工作频率高达 100kHz，具有自动死区时间断言
- 可配置压摆率和适用于低电磁干扰 (EMI) 的展频时钟
- 集成电流检测（无需使用分流电阻器）
- **IPROPI** 引脚上的比例负载电流输出
- IPROPI 引脚上的内核温度监测（仅限 SPI）
- 可配置的电流调节
- 具有可配置故障反应（锁存或重试）的保护和诊断性能
  - 在断开状态和导通状态下进行负载诊断，以检测开路负载和短路
  - 电源 (VM) 上的电压监控
  - 过流保护
  - 过热警告（仅限 SPI）
  - 过热保护
  - **断电制动**
  - nFAULT 引脚上的故障指示
- 支持 1.8V、3.3V、5V 逻辑输入
- 低睡眠电流：25°C 下的典型值为 7μA
- 器件系列比较表

2 应用

- 24V 和 48V 汽车车身系统
- 汽车类有刷直流电机、电磁阀
- 车门模块、后视镜模块、雨刮器模块和座椅模块
- 后备箱升降器、车窗升降器
- 转向柱、天窗遮阳帘
- 电动汽车、卡车、公共汽车和其他商用车辆

3 说明

DRV8163-Q1 是一款适用于 24V 和 48V 汽车应用的宽电压、高功率、全集成半桥驱动器。该功率封装器件采用 BiCMOS 大功率工艺技术节点设计，提供了出色的电源处理能力和热性能，不仅封装尺寸小巧、易于布局，还可提供 EMI 控制、精确电流检测和诊断功能，稳健性较高。

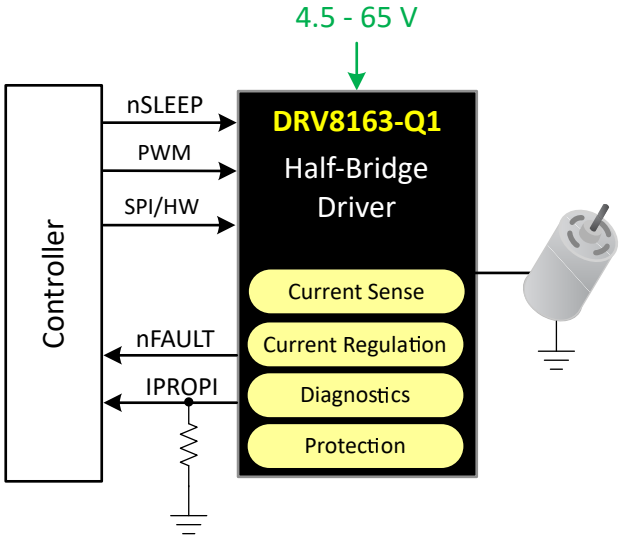
器件集成了 N 沟道半桥、、电荷泵、高侧电流检测和调节、电流比例输出以及保护电路。集成检测采用电流镜设计，无需分流电阻器，可节省电路板面积并降低系统成本。还提供了一种低功耗睡眠模式，以实现较低静态电流。

器件提供电压监测、负载诊断、过流和过热保护功能。故障情况通过 nFAULT 引脚指示。器件仅提供两种型号：HW 接口和 SPI 接口。SPI 型号可实现更加灵活的器件配置和故障监测。

器件信息[1]

器件型号	接口	封装尺寸[2]
DRV8163HQVAKRQ1	HW	VQFN-HR (15) (3.5mm x 6mm)
DRV8163SQVAKRQ1	SPI	VQFN-HR (15) (3.5mm x 6mm)

(1) 请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....3
5 引脚配置和功能.....4
5.1 HW 型号.....4
5.2 SPI 型号.....5
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....7
6.4 热性能信息.....8
6.5 电气特性.....8
6.6 开关波形.....14
7 详细说明.....21
7.1 概述.....21
7.2 功能方框图.....21
7.3 特性说明.....23
8 寄存器映射 - 仅限 SPI 型号.....45
8.1 用户寄存器.....45
9 应用和实施.....50
9.1 应用信息.....50
9.2 典型应用.....51
10 器件和文档支持.....53
10.1 器件支持.....53
10.2 文档支持.....53
10.3 接收文档更新通知.....53
10.4 支持资源.....53
10.5 商标.....53
10.6 静电放电警告.....53
10.7 术语表.....53
11 机械、封装和可订购信息.....53

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1 总结了 DRV8X6X-Q1 系列器件之间 R_{ON} 和封装的差异。

表 4-1. 器件比较

器件型号(1)	配置	(LS + HS) R_{ON}	I_{OUT} MAX	封装	封装尺寸	接口
DRV8262-Q1	1 或 2 个 H 桥	50mΩ 或 100mΩ	16A 或 8A	HTSSOP (44)	14mm X 6.1mm	HW
DRV8962-Q1	4 个半桥	100mΩ	8A	HTSSOP (44)	14mm X 6.1mm	HW
DRV8263-Q1	1 个 H 桥	85mΩ	29A	VQFN-HR (15)	3.5mm X 6mm	HW、SPI
DRV8163-Q1	1 个半桥	43mΩ	40A	VQFN-HR (15)	3.5mm X 6mm	HW、SPI

(1) 此为 和 DRV8163-Q1 的产品数据表。请参考其他器件型号数据表以了解更多信息。

表 4-2 总结了 、DRV8163-Q1 系列中 SPI 和 HW 接口型号之间的特性差异。一般而言，SPI 型号具有更高的可配置性和更多的电桥控制选项，提供诊断反馈，并具有其他特性。

表 4-2. SPI 型号与 HW 型号比较

功能	HW 型号	SPI 型号
电桥控制	仅引脚	单个引脚“**和/或**”寄存器位以及引脚状态指示（请参阅寄存器引脚控制）
清除故障命令	nSLEEP 引脚上的复位脉冲	SPI CLR_FAULT 命令
过流保护 (OCP)	固定在最高等级设置	阈值有 4 个选项，滤波器时间有 4 个选项
ITRIP 调节	5 级，具有禁用和固定关断（TOFF）时间	7 级，具有禁用和指示，具有可编程的 TOFF 时间
重试或锁存行为之间的单个故障反应配置	不支持，要么全部锁存，要么全部重试	支持
详细的故障记录和器件状态反馈	不支持，需要 nFAULT 引脚监测	支持，可选 nFAULT 引脚监测
VM 过压	不支持	支持
导通状态（有源）诊断	不支持	支持高侧负载
展频时钟 (SSC)	不支持	支持
过热警告	不支持	支持
内核温度监测器	不支持	支持

表 4-3. 区分该系列中的器件

器件	封装符号	DEVICE_ID 寄存器
DRV8262-Q1	8262	不适用
DRV8962-Q1	8962	不适用
DRV8263H-Q1	8263H	不适用
DRV8163H-Q1	8163H	不适用
DRV8263S-Q1	8263S	0 x 34
DRV8163S-Q1	8163S	0 x 3C

ADVANCE INFORMATION

ADVANCE INFORMATION

5 引脚配置和功能

5.1 HW 型号

图 5-1.

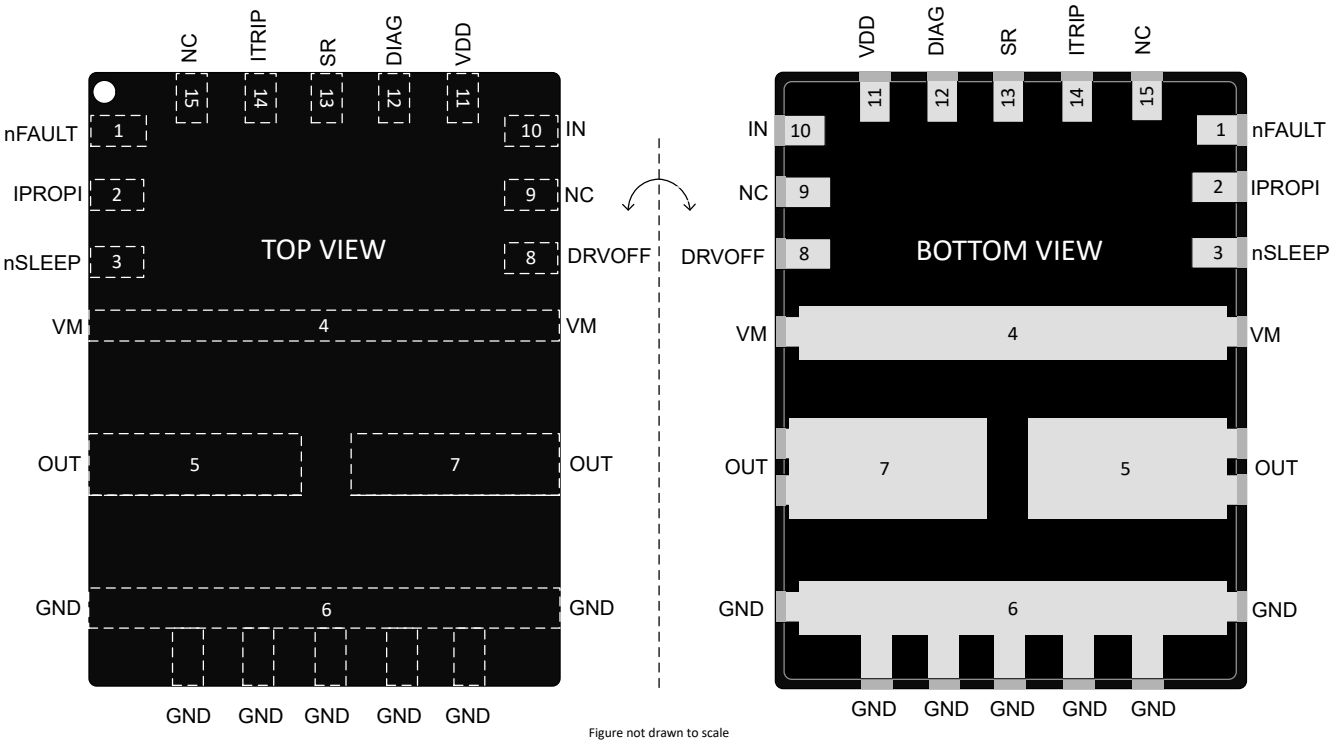


图 5-2. DRV8163H-Q1 型号采用 VQFN-HR(15) 封装

表 5-1. 引脚功能

引脚		类型[1]	说明
编号	名称		
1	nFAULT	OD	控制器的故障指示。
2	IPROPI	I/O	驱动器负载电流模拟反馈。有关详细信息，请参阅器件配置一节中的 IPROPI。
3	nSLEEP	I	用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
4	VM	P	电源。此引脚电压是电机电源电压。使用 0.1μF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
5、7	OUT	P	半桥输出。将此类引脚连接到电机或负载。
6	GND	G	接地引脚
8	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节一节
9	NC	-	无连接。
10	IN	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
11	VDD	P	器件的逻辑电源。
12	DIAG	I	用于指示负载类型和配置故障反应的器件配置引脚。有关详细信息，请参阅器件配置一节中的 DIAG。
13	SR	I	用于压摆率控制的器件配置引脚。有关详细信息，请参阅器件配置一节中的压摆率。
14	ITRIP	I	用于高侧限流的 ITRIP 电平的器件配置引脚。有关详细信息，请参阅器件配置一节中的 ITRIP。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
15	NC	-	无连接。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

5.2 SPI 型号

图 5-3.

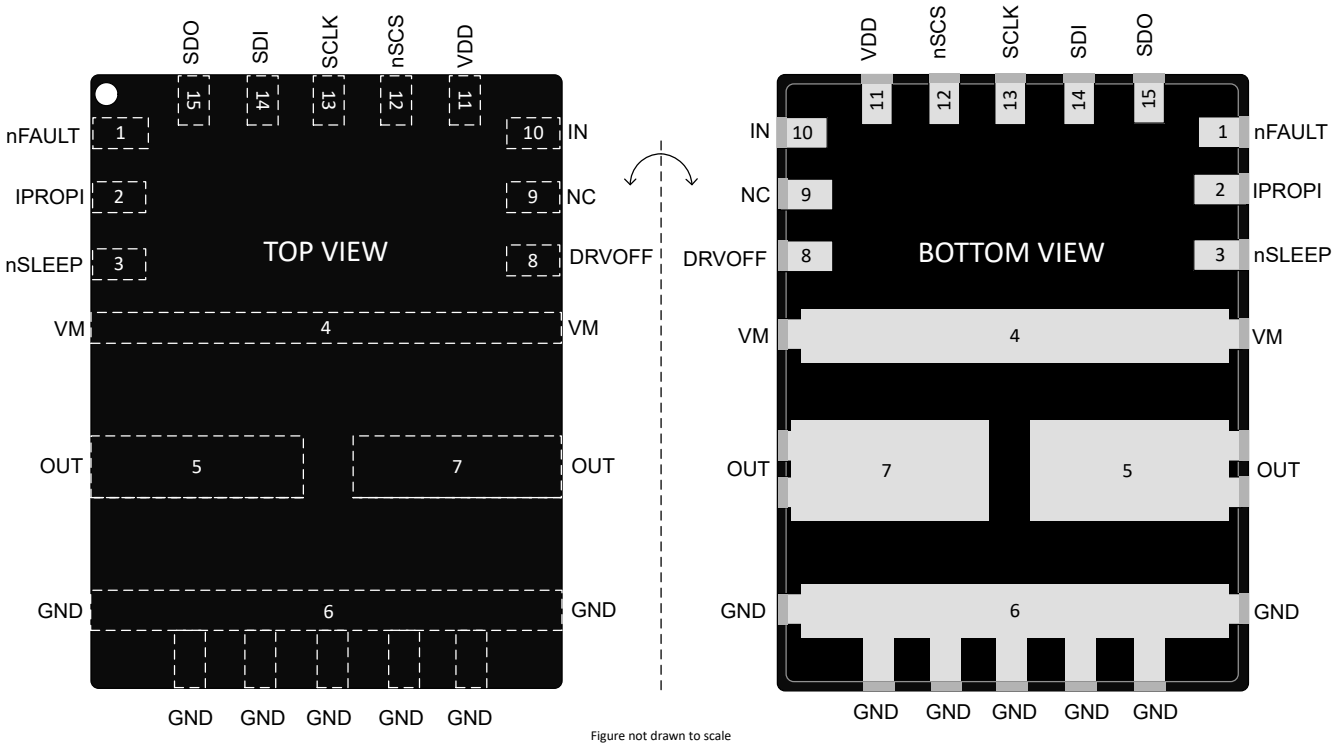


图 5-4. DRV8163S-Q1 采用 VQFN-HR (15) 封装

表 5-2. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	nFAULT	OD	控制器的故障指示。
2	IPROPI	I/O	通用引脚。提供与内核温度成比例的驱动器负载电流模拟反馈或模拟电压。有关详细信息，请参阅器件配置一节中的 IPROPI。
3	nSLEEP	I	用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
4	VM	P	电源。此引脚电压是电机电源电压。使用 0.1μF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
5、7	OUT	P	半桥输出。将此类引脚连接到电机或负载。
6	GND	G	接地引脚
8	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节一节
9	NC	-	无连接。
10	IN	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。

ADVANCE INFORMATION

表 5-2. 引脚功能（续）

引脚		类型[1]	说明
编号	名称		
11	VDD	P	器件的逻辑电源。
12	nSCS	I	SPI - 芯片选择。此引脚上的低电平有效信号支持串行接口通信。
13	SCLK	I	SPI - 串行时钟输入。
14	SDI	I	SPI - 串行数据输入。在 SCLK 的下降沿捕捉数据。
15	SDO	PP	SPI - 串行数据输出。在 SCLK 的上升沿更新数据。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源引脚电压	VM	-0.3[(3)]	70	V
电源瞬态电压斜坡	VM		2	V/μs
逻辑电源电压	VDD	-0.3	5.75	V
逻辑电源瞬态电压斜坡	VDD		5	V/μs
持续输出引脚电压	、OUT	-1	V_{VM} + 1	V
瞬态 100 ns 输出引脚电压	、OUT	-3	V_{VM} + 3	V
输出引脚电流	、OUT	受内部限制[(2)]		A
DRFOFF、nSLEEP 引脚电压	DRVOFF、nSLEEP	-0.3	70	V
逻辑 I/O 电压	IN、nFAULT	-0.3	5.75	V
HW 型号 - 配置引脚电压	ITRIP、SR、DIAG	-0.3	5.75	V
模拟反馈引脚电压	IPROPI	-0.3	5.75	V
SPI I/O 电压 - SPI 型号	SDI、SDO、nSCS、SCLK	-0.3	5.75	V
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 受器件过流和过热保护功能的限制
(3) 在外部元件支持下，在 ISO 7637 瞬态脉冲测试期间可以容忍短时间违反此限制的情况

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2	VM、OUT、GND	±4000	V
			所有其他引脚	±2000	
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	最大值	单位
V_{VM}	电源电压	VM	4.5	65	V
V_{VDD}	逻辑电源电压	VDD	3	5.5	V
V_{LOGIC}	逻辑 I/O 引脚电压	IN、nSLEEP、DRVOFF、nFAULT	0	5.5	V
f_{PWM}	PWM 频率	、IN	0	100	kHz

ADVANCE INFORMATION

在工作温度范围内（除非另有说明）

			最小值	最大值	单位
V_{CONFIG}	HW 型号 - 配置引脚电压	ITRIP、SR、DIAG	0	5.5	V
V_{IPROPI}	模拟反馈电压	IPROPI	0	5.5	V
V_{SPI_IOS}	SPI 引脚电压	SDI、SDO、nSCS、SCLK	0	V_{VDD} + 0.5	V
T_A	工作环境温度		-40	125	°C
T_J	工作结温		-40	150	°C

6.4 热性能信息

如需了解应用相关用例，请参阅瞬态热阻抗表。

热指标[1]		VQFN-HR 封装	单位
$R_{\theta JA}$	结至环境热阻	31.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	待定	°C/W
$R_{\theta JB}$	结至电路板热阻	待定	°C/W
Ψ_{JT}	结至顶部特征参数	待定	°C/W
Ψ_{JB}	结至电路板特征参数	待定	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	待定	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.4.1 瞬态热阻抗和电流能力

基于热模拟的信息

表 6-1. 瞬态热阻抗 ($R_{\theta JA}$) 和电流能力

器件型号	$R_{\theta JA}$ [°C/W][1]			电流 [A][2]				
				没有脉宽调制 (PWM)[3]			有脉宽调制 (PWM)[4]	
	0.1sec	1sec	DC	0.1sec	1sec	DC	1sec	DC
DRV8163-Q1	3.96	8.38	31.5	待定	待定	待定	待定	待定

(1) 基于热模拟，采用 40mm x 40mm x 1.6mm 的 4 层 PCB – 顶部/底部层使用 2 盎司铜，内部层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。
(2) 在 85°C 环境温度下，结温升高至 150°C 的预计瞬态电流能力
(3) 仅考虑导通损耗 (I^2R)
(4) 通过如下公式粗略估计开关损耗：

$$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times V_{VM}/SR, \text{ where } V_{VM} = 48V,\ f_{PWM} = 20KHz,\ SR = 220V/\mu s \quad (1)$$

6.5 电气特性

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM、VDD)						
I_{VDD}	处于运行状态下的 VDD 电流	禁用内核温度读数		2	3.5	mA
I_{VMS}	待机状态下的 VM 电流	V_{VM} = 48V，驱动器高阻态，禁用内核温度读数		1	1.8	

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{VMQ}	处于休眠状态下的 VM 电流	V_{VM} = 48V，禁用 POB，V_{nSLEEP} = 0V 或 V_{VDD} < V_{POR_FALL}		7	30	µA
I_{VMQ_POB}	启用 POB 并处于休眠状态下的 VM 电流	V_{VM} = 48V，启用 POB，V_{nSLEEP} = 0V		8	35	µA
I_{VDDQ_POB}	启用 POB 并处于休眠状态下的 VDD 电流	V_{VM} = 48V，启用 POB，V_{nSLEEP} = 0V		7.5	14	µA
t_{RESET}	RESET 脉冲滤波时间	HW 型号 nSLEEP 引脚上的复位信号	5		35	µs
t_{SLEEP}	休眠命令滤波时间	HW 型号 nSLEEP 引脚上的休眠信号	40		120	µs
t_{SLEEP_SPI}	休眠命令滤波时间	SPI 型号 nSLEEP 引脚上的休眠信号	5		20	µs
t_{WAKEUP}	唤醒命令滤波器时间	nSLEEP 引脚上的唤醒信号		6		µs
t_{COM}	通过 VM 或 VDD 引脚唤醒或上电后可进行通信的时间	nSLEEP 引脚上的唤醒信号或下电上电（V_{VM} > V_{POR_RISE} 或 V_{VDD} > V_{POR_RISE}）			200	µs
t_{READY}	通过 nSLEEP 引脚唤醒或通过 VM 或 VDD 引脚上电后，驱动器准备进行驱动的时间	nSLEEP 引脚上的唤醒信号或下电上电（V_{VM} > V_{POR_RISE} 或 V_{VDD} > V_{POR_RISE}）			1.2	ms
逻辑电平输入 (nSLEEP、DRVOFF、IN、nSCS、SDI、SCLK)						
V_{IL}	输入逻辑低电平电压	所有引脚	0		0.6	V
V_{IH}	输入逻辑高电平电压	所有引脚	1.5		5.5	V
V_{HYS}	输入逻辑迟滞	除 nSLEEP 外的所有引脚		100		mV
V_{HYS_nSLEEP}	nSLEEP 逻辑迟滞			180		mV
R_{PU}	DRVOFF 和 nSCS 引脚上的内部上拉电阻	在最低 V_{IH} 电平下测得	150		450	kΩ
R_{PD}	IN、SDI、SCLK 引脚上的内部下拉电阻	在最高 V_{IL} 电平下测得	150		450	kΩ
R_{PD_nSLEEP}	nSLEEP 引脚上的内部下拉电阻	在最高 V_{IL} 电平下测得	160		400	kΩ
三电平输入 (MODE)						
R_{LVL1}	1 级	连接到 GND			10	Ω
R_{LVL2}	2 级	+/- 10% 接地电阻	8	16	24	kΩ
R_{LVL3}	3 级	高阻态（无连接）	249			kΩ
四电平输入 (SR)						
R_{LVL1}	1 级	连接到 GND			10	Ω
R_{LVL2}	2 级	+/- 10% 接地电阻	8	16	24	kΩ
R_{LVL3}	3 级	+/- 10% 接地电阻	45	75	110	kΩ
R_{LVL4}	4 级	高阻态（无连接）	249			kΩ
六电平输入 (ITRIP、DIAG)						
R_{LVL1}	1 级	连接到 GND			10	Ω

ADVANCE INFORMATION

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
R_{LVL2}	2 级	+/- 10% 接地电阻	8	9	10	kΩ
R_{LVL3}	3 级	+/- 10% 接地电阻	22	24	26	kΩ
R_{LVL4}	4 级	+/- 10% 接地电阻	45	48	51	kΩ
R_{LVL5}	5 级	+/- 10% 接地电阻	90	100	110	kΩ
R_{LVL6}	6 级	高阻态（无连接）	249			kΩ
推挽式输出 (SDO)						
V_{OL_SDO}	输出逻辑低电平电压	0.5mA 灌电流		0.1	0.2	V
V_{OH_SDO}	输出逻辑高电平电压	0.5mA 拉电流，V_{VDD} = 5V	4.7	4.9		V
I_{SDO}	SDO 漏电流	V_{VM} > 6V	-2		2	µA
控制输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.3	V
I_{OH}	输出逻辑高电平漏电流		-1		1	µA
驱动器输出（、OUT）						
R_{HS_ON}	高侧 FET 导通电阻	T_J = 25°C，I_O = -6 A		21	25	mΩ
		T_J = 150°C，I_O = -6 A		35	42	mΩ
R_{LS_ON}	低侧 FET 导通电阻	T_J = 25°C，I_O = 6 A		22	26	mΩ
		T_J = 150°C，I_O = 6 A		36	43	mΩ
V_{SD}	体二极管正向电压	I_O = ±6 A（双向）	0.4	0.8	1.2	V
$I_{Hi\text{-}Z}$	休眠状态下 OUT 至 GND 的漏电流	V_{OUTx} = V_{VM} = 48V			140	µA
具有高侧再循环的开关参数						
SR_{LS}	输出电压上升/下降压摆率，10% - 90%（上升），90% - 10%（下降），V_{VM} = 48V，I_O = 6A	SR = 00b 或 LVL1	180	220	260	V/µs
		SR = 01b 或 LVL2	90	110	130	V/µs
		SR = 10b 或 LVL3	40	50	60	V/µs
		SR = 11b 或 LVL4	16	20	24	V/µs
t_{PD_LSOFF}	输出电压上升期间的传播延迟，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.24		µs
		SR = 10b 或 11b 或 LVL3 或 LVL4		0.28		µs
t_{PD_LSON}	输出电压下降期间的传播延迟，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.32		µs
		SR = 10b 或 11b 或 LVL3 或 LVL4		0.46		µs
t_{DEAD_LSOFF}	输出电压上升期间的死区时间，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.28		µs
		SR = 10b 或 LVL3		0.36		µs
		SR = 11b 或 LVL4		0.65		µs
t_{DEAD_LSON}	输出电压下降期间的死区时间，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.68		µs
		SR = 10b 或 LVL3		0.75		µs
		SR = 11b 或 LVL4		0.82		µs
具有低侧再循环的开关参数						

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
SR_{HS}	输出电压上升/下降压摆率，10% - 90%（上升），90% - 10%（下降），V_{VM} = 48V，I_O = 6A	SR = 00b 或 LVL1	180	220	260	V/µs
		SR = 01b 或 LVL2	90	110	130	V/µs
		SR = 10b 或 LVL3	40	50	60	V/µs
		SR = 11b 或 LVL4	16	20	24	V/µs
t_{PD_HSON}	输出电压上升期间的传播延迟，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.24		µs
		SR = 10b 或 11b 或 LVL3 或 LVL4		0.28		µs
t_{PD_HSOFF}	输出电压下降期间的传播延迟，I_O = 6A	SR = 00b 或 01b 或 LVL1 或 LVL2		0.32		µs
		SR = 10b 或 LVL3		0.45		µs
		SR = 11b 或 LVL4		0.53		µs
t_{DEAD_HSON}	输出电压上升期间的死区时间，I_O = 6A	SR = 00b 或 LVL1		0.68		µs
		SR = 01b 或 LVL2		0.8		µs
		SR = 10b 或 LVL3		1.07		µs
		SR = 11b 或 LVL4		1.8		µs
t_{DEAD_HSOFF}	输出电压下降期间的死区时间，I_O = 6A	所有压摆率		0.11		µs
t_{BLANK}	电流调节消隐时间（仅对 LS 再循环有效）	TBLK = 0b。仅适用于 HW。		0.8		µs
		TBLK = 1b		1.8		µs
IPROPI 和 ITRIP 调节						
A_{IPROPI}	电流镜增益	I_{OUT} > 2A	190	202	215	µA/A
A_{ERR}	电流镜比例误差	I_{OUT} > 2A	-5		7	%
		0.5A < I_{OUT} ≤ 2A	-8		8	
		0.2A < I_{OUT} ≤ 0.5A	-15		15	
A_{ERR_M}	两个半桥之间的电流匹配	I_{OUT} > 2A	-3		+3	%
V_{IPROPI_LIM}	IPROPI 上的内部钳位电压		3.4		5.5	V
V_{ITRIP_LVL}	对 V_{IPROPI} 的电压限制，旨在触发 TOFF 周期以进行 ITRIP 调节	S_ITRIP = 001b 或 LVL2	1.08	1.2	1.3	V
		S_ITRIP = 010b（仅限 SPI）	1.31	1.44	1.55	V
		S_ITRIP = 011b（仅限 SPI）	1.53	1.67	1.81	V
		S_ITRIP = 100b 或 LVL3	1.83	2	2.16	V
		S_ITRIP = 101b 或 LVL4	2.14	2.34	2.52	V
		S_ITRIP = 110b 或 LVL5	2.44	2.67	2.88	V
		S_ITRIP = 111b 或 LVL6	2.74	3	3.24	V
t_{OFF}	ITRIP 调节关断时间	TOFF = 00b	9	20	35	µs
		TOFF = 01b。仅适用于 HW。	15	30	45	
		TOFF = 10b	20	40	60	
		TOFF = 11b	25	50	70	
保护电路						

ADVANCE INFORMATION

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{VMOV_POB}	POB 期间上升时的 VM 过压阈值		60		69	V
V_{VMOV}	上升时的 VM 过压阈值	OVSEL = 0b（仅限 SPI）	59.5		64.5	V
V_{VMOV_HYS}	VM 过压迟滞			0.7		V
t_{VMOV}	VM 过压抗尖峰脉冲时间		4	12	19	µs
V_{VMUV}	VM UVLO 锁定	VM 下降	4.1	4.25	4.4	V
		VM 上升	4.15	4.3	4.45	
V_{VMUV_HYST}	VM UVLO 迟滞	上升至下降阈值		100		mV
t_{VMUV}	VM UVLO 抗尖峰脉冲时间		3	12	20	µs
V_{POR_FALL}	器件进入 POR 时的 VM 或 VDD 电压				3.2	V
V_{POR_RISE}	器件退出 POR 时的 VM 或 VDD 电压				3.5	V
I_{OCP}	过流保护阈值	OCP_SEL = 11b	40		56	A
		OCP_SEL = 10b	29		42	A
		OCP_SEL = 01b	20		27	A
		OCP_SEL = 00b（默认），仅适用于 HW	10		14	A
I_{OCP_POB}	启用 POB 时的过流保护阈值		29		40	A
t_{OCP}	过流保护抗尖峰脉冲时间	TOCP = 0b	0.5	1	1.5	µs
		TOCP = 1b，仅适用于 HW	0.6	2	3.5	µs
t_{RETRY}	过流保护重试时间	故障反应设置为重试（RETRY）	2.6	5	6.7	ms
t_{CLEAR}	从过流事件中自动清除的无故障运行时间	故障反应设置为重试（RETRY）	70		140	µs
T_{TSD}	热关断	内核温度 T_J	155	170	185	°C
T_{HYS_TSD}	热关断迟滞	内核温度 T_J		20		°C
t_{TSD}	热关断抗尖峰脉冲时间		7	12	18	µs
t_{CLEAR_TSD}	从过热事件中自动清除的无故障运行时间	故障反应设置为重试（RETRY）	3.6	5	6.4	ms
T_{OTW}	过热警告阈值	内核温度 T_J，OTW_SEL = 0b	125	140	155	°C
		内核温度 T_J，OTW_SEL = 1b	105	120	135	°C
T_{HYS_OTW}	过热警告迟滞	内核温度 T_J		20		°C
t_{OTW}	过热警告抗尖峰脉冲时间		7	12	18	µs
T_{DIE}	内核温度测量范围	内核温度 T_J	-40		185	°C
I_{IPROPI_DIE}	用于内核温度测量的 IPROPI 电流范围		0.5		1.5	mA
T_{DIE_ACC}	内核温度测量精度	内核温度 T_J	-10		10	%
V_{POB_TH}	断电制动阈值			580		mV

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

典型值都是在 T_A = 25°C 且 V_{VM} = 48V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
t_{OCP_POB}	POB 的过流保护抗尖峰脉冲时间		1.2	2	2.8	µs
t_{POB_ON}	断电制动启动时间			20		µs
t_{POB_RETRY}	断电制动重试时间			180		µs
R_{S_GND}	OUT 至 GND 的电阻，将被检测为短路				1.5	kΩ
R_{S_VM}	OUT 至 VM 的电阻，将被检测为短路				3	kΩ
R_{OPEN_FB}	OUTx 之间的电阻，将被检测为开路		0.5			kΩ
R_{OPEN_LS}	OUT 至 GND 的电阻，将被检测为开路	对低侧负载有效	1.5			kΩ
R_{OPEN_HS}	OUT 至 VM 的电阻，将被检测为开路	对高侧负载有效，V_{VM} = 48V	30			kΩ
V_{OLP_REFL}	OLP 比较器基准电平低	V_{VM} > 5V		2.2		V
R_{OLP_PU}	OLP 期间 OUT 至内部 5V 的内部上拉电阻	V_{OUTx} = V_{OLP_REFH} + 0.1V		1		kΩ
R_{OLP_PD}	OLP 期间 OUT 至 GND 的内部下拉电阻	V_{OUTx} = V_{OLP_REFL} - 0.1V		1		kΩ
I_{PD_OLA}	高侧再循环死区期间 OUTx 至 GND 的内部灌电流	SR = 00b 或 LVL1	10		24	mA
		SR = 01b 或 LVL2	5		12	
		SR = 10b 或 LVL3	2.3		6	
		SR = 11b 或 LVL4	0.8		2.6	
V_{OLA_REF}	用于 OLA 的 VM 的比较器基准			0.28		V

6.5.1 SPI 时序要求

		最小值	典型值	最大值	单位
t_{SCLK}	SCLK 最小周期(1)	110			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{HI_nSCS}	nSCS 最短高电平时间	600			ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{H_nSCS}	nSCS 输入保持时间	25			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{H_SDI}	SDI 输入数据保持时间	25			ns
t_{EN_SDO}	SDO 启用延迟时间(1)			45	ns

ADVANCE INFORMATION

		最小值	典型值	最大值	单位
t_{DIS_SDO}	SDO 禁用延迟时间(1)			100	ns

(1) SDO 延迟时间仅在 SDO 外部负载为 5pF 时有效。当 SDO 上具有 20pF 负载时，SDO 上就会存在额外的延迟，这会导致 SCLK 最短时间增加 25%，进而将 SCLK 最大值限制为 8 MHz。

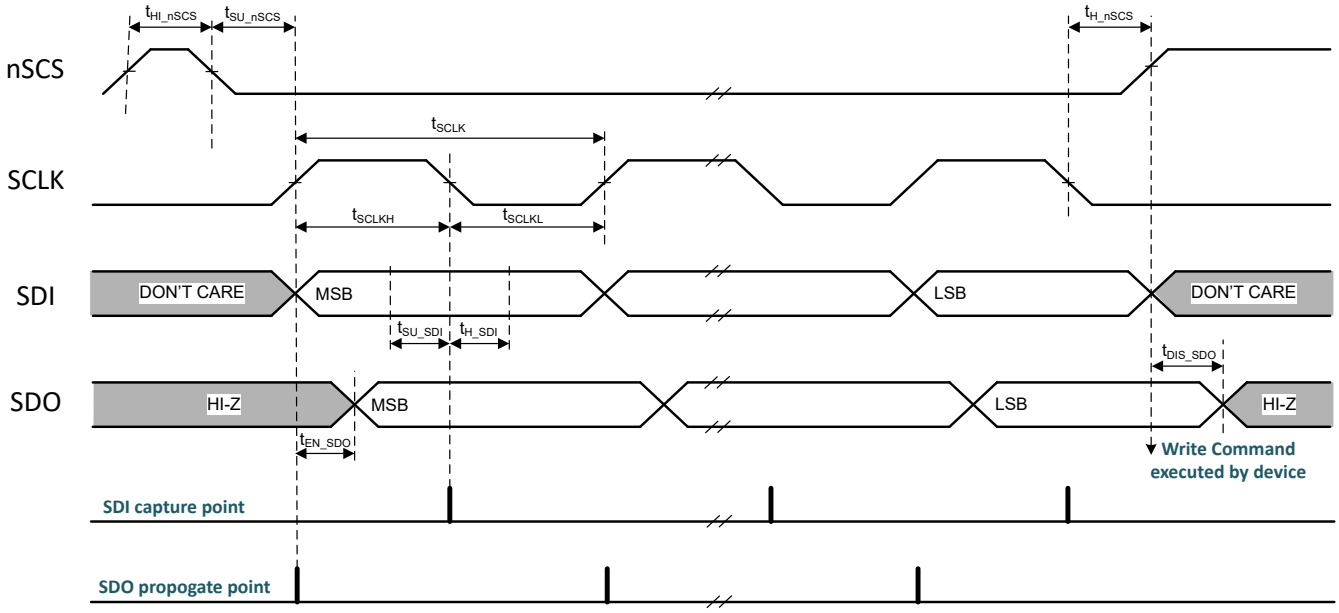


图 6-1. SPI 串行模式时序定义

6.6 开关波形

6.6.1 输出开关瞬态

本节说明了由外部 PWM 或内部 ITRIP 调节引起的电感负载的开关瞬态。

6.6.1.1 高侧再循环

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

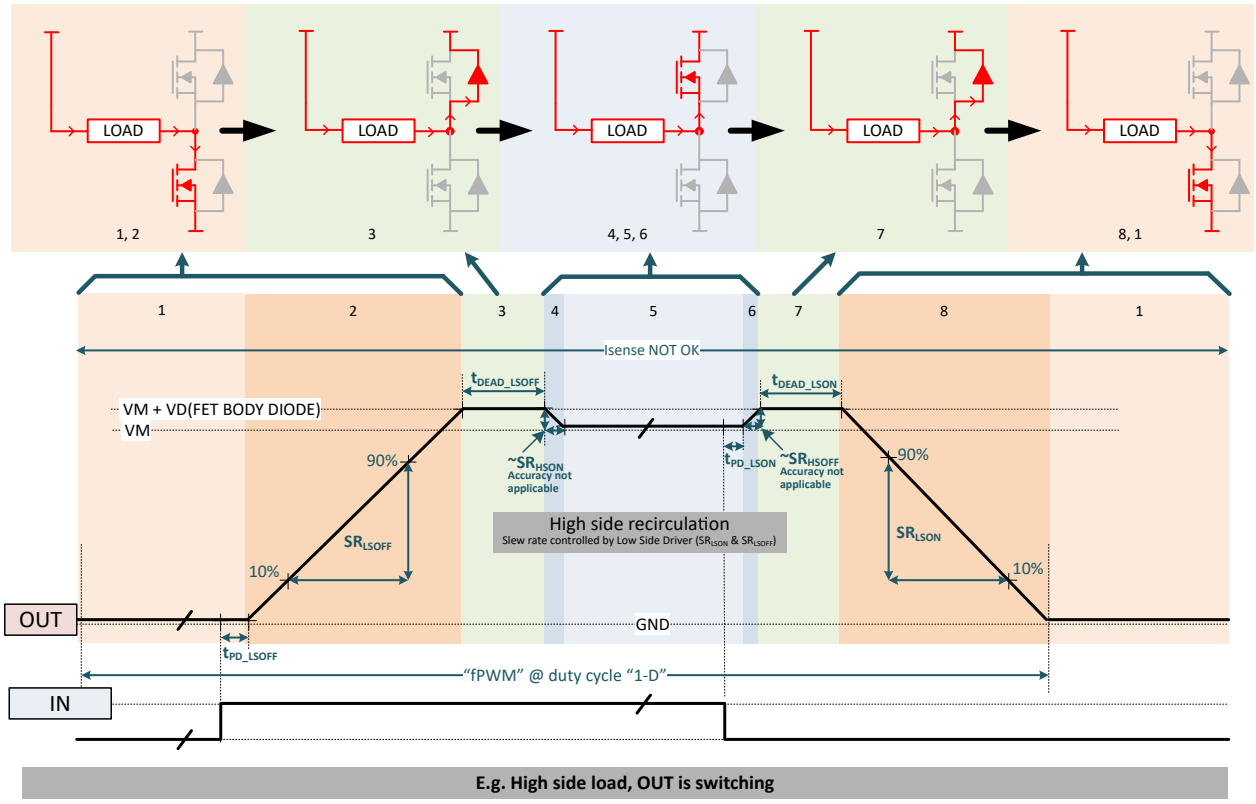


图 6-2. 具有高侧再循环的输出开关瞬变

ADVANCE INFORMATION

ADVANCE INFORMATION

6.6.1.2 低侧再循环

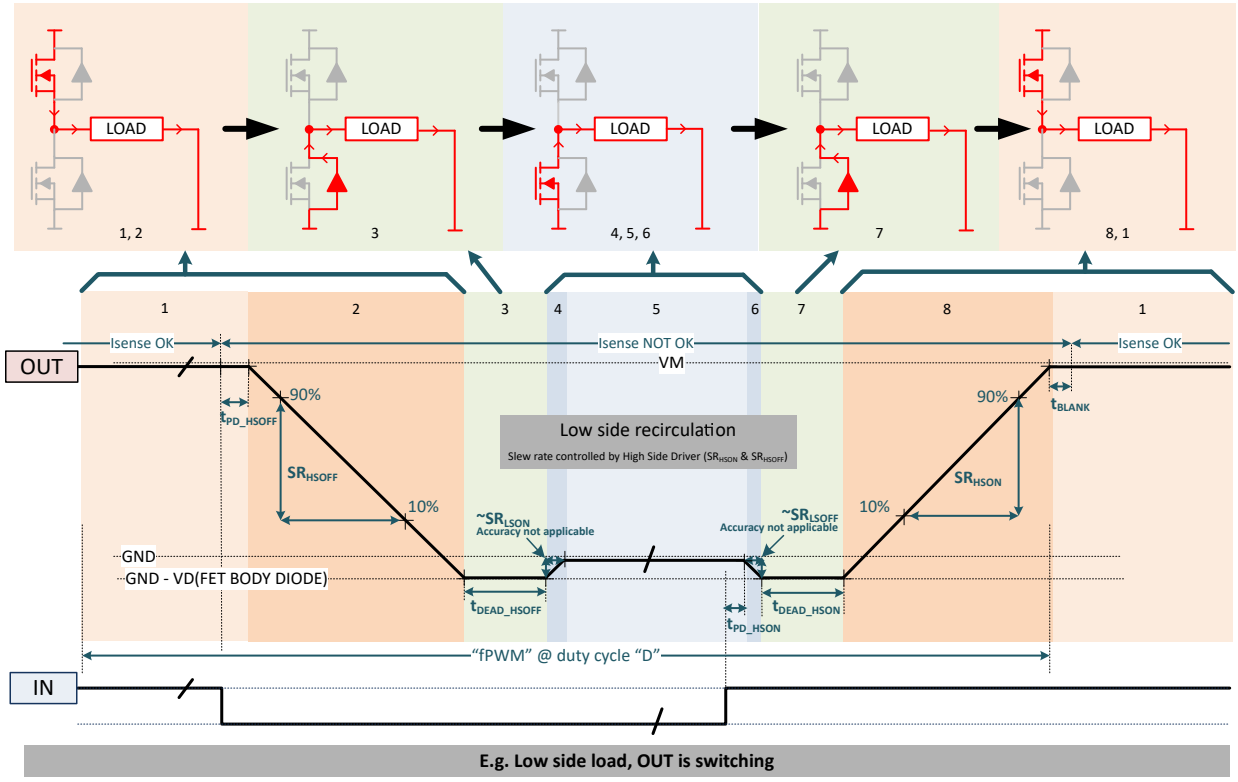


图 6-3. 具有低侧再循环的输出开关瞬态

6.6.2 唤醒瞬态

6.6.2.1 HW 型号

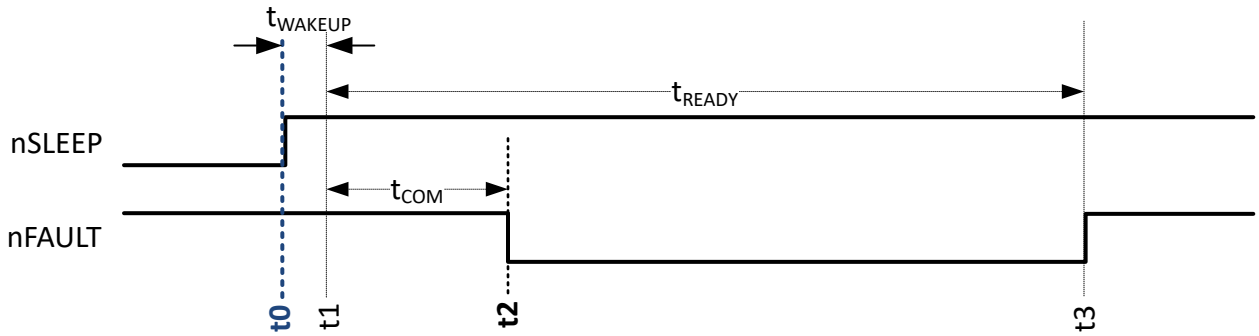


图 6-4. 从休眠状态唤醒后进入待机状态

唤醒期间，控制器和器件之间的交换如下：

- t0：控制器 - nSLEEP 置位为高电平以发起器件唤醒
- t1：器件内部状态 - 器件注册的唤醒命令（休眠状态结束时）
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成。nFAULT 取消置位。器件处于待机状态

Copyright © 2025 Texas Instruments Incorporated

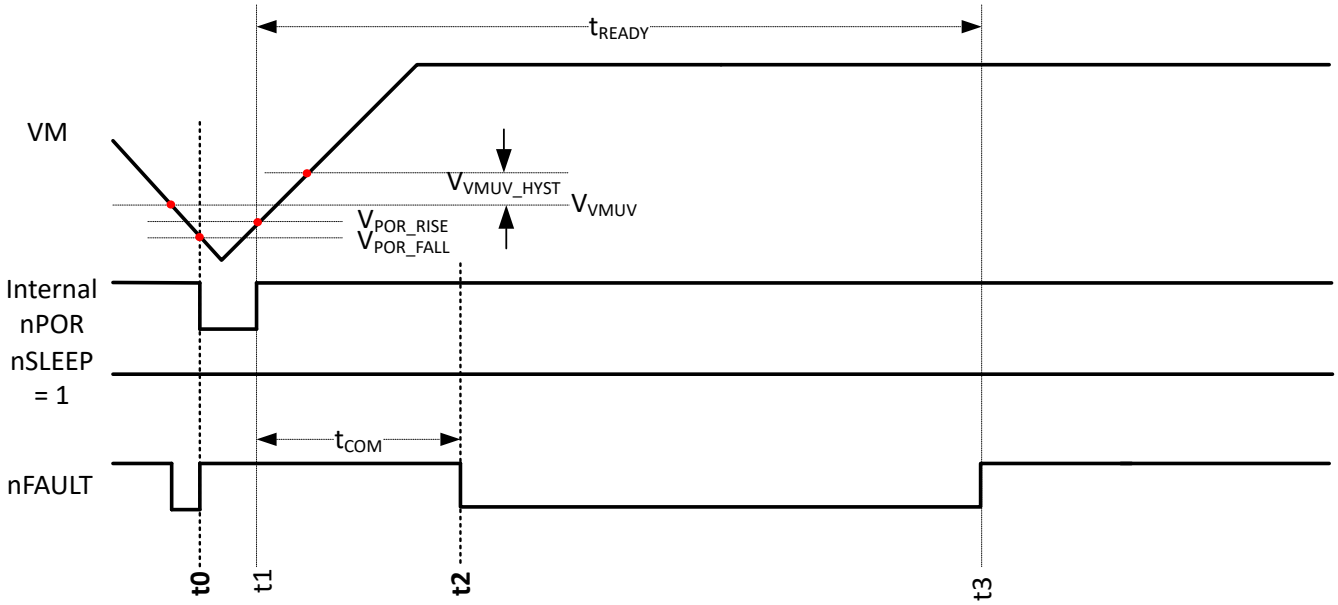


图 6-5. 通过 VM 上电至待机状态

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据内部 LDO（取决于 VM）的欠压情况置位
- t1：器件内部状态 – POR 根据内部 LDO 电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成。nFAULT 取消置位。器件处于待机状态

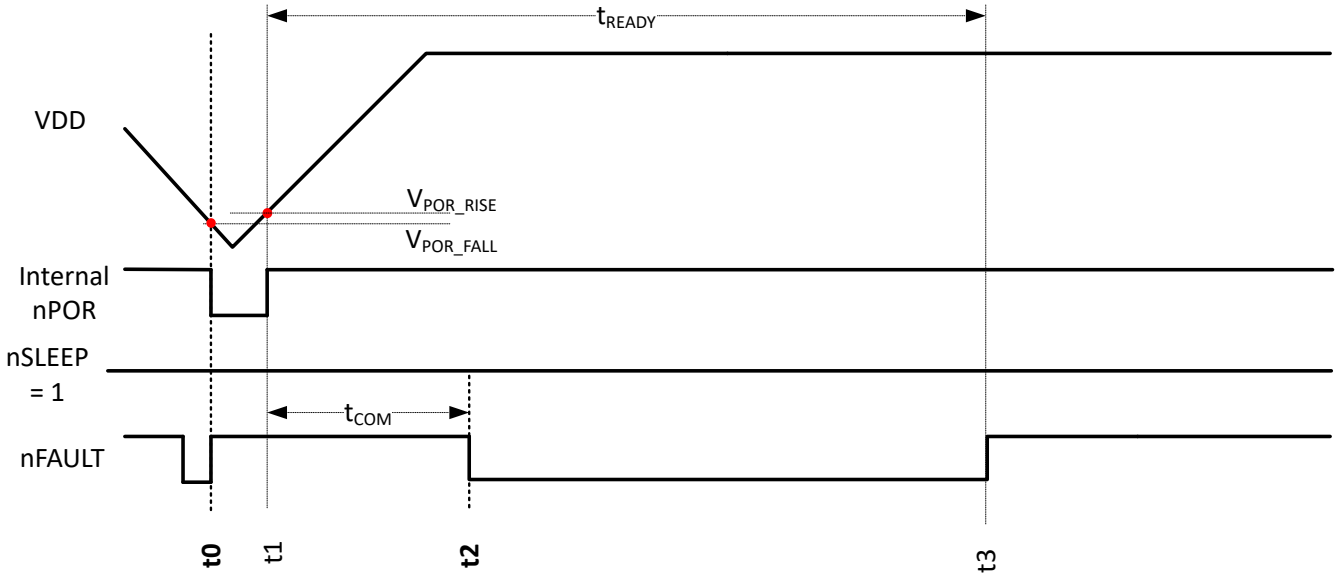


图 6-6. 通过 VDD 上电至待机状态

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据 VDD（外部电源）上的欠压情况置位
- t1：器件内部状态 – POR 根据 VDD（外部电源）上电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成。nFAULT 取消置位。器件处于待机状态

ADVANCE INFORMATION

6.6.2.2 SPI 型号

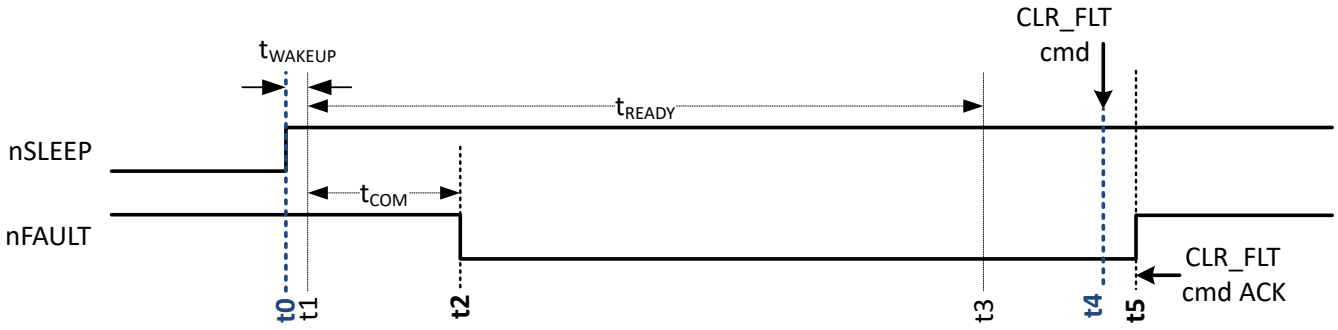


图 6-7. 从休眠状态唤醒后进入待机状态

唤醒瞬态期间，控制器和器件之间的交换如下：

- t0：控制器 - nSLEEP 置位为高电平以发起器件唤醒
- t1：器件内部状态 - 器件注册的唤醒命令（休眠状态结束时）
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令** 以确认器件唤醒
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

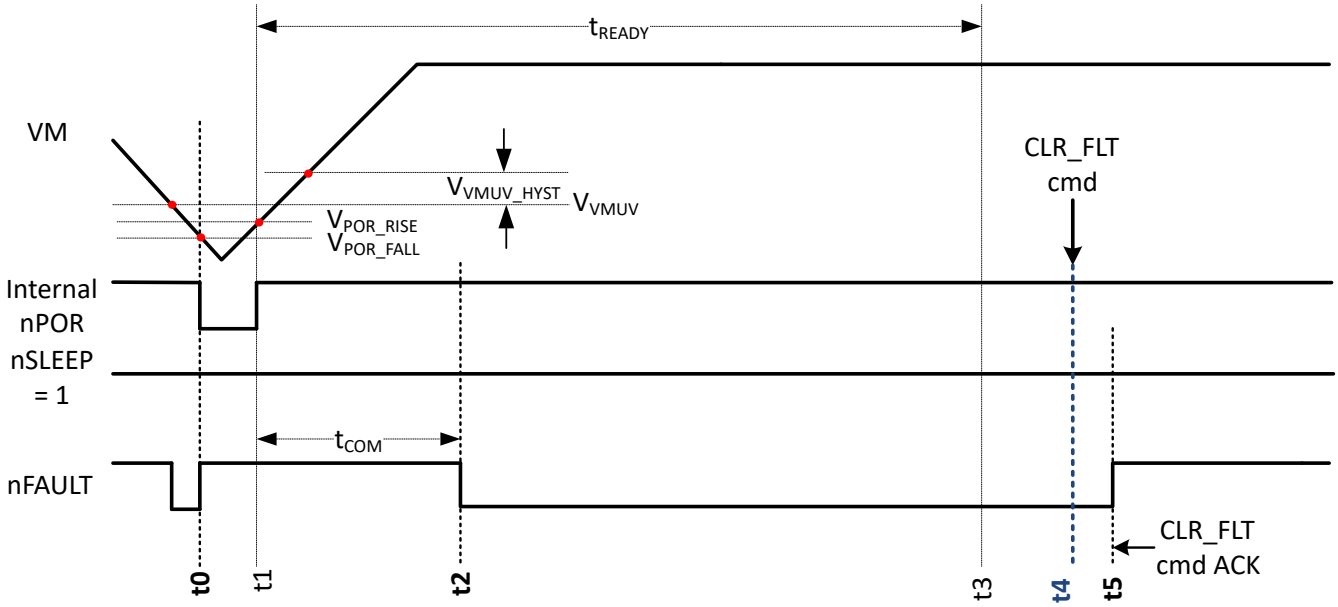


图 6-8. 通过 VM 上电至待机状态的转换

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据内部 LDO（取决于 VM）的欠压情况置位
- t1：器件内部状态 – POR 根据内部 LDO 电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令** 以确认器件上电
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

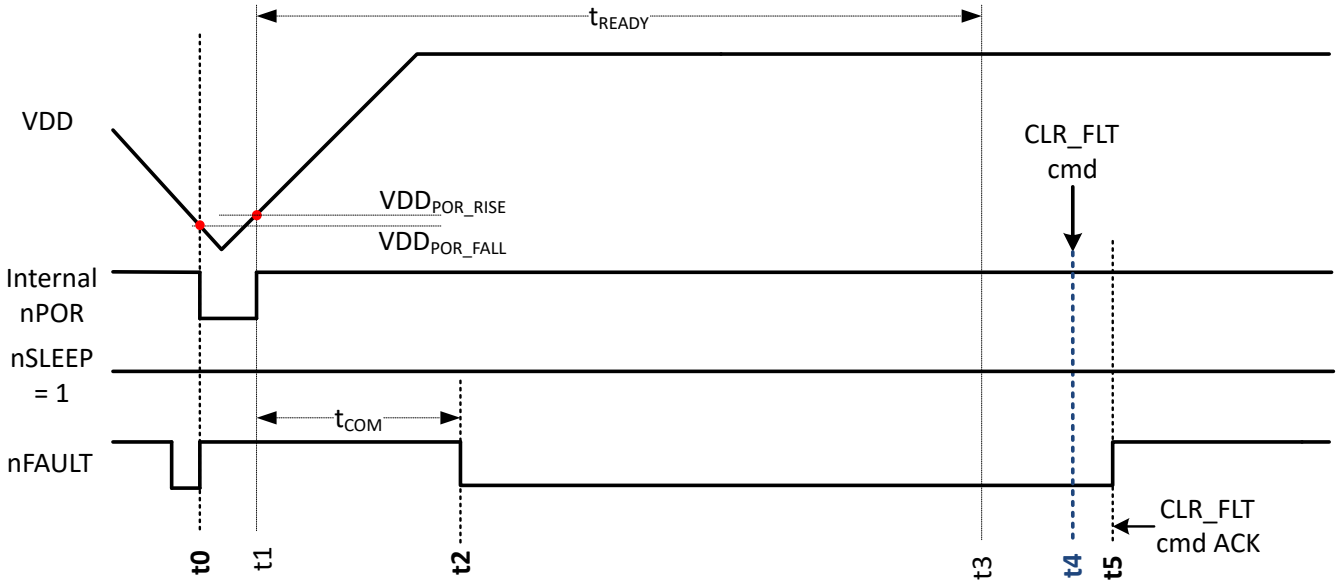


图 6-9. 通过 VDD 上电至待机状态的转换

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据 VDD（外部电源）上的欠压情况置位
- t1：器件内部状态 – POR 根据 VDD（外部电源）上电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令** 以确认器件上电
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

6.6.3 故障反应瞬态

6.6.3.1 重试设置

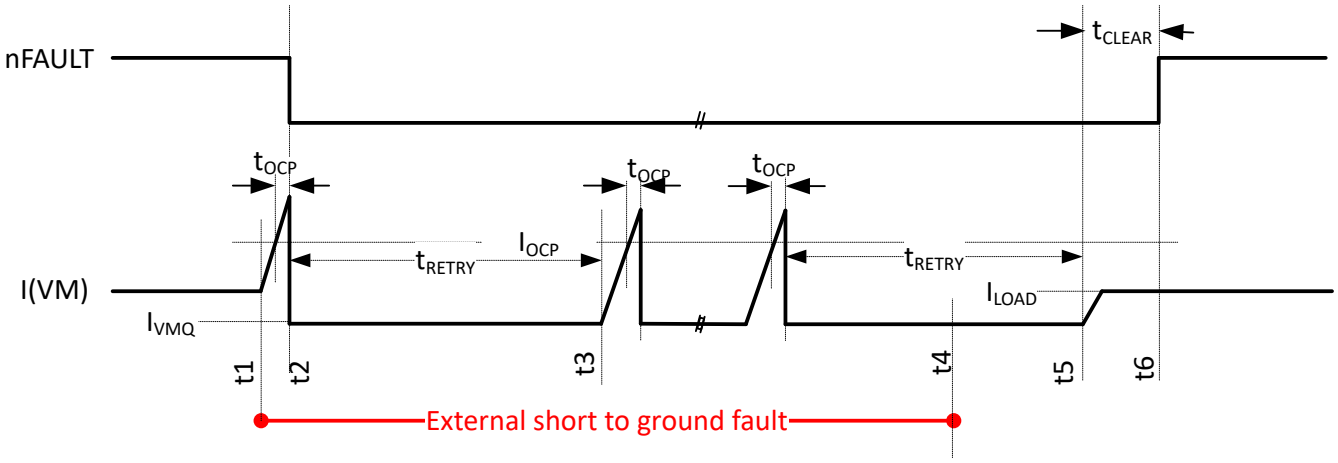


图 6-10. 采用重试（RETRY）设置的故障反应（当 OUT 接地短路时，针对在高侧发生的 OCP 显示）

采用锁存（RETRY ）设置的短暂发生和恢复场景：

- t1：发生外部短路。
- t2：在 t_{OCP} 后确认 OCP（过流保护）故障，禁用输出，nFAULT 置位为低电平以指示故障。

ADVANCE INFORMATION

- t3：器件在 t_{RETRY} 后自动尝试重试（自动重试）。每次短暂打开输出以确认短路发生，然后在 t_{OCP} 后立即禁用。nFAULT 始终被置位为低电平。循环重复直到驱动器被用户禁用或外部短路被移除，如下文所示。请注意，发生 TSD（热关断）事件时，自动重试时间取决于基于热迟滞的冷却。
- t4：移除外部短路。
- t5：器件尝试自动重试。但这次，没有发生故障，器件继续使输出保持启用状态。
- t6：确认在 t_{CLEAR} 时间段内无故障运行后，取消置位 nFAULT。
- 仅限 SPI 型号 - 故障状态保持锁存，直到发出 CLR_FLT 命令为止。

请注意，如果输出对地短路导致高侧 OCP 故障检测，IPROPI 引脚将继续上拉至 V_{IPROPI_LIM} 电压以指示此类短路，同时禁用输出。这对于 HW 型号特别有用，可将接地短路故障指示与其他故障区分开来。

6.6.3.2 锁存设置

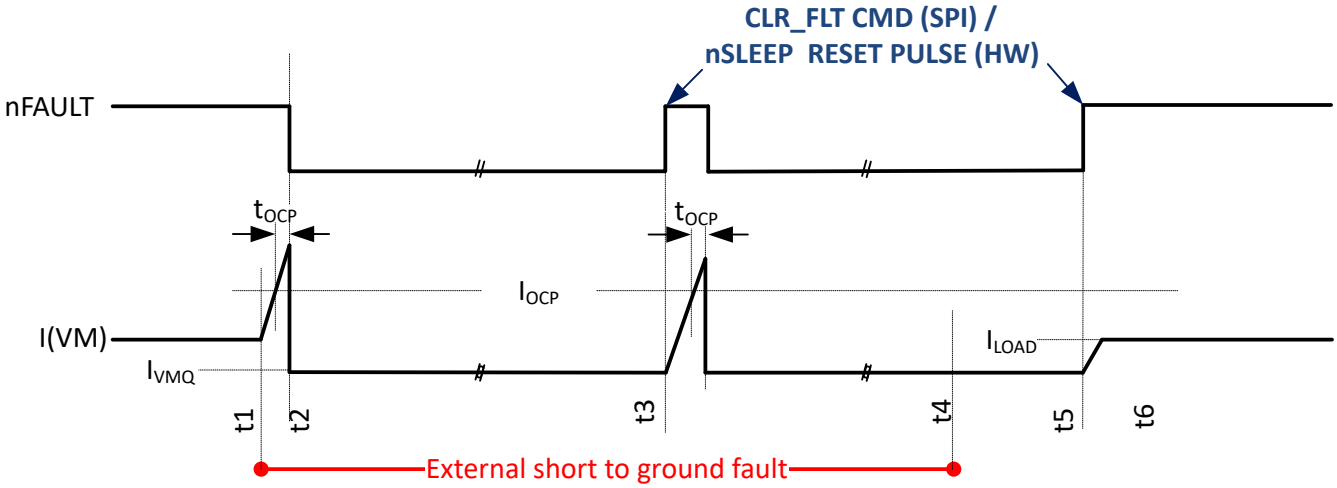


图 6-11. 采用锁存（Latch）设置的故障反应（当 OUT 接地短路时，针对在高侧发生的 OCP 显示）

采用锁存（LATCH ）设置的短暂发生和恢复场景：

- t1：发生外部短路。
- t2：在 t_{OCP} 后确认 OCP（过流保护）故障，禁用输出，nFAULT 置位为低电平以指示故障。
- t3：控制器发出的 CLR_FLT 命令（SPI 型号）或 nSLEEP RESET Pulse（HW 型号）。nFAULT 被取消置位并启用输出。再次检测到 OCP 故障并在 nFAULT 置位为低电平时禁用输出。
- t4：移除外部短路。
- t5：控制器发出的 CLR_FLT 命令（SPI 型号）或 nSLEEP RESET Pulse（HW 型号）。nFAULT 被取消置位并启用输出。运行恢复正常。
- 仅限 SPI 型号 - 故障状态保持锁存，直到发出 CLR_FLT 命令为止。

请注意，如果输出对地短路导致高侧 OCP 故障检测，IPROPI 引脚将继续上拉至 V_{IPROPI_LIM} 电压以指示此类短路，同时禁用输出。这对于 HW 型号特别有用，可将接地短路故障指示与其他故障区分开来。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

、DRV8163-Q1 器件是有刷直流电机驱动器，工作电压在 4.5V 至 65V 之间，支持宽域输出负载电流，适用于各种类型的电机和负载。器件集成了一个电荷泵稳压器，可支持具有 100% 占空比运行的高效高侧 N 沟道 MOSFET。这些器件由可直接连接到电池或直流电源的单一电源输入 (VM) 供电。器件还提供了低功耗模式，可以在系统不活动期间最大限度地减少电流消耗。器件的数字模块由外部电源通过 VDD 引脚输入供电。

该器件提供两种接口型号：

1. HW 型号 - 硬接线接口型号，便于器件配置。器件中可用引脚的数量有限，因此与 SPI 型号相比，该型号提供的配置和故障报告功能更少。
2. SPI 型号 - 具有菊花链功能的标准 4 线串行外设接口 (SPI)，能够灵活地配置器件并将详细的故障报告给外部控制器。可以在器件比较一节中找到 SPI 和 HW 型号的功能差异。

、DRV8163-Q1 器件使用高侧功率 MOSFET 上的电流镜提供负载电流检测输出。IPROPI 引脚提供一个小电流，该电流与高侧 MOSFET 中的电流成比例（电流来自 OUTx 引脚）。可以使用外部电阻器 (R_{IPROPI}) 将该电流转换成比例电压。此外，SPI 型号支持 IPROPI 引脚编程，用于输出与内核温度成比例的电压。器件还支持采用固定关断时间 PWM 斩波方案以限制负载电流。可以通过 ITRIP 功能配置电流调节电平。

该器件集成了多种保护特性和诊断功能。其中包括电源电压监测器（VMUV 和 VMOV）、关断状态（无源）诊断 (OLP)、导通状态（有源）诊断 (OLA)、针对各功率 FET 的过流保护 (OCP)、断电制动 (POB)、过热警告 (OTW)、内核温度监测器以及过热关断 (TSD)。故障情况通过 nFAULT 引脚指示。SPI 型号具有额外的通信保护功能，例如配置寄存器位和驱动器控制位的帧错误和锁定功能。

7.2 功能方框图

ADVANCE INFORMATION

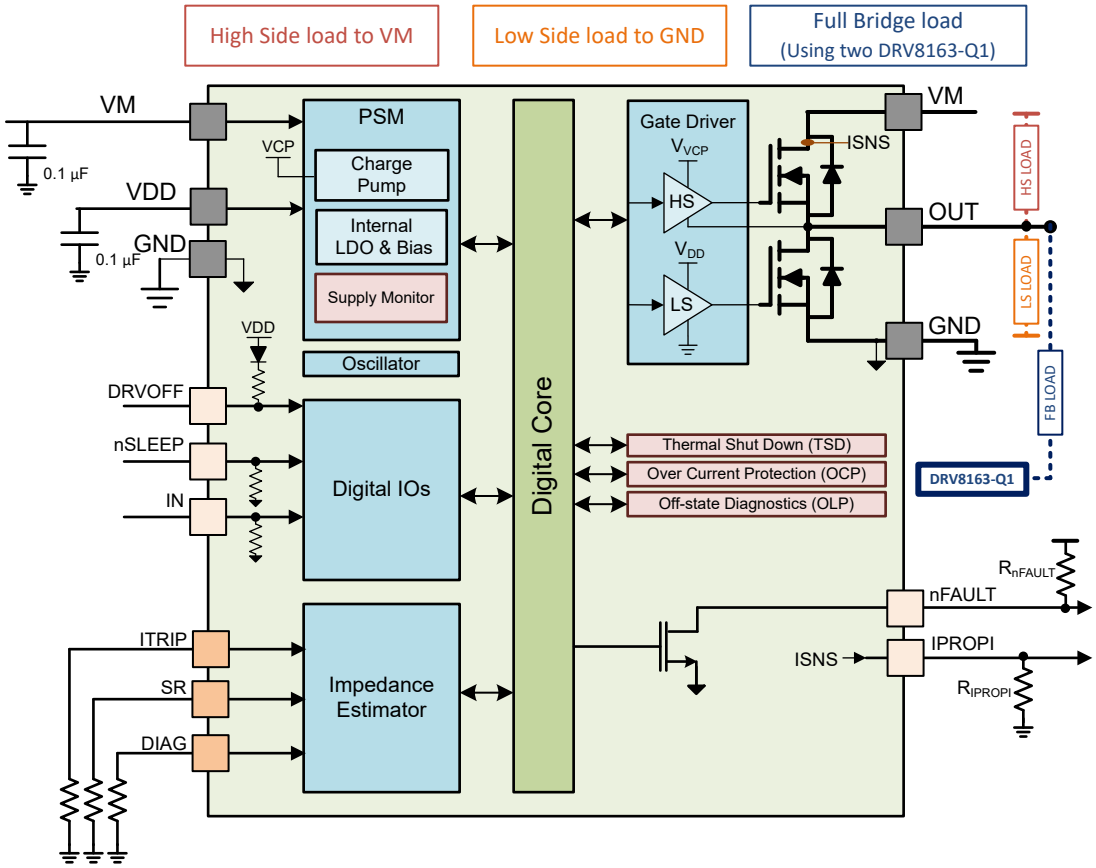


图 7-1. 功能方框图 - HW 型号

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

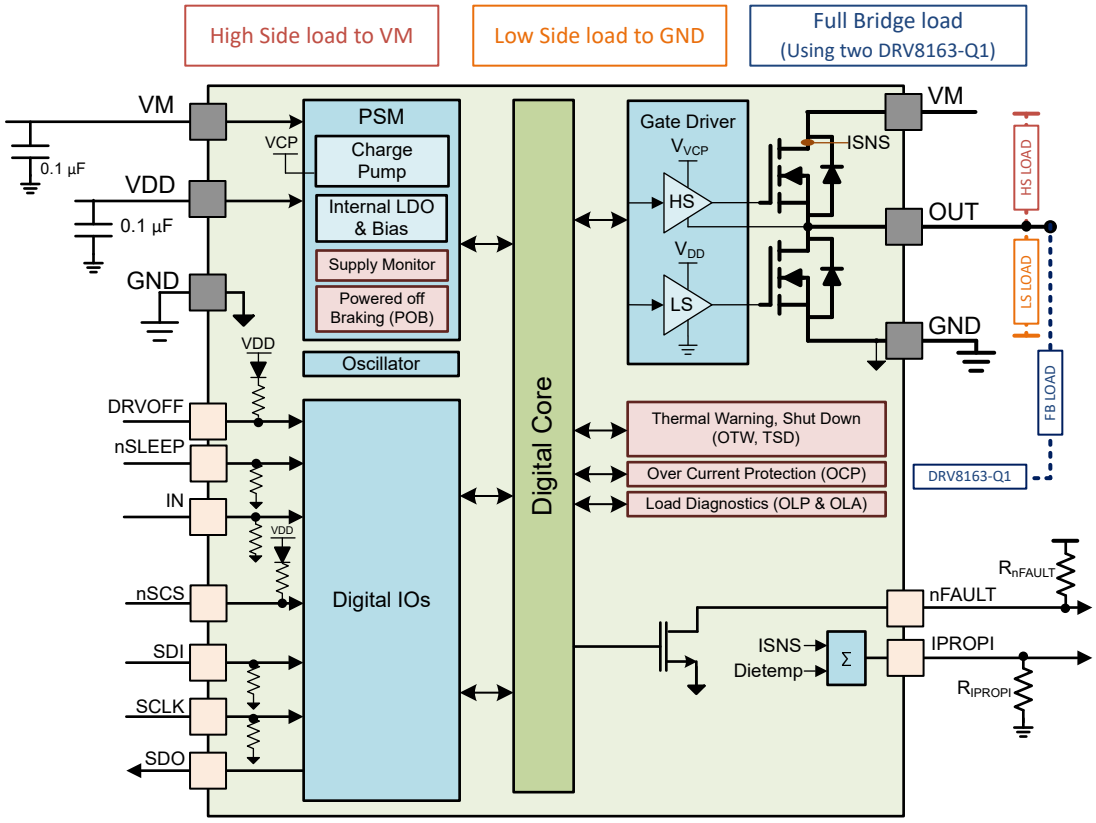


图 7-2. 功能方框图 - SPI 型号

7.3 特性说明

7.3.1 外部组件

表 7-1 和 表 7-2 包含推荐用于此器件的外部元件。

7.3.1.1 HW 型号

表 7-1. HW 型号的外部元件表

元件	引脚	建议
C_{VM1}	VM	0.1µF 的低 ESR 陶瓷电容器连接至 GND，额定电压为 VM
C_{VM2}	VM	本地大容量电容器连接至 GND，10µF 或更高，额定电压为 VM，可处理负载瞬态。请参阅“确定大容量电容器的大小”一节。
C_{VDD}	VDD	0.1µF、6.3V、低 ESR 陶瓷电容器连接到 GND。
R_{IPROPI}	IPROPI	通常 500 - 5000Ω 0.063W 电阻连接至 GND，具体取决于控制器 ADC 动态范围。如果不需要 ITRIP 和 IPROPI 功能，可以将该引脚短接至 GND。
C_{IPROPI}	IPROPI	可选的 10 - 100nF、6.3V 电容器连接至 GND，以减慢 ITRIP 调节环路。请参阅过流保护 (OCP)一节 。
R_{nFAULT}	nFAULT	通常 1KΩ - 10KΩ、0.063W 上拉电阻器连接至控制器电源。
R_{SR}	SR	根据设置，开路或短路到 GND，或 0.063W、10% 电阻器连接到 GND。请参阅 SR 一节。
R_{ITRIP}	ITRIP	根据设置，开路或短路到 GND，或 0.063W、10% 电阻器连接到 GND。请参阅 ITRIP 表。
R_{DIAG}	DIAG	根据设置，开路或短路到 GND，或 0.063W、10% 电阻器连接到 GND。请参阅 DIAG 一节。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.1.2 SPI 型号

表 7-2. SPI 型号的外部元件表

元件	引脚	建议
C_{VM1}	VM	0.1μF 的低 ESR 陶瓷电容器连接至 GND，额定电压为 VM
C_{VM2}	VM	本地大容量电容器连接至 GND，10μF 或更高，额定电压为 VM，可处理负载瞬态。请参阅“确定大容量电容器的大小”一节。
C_{VDD}	VDD	0.1μF、6.3V、低 ESR 陶瓷电容器连接到 GND。
R_{IPROPI}	IPROPI	通常 500 - 5000Ω 0.063W 电阻连接至 GND，具体取决于控制器 ADC 动态范围。如果不需要 ITRIP 和 IPROPI 功能，可以将该引脚短接至 GND。
C_{IPROPI}	IPROPI	可选的 10 - 100nF、6.3V 电容器连接至 GND，以减慢 ITRIP 调节环路。请参阅过流保护 (OCP)一节 。
R_{nFAULT}	nFAULT	通常 1KΩ - 10KΩ、0.063W 上拉电阻器连接至控制器电源。如果没有使用 nFAULT 信令，此引脚可以短接至 GND 或保持开路。

7.3.2 电桥控制

DRV8163-Q1 器件通过引脚、DRVOFF 和 IN 提供简单的双引脚输出控制。

输入端可接受 100% 或 PWM 驱动模式的静态或脉宽调制 (PWM) 电压信号。可以在应用 VM 之前为器件输入引脚供电。默认情况下，nSLEEP 和 DRVOFF 引脚分别具有内部下拉和上拉电阻器，以便在没有输入时保持输出为高阻态。IN 引脚还具有内部下拉电阻器。

在开关半桥上的高侧和低侧 FET 之间转换时，该器件会自动生成所需的死区时间。该时序基于内部 FET 栅源电压反馈。无需外部时序。该方案提供了最短的死区时间，同时保证没有击穿电流。

备注

1. SPI 型号还通过 SPI_IN 寄存器位提供额外的控制。请参阅寄存器 - 引脚控制。

下表展示了桥接控制的逻辑表。有关负载说明，请参阅节 9.1.1。

表 7-3. 控制表

nSLEEP	DRVOFF	IN	OUT	器件状态
0	X	X	高阻态	SLEEP
1	1	0	高阻态	STANDBY
1	1	1	参考表	STANDBY
1	0	0	L	运行
1	0	1	H(1)	运行

(1) 如果启用内部 ITRIP 调节并达到 ITRIP 电平，则 OUTx 在固定时间内强制为“L”

7.3.2.1 寄存器 - 引脚控制 - 仅限 SPI 型号

如果 **SPI_IN 寄存器未锁定**，SPI 型号允许通过 SPI_IN 寄存器中的特定寄存器位 S_DRVOFF、S_IN 来控制电桥。用户可以通过将正确的组合写入 COMMAND 寄存器中的 SPI_IN_LOCK 位来解锁此寄存器。

此外，用户可以使用 SPI_IN 寄存器中的对应寄存器位在每个外部输入引脚的逻辑与/或组合之间进行配置。此逻辑配置通过 CONFIG4 寄存器的对应选择位来完成。

- DRV_SEL 和 IN_SEL

输出的控制类似于前面章节中介绍的真值表，但带有这些逻辑组合的输入。这些组合输入如下所列：

- Combined input = Pin input **OR** equivalent SPI_IN register bit, if equivalent CONFIG4 select bit = 0b
- Combined input = Pin input **AND** equivalent SPI_IN register bit, if equivalent CONFIG4 select bit = 1b

Copyright © 2025 Texas Instruments Incorporated

请注意，休眠功能仍需用到外部 nSLEEP 引脚。

此逻辑组合为用户提供了更高的可配置性，具体如下表所示。

表 7-4. 寄存器 - 引脚控制示例

示例	CONFIG4 : xxx_SEL 位	PIN 状态	SPI_IN 位状态	注释
DRVOFF 作为冗余关断	DRV_SEL = 0b	DRVOFF 有效	S_DRVOFF 有效	DRVOFF 引脚 = 1 或 S_DRVOFF bit = 1 均会关闭输出
仅引脚控制	DRV_SEL = 1b	DRVOFF 有效	S_DRVOFF = 1b	仅 DRVOFF 引脚功能可用
仅寄存器控制	IN_SEL = 0b	IN - 对地短路或悬空	S_IN 有效	IN 功能将由控制器位单独控制

7.3.3 器件配置

本节介绍了各种器件的配置，使用户能够根据用例配置器件。

7.3.3.1 压摆率 (SR)

SR 引脚（HW 型号）或 CONFIG3 寄存器中的 SR 位（SPI 型号）决定了驱动器输出的电压压摆率。这使得用户能够优化 PWM 开关损耗，同时满足 EM 一致性要求。该器件支持四种压摆率设置。根据具体用例，请参阅电气特性一节中高侧再循环或低侧再循环的开关参数表，了解压摆率范围和值。

备注

SPI 型号还提供了**可选**展频时钟 (SSC) 功能，该功能使用 ~1.3MHz 三角函数将内部振荡器频率围绕其均值扩展+/- 12% ，从而在频率较高时减少辐射。硬件型号中**没有**展频时钟 (SSC) 功能。

在 HW 型号中，SR 引脚在器件上电或从休眠中唤醒后的初始化期间**锁存**。运行期间，更新受阻。

在 SPI 型号中，只要 SPI 通信可用，就可以通过写入 SR 位随时更改压摆率设置。此更改会立即反映出来。

7.3.3.2 IPROPI

该器件具有用于电流检测和内核温度测量的输出（IPROPI 引脚）。此信息可用于负载的状态或调节（在 OUTx 引脚上)，或检查内核温度。通过集成此类功能，无需使用多个外部检测电阻器或检测电路，有助于减小系统尺寸，降低系统的成本和复杂程度。

该器件通过使用无分流器的高侧电流镜像拓扑来检测负载电流。这样，当器件完全打开（线性模式）时，只能从 VM → OUT → Load 感测单向高侧电流。

为了产生比例电压 V_{IPROPI}， IPROPI 引脚必须连接到外部电阻器 (R_{IPROPI}) 并接地。这样即可使用模数转换器 (ADC) 将负载电流作为 R_{IPROPI} 电阻器上的压降进行测量。可以根据应用中的预期负载电流来调节 R_{IPROPI} 电阻器的大小，以利用控制器 ADC 的整个量程。

根据 ISEL 位设置，IPROPI 输出还可以提供内核温度的模拟电压表示。该设计旨在用于测试和评估，但不支持在器件运行时使用。

表 7-5. DRV8163-Q1 的 ISEL 设置

ISEL	IPROPI
11b	I_{HS} x A_{IPROPI}
00b	内核温度读数

备注

不建议使用 ISEL = 01b 或 10b

当 IPROPI 输出配置为内核温度读数时，器件会根据以下公式输出电流：

ADVANCE INFORMATION

电流 (μ A) = 3.0054 * (°C 格式下的温度) + 779

此公式适用于 -40°C 到 185°C 之间的温度。例如，当内核温度为 85°C 且内核温度读数选用 ISEL 时，流出 IPROPI 引脚的电流将为 1.035mA。

7.3.3.3 ITRIP 调节

该器件提供可选的内部负载电流调节功能，其使用固定 TOFF 时间法。这是通过将 IPROPI 引脚上的电压与由 ITRIP 设置确定的基准电压进行比较来完成的。对于 HW 型号，TOFF 时间固定为 30μsec，而对于使用 CONFIG3 寄存器中 TOFF 位的 SPI 型号，该时间配置在 20 到 50μsec 之间。

启用后，ITRIP 调节仅在启用 HS FET 并且可以进行电流检测时才起作用。在这种情况下，当 IPROPI 引脚上的电压超过 ITRIP 设置的基准电压时，内部电流调节环路会强制执行以下操作：

- OUT = L，TOFF 时间固定

备注

用户输入始终**优先**于内部控制。这意味着如果输入在 TOFF 时间内发生变化，则 TOFF 时间的剩余部分将被忽略，输出将按照命令跟随输入。

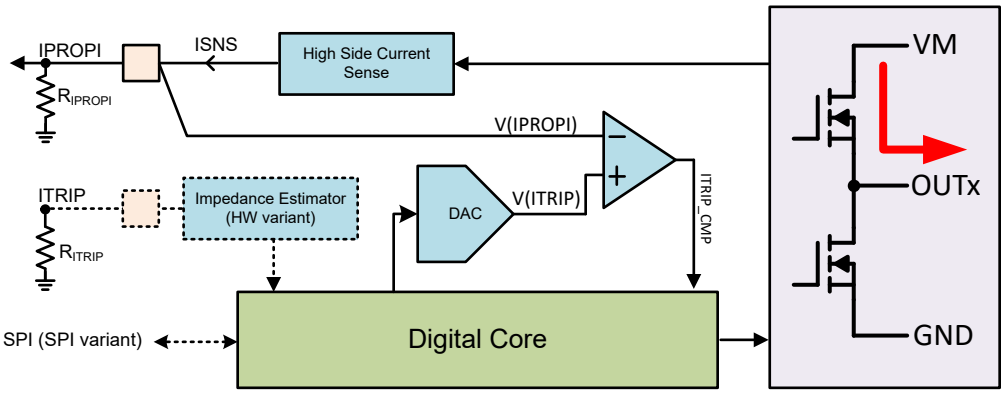


图 7-3. ITRIP 实施

通过以下公式设置电流限值：

$$\text{ITRIP regulation level} = V_{ITRIP} / (R_{IPROPI} \times A_{IPROPI}) \quad (2)$$

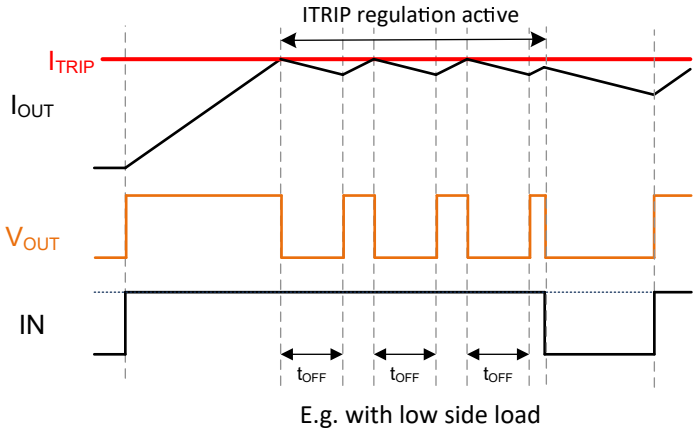


图 7-4. 固定 TOFF ITRIP 电流调节

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

在输出转换期间，ITRIP 比较器输出 (ITRIP_CMP) 会被忽略，以避免由于负载电容的电流尖峰而误触发比较器输出。此外，在从低侧再循环转换的情况下，需要额外的消隐时间 t_{BLANK}，以便使检测环路在 ITRIP 比较器输出有效之前趋于稳定。

ITRIP 是 HW 型号的 6 级设置。SPI 型号提供了另外两种设置。下表对此进行了总结：

表 7-6. ITRIP 表

ITRIP 引脚	S_ITRIP 寄存器位	V_{ITRIP} [V]
R_{LVL1}	000b	禁用调节
R_{LVL2}	001b	1.18
不可用	010b	1.41
不可用	011b	1.65
R_{LVL3}	100b	1.98
R_{LVL4}	101b	2.31
R_{LVL5}	110b	2.64
R_{LVL6}	111b	2.97

在 HW 型号的器件中，ITRIP 引脚的更改是**透明**的，并且更改会立即反映出来。

在 SPI 型号的器件中，只要 SPI 通信可用，就可以通过写入 S_ITRIP 位随时更改 ITRIP 设置。此更改会立即反映在器件行为中。

仅限 SPI 型号 - 如果达到 ITRIP 调节电平，则设置 STATUS1 寄存器中的 ITRIP_CMP 位。没有 nFAULT 引脚指示。可以使用 CLR_FLT 命令清除该位。

备注

如果应用需要线性 ITRIP 控制，并且步长超出器件提供的选择范围，则可以使用外部 DAC 强制施加 IPROPI 电阻器底部的电压，而不是将其端接至 GND。进行这种修改后，可以通过外部 DAC 设置来控制 ITRIP 电流，如下所示：

$$\text{ITRIP regulation level} = (V_{ITRIP} - V_{DAC}) / (R_{IPROPI} \times A_{IPROPI}) \quad (3)$$

7.3.3.4 DIAG

DIAG 是一个引脚（HW 型号）或寄存器（SPI 型号）设置，用于器件的运行操作和待机操作，如下所示：

- 待机状态
  - 启用或禁用关断状态诊断 (OLP)，并在启用时选择 OLP 组合。有关详细信息，请参阅关断状态诊断 (OLP) 一节中的表格。
- 运行状态
  - 如果负载类型指示为高侧负载，则屏蔽 ITRIP 调节功能。
  - 仅限 SPI 型号 - 如果负载类型指示为低侧负载，则屏蔽主动开路负载检测 (OLA)。
  - 仅限 HW 型号 - 在重试设置和锁存设置之间配置器件唤醒和故障反应

7.3.3.4.1 HW 型号

对于 HW 型号，DIAG 引脚是 6 级设置。根据具体模式，下表总结了相关配置。

表 7-7. HW 型号的 DIAG 表

DIAG 引脚	待机状态	运行状态		
	关断状态诊断	故障反应	IPROPI / ITRIP	注释
R_{LVL1}	禁用	重试	可用	用于低侧负载
R_{LVL2}	启用[(1)]	锁存	可用	

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-7. HW 型号的 DIAG 表（续）

DIAG 引脚	待机状态	运行状态		
	关断状态诊断	故障反应	IPROPI / ITRIP	注释
R_{LVL3}	启用(1)	锁存	禁用	用于高侧负载
R_{LVL4}	启用(1)	重试	禁用	
R_{LVL5}	禁用	锁存	可用	用于低侧负载
R_{LVL6}	启用(1)	重试	可用	

(1) 有关组合的详细信息，请参阅关断状态诊断 (OLP) 一节中的表格

备注

仅限 HW 型号 - 不支持为高侧负载用例禁用关断状态诊断的选项。在这种情况下，将 DRVOFF 引脚设置为高电平并将 IN 引脚设置为低电平是禁用关断状态诊断的唯一方法。

在 HW 型号中，DIAG 引脚在器件上电或从休眠中唤醒后的初始化期间**锁存**。运行期间，更新受阻。

7.3.3.4.2 SPI 型号

对于 SPI 型号， CONFIG2 寄存器中 S_DIAG 是 2 位设置。根据模式的不同，下表总结了其配置。

表 7-8. SPI 型号的 DIAG 表

S_DIAG 位	待机状态	运行状态		
	关断状态诊断	导通状态诊断	IPROPI / ITRIP	注释
00b	禁用	禁用	可用	用于低侧负载
01b	启用(1)	禁用	可用	
10b	禁用	可用	禁用	用于高侧负载
11b	启用(1)	可用	禁用	

(1) 有关组合的详细信息，请参阅关断状态诊断 (OLP) 一节中的表格

在 SPI 型号的器件中，只要 SPI 通信可用，就可以通过写入 S_DIAG 位来更改设置。此更改会立即反映出来。

7.3.4 保护和诊断

驱动器受到保护，不会因过流和过热事件而受到损坏，确保了器件的稳健性。此外，该器件还提供负载监测（导通状态和关断状态）和 VM 引脚上的过压/欠压监测，用于指示任何意外状况。故障信令通过低侧开漏 nFAULT 引脚完成，在检测到故障情况时，引脚会拉至 GND。转换到休眠状态会自动使 nFAULT 无效。

备注

在 SPI 型号中，nFAULT 引脚逻辑电平是 FAULT 寄存器中 FAULT 位的反向拷贝。只有当启用关断状态诊断且锁定 SPI_IN 寄存器时才会出现异常（请参阅 OLP 一节）。

对于 SPI 型号，每当 nFAULT 置位为低电平时，器件就会将故障记录到 FAULT 寄存器和 STATUS 寄存器中。这些寄存器只能通过 CLR_FLT 命令清除。

可以通过以下方式在 16 位 SPI 帧内获得所有用于定期软件监控的有用诊断信息：

- 在活动状态期间读取 STATUS1 寄存器
- 在待机状态期间读取 STATUS2 寄存器

所有可诊断的故障事件都可以通过读取状态寄存器来进行专门标识。

7.3.4.1 过流保护 (OCP)

- 器件状态：运行

Copyright © 2025 Texas Instruments Incorporated

- 机制和阈值：即使发生了硬短路事件，每个 MOSFET 上的模拟电流限制电路也会限制器件输出的峰值电流。如果输出电流超过过流阈值 I_{OCP} 且持续时间超过 t_{OCP}，则会检测到过流故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - OUT 为高阻态
  - 对于 GND 短路故障（在高侧 FET 上检测到过电流），即使 FET 已禁用，IPROPI 引脚也会继续上拉至 V_{IPROPI_LIM}。对于 HW 型号，这有助于将运行状态下的 GND 短路故障与其他故障类型区分开来，因为 IPROPI 引脚被拉高，而 nFAULT 引脚被置位为低电平。
- 可基于 t_{RETRY} 和 t_{CLEAR} 在锁存设置和重试设置之间配置反应
- 用户可以在 IPROPI 引脚上添加一个 10nF 至 100nF 范围内的电容器，以确保在启用内部 ITRIP 调节时出现负载短路的情况下进行 OCP 检测。如果是短路中有足够电感的负载短路，则会在 OCP 检测之前触发 ITRIP 调节，从而导致器件缺少短路检测，情况尤其如此。为了确保 OCP 检测在此竞态条件下胜出，IPROPI 引脚上添加的小电容会使 ITRIP 调节环路减慢，使 OCP 检测电路能够按预期工作。

SPI 型号提供可配置的 I_{OCP} 电平和 t_{OCP} 滤波时间。有关这些设置，请参阅 CONFIG4 寄存器。

7.3.4.2 过热警告 (OTW) - 仅限 SPI 型号

- 器件状态：待机、运行中
- 机制和阈值：如果内核温度超过 T_{OTW} 的时间大于 t_{OTW}，则会检测到过热警告。
- OTW_SEL 位对 T_{OTW} 电平进行编程。有关这些设置，请参阅 CONFIG1 寄存器。
- 操作：
  - OTW 位设为 1b
  - 器件不会执行任何其他操作，并且会继续运行
  - 如果 OTW_REP 位为 1b -
    - nFAULT 输出会被拉低
    - FAULT 位设为 1b
- 当内核温度降至低于过热警告的迟滞点 (T_{HYS_OTW}) 时，会自动清除 OTW 位。

7.3.4.3 过热保护 (TSD)

- 器件状态：待机、运行中
- 机制和阈值：如果器件检测到过热事件，由 T_{TSD} 设置的时间超过 t_{TSD} ，则会检测到过热故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - OUT 为高阻态
  - IPROPI 引脚为高阻态
- 可基于 T_{HYS} 和 t_{CLEAR_TSD} 在锁存设置和重试设置之间配置反应

7.3.4.4 关断状态诊断 (OLP)

当功率 FET 关闭时，用户可以在待机状态下通过关断状态诊断来确定 OUT 节点上的阻抗。通过此诊断，可以在待机状态下被动检测以下故障情况：

- 输出对 VM 或 GND 短路 < 100Ω
- 对于低侧负载，开路负载 > 1KΩ
- 对于高侧负载，开路负载 > 10KΩ，VM = 48V

备注

通过此诊断无法检测**负载短路**。然而，在运行状态下，如果在操作期间发生过流故障 (OCP)，用户可以从逻辑上推断出这一点，但在待机状态下，OLP 诊断不会报告任何故障。运行状态下的 OCP 和待机状态下的 OLP 都意味着终端短路（OUT 节点短路）。

- 用户可以配置以下组合

ADVANCE INFORMATION

ADVANCE INFORMATION

- OUT 上的内部上拉电阻 (R_{OLP_PU})
- OUT 上的内部下拉电阻 (R_{OLP_PD})
- 比较器基准电平

- 如果 SPI_IN 寄存器已解锁，此组合由控制器输入（引脚仅用于 HW 型号）或 SPI 型号的 SPI_IN 寄存器中的等效位决定。
- HW 型号 - 启用关断状态诊断时，比较器输出 (OLP_CMP) 在 nFAULT 引脚上可用。
- SPI 型号 — 关断状态诊断比较器输出 (OLP_CMP) 在 STATUS2 寄存器中的 OLP_CMP 位上可用。此外，如果 SPI_IN 寄存器已锁定，则当启用关断状态诊断时，该比较器输出也可在 nFAULT 引脚上使用。
- 用户需要切换所有的组合并在比较器输出稳定后记录比较器输出。
- 根据输入组合和比较器输出，用户可以判断输出是否有故障。

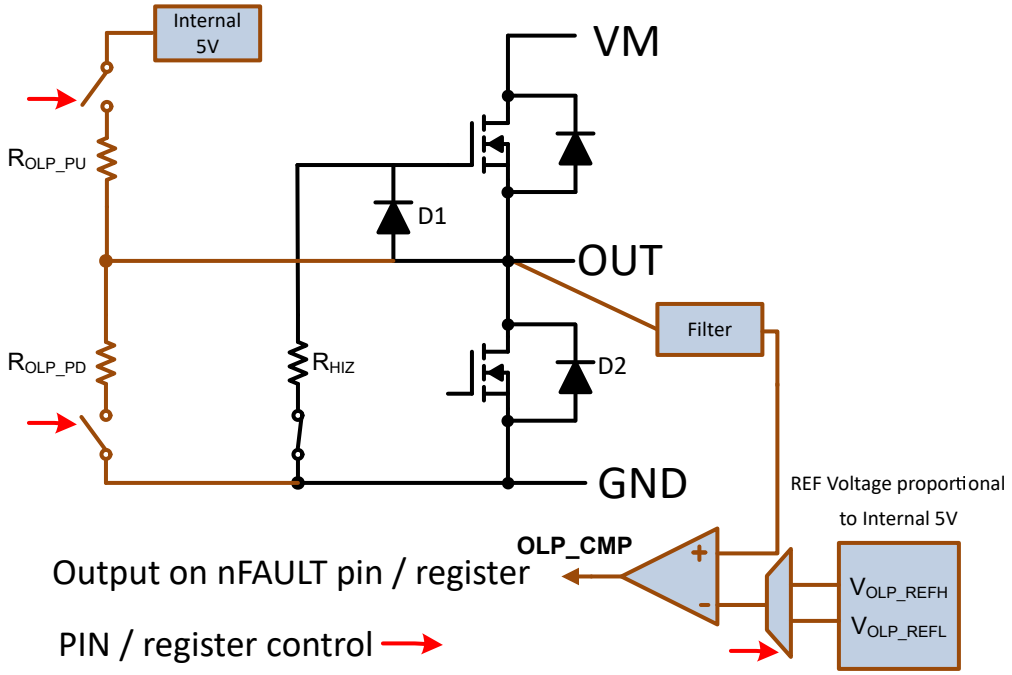


图 7-5. 关闭状态（无源）诊断

低侧负载的无故障场景与故障场景的 OLP 组合和真值表如 表 7-9 所示。

表 7-9. 低侧负载的关断状态诊断表

用户输入					OLP 设置		OLP_CMP 输出		
DIAG 引脚	S_DIAG 位	nSLEEP	DRVOFF	IN	OUT	CMP REF	正常	开路	短路
LVL2、LVL6	01b	1	1	1	R_{OLP_PU}	V_{OLP_REFH}	L	H	H
LVL3、LVL4	11b	1	1	1	R_{OLP_PD}	V_{OLP_REFL}	L	L	H

高侧负载的无故障场景与故障场景的 OLP 组合和真值表如 表 7-10 所示。

Copyright © 2025 Texas Instruments Incorporated

表 7-10. 高侧负载的关断状态诊断表

用户输入					OLP 设置		OLP_CMP 输出		
DIAG 引脚	S_DIAG 位	nSLEEP	DRVOFF	IN	OUT	CMP REF	正常	开路	短路
LVL2、LVL6	01b	1	1	1	R_{OLP_PU}	V_{OLP_REFH}	**H**	**H**	**L**
LVL3、LVL4	11b	1	1	1	R_{OLP_PD}	V_{OLP_REFL}	**H**	**L**	**L**

7.3.4.5 导通状态诊断 (OLA) - 仅限 SPI 型号

- 器件状态：运行 - 高侧再循环
- 机制和阈值：导通状态诊断 (OLA) 可以在高侧再循环期间检测处于运行状态的开路负载。这包括直接连接到 VM 或通过另一个半桥上的高侧 FET 进行连接的高侧负载。在 PWM 开关转换期间，当 LS FET 关闭时，电感负载电流通过 HS 体二极管再循环到 VM。该器件在 HS FET 开启之前的短暂死区时间内在 OUTx 上寻找高于 VM 的电压尖峰。为了观察电压尖峰，此负载电流需要高于被 FET 驱动器置位的输出上的下拉电流 (I_{PD_OLA})。器件具有用于连续 "16" 或 "1024" 个再循环开关周期的可配置位 OLA_FLTR (CONFIG4)，且未出现电压尖峰，表明负载电感丢失或负载电阻增加，并被检测为 OLA 故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 输出 - 维持正常运行
  - IPROPI 引脚 - 维持正常运行
- 可在锁存设置和重试设置之间配置反应。在重试设置中，在再循环切换周期中检测到连续“16”或“1024”个电压尖峰时，OLA 故障自动清除。
- 方向变化期间的 OLA 故障行为：
  - 重试模式 - 如果在 OUTx 上检测到开路负载条件，且该条件持续时间超过滤波器时间，则 OLAx 位将被置位。OLAx 滤波器在方向改变时被清除。
  - 锁存模式 - 如果在 OUTx 上检测到开路负载条件，且该条件持续时间超过滤波器时间，则 OLAx 将被置位。在发出 CLR_FLT 命令之前，OLAx 保持锁存状态。OLAx 滤波器在方向改变时被清除。
- CLR_FLT 命令期间的 OLA 故障行为：
  - 重试模式 - 不使用 CLR_FLT 命令。
  - 锁存模式 - 如果在 OUT1 上检测到开路负载条件，且该条件持续时间超过滤波时间，

    则 OLA1 将被置位。OLAx 会保持锁存状态，直到发出 CLR_FLT 命令为止，无论开路负载条件如何，该命令都会被清除。如果该情况确实存在，则在经过滤波时间后将再次报告 OLA 故障。

此监控是可选的，并且可以禁用。

备注

低侧负载（低侧再循环）不支持 OLA。

ADVANCE INFORMATION

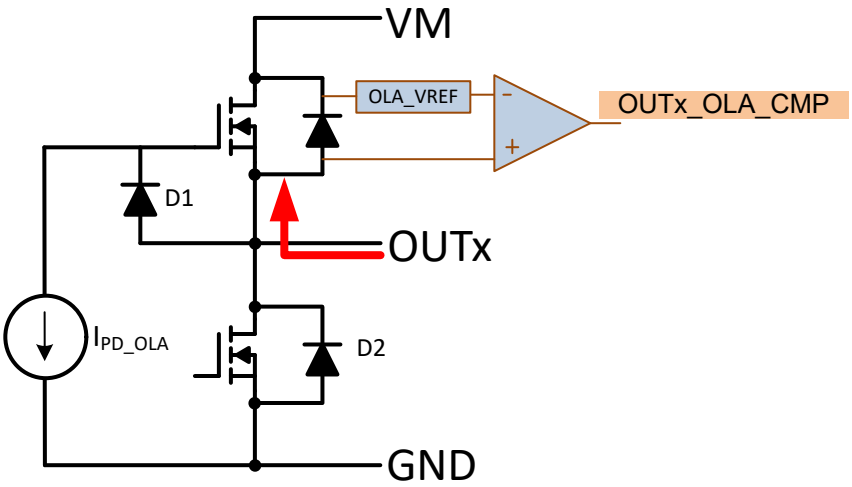


图 7-6. 导通状态诊断

7.3.4.6 VM 过压监测器 - 仅限 SPI 型号

- 器件状态：待机、运行中
- 机制和阈值：如果 VM 引脚上的电源电压超过阈值，由 V_{VMOV} 设置的时间超过 t_{VMOV}，则会检测到 VM 过压故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 输出 - 维持正常运行
  - IPROPI 引脚 - 维持正常运行
- 重试和锁存设置之间的反应可配置

此监测功能是可选项，可通过将 OVSEL 位设为 1b 来禁用。

7.3.4.7 VM 欠压监视器

- 器件状态：待机、运行中
- 机制和阈值：如果 VM 引脚上的电源电压低于阈值，由 V_{VMUV} 设置的时间超过 t_{VMUV}，则会检测到 VM 欠压故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - OUT 为高阻态
  - IPROPI 引脚为高阻态
- HW 型号：DIAG 重试设置和锁存设置之间的反应可配置
- SPI 型号：重试和锁存设置之间的反应可配置
- 请注意，重试时间仅取决于 VM 欠压条件的恢复情况，且与 t_{RETRY}/t_{CLEAR} 时间无关

7.3.4.8 上电复位 (POR)

- 器件状态：全部
- 机制和阈值：如果 VDD 降至 V_{POR_FALL} 以下且持续时间超过 t_{POR}，那么则会执行上电复位，对器件进行硬复位。
- 操作：
  - 将 nFAULT 引脚取消置位
  - OUT 为高阻态
  - IPROPI 引脚为高阻态。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

- 当 VDD 恢复到 V_{POR_RISE} 电平以上时，器件将执行唤醒初始化，同时 nFAULT 引脚将置位为低电平，以将此复位告知用户（请参阅唤醒瞬态）。
- 故障反应：始终重试，重试时间取决于用于启动器件唤醒的外部电源条件

7.3.4.9 断电制动 (POB)

当电机由外力驱动时，它充当发电机，将电流泵回电源电压轨。这可能会损坏连接到电源轨的其他电路。断电制动 (POB) 特性可防止电源电压升高。

在低功耗睡眠模式下或当电桥处于禁用状态（高阻态）时，如果电源电压高于 V_{VMOV_POB}，且输出节点电压比电源电压高出 V_{POB_TH} 以上，则器件将导通低侧 MOSFET。这样，该器件就可以通过短接电机端子上的反电动势来主动制动连接到输出端的电机。

默认情况下，断电制动 (POB) 功能处于禁用状态。上电后，可将 CONFIG3 寄存器的 EN_POB 位设置为 1b 以禁用该特性。EN_POB 逻辑状态被锁存，因此在睡眠模式下，即使内部数字逻辑复位，器件也会根据 EN_POB 位设置运行。必须存在 VDD 电源才能锁存 EN_POB 逻辑状态。

在睡眠模式下，如果功率级中存在电源短路故障，则提供一个配备模拟 RC 抗尖峰脉冲滤波器的简单过流检测器电路，以便在制动期间检测到高电流事件时禁用低侧 MOSFET。这很有必要，因为在器件的低功耗睡眠模式下，正常的过流保护电路会被禁用。过流比较器和 RC 抗尖峰脉冲滤波器值是固定的，不支持调整。

7.3.4.10 事件优先级

在运行状态下，当同时发生两个或多个事件时，器件根据以下优先级表分配对驱动器的控制。

表 7-11. 事件优先级表

事件	优先级
用户休眠命令	1
用户输入：DRVOFF	2
过热保护 (TSD)	3
过流检测 (OCP)[(1)]	4
VM 欠压检测 (VMUV)	5
输入下：IN	6
通过 ITRIP 调节实现内部 PWM 控制	7
VM 过压检测 (VMOV)	8

(1) 如果发生任何优先级低于 OCP 的事件，器件等待确认 OCP 事件（等待 t_{OCP}），则器件可能将对其他事件的服务延迟最长 t_{OCP} 时间以启用对 OCP 事件的检测。

7.3.5 器件功能模式

该器件具有三种功能状态：

- SLEEP
- STANDBY
- 运行

下节将介绍这些状态。

7.3.5.1 休眠状态

当 nSLEEP 引脚置位为低电平的时间大于 t_{SLEEP} 或者 VDD 引脚上的电压小于 VDD_{POR_FALL} 时，便会出现此状态。

这是器件的深度休眠低功耗 (I_{SLEEP}) 状态，在该状态下，除唤醒命令之外，所有运行指令都不会被处理。驱动器处于高阻态状态。内部电源轨（5V 或其他）已断电。在此状态下，nFAULT 引脚会被取消置位。器件可以从待机或运行状态进入此状态。

ADVANCE INFORMATION

7.3.5.2 待机状态

当 nSLEEP 引脚被置为高电平，或当 VDD 引脚上的电压 > VDD_{POR_RISE} 且所有模式的 DRVOFF = 逻辑高电平时。在此状态下，如果器件通电 ($I_{STANDBY}$)，则驱动器会处于高阻态且 nFAULT 失效。当收到命令时，器件随时可以切换到运行状态或睡眠状态。关断状态诊断 (OLP) (如果启用) 会在此状态下完成。

7.3.5.3 唤醒至待机状态

器件开始从休眠状态转换至待机状态

- 如果 nSLEEP 引脚变为高电平且持续时间超过 t_{WAKE}，或者
- 如果 VM 电源电压大于 VM_{POR_RISE} 或 VDD 电源电压大于 VDD_{POR_RISE}，则释放内部 POR，以指示上电。

该器件通过初始化序列来加载其内部寄存器，并按照以下顺序唤醒所有模块：

- 在一段时间内，即唤醒后的时间 t_{COM} 内，该器件能够进行通信。这是通过将 nFAULT 引脚置位为低电平来指示的。
- 当该器件唤醒完成时，接下来是准备时间 t_{READY}。
- 此时，HW 型号器件将进入待机模式。对于 SPI 型号，一旦器件通过 SPI 接收到 CLR FAULT 命令作为对从控制器唤醒的确认，器件就会进入待机状态。这是通过将 nFAULT 引脚取消置位来指示的。在此之前，驱动器保持高阻态。
- 在此之后，该器件便已准备就绪，可根据与相对应的真值表来驱动电桥。

请参阅唤醒瞬态波形以查看图示。

7.3.5.4 运行状态

器件在此状态下完全正常运行，驱动器由前面章节所述的其他可输入的指令控制。通过 nFAULT 引脚上的故障信令，所有保护特性均可完全正常运作。 SPI 通信可用。器件只能从待机状态转换到此状态。

7.3.5.5 nSLEEP 复位脉冲 (HW 型号，仅限锁存设置)

这是通过 nSLEEP 引脚从控制器到器件的特殊通信信号，仅适用于 HW 型号。这用于：

- 当故障反应配置为锁存设置时清除锁存故障，而不强制器件进入休眠状态，也不会影响任何其他功能 (等效于 SPI 型号中的 CLR_FAULT 命令)

nSLEEP 上的此脉冲必须大于 t_{RESET} 时间的 nSLEEP 抗尖峰时间，但小于 t_{SLEEP} 时间，如以下表 7-12 中的案例 3 所示。

表 7-12. nSLEEP 时序 (仅限 HW 型号)

案例编号	窗口开始时间	窗口结束时间	命令解释	
			清除故障	睡眠
1	0	t_{RESET} 最小值	否	否
2	t_{RESET} 最小值	t_{RESET} 最大值	不确定	否
3	t_{RESET} 最大值	t_{SLEEP} 最小值	是	否
4	t_{SLEEP} 最小值	t_{SLEEP} 最大值	是	不确定
5	t_{SLEEP} 最大值	无限制	是	是

Copyright © 2025 Texas Instruments Incorporated

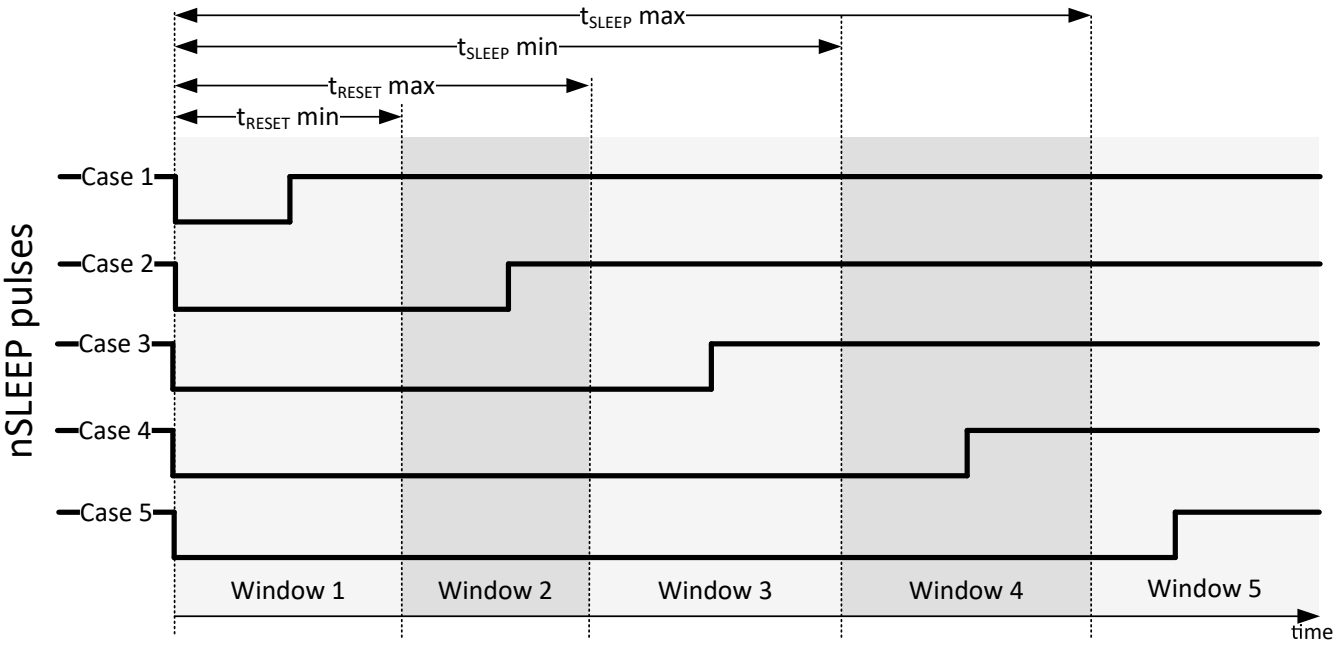


图 7-7. nSLEEP 脉冲场景

7.3.6 编程 - 仅限 SPI 型号

7.3.6.1 SPI 接口

SPI 型号提供全双工、4 线同步通信，用于设置器件配置、工作参数，以及从器件读取诊断信息。SPI 在外设模式下运行，并连接到控制器。串行数据输入 (SDI) 字由 16 位字组成，即 8 位命令 (A1) 后跟 8 位数据 (D1)。串行数据输出 (SDO) 字由 FAULT 字节 (S1) 后跟报告字节 (R1) 组成。报告字节为供读取命令访问的寄存器数据，而对于写入命令，则为空值。图 7-8 展示了 MCU 和 SPI 外设驱动器之间的数据序列。

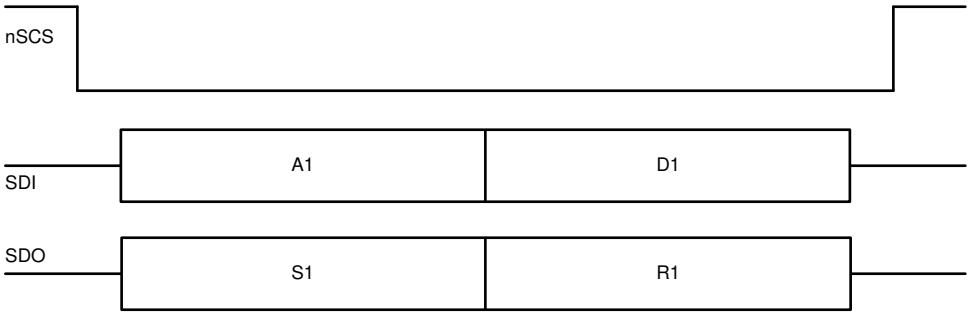


图 7-8. SPI 数据 - 标准“16 位”帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- 在字之间，nSCS 引脚应被拉为高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态状态。
- 器件 SDO 上的数据在 SCLK 的上升沿上传播，而 SDI 上的数据由器件在随后的 SCLK 下降沿上捕捉。
- 最高有效位 (MSB) 最先移入和移出。

ADVANCE INFORMATION

- 必须进行完整的 16 个 SCLK 周期，标准帧的事务才有效；或者，对于具有“n”个外设器件的菊花链帧，必须进行 16 + (n x 16) 个 SCLK 周期，事务才有效。否则，会报告帧错误 (ERR)；如果是写入操作，则数据会被忽略。

7.3.6.2 标准帧

SDI 输入数据的字长为 2 字节，由以下格式组成：

- 命令字节（首字节）
  - MSB 位指示帧类型（对于标准帧，位 B15 = 0）。
  - MSB 位旁边是 W0，指示读取或写入操作（位 B14，写入 = 0，读取 = 1）
  - 后跟 6 个地址位，A[5:0]（位 B13 至 B8）
- 数据字节（第二个字节）
  - 第二个字节指示数据 D[7:0]（位 B7 至 B0）。对于读取操作，这些位通常设置为空值，而对于写入操作，这些位包含用于写入所寻址寄存器的数据值。

表 7-13. SDI - 标准帧格式

	命令字节								数据字节							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 输出数据的字长为 2 个字节，由以下格式组成：

- 状态字节（首字节）
  - 2 个 MSB 位被强制为高电平（B15、B14 = 1）
  - 以下 6 位来自 FAULT 寄存器 (B13:B8)
- 报告字节（第二个字节）
  - 第二个字节 (B7:B0) 为读取操作要读取的寄存器中的当前数据 (W0 = 1)，或者为写入命令要写入的寄存器中的现有数据 (W0 = 0)

表 7-14. SDO - 标准帧格式

	状态字节								报告字节							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	FAULT	VMOV	VMUV	OCP	TSD	ERR	D7	D6	D5	D4	D3	D2	D1	D0

7.3.6.3 用于多个外设的 SPI 接口

将多个器件连接到控制器时，可以使用或不使用菊花链。如果在不使用菊花链的情况下要将 "n" 个器件连接到控制器，则必须针对 nSCS 引脚使用来自控制器的 "n" 个 I/O 资源，如 图 7-9 所示。然而，如果使用菊花链配置，则可利用单条 nSCS 线路来连接多个器件，如 图 7-10 所示。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

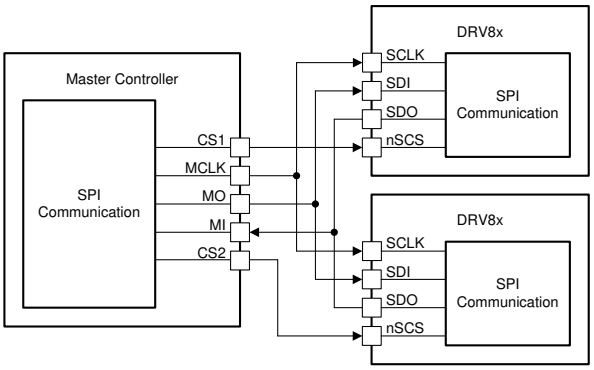


图 7-9. 不使用菊花链时的 SPI 操作

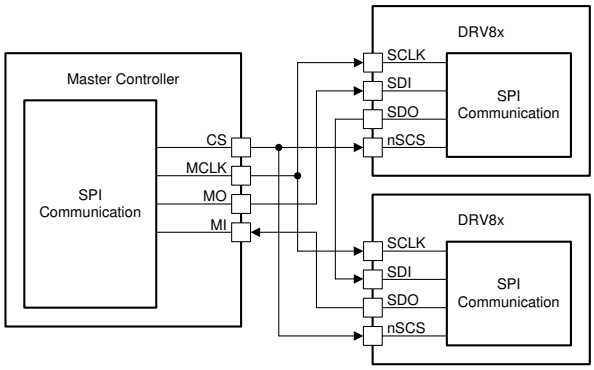


图 7-10. 使用菊花链时的 SPI 操作

7.3.6.3.1 用于多个外设的菊花链帧

当多个器件与同一个 MCU 进行通信时，可以采用菊花链配置连接该器件，以节省 GPIO 端口。图 7-11 展示了该拓扑及对应的波形，其中以菊花链形式连接的外设数量 "n" 设置为 3。以这种方式最多可以连接 63 个器件。

ADVANCE INFORMATION

ADVANCE INFORMATION

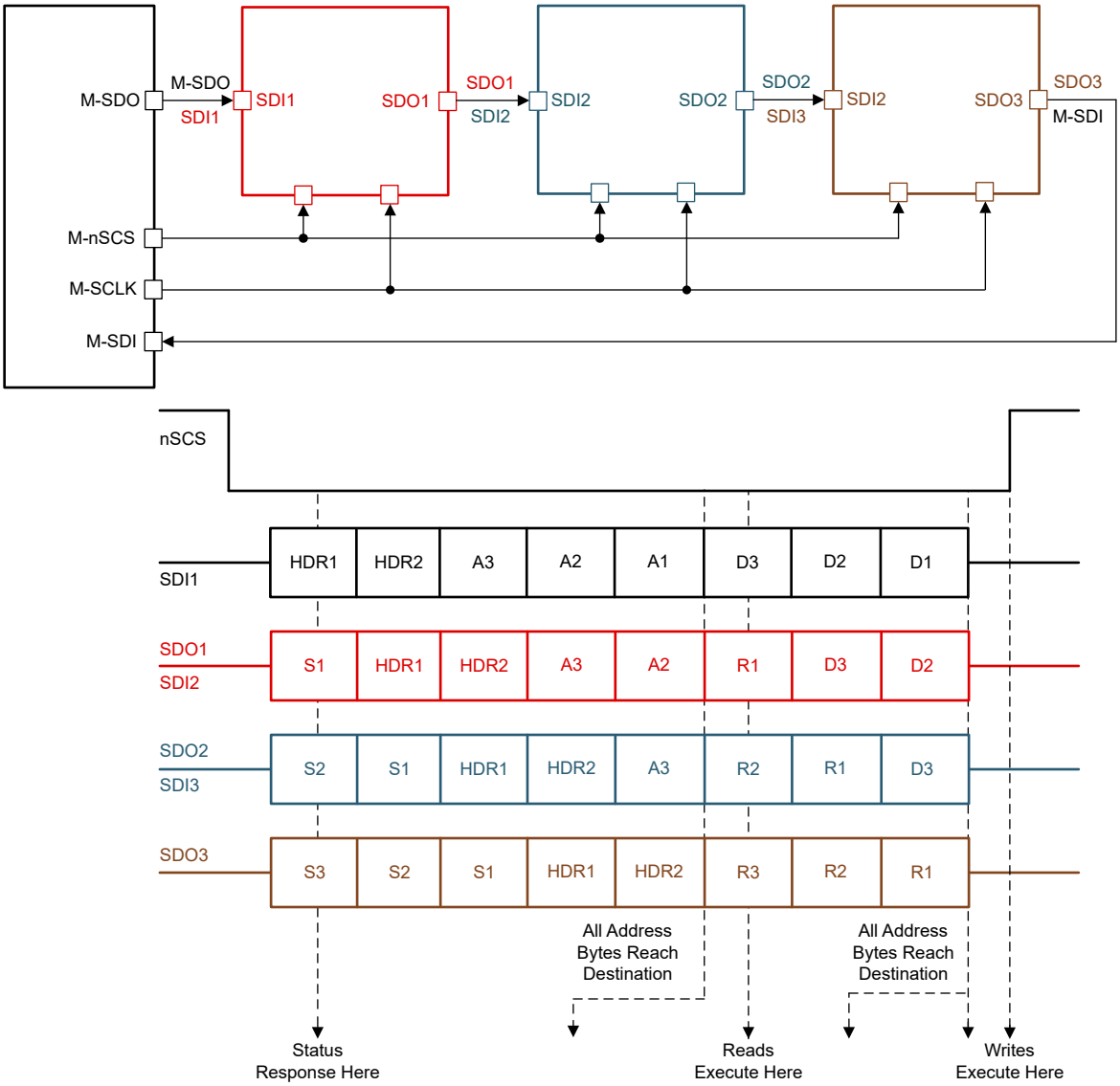


图 7-11. 菊花链 SPI 操作

这种情况下，控制器发送的 SDI 将采用以下格式（请参阅 图 7-11 中的 SDI1）：

- 2 字节标头（HDR1、HDR2）
- "n" 个字节的命令字节，以菊花链中的最远外设开头（本例中为 A3、A2、A1）
- "n" 个字节的数据字节，以菊花链中的最远外设开头（本例中为 D3、D2、D1）
- 共计 2 x “n” + 2 个字节

当数据通过链传送时，控制器会接收以下格式的数据（请参阅 图 7-11 中的 SDO3）：

- 3 个字节的状态字节，以菊花链中的最远外设开头（本例中为 S3、S2、S1）
- 在（HDR1、HDR2）之前发送的 2 字节标头
- 3 个字节的报告字节，以菊花链中的最远外设开头（本例中为 R3、R2、R1）

标头字节是在菊花链 SPI 通信开始时置位的特殊字节。**对于这两个前导位，标头字节必须以 1 和 0 开头。**

第一个标头字节 (HDR1) 包含菊花链中外设总数的信息。N5 至 N0 是 6 位，专用于显示菊花链中器件的数量，如 图 7-12 所示。每个菊花链最多可串行连接 63 个器件。不允许外设数量 = 0，这会导致出现 ERR 标志。

Copyright © 2025 Texas Instruments Incorporated

第二个标头字节 (HDR2) 包含全局 故障清除 命令，该命令将清除芯片选择 (nSCS) 信号上升沿上所有器件的故障寄存器。HDR2 寄存器的 5 个后置位标记为 SPARE（无关紧要位）。MCU 可以使用这些位来确定菊花链连接的完整性。

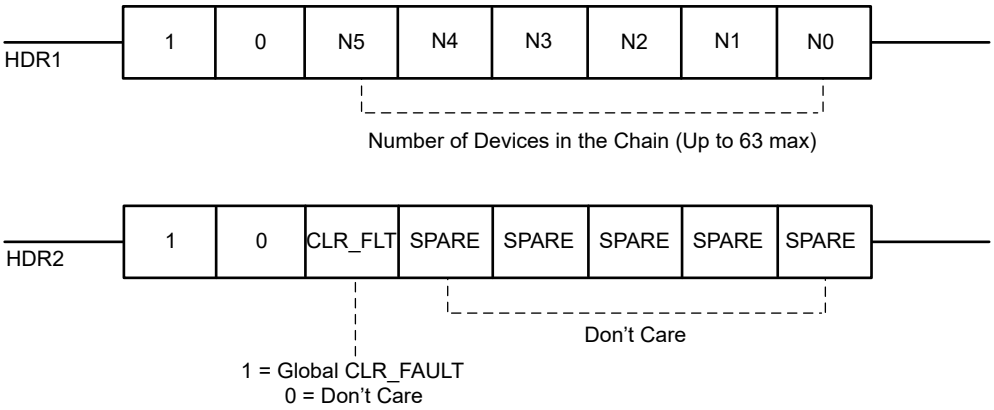


图 7-12. 标头字节

此外，该器件将以两个前导位为 1 和 1 开头的字节识别为“传递”字节。该器件不会处理这些“通过”字节，这些字节只会在 SDO 上按以下字节发送出去。

当数据通过器件时，它通过计算接收到的状态字节数（后跟第一个标头字节）来确定自身在链中的位置。例如，在这种 3 器件配置中，菊花链中的器件 2 会先接收一个状态字节，然后再接收两个标头字节。

根据一个状态字节，器件可以确定其位于链中的第二个位置，而通过 HDR1 字节，器件可以确定链中连接的器件数量。这样，器件只加载缓冲区中的相关地址和数据字节，并绕过其他位。该协议可实现更快的通信，而不会因为链中连接多达 63 个器件而增加系统延迟。

命令、数据、状态和报告字节保持不变，如标准帧格式所述。

7.3.7 寄存器映射 - 仅限 SPI 型号

本节介绍了该器件中用户可配置的寄存器。

备注

虽然该器件允许只要 SPI 通信可用时就可进行寄存器写入，但建议在驱动负载期间更新处于运行状态的寄存器时谨慎操作。这对于可控制关键器件配置的 S_DIAG 等设置尤其重要。为了防止意外的寄存器写入，该器件通过由 命令 寄存器中的 REG_LOCK 位提供的锁定机制来锁定所有可配置寄存器的内容。最佳做法是在初始化期间写入所有可配置的寄存器，然后锁定这些设置。输出控制的运行时寄存器写入由 SPI_IN 寄存器处理，该寄存器通过 SPI_IN_LOCK 位自行提供了独立的锁定机制。

7.3.7.1 用户寄存器

下表列出了用户可访问的所有寄存器。此表中未列出的所有寄存器地址都应被视为“保留”的存储单元，并阻止对此存储单元的访问。访问这类存储单元会导致 ERR。

表 7-15. 用户寄存器

名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	类型 (1)
DEVICE_ID	DEV_ID[5:0]						REV_ID[1:0]		R
FAULT	ERR(2)	POR	FAULT	VMOV	VMUV	OCP	TSD	OLA (2)	R
STATUS1	OLA(3)	OLA(3)	ITRIP_CMP	运行	OCP_H(5)	OCP_L(4)	OCP_H(5)	OCP_L(4)	R
STATUS2	DRV_STAT	RSVD	OTW	运行	RSVD			OLP_CMP	R
命令	CLR_FLT	RSVD		SPI_IN_LOCK[1:0]		RSVD	REG_LOCK[1:0]		R/W

ADVANCE INFORMATION

表 7-15. 用户寄存器（续）

名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	类型 (1)
SPI_IN	RSVD				S_DRVOFF	RSVD	RSVD	S_IN	R/W
CONFIG1	EN_OLA	OTW_SEL	OVSEL	SSC_DIS	OCP_RTRY	TSD_RTRY	OV_RTRY	OLA_RTRY	R/W
CONFIG2	RSVD	S_DIAG[1:0]		ISEL[1:0]		S_ITRIP[2:0]			R/W
CONFIG3	TOFF[1:0]		RSVD	TBLK	SR[1:0]		RSVD		R/W
CONFIG4	OTW_REP	TOCP	OLA_FLTR	OCP_SEL[1:0]		DRV_SEL	RSVD	IN_SEL	R/W

(1) R = 只读，R/W = 读/写
(2) OLA 由第一个 SDO 字节响应中的 ERR 取代，所有 SPI 帧通用。请参阅 SDO - 标准帧格式。
(3) 如果设置了两个 OLA 位中的任何一个，则指示 OLA
(4) 如果设置了两个 OCP_L 位中的任何一个，则指示 OCP_L
(5) 如果设置了两个 OCP_H 位中的任何一个，则指示 OCP_H

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.3.7.1.1 DEVICE_ID 寄存器（地址 = 00h）

返回用户寄存器表。

器件	DEVICE_ID 值
DRV8163S-Q1	0 x 3C

7.3.7.1.2 FAULT 寄存器（地址 = 01h）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	ERR	R	0b	1b 表示上一 SPI 帧中发生了 SPI 通信故障。
6	POR	R	1b	1b 表示检测到了上电复位。
5	FAULT	R	0b	ERR、POR、VMUV、OCP 和 TSD 的逻辑 OR
4	VMOV	R	0b	1b 表示检测到了 VM 过压。
3	VMUV	R	0b	1b 表示检测到了 VM 欠压。
2	OCP	R	0b	1b 表示一个或多个功率 FET 上检测到了过流。请参阅 OCP_SEL、TOCP 来更改阈值和滤波时间。请参阅 OCP_RETRY 来配置故障反应。
1	TSD	R	0b	1b 表示检测到了过热。请参阅 TSD_RETRY 来配置故障反应。
0	OLA	R	0b	1b 表示在运行状态下检测到了开路负载条件。请参阅 EN_OLA 来禁用诊断，并参阅 OLA_RETRY 来配置故障反应。

7.3.7.1.3 STATUS1 寄存器（地址 = 02h）[复位 = 00h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	OLA	R	0b	1b 表示在 OUT 上的活动状态下检测到了开路负载条件
6	OLA	R	0b	1b 表示在 OUT 上的活动状态下检测到了开路负载条件
5	ITRIP_CMP	R	0b	1b 表示负载电流已达到了 ITRIP 调节电平。
4	运行	R	0b	1b 表示器件处于运行状态
3	OCP_H	R	0b	1b 表示在 OUT 上的高侧 FET（端接至 GND）上检测到了过流
2	OCP_L	R	0b	1b 表示在 OUT 上的低侧 FET（端接至 VM）上检测到了过流
1	OCP_H	R	0b	1b 表示在 OUT 上的高侧 FET（端接至 GND）上检测到了过流
0	OCP_L	R	0b	1b 表示在 OUT 上的低侧 FET（端接至 VM）上检测到了过流

7.3.7.1.4 STATUS2 寄存器（地址 = 03h）[复位 = 82h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	DRV_STAT	R	1b	此位显示 DRVOFF 引脚的状态。1b 表示该引脚状态为高电平。
6	RSVD	R	0b	保留
5	OTW	R	0b	1b 表示检测到了过热警告事件。
4	运行	R	0b	1b 表示器件处于运行状态（复制 STATUS1 中的位 4）
3-1	RSVD	R	000b	保留

ADVANCE INFORMATION

位	字段	类型	复位	说明
0	OLP_CMP	R	0b	此位是关断状态诊断 (OLP) 比较器的输出。

7.3.7.1.5 命令寄存器（地址 = 08h）[复位 = 09h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	CLR_FLT	R/W	0b	清除故障命令 - 写入 1b 以清除故障寄存器中报告的所有故障并取消置位 nFAULT 引脚
6-5	RSVD	R	00b	保留
4-3	SPI_IN_LOCK	R/W	01b	• 写入 10b 以**解锁** SPI_IN 寄存器 • 写入 01b、00b 或 11b 以**锁定** SPI_IN 寄存器 • SPI_IN 寄存器默认为**锁定**。
2	RSVD	R	0b	保留
1-0	REG_LOCK	R/W	01b	• 写入 10b 以**锁定** CONFIG 寄存器 • 写入 01b、00b 或 11b 以**解锁** CONFIG 寄存器 • CONFIG 寄存器默认为**未锁定**。

7.3.7.1.6 SPI_IN 寄存器（地址 = 09h）[复位 = 0Ch]

返回用户寄存器表。

位	字段	类型	复位	说明
7-4	RSVD	R	0000b	保留
3	S_DRVOFF	R/W	1b	SPI_IN 未锁定时 DRVOFF 引脚的等效寄存器位请参阅寄存器引脚控制一节。
2-1	RSVD	R	10b	保留
0	S_IN	R/W	0b	SPI_IN 未锁定时 IN 引脚的等效寄存器位请参阅寄存器引脚控制一节

7.3.7.1.7 CONFIG1 寄存器（地址 = 0Ah）[复位 = 10h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	EN_OLA	R/W	0b	写入 1b 以启用运行状态下的开路负载检测。在独立模式下，始终会针对低侧负载禁用 OLA。请参阅 DIAG 一节。
6	OTW_SEL	R/W	0b	过热警告阈值 0b = 140°C 1b = 120°C
5	OVSEL	R/W	0b	0b：VMOV 启用 1b：VMOV 禁用
4	SSC_DIS	R/W	1b	0b：启用展频时钟功能
3	OCP_RTRY	R/W	0b	写入 1b 以将故障反应配置为过流检测时的重试设置，否则故障反应会被锁存
2	TSD_RTRY	R/W	0b	写入 1b 以将故障反应配置为过热检测时的重试设置，否则故障反应会被锁存

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

位	字段	类型	复位	说明
1	OV_RTRY	R/W	0b	写入 1b 以将故障反应配置为 VMOV 检测时的重试设置，否则故障反应会被锁存。此位还控制 VM 欠压检测时的故障反应。
0	OLA_RTRY	R/W	0b	写入 1b 以将故障反应配置为运行状态下开路负载检测时的重试设置，否则故障反应会被锁存。

7.3.7.1.8 CONFIG2 寄存器（地址 = 0Bh）[复位 = 18h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	RSVD	R	0b	保留
6-5	S_DIAG	R/W	00b	负载类型指示 - 请参阅
4-3	ISEL	R/W	11b	在比例电流输出和内核温度读数电压之间进行选择。
2-0	S_ITRIP	R/W	000b	ITRIP 电平配置 - 请参阅 ITRIP 表

7.3.7.1.9 CONFIG3 寄存器（地址 = 0Ch）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7-6	TOFF	R/W	01b	用于 ITRIP 电流调节的 TOFF 时间 00b = 20µs 01b = 30µs 10b = 40µs 11b = 50µs
5	RSVD	R	1b	保留。
4	TBLK	R/W	0b	消隐时间配置 0b = 2.4 µsec 1b = 3.4 µsec
3-2	SR	R/W	00b	压摆率配置 00b = 220 V/µs 01b = 110 V/µs 10b = 50 V/µs 11b = 20 V/µs
1-0	RSVD	R	10b	保留

7.3.7.1.10 CONFIG4 寄存器（地址 = 0Dh）[复位 = 44h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	OTW_REP	R/W	0b	0b = 不会在 nFAULT 上报告过热警告 1b = 会在 nFAULT 上报告过热警告

ADVANCE INFORMATION

位	字段	类型	复位	说明
6	TOCP	R/W	1b	过流检测配置的滤波时间 0b = 1 µsec 1b = 2 µsec
5	OLA_FLTR	R/W	0b	选择 OLA 滤波器计数。0b = 计数为 16，1b = 计数为 1024。
4-3	OCP_SEL	R/W	11b	过流检测配置的阈值
2	DRV_SEL	R/W	1b	DRVOFF 引脚 - 寄存器逻辑组合（SPI_IN 未锁定时） 0b = 或 1b = 与
1	RSVD	R/W	0b	保留
0	IN_SEL	R/W	0b	IN 引脚 - 寄存器逻辑组合（SPI_IN 未锁定时） 0b = 或 1b = 与

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8 寄存器映射 - 仅限 SPI 型号

本节介绍了该器件中用户可配置的寄存器。

备注

虽然该器件允许只要 SPI 通信可用时就可进行寄存器写入，但建议在驱动负载期间更新处于运行状态的寄存器时谨慎操作。这对于可控制关键器件配置的 S_DIAG 等设置尤其重要。为了防止意外的寄存器写入，该器件通过由 命令 寄存器中的 REG_LOCK 位提供的锁定机制来锁定所有可配置寄存器的内容。最佳做法是在初始化期间写入所有可配置的寄存器，然后锁定这些设置。输出控制的运行时寄存器写入由 SPI_IN 寄存器处理，该寄存器通过 SPI_IN_LOCK 位自行提供了独立的锁定机制。

8.1 用户寄存器

下表列出了用户可访问的所有寄存器。此表中未列出的所有寄存器地址都应被视为“保留”的存储单元，并阻止对此存储单元的访问。访问这类存储单元会导致 ERR。

表 8-1. 用户寄存器

名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	类型 (1)
DEVICE_ID	DEV_ID[5:0]						REV_ID[1:0]		R
FAULT	ERR(2)	POR	FAULT	VMOV	VMUV	OCP	TSD	OLA (2)	R
STATUS1	OLA(3)	OLA(3)	ITRIP_CMP	运行	OCP_H(5)	OCP_L(4)	OCP_H(5)	OCP_L(4)	R
STATUS2	DRV_STAT	RSVD	OTW	运行	RSVD			OLP_CMP	R
命令	CLR_FLT	RSVD		SPI_IN_LOCK[1:0]		RSVD	REG_LOCK[1:0]		R/W
SPI_IN	RSVD				S_DRVOFF	RSVD	RSVD	S_IN	R/W
CONFIG1	EN_OLA	OTW_SEL	OVSEL	SSC_DIS	OCP_RTRY	TSD_RTRY	OV_RTRY	OLA_RTRY	R/W
CONFIG2	RSVD	S_DIAG[1:0]		ISEL[1:0]		S_ITRIP[2:0]			R/W
CONFIG3	TOFF[1:0]		RSVD	TBLK	SR[1:0]		RSVD		R/W
CONFIG4	OTW_REP	TOCP	OLA_FLTR	OCP_SEL[1:0]		DRV_SEL	RSVD	IN_SEL	R/W

(1) R = 只读，R/W = 读/写
(2) OLA 由第一个 SDO 字节响应中的 ERR 取代，所有 SPI 帧通用。请参阅 SDO - 标准帧格式。
(3) 如果设置了两个 OLA 位中的任何一个，则指示 OLA
(4) 如果设置了两个 OCP_L 位中的任何一个，则指示 OCP_L
(5) 如果设置了两个 OCP_H 位中的任何一个，则指示 OCP_H

ADVANCE INFORMATION

ADVANCE INFORMATION

8.1.1 DEVICE_ID 寄存器（地址 = 00h）

返回用户寄存器表。

器件	DEVICE_ID 值
DRV8163S-Q1	0 x 3C

8.1.2 FAULT 寄存器（地址 = 01h）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	ERR	R	0b	1b 表示上一 SPI 帧中发生了 SPI 通信故障。
6	POR	R	1b	1b 表示检测到了上电复位。
5	FAULT	R	0b	ERR、POR、VMUV、OCP 和 TSD 的逻辑 OR
4	VMOV	R	0b	1b 表示检测到了 VM 过压。
3	VMUV	R	0b	1b 表示检测到了 VM 欠压。
2	OCP	R	0b	1b 表示一个或多个功率 FET 上检测到了过流。请参阅 OCP_SEL、TOCP 来更改阈值和滤波时间。请参阅 OCP_RETRY 来配置故障反应。
1	TSD	R	0b	1b 表示检测到了过热。请参阅 TSD_RETRY 来配置故障反应。
0	OLA	R	0b	1b 表示在运行状态下检测到了开路负载条件。请参阅 EN_OLA 来禁用诊断，并参阅 OLA_RETRY 来配置故障反应。

8.1.3 STATUS1 寄存器（地址 = 02h）[复位 = 00h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	OLA	R	0b	1b 表示在 OUT 上的活动状态下检测到了开路负载条件
6	OLA	R	0b	1b 表示在 OUT 上的活动状态下检测到了开路负载条件
5	ITRIP_CMP	R	0b	1b 表示负载电流已达到了 ITRIP 调节电平。
4	运行	R	0b	1b 表示器件处于运行状态
3	OCP_H	R	0b	1b 表示在 OUT 上的高侧 FET（端接至 GND）上检测到了过流
2	OCP_L	R	0b	1b 表示在 OUT 上的低侧 FET（端接至 VM）上检测到了过流
1	OCP_H	R	0b	1b 表示在 OUT 上的高侧 FET（端接至 GND）上检测到了过流
0	OCP_L	R	0b	1b 表示在 OUT 上的低侧 FET（端接至 VM）上检测到了过流

8.1.4 STATUS2 寄存器（地址 = 03h）[复位 = 82h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	DRV_STAT	R	1b	此位显示 DRVOFF 引脚的状态。1b 表示该引脚状态为高电平。
6	RSVD	R	0b	保留
5	OTW	R	0b	1b 表示检测到了过热警告事件。
4	运行	R	0b	1b 表示器件处于运行状态（复制 STATUS1 中的位 4）
3-1	RSVD	R	000b	保留

Copyright © 2025 Texas Instruments Incorporated

位	字段	类型	复位	说明
0	OLP_CMP	R	0b	此位是关断状态诊断 (OLP) 比较器的输出。

8.1.5 命令寄存器（地址 = 08h）[复位 = 09h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	CLR_FLT	R/W	0b	清除故障命令 - 写入 1b 以清除故障寄存器中报告的所有故障并取消置位 nFAULT 引脚
6-5	RSVD	R	00b	保留
4-3	SPI_IN_LOCK	R/W	01b	• 写入 10b 以**解锁** SPI_IN 寄存器 • 写入 01b、00b 或 11b 以**锁定** SPI_IN 寄存器 • SPI_IN 寄存器默认为**锁定**。
2	RSVD	R	0b	保留
1-0	REG_LOCK	R/W	01b	• 写入 10b 以**锁定** CONFIG 寄存器 • 写入 01b、00b 或 11b 以**解锁** CONFIG 寄存器 • CONFIG 寄存器默认为**未锁定**。

8.1.6 SPI_IN 寄存器（地址 = 09h）[复位 = 0Ch]

返回用户寄存器表。

位	字段	类型	复位	说明
7-4	RSVD	R	0000b	保留
3	S_DRVOFF	R/W	1b	SPI_IN 未锁定时 DRVOFF 引脚的等效寄存器位请参阅寄存器引脚控制一节。
2-1	RSVD	R	10b	保留
0	S_IN	R/W	0b	SPI_IN 未锁定时 IN 引脚的等效寄存器位请参阅寄存器引脚控制一节

8.1.7 CONFIG1 寄存器（地址 = 0Ah）[复位 = 10h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	EN_OLA	R/W	0b	写入 1b 以启用运行状态下的开路负载检测。在独立模式下，始终会针对低侧负载禁用 OLA。请参阅 DIAG 一节。
6	OTW_SEL	R/W	0b	过热警告阈值 0b = 140°C 1b = 120°C
5	OVSEL	R/W	0b	0b：VMOV 启用 1b：VMOV 禁用
4	SSC_DIS	R/W	1b	0b：启用展频时钟功能
3	OCP_RTRY	R/W	0b	写入 1b 以将故障反应配置为过流检测时的重试设置，否则故障反应会被锁存
2	TSD_RTRY	R/W	0b	写入 1b 以将故障反应配置为过热检测时的重试设置，否则故障反应会被锁存

ADVANCE INFORMATION

位	字段	类型	复位	说明
1	OV_RTRY	R/W	0b	写入 1b 以将故障反应配置为 VMOV 检测时的重试设置，否则故障反应会被锁存。此位还控制 VM 欠压检测时的故障反应。
0	OLA_RTRY	R/W	0b	写入 1b 以将故障反应配置为运行状态下开路负载检测时的重试设置，否则故障反应会被锁存。

8.1.8 CONFIG2 寄存器（地址 = 0Bh）[复位 = 18h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	RSVD	R	0b	保留
6-5	S_DIAG	R/W	00b	负载类型指示 - 请参阅
4-3	ISEL	R/W	11b	在比例电流输出和内核温度读数电压之间进行选择。
2-0	S_ITRIP	R/W	000b	ITRIP 电平配置 - 请参阅 ITRIP 表

8.1.9 CONFIG3 寄存器（地址 = 0Ch）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7-6	TOFF	R/W	01b	用于 ITRIP 电流调节的 TOFF 时间 00b = 20µs 01b = 30µs 10b = 40µs 11b = 50µs
5	RSVD	R	1b	保留。
4	TBLK	R/W	0b	消隐时间配置 0b = 2.4 µsec 1b = 3.4 µsec
3-2	SR	R/W	00b	压摆率配置 00b = 220 V/µs 01b = 110 V/µs 10b = 50 V/µs 11b = 20 V/µs
1-0	RSVD	R	10b	保留

8.1.10 CONFIG4 寄存器（地址 = 0Dh）[复位 = 44h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	OTW_REP	R/W	0b	0b = 不会在 nFAULT 上报告过热警告 1b = 会在 nFAULT 上报告过热警告

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

位	字段	类型	复位	说明
6	TOCP	R/W	1b	过流检测配置的滤波时间 0b = 1 µsec 1b = 2 µsec
5	OLA_FLTR	R/W	0b	选择 OLA 滤波器计数。0b = 计数为 16，1b = 计数为 1024。
4-3	OCP_SEL	R/W	11b	过流检测配置的阈值
2	DRV_SEL	R/W	1b	DRVOFF 引脚 - 寄存器逻辑组合（SPI_IN 未锁定时） 0b = 或 1b = 与
1	RSVD	R/W	0b	保留
0	IN_SEL	R/W	0b	IN 引脚 - 寄存器逻辑组合（SPI_IN 未锁定时） 0b = 或 1b = 与

ADVANCE INFORMATION

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DRV8163-Q1 可用于需要半桥或 H 桥功率级配置的各种应用。常见的应用示例包括有刷直流电机、电磁阀和制动器。此器件也可用于驱动诸多常见的无源负载，例如 LED、电阻元件、继电器等。

9.1.1 负载概要

下表总结了不同类型电感负载器件特性的实用性。

表 9-1. 负载概要表

LOAD	配置		器件特性	
	器件	再循环路径	电流检测	ITRIP 调节
双向电机或电磁阀(1)	带两个 DRV8163 的全桥	高侧	持续	用处不大(3)
双向电机或电磁阀(1)	带两个 DRV8163 的全桥	低侧	不连续(2)	非常实用
单向电机或低侧电磁阀（一侧连接到 GND）	DRV8163	低侧	不连续(2)	非常实用
高侧电磁阀（一侧连接到 VM）	DRV8163	高侧	不可用，需要外部解决方案	

(1) 电磁阀 - 可以进行钳位或快速退磁，但钳位电平将取决于 VM
(2) 在再循环和 OUT 压摆时间（包括 t_{blank}）期间未检测到
(3) SPI 型号 - 控制器可以轮询 ITRIP_CMP 位以在两个半桥之间进行外部协调

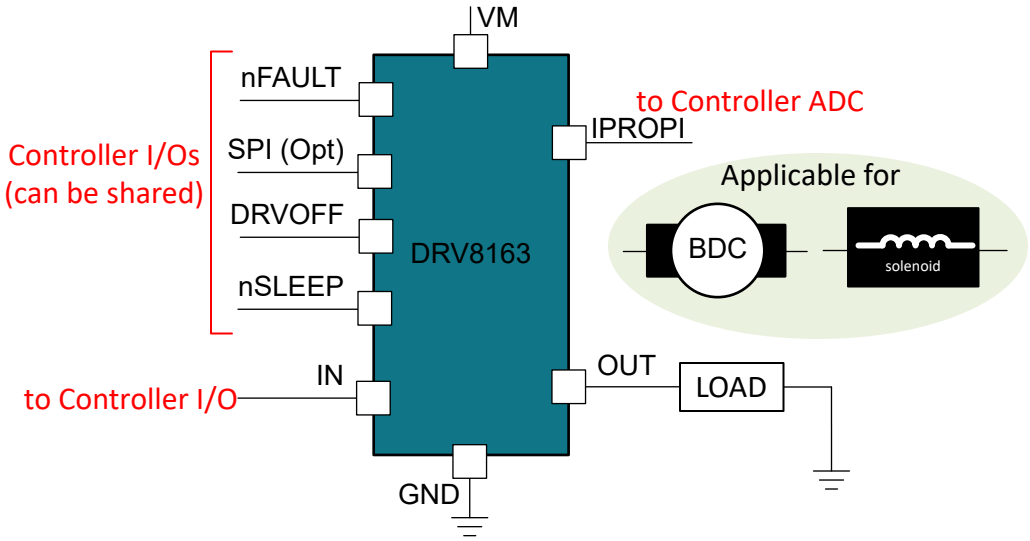


图 9-1. 插图展示了使用 DRV8163-Q1 器件驱动低侧负载的半桥拓扑

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

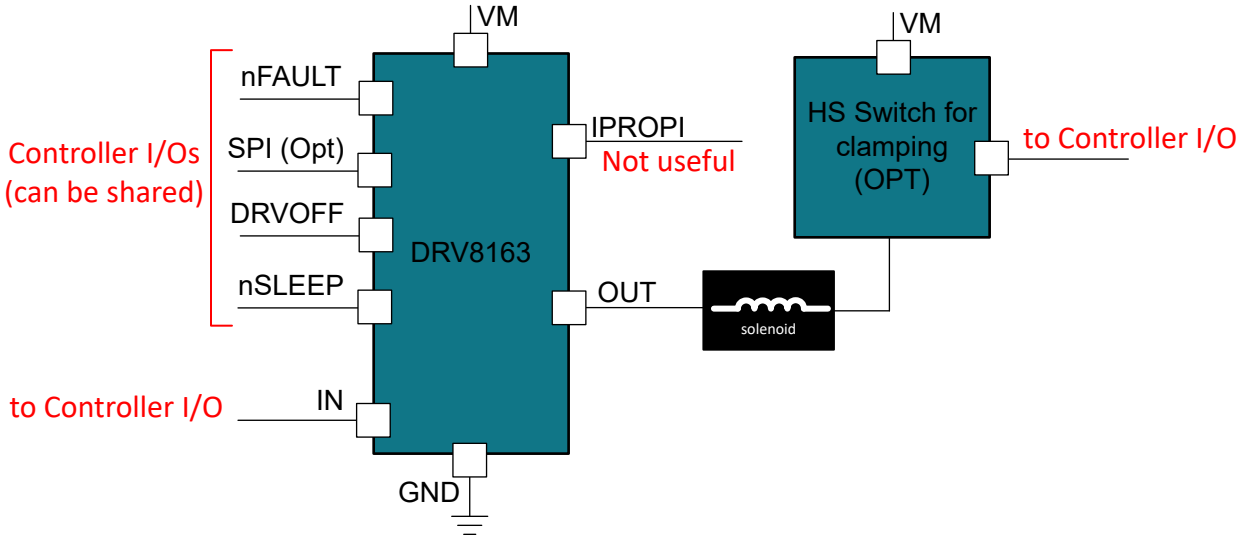


图 9-2. 插图展示了使用 DRV8163-Q1 器件驱动高侧负载的半桥拓扑

9.2 典型应用

下图展示了驱动刷直流电机或任意电感负载的典型应用原理图。这些原理图中展示了几个可选连接，具体如下所列：

- nSLEEP 引脚
  - SPI 型号 - 如果不需要休眠功能，可以在应用中将此引脚连接至高电平。
  - HW 型号 - 即使不需要休眠功能，引脚控制也是 **必需** 的。唤醒时控制器需要发出复位脉冲来确认唤醒或上电。
- DRVOFF 引脚
  - SPI 型号 - 如果不需要通过 **引脚** 关断功能，可在应用中将此引脚连接至低电平。可使用等效寄存器位。
- IN 引脚
  - SPI 型号 - 如果只需要寄存器控制，此引脚可以连接至低电平或保持悬空。
- NC 引脚
  - 所有型号 - 此引脚可以保持悬空或连接至低电平。
- OUT 引脚
  - 建议在靠近负载的位置为 OUT 到 GND 的电容器添加 PCB 空间，以实现 EMC 目的。
- IPROPI 引脚
  - 所有型号 - 监控此输出是可选项。如果不需要 ITRIP 特性和 IPROPI 功能，也可以将 IPROPI 引脚连接至低电平。如果需要，建议为小型电容器（10nF 至 100nF）添加 PCB 空间。
- nFAULT 引脚
  - SPI 型号 - 监测此输出是可选项。可从状态寄存器读取所有诊断信息。
- SPI 输入引脚
  - SPI 型号 - 输入（SDI、nSCS、SCLK）与 3.3V/5V 电平兼容。
- SPI SDO 引脚
  - SDO 会跟踪 VDD 引脚电压。若要与 3.3V 电平控制器输入连接，建议使用电平移位器或限流串联电阻。
- CONFIG 引脚
  - HW 型号 - 如果选择短接至 GND 和高阻态电平，则不需要电阻器

ADVANCE INFORMATION

9.2.1 HW 型号

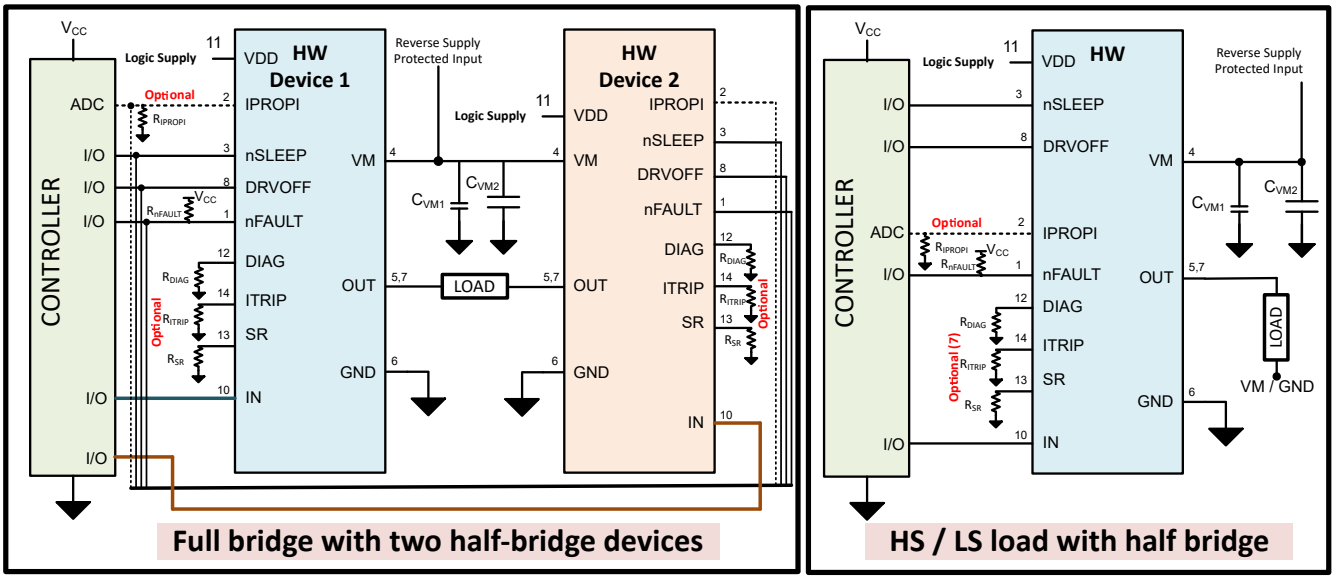


图 9-3. 典型应用原理图 - HW 型号

9.2.2 SPI 型号

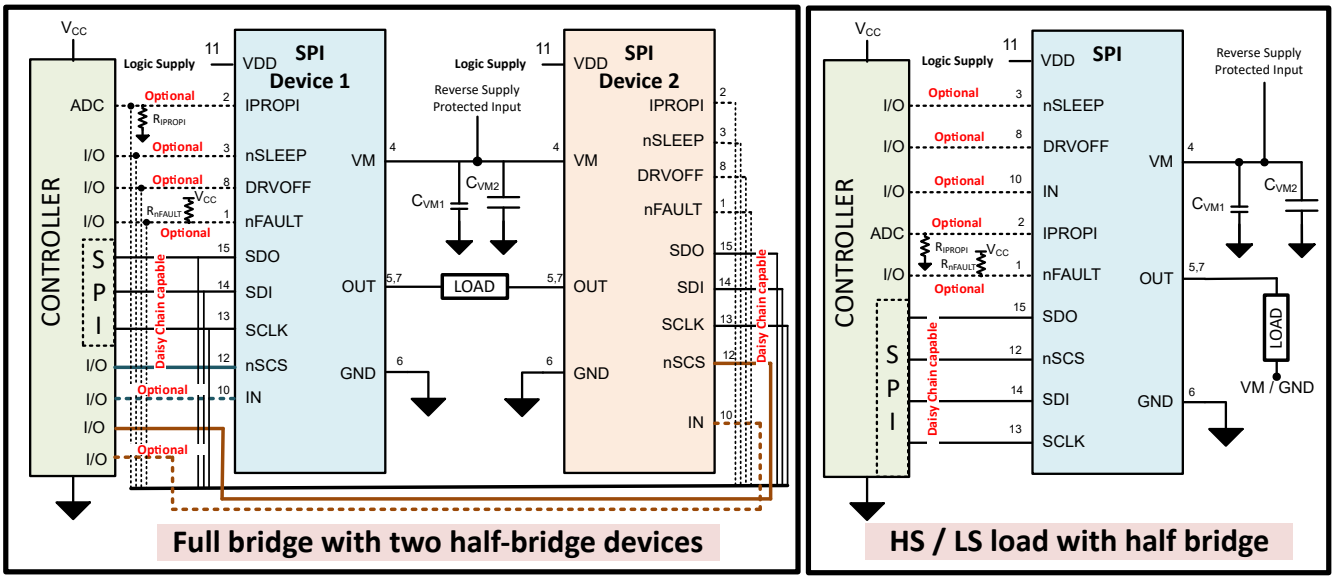


图 9-4. 典型应用原理图 - SPI 型号

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 器件支持

10.2 文档支持

10.2.1 相关文档

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

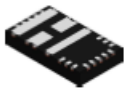
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

ADVANCE INFORMATION

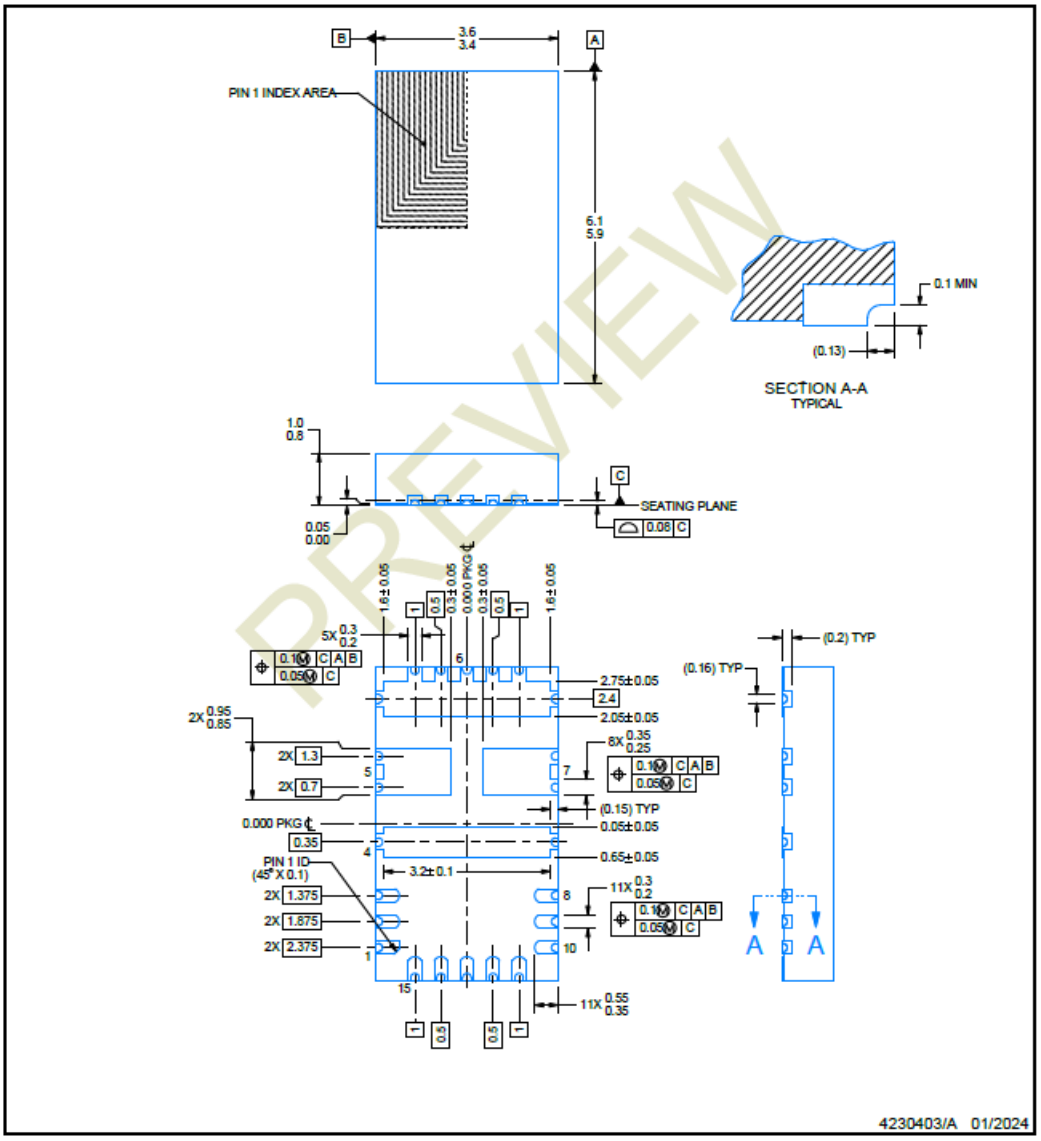
VAK0015A



PACKAGE OUTLINE

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

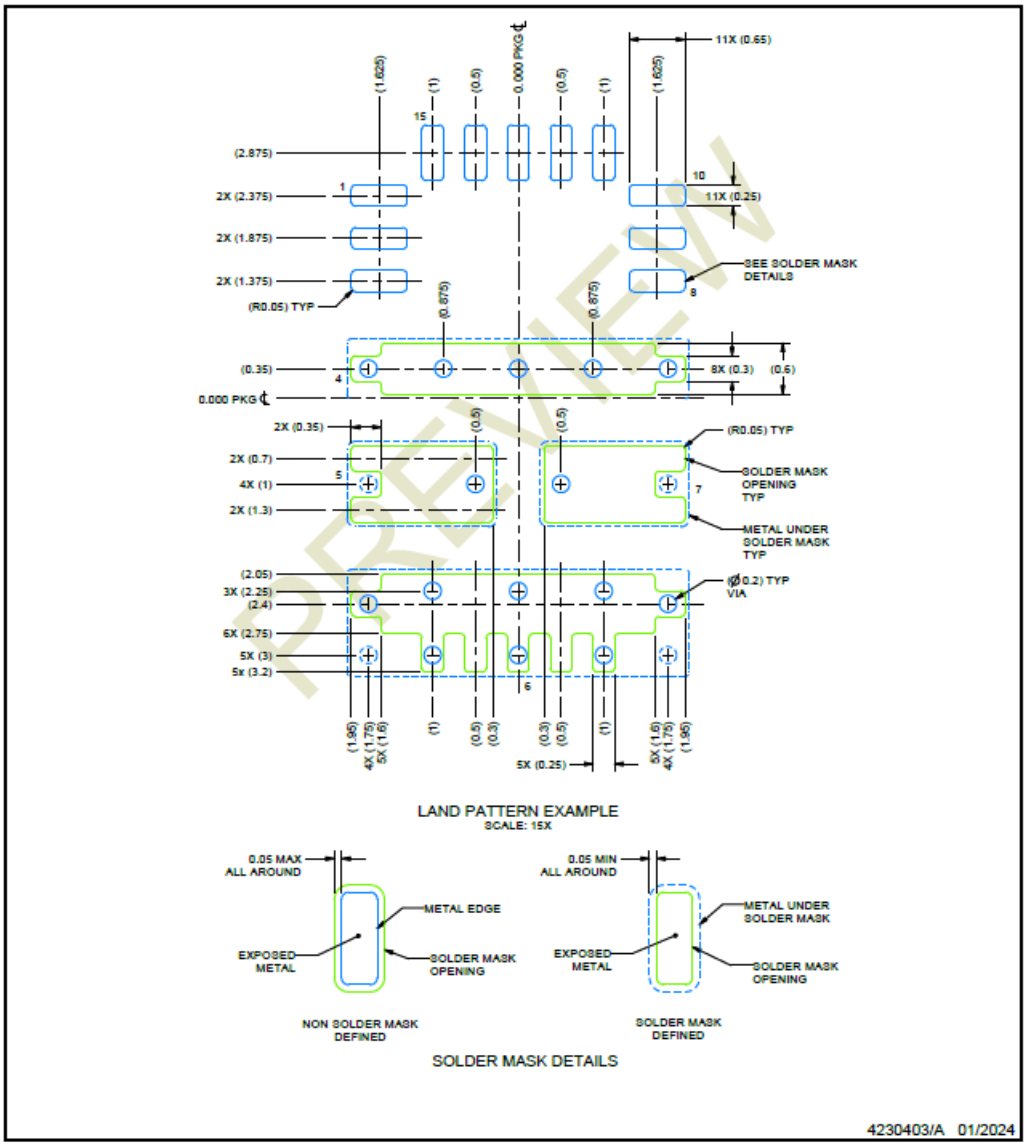
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VAK0015A — **VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

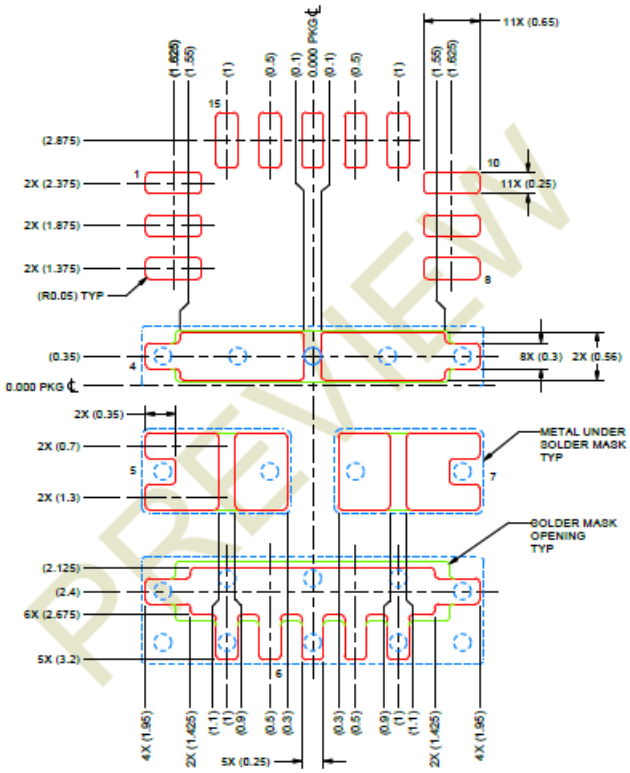
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

VAK0015A — **VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 4, 5 & 7: 87%
PAD 6: 84%

4230403/A 01/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8163HQVAKRQ1	Active	Preproduction	VQFN-HR (VAK) | 15	3000 | LARGE T&R	-	Call TI	Call TI	120 to -40	
PDRV8163HQVAKRQ1.A	Active	Preproduction	VQFN-HR (VAK) | 15	3000 | LARGE T&R	-	Call TI	Call TI	120 to -40	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

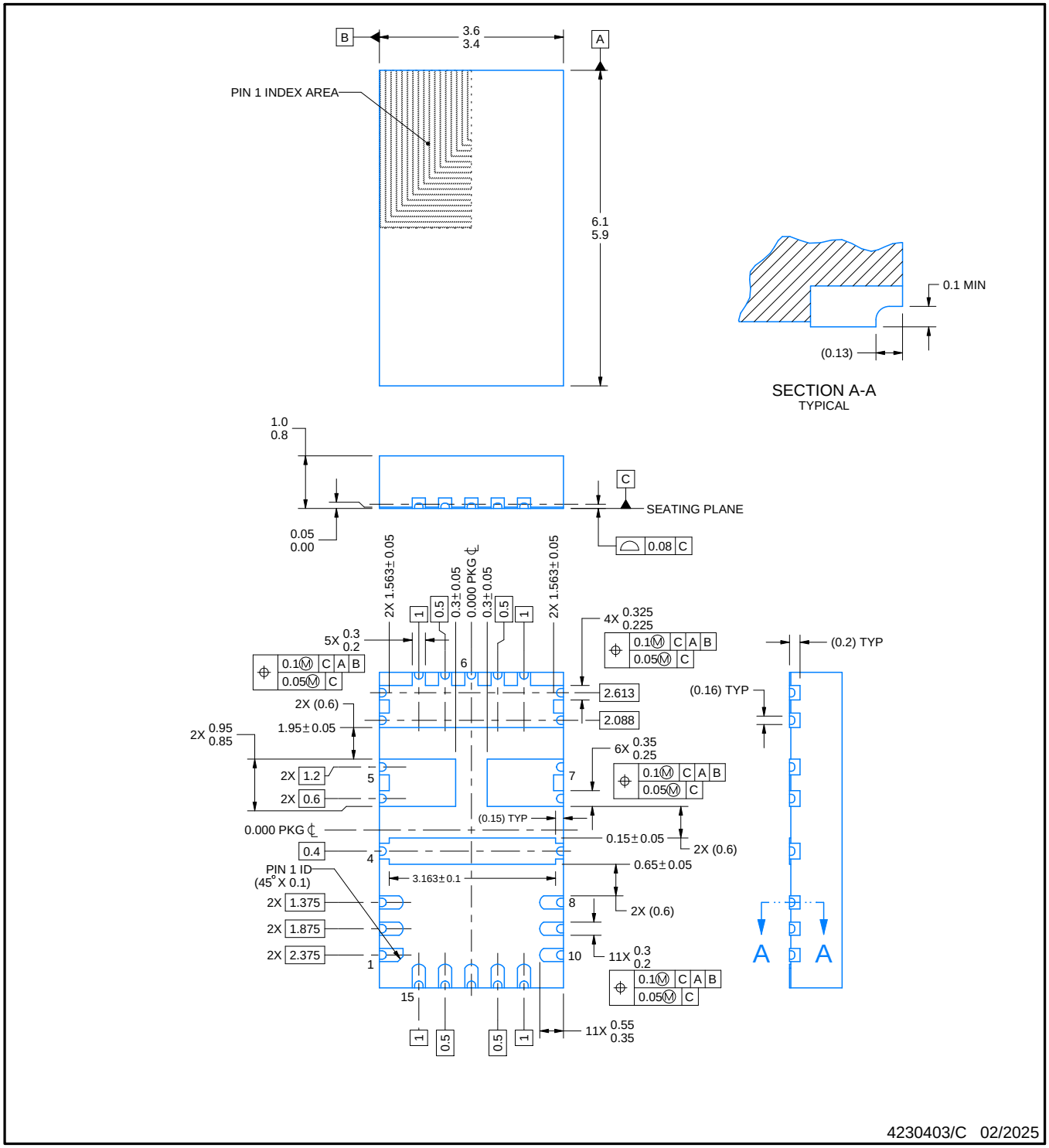
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

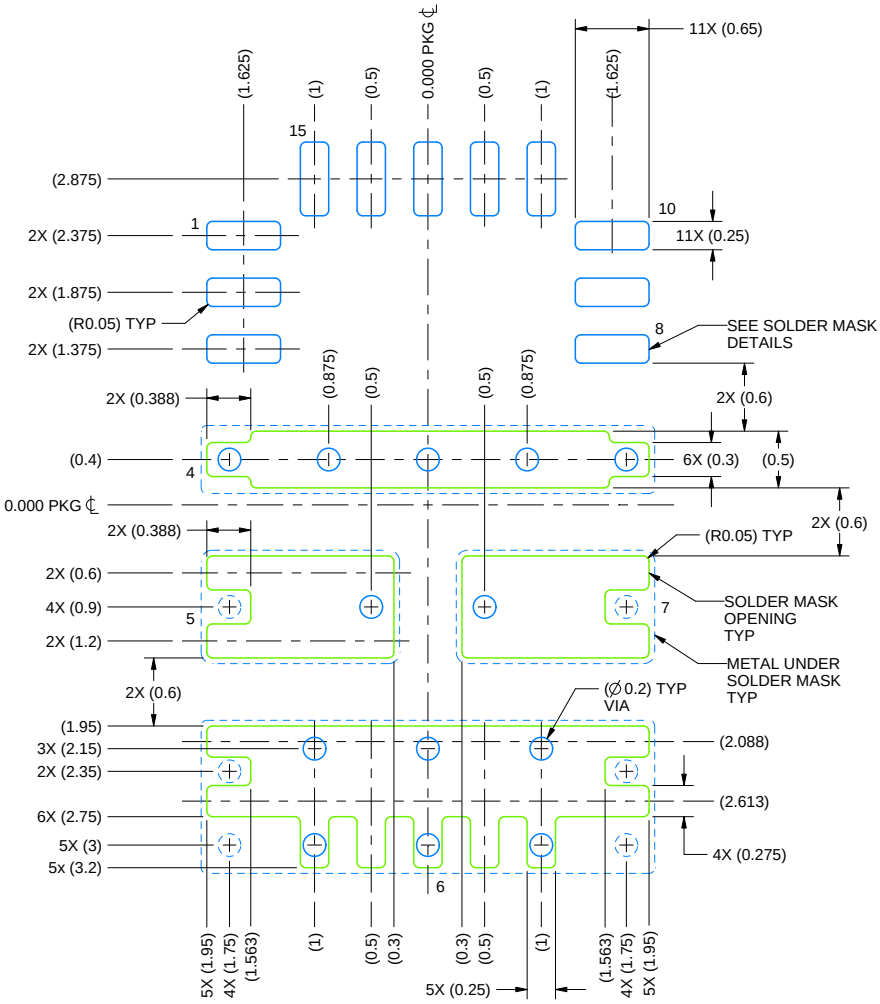
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

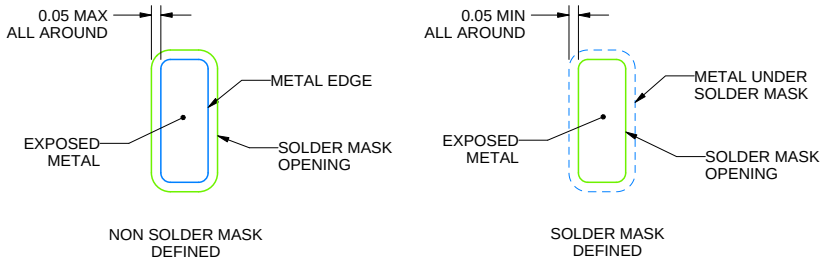


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 15X

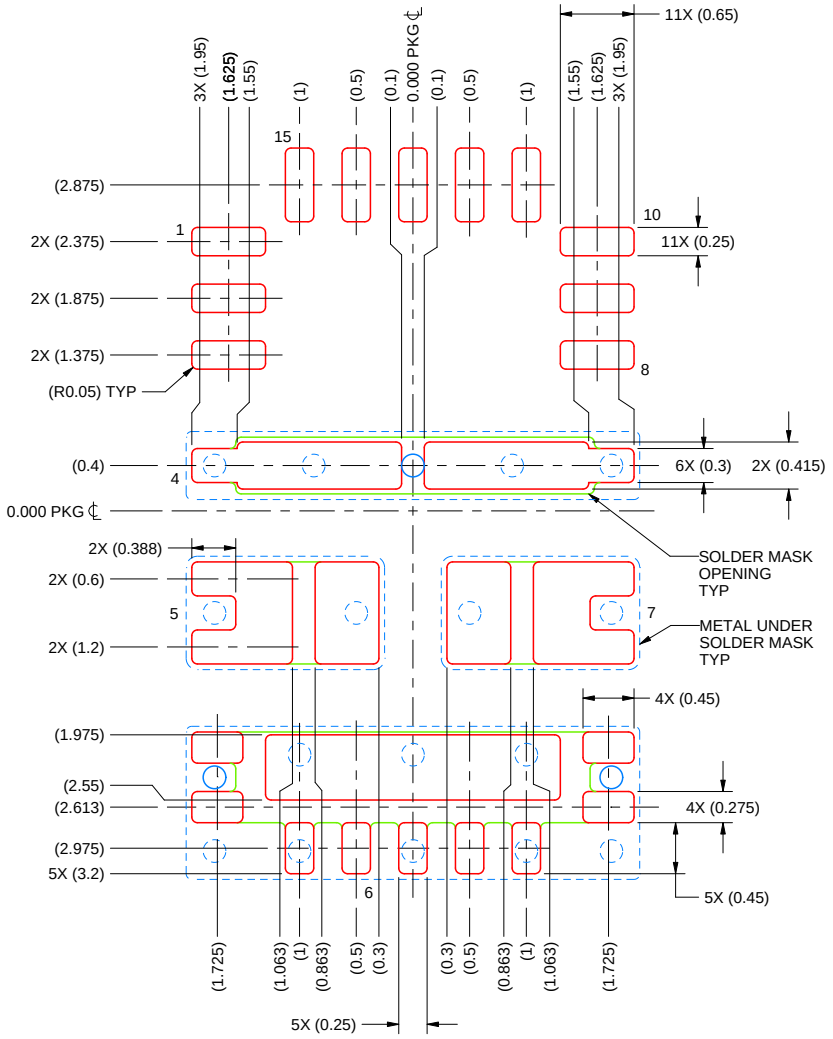


SOLDER MASK DETAILS

4230403/C 02/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 4: 87%
PADS 5 & 7: 89%
PAD 6: 77%

4230403/C 02/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司