

DRV81545 四通道低侧驱动器具有集成保护功能，支持

1 特性

- 四通道集成低侧开关
 - 25°C 时为 **235mΩ** $R_{DS(on)}$
 - 输出级 **55V** 工作电压 (绝对最大值 **60V**)
 - 集成环流二极管用于灵活衰减 (外部 TVS/齐纳二极管)，作为开关关断时的备用电流路径
- 并行接口可实现高达 **250kHz** 的快速开关
- 全面保护
 - 用户可设定**电流限制**
 - 针对每个开关的**独立过热和过流保护**
 - 可配置过流**切断持续时间 (COD)**
- 诊断反馈
 - MCU 故障中断信号 (**nFAULT**)
- 4.5V** 至 **55V** 工作电源电压范围
- 散热增强型表面贴装封装 (**PWP20**)

2 应用

- PLC
- 分布式 I/O
- 通用继电器和电磁阀驱动
- 纺织机器

3 说明

DRV81545 是一款四通道低侧开关驱动器，其工作电压范围为 4.5V 至 55V，并支持各种负载电流。该器件集成了四个具有 235mΩ $R_{DS(on)}$ 的低侧开关，每个开关都有一个连接到 VCLAMP 引脚的续流二极管。此功能使用户能够再循环电流或连接外部 TVS 以关闭电感负载。

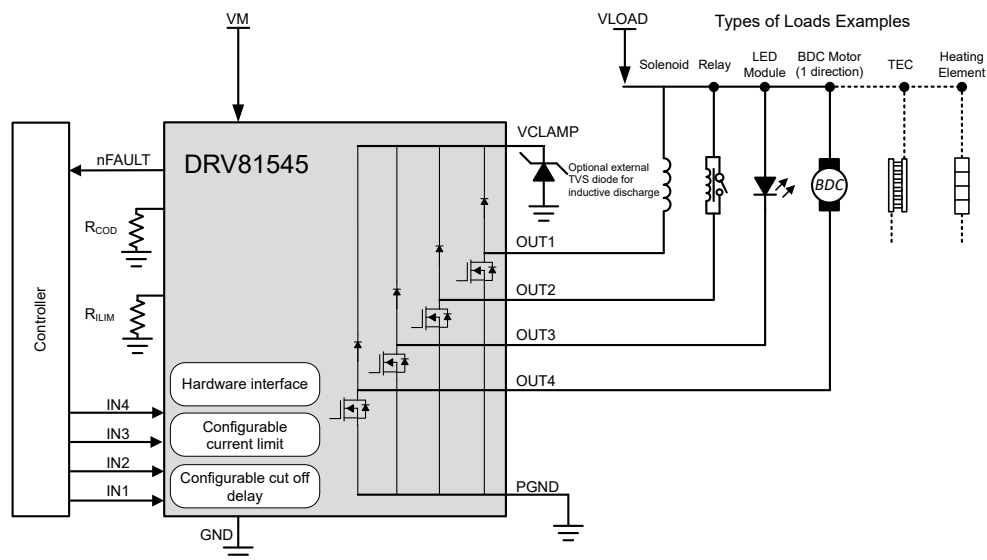
可以通过硬件 GPIO 接口控制该器件。每个通道都具有单独的过热保护功能，并具有可通过 ILIM 引脚上的外部电阻器调节的模拟电流限制。提供可选的截止持续时间 (COD) 配置，可限制相应通道上电流限制条件的持续时间，有助于防止器件或负载受损。通过故障输出引脚 (nFAULT) 指示故障。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
DRV81545	PWP (HTSSOP , 20)	6.50mm × 6.40mm

(1) 有关更多信息，请参阅 节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性.....	1	7.1 应用信息.....	18
2 应用.....	1	7.2 典型应用.....	18
3 说明.....	1	7.3 应用曲线.....	20
4 引脚配置和功能.....	3	7.4 电源相关建议.....	20
5 规格.....	5	7.5 布局.....	21
5.1 绝对最大额定值.....	5	8 器件和文档支持.....	23
5.2 ESD 等级.....	5	8.1 文档支持.....	23
5.3 建议运行条件.....	5	8.2 接收文档更新通知.....	23
5.4 热性能信息.....	5	8.3 支持资源.....	23
5.5 电气特性.....	6	8.4 商标.....	23
6 详细说明.....	8	8.5 静电放电警告.....	23
6.1 概述.....	8	8.6 术语表.....	23
6.2 功能方框图.....	9	9 修订历史记录.....	23
6.3 特性说明.....	10	10 机械、封装和可订购信息.....	23
7 应用和实施.....	18		

4 引脚配置和功能

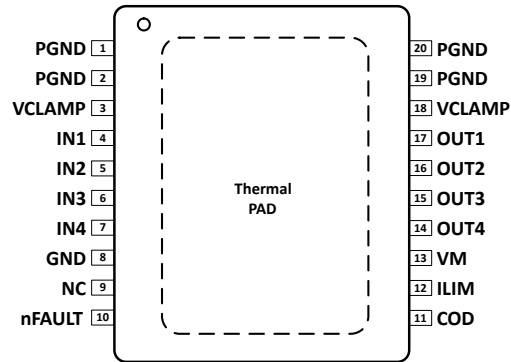


图 4-1. 20 引脚 PWP 封装 HTSSOP (顶视图)

表 4-1. 引脚功能

引脚			说明
名称	PWP (20)	类型 ⁽¹⁾	
电源和接地			
VM	13	PWR	电源。 使用一个 0.1μF 电容将此引脚旁路至地，并辅以足够的 大容量电容
VCLAMP	3、18	PWR	连接到 VM 电源，或将齐纳二极管连接到 VM 电源
GND	8	GND	器件接地。连接到系统地。
PGND	1、2、19、20	GND	电源地。连接到系统地。
散热焊盘	—	—	散热焊盘。连接到系统地。 应通过 直连过孔 将器件连接至 连续铺铜的接地平面 ，以实现最佳散热效果。
NC	9	—	未连接
控制			
ILIM	12	I	电流限制输入。有关详细信息，请参阅 节 6.3.4.1 。 在 ILIM 和 GND 之间连接一个电阻器来设置电流限制阈值。 请勿使该引脚保持未连接状态。直接连接到 GND 以实现最大电流限制设置。
COD	11	I	用于截止延迟的器件配置引脚。将适当的电阻器连接到 GND 以设置相应的截止延迟。直接连接至 GND，禁用该功能。
IN1	4	I	控制通道 1 的输出。有关详细信息，请参阅“硬件接口”部分。 引脚有内部下拉电阻器。
IN2	5	I	控制通道 2 的输出。有关详细信息，请参阅“硬件接口”部分。 引脚有内部下拉电阻器。
IN3	6	I	控制通道 3 的输出。有关详细信息，请参阅“硬件接口”部分。 引脚有内部下拉电阻器。
IN4	7	I	控制通道 4 的输出。有关详细信息，请参阅“硬件接口”部分。 引脚有内部下拉电阻器。
nFAULT	10	O	开漏输出。在故障状况期间下拉为低电平。将上拉电阻器连接至外部逻辑电源。
输出			
OUT1	17	O	连接至负载 1
OUT2	16	O	连接至负载 2
OUT3	15	O	连接至负载 3

表 4-1. 引脚功能 (续)

引脚			说明
名称	PWP (20)	类型 ⁽¹⁾	
OUT4	14	O	连接至负载 4

(1) I = 输入，O = 输出，PWR = 电源，GND = 地

ADVANCE INFORMATION

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

	引脚	最小值	最大值	单位
电源电压	VM	-0.3	60	V
输出电压	OUTx	-0.3	VCLAMP+0.3	V
峰值输出电流	OUTx	受内部限制		A
钳位电压	VCLAMP	-0.3	60	V
VCLAMP 上的持续 RMS 电流（引脚 3、18 连接在一起）	VCLAMP		8	A
VCLAMP 上的瞬态电流 < 1ms（引脚 3、18 连接在一起）	VCLAMP		20	A
OUTx FET 再循环二极管电流 RMS 或连续	OUTx FET 体二极管		5	A
数字输入引脚电压	ILIM、INx	-0.5	5.5	V
数字输出电流	nFAULT		10	mA
数字输出引脚电压	nFAULT	-0.5	7	V
运行虚拟结温 T _J		-40	150	°C
存储温度 T _{stg}		-60	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V _M	电源电压		4.5		55	V
V _{CLAMP}	输出钳位电压				55	V
I _{OUT}	连续输出电流（每个通道）	PWP 封装，T _A = 25°C	1 个通道开启		2	A
	连续输出电流（每个通道）		4 个通道开启		1	A
T _{AMB}	运行环境温度		-40		125	°C
T _J	工作结温		-40		150	°C

5.4 热性能信息

热指标 ⁽¹⁾		DRV81545	单位
		PWP (HTSSOP)	
		20 引脚	
R _{θJA}	结至环境热阻	32.9	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	30.5	°C/W
R _{θJB}	结至电路板热阻	13.2	°C/W

热指标 ⁽¹⁾		DRV81545	单位
		PWP (HTSSOP)	
		20 引脚	
Ψ_{JT}	结至顶部特征参数	1.2	°C/W
Ψ_{JB}	结至电路板特征参数	13.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	4.3	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

4.5V $\leq V_{VM} \leq 55V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明), 24V、25°C 下的典型值

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	VM 工作电源电流	$V_M = 24V$, 无开关			3	mA
		$V_M = 24V$, 输出开关频率为 200kHz			5	mA
V_{UVLO}	VM 欠压锁定电压	V_M 上升	4.1	4.25	4.45	V
		V_M 下降	4.0	4.15	4.35	V
V_{UVLO_HYS}	VM 欠压锁定迟滞			100		mV
t_{UVLO}	VM 欠压抗尖峰脉冲			10		μs
逻辑电平输入 (INx)						
V_{IL}	输入低电压				0.8	V
V_{IH}	输入高电压		2			V
V_{HYS}	输入迟滞			0.4		V
I_{IL}	输入低电流	$V_{IN} = 0$	-5		5	μA
I_{IH}	输入高电流	$V_{IN} = 3.3V$		50	100	μA
开漏输出 (nFAULT)						
V_{OL}	nFAULT 的输出低电压	$I_O = 5mA$			0.1	V
I_{OH}	nFAULT 的输出高漏电流	连接至 5V 的上拉电阻器			1	μA
SWITCHING						
t_R	上升时间 OUTx 从 10% 上升到 90%	$V_M = 24V$, $R_L = 48\Omega$, $C_L = 0.1nF$		200	300	ns
t_F	下降时间	$V_M = 24V$; $R_L = 48\Omega$, $C_L = 0.1nF$, 输入下降时间 $< 0.1\mu s$, 输出下降最终值的 90% 至 10%		200	300	ns
t_{PD}	输入至输出传播延迟	INx 越过 50% 电压, 到 OUTx 上升到 10% $V_M = 24V$; $R_L = 48\Omega$, $C_L = 0.1nF$		300	500	ns
驱动器输出 (OUTx)						
$R_{DS(on)}$	FET 导通电阻	$V_M = 24V$, $I_O = 500mA$, $T_J = 25^{\circ}C$		235		m Ω
		$V_M = 24V$, $I_O = 500mA$, $T_J = 85^{\circ}C$			350	m Ω
I_{OFF}	关断状态漏电流	$V_{OUT} = V_M = 24V$		0.5		μA
I_{OFF}	关断状态漏电流	$V_{OUT} = V_M = 55V$			10	μA
V_F	续流二极管正向电压	$V_{OUT} = 24V$, $I_O = 500mA$			1.2	V
I_{OFF}	再循环二极管反向漏电流	$V_{OUT} = 0V$, $V_{CLAMP} = 55V$			10	μA
保护电路						

5.5 电气特性 (续)

4.5V ≤ V_{VM} ≤ 55V, -40°C ≤ T_J ≤ 150°C (除非另有说明), 24V、25°C 下的典型值

参数		测试条件	最小值	典型值	最大值	单位
I _{LIM}	电流限制值 遵循 60/R _{ILIM} [kΩ](30kΩ ≤ R _{ILIM} ≤ 120kΩ)	R _{ILIM} 短接至 GND 或 R _{ILIM} < 20kΩ	3			A
		R _{ILIM} = 30kΩ	1.4	2	2.6	A
		R _{ILIM} = 60kΩ	0.7	1	1.3	A
		R _{ILIM} = 90kΩ	0.4	0.66	0.8	A
		R _{ILIM} = 120kΩ	0.3	0.5	0.7	A
I _{LIM_ACTIVATE}	电流限制激活阈值	R _{ILIM} = 接地短路		3		A
		R _{ILIM} = 30kΩ		3		A
		R _{ILIM} = 60kΩ		1.5		A
		R _{ILIM} = 90kΩ		1		A
		R _{ILIM} = 120kΩ		0.75		A
t _{COD_DIS}	截止延迟禁用阈值	外部电阻器的值, 低于该值时将禁用截止功能			20	kΩ
t _{COD}	截止延迟 通过外接电阻器 R _{COD} 接地进行调节 遵循 R _{COD} [kΩ]/120 ±15% (60kΩ ≤ R _{COD} ≤ 240kΩ)	R _{COD} = 60kΩ	0.4	0.5	0.6	ms
		R _{COD} = 120kΩ	0.8	1	1.2	ms
		R _{COD} = 180kΩ	1.2	1.5	1.8	ms
		R _{COD} = 240kΩ	1.6	2	2.4	ms
t _{RETRY}	过流保护重试时间 通过外接电阻器 R _{COD} 接地进行调节 遵循 32*t _{COD} ±15% (60kΩ ≤ R _{COD} ≤ 240kΩ)	R _{COD} = 60kΩ		15.5		ms
		R _{COD} = 120kΩ		31		ms
		R _{COD} = 180kΩ		46.5		ms
		R _{COD} = 240kΩ		62		ms
I _{VM_BREAK}	VM 断线功率级电流	V _{INx} = V _M = 0V; V _{OUTx} = 24V, VCLAMP 悬空			10	μA
T _{TSD}	热关断温度	裸片温度	150	170	190	°C
T _{TSD_HYS}	热关断温度迟滞			30		°C
t _{TSD_DG}	热关断抗尖峰脉冲			20		μs

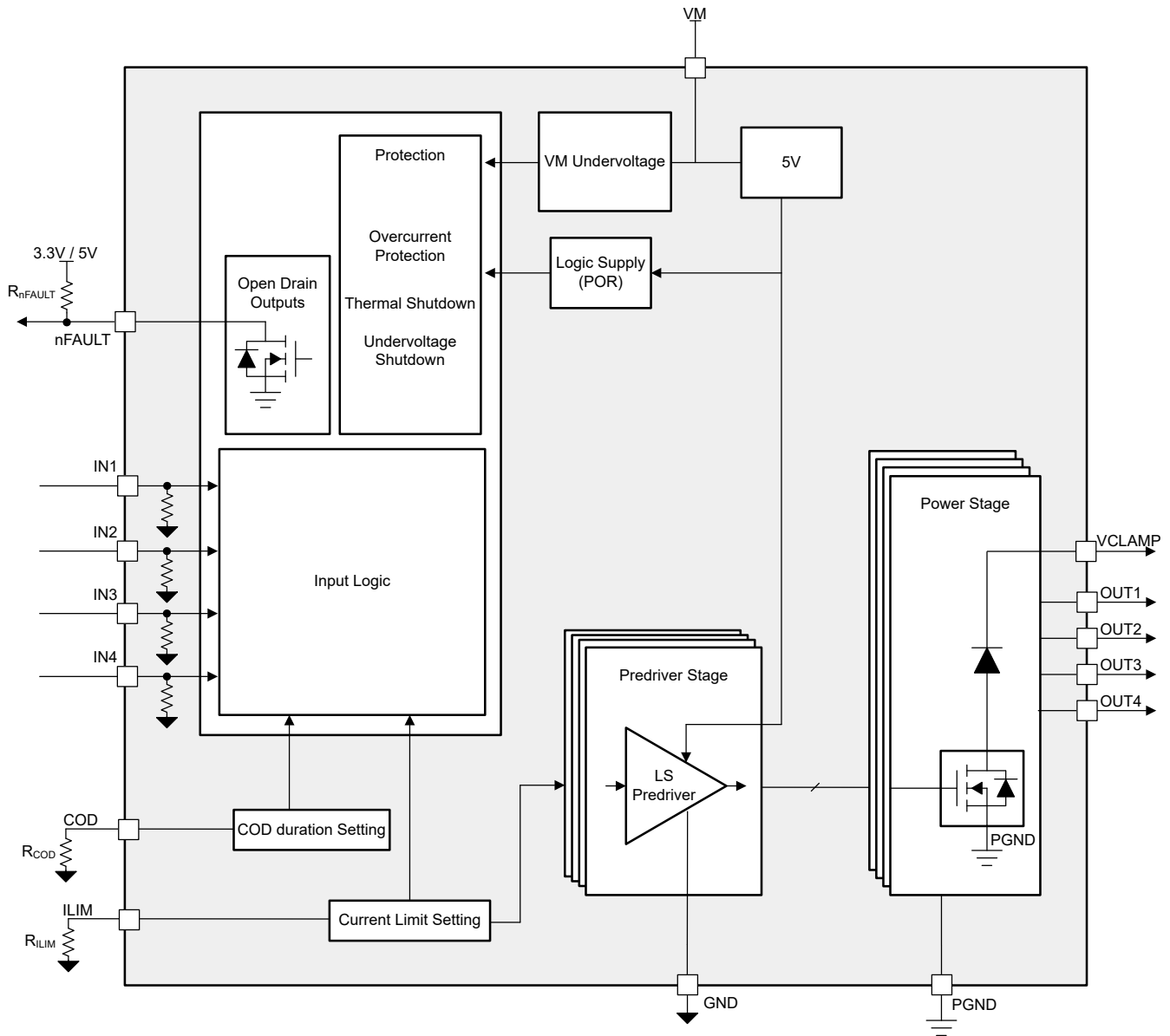
6 详细说明

6.1 概述

DRV81545 是一款四通道低侧开关驱动器，其工作电压范围为 4.5V 至 55V，并支持各种负载电流。该器件集成了四个具有 $235\text{m}\Omega$ $R_{DS(on)}$ 的低侧开关，每个开关都有一个连接到 VCLAMP 引脚的续流二极管。此功能使用户能够再循环电流或连接外部 TVS 以关闭电感负载。

可以通过硬件 GPIO 接口控制该器件。每个通道都具有单独的过热保护功能，并具有可通过 ILIM 引脚上的外部电阻器调节的模拟电流限制。提供可选的截止持续时间 (COD) 配置，可限制相应通道上电流限制条件的持续时间，有助于防止器件或负载受损。通过故障输出引脚 (nFAULT) 指示故障。

6.2 功能方框图



ADVANCE INFORMATION

6.3 特性说明

6.3.1 硬件接口运行

DRV81545 可通过一个简单的硬件接口进行控制，其中 IN_x 决定 OUT_x 的状态。当 IN_x 引脚被驱动为高电平时，内部逻辑将打开相应的输出 FET。将 IN_x 设置为低电平时会关断相应的 OUT_x FET。表 6-1 展示了此控制方案。

表 6-1. 通道 x 的硬件控制模式

IN_x	OUT_x	说明
0	高阻态	OUT_x 禁用 (Hi-Z)
1	L	OUT_x FET 导通

6.3.2 集成钳位二极管 VCLAMP

DRV81545 包含四个受保护的低侧驱动器。每个输出都有一个连接到公共引脚 VCLAMP 的集成钳位二极管。

VCLAMP 可以连接到一个齐纳二极管或 TVS 二极管以连接到 VM 或地，从而使开关电压可以超过主电源电压 VM。在驱动需要极快电流衰减的负载时，这种连接非常有用。由于每个输出都有一个连接到 VCLAMP 引脚的二极管，因此用户可以为所有 4 个通道共享一个外部 TVS 二极管。或者，VCLAMP 可以直接连接到主电源电压 (VM)。

在所有情况下，输出端的电压不得超过 DRV81545 最大输出电压规格。下面是 DRV81545 支持的一些配置。

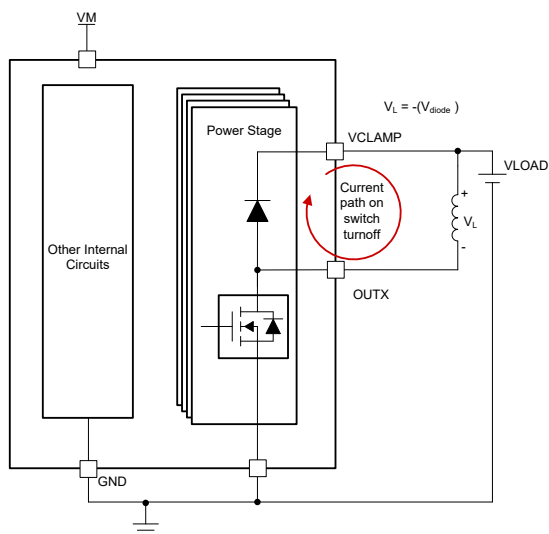


图 6-1. 慢速衰减 (VCLAMP 连接至 VLOAD)

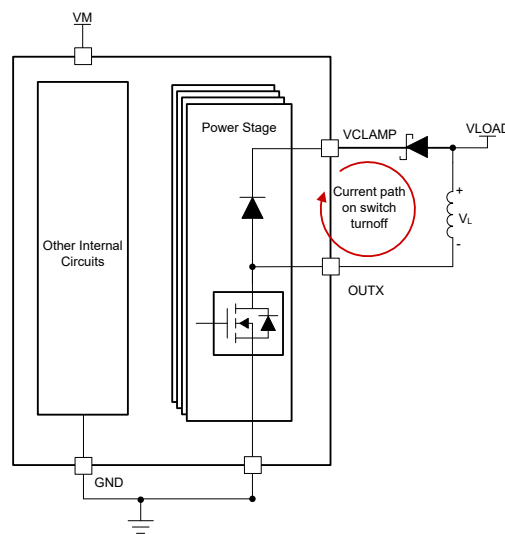


图 6-2. 快速衰减 (TVS/齐纳二极管 VCLAMP 至 VLOAD)

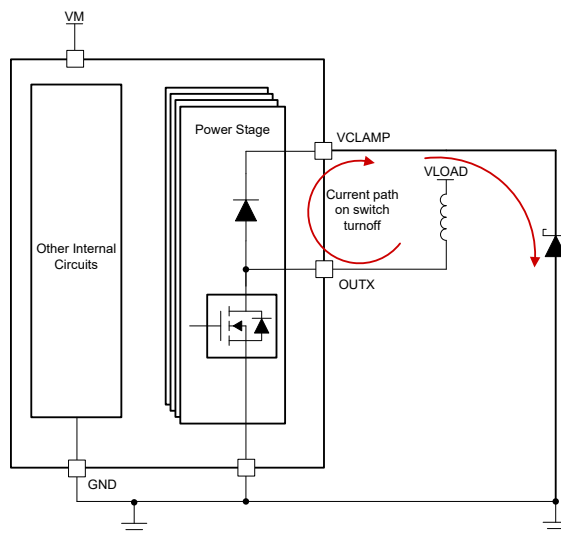


图 6-3. 快速衰减 (TVS/齐纳钳位至 GND)

表 6-2. VCLAMP 衰减模式

VCLAMP 连接	衰减模式	使用场合	V_L 电压
直接连接到 VLOAD	慢速衰减	无需快速衰减的负载。对整个 VM 工作范围安全。	$V_L = -V_{diode}$
TVS 或齐纳二极管到 VLOAD	快速衰减	最快的电流衰减。由于可能会超过 OUTx 最大电压，因此当 VM 或 VLOAD > 28V 时不建议使用。	$V_L = -(V_{diode} + V_{zener})$
TVS 或齐纳二极管连接到 GND	快速衰减	钳位电压低于 TVS 到 VLOAD 的钳位电压，但电流衰减略低。TVS 需要比 VLOAD 更高的击穿电压来防止漏电流。	$V_L = -(V_{diode} + V_{zener} - V_{LOAD})$

6.3.3 并行输出

可以将两个输出端并联在一起以获得更大的电流。图 6-4 展示了 DRV81545 驱动两个螺线管负载的原理图。该器件还支持将所有四个通道并联在一起。

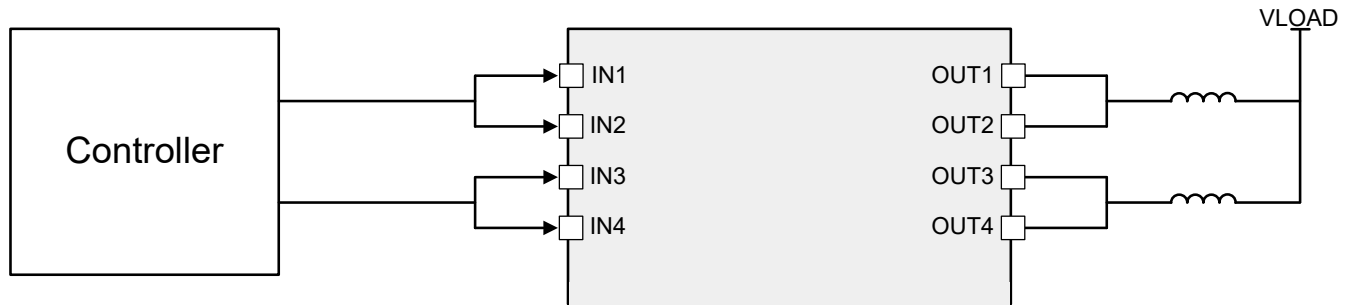


图 6-4. 以更高的电流驱动两个螺线管

请注意，VCLAMP 引脚上的再循环电流不超过持续 RMS 电流或瞬态电流小于 1ms 的绝对最大额定值。具有大电感负载的 PWM 可能会导致 VCLAMP 上出现高电流。

6.3.4 保护电路

DRV81545 可免受 VM 欠压，每通道过热，裸片过热和过流事件的影响。

6.3.4.1 ILIM 模拟电流限制

DRV81545 在每个输出端实现了模拟电流限制，可提供短路保护或具有大浪涌电流的容性负载保护。如果输出级出现高电流条件 $I > I_{LIM_ACTIVATE}$ ，则会降低 FET 栅极驱动电压，以将输出电流调节到 I_{LIM} 水平。这种栅极驱动调整会在线性区域内运行 FET，从而产生更高的 $R_{DS(ON)}$ 并消耗大量功率。该电流限制特性 (ILIM) 设计与过流保护类似，但不是过流事件期间完全关断 FET，而是将电流限制在安全水平，直到器件过热。

图 6-5 和 图 6-6 所示为 ILIM 在稳定状态持续电流之前将浪涌电流降低到安全水平。此功能提供了减少 PCB 布线宽度和降低系统电源能力要求的系统级优势。

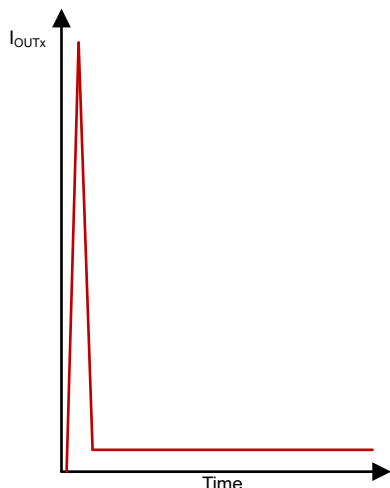


图 6-5. 浪涌电流，无 ILIM

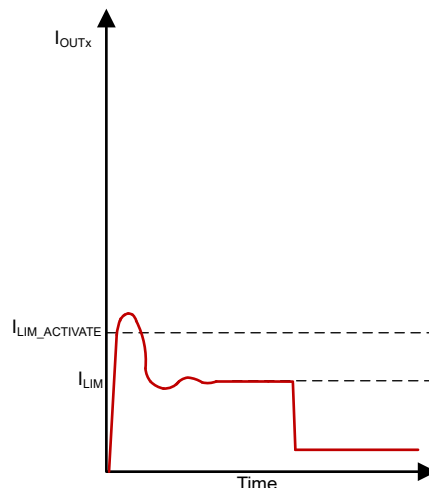


图 6-6. 浪涌电流，具有 ILIM 保护

模拟电流限制电平 I_{LIM} 可以通过 ILIM 引脚上连接到 GND 的下拉电阻器进行配置，如表 6-3 所示。会根据 R_{ILIM} 为所有四个通道设置相同的 I_{LIM} 值。一个通道上的电流限制条件不会影响其他通道，除非出现芯片范围过热等事件。

表 6-3. 模拟电流限制电平取决于 ILIM 电阻器

R_{ILIM} 引脚和 GND 之间的电阻器	电流限制水平, I_{LIM}
$0 \leq R_{LIM} < 20k\ \Omega$	3A
$30k\ \Omega \leq R_{LIM} \leq 120k\ \Omega$	$I_{LIM}[A] = 60/R_{LIM}[k\ \Omega]$
$R_{LIM} \geq 120k\ \Omega$	$I_{LIM}[A] = 60/R_{LIM}[k\ \Omega]$, 可以是非线性的

图 6-7 显示了在禁用截止延迟 ($0k\ \Omega \leq R_{COD} < 20k\ \Omega$) 的短路条件下 $t_{TIME_TO_TSD}$ 期间的有源电流限制。有关切断延迟功能的详细说明，请参见节 6.3.4.2。通道关闭后，仅在通道温度恢复到安全水平 ($t_{TSD} - t_{TSD_HYS}$) 后，通道才会重试。如果通道 INx 状态在 I_{LIM} 条件下发生变化，则控制器会响应输入状态变化，例如关闭输出。如果器件因 TSD 而关断，且温度仍高于安全水平，则器件不会响应输入状态变化，这意味着如果器件仍然过热，即使切换 INx，器件也不会重新导通输出。

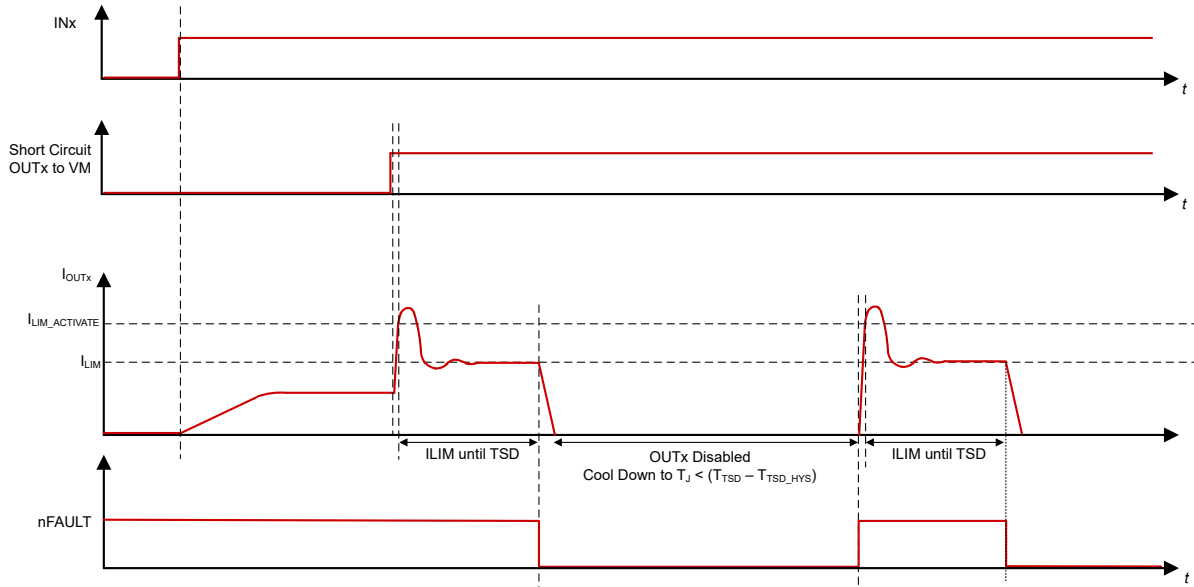


图 6-7. 在基于热关断的重试模式下对短路的电流限制响应（截止延迟已禁用）

图 6-8 显示了每个低侧 FET 的模拟电流限制电路的简化原理图。

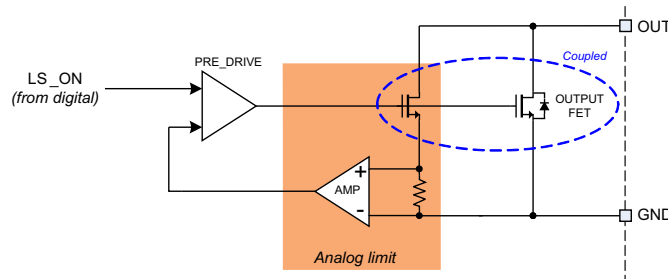


图 6-8. 模拟电流限制和检测图

负载电阻对 TSD 之前功率耗散的影响

负载的电阻会影响通道在触发热关断之前在线性区域中运行的时间。电阻的功能与线性压降稳压器 (LDO) 类似，其中较高的压降需要器件消耗更多功率。

例如，以一个 24V 系统为例，5Ω 负载与 11Ω 负载的 I_{LIM} 设置为 1A。在不限制电流的情况下，这些电流分别消耗 4.8A 和 2.2A，但使用 I_{LIM} 功能时，这些电流调节至 1A。使用 $basicl = V / R$ 计算 FET 的线性区域电阻，以实现此 1A 电流限制：

$$I_{LIM} = V_{VM} / (R_{LOAD} + R_{DS(ON)}) \quad (1)$$

重新排列 [方程式 1](#) 以求解 $R_{DS(ON)}$ ，然后插入加载 5Ω 和 11Ω 的系统值：

$$R_{DS(ON)} = (V_{VM} / I_{LIM}) - R_{LOAD} \quad (2)$$

$$R_{DS(ON)_5\Omega} = (24V / 1A) - 5\Omega \rightarrow R_{DS(ON)_5\Omega} = 19\Omega \quad (3)$$

$$R_{DS(ON)_11\Omega} = (24V / 1A) - 11\Omega \rightarrow R_{DS(ON)_11\Omega} = 13\Omega \quad (4)$$

使用此电阻可计算 DRV81545 FET 内部耗散的功率：

$$P_{FET_5\Omega} = I^2 \times R = 1A^2 \times 19\Omega = 19W \quad (5)$$

$$P_{FET_11\Omega} = I^2 \times R = 1A^2 \times 13\Omega = 13W \quad (6)$$

如上面最后一个公式中所示，即使两个负载都限制为 1A，DRV81545 的 5Ω 负载功耗也必须高于 11Ω 负载。此功率耗散与 FET 随时间推移的温升直接相关。耗散的功率越大，通道的热关断速度就越快。

6.3.4.2 截止延迟 (COD)

由于模拟电流限制条件会导致非常高的功率耗散，DRV81545 提供了切断延迟功能，可控制 I_{LIM} 或过流条件的最大长度。 t_{COD} 可通过 COD 引脚上的下拉电阻器进行调节，如表 6-4 所示。

表 6-4. 截止延迟 (COD) 设置

COD 引脚和 GND 之间的 R_{COD} 电阻器	函数行为	nFAULT 引脚
$0 \leq R_{COD} < 20k\Omega$	关断延迟功能被禁用，输出级和 IC 仅受热关断的保护	当通道达到热关断时下拉至低电平。当通道温度恢复到安全水平时解除
$60k\Omega \leq R_{COD} \leq 240k\Omega$	在功率级关闭之前，允许电流持续 $t_{COD} = R_{COD}(k\Omega) / 120ms$ (典型值)	当 t_{COD} 计时结束时下拉至低电平。 t_{RETRY} 计时结束时解除。
$R_{COD} \geq 240k\Omega$	$t_{COD} = R_{COD}(k\Omega) / 120ms$ ，但未指定线性度。	

对于 $60k\Omega \leq R_{COD} \leq 240k\Omega$ ，器件将在电流限制条件下持续 $t_{COD} = R_{COD}(k\Omega) / 120ms$ 。通道关闭后，通道仅在典型值为 $t_{RETRY} = (t_{COD} \times 32)ms$ 的间隔后进行重试。如果用户在电流限制条件下更改通道状态，控制器将响应输入状态变化。但是，在 t_{RETRY} 期间，控制器不会响应输入状态变化。

对于 $R_{COD} \geq 240k\Omega$ ，相同的公式同样成立， $t_{COD}(ms) = R_{COD}(k\Omega) / 120$ ，但未指定线性度。

如果在 COD 间隔期间发生热关断，则通道会关闭，并在温度达到安全水平后重试。COD 计时器在输出因热关断而关闭的持续时间内暂停。

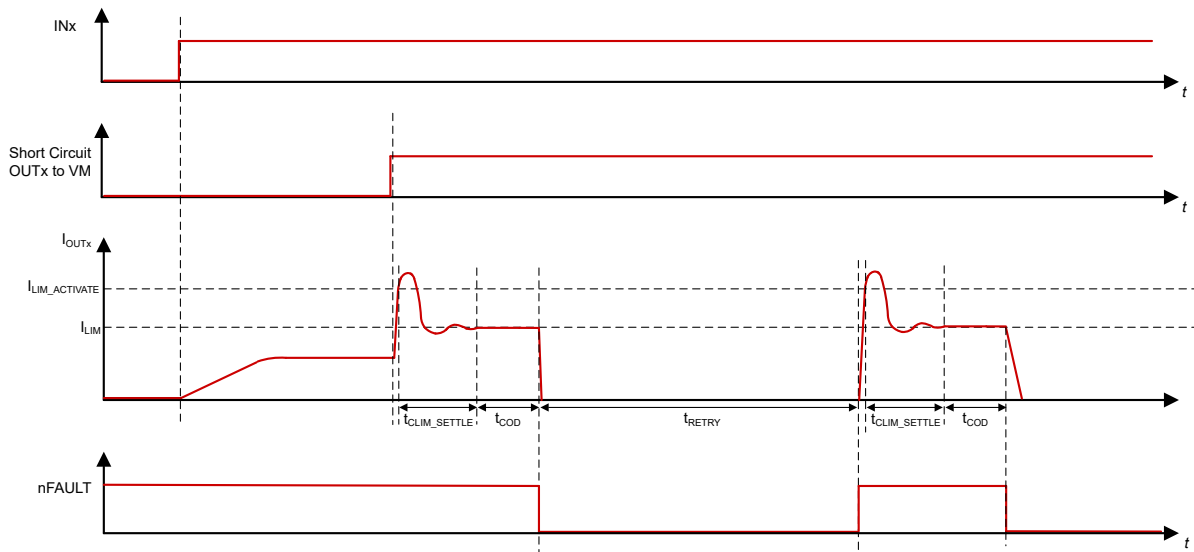


图 6-9. 启用 COD 时的电流限制电路对短路的响应

t_{COD} 和 t_{RETRY} 功能的基于截止延迟的时序，与基于热关断的重试相比，可降低平均功率耗散。如果没有 COD，该器件会在室温下的 1ms 至 5ms 内从热关断状态恢复，同时一个通道导通。对于 COD，器件会等待整个 t_{RETRY} 周期，然后再重新启用输出。例如，我们可以针对 $R_{ILIM} = 100k\Omega$ ， $V_{VM} = V_{LOAD} = 24V$ ， $R_{LOAD} = 1\Omega$ ，使用不使用 COD 的情况来计算每个周期的平均功率耗散

$$I_{LIM} = 60/R_{LIM} = 60/100 = 0.6A \quad (7)$$

$$P_{OUTx_ILIM} = V_{OUTx} \times I_{LIM} = (V_{LOAD} - I_{LIM} \times R_{LOAD}) \times I_{LIM} = (24V - 1\Omega \times 0.6A) \times 0.6A = 14.0W \quad (8)$$

启用截止延迟 ($60k\Omega \leq R_{COD} \leq 240k\Omega$) 时, 平均电流取决于 t_{COD} 和 $t_{RETRY} = t_{COD} \times 32ms$ 。对于 $R_{COD} = 120k\Omega$

$$t_{COD} = R_{COD}[k\Omega]/120 = 120/120 = 1ms \quad (9)$$

$$t_{RETRY} = t_{COD} \times 32 = 1ms \times 32 = 32ms \quad (10)$$

$$P_{COD_AVERAGE} = (P_{OUTx_ILIM} \times t_{COD}) / (t_{COD} + t_{RETRY}) = (14.0W \times 1ms) / (1ms + 32ms) = 0.43W \quad (11)$$

在没有截止延迟 (COD 引脚连接到 GND, 或 $R_{COD} < 20k\Omega$) 的情况下, 该器件会在热迟滞 ($T_J < (t_{TSD} - t_{TSD_HYS})$) 后自动重试。使用 $t_{TSD_HYS_RETRY} = 2.5ms$ 的重试时间以及与器件在 $t_{TSD} = 1ms$ 后热关断相同的 $1ms$ 导通时间来计算平均功率耗散:

$$P_{ILIM_AVERAGE} = (P_{OUTx_ILIM} \times t_{TSD}) / (t_{TSD} + t_{TSD_HYS_RETRY}) = (14.0W \times 1ms) / (1ms + 2.5ms) = 4W \quad (12)$$

截止延迟使平均功率耗散 (本例中为 $0.43W$) 明显低于基于热关断的保护 (本例中为 $4W$)。这一结果可降低系统总体发热并在相邻器件通道上实现更好的性能。

6.3.4.3 热关断 (TSD)

靠近每个功率 FET 放置了一个专用的热传感器。当通道遇到过热条件时, 相应的功率 FET 会被禁用, 且 NFAULT 引脚被置为低电平。四个输出功率级的热保护是独立的。

如果裸片温度超过安全限值, 则会禁用输出所有 FET 并将 nFAULT 引脚驱动为低电平。裸片温度下降到安全水平后, 将自动恢复运行。

6.3.4.4 欠压锁定 (UVLO)

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时, 器件中的所有电路都会被禁用, 输出 FETS 被禁用, 并且所有内部逻辑被复位。当 V_{VM} 电压升至高于 UVLO 上升阈值时, 将恢复运行, 如图 6-10 所示。

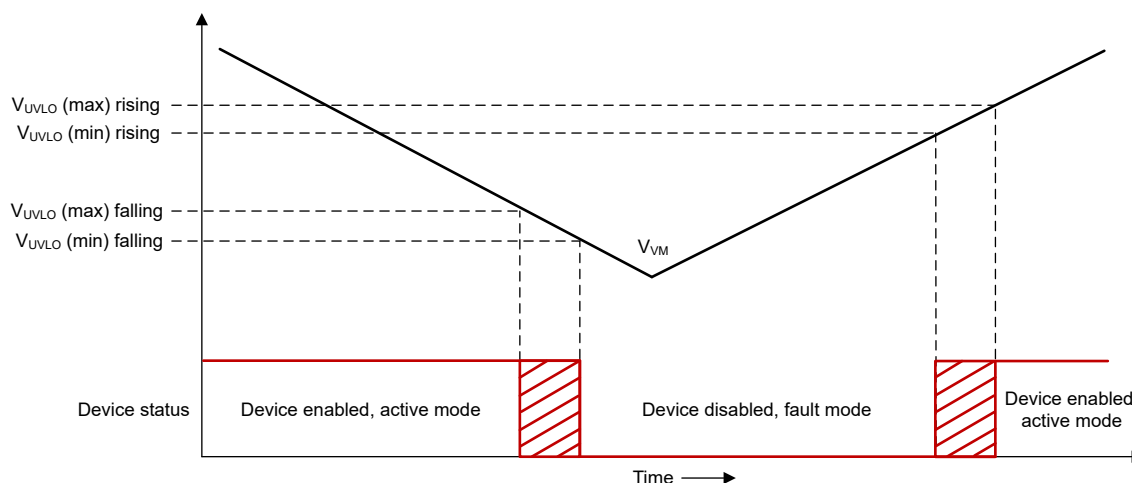


图 6-10. VM UVLO 运行

6.3.4.5 故障条件汇总

故障	NFAULT 引脚	恢复
通道过热, $T_{J_CHX} > T_{TSD}$	高	$T_J < (T_{TSD} - T_{TSD_HYS})$
	拉至低电平	
全局 (裸片) 过热, $T_J > T_{TSD}$	拉至低电平	$T_J < (T_{TSD} - T_{TSD_HYS})$
COD 启用时, COD 计时结束	拉至低电平	t_{RETRY} 计时结束
VM 欠压 (UVLO), $V_{VM} < V_{UVLO}$ VM 下降	禁用内部电路	$V_{VM} > V_{UVLO}$ VM 上升

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

DRV81545 是一款四通道低侧，可用于驱动接地负载，例如灯泡，线圈，单极 BDC 电机，LED 模块等容性负载。可将通道并联以驱动更大的电流。对于需要 PWM 类型控制的电感负载，DRV81545 还集成了从 OUT 到 VCLAMP 的环流二极管，该二极管可用于再循环电流以实现慢速衰减。为了实现快速关断，用户可以在 VCLAMP 引脚上连接一个击穿齐纳二极管，以在电感负载中快速衰减电流。

7.2 典型应用

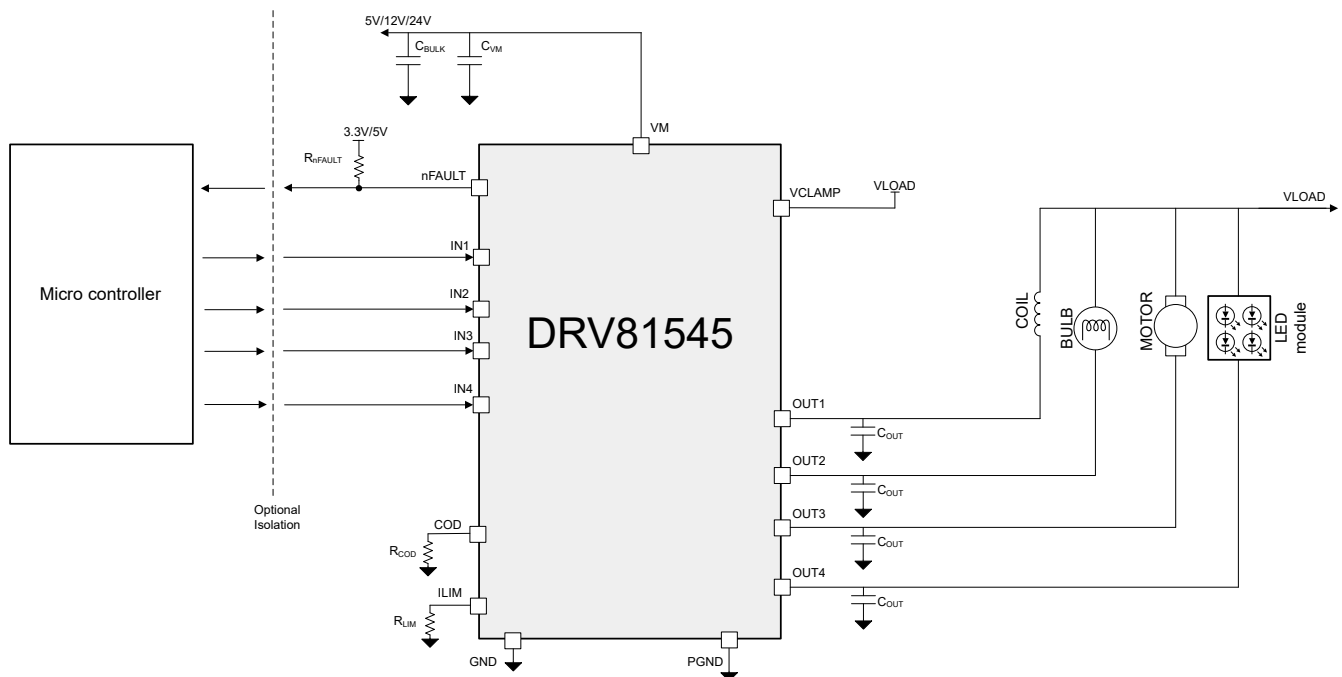


图 7-1. 典型应用原理图

图 7-1 展示了该 DRV81545 的应用原理图。VLOAD 和 VM 可以连接在一起，或者只要电压不超过任何引脚的绝对最大额定值，它们就可以是不同的电压。

7.2.1 建议的外部元件

表 7-1 列出了 DRV81545 的推荐外部组件。

表 7-1. 建议的外部元件

符号	说明	值	用途
C _{VM}	VM 上的电容器	1uF	电源电压滤波
C _{BULK}	VM 上的大容量电容器	47uF - 100uF	电源电压浪涌和纹波平滑处理
R _{COD}	COD 引脚上的下拉电阻器	根据所需的截止延迟设置下拉电阻	
R _{ILIM}	ILIM 引脚上的下拉电阻器	根据所需的电流限值设置下拉电阻	

表 7-1. 建议的外部元件 (续)

符号	说明	值	用途
R_{nFAULT}	上拉电阻连接到开漏 nFAULT 引脚上的逻辑电压	10k Ω	当该引脚未被拉低时, 将 nFAULT 电压偏置为高电平

表 7-2. 可选外部元件

符号	说明	值	用途
C_{OUT}	每个 OUTx 到 GND 上的电容器	10nF	系统级 ESD 直接过滤
TVS _{SURGE}	VCLAMP 引脚上的浪涌二极管	TVS3300	提供系统级电压浪涌保护和电感退磁保护
U 隔离	用于 INx 的四通道数字隔离器	INx 控制 : ISO6440	在电路的其余部分和 DRV81545 之间提供电气隔离

7.2.2 详细设计过程

7.2.3 功率耗散

DRV81545 器件中的功率耗散主要由输出 FET 电阻或 $R_{DS(on)}$ 中耗散的功率决定。每个 FET 在运行静态负载时的平均功耗可以通过 [方程式 13](#) 大致估算：

$$P = R_{DS(on)} \cdot (I_{OUT})^2 \quad (13)$$

其中

- P 是一个 FET 的耗散功率
- $R_{DS(on)}$ 是每个 FET 的导通电阻
- I_{OUT} 等于负载的平均电流消耗。

在启动和故障情况下, 此电流远大于正常运行电流；请将这些峰值电流及其持续时间考虑在内。当同时驱动多个负载时, 必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意, $R_{DS(on)}$ 随温度升高而增加, 因此随着器件发热, 功率耗散也会增大。在确定散热器尺寸时, 请考虑这一操作。

7.3 应用曲线

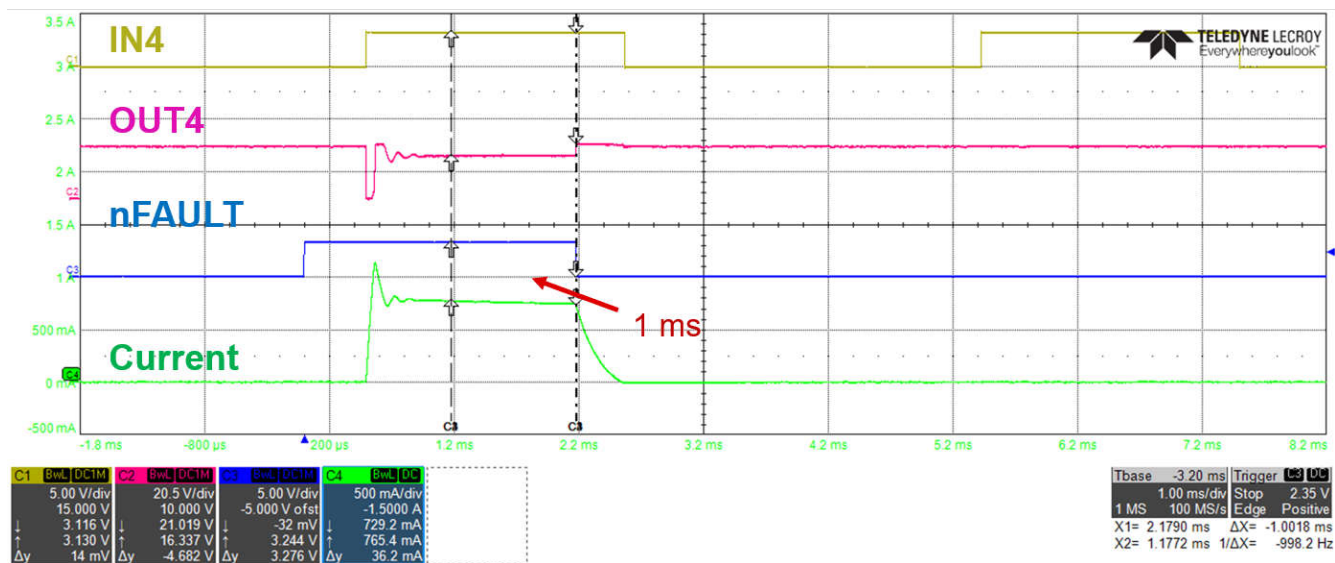


图 7-2. $t_{\text{COD}} = 1\text{ms}$, $R_{\text{COD}} = 120\text{k}\Omega$, 12V, 12 Ω 负载, VCLAMP 短接至 VM

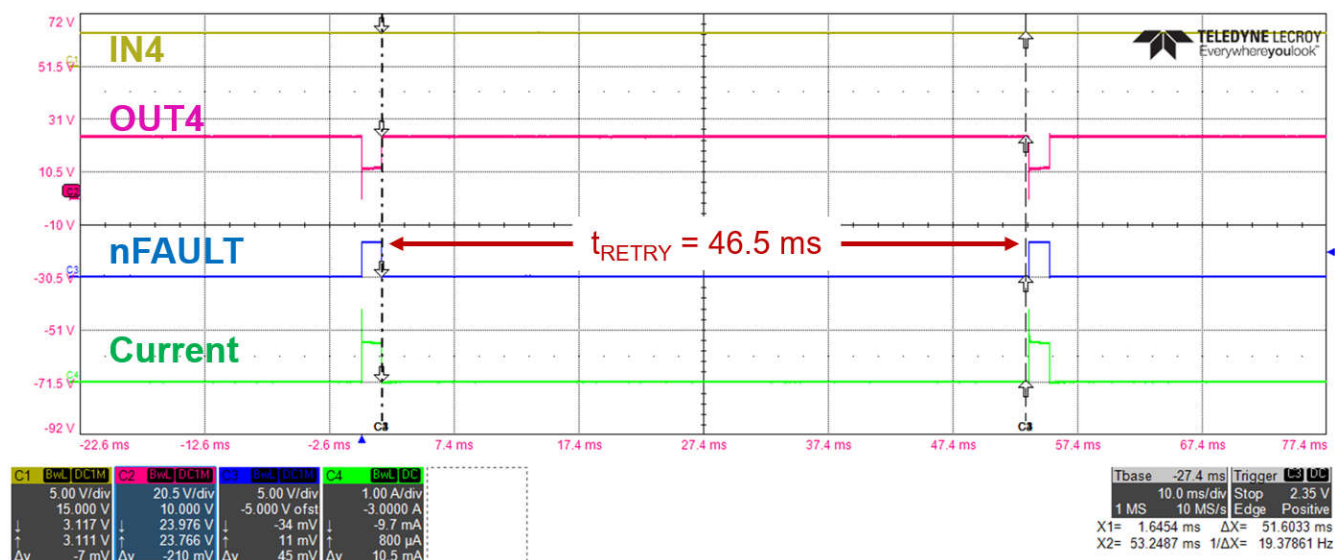


图 7-3. $t_{\text{RETRY}} = 46.5\text{ms}$, 启用截止延迟 (COD), $R_{\text{COD}} = 180\text{k}\Omega$, 12V, 12 Ω 1mH 负载, VCLAMP 短接至 VM

7.4 电源相关建议

7.4.1 大容量电容

合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。电机驱动器附近的大容量电容器充当本地电荷库，用于消除电机电流变化。

经验丰富的工程师通常使用有关大容量电容的通用指导原则来选择电容值。一个指导原则是每瓦电机功率应使用至少 1 μF 到 4 μF 的电容。例如，按照这个指导原则，从 24V 电源消耗 4A 电流的螺线管具有 96W 的功率，因此应使用 96 μF 到 384 μF 的大容量电容。

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

为在电流转换期间（例如螺线管启动、负载扭矩变化或 PWM 运行）提供恒定的 VM 电源电压，需要较大的大容量电容。稳定供电所需电容的工作估算对于降低电路板电子器件的复杂性、成本和尺寸至关重要。我们可以按照通用指导原则，根据预期的负载电流变化和允许的电机电源电压变化确定合适的电容器大小。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} / \Delta V_{SUPPLY} \quad (14)$$

其中：

C_{BULK} 是负载电容

k 是此类应用中典型电容器 ESR 的比例因子；根据使用 DRV8718-Q1EVM 获得的实验室测量结果， $k \approx 3$ 在这些情况下是实际可行的。

ΔI_{MOTOR} 是电机电流的预期变化，即 $i_{max} - i_{min}$

T_{PWM} 是 PWM 周期，它是 PWM 频率的倒数

ΔV_{SUPPLY} 是允许的电机电源电压变化

图 7-4 绘制了多个数据点并应用了此通用指导原则，表明一致性相对良好。

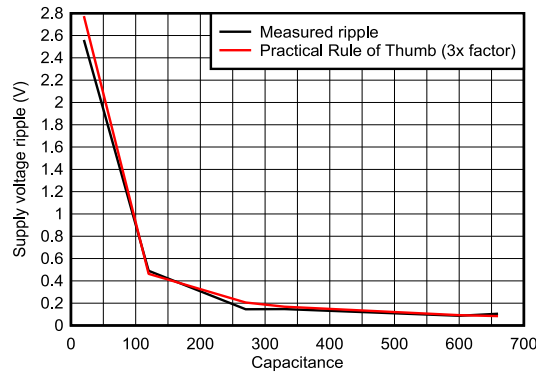


图 7-4. 测量结果和 3 倍通用指导值（考虑了电解电容器的实际非零 ESR 值）

另请参阅 [确定适用于直流电机驱动应用的大容量电容器的大小应用手册](#)。

7.5 布局

7.5.1 布局指南

- 放置大容量电容器，以尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度必须尽可能宽，并且在连接 PCB 层时必须使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。
- 对高电流器件输出使用宽金属布线。
- 使用推荐电容值符合 VM 额定电压要求的低 ESR 陶瓷旁路电容器，将 VM 引脚旁路至 GND 引脚。此类电容器尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 VNEG 引脚连接。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- 封装的散热焊盘必须连接至系统接地端。
 - 尝试让整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。图 7-5 所示为驱动器下方收缩的与连续的接地平面覆铜引起的温升示例。
 - 为了尽可能减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线尽可能短且宽。
 - 使用多个过孔以减小阻抗。
 - 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
 - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。
- 有关布局指南和最佳实践的更多信息，请参阅 [电机驱动器电路板布局最佳实践](#)。

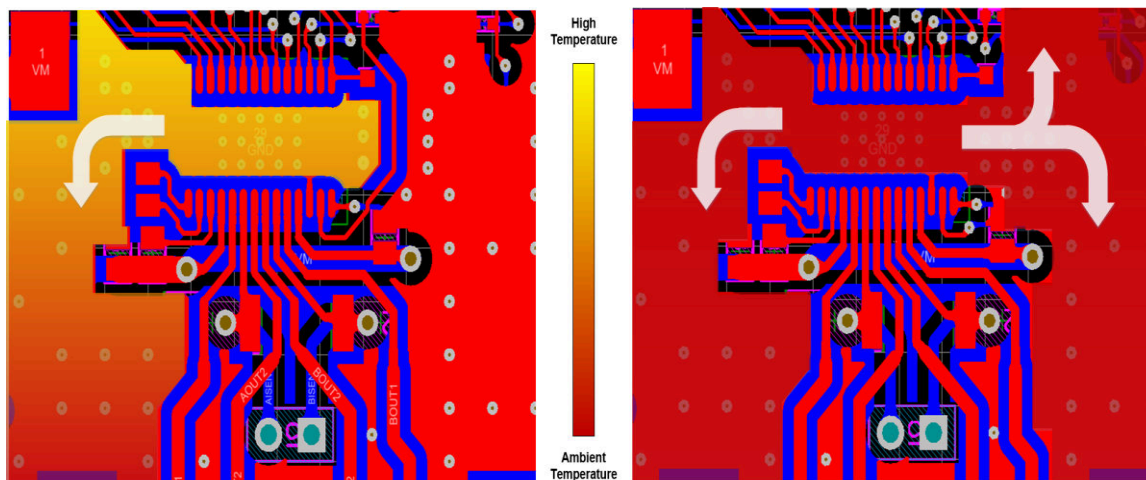


图 7-5. 中断接地平面覆铜与连续接地平面覆铜的热图

7.5.2 布局示例

按照评估模块 (EVM) 的布局示例进行操作。可以从 [DRV81545EVM](#) 产品文件夹下载 Altium 设计文件。

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

欲查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，[PowerPAD 热增强型封装应用手册](#)
- 德州仪器 (TI)，[PowerPAD 速成应用手册](#)
- 德州仪器 (TI)，[电机驱动器电路板布局布线最佳实践应用手册](#)
- 德州仪器 (TI)，[确定适用于直流电机驱动应用的大容量电容器的大小应用手册](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

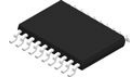
9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

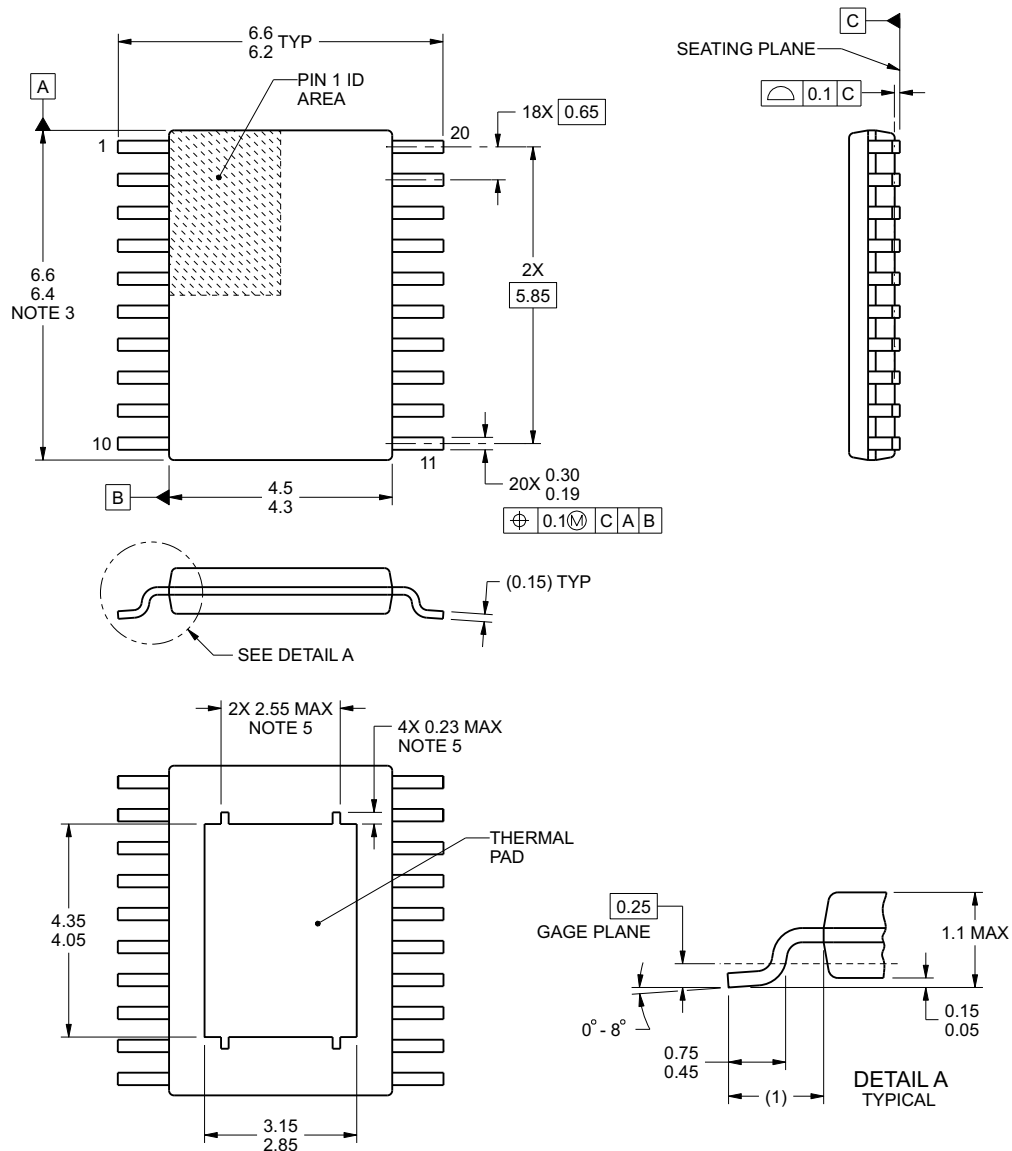
日期	修订版本	注释
October 2025	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGE OUTLINE****PWP0020A****PowerPAD™ TSSOP - 1.1 mm max height**

PLASTIC SMALL OUTLINE



4214869/A 08/2016

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

www.ti.com

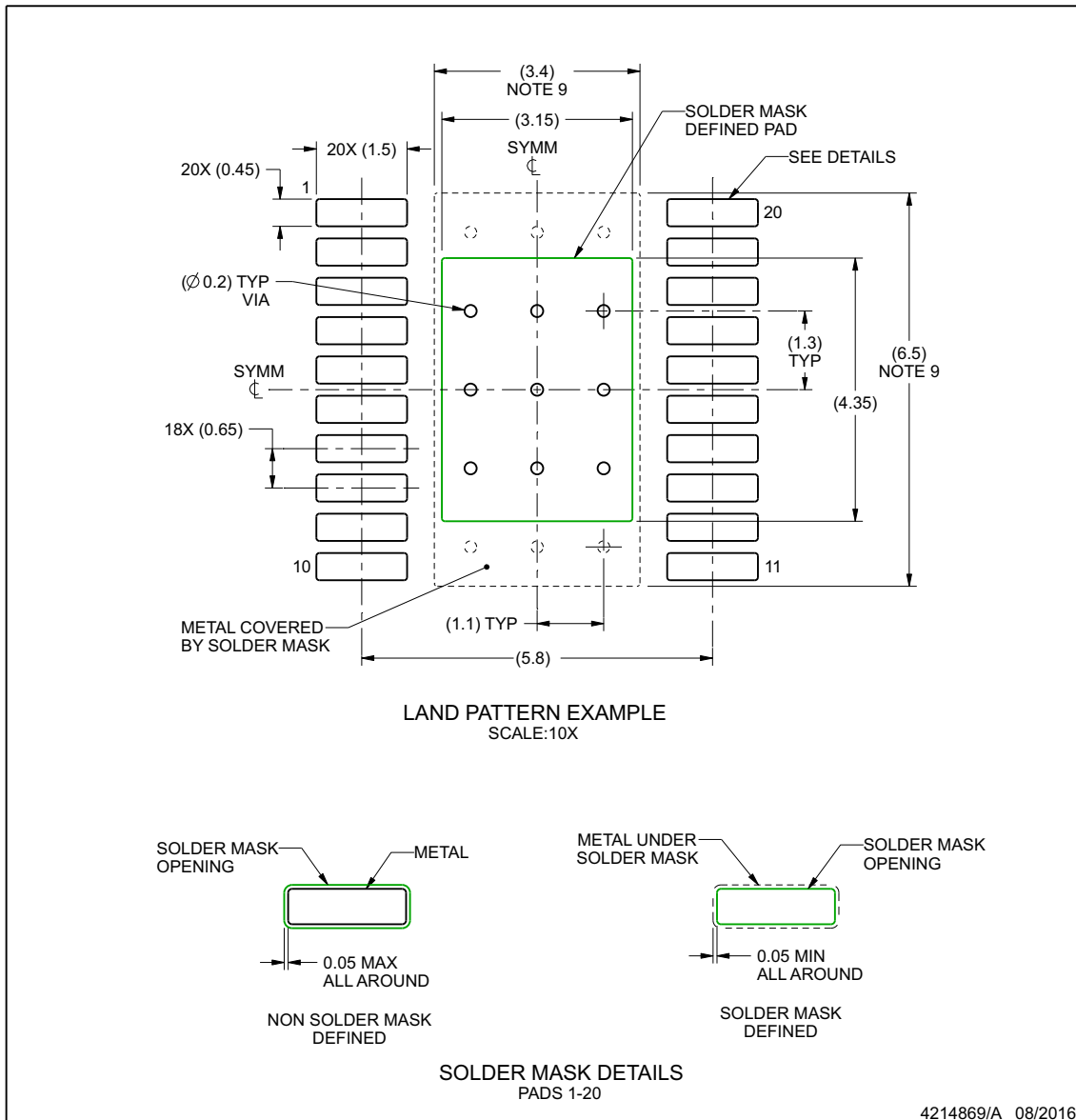
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

PWP0020A

PowerPAD™ TSSOP - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

www.ti.com

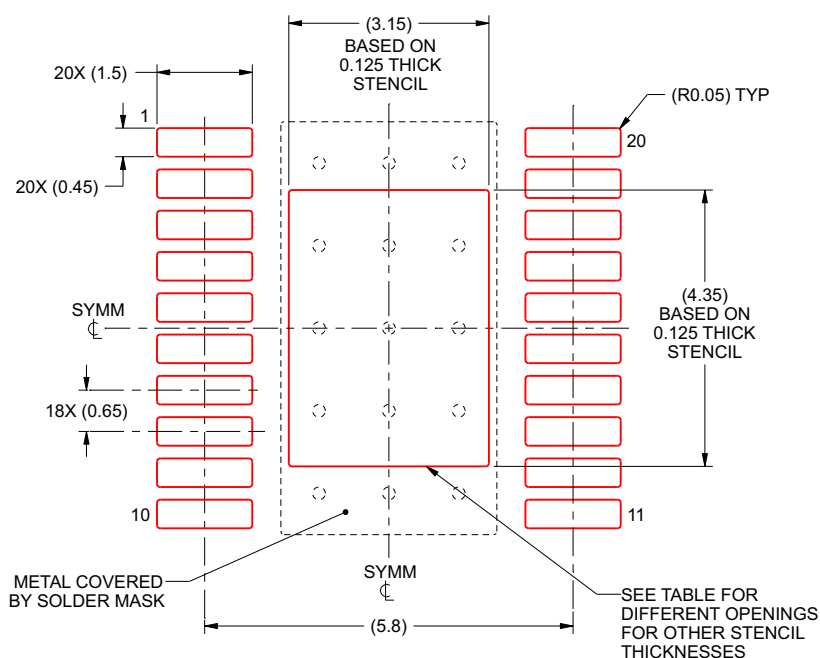
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PWP0020A

PowerPAD™ TSSOP - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.52 X 4.86
0.125	3.15 X 4.35 (SHOWN)
0.15	2.88 X 3.97
0.175	2.66 X 3.68

4214869/A 08/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81545PWPR	Active	Preproduction	HTSSOP (PWP) 20	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

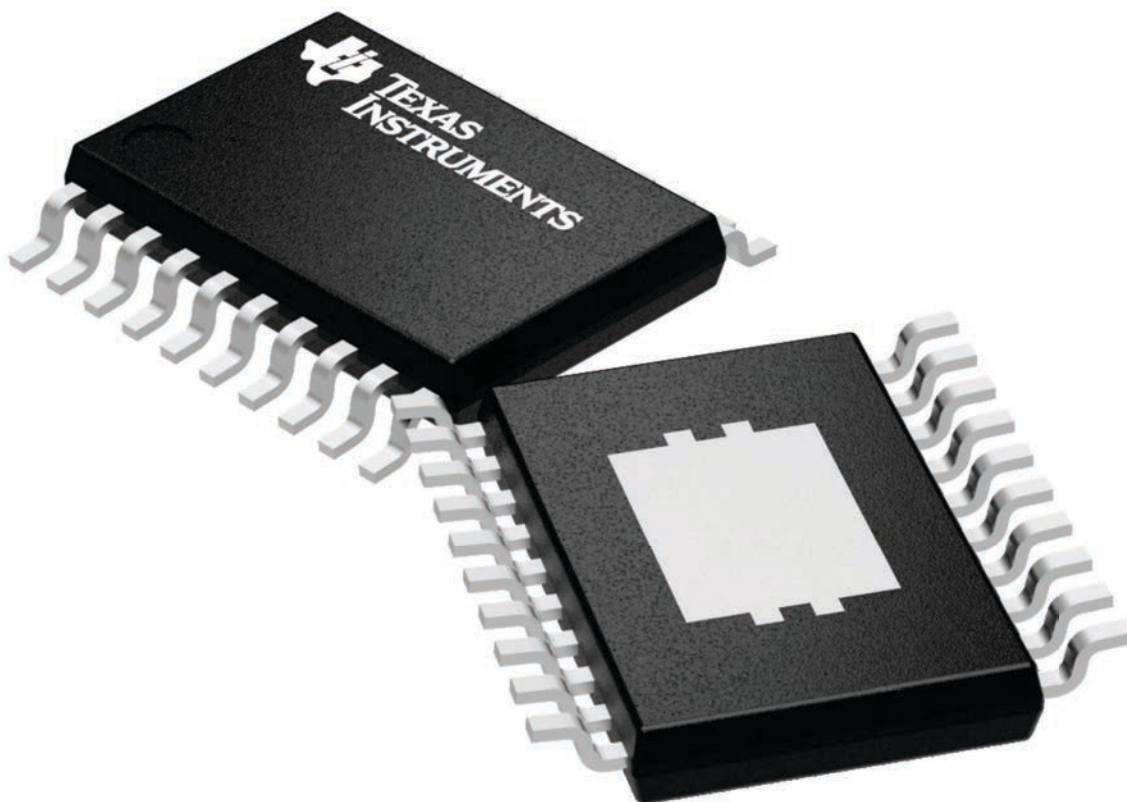
PWP 20

HTSSOP - 1.2 mm max height

6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月