

DRV7167A 100V、70A 半桥 GaN 电机驱动器功率级

1 特性

- 具有集成驱动器、支持 48V 系统的 100V 半桥 GaN 电机驱动器功率级
- 低 GaN 导通状态电阻
 - $T_A=25^{\circ}\text{C}$ 时, $R_{DS(ON)}$ 为 $2.2\text{m}\Omega$ (每个 FET)
- 实现高效、高密度的功率转换
 - 高输出电流能力: 70A_{rms} 、 250A (脉冲式, $300\mu\text{s}$)
 - 支持高达 500kHz 的 PWM 开关频率
 - 出色的传播延迟 (典型值 20ns) 和匹配 (典型值 2ns)
 - 两个 FET 的导通和关断压摆率控制
 - 用于优化软开关应用中死区时间的零电压检测 (ZVD) 报告
 - IO 数量受限的控制器单 PWM 输入选项
- 5V 外部辅助电源
 - 支持 3.3V 和 5V 输入逻辑电平
- 集成式保护功能
 - 独立输入模式 (IIM) 下的短路保护
 - 内部自举电源电压调节, 可防止 GaN FET 过驱动
 - 基于 V_{DS} 监测的逐周期短路保护
 - 过热、欠压和短路事件的故障指示
 - 电源轨欠压锁定保护
- 封装经过优化, 便于 PCB 布局
 - 外露式顶部 QFN 封装, 实现顶面散热
 - 大型 GND 焊盘实现底面散热

2 应用

- 类人机器人
- 协作机器人
- 移动机器人 (AGV/AMR)
- 48V 伺服驱动器
- 无人机
- 电动自行车、电动踏板车和电动汽车
- 电动工具

3 说明

DRV7167A 是一款 100V 半桥功率级, 具有集成栅极驱动器和增强模式氮化镓 (GaN) FET。该器件包含两个 100V GaN FET, 它们采用半桥配置并由一个高频 GaN FET 驱动器驱动。

GaN FET 在功率转换方面的优势极为显著, 因为它们的反向恢复为零, 而且输入电容 C_{ISS} 和输出电容 C_{OSS} 都非常小。所有器件均安装在一个完全无键合线的封装平台上, 尽可能减少了封装寄生元件数。DRV7167A 采用 $7.0\text{mm} \times 4.5\text{mm} \times 0.89\text{mm}$ 无铅封装, 可轻松安装在 PCB 上。

无论 $GVDD$ 电压如何, TTL 逻辑兼容输入均可支持 3.3V 和 5V 逻辑电平。专有的自举电压调节技术确保了增强模式 GaN FET 的栅极电压处于安全工作范围内。该器件支持两个 FET 的导通和关断压摆率控制、与 IO 数量受限的控制器配合使用的单 PWM 模式、短路保护 (SCP)、过热检测 (OTD) 以及尽可能缩短第三象限导通时间的零电压检测 (ZVD) 报告。

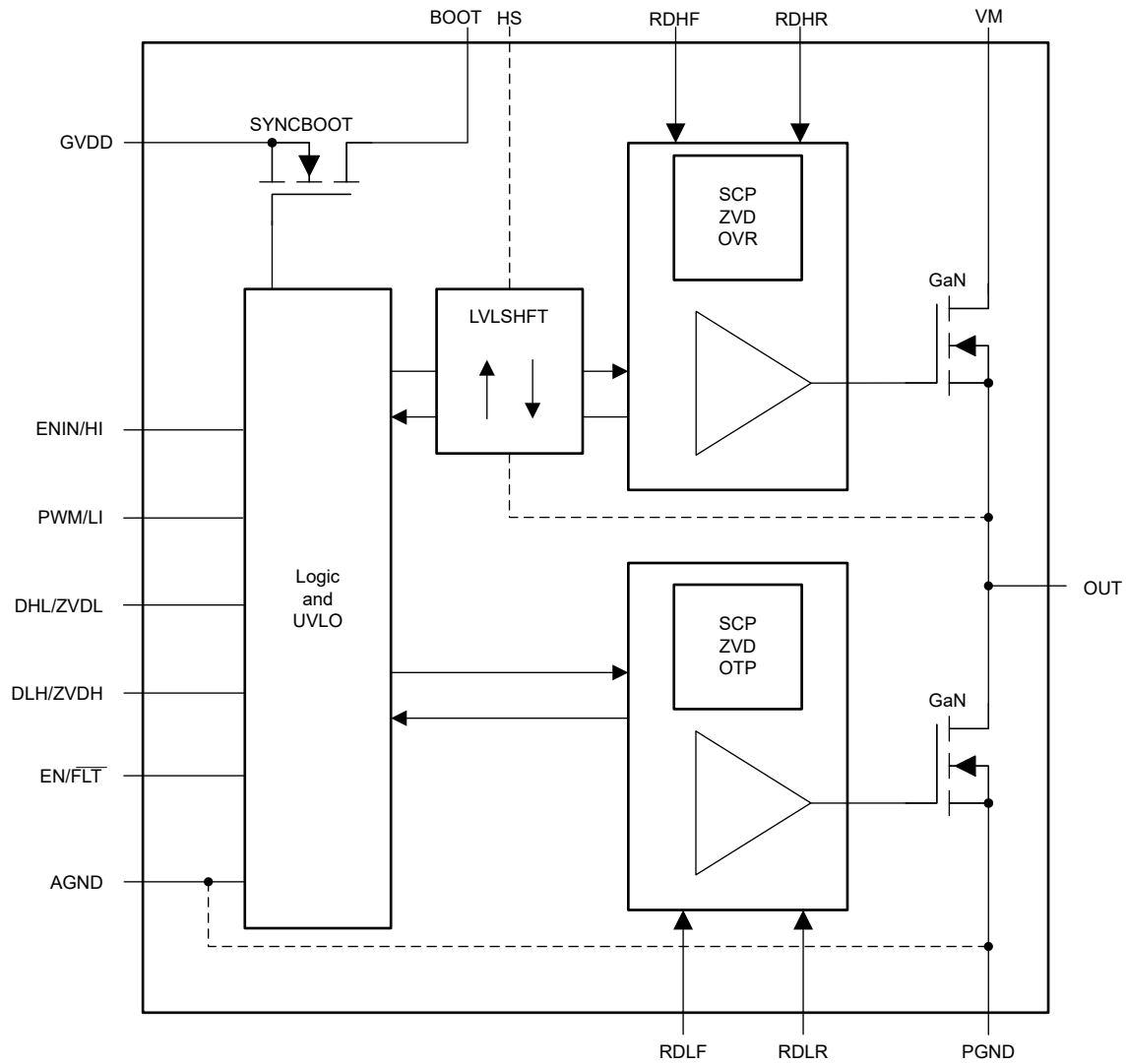
该器件配有用户友好型接口且更为出色, 进一步提升了分立式 GaN FET 的优势。对于需要小尺寸、高频、高效运行的应用来说, 该器件是理想的解决方案。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值) ⁽³⁾
DRV7167A ⁽²⁾	VBN (VQFN, 18)	$7.00\text{mm} \times 4.50\text{mm}$

- (1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- (2) 预告信息。产品处于样片和预量产阶段。
- (3) 封装尺寸 (长 \times 宽) 为标称值, 并包括引脚 (如适用)。





简化版方框图

内容

1 特性	1	7.4 器件功能模式	16
2 应用	1	8 应用和实施	16
3 说明	1	8.1 应用信息.....	16
4 引脚配置和功能	4	8.2 典型应用.....	16
5 规格	6	8.3 电源相关建议.....	18
5.1 绝对最大额定值.....	6	8.4 布局.....	18
5.2 ESD 等级.....	6	9 器件和文档支持	20
5.3 建议运行条件.....	7	9.1 文档支持.....	20
5.4 热性能信息_DRV7167A.....	8	9.2 接收文档更新通知.....	20
5.5 电气特性.....	8	9.3 支持资源.....	20
6 参数测量信息	11	9.4 商标.....	20
6.1 传播延迟和失配测量.....	11	9.5 静电放电警告.....	20
7 详细说明	13	9.6 术语表.....	20
7.1 概述.....	13	10 修订历史记录	20
7.2 功能方框图.....	13	11 机械、封装和可订购信息	21
7.3 特性说明.....	14	11.1 封装信息.....	22

4 引脚配置和功能

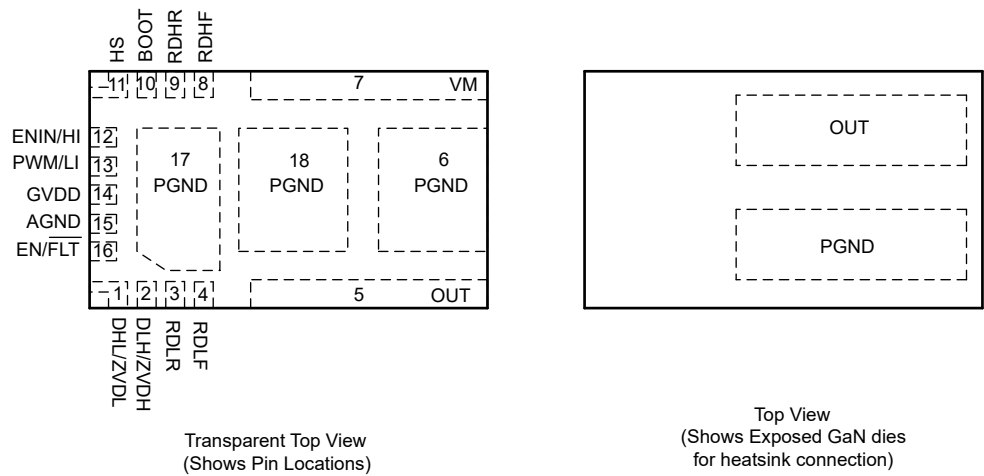


图 4-1. VBN 封装，18 引脚 VQFN（顶视图）

引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
DHL/ZVDL	1	IO	在 PWM 模式下，通过将一个电阻器连接到 AGND 来设置高电平到低电平转换的死区时间。 在 IIM 模式下，零电压检测输出信号用于指示低侧 FET 在当前开关周期中是否实现了零电压开关。注意：请勿将 ZVDL 连接到 GVDD。
DLH/ZVDH	2	IO	在 PWM 模式下，通过将一个电阻器连接到 AGND 来设置低电平到高电平转换的死区时间。 在 IIM 模式下，零电压检测输出信号用于指示高侧 FET 在当前开关周期中是否实现了零电压开关。
RDLR	3	I	通过连接到 AGND 的电阻器设置低侧 FET 导通的压摆率控制。
RDLF	4	I	通过连接到 AGND 的电阻器设置低侧 FET 关断的压摆率控制。 将该引脚悬空以启用 PWM 模式。
OUT	5	P	开关节点。在内部连接到 HS 引脚。
PGND	6、17、18	G	电源地。低侧 GaN FET 源极。内部连接到低侧 GaN FET 源极。
VM	7	P	输入电压引脚。内部连接到高侧 GaN FET 漏极。
RDHF	8	I	通过连接到 HS 的电阻器设置高侧 FET 关断的压摆率控制。
RDHR	9	I	通过连接到 HS 的电阻器设置高侧 FET 导通的压摆率控制。注意：请勿将 RDHR 引脚悬空。
BOOT	10	P	高侧栅极驱动器自举电源轨。将旁路电容器连接到 HS。
HS	11	P	高侧 GaN FET 源极连接。
ENIN/HI	12	I	在 PWM 模式下，为高侧和低侧 FET 启用栅极驱动。 在 IIM 模式下，启用高侧栅极驱动器控制输入。
PWM/LI	13	I	在 PWM 模式下，启用 PWM 输入。 在 IIM 模式下，启用低侧栅极驱动器控制输入。
GVDD	14	P	5V 器件电源。
AGND	15	G	模拟地。内部连接到低侧 GaN FET 源极。
EN/FLT	16	IO	芯片使能和故障输出引脚。通过 4.7k Ω 电阻器连接到微控制器输出或 GVDD。

(1) I = 输入，O = 输出，IO = 输入/输出，G = 接地，P = 电源

5 规格

5.1 绝对最大额定值

请参阅 [\(1\)](#)

参数	最小值	最大值	单位
VM 至 PGND (测试 24 小时)	0	100	V
VM 至 PGND (150°C 时可承受多达 10,000 个持续时间为 5ms 的脉冲)		120	V
BOOT 至 AGND		106	V
HS 至 AGND		100	V
HS 至 PGND (150°C 时可承受多达 10,000 个持续时间为 5ms 的脉冲)		120	V
HI 至 AGND	-0.3	6	V
LI 至 AGND	-0.3	6	V
HI 至 AGND, 20ns 瞬态, 频率 < 1MHz	-2	6	V
LI 至 AGND, 20ns 瞬态, 频率 < 1MHz	-2	6	V
GVDD 至 AGND	-0.3	6	V
BOOT 至 HS	-0.3	6	V
BOOT 至 GVDD	0	100	V
OUT 至 PGND		100	V
来自 OUT 引脚的 IOUT (连续), $T_J = 125^{\circ}\text{C}$		70	A
来自 OUT 引脚的 IOUT (脉冲, 300 μs), $T_J = 25^{\circ}\text{C}$		250	A
结温 T_J	-40	175	°C
贮存温度, T_{stg}	-40	175	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 1000	V
				V
		带电器件模型 (CDM), 角引脚, 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 750	V
		带电器件模型 (CDM), 内部引脚, 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

电压以 AGND 为基准 (除非另有说明)

		最小值	标称值	最大值	单位
GVDD		4.5	5	5.5	V
PWM/LI、ENIN/HI、EN 低电平输入				1	V
PWM/LI、ENIN/HI、EN 高电平输入		3		VM+0.3	V
BOOT		$V_{HS} + 4$		$V_{HS} + 5.5$	V
f_{MAX}	最大开关频率 (50% 占空比)			500	kHz
t_{PW}	支持的最小输入脉冲宽度	10			ns
HS、OUT 压摆率 ⁽¹⁾				待定	V/ns

(1) 通过设计和表征确定。未经量产测试。

5.4 热性能信息_DRV7167A

热指标 ⁽¹⁾		DRV7167	单位
		QFN	
		18 引脚	
$R_{\theta JA}$	结至环境热阻	27	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	0.4	°C/W
$R_{\theta JC(Bot)}$	结至外壳 (底部) 热阻, 低侧 FET 至 PGND	5.4	°C/W
	结至外壳 (底部) 热阻, 高侧 FET 至 VM	6.3	°C/W
$R_{\theta JB}$	结至电路板热阻	3.9	°C/W
Ψ_{JT}	结至顶部特征参数	1.8	°C/W
Ψ_{JB}	结至电路板特征参数	3.8	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 *IC 封装热指标* 应用报告 [SPRA953](#)。

5.5 电气特性

除非另有说明, 否则电压以 AGND 为基准, 典型规格在 25°C 下测得⁽¹⁾; $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
POWER STAGE_DRV7167A					
$R_{DS(ON)HS}$	高侧 GaN FET 导通电阻 LI=0V, HI=GVDD=5V, BOOT-HS=5V, I(VM-OUT)=16A, $T_J = 25^{\circ}\text{C}$		2.3	3.1	mΩ
$R_{DS(ON)LS}$	低侧 GaN FET 导通电阻 LI=GVDD=5V, HI=0V, BOOT-HS=5V, I(OUT-PGND)=16A, $T_J = 25^{\circ}\text{C}$		2.2	3	mΩ
V_{SD}	GaN 源极至漏极第三象限导通压降 $I_{SD} = 500\text{mA}$, V_M 悬空, $V_{GVDD} = 5\text{V}$, HI = LI = 0V		1.5		V
$I_{L-VM-OUT}$	高侧 GaN FET 和低侧 GaN FET 关断时从 VM 到 OUT 的漏电流 VM = 80V, OUT=0V, HI = LI = 0V, $V_{GVDD} = 5\text{V}$, $T_J = 25^{\circ}\text{C}$		10	150	μA
$I_{L-VM-OUT}$	高侧 GaN FET 和低侧 GaN FET 关断时从 VM 到 OUT 的漏电流 VM = 80V, OUT=0V, HI = LI = 0V, $V_{GVDD} = 5\text{V}$, $T_J = 90^{\circ}\text{C}$		20	300	μA
$I_{L-OUT-GND}$	高侧 GaN FET 和低侧 GaN FET 关断时从 OUT 到 GND 的漏电流 OUT = 80V, HI = LI = 0V, $V_{GVDD} = 5\text{V}$, $T_J = 25^{\circ}\text{C}$		10	150	μA
$I_{L-OUT-GND}$	高侧 GaN FET 和低侧 GaN FET 关断时从 OUT 到 GND 的漏电流 OUT = 80V, HI = LI = 0V, $V_{GVDD} = 5\text{V}$, $T_J = 90^{\circ}\text{C}$		20	300	μA
C_{ISS}	高侧或低侧 HEMT 的输入电容 $V_{DS}=50\text{V}$, $V_{GS} = 0\text{V}$ (HI = LI = 0V), $T_J = 25^{\circ}\text{C}$		1700		pF
C_{OSS}	高侧 GaN FET 或低侧 GaN FET 的输出电容 $V_{DS}=50\text{V}$, $V_{GS} = 0\text{V}$ (HI = LI = 0V), $T_J = 25^{\circ}\text{C}$		570		pF
$C_{OSS(ER)}$	高侧 GaN FET 或低侧 GaN FET 的输出电容 - 能量相关 $V_{DS}=0$ 至 50V, $V_{GS} = 0\text{V}$ (HI = LI = 0V), $T_J = 25^{\circ}\text{C}$		700		pF
$C_{OSS(TR)}$	高侧 GaN FET 或低侧 GaN FET 的输出电容 - 时间相关 $V_{DS}=0$ 至 50V, $V_{GS} = 0\text{V}$ (HI = LI = 0V), $T_J = 25^{\circ}\text{C}$		880		pF
C_{RSS}	高侧或低侧 HEMT 的反向传输电容 $V_{DS}=50\text{V}$, $V_{GS} = 0\text{V}$ (HI = LI = 0V), $T_J = 25^{\circ}\text{C}$		4.3		pF
Q_G	高侧或低侧 HEMT 的总栅极电荷 $V_{DS}=50\text{V}$, $I_D = 16\text{A}$, $V_{GS} = 5\text{V}$, $T_J = 25^{\circ}\text{C}$		12		nC
Q_{GD}	高侧或低侧 HEMT 的栅漏极电荷 $V_{DS}=50\text{V}$, $I_D = 16\text{A}$, $T_J = 25^{\circ}\text{C}$		1.2		nC
Q_{GS}	高侧或低侧 HEMT 的栅源极电荷 $V_{DS}=50\text{V}$, $I_D = 16\text{A}$, $T_J = 25^{\circ}\text{C}$		3.9		nC
Q_{OSS}	输出电荷 (高侧 HEMT、低侧 HEMT 和栅极驱动器高压阱电荷的总和) $V_{DS}=50\text{V}$, $I_D = 16\text{A}$, $T_J = 25^{\circ}\text{C}$		90		nC
Q_{RR}	源极至漏极反向恢复电荷		0		nC
t_{HIPLH}	传播延迟: HI 上升 ⁽²⁾ LI=0V, GVDD=5V, BOOT-HS=5V, VM=48V		15	25	ns
t_{HIPHL}	传播延迟: HI 下降 ⁽²⁾ LI=0V, GVDD=5V, BOOT-HS=5V, VM=48V		15	25	ns
t_{LIPLH}	传播延迟: LI 上升 ⁽²⁾ HI=0V, GVDD=5V, BOOT-HS=5V, VM=48V		15	25	ns

除非另有说明，否则电压以 AGND 为基准，典型规格在 25°C 下测得⁽¹⁾；-40°C ≤ T_J ≤ 150°C

参数		测试条件	最小值	典型值	最大值	单位
t _{LIPHL}	传播延迟：LI 下降 ⁽²⁾	HI=0V，GVDD=5V，BOOT-HS=5V，VM=48V		15	25	ns
t _{MON}	延迟匹配：LI 高和 HI 低 ⁽²⁾			2	5	ns
t _{MOFF}	延迟匹配：LI 低和 HI 高 ⁽²⁾			2	5	ns
t _{PW}	可改变输出的最小输入脉冲宽度			10		ns
输入引脚 (ENIN/HI、PWM/LI、EN)						
V _{IH}	高电平输入电压阈值	上升沿			2.1	V
V _{IL}	低电平输入电压阈值	下降沿	1.2			V
V _{HYS}	上升和下降阈值之间的迟滞			300		mV
R _I	输入下拉电阻		200	300	500	kΩ
输出引脚 (ZVDx)						
V _{OL}	低电平输出电压	I _{OL} = 3mA			0.25	V
V _{OH}	高电平输出电压	I _{OL} = -1.5mA 至 0mA	2.6		3.5	V
欠压/过压保护						
V _{GVDDR}	V _{GVDD} 上升沿阈值	上升	3.3	3.6	3.9	V
V _{GVDDF}	V _{GVDD} 下降沿阈值		3.1	3.4	3.7	V
V _{GVDD(hyst)}	V _{GVDD} UVLO 阈值迟滞			200		mV
V _{BOOTR}	BOOT 上升沿阈值	上升	3.3	3.6	3.9	V
V _{BOOTF}	BOOT 下降沿阈值		3.1	3.4	3.7	V
V _{BOOT(hyst)}	BOOT UVLO 阈值迟滞			200		mV
V _{BOOTth}	BOOT 调节电压阈值		4.5		5.3	V
t _{PWRUP}	数字复位后的上电时间				50	μs
同步自举						
V _{DH}	正向压降	I _{VDD-BOOT} = 5mA		40		mV
		I _{VDD-BOOT} = 50mA		400		mV
t _{SS}	BOOT 上电时间 (LI=高电平)	C _{BOOT} = 220nF		2.2		μs
t _{SS}	BOOT 上电时间 (LI=高电平)	C _{BOOT} = 1μF		10		μs
电源电流						
I _{GVDD}	GVDD 静态电流	LI = HI = 0V，GVDD = 5V，EN=0		0.3		mA
I _{GVDD}	GVDD 静态电流	LI = HI = 0V，GVDD = 5V		0.9	3.5	mA
I _{GVDD}	GVDD 静态电流	LI=GVDD=5V，HI=0V		1.8	7	mA
I _{GVDDO}	总 GVDD 工作电流	f = 500kHz，50% 占空比，V _M = 48V		12	15	mA
I _{BOOT}	BOOT 静态电流	LI = HI = 0V，GVDD = 5V，BOOT-HS = 5V		0.5	1	mA
I _{BOOT}	BOOT 静态电流	LI=0V，HI=GVDD=5V，BOOT-HS=5V，VM=48V		0.8	3.5	mA
I _{BOOTO}	BOOT 工作电流	f = 500kHz，50% 占空比，GVDD = 5V，BOOT-HS = 5V，V _M = 48V		5.6	8	mA
压摆率控制 (有效栅极电阻)						
R _{gfh}	RDHF = 0Ω	驱动器 FET 上的电压 = 1.2V		0.3		Ω
	RDHF = 4kΩ			1.3		
	RDHF = 8kΩ			2.6		
	RDHF = 16kΩ			5.3		
R _{gfl}	RDLF = 0Ω	驱动器 FET 上的电压 = 1.2V		0.3		Ω
	RDLF = 4kΩ			1.3		
	RDLF = 8kΩ			2.6		
	RDLF = 16kΩ			5.3		

除非另有说明，否则电压以 AGND 为基准，典型规格在 25°C 下测得⁽¹⁾； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$

参数		测试条件	最小值	典型值	最大值	单位
Rgrh	RDHR = 0Ω	驱动器 FET 上的电压 = 1.2V	0.8		Ω	
	RDHR = 4kΩ		3.6			
	RDHR = 8kΩ		7			
	RDHR = 16kΩ		14			
Rgrl	RDLR = 0Ω	驱动器 FET 上的电压 = 1.2V	0.8		Ω	
	RDLR = 4kΩ		3.6			
	RDLR = 8kΩ		7			
	RDLR = 16kΩ		14			
死区时间控制						
t _{DEAD_MIN}	最小死区时间	DLH、DHL = 0Ω；最小死区时间设置。	5	7.5	10	ns
t _{DEAD_MAX}	最大死区时间	DLH、DHL = 100kΩ；最大死区时间设置。	32	40	48	ns
OCP						
V _{DSAT}	饱和和保护电压阈值		0.75			V
t _{BLANK}	V _{DSAT} 检测的消隐时间		38	60	88	ns
t _{SATFLT}	在消隐时间结束后检测到 V _{DS} 过压时，触发 FLT 指示的时间		28.7			ns
ZVD 输出（低电平有效）						
V _{THRESH_ZVD}	ZVD 检测器阈值		0.8		1.0	V
t _{3RD_ZVD}	可由 ZVD 检测器检测到的最小第三象限时间（低侧）	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	6	10	14	ns
t _{3RD_ZVD}	可由 ZVD 检测器检测到的最小第三象限时间（高侧）	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	6	10	14	ns
t _{DLY_ZVD_L}	V _{THRESH_ZVD} 突破阈值与 ZVD 输出变为低电平之间的延迟	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps		20	30	ns
t _{DLY_ZVD_H}	V _{THRESH_ZVD} 突破阈值与 ZVD 输出变为低电平之间的延迟	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps		20	30	ns
t _{WD_ZVD}	ZVD 脉冲宽度	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	40	65	95	ns
OTD						
OTD+	过热检测高阈值		145	165	182	℃
OTD-	过热检测高阈值		135	154	170	℃
OTD _{HYS}	过热检测高阈值		12			℃
FAULT						
I _{FLT}	故障引脚下拉电流	V _{FLT} = 0.4V	3			mA
t _{FLTDLY}	故障发生后触发 FLT 指示的时间		20			ns
t _{FLT}	最小故障指示时间		10			μs
t _{ENBLK}	FLT 释放后的时间，在该时间后 EN=0 生效		1			μs

(1) 仅显示典型值的参数通过设计确定，可能未在生产中进行测试

(2) 请参阅传播延迟和失配测量部分

6 参数测量信息

6.1 传播延迟和失配测量

图 6-1 展示了用于测量传播失配的典型测试设置。由于无法访问栅极驱动器，因此该测试电路中的上拉和下拉电阻器用于指示低侧 GaN FET 何时导通以及高侧 GaN FET 何时关闭，反之用于测量 t_{MON} 和 t_{MOFF} 参数。此电路中用于上拉和下拉电阻器的电阻值约为 $1k\Omega$ ；使用的电流源为 $2A$ 。

图 6-2 到图 6-5 展示了传播延迟测量波形。进行导通传播延迟测量时，不使用电流源。对于关断时间测量，电流源设置为 $2A$ ，并且还会设置电压钳位限值，称为 $V_{M(CLAMP)}$ 。测量高侧元件关断延迟时，高侧 FET 上的电流源导通，低侧 FET 上的电流源关断，HI 从高电平转换为低电平，输出电压从 V_M 转换为 $V_{M(CLAMP)}$ 。同样，测量低侧元件关断传播延迟时，高侧元件电流源关断，低侧元件电流源导通，LI 从高电平转换为低电平，输出从 GND 电位转换为 $V_{M(CLAMP)}$ 。LI 转换和输出变化之间的时间差就是传播延迟时间。

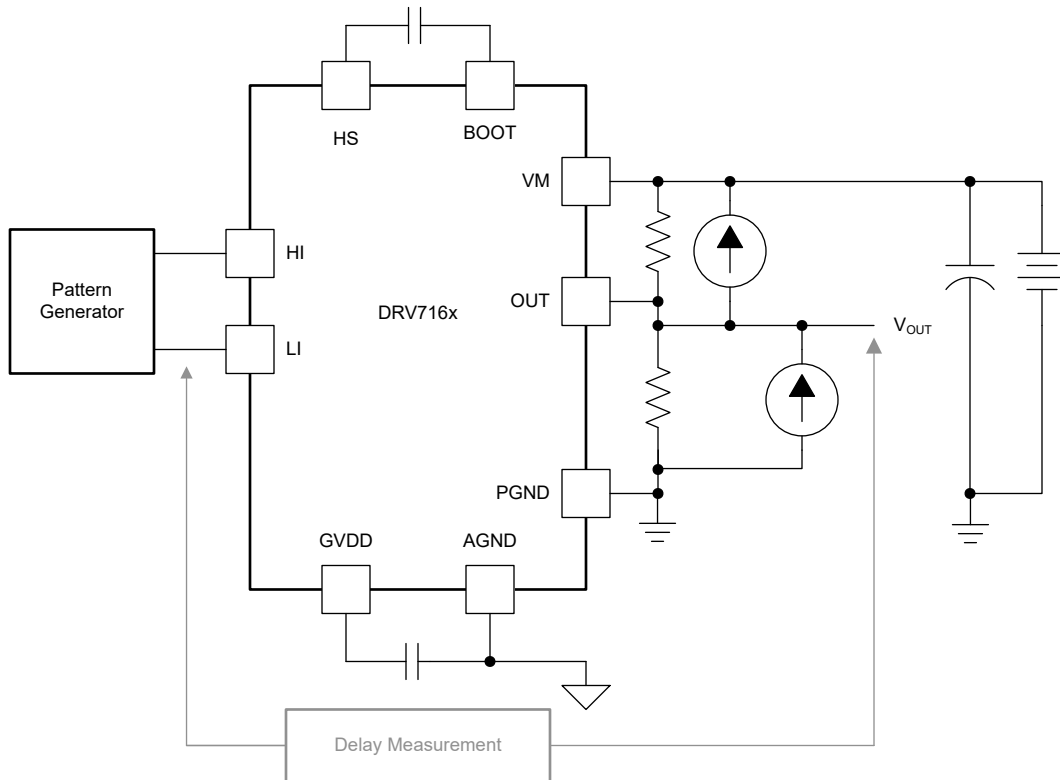


图 6-1. 传播延迟和传播失配测量

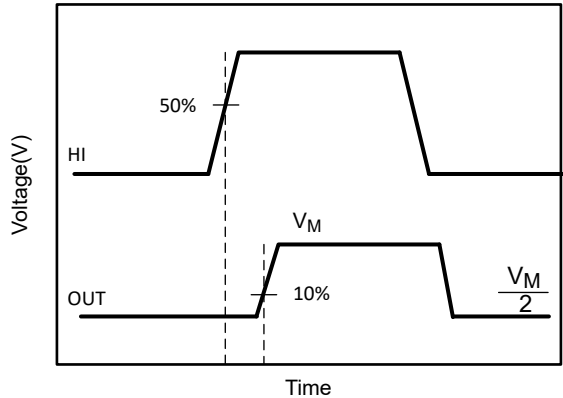


图 6-2. 高侧栅极驱动器导通

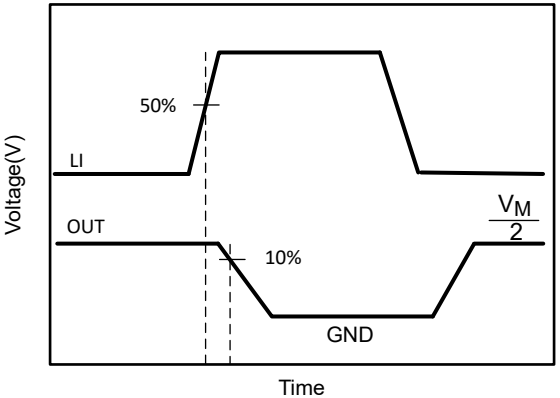


图 6-3. 低侧栅极驱动器导通

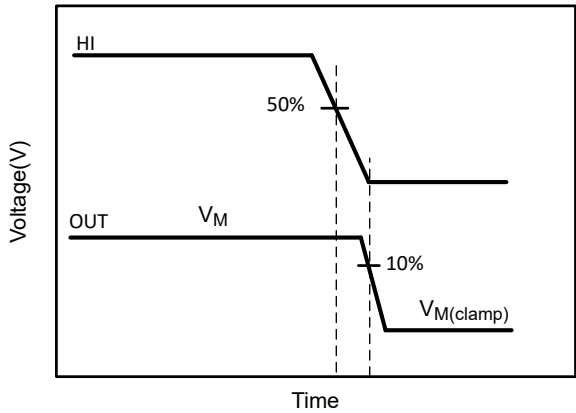


图 6-4. 高侧栅极驱动器关断

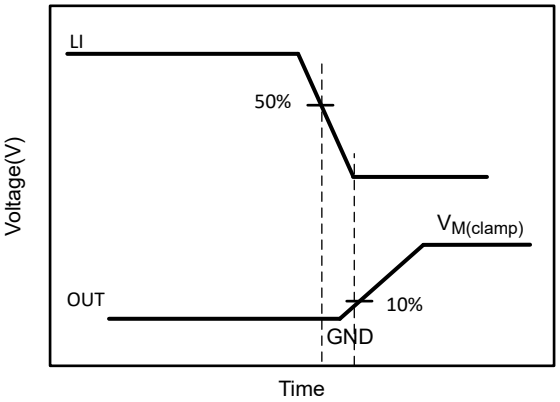


图 6-5. 低侧栅极驱动器关断

7 详细说明

7.1 概述

图 7-1 展示了 DRV7167A，这是一款半桥 GaN 功率级，具有高度集成的高侧和低侧栅极驱动器及采用半桥配置的两个 GaN FET。该器件可用于许多隔离和非隔离拓扑，从而实现非常简单的集成。采用的封装旨在更大限度减小环路电感，同时保持 PCB 设计简单。导通和关断的驱动强度经过了优化，可确保高电压压摆率，而不会在栅极或电源环路上造成任何过多的振铃。该器件包含多项功能，可改善系统性能并提供保护。

7.2 功能方框图

图 7-1 展示了集成高侧和低侧 GaN FET 的 DRV7167A 器件的功能方框图。

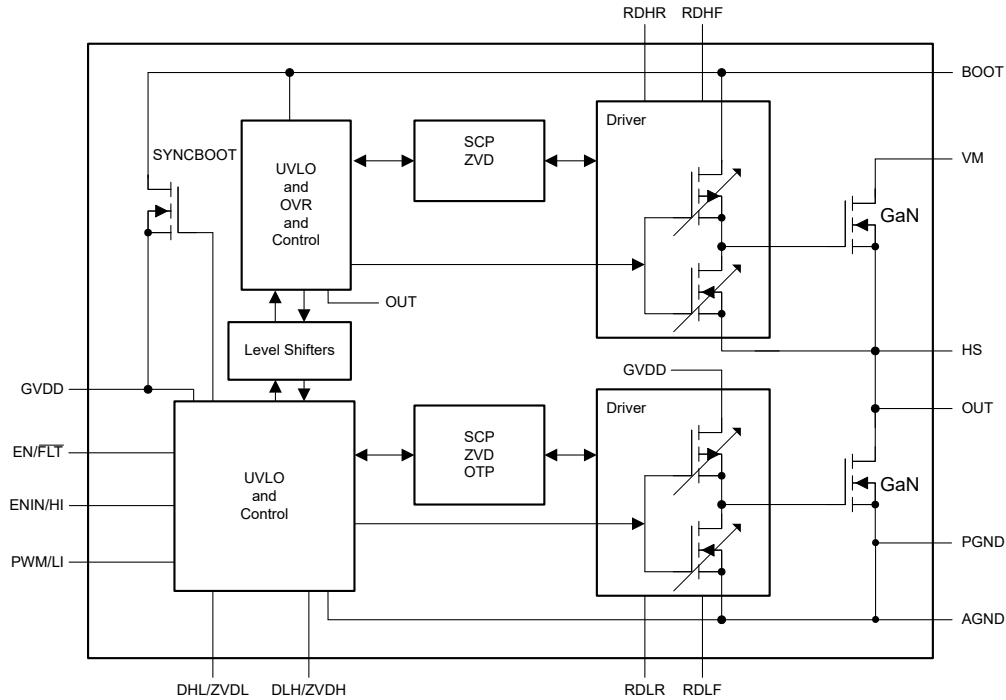


图 7-1. 功能方框图

7.3 特性说明

通过 DRV7167A 器件，可以轻松设计高功率密度电路板，无需底层填料，同时仍能满足爬电距离和间隙要求。高侧栅极驱动器和低侧栅极驱动器之间的传播延迟相匹配，可实现对死区时间的严格控制。在基于 GaN 的应用中，控制死区时间对于保持高效率至关重要。在 DRV7167A 中，HI 和 LI 可以独立控制。对于下降阈值和上升阈值，HI 和 LI 与驱动器之间的传播匹配度均极高，可确保死区时间小于 10ns。同时，该器件还具有单 PWM 模式，可通过电阻器设置进行死区时间调整，以便与 IO 数量受限的控制器配合使用。将 GaN FET 半桥与驱动器的共同封装可确保尽可能降低共源电感。尽可能降低此电感对硬开关式拓扑的性能有显著影响。

带过电压调节功能的内置自举电路无需使用任何额外的外部电路，即可防止高侧栅极驱动器超过 GaN FET 的最大栅源电压 (V_{gs})。内置驱动器在 GVDD 和自举 (BOOT-HS) 电源轨上具有欠压锁定 (UVLO) 功能。当电压低于 UVLO 阈值电压时，器件会忽略 HI 和 LI 信号，以防止 GaN FET 发生部分导通。在 UVLO 以下，如果电压足够 ($V_{GVDD} > 2.5V$)，驱动器会主动将高侧和低侧栅极驱动器输出拉至低电平。UVLO 阈值迟滞可防止电压尖峰引起的抖动和意外导通。

两个 FET 上均实现了基于 V_{DS} 监测的短路保护。零电压检测 (ZVD) 报告可优化死区时间，从而更大幅度地缩短第三象限导通时间。

应使用电容值为 1 μ F 或更高的外部 V_{GVDD} 旁路电容器。为更大幅度缩短与引脚之间的布线长度，TI 建议使用 0402 尺寸。为更大幅度减少寄生电感，应将旁路电容器和自举电容器尽可能靠近器件放置。

7.3.1 控制输入

在独立输入模式 (IIM) 中，DRV7167A 的输入引脚由 TTL 输入阈值独立控制，无论 GVDD 电压如何，这些引脚都能支持 3.3V 和 5V 逻辑电平。

DRV7167A 实现了重叠保护功能 (互锁)，可防止在 HI 和 LI 均置为高电平时出现击穿现象。如果 HI 和 LI 均置为有效，则高侧和低侧 GaN FET 都会关断。

在 PWM 模式下使用时，DRV7167A 由单个 PWM 输入供电，其中低电平到高电平和高电平到低电平转换之间的死区时间分别由 DLH 和 DHL 引脚上的外部电阻器设置。

7.3.2 启动和 UVLO

DRV7167A 在 GVDD 和 BOOT (自举) 电源上均具有 UVLO。当 GVDD 电压低于 3.8V 阈值电压时，HI 和 LI 输入均被忽略，以防止 GaN FET 发生部分导通。此外，如果 GVDD 电压不足，则 UVLO 会主动将高侧和低侧 GaN FET 栅极拉低。当 BOOT 至 HS 自举电压低于 3.2V UVLO 阈值时，仅高侧 GaN FET 栅极被拉低。两个 UVLO 阈值电压均具有 200mV 迟滞以避免抖动。

表 7-1. V_{GVDD} UVLO 功能逻辑运算

条件 (对于以下所有情况, $V_{BOOT}-V_{HS} > V_{BOOTR}$)	HI	LI	OUT
器件启动期间, $GVDD - V_{AGND} < V_{GVDDR}$	H	L	高阻态
器件启动期间, $GVDD - V_{AGND} < V_{GVDDR}$	L	H	高阻态
器件启动期间, $GVDD - V_{AGND} < V_{GVDDR}$	H	H	高阻态
器件启动期间, $GVDD - V_{AGND} < V_{GVDDR}$	L	L	高阻态
器件启动之后, $GVDD - V_{AGND} < V_{GVDDF}$	H	L	高阻态
器件启动之后, $GVDD - V_{AGND} < V_{GVDDF}$	L	H	高阻态
器件启动之后, $GVDD - V_{AGND} < V_{GVDDF}$	H	H	高阻态
器件启动之后, $GVDD - V_{AGND} < V_{GVDDF}$	L	L	高阻态

表 7-2. $V_{BOOT-HS}$ UVLO 功能逻辑运算

条件 (对于以下所有情况, $V_{GVDD} > V_{GVDDR}$)	HI	LI	OUT
器件启动期间, $V_{BOOT} - V_{HS} < V_{BOOTR}$	H	L	高阻态
器件启动期间, $V_{BOOT} - V_{HS} < V_{BOOTR}$	L	H	PGND

表 7-2. V_{BOOT-HS} UVLO 功能逻辑运算 (续)

条件 (对于以下所有情况, V _{GVDD} > V _{GVDDR})	HI	LI	OUT
器件启动期间, V _{BOOT} - V _{HS} < V _{BOOTR}	H	H	PGND
器件启动期间, V _{BOOT} - V _{HS} < V _{BOOTR}	L	L	高阻态
器件启动之后, V _{BOOT} -V _{HS} < V _{BOOTF}	H	L	高阻态
器件启动之后, V _{BOOT} -V _{HS} < V _{BOOTF}	L	H	PGND
器件启动之后, V _{BOOT} -V _{HS} < V _{BOOTF}	H	H	PGND
器件启动之后, V _{BOOT} -V _{HS} < V _{BOOTF}	L	L	高阻态

7.3.3 自举电源调节

高侧偏置电压是使用自举技术生成的,并在内部调节为 5V (典型值)。该调节功能可防止栅极电压超过增强模式 GaN FET 的最大栅源电压额定值。

7.3.4 电平转换

电平转换电路是从高侧输入 HI 到高侧驱动器级的接口,以开关节点 (HS) 为基准。电平转换允许控制高侧 GaN FET 栅极驱动器输出,以 HS 引脚为基准,并提供与低侧驱动器的出色延迟匹配。

7.3.5 零电压检测 (ZVD) 报告

DRV7167A 支持零电压检测 (ZVD),可指示高侧和低侧 FET 是否在任何转换中转换至第三象限。该信息在 ZVDH (高侧 FET) 和 ZVDL (低侧 FET) 引脚上报告。该功能仅适用于 IIM 模式。

对于低侧 FET,如果在特定转换中开关节点将 V_{THRESH_ZVD} 降至 AGND 以下且持续时间大于 t_{3RD_ZVD},则会生成一个持续时间为 t_{WD_ZVD} 的低脉冲,延迟为 t_{DLY_ZVD_L}。

对于高侧 FET,如果在特定转换中开关节点将 V_{THRESH_ZVD} 升至 VM 以上且持续时间大于 t_{3RD_ZVD},则会在一个单 PWM 周期后生成一个持续时间为 t_{WD_ZVD} 的低电平脉冲,与相应 LI 转换之间的延迟为 t_{DLY_ZVD_H}。

使用 DRV7167A 的控制器可以使用 ZVD 信息来调整死区时间,并尽可能缩短高侧和低侧 FET 的第三象限导通时间。

7.3.6 短路保护 (SCP)

DRV7167A 在两个 FET 上均实现了基于漏源电压 V_{DS} 监测的短路保护。通过将 HI/LI 置为高电平导通任一 FET 后,器件会等待一段时间 t_{BLANK},然后检测 FET 的 V_{DS} 电压。如果电压高于 V_{DSAT},则推断存在短路。此后会关断 FET 以防止损坏。该保护功能逐周期运行。即每个 HI/LI 逻辑低电平到高电平周期都会导通 FET。如果 V_{DS} 超过设定的阈值,短路保护会在 HI/LI 逻辑高电平的剩余时间内关断 FET。

7.3.7 过热检测 (OTD)

DRV7167A 会监测集成栅极驱动器的裸片温度,并在超过 OTD+ 阈值时指示故障。该器件不会采取任何其他操作。例如,它不会在检测到过热时关断 GaN FET,任何此类保护操作将留给外部 PWM 控制器进行。

根据工作条件和系统热设计,GaN FET 和集成驱动器之间可能存在温差,因此 OTD 可以可靠地实现保护,但不能用于系统功率降额或优化。

7.3.8 故障指示

DRV7167A 指示 EN/FLT 引脚上的三种故障:低侧 GaN FET 上的短路事件、GVDD 电源上的 UVLO 事件和驱动器上的过热事件。一旦置为有效,只要三个故障中的任何一个存在,低电平有效故障信号就会保持有效;在所有故障消失后,该信号还会持续 t_{FLT} 的时间。

7.4 器件功能模式

DRV7167A 可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的信息，请参阅 [节 7.3.2](#)。在正常模式下，输出状态取决于 HI 和 LI 引脚的状态。

[表 7-3](#) 列出了 DRV7167A 不同输入引脚组合的输出状态。此器件支持重叠保护/互锁功能。当 HI 和 LI 均置为有效时，功率级中的两个 GaN FET 都会关断。

表 7-3. 真值表 (DRV7167A)

HI	LI	高侧 GaN FET	低侧 GaN FET	OUT
L	L	关闭	关闭	高阻态
L	H	关闭	打开	PGND
H	L	打开	关闭	VM
H	H	关闭	关闭	高阻态

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

DRV7167A GaN 功率级是电机驱动器应用的一个多功能组成部分。封装中集成的高性能栅极驱动器 IC 有助于更最大限度地减少寄生效应，并让 GaN FET 实现极快的开关速度。该器件设计针对半桥配置进行了高度优化。

8.2 典型应用

[图 8-1](#) 展示了 GVDD 连接到 5V 电源的 BLDC 电机驱动器应用。优化电源环路（从 VM 电容器到 PGND 的环路阻抗）至关重要。具有高功率环路电感会在 OUT 节点中引起显著振铃，并且还会引起相关的功率损耗。DRV7167A 的 VM 和 PGND 引脚彼此相邻。因此，VM 电容器能够非常靠近 PCB 顶层的 DRV7167A 放置，从而最大限度减少电源环路电感。

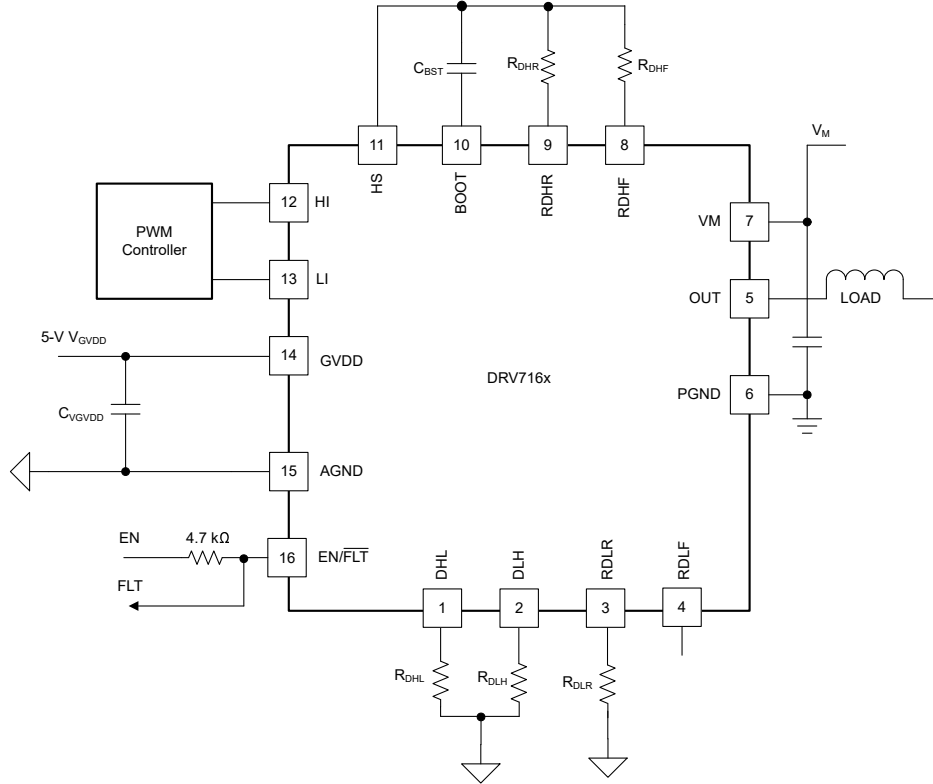


图 8-1. BLDC 电机驱动器的典型连接图

8.2.1 典型应用 - PWM 模式

图 8-2 显示了具有 PWM 模式的 BLDC 电机驱动器应用，其中控制器仅提供单 PWM 控制信号，且具有可调节死区时间的高侧和低侧信号在 DRV7167A 内部生成。电阻器 R_{DHL} 和 R_{DLH} 可用于设置高电平到低电平以及低电平到高电平的死区时间。悬空引脚 RDLF 会将 DRV7167A 设置为 PWM 模式。因此，在 PWM 模式下无法调节低侧 FET 的关断驱动强度。

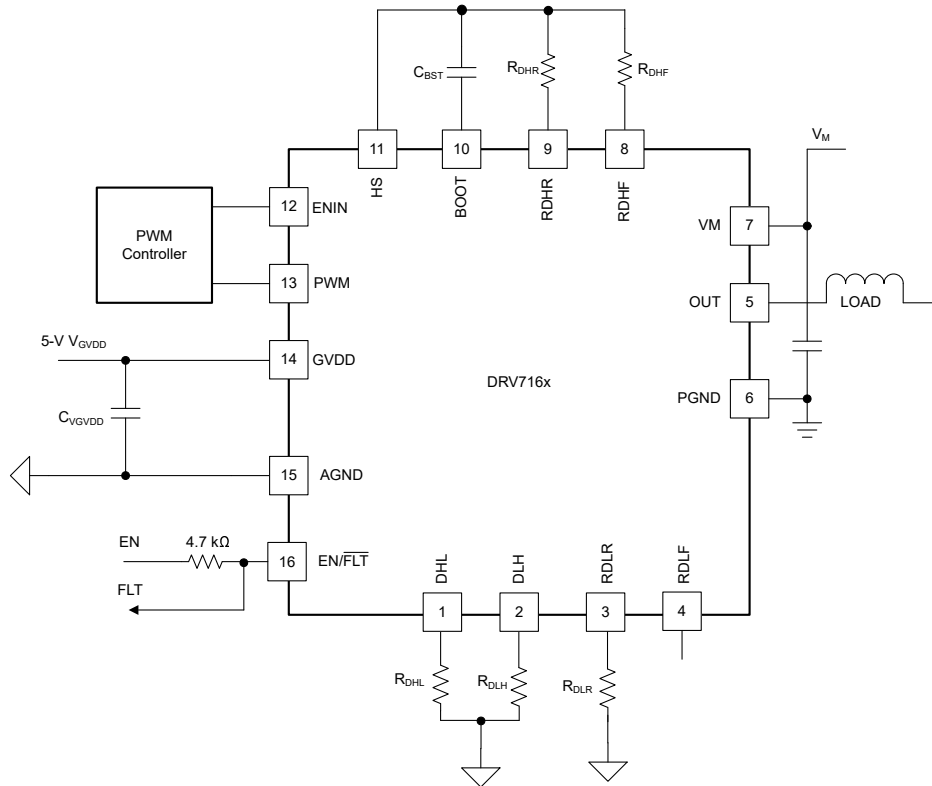


图 8-2. 具有 PWM 模式的 BLDC 电机驱动器的典型连接图

8.3 电源相关建议

DRV7167A 的建议偏置电源电压范围为 4.5V 至 5.5V。请注意，低侧 GaN FET 的栅极电压未在内部钳位。因此，务必要将 GVDD 辅助电源保持在建议的工作范围内，以防超过低侧 GaN 晶体管栅极击穿电压。

UVLO 保护功能还涉及迟滞功能。这意味着，如果器件在正常模式下运行，即使 GVDD 电压下降，只要压降不超过迟滞规格 $V_{GVDD(hyst)}$ ，器件就会继续在正常模式下运行。如果压降超过迟滞规格，器件将关断。因此，在 4.5V 或接近 4.5V 范围内运行时，辅助电源输出端的电压纹波必须小于 DRV7167A 的迟滞规格，以免触发器件关断。

在 GVDD 和 AGND 引脚之间放置本地旁路电容器。该电容器必须尽可能靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 GVDD 和 AGND 之间使用 2 个电容器：一个是用于高频滤波的 100nF 陶瓷表面贴装电容器，放置在非常靠近 GVDD 和 AGND 引脚的位置，另一个是用于满足 IC 偏置要求的 $1\mu F$ 至 $10\mu F$ 表面贴装电容器。

8.4 布局

8.4.1 布局指南

为了更大限度地发挥快速开关的效率优势，极为重要的一点是优化电路板布局布线以尽可能减小电源环路阻抗。如果使用多层电路板（2 层以上），可通过减小到达输入电容器的返回路径（VM 与 PGND 之间）并使其位于第一层正下方来尽可能降低电源环路寄生阻抗，如图 8-3 和图 8-4 所示。由于返回电流直接位于下方并沿相反方向流动，因此降低了环路电感（磁通抵消的原因）。

如果对上述电源环路布局指导原则不够重视，可能会导致开关节点上出现过度过冲和下冲。

同样重要的是，GVDD 电容器和自举电容器应尽可能靠近器件并位于第一层。应仔细考虑 DRV7167A 器件的 AGND 连接。该连接不能直接连接到 PGND，否则 PGND 噪声会直接使 AGND 移位，进而导致杂散开关事件（由于 HI 和 LI 信号中注入了噪声）。

有关基于这些建议的实际布局，请参阅 DRV7167A EVM。

8.4.2 布局示例

图 8-3 和图 8-4 的横截面中所示的布局显示了器件相对于敏感无源器件（如 VM、自举电容器（HS 和 BOOT）以及 GVDD 电容器）的建议布局。在布局中应留出适当的间距，以减小爬电距离，并根据应用污染级别满足间隙要求。由于污染可忽略，内层（如果存在）的间隔可以更紧密。

布局的设计必须尽可能减小 OUT 节点的电容。使用尽可能小的覆铜面积将器件 OUT 引脚连接到电感器、变压器或其他输出负载。此外，还要确保接地平面或任何其他铜平面具有切口，以免与 OUT 节点重叠，因为这将有效地在印刷电路板上形成电容器。该节点上的额外电容会降低 DRV7167A 先进封装技术的优势，并可能导致性能下降。

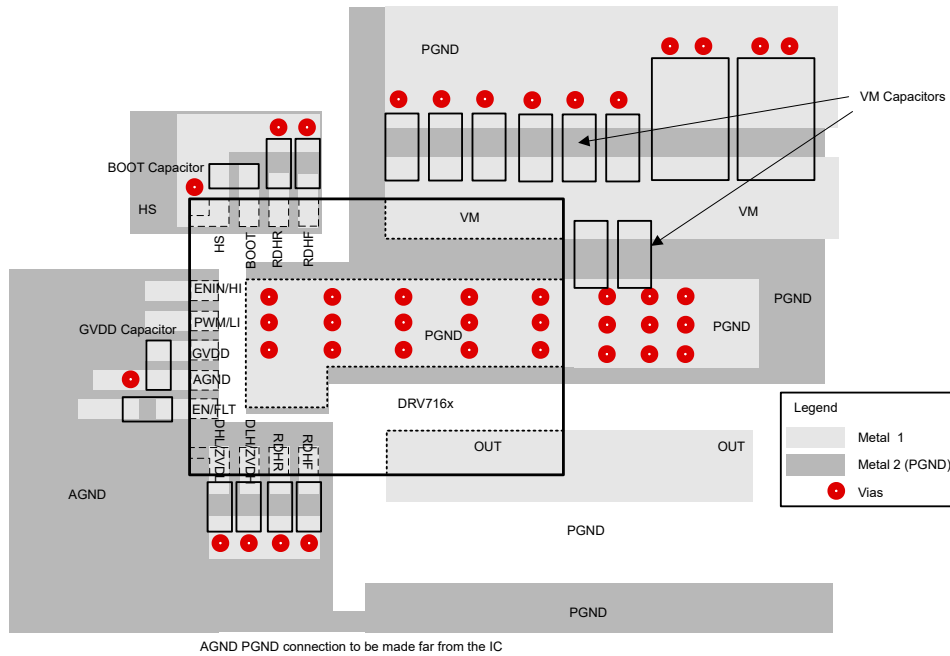


图 8-3. 外部元件放置方式 (多层 PCB)

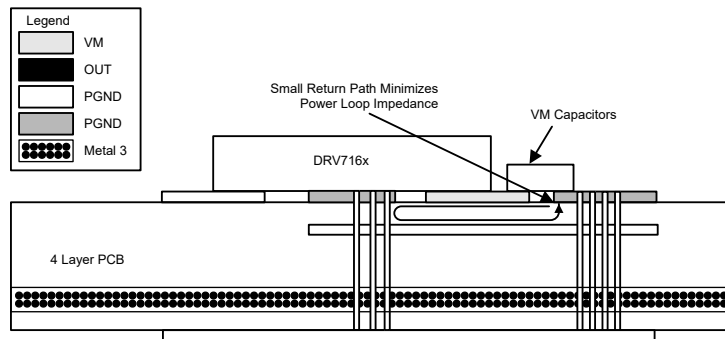


图 8-4. 四层电路板横截面，返回路径位于电源环路正下方

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

[LMG2100R044 GaN 功率级模块布局指南](#)

[使用 LMG2100R044 : GaN 半桥电源模块评估模块](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

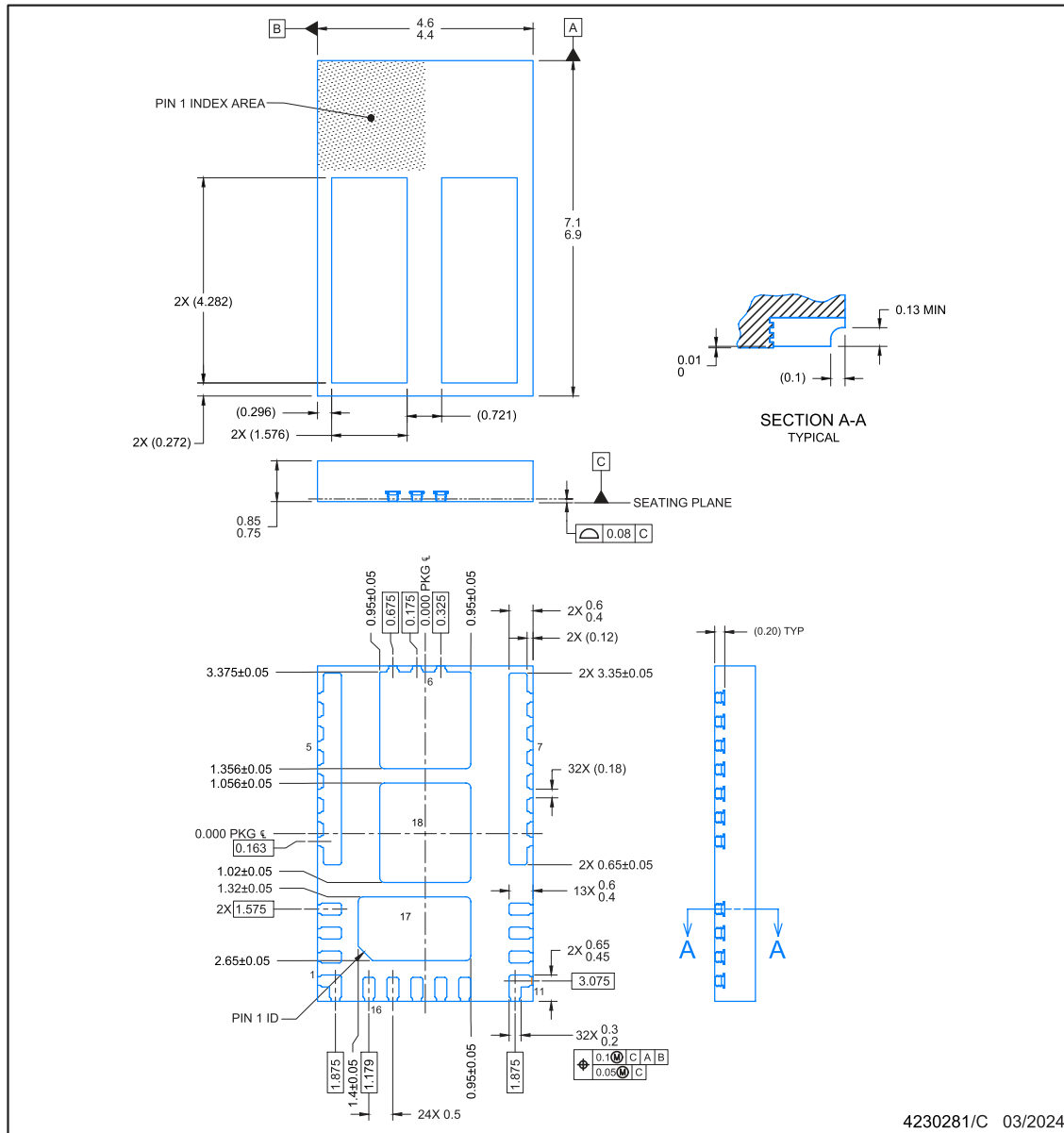
11.1 封装信息

11.1.1 机械数据

PACKAGE OUTLINE

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



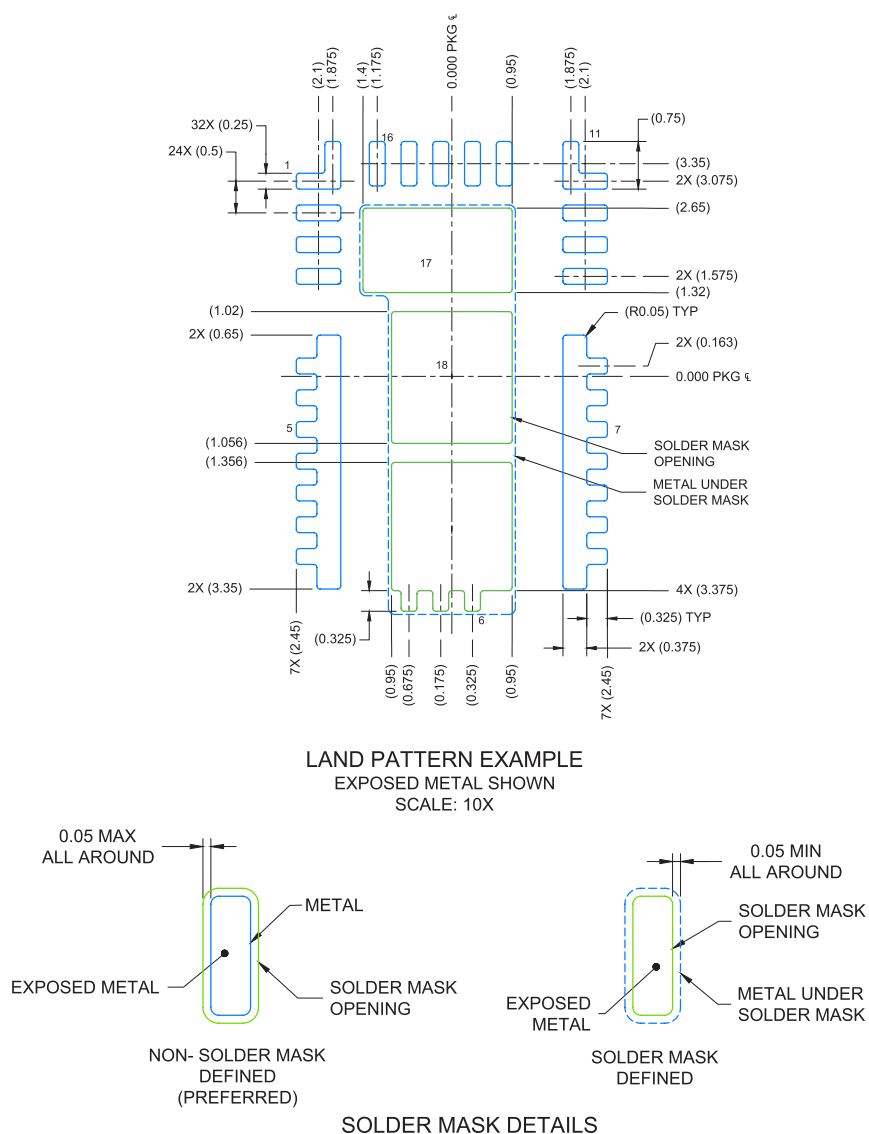
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

VBN0018A

EXAMPLE BOARD LAYOUT
VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



4230281/C 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271)

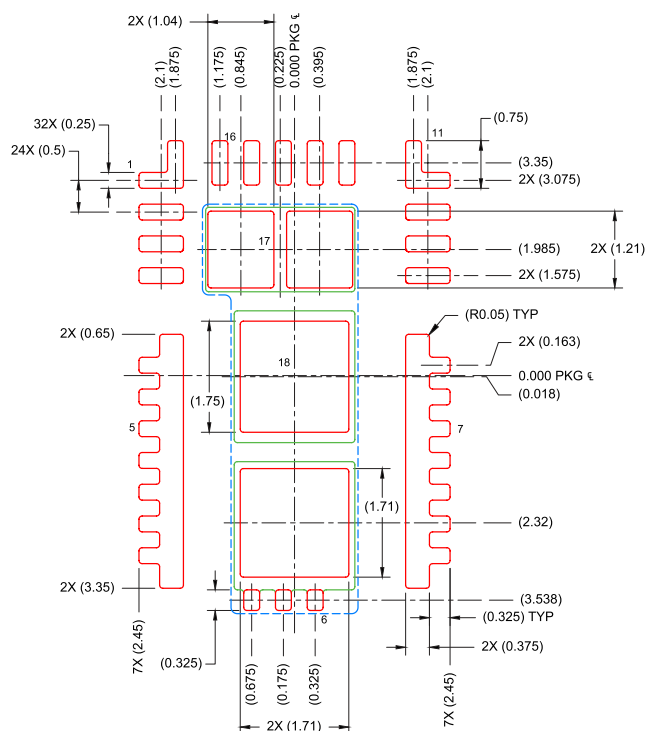
EXAMPLE STENCIL DESIGN

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

VBNO0018A

ADVANCE INFORMATION



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

PAD 6: 78%

PAD 17: 81%

PAD 18: 76%

4230281/C 03/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV7167AVBNR	Active	Preproduction	VQFN-FCRLF (VBN) 18	2500 LARGE T&R	-	Call TI	Call TI	-40 to 175	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

VBN 18

VQFN-FCRLF - 0.85 mm max height

4.5 x 7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月