

DLPC964 数字微镜器件控制器

1 特性

- 运行 DLP991U DLP® DMD
- 在高达 120Gbps 的 12 个 HSS 输入通道上连续流式传输输入数据
- 支持每秒高达 12.4kHz 二进制图形的高速图形速率
- 32 通道差分高速串行接口 (HSSI) 数据总线接口
- 随机 DMD 块寻址和 LOAD2 加载
- 与多种用户定义的 FPGA 兼容
- 用于控制和状态查询的 I²C 接口

2 应用

- 平版印刷
 - 直接成像
 - 平板显示
 - 印刷电路板制造
- 工业
 - 3D 打印
 - 用于机器视觉的 3D 扫描仪
 - 质量控制
- 显示
 - 3D 成像
 - 增强现实和信息覆盖

3 说明

DLPC964 控制器可与 DLP991U 数字微镜器件 (DMD) 配合使用。该控制器为 DMD 提供一个高速数据和控制

接口，可实现高达 12.4kHz 的二进制图形速率。这些快速图形速率使得 DLP 技术力压其他空间光调制器脱颖而出，并且可满足设备对于快速、精确和可编程光源控制功能的需求，提供战略性优势。DLPC964 为 DMD 提供所需的时钟脉冲和时序信息。该控制器具备独特的功能和价值，非常适合为各种直接成像、工业和高级显示应用提供支持。

在基于 DLP 的电子解决方案中，从 DLPC964 输入端口到被投影图像的图像数据是 100% 数字化的数据。图像始终保持数字格式，不会转换为模拟信号。DLPC964 会处理数字输入图像并将数据转换为 DMD 所需的图像格式，以确保正确显示。DMD 随后会将光线导向载入 DMD 中的像素数据所确定的位置。

有关 DLPC964 的完整电气和机械规格，请参阅 AMD Virtex™ 7 产品规格。

查看 TI DLP® 光控制技术入门页，了解如何开始使用 DLPC964。

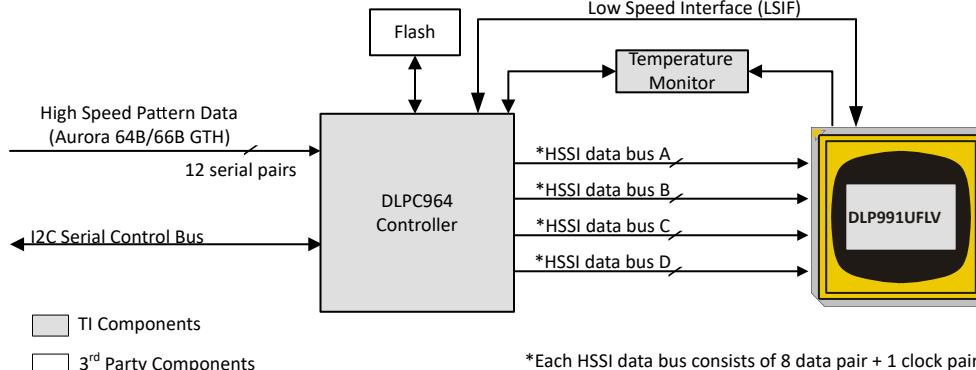
ti.com 上的 DLP 先进光控制资源可加快产品上市速度，这些资源包括评估模块、光学模块制造商和 DLP 设计网络合作伙伴。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸
DLPC964	ZUM1156A	35.00mm × 35.00mm

(1) 如需更多信息，请参阅机械、封装和可订购信息附录。

Low Speed Interface (LSIF)



简化版应用



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	7 应用和实施	50
2 应用	1	7.1 应用信息	50
3 说明	1	7.2 典型应用	50
4 引脚配置和功能	3	7.3 连接到 DLPC964 控制器高速串行 (HSS) Aurora	
5 规格	13	 64B/66B 输入	54
5.1 绝对最大额定值	13	7.4 电源相关建议	66
5.2 ESD 等级	13	7.5 布局	68
5.3 建议运行条件	13	7.6 布局示例	72
5.4 热性能信息	14	8 器件和文档支持	74
5.5 电气特性	14	8.1 文档支持	74
5.6 时序要求	15	8.2 接收文档更新通知	74
6 详细说明	16	8.3 支持资源	74
6.1 概述	16	8.4 商标	74
6.2 功能方框图	16	8.5 静电放电警告	74
6.3 特性说明	16	8.6 术语表	74
6.4 器件功能模式	24	9 修订历史记录	74
6.5 寄存器映射	31	10 机械、封装和可订购信息	75

4 引脚配置和功能

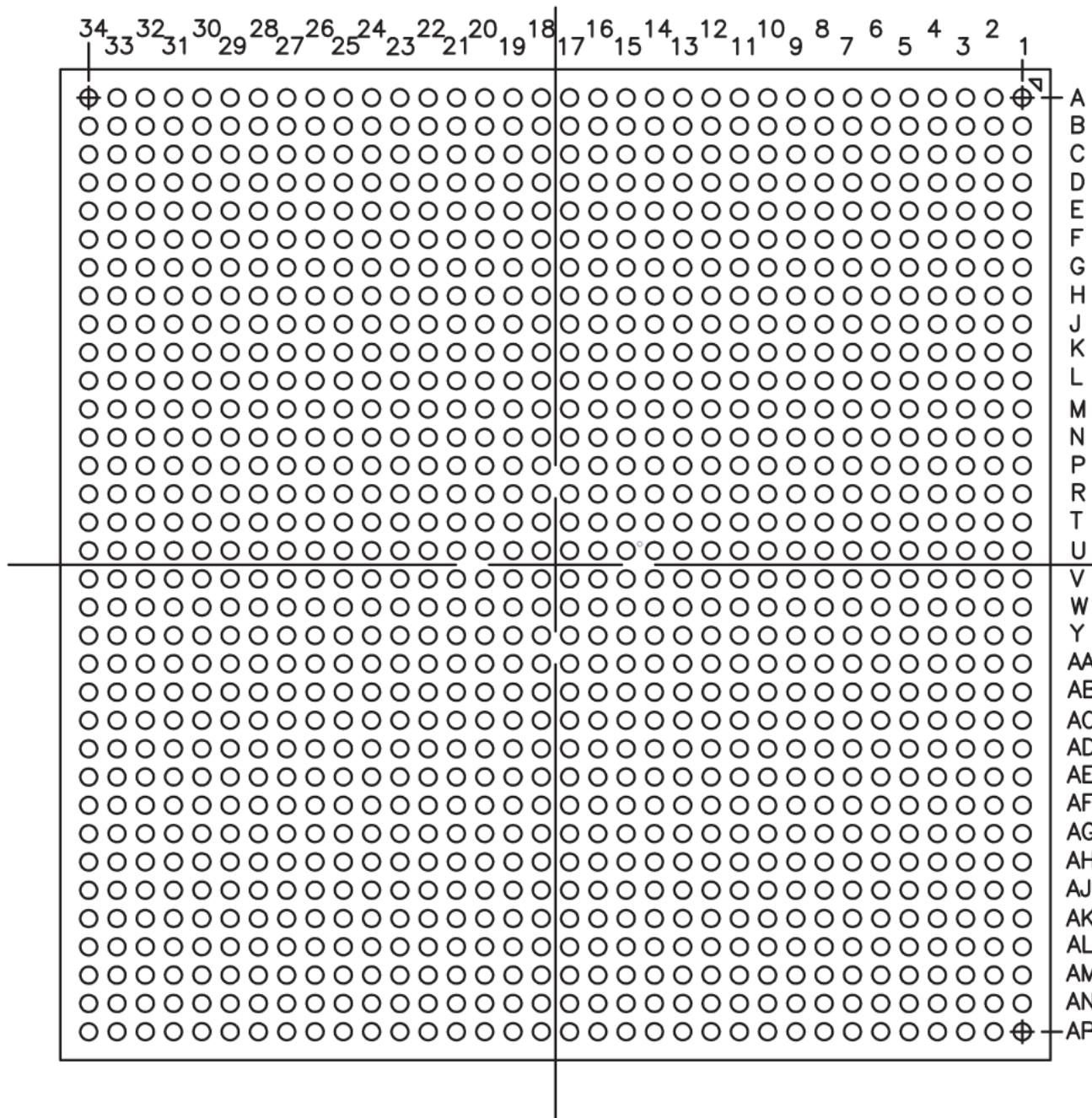


图 4-1. ZUM 封装，1156 引脚 FCBGA，底视图

I/O 类型说明

I/O 类型	说明
PWR	电源
GND	接地
LVCMOS18_I	LVCMOS 1.8V 输入
LVCMOS18_O	LVCMOS 1.8V 输出

I/O 类型说明 (续)

I/O 类型	说明
LVCMOS18_B	LVCMOS 1.8V 双向
LVDS_18_NI	LVDS 1.8V 负输入
LVDS_18_PI	LVDS 1.8V 正输入
LVDS_18_NO	LVDS 1.8V 负输出
LVDS_18_PO	LVDS 1.8V 正输出
LVDCI_18_I	低压数控阻抗 1.8V 输入
LVDCI_18_O	低压数控阻抗 1.8V 输出
MGTHRXX_18_NI	GTH 接收器差分 1.8V 负输入
MGTHRXX_18_PI	GTH 接收器差分 1.8V 正输入
MGTHTX_18_NO	GTH 接收器差分 1.8V 负输出
MGTHTX_18_PO	GTH 接收器差分 1.8V 正输出
MGTREFCLK_NI	GTH 接收器 RefClk 差分 1.8V 负输入
MGTREFCLK_PI	GTH 接收器 RefClk 差分 1.8V 正输入
NC	无连接

表 4-1. 引脚功能

引脚	编号	I/O 类型 ⁽¹⁾	有效(HI或LO)	时钟系统	说明
SYS_ARSTZ	G25	LVCMOS18_I	LO = 0	—	DLPC964 复位
I2C_ADDR_SEL[0]	M25	LVCMOS18_I	HI = 1	—	DLPC964 从器件 I ² C 地址位 0
I2C_ADDR_SEL[1]	D26	LVCMOS18_I	HI	—	DLPC964 从器件 I ² C 地址位 1
I2C_SCL	B23	LVCMOS18_B	—	—	DLPC964 从器件 I ² C 时钟。需要外部 2.2kΩ 上拉电阻器
I2C_SDA	B25	LVCMOS18_B	—	I2C_SCL	DLPC964 从器件 I ² C 数据。需要外部 2.2kΩ 上拉电阻器
SYS_CLK100_N	H24	LVDS_18_NI	—	基准时钟	100MHz 差分基准时钟(N)
SYS_CLK100_P	J24	LVDS_18_PI	—	基准时钟	100MHz 差分基准时钟(P)
CCLK_0	V25	LVCMOS18_O	—	闪存接口时钟	连接到配置闪存器件 CLK。
FLASH_MISO	A24	LVCMOS18_I	—	CCLK_0	连接到配置闪存 MISO。
FLASH_MOSI	A23	LVCMOS18_O	—	CCLK_0	连接到配置闪存器件 MOSI。
FLASH_CSZ	C24	LVCMOS18_O	LO	CCLK_0	连接到配置闪存器件 CSZ。
BLKADDR[0]	B26	LVCMOS18_I	HI	—	块地址位 0
BLKADDR[1]	A26	LVCMOS18_I	HI	—	块地址位 1
BLKADDR[2]	F24	LVCMOS18_I	HI	—	块地址位 2
BLKADDR[3]	F25	LVCMOS18_I	HI	—	块地址位 3
BLKADDR[4]	E24	LVCMOS18_I	HI	—	块地址位 4
BLKMODE[0]	C27	LVCMOS18_I	HI	—	块模式位 0
BLKMODE[1]	A25	LVCMOS18_I	HI	—	块模式位 1
BLKLOADZ	B27	LVDCI_18_O	LO	—	连接到 Apps FPGA BLKLOADZ。
LOAD2	D25	LVCMOS18_I	HI	—	启用 DMD 的负载 2 功能。包括内部下拉电阻
WDT_ENABLEZ	J22	LVCMOS18_I	LO	—	DMD 微镜时钟脉冲看门狗计时器启用。包括内部下拉电阻
MCP_START	J25	LVCMOS18_I	HI	—	启动微镜时钟脉冲(MCP)
MCP0_ACTIVE	E27	LVDCI_18_O	HI	—	连接到 Apps FPGA MCP_ACTIVE0。
MCP1_ACTIVE	D27	LVDCI_18_O	HI	—	连接到 Apps FPGA MCP_ACTIVE1。
MCP2_ACTIVE	E26	LVDCI_18_O	HI	—	连接到 Apps FPGA MCP_ACTIVE2。
MCP3_ACTIVE	H25	LVDCI_18_O	HI	—	连接到 Apps FPGA MCP_ACTIVE3。

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
DMDLOAD_REQ	M22	LVCMOS18_I	HI	—	连接到 Apps FPGA DMDLOAD_REQ。
DMD_GTREFCLK_IN_A_N	AB30	LVDS_18_NI	—	基准时钟	DMD 总线 A 基准时钟输入。100 Ω 内部 LVDS 端接
DMD_GTREFCLK_IN_A_P	AB29	LVDS_18_PI	—		
DMD_GTREFCLK_IN_B_N	AB5	LVDS_18_NI	—	基准时钟	DMD 总线 B 基准时钟输入。100 Ω 内部 LVDS 端接
DMD_GTREFCLK_IN_B_P	AB6	LVDS_18_PI	—		
DMD_GTREFCLK_IN_C_N	M30	LVDS_18_NI	—	基准时钟	DMD 总线 C 基准时钟输入。100 Ω 内部 LVDS 端接
DMD_GTREFCLK_IN_C_P	M29	LVDS_18_PI	—		
DMD_GTREFCLK_IN_D_N	M5	LVDS_18_NI	—	基准时钟	DMD 总线 D 基准时钟输入。100 Ω 内部 LVDS 端接
DMD_GTREFCLK_IN_D_P	M6	LVDS_18_PI	—		
DMD_DCLK_AN	AK34	MGTHTX_18_NO	—	—	将总线 A 时钟输出到 DMD
DMD_DCLK_AP	AK33	MGTHTX_18_PO	—	—	
DMD_DCLK_BN	AJ3	MGTHTX_18_NO	—	—	将总线 B 时钟输出到 DMD
DMD_DCLK_BP	AJ4	MGTHTX_18_PO	—	—	
DMD_DCLK_CN	G32	MGTHTX_18_NO	—	—	将总线 C 时钟输出到 DMD
DMD_DCLK_CP	G31	MGTHTX_18_PO	—	—	
DMD_DCLK_DN	G3	MGTHTX_18_NO	—	—	将总线 D 时钟输出到 DMD
DMD_DCLK_DP	G4	MGTHTX_18_PO	—	—	
DMD_D_AN[0]	AP34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 0 输出到 DMD
DMD_D_AP[0]	AP33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[1]	AN32	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 1 输出到 DMD
DMD_D_AP[1]	AN31	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[2]	AM34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 2 输出到 DMD
DMD_D_AP[2]	AM33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[3]	AJ32	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 3 输出到 DMD
DMD_D_AP[3]	AJ31	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[4]	AH34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 4 输出到 DMD
DMD_D_AP[4]	AH33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[5]	AF34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 5 输出到 DMD
DMD_D_AP[5]	AF33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[6]	AD34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 6 输出到 DMD
DMD_D_AP[6]	AD33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_AN[7]	AB34	MGTHTX_18_NO	—	DMD_DCLK_A	将总线 A 数据位 7 输出到 DMD
DMD_D_AP[7]	AB33	MGTHTX_18_PO	—	DMD_DCLK_A	
DMD_D_BN[0]	AB1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 0 输出到 DMD
DMD_D_BP[0]	AB2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[1]	AD1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 1 输出到 DMD
DMD_D_BP[1]	AD2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[2]	AF1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 2 输出到 DMD
DMD_D_BP[2]	AF2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[3]	AH1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 3 输出到 DMD
DMD_D_BP[3]	AH2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[4]	AK1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 4 输出到 DMD
DMD_D_BP[4]	AK2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[5]	AM1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 5 输出到 DMD
DMD_D_BP[5]	AM2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[6]	AN3	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 6 输出到 DMD
DMD_D_BP[6]	AN4	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_BN[7]	AP1	MGTHTX_18_NO	—	DMD_DCLK_B	将总线 B 数据位 7 输出到 DMD
DMD_D_BP[7]	AP2	MGTHTX_18_PO	—	DMD_DCLK_B	
DMD_D_CN[0]	A32	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 0 输出到 DMD
DMD_D_CP[0]	A31	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[1]	B34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 1 输出到 DMD
DMD_D_CP[1]	B33	MGTHTX_18_PO	—	DMD_DCLK_C	

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
DMD_D_CN[2]	D34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 2 输出到 DMD
DMD_D_CP[2]	D33	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[3]	F34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 3 输出到 DMD
DMD_D_CP[3]	F33	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[4]	H34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 4 输出到 DMD
DMD_D_CP[4]	H33	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[5]	K34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 5 输出到 DMD
DMD_D_CP[5]	K33	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[6]	M34	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 6 输出到 DMD
DMD_D_CP[6]	M33	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_CN[7]	N32	MGTHTX_18_NO	—	DMD_DCLK_C	将总线 C 数据位 7 输出到 DMD
DMD_D_CP[7]	N31	MGTHTX_18_PO	—	DMD_DCLK_C	
DMD_D_DN[0]	N3	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 0 输出到 DMD
DMD_D_DP[0]	N4	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[1]	M1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 1 输出到 DMD
DMD_D_DP[1]	M2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[2]	K1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 2 输出到 DMD
DMD_D_DP[2]	K2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[3]	H1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 3 输出到 DMD
DMD_D_DP[3]	H2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[4]	F1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 4 输出到 DMD
DMD_D_DP[4]	F2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[5]	D1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 5 输出到 DMD
DMD_D_DP[5]	D2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[6]	B1	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 6 输出到 DMD
DMD_D_DP[6]	B2	MGTHTX_18_PO	—	DMD_DCLK_D	
DMD_D_DN[7]	A3	MGTHTX_18_NO	—	DMD_DCLK_D	将总线 D 数据位 7 输出到 DMD
DMD_D_DP[7]	A4	MGTHTX_18_PO	—	DMD_DCLK_D	
GTRX_CH0_REFCLK_N	R28	MGTREFCLK_NI	—	基准时钟	输入 CH0 基准时钟。100Ω 内部 LVDS 端接
GTRX_CH0_REFCLK_P	R27	MGTREFCLK_PI	—		
GTRX_CH1_REFCLK_N	W28	MGTREFCLK_NI	—	基准时钟	输入 CH1 基准时钟。100Ω 内部 LVDS 端接
GTRX_CH1_REFCLK_P	W27	MGTREFCLK_PI	—		
GTRX_CH2_REFCLK_N	R7	MGTREFCLK_NI	—	基准时钟	输入 CH2 基准时钟。100Ω 内部 LVDS 端接
GTRX_CH2_REFCLK_P	R8	MGTREFCLK_PI	—		
GTRX_CH3_REFCLK_N	W7	MGTREFCLK_NI	—	基准时钟	输入 CH3 基准时钟。100Ω 内部 LVDS 端接
GTRX_CH3_REFCLK_P	W8	MGTREFCLK_PI	—		
CH0_GTRX_N[0]	T30	MGTHRX_18_NI	—	GTRX_CH0_REFCLK	输入总线 CH0 数据位 0。100Ω 内部 LVDS 端接
CH0_GTRX_P[0]	T29	MGTHRX_18_PI	—		
CH0_GTRX_N[1]	R32	MGTHRX_18_NI	—	GTRX_CH0_REFCLK	输入总线 CH0 数据位 1。100Ω 内部 LVDS 端接
CH0_GTRX_P[1]	R31	MGTHRX_18_PI	—		
CH0_GTRX_N[2]	P30	MGTHRX_18_NI	—	GTRX_CH0_REFCLK	输入总线 CH0 数据位 2。100Ω 内部 LVDS 端接
CH0_GTRX_P[2]	P29	MGTHRX_18_PI	—		
CH1_GTRX_N[0]	AA32	MGTHRX_18_NI	—	GTRX_CH1_REFCLK	输入总线 CH1 数据位 0。100Ω 内部 LVDS 端接
CH1_GTRX_P[0]	AA31	MGTHRX_18_PI	—		
CH1_GTRX_N[1]	Y30	MGTHRX_18_NI	—	GTRX_CH1_REFCLK	输入总线 CH1 数据位 1。100Ω 内部 LVDS 端接
CH1_GTRX_P[1]	Y29	MGTHRX_18_PI	—		
CH1_GTRX_N[2]	V30	MGTHRX_18_NI	—	GTRX_CH1_REFCLK	输入总线 CH1 数据位 2。100Ω 内部 LVDS 端接
CH1_GTRX_P[2]	V29	MGTHRX_18_PI	—		
CH2_GTRX_N[0]	T5	MGTHRX_18_NI	—	GTRX_CH2_REFCLK	输入总线 CH2 数据位 0。100Ω 内部 LVDS 端接
CH2_GTRX_P[0]	T6	MGTHRX_18_PI	—		
CH2_GTRX_N[1]	R3	MGTHRX_18_NI	—	GTRX_CH2_REFCLK	输入总线 CH2 数据位 1。100Ω 内部 LVDS 端接
CH2_GTRX_P[1]	R4	MGTHRX_18_PI	—		

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
CH2_GTRX_N[2]	P5	MGTHR _X _18_NI	—	GTRX_CH2_REFCLK	输入总线 CH2 数据位 2。100Ω 内部 LVDS 端接
CH2_GTRX_P[2]	P6	MGTHR _X _18_PI	—		
CH3_GTRX_N[0]	AA3	MGTHR _X _18_NI	—	GTRX_CH3_REFCLK	输入总线 CH3 数据位 0。100Ω 内部 LVDS 端接
CH3_GTRX_P[0]	AA4	MGTHR _X _18_PI	—		
CH3_GTRX_N[1]	Y5	MGTHR _X _18_NI	—	GTRX_CH3_REFCLK	输入总线 CH3 数据位 1。100Ω 内部 LVDS 端接
CH3_GTRX_P[1]	Y6	MGTHR _X _18_PI	—		
CH3_GTRX_N[2]	V5	MGTHR _X _18_NI	—	GTRX_CH3_REFCLK	输入总线 CH3 数据位 2。100Ω 内部 LVDS 端接
CH3_GTRX_P[2]	V6	MGTHR _X _18_PI	—		
HSSI_BUS_ERR	AJ12	LVDCI_18_O	HI	—	连接到 Apps FPGA HSSI_BUS_ERR。
HSSI_ERR_LATCH_RST	AN12	LVDCI_18_O	LO	—	连接到 DMD 板上的锁存器清除。
EXT_HSSI_RST	AJ14	LVC _{MOS} 18_I	HI	—	连接到 Apps FPGA EXT_HSSI_RST。
HSSI_RST_ACT	AK12	LVDCI_18_O	HI	—	连接到 Apps FPGA HSSI_RST_ACT。
DMD_LS_CLK_N	AP11	LVDS_18_NO	—	—	将 LS 总线时钟输出到 DMD
DMD_LS_CLK_P	AP12	LVDS_18_PO	—	—	
DMD_LS_WDATA_N	AP14	LVDS_18_NO	—	DMD_LS_CLK	将 WData 总线输出到 DMD
DMD_LS_WDATA_P	AN14	LVDS_18_PO	—	DMD_LS_CLK	
DMD_LS_RDATA_A	AM8	LVC _{MOS} 18_I	—	DMD_LS_CLK	输入总线 RData 位 A
DMD_LS_RDATA_B	AN8	LVC _{MOS} 18_I	—	DMD_LS_CLK	输入总线 RData 位 B
DMD_LS_RDATA_C	AN9	LVC _{MOS} 18_I	—	DMD_LS_CLK	输入总线 RData 位 C
DMD_LS_RDATA_D	AP9	LVC _{MOS} 18_I	—	DMD_LS_CLK	输入总线 RData 位 D
DMD_DMUX	AM12	LVC _{MOS} 18_I	HI	—	连接到 DMD 板上的 DMUX_LATCHED。
IRQZ	E23	LVDCI_18_O	LO	—	连接到 Apps FPGA IRQZ。
DMD_RESERVED	AM13	LVC _{MOS} 18_B	—	—	连接到 DMD 上的保留引脚。
PARKZ	AK9	LVC _{MOS} 18_I	LO	—	在被置为低电平时立即使 DMD 停止
RXLPMEN	D24	LVC _{MOS} 18_I	HI	—	启用 Aurora 64B/66B 接收器低功耗模式
DMD_PWREN	AL9	LVDCI_18_O	HI	—	连接到 DMD 板上的 DMD 电源使能。
DMDPWRGOOD	P24	LVC _{MOS} 18_I	HI	—	连接到 DMD 板上的 DMDPWRGOOD。
PWRGOOD	H22	LVC _{MOS} 18_I	HI	—	连接到 DLPC964 控制器板上的电源正常。
LED_PWR	AL14	LVDCI_18_O	HI	—	启用 LED 电源的控制输出
STATUS_LED_R1	AM10	LVDCI_18_O	HI	—	控制器 PLL 时钟电路未锁定指示灯 LED 输出
STATUS_LED_R2	AK13	LVDCI_18_O	HI	—	检测到 DMD HSSI 接口同步错误指示灯 LED 输出
STATUS_LED_G1	AL10	LVDCI_18_O	HI	—	控制器 PLL 时钟电路锁定指示灯 LED 输出
STATUS_LED_G2	AK8	LVDCI_18_O	HI	—	未检测到 DMD HSSI 接口同步错误指示灯 LED 输出
LED_HEARTBEAT	AK14	LVDCI_18_O	HI	—	检测信号指示灯 LED 输出
INIT_DONE	F23	LVDCI_18_O	HI	—	连接到 Apps FPGA C964_INIT_DONE
M0_0	AA10	LVC _{MOS} 18_I	—	—	DLPC964 配置 - 连接到 1.8V
M1_0	Y10	LVC _{MOS} 18_I	—	—	DLPC964 配置 - 连接到 GND
M2_0	W10	LVC _{MOS} 18_I	—	—	DLPC964 配置 - 连接到 GND
TDO_0	AA25	LVC _{MOS} 18_O	—	—	从 DLPC964 输出的 JTAG 数据。连接到 JTAG 连接器上的 JTAG 返回 TDO
TDI_0	AB25	LVC _{MOS} 18_I	—	—	输入 DLPC964 的 JTAG 数据。连接到 JTAG 连接器上的 JTAG 输入 TDI

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
TMS_0	W25	LVCMS18_I	—	—	JTAG 数据。连接到 JTAG 连接器上的 JTAG TMS
TCK_0	Y25	LVCMS18_I	—	—	JTAG 时钟。连接到 JTAG 连接器上的 JTAG TCK
INIT_B_0	T10	LVCMS18_O	—	—	DLPC964 配置。使用 4.7KΩ 电阻器上拉至 1.8V。
CFGVB_S_0	U10	LVCMS18_I	—	—	DLPC964 配置。连接至 GND。
PROGRAM_B_0	V10	LVCMS18_O	—	—	DLPC964 配置。使用 4.7KΩ 电阻器上拉至 1.8V。
DONE_0	AB10	LVCMS18_O	HI	—	DLPC964 配置。使用 330Ω 电阻器上拉至 1.8V。
K_DATA[0]	K22	LVDCI_18_O	—	CLK_K	user_k_tdata[] 的位 64
K_DATA[1]	K23	LVDCI_18_O	—	CLK_K	user_k_tdata[] 的位 65
K_DATA[2]	M23	LVDCI_18_O	—	CLK_K	user_k_tdata[] 的位 66
K_VALID	K24	LVDCI_18_O	—	CLK_K	
K_DATA[3]	L23	LVDCI_18_O	—	CLK_K	user_k_tdata[] 的位 67
CLK_K	L24	LVDCI_18_I	—	—	K_DATA 时钟输入 (156.25MHz)
K_DATA[4]	L25	LVDCI_18_O	—	CLK_K	user_k_tdata[] 的位 68
FAN_PWM	N22	LVDCI_18_O	—	—	连接到 DLPC964 控制器风扇连接器
TESTMUX0	AE11	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX1	AE13	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX2	AE14	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX3	AF10	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX4	AF11	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX5	AF13	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX6	AF14	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX7	AG10	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX8	AG11	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX9	AG12	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX10	AG13	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX11	AH12	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX12	AH13	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX13	AH14	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX14	AJ9	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
TESTMUX15	AJ10	LVDCI_18_O	—	—	无连接。用于访问路由到测试过孔的测试点输出。
VN_0	Y17	—	—	—	连接至 GND。
VP_0	W18	—	—	—	连接至 GND。
VREFN_0	W17	—	—	—	连接至 GND。
VREFP_0	Y18	—	—	—	连接至 GND。
DXN_0	AA17	—	—	—	连接至 GND。
DXP_0	AA18	—	—	—	连接至 GND。
VCCADC_0	V18	PWR	—	—	连接到 1.8V。

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
VCCBATT_0	U25	PWR	—	—	连接至 GND。
VCCO	A12、A22、AC11、AE10、AE20、AF17、AG14、AG24、AH11、AH21、AJ8、AJ18、AK15、AK25、AL12、AL22、AM9、AM19、AN16、AN26、AP13、AP23、B9、B19、C16、C26、D13、D23、E10、E20、F17、G14、G24、H11、H21、J18、K15、K25、L12、L22、M19、N16、P13、P23	PWR	—	—	电源。P1V8
VCCINT	AA12、AA16、AA22、AA24、AB11、AB15、AB17、AB23、AC10、AC12、AC16、AC18、AC22、AC24、AD11、AD15、AD17、AD23、AD25、R10、R12、R14、R16、R18、R22、R24、T11、T13、T15、T17、T21、T23、T25、U12、U14、U16、U18、U22、U24、V11、V15、V23、W12、W16、W22、W24、Y11、Y15、Y23	PWR	—	—	电源。P1V0_CORE
VCCAUX	AA14、AA20、AB13、AB21、AC14、AC20、AD13、AD21、U20、V13、V21、W14、W20、Y13、Y21	PWR	—	—	辅助电源。P1V8
VCCBRAM	AB19、AD19、R20、T19、V19、Y19	PWR	—	—	电源。P1V0_CORE
MGTAVCC	AA29、AC6、AC29、AE6、AE29、AG6、AG29、AJ6、AJ29、AL6、AL29、AN6、AN29、C6、C29、E6、E29、G6、G29、J6、J29、L6、L29、N6、N29、R6、R29	PWR	—	—	电源。P1V0_MGT
MGTVCCAUX	U6、U29、W6、W29	PWR	—	—	辅助电源。P1V8
MGTAVTT	AC2、AC33、AD3、AD32、AG2、AG33、AH3、AH32、AL2、AL33、AM3、AM32、C2、C33、D3、D32、G2、G33、H3、H32、L2、L33、M3、M32、R2、R33、T3、T32、W2、W33、Y3、Y32	PWR	—	—	电源。P1V2
GNDADC_0	V17	GND	—	—	ADC 接地

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
GND	A1、A2、A5、A6、A7、A17、 A27、A28、A29、A30、A33、 A34、AA1、AA2、AA9、AA11、 AA13、AA15、AA19、AA21、 AA23、AA26、AA30、AA33、 AA34、AB3、AB4、AB7、AB8、 AB9、AB12、AB14、AB16、 AB18、AB20、AB22、AB24、 AB26、AB27、AB28、AB31、 AB32、AC1、AC5、AC9、 AC13、AC15、AC17、AC19、 AC21、AC23、AC25、AC26、 AC30、AC34、AD4、AD7、 AD8、AD9、AD10、AD12、 AD20、AD22、AD24、AD26、 AD27、AD28、AD31、AE1、 AE2、AE5、AE9、AE15、 AE25、AE26、AE30、AE33、 AE34、AF3、AF4、AF7、AF8、 AF9、AF12、AF22、AF26、 AF27、AF28、AF31、AF32、 AG1、AG5、AG7、AG8、AG9、 AG19、AG26、AG27、AG28、 AG30、AG34、AH4、AH7、 AH8、AH9、AH16、AH26、 AH27、AH28、AH31、AJ1、 AJ2、AJ5、AJ7、AJ13、AJ23、 AJ28、AJ30、AJ33、AJ34、 AK3、AK4、AK7、AK10、 AK20、AK28、AK31、AK32、 AL1、AL5、AL7、AL17、AL27、 AL28、AL30、AL34、AM4、 AM7、AM14、AM24、AM28、 AM31、AN1、AN2、AN5、 AN7、AN11、AN21、AN28、 AN30、AN33、AN34、AP3、 AP4、AP7、AP8、AP18、 AP28、AP31、AP32、B3、B4、 B7、B14、B24、B28、B31、 B32、C1、C5、C7、C11、 C21、C28、C30、C34、D4、 D7、D8、D18、	GND	—	—	—
GND	D28、D31、E1、E2、E5、E7、 E15、E25、E28、E30、E33、 E34、F3、F4、F7、F8、F9、 F12、F22、F26、F27、F28、 F31、F32、G1、G5、G9、 G19、G26、G30、G34、H4、 H7、H8、H9、H16、H26、 H27、H28、H31、J1、J2、J5、 J9、J13、J23、J26、J30、 J33、J34、K3、K4、K7、K8、 K9、K10、K20、K26、K27、 K28、K31、K32、L1、L5、L9、 L17、L26、L30、L34、M4、 M7、M8、M9、M14、M24、 M26、M27、M28、M31、N1、 N2、N5、N9、N11、N21、 N26、N30、N33、N34、P3、 P4、P7、P8、P9、P18、P26、 P27、P28、P31、P32、R1、 R5、R9、R15、R17、R19、 R21、R26、R30、R34、T4、 T7、T8、T9、T12、T14、T16、 T18、T20、T22、T24、T26、 T27、T28、T31、U1、U2、U5、 U9、U11、U13、U15、U17、 U19、U21、U23、U26、U30、 U33、U34、V3、V4、V7、V8、 V9、V12、V14、V16、V20、 V22、V24、V26、V27、V28、 V31、V32、W1、W5、W9、 W11、W13、W15、W19、 W21、W23、W26、W30、 W33、Y4、Y7、Y8、Y9、Y12、 Y14、Y16、Y20、Y22、Y24、 Y26、Y27、Y28、Y31	GND	—	—	—

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
保留	R23	—	—	—	使用 100Ω 电阻器上拉至 1.8V
保留	R25	—	—	—	使用 100Ω 电阻器下拉至 GND
保留	AE12	—	—	—	使用 100Ω 电阻器上拉至 1.8V
保留	AD14	—	—	—	使用 100Ω 电阻器下拉至 GND
保留	G7	—	—	—	使用 100Ω 电阻器上拉至 1.2V
保留	G8	—	—	—	连接到 1.2V
保留	G27	—	—	—	连接到 1.2V
保留	G28	—	—	—	使用 100Ω 电阻器上拉至 1.2V
未使用	A8、A9、A10、A11、A13、 A14、A15、A16、A18、A19、 A20、A21、A23、A24、AC3、 AC4、AC7、AC8、AC27、 AC28、AC31、AC32、AD5、 AD6、AD16、AD18、AD29、 AD30、AE3、AE4、AE7、 AE8、AE16、AE17、AE18、 AE19、AE21、AE22、AE23、 AE24、AE27、AE28、AE31、 AE32、AF5、AF6、AF15、 AF16、AF18、AF19、AF20、 AF21、AF23、AF24、AF25、 AF29、AF30、AG3、AG4、 AG15、AG16、AG17、AG18、 AG20、AG21、AG22、AG23、 AG25、AG31、AG32、AH5、 AH6、AH10、AH15、AH17、 AH18、AH19、AH20、AH22、 AH23、AH24、AH25、AH29、 AH30、AJ11、AJ15、AJ16、 AJ17、AJ19、AJ20、AJ21、 AJ22、AJ24、AJ25、AJ26、 AJ27、AK5、AK6、AK11、 AK16、AK17、AK18、AK19、 AK21、AK22、AK23、AK24、 AK26、AK27、AK29、AK30、 AL3、AL4、AL8、AL11、AL13、 AL15、AL16、AL18、AL19、 AL20、AL21、AL23、AL24、 AL25、AL26、AL31、AL32、 AM5、AM6、AM11、AM15、 AM16、AM17、AM18、AM20、 AM21、AM22、AM23、AM25、 AM26、AM27、AM29、AM30、 AN13、AN15、AN17、AN18、 AN19、AN20、AN22、AN23、 AN24、AN25、AN27、AP5、 AP6、AP10、AP15、AP16、 AP17、AP19、AP20、AP21、 AP22、AP24、AP25、AP26、 AP27、AP29、AP30、B5、B6、 B8、B10、B11、B12、B13、 B15、B16、B17、B18、B20、 B21、B22、B29、B30、C3、 C4、C8、C9、C10、C12、 C13、C14、C15、C17、C18、 C19、C20、C22、C23、C24、 C25、C31、C32、D5、D6、 D9、	NC			

表 4-1. 引脚功能 (续)

引脚		I/O 类型 ⁽¹⁾	有效 (HI 或 LO)	时钟系统	说明
名称	编号				
未使用	D10、D11、D12、D14、D15、D16、D17、D19、D20、D21、D22、D29、D30、E3、E4、E8、E9、E11、E12、E13、E14、E16、E17、E18、E19、E21、E22、E31、E32、F5、F6、F10、F11、F13、F14、F15、F16、F18、F19、F20、F21、F29、F30、G10、G11、G12、G13、G15、G16、G17、G18、G20、G21、G22、G23、H5、H6、H10、H12、H13、H14、H15、H17、H18、H19、H20、H23、H29、H30、J3、J4、J7、J8、J10、J11、J12、J14、J15、J16、J17、J19、J20、J21、J27、J28、J31、J32、K5、K6、K11、K12、K13、K14、K16、K17、K18、K19、K21、K29、K30、L3、L4、L7、L8、L10、L11、L13、L14、L15、L16、L18、L19、L20、L21、L27、L28、L31、L32、M10、M11、M12、M13、M15、M16、M17、M18、M20、M21、N7、N8、N10、N12、N13、N14、N15、N17、N18、N19、N20、N23、N24、N25、N27、N28、P1、P2、P10、P11、P12、P14、P15、P16、P17、P19、P20、P21、P22、P25、P33、P34、R11、R13、T1、T2、T33、T34、U3、U4、U7、U8、U27、U28、U31、U32、V1、V2、V33、V34、W3、W4、W31、W32、Y1、Y2、Y33、Y34	NC			

(1) I = 输入, O = 输出, B = 输入或输出, GND = 接地, PWR = 电源, NC = 无连接。

5 规格

请参阅⁽¹⁾

5.1 绝对最大额定值

		最小值	最大值	单位
电气				
V _{CCINT}	内部电源电压 ⁽²⁾	-0.5	1.1	V
V _{CCBRAM}	块 RAM 电源电压 ⁽²⁾	-0.5	1.1	V
V _{CCAUX}	辅助电源电压 ⁽²⁾	-0.5	2.0	V
V _{CCAUX_IO}	辅助电源电压 ⁽²⁾	-0.5	2.06	V
V _{CCO}	1.8V I/O 组的输出驱动器电源电压 ⁽²⁾	-0.5	2.0	V
V _{MGTAVCC}	GTH 收发器的电源电压 ⁽²⁾	-0.5	1.1	V
V _{MGTAVTT}	GTH 发送器和接收器终端电路的电源电压 ⁽²⁾	-0.5	1.32	V
V _{MGTVCCAUX}	收发器的辅助电压电源 ⁽²⁾	-0.5	1.935	V
V _I	1.8V I/O 组的输入电压范围 ⁽³⁾	-0.55	V _{CCO} + 0.55	V
	GTH 接收器的输入电压范围 ⁽³⁾	-0.5	1.26	V
环境				
T _J	结温		+125	°C
T _{stg}	贮存温度 (环境)	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 所有电压值均以网络接地端 GND 为基准。
- (3) 适用于外部输入和双向缓冲器

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2500	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

在自然通风条件下的工作温度范围内测得 (除非另有说明)

5.3 建议运行条件

		最小值	标称值	最大值	单位
电气					
V _{CCINT}	1V 电源电压，内核逻辑	0.97	1.00	1.03	V
V _{CCBRAM}	1V 电源电压，块 RAM	0.97	1.00	1.03	V
V _{CCAUX}	1.8V 电源电压，辅助	1.71	1.80	1.89	V
V _{CCAUX_IO}	1.8V 电源电压，辅助 I/O	1.71	1.80	1.89	V
V _{CCO}	1.8V 电源电压，VCCO_0、14、15、16、17、34、35、36 的 I/O	1.71	1.80	1.89	V
V _{MGTAVCC}	1V 电源电压，GTH 收发器	0.97	1.0	1.08	V
V _{MGTAVTT}	1.2V 电源电压，GTH 发送器和接收器终端电路	1.17	1.2	1.23	V
V _{MGTVCCAUX}	1.8V 电源电压，收发器的辅助电压电源	1.75	1.80	1.85	V

5.3 建议运行条件 (续)

			最小值	标称值	最大值	单位
V_I	输入电压	1.8V LVC MOS	0	—	V_{CCO}	V
		GTH 差分峰峰值 (DVPPIN)	0.15	—	1.250	V
		GTH 单端	-0.4	—	$V_{MGTAVTT}$	V
		GTH 共模	—	2/3	—	mV
V_O	输出电压	1.8V LVC MOS	0	—	V_{CCO}	V
		GTH 差分峰峰值 (DVPPOUT)	0.8	—	—	V
		GTH 共模	$V_{MGTAVTT}$	—	$DVPPOUT/4$	mV
环境						
T_A	工作环境温度		0	—	85	°C
P_D	持续总功率耗散		—	—	18	W

5.4 热性能信息

热指标 ⁽¹⁾		DLPC964	单位
		ZUM (FCBGA)	
		1156 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	8.8	°C/W
$R_{\theta JB}$	结至电路板热阻	2.3	°C/W
$R_{\theta JC}$	结至外壳热阻	0.16	°C/W

(1) 有关 XC7VX415T 的完整热性能规格 , 请参阅 [7 系列FPGA 封装和引脚排列产品规格指南](#)。

(2) 在静止空气中

在自然通风条件下的工作温度范围内测得 (除非另有说明)

5.5 电气特性

参数		最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	1.8V LVC MOS	65% V_{CCO}	—	V
V_{IL}	低电平输入电压	1.8V LVC MOS	—	—	35% V_{CCO}
V_{OH}	高电平输出电压	1.8V LVC MOS	$V_{CCO} - 0.450$	—	V
V_{OL}	低电平输出电压	1.8V LVC MOS	—	—	0.450
V_{ID}	差分峰峰值输入电压 (外部交流耦合)	1.0V HSTL_1	0.150	—	1.250
V_{ICM}	共模输入电压	1.0V HSTL_1	—	2/3 $V_{MGTAVTT}$	V
V_{IN}	单端输入电压	1.0V HSTL_1	-0.400	—	$V_{MGTAVTT}$
V_{OD}	差分峰峰值输出电压	1.0V HSTL_1	0.800	—	—
V_{ID}	输入差分电压	1.8V LVDS	0.100	0.350	0.600
V_{ICM}	输入共模电压	1.8V LVDS	0.300	1.200	1.425
V_{OH}	高电平输出电压	1.8V LVDS	—	—	1.675
V_{OL}	低电平输出电压	1.8V LVDS	0.825	—	—
V_{OD}	输出差分电压	1.8V LVDS	0.247	0.350	0.600
V_{OCM}	输出共模电压	1.8V LVDS	1.000	1.250	1.425
C_I	输入电容		—	8	pF
I_{CCINT}	1.0V 电源电压范围 , 内核电源	1.0V		3.200	A

5.5 电气特性 (续)

参数	最小值	典型值	最大值	单位
$I_{MGTAVCC} + I_{CCBRAM}$ 1.0V 电源电流范围 , 收发器和 BRAM 电源	1.0V		5.000	A
$I_{MGTAVTT}$ 1.2V 电源电流范围 , I/O 收发器终端电源	1.2V		1.400	A
$I_{CCAUX} + I_{CCAUX_IO} + I_{CCO} + I_{MGTVCaux}$ 1.8V 电源电流范围 , 辅助 , 辅助 I/O , CCO 和收发器的辅助电源	1.8V		0.160	A

5.6 时序要求

	最小值	标称值	最大值	单位
f_{cgt} 时钟频率 , GTTX_CHn_REFCLK ⁽¹⁾ 和 GTRX_CHn_REFCLK ⁽¹⁾		100		MHz
f_{cui} 时钟频率 , REFCLK_UI ⁽¹⁾		156.25		MHz
f_{cs} 时钟频率 , SYS_CLK100 ⁽¹⁾		100		MHz
f_{cdmd} 时钟频率 , DMD_GTREFCLK_IN_n ⁽¹⁾			112.5	MHz
t_{cgt} 周期时间 , GTRX_CHn_REFCLK			10	ns
$t_{w(H)}$ 脉冲持续时间 , 高电平	50% 至 50% 基准点 (信号)		5	ns
$t_{w(L)}$ 脉冲持续时间 , 低电平	50% 至 50% 基准点 (信号)		5	ns
t_t 转换时间 , $tt = tf/tr$	20% 至 80% 基准点 (信号)		200	ps
t_{jp} 周期抖动 CHn_GTRX	总正弦周期抖动		0.3	UI
t_{sk} 偏移 , CHn_GTRX ⁽¹⁾	单个输入通道内的信道间		200	ps

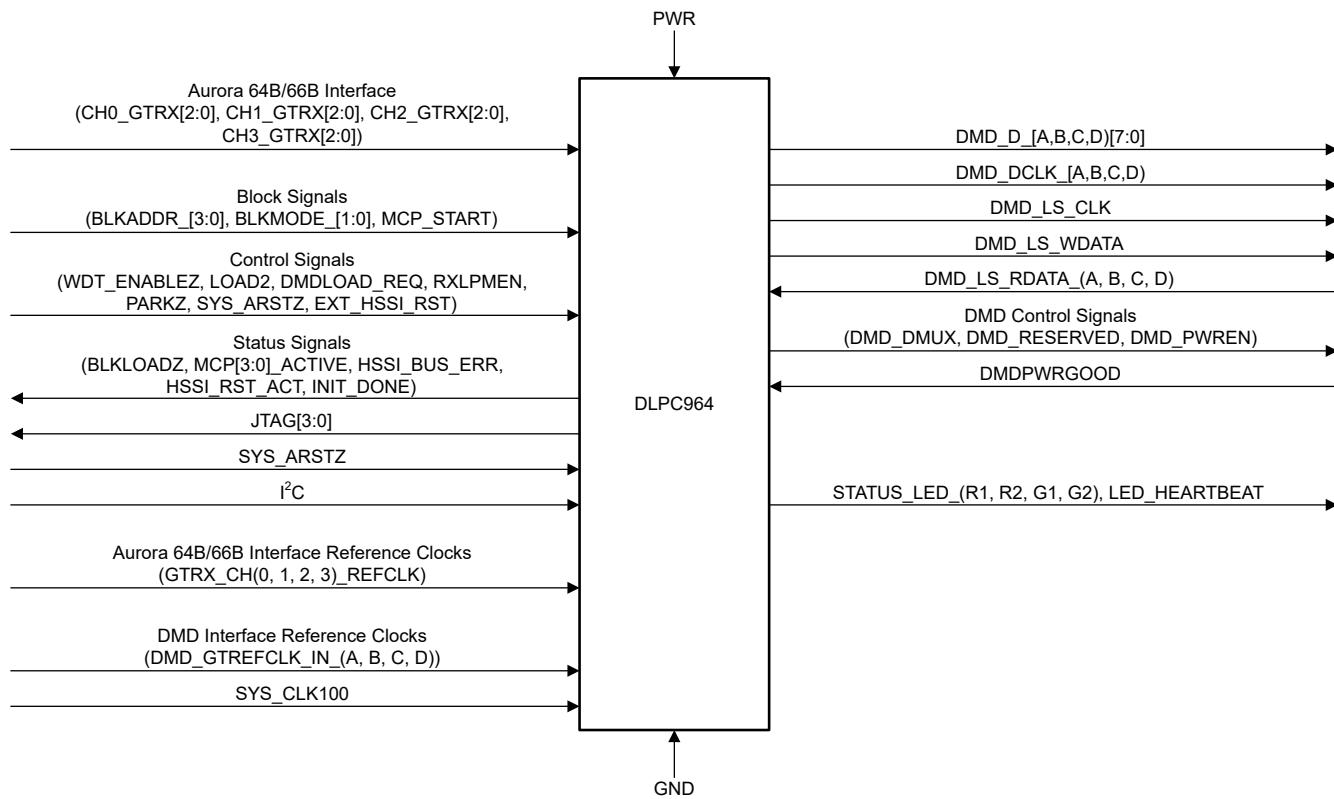
(1) 首选占空比为 50%。

6 详细说明

6.1 概述

DLPC964 数字控制器为 DMD 提供可靠的高速数据管道。高速图形数据的 Aurora 64B/66B 高速串行 (HSS) 数字输入根据 DMD 的时序要求进行配置。DMD 通过使用 1 位二进制编码图形来反射光，其中每个微镜都是图形数据的像素到微镜的一对一映射。

6.2 功能方框图



6.3 特性说明

6.3.1 输入高速串行 (HSS) 接口

数据输入接口基于 Advanced Micro Devices (AMD) LogiCORE™ IP Aurora 64B/66B 内核，包含四条输入数据总线，每条总线由三个高速串行数据信道组成：CH0_GTRX0..2、CH1_GTRX0..2、CH2_GTRX0..2 和 CH3_GTRX0..2。

每条总线还包含用于四个高速数据信道中每个信道的数据时钟：GTTX_CH0_REFCLK、GTTX_CH1_REFCLK、GTTX_CH2_REFCLK 和 GTTX_CH3_REFCLK。

6.3.2 块接口

信号 BLKADDR_[3:0] 和 BLKMODE[1:0] 用于指定要向哪个 (些) DMD 块发出微镜时钟脉冲 (MCP)、块清除或块置位。

6.3.3 控制接口

6.3.3.1 看门狗

DLPC964 控制器包含一个看门狗计时器，可在任何 DMD 块未在 10 秒内接收到微镜时钟脉冲的情况下发送全局 DMD 微镜时钟脉冲。可以通过将 WDT_ENABLEZ 置为高电平来禁用该自动微镜时钟脉冲功能。除非用户确保在 10 秒内产生发送到整个 DMD 的微镜时钟脉冲，否则不建议禁用看门狗。在 DLPC964 和 DMD 未主动加载图形期间，请停止 DMD 微镜。有关停止 DMD 微镜的信息，请参阅[停止控制](#)。

6.3.3.2 LOAD2

LOAD2 功能可为能够以较低垂直分辨率换取更高图形速率的应用提供更高的全局二进制图形速率。这些类型的應用示例包括快门或斩波器应用和垂直结构光图形。将 LOAD2 置为有效会使 DLPC964 控制器和连接的 DMD 针对所发送的每行数据加载两行，从而将图形加载时间缩短为完整 DMD 加载的 $\frac{1}{2}$ 。加载每个块只需要 DMD 行数据数量的 $\frac{1}{2}$ ($136 \div 2 =$ 每个块 68 行)。此功能不会缩短 MCP 时间。

启用此模式的方法是将 LOAD2 引脚置为高电平或设置 DLPC964 寄存器中的一位以选择 LOAD2 模式（与正常加载模式相比），然后写入另一位请求 DLPC964 通过 LSIF 更新 DMD 的运行模式，这会使所有 DMD 数据像素更新（和 MCP）停止并且 DMD 重新初始化。将新的配置设置重新编程到 DMD 中后，LSIF 可以根据 DLPC964 输入返回处理 MCP 命令。

6.3.3.2.1 LOAD2 行寻址

在 LOAD2 模式下，仍然可以像以前一样使用自动递增模式和行地址模式，但最大的可寻址行为 $(VRes \div 2) - 1$ ，其中 $VRes =$ DMD 的垂直分辨率。可寻址垂直分辨率减少 2，但物理分辨率不变。自动递增地址模式会自动将行地址输入递增 1（或者对于 N/S 翻转，递减 1）。行地址输入已重新映射，如下面的表 6-1 所示：

表 6-1. LOAD2 行地址映射

行地址输入	DMD 上加载的物理行
0	0、1
1	2、3
2	4、5
3	6、7
N	2N、2N + 1
$(VRes \div 2) - 1$	$VRes - 2, VRes - 1$

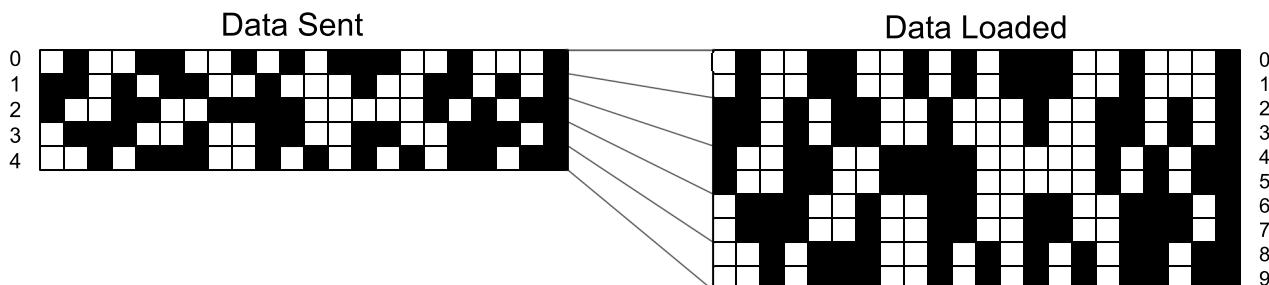


图 6-1. LOAD2 地址映射示例

6.3.3.2.2 LOAD2 块清除

启用 LOAD2 后，块清除请求会被忽略。要使用 LOAD2 后跟块清除请求进行加载，请在块清除请求之前的 MCP 请求开始时将 LOAD2 置为无效。在下一个所需的 LOAD2 操作之前的 MCP 请求开始时将 LOAD2 重新置为有效。这可以确保 DLPC964 控制器在加载数据或请求块清除之前有足够的时间禁用或启用 LOAD2。有关块清除操作，请参阅块清除。

6.3.3.3 接收器低功耗模式启用

设置为 0 可实现低功耗模式均衡。

6.3.3.4 DMD 高速串行接口 (HSSI) 复位

可以将 EXT_HSSI_RST 信号置为有效，以向 DLPC964 发送信号，从而复位 DMD 的高速串行接口 (HSSI)。复位时，系统将针对 DLPC964 和 DMD 之间的 HSSI 接口自动执行总线训练。

6.3.3.5 DMD 电源使能

DLPC964 控制器利用 DMD_PWREN 信号控制连接的 DMD 的电源。置为有效后，DMD_PWREN 信号将启用连接的 DMD 的电源。

6.3.4 用户 K-Data 接口

Applications FPGA 和 DLPC964 控制器之间的高速接口允许使用 Aurora 64B/66B 流协议内的用户 K-data 接口。在该接口中使用以下信号：

- CLK_K
- K_DATA[4:0]
- K_VALID

使用这些位可以通过 DLPC964 控制器和 Applications FPGA 之间的高速接口传输信息。USERK 0x0 数据包位 76:72 的使用情况如下所示：

- 位 [72] = K_DATA0
- 位 [73] = K_DATA1
- 位 [74] = K_DATA2
- 位 [75] = K_DATA3
- 位 [76] = K_DATA4

有关如何使用用户 K-data 接口的更多信息，请参阅 [AMD PG074 应用手册](#)。

6.3.5 状态接口

6.3.5.1 INIT_DONE

加电后，INIT_DONE 信号会变为高电平，以指示 DLPC964 已完成从配置闪存 PROM 加载配置文件的过程。

6.3.5.2 MCP_ACTIVE

MCP_Active[3:0] 信号（微镜时钟脉冲有效 [3:0]）是发送到 Applications FPGA 或客户前端的 DLPC964 四路输出，用于标识 MCP 当前是否正在进行。一次最多可以发生四个 MCP，由四个 MCP_Active[3:0] 输出中的每一个表示。

6.3.5.3 BLKLOADZ

DLPC964 控制器向 Applications FPGA 或名为 BLKLOADZ 的客户前端提供输出信号，该信号在最近接收到的数据块写入 DMD 时确定该数据块的加载。当 DMD 块通过 HSSI DMD 接口开始加载时，该信号应转换为低电平，并且应在 DMD 块加载完成时重新转换为高电平。

6.3.5.4 高速串行接口 (HSSI) 总线错误

DLPC964 控制器的 HSSI_BUS_ERR 输出信号指示在初始化期间 DLPC964 控制器和连接的 DMD 之间的高速串行接口总线上发生了错误。可以将 EXT_HSSI_RST 信号置为有效以复位 HSSI 接口。DLPC964 控制器的 HSSI_RST_ACT 信号被置为有效，以指示 DLPC964 控制器和连接的 DMD 之间的 HSSI 总线正在主动执行复位。复位完成后，DLPC964 控制器将该信号置为无效。

6.3.5.5 IRQZ

DLPC964 控制器向 Applications FPGA 提供事件通知信号 IRQZ，指示已发生重要事件，I²C 主机应查询状态寄存器以确定适当的操作过程。IRQZ 信号可通过 I²C 主器件对 DLPC964 控制器中的寄存器位进行写入来复位。

6.3.6 复位、系统时钟和电源正常

6.3.6.1 控制器复位

控制器复位输入 SYS_ARSTZ 是低电平有效的异步复位。配置完成后，将 SYS_ARSTZ 置为低电平会将 DLPC964 控制器中的逻辑重新复位至默认状态。该复位可以来自 Applications FPGA 或客户前端。

6.3.6.2 主振荡器时钟

DLPC964 控制器的主基准时钟输入 SYS_CLK100_N 和 SYS_CLK100_P (由振荡器提供) 必须为 100MHz 差分信号。在释放 SYS_ARSTZ 之前，该时钟应有效。

6.3.6.3 DMD HSSI 总线振荡器时钟

由振荡器提供的 DLPC964 控制器 DMD HSSI 总线基准时钟输入 DMD_GTREFCLK_IN_A_N/DMD_GTREFCLK_IN_A_P、DMD_GTREFCLK_IN_B_N/DMD_GTREFCLK_IN_B_P、DMD_GTREFCLK_IN_C_N/DMD_GTREFCLK_IN_C_P 和 DMD_GTREFCLK_IN_D_N/DMD_GTREFCLK_IN_D_P 必须是 112.5MHz 差分信号。在释放 SYS_ARSTZ 之前，该时钟应有效。

6.3.6.4 POWERGOOD 和 DMDPOWERGOOD

DLPC964 控制器的 PWRGOOD 信号输入使控制器能够监测外部电源和 DLPC964 控制器的所有相关电源是否处于适当的稳压范围之内。上电时，DLPC964 控制器将保持复位状态，直到 PWRGOOD 信号被置为高电平。如果 DLPC964 控制器电源出现外部电源断电或其中一个 DLPC964 电源断电，则 DLPC964 控制器的 PWRGOOD 信号输入应被置为低电平，以指示发生了断电。一旦 PWRGOOD 被置为低电平，DLPC964 控制器就会立即向 DMD 执行一系列存储器加载，然后执行微镜停止指令，以便微镜最终处于未着陆状态。有关停止 DMD 的更多信息，请参阅 [停止控制](#)。

DLPC964 控制器的 DMDPOWERGOOD 信号输入使控制器能够监测连接的 DMD 的所有相关电源。在 DMDPWRGOOD 信号被置为高电平 (表示电源处于稳压范围之内) 之前，不会启动连接到 DMD 的接口总线。如果在运行期间 DMDPWRGOOD 始终被置为低电平，则 DLPC964 会更新 **FPGA_MAIN_STATUS** 寄存器中的 **MAIN_STATUS_DMDPWRGOOD_FLD** 寄存器值，并触发向 Applications FPGA 或客户前端的 IRQZ 输出。

6.3.7 I²C 接口

I²C 接口符合 I²C 规范版本 1.0 – 1992，运行的时钟速率介于 100kHz 和 400kHz 之间。该接口允许用户设置控制器配置并提供状态信息，例如：

- 控制器和 DMD 标识
- DMD 类型
- 版本
- 控制器运行状态
- 控制器运行模式

每个 I²C 时钟和数据 I/O 都需要一个连接到 1.8V 的外部 2.2kΩ 上拉电阻器。根据所选的速度和接口的负载，可能需要不同的上拉电阻器。

6.3.7.1 配置引脚

I²C_ADDR_SEL[1:0] 输入引脚允许用户选择 DLPC964 I²C 从地址。下面的表说明了 I²C_ADDR_SEL[1:0] 引脚与 DLPC964 I²C 从地址之间的关系。如果引脚保持未连接状态，则默认地址为 0x0C。

DDC_I2C_SCL 是主控制器输入时钟。DDC_I2C_SDA 是双向数据信号。两个信号都需要使用一个 2.2kΩ 上拉电阻器。

表 6-2. DLPC964 I²C 从地址选择表

I ² C_ADDR_SEL[1]	I ² C_ADDR_SEL[0]	I ² C 从地址
0	0	0x0F
0	1	0x0E
1	0	0x0D
1	1	0x0C

6.3.7.2 通信接口

通信是通过 I²C 接口执行的，其中 DLPC964 是辅助器件。DLPC964 从地址包含一个 7 位地址和一个 R/W 位。与 DLPC964 通信涉及对寄存器映射中列出的寄存器进行写入或读取。

6.3.7.2.1 命令格式

所有寄存器地址的大小均为 32 位，其中每个寄存器包含一个 32 位值。实际有效位显示在每个相应的寄存器中。大多数寄存器包含备用位或未使用的位。除非另有说明，否则在读取操作期间这些位必须被视为无关位。在对备用位或未使用的位进行写入时，这些位必须被设置为 0。寄存器地址和数据都要求最低有效字节为第一个字节，最高有效字节为最后一个字节。寄存器地址之前必须有一个 SUB CMD，用于指示操作类型，其中 0xF1 指示写入操作，0xF2 指示读取操作。下图显示了对 DESTOP_BUS_SWAP 寄存器进行写入和读取的示例。

图 6-2 显示了一个 I²C 主器件向 DLPC964 写入数据，其中 SUB CMD 需要使用 0xF1，后跟寄存器地址，最后是寄存器数据。

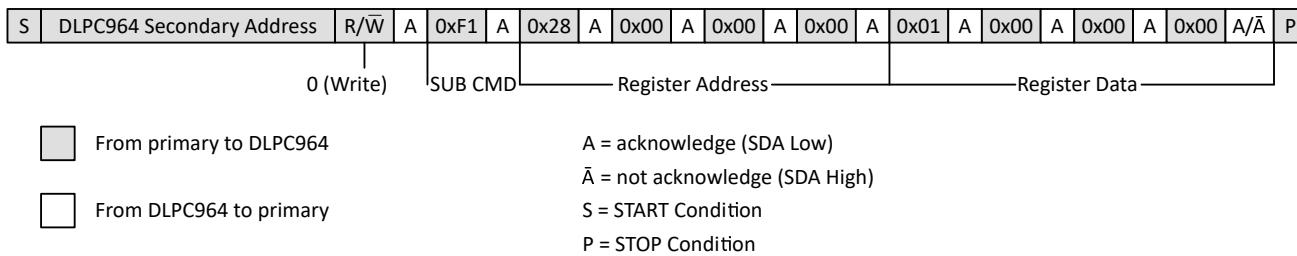


图 6-2. I²C 主器件写入 DLPC964 寄存器数据示例

图 6-3 显示了一个 I²C 主器件从 DLPC964 读取数据，其中 SUB CMD 需要使用 0xF2，后跟寄存器地址。然后，主器件执行停止，然后是启动，以读取寄存器数据。

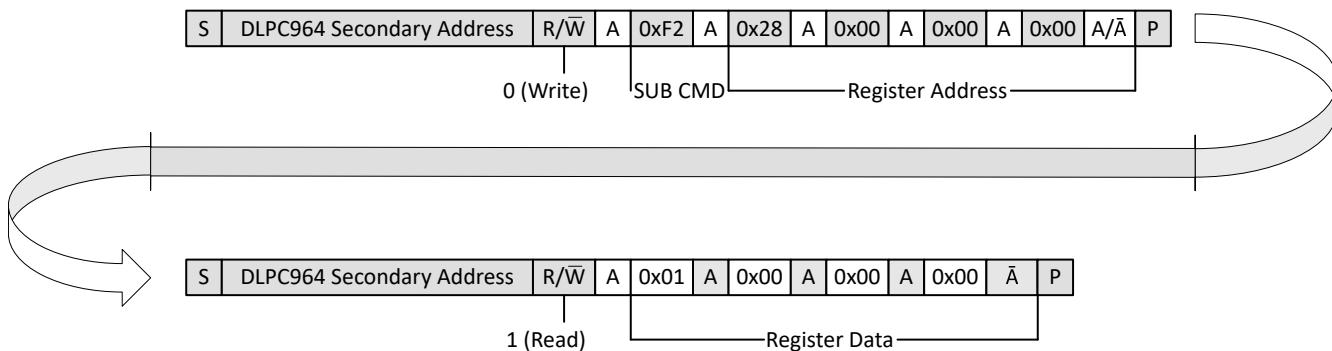


图 6-3. I²C 主器件读取 DLPC964 寄存器数据示例

6.3.8 DMD (HSSI) 接口

DLPC964 控制器 DMD 接口支持四个用于数据传输的高速串行接口 (HSSI) 仅输出接口、一个用于命令写入事务的单低速 LVDS 仅输出接口以及一个用于命令读取事务的低速单端输入接口。

6.3.8.1 Park 控制

DLPC964 控制器在以下情况下执行连接的 DMD 的停止：

1. DLPC964 控制器的 PARKZ 输入被置为有效。
2. DLPC964 控制器的 POWERGOOD 输入指示外部电源已移除。
3. DLPC964 控制器的 SYS_ARSTZ 输入被置为有效以特意复位 DLPC964 控制器逻辑，DLPC964 控制器具有安全逻辑，可确保在复位所有内部逻辑和寄存器之前首先停止 DMD。

当收到停止命令时，DLPC964 控制器立即启动将 DMD 微镜置于正确停止状态的过程。这包括 DMD 微镜停止所需的任何预调节。通过移除外部 PARKZ 信号将停止状态置为无效会重新使 DMD 能够更新微镜数据。请注意，在下一次客户启动 MCP 或看门狗超时发生之前，该数据不会更新到有源阵列中。

[节 7.4.2](#) 概述了停止 DMD 以关闭系统电源的正确序列，以及暂时停止 DMD，然后在不关闭电源的情况下重新启动系统操作的序列。

6.3.8.2 可配置 HSSI 设置

DLPC964 控制器 HSSI 输出驱动器的输出差分电压 (V_{od})、驱动器预加重和驱动器后加重设置可以被调整为默认设置以外的值，从而修改 DMD 高速串行接口的性能。通过 DLPC964 控制器中的 I²C 寄存器接口，可以单独控制每个数据总线 (A、B、C、D) 和每个数据总线时钟 (A、B、C、D) 的这些设置，以及 DMD 中 HSSI 接收器的共模电压 (V_{cm}) 设置。

[表 6-3](#) 说明了 DLPC964 控制器中 HSSI 驱动器可用的不同设置。在将 DLPC964 控制器 HSSI 输出驱动器的驱动器输出差分电压 (V_{od})、驱动器预加重和驱动器后加重设置更改为默认设置以外的值时，DMD HSSI 接收器上信号的共模电压 (V_{cm}) 可能会发生变化。需要测量并验证输入差分电压 (V_{id}) 和输入共模电压 (V_{cm}) 是否处于 DLP991U DMD 数据表的建议运行条件部分中所述的电压规格范围内，以验证这些电压电平在修改后是否处于正确的规格范围内。有关更多信息，请参阅 [AMD 7 系列 FPGA GTX/GTH 收发器用户指南](#)。

表 6-3. HSSI 驱动器控制设置

TXDIFFCTRL ⁽¹⁾		TXPOSTCURSOR ⁽²⁾			TXPRECURSOR ⁽³⁾		
[3:0]	V _{PPD}	[12:8]	加重 (dB)	系数单位	[20:16]	加重 (dB)	系数单位
4'b0000	0.269	5'b00000	0.00	0	5'b00000	0.00	0
4'b0001	0.336	5'b00001	0.22	1	5'b00001	0.22	1
4'b0010	0.407	5'b00010	0.45	2	5'b00010	0.45	2

表 6-3. HSSI 驱动器控制设置 (续)

TXDIFFCTRL ⁽¹⁾		TXPOSTCURSOR ⁽²⁾			TXPRECURSOR ⁽³⁾		
[3:0]	V _{PPD}	[12:8]	加重 (dB)	系数单位	[20:16]	加重 (dB)	系数单位
4'b0011	0.474	5'b000011	0.68	3	5'b000011	0.68	3
4'b0100	0.543	5'b00100	0.92	4	5'b00100	0.92	4
4'b0101	0.609	5'b00101	1.16	5	5'b00101	1.16	5
4'b0110	0.677	5'b00110	1.41	6	5'b00110	1.41	6
4'b0111	0.741	5'b00111	1.67	7	5'b00111	1.67	7
4'b1000	0.807	5'b01000	1.94	8	5'b01000	1.94	8
4'b1001	0.866	5'b01001	2.21	9	5'b01001	2.21	9
4'b1010	0.924	5'b01010	2.50	10	5'b01010	2.50	10
4'b1011	0.973	5'b01011	2.79	11	5'b01011	2.79	11
4'b1100	1.018	5'b01100	3.10	12	5'b01100	3.10	12
4'b1101	1.056	5'b01101	3.41	13	5'b01101	3.41	13
4'b1110	1.092	5'b01110	3.74	14	5'b01110	3.74	14
4'b1111	1.119	5'b01111	4.08	15	5'b01111	4.08	15
		5'b10000	4.44	16	5'b10000	4.44	16
		5'b10001	4.81	17	5'b10001	4.81	17
		5'b10010	5.19	18	5'b10010	5.19	18
		5'b10011	5.60	19	5'b10011	5.60	19
		5'b10100	6.02	20	5'b10100	6.02	20
		5'b10101	6.47	21	5'b10101	6.02	21
		5'b10110	6.94	22	5'b10110	6.02	22
		5'b10111	7.43	23	5'b10111	6.02	23
		5'b11000	7.96	24	5'b11000	6.02	24
		5'b11001	8.52	25	5'b11001	6.02	25
		5'b11010	9.12	26	5'b11010	6.02	26
		5'b11011	9.76	27	5'b11011	6.02	27
		5'b11100	10.46	28	5'b11100	6.02	28
		5'b11101	11.21	29	5'b11101	6.02	29
		5'b11110	12.04	30	5'b11110	6.02	30
		5'b11111	12.96	31	5'b11111	6.02	31

(1) 当 TXPOSTCURSOR = 5'b00000 且 TXPRECURSOR = 5'b00000 时，会定义峰峰值差分电压。

(2) 当 TXPRECURSOR = 5'b00000 时，会定义 TXPOSTCURSOR 值。加重 = $20\log_{10}(V_{high}/V_{low}) = |20\log_{10}(V_{low}/V_{high})|$

(3) 当 TSPOSTCURSOR = 5'b00000 时，会定义 TXPRECURSOR 值。加重 = $20\log_{10}(V_{high}/V_{low}) = |20\log_{10}(V_{low}/V_{high})|$

表 6-4 说明了 DLP991U DMD 中 HSSI 接收器可用的不同共模电压 (V_{cm}) 设置。该寄存器必须设置为最佳匹配 DLP991U HSSI 接收器上的输入共模电压 (V_{cm})。如果 DMD HSSI 接收器上的共模电压与 DLPC964 控制器中的 HSSI 接收器共模电压寄存器设置不匹配，则 DMD HSSI 的性能会受到负面影响。

表 6.4. HSSI 接收器共模电压设置

VCM 寄存器设置	VCM 输入范围
3'b000	0.759V 至 0.800V
3'b001	0.673V 至 0.758V
3'b010	0.587V 至 0.672V
3'b011	0.501V 至 0.586V
3'b100	0.415V 至 0.500V
3'b101	0.329V 至 0.414V
3'b110	0.243V 至 0.328V
3'b111	0.200V 至 0.242V

要在上电时修改 HSSI 设置，请执行以下操作：

1. 在上电时使 DLPC964 控制器的 PARKZ 输入保持为低电平。
2. 使 PARKZ 输入保持低电平；DLPC964 控制器配置完成后，将所需的设置写入相应的 I²C 寄存器。
3. 对所有所需的寄存器进行写入后，释放 PARKZ，以使用新设置配置 DMD 接口。

要在正常运行期间（上电后）修改 HSSI 设置，请执行以下操作：

1. 将 PARKZ 置为低电平，以停止 DMD 并停止 DMD 接口上的活动。
2. 等待至少 500 μs，使 DLPC964 控制器和 DMD 完成 DMD 停止序列。
3. 当 PARKZ 仍被置为低电平时，使 DMD 保持在停止状态，将 SYS_ARSTZ 置为低电平至少 50ms，以复位 DLPC964 控制器。
4. 在将 SYS_ARSTZ 置为低电平至少 50ms 并使 PARKZ 输入保持低电平后，将 SYS_ARSTZ 置为高电平。
5. DLPC964 控制器配置完成后，将所需的设置写入相应的 I²C 寄存器。
6. 对所有所需的寄存器进行写入后，将 PARKZ 置为高电平，以使用新设置配置 DMD 接口。

6.3.9 闪存 PROM 接口

6.3.9.1 JTAG 接口

JTAG 接口具有多种用途，可通过以下方式使用：

- 将配置位流直接编程到 DLPC964 中
- 对 DLPC964 执行边界测试和调试
- 直接将配置位流编程到 DLPC964 配置闪存中

6.4 器件功能模式

以下部分重点介绍 DLP991U DMD 的操作。

6.4.1 DLPC964 Aurora 64B/66B 输入数据和命令写入周期

针对 DLPC964 控制器的数据事务通过十二条 10Gbps 串行链路执行，这些链路分布在四个使用 AMD Aurora 64B/66B 串行接口的通道中。所有针对 DLPC964 控制器的数据事务均以 DMD 块为基础。DLP991U DMD 总共有 16 个 DMD 块，每个块为 4096 列 x 136 行。单行的 DMD 列进一步细分为四段（每段 1024 列），并独立映射到四个 Aurora 64B/66B 串行输入通道。因此，对于每个 Aurora 64B/66B 输入通道，一个完整的 DMD 块是一个 1024 列 x 136 行的阵列。

DLPC964 的完整输入数据和命令写入周期为：

- 块以块控制字开始
- DMD 位平面数据输入
- 块完成 (DMDLOAD_REQ 和 BLKLOADZ)

有关通过 Aurora 64B/66B 串行接口加载 DLPC964 控制器的更多详细信息和其他指南，请参阅 [节 7.3](#)。

6.4.1.1 块模式运行 (块以块控制字开始)

要定义 DMD 加载操作的开始，DLPC964 必须在接收任何 DMD 位平面数据之前通过 Aurora 64B/66B 通道 0 输入端口接收一个块控制字数据包。块控制字数据包由 192 位组成，定义了：

- 要加载的 DMD 块
- 请求的 DMD 加载操作的类型
- 要加载 DMD 块的行数
- 南/北翻转
- DLPC964 Aurora 64B/66B 输入模式（单 Aurora 通道输入或四 Aurora 通道输入）
- 要加载的 DMD 段（仅适用于单通道模式）

块控制字数据包根据下表进行定义：

表 6-5. 块控制字段定义

字段位置	字段类型	字段说明
gt0_s_axi_user_k_tx_tdata[7:0]	USERK_BLOCK_NUMBER	必须设置为全零 (0x00)。0x00 以外的值均无效，如果此字段不为零，DLPC964 控制器会忽略整个 192 位控制字。
gt0_s_axi_user_k_tx_tdata[11:8]	BLOCK_ADDRESS	指示 DLPC964 会将操作应用到的 DMD 块地址。0000 : DMD 块 0 , 0001 : DMD 块 1 , 0010 : DMD 块 2 , ...1110 : DMD 块 14 , 1111 : DMD 块 15
gt0_s_axi_user_k_tx_tdata[15:12]		保留，未使用
gt0_s_axi_user_k_tx_tdata[24:16]	ROW_LENGTH	DLPC964 要向其加载用户数据的行的数量。DLP991U 在每个块中有 136 行，因此有效范围为 1-136。包括 0 在内的所有其他值均无效。设置为 136 表示执行全块操作，或设置为 1-135 表示执行非全块操作。 注意：仅在 LOAD_TYPE 为 000 时使用此字段。
gt0_s_axi_user_k_tx_tdata[34:32]	LOAD_TYPE	000 : 块加载。DLPC964 会将用户数据加载到由 BLOCK_ADDRESS 和 ROW_LENGTH 定义的 DMD 阵列区域中。 001 : 块清除。DLPC964 会将 DMD 阵列中由 BLOCK_ADDRESS 定义的整个块清零。 010 : 块置位。DLPC964 会将 DMD 阵列中由 BLOCK_ADDRESS 定义的整个块设置为 1 其他值：保留，请勿使用。 注意：在 001 (块清除) 或 010 (块置位) 操作中，ROW_LENGTH 和 NORTH_SOUTH_FLIP 字段被忽略。块置位/清除操作不支持非全块操作。

表 6-5. 块控制字段定义 (续)

字段位置	字段类型	字段说明
gt0_s_axi_user_k_tx_tdata[36]	NORTH_SOUTH_FLIP	控制 DMD 块内的数据加载方向。 0 : DLPC964 从第 0 行开始加载数据并向上计数 1 : DLPC964 从第 135 行开始加载数据并向下计数 注意：仅在 LOAD_TYPE 为 000 时使用此字段
gt0_s_axi_user_k_tx_tdata[29:28]	DMD_SEGMENT	当 SINGLE_CHANNEL_MODE = “1” 时，选择 DLPC964 会将操作应用到的 DMD 段。 如果 SINGLE_CHANNEL_MODE = “0”，DLPC964 控制器会忽略此字段。
gt0_s_axi_user_k_tx_tdata[30]	SINGLE_CHANNEL_MODE	1 : 单通道运行。仅使用 Aurora 64B/66B 通道 0 加载 DMD 阵列。 0 : 正常运行。使用全部四个 Aurora 64B/66B 通道加载 DMD 阵列。
gt0_s_axi_user_k_tx_tdata[191:31]		保留，未使用

6.4.1.1.1 块清除和块置位

如表 6-5 所述，在 DMD 操作开始时，可以使用通过 Aurora 64B/66B 接口发送到 DLPC964 的块控制字中的 LOAD_TYPE 位来控制块清除和块置位操作。当请求块清除操作时，所需块中的 SRAM 单元会被写入逻辑 0 数据。当请求块置位操作时，所需块中的 SRAM 单元将被写入逻辑 1 数据。这两种加载类型都不需要将微镜数据输入 DLPC964，也不需要将微镜数据从 DLPC964 发送到 DMD。

6.4.1.1.2 图像方向 - 块加载递增/递减

在表 6-5 中，块控制字中的 NORTH_SOUTH_FLIP 位决定了加载 DMD 块的方向。如果该字段为“0”，则从第 0 行开始加载数据，并递增至由 ROW_LENGTH 位指示的所需行数。如果该字段为“1”，则从第 136 行开始加载数据，并递减至由 ROW_LENGTH 位指示的所需行数。请注意，仅当 LOAD_TYPE 被设置为“000”才使用该字段以执行块加载操作。块清除和块置位操作会忽略 NORTH_SOUTH_FLIP 位。

6.4.1.1.3 单通道模式

在表 6-5 中，块控制字中的 SINGLE_CHANNEL_MODE 和 DMD_SEGMENT 位用于启用和控制 DLPC964 64B/66B 输入接口的单通道模式。在单通道模式下运行时，DLPC964 控制器可以从单个 64B/66B 输入通道（通道 0）而不是全部四个 64B/66B 输入通道运行并加载输入数据。SINGLE_CHANNEL_MODE 字段中的“1”会启用单通道模式。DMD_SEGMENT 字段用于指示 DLPC964 要针对哪个 DMD 段加载输入数据。

- 如果 DMD_SEGMENT 字段为“00”，则加载 DMD 段 0，与 64B/66B 输入通道 0 相同。
- 如果 DMD_SEGMENT 字段为“01”，则加载 DMD 段 1，与 64B/66B 输入通道 1 相同。
- 如果 DMD_SEGMENT 字段为“10”，则加载 DMD 段 2，与 64B/66B 输入通道 2 相同。
- 如果 DMD_SEGMENT 字段为“11”，则加载 DMD 段 3，与 64B/66B 输入通道 3 相同。

6.4.1.2 DMD 位平面数据输入 (四路输入模式)

在正常运行模式 (四路输入模式) 下, 一旦块控制字发送完毕, 定义的 DMD 块和行的位平面数据就会通过四个 Aurora 64B/66B 通道发送到 DLPC964。每个 Aurora 64B/66B 输入通道的输入数据使用三个输入信道。每个信道提供 64 位数据, 该数据加载到每行中, 如下表所示。要填充一个包含 136 行的 DMD 块, 需要 725 个数据事务。全部四个 Aurora 64B/66B 通道同时加载数据。

图 6-4. 单块加载格式列 0 - 1023

	0																1023														
	0			1			2			3			4			5	位														
行	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0															
0	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0														
	5			6			7			8			9			10	位														
	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0	1															
1	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0														
	10			11			12			13			14			15	位														
	2	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2															
2	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0														
	720			721			722			723			724			725	位														
	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0															
135	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0														
	725																														
	1	2																													
136	不适用	不适用																													
	未使用的数据														总位数	139264															

针对其他三个 Aurora 64B/66B 输入通道重复该映射方案：

- 通道 1 - 第 1024 - 2047 列
- 通道 2 - 第 2048 - 3071 列
- 通道 3 - 第 3072 - 4095 列

6.4.1.3 DMD 位平面数据输入 (单路输入模式)

在单输入模式下，一旦块控制字发送时定义了所需的 DMD 段，定义的 DMD 块和行的位平面数据就会通过通道 0 Aurora 64B/66B 通道发送到 DLPC964。输入数据利用三个输入信道。每个信道提供 64 位数据，该数据加载到每行中，如下表所示。要填充一个包含 136 行的 DMD 块，需要 725 个数据事务。

表 6-6. 单块加载格式列 0-1023 (DMD_SEGMENT “00”)

	0														1023		
	0		1		2		3		4		5	位					
行	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0	
0	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0
	5		6		7		8		9		10		位				
1	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0
	10		11		12		13		14		15		位				
2	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0	
2	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0
	720			721			722			723			724			725	
135	0-63	64-127	128-191	192-255	256-319	320-383	384-447	448-511	512-575	576-639	640-703	704-767	768-831	832-895	896-959	960-1023	0
	725															位	
136	1	2															
	不适用	不适用															
	未使用的数据														总位数	139264	

对其他三个 DMD 段也重复该映射方案：

- DMD 段 “01” - 列 1024 - 2047
- DMD 段 “10” - 列 2048 - 3071
- DMD 段 “11” - 列 3072 - 4095

6.4.1.4 块完成 (DMDLOAD_REQ 和 BLKLOADZ)

Aurora 块数据传输完成后，必须将 DLPC964 控制器上的 DMDLOAD_REQ 信号置为有效以指示 DMD 块结束，并触发该控制器执行块控制字中编码的操作。

有关将 DMDLOAD_REQ 信号置为有效的更多详细信息和其他指南，请参阅节 7.3。

6.4.2 DMD 行操作

DLP991U DMD 的数据通过四条 HSSI 总线加载到 DMD SRAM 阵列中，每次一行。全部四条 DMD HSSI 数据总线都是正常运行所必需的。每条 HSSI 总线由一个差分时钟 (DMD_DCLK) 和八个差分信号对 (DMD_D_n[7:0]) 组成，这些信号对从 DLPC964 以 3.6Gbps 的速率输出。所有 DMD 控制数据通过单条 HSSI LS 总线加载到 DMD 中。HSSI LS 总线由一个差分时钟对 (DMD_LS_CLK)、写入数据差分对 (DMD_LS_WDATA) 和每条 HSSI 总线的一条读取数据单端线路 (DMD_LS_RDATA_[D..A]) 组成。微镜数据在 DMD_DCLK 的上升沿和下降沿输入到 DMD，而控制数据仅在 DMD_LS_CLK 的上升沿输入到 DMD。在完成 MCP 操作之前，数据加载不会引起微镜切换。

DMD 行加载必须始终从特定 DMD 块的第 0 行（如果启用了南/北翻转，则为第 135 行）开始。如果只需要更新一行中的数据，则还必须加载 DMD 块中该特定行前面的所有行。例如，如果需要更新特定 DMD 块的第 4 行，则除第 4 行的新数据之外，还必须加载第 0 - 3 行。块控制字中的 ROW_LENGTH 字段被设置为 4，然后全部 4 行的微镜数据会输入到 DLPC964 中。

6.4.3 块载入地址选择

DLP991U DMD 有 16 个 MCP 块，每个 MCP 块为 4096×136 位。加载的块可以是 DMD 上 16 个 MCP 块中的任何一个，对每个 MCP 块的访问独立于之前加载的块或接下来将加载的块。

BLKADDR_[3:0] 输入定义要更新 16 个 DMD 块中的哪一个。[表 6-7](#) 说明了如何将 BLKADDR_[3:0] 映射到 DMD 中可用的不同 MCP 模式的 MCP 块。BLKADDR_[3:0] 的影响和值将根据所选的块模式受到限制。

- x1 模式 - 使用 BA[3:0] 进行单块 MCP 更新
- x2 模式 - 使用 BA[3:1] 进行双块 MCP 更新
- x4 模式 - 使用 BA[3:2] 进行四块 MCP 更新
- 全局模式 - 无需使用 BA[3:0] - 更新整个 DMD

块选择应符合 DLP991U DMD 设计中固有的限制，即 x2 和 x4 模式指示在任何给定的时间只有某些块可以同时更新。

6.4.4 块模式选择

DLPC964 数字控制器支持利用 BLKMODE_[1:0] 输入来选择以下块更新模式之一以及更新 16 个块地址中的哪一个。

允许的块模式：

- x1 复位一次更新单个 MCP 块（可以选择块 0 至 15）
- x2 同时更新两个块（与地址 0、1、2、3、4、5、6、7 相邻）
- x4 同时更新四个块（与地址 0、1、2、3 相邻）
- x16 通过一条命令更新所有块（也称为全局模式）。

这些模式输入引脚必须在上电时进行配置。如果需要在上电后更改模式，则必须停止 MCP，将引脚配置为新值，并发送适当的 I²C 命令以重新配置 DMD。有关在每种模式下能够更新哪些块的详细信息，请参阅[表 6-7](#)。

表 6-7. 块操作

BLKMODE_1	BLKMODE_0	BLKADDR_3	BLKADDR_2	BLKADDR_1	BLKADDR_0	操作
0	0	0	0	0	0	更新块 0
0	0	0	0	0	1	更新块 1
0	0	0	0	1	0	更新块 2
0	0	0	0	1	1	更新块 3
0	0	0	1	0	0	更新块 4
0	0	0	1	0	1	更新块 5
0	0	0	1	1	0	更新块 6
0	0	0	1	1	1	更新块 7
0	0	1	0	0	0	更新块 8
0	0	1	0	0	1	更新块 9
0	0	1	0	1	0	更新块 10
0	0	1	0	1	1	更新块 11
0	0	1	1	0	0	更新块 12
0	0	1	1	0	1	更新块 13
0	0	1	1	1	0	更新块 14
0	0	1	1	1	1	更新块 15
0	1	0	0	0	x	更新块 0-1
0	1	0	0	1	x	更新块 2-3
0	1	0	1	0	x	更新块 4-5
0	1	0	1	1	x	更新块 6-7
0	1	1	0	0	x	更新块 8-9
0	1	1	0	1	x	更新块 10-11
0	1	1	1	0	x	更新块 12-13
0	1	1	1	1	x	更新块 14-15
1	0	0	0	x	x	更新块 0-3
1	0	0	1	x	x	更新块 4-7
1	0	1	0	x	x	更新块 8-11
1	0	1	1	x	x	更新块 12-15
1	1	x	x	x	x	全局模式

6.4.5 微镜时钟脉冲 (MCP)

微镜时钟脉冲 (MCP) 序列首先设置 BLKMODE_[1:0] 和 BLKADDR_[3:0] 以进行单块、双块、四块或全局块操作。被置为有效后，MCP_Start 在块上引发 MCP，然后存储在块中的数据对 DMD 的微镜生效。发出 MCP 后不久，MCPn_ACTIVE 变为高电平，指示正在进行 MCP 操作。在此期间，不能发出任何额外的 MCP，直到 MCPn_ACTIVE 返回至低电平。图 6-5 显示了典型的单块加载分阶段序列，其中加载了连续的 DMD 块。对于单块、双块、四块或全局块操作，MCP 时间是相同的。

在块上完成 MCP 所花费的时间可能比加载块所花费的时间更长。表 6-8 概述了 DLP991U DMD 的单块加载时间。

表 6-8. DMD 概述

DMD	阵列	微镜稳定时间 (μ s)	单行加载时间 (ns)	单块加载时间 (μ s)	全局复位模式全阵列 (图形/秒)	四块复位模式全阵列 (图形/秒)
DLP991U	4096 × 2176	4	37.09	5.04	11,273	12,390

有关涉及发送 MCP、块清除或块置位而不进行数据加载的任何情况的输入数据时序说明和要求，请参阅节 7.3.1.3。

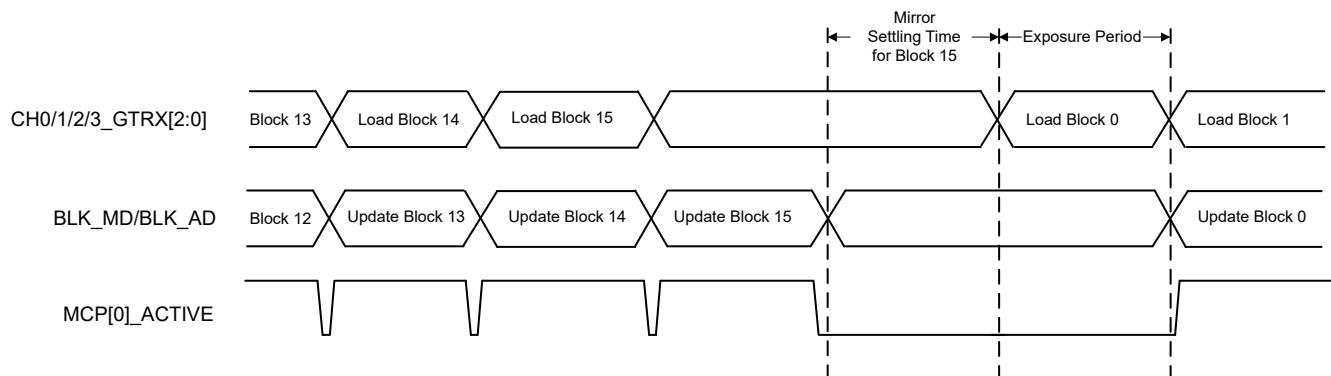


图 6-5. 单块加载分阶段序列

要充分利用 DMD 带宽，请加载四个块，然后通过将 BLKMODE_[1:0] 设置为 10 并将 BLKADDR_[3:0] 设置为要复位的四个块的正确地址来同时向四个块发出 MCP。图 6-7 说明了这一点。

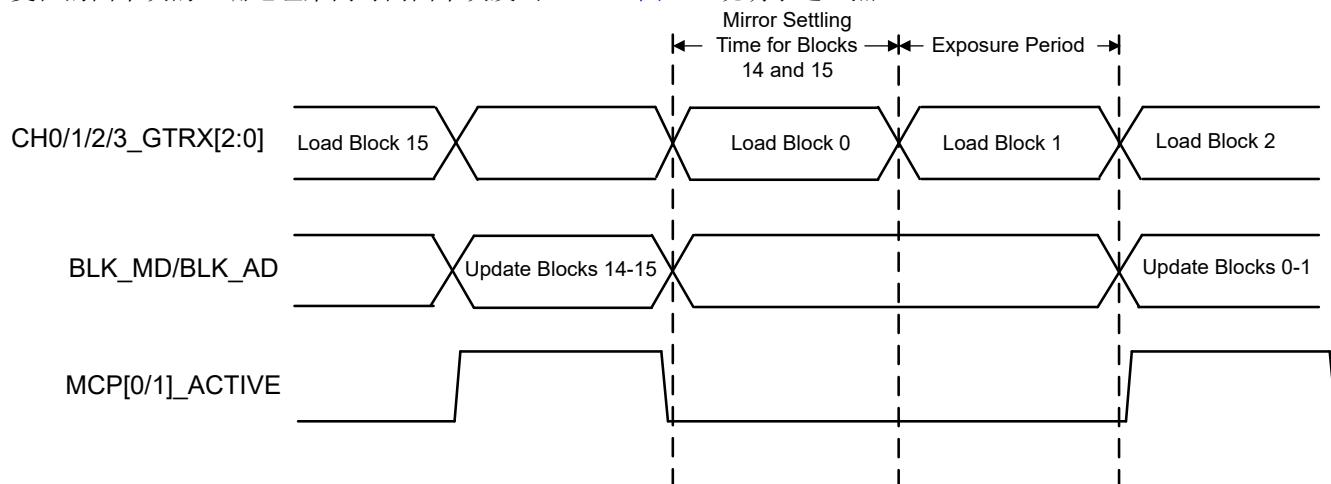


图 6-6. 双块加载分阶段序列

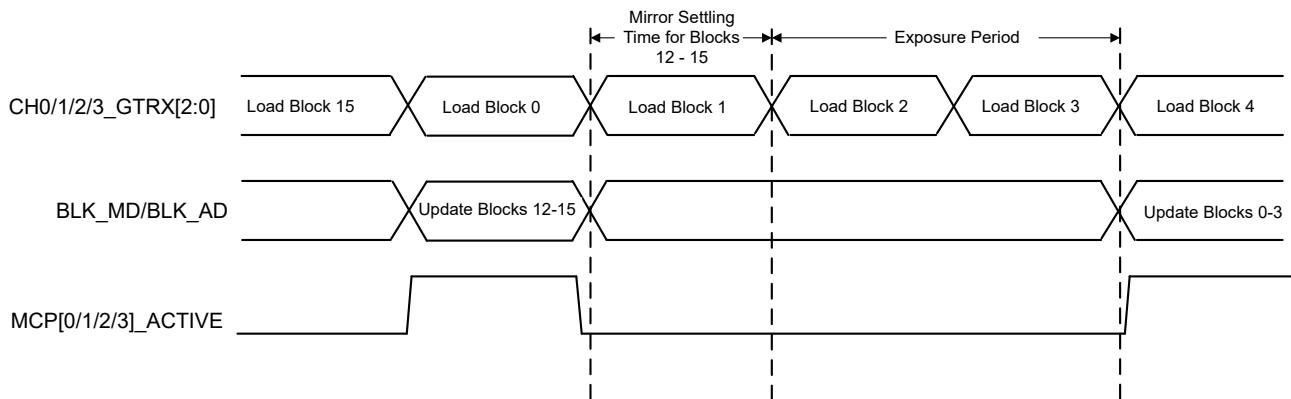


图 6-7. 四块加载分阶段序列

在块先前发出的 MCP 正在稳定时，可以加载其他块。图 6-6 和图 6-7 中展示了在微镜稳定时间内重新加载块。当之前加载的块具有未处理的 MCPn_ACTIVE 时，也可以加载其他块。图 6-7 展示了在针对块 12-15 将 MCPn_ACTIVE 置为有效期间，加载块 0。

DLPC964 控制器处理与微镜时钟脉冲相关的所有时序活动，包括每个块复位的设置和保持时序、复位波形生成时序以及有关加载、清除、快速清除或复位相邻或非相邻块的任何限制。当 MCP 在进行时，DLPC964 控制器会拒绝接受特定块的加载或清除命令。

6.5 寄存器映射

6.5.1 寄存器表概述

表 6-9 列出了 DLPC964 的 I²C 可访问存储器映射寄存器。在 INIT_DONE 变为高电平（逻辑 1）之前，对 I²C 寄存器的访问不会开始。

表 6-9. 通信寄存器

地址	寄存器名称	说明	尺寸
0x40000000	FPGA_INTERRUPT_STATUS	输入 Aurora 通道 0-3 硬错误状态。看门狗超时状态	32
0x40000008	FPGA_INTERRUPT_ENABLE_CONTROL	输入 Aurora 通道 0-3 硬错误输出启用。看门狗输出启用	32
0x4000000C	FPGA_MAIN_STATUS	PLL 锁定状态。DMD 电源正常状态、DMD 停止状态、DMD HSSI 电源状态	32
0x40000010	FPGA_VERSION	FPGA 版本信息，包括 FPGA 内部版本号和版本号	32
0x40000014	FPGA_MAIN_CTRL	看门狗装置启用	32
0x4000001C	UBLAZE_INIT_DONE	DMD 初始化序列完成	32
0x40000020	SELF_TEST_REG	HSSI 总线和 LS 接口总线的 DMD PRBS7 测试启用	32
0x40000024	DMDIF_ERROR_STATUS_CLR	DMUX 锁存器/DMDIF 错误状态清除	32
0x40000028	DMDIF_ERROR_STATUS	DMUX 锁存器/DMDIF 错误状态	32
0x4000002C	PRBS7_MACRO0_TEST_RESULT	DMD 宏 0 PRBS 测试结果	32
0x40000030	PRBS7_MACRO1_TEST_RESULT	DMD 宏 1 PRBS 测试结果	32
0x40000034	PRBS7_MACRO2_TEST_RESULT	DMD 宏 2 PRBS 测试结果	32
0x40000038	PRBS7_MACRO3_TEST_RESULT	DMD 宏 3 PRBS 测试结果	32
0x4000003C	PRBS7_TEST_CONTROL	HSSI PRBS 测试的测试控制	32
0x40000040	PRBS7_TEST_RUNSTATUS	测试状态	32
0x40000044	LS_BUS_TEST_RESULT	LS 总线测试结果	32
0x40000048	DMD_TYPE	DMD 类型状态	32
0x40000100	SSF_FPGA_RST	DLPC964 复位	32

表 6-9. 通信寄存器 (续)

地址	寄存器名称	说明	尺寸
0x40000200	HSS_RESET	Aurora 复位	32
0x40000204	HSS_CHANNEL_STATUS	Aurora 64B/66B 输入通道状态	32
0x40000208	HSS_LANE_STATUS	Aurora 64B/66B 输入信道状态	32
0x4000020C	HSS_CH0_SOFTERROR_COUNT	Aurora 64B/66B 通道 0 软错误计数	32
0x40000210	HSS_CH1_SOFTERROR_COUNT	Aurora 64B/66B 通道 1 软错误计数	32
0x40000214	HSS_CH2_SOFTERROR_COUNT	Aurora 64B/66B 通道 2 软错误计数	32
0x40000218	HSS_CH3_SOFTERROR_COUNT	Aurora 64B/66B 通道 3 软错误计数	32
0x4000021C	HSS_SOFTERROR_COUNT_RESET	复位软错误计数	32
0x40000300	BPG_FEN	位平面图形发生器启用	32
0x40000304	BPG_CFG_BLK_ACTIVE	位平面图形发生器有效块配置	32
0x40000308	BPG_CFG_CTRL	位平面图形发生器控制	32
0x40000404	HSI_CH0DMDDAT_GTCTRL	HSSI 通道 0 DMD 数据 GT 单元控制	32
0x40000408	HSI_CH0DMDCLOCK_GTCTRL	HSSI 通道 0 DMD 时钟 GT 单元控制	32
0x4000040C	HSI_CH1DMDDAT_GTCTRL	HSSI 通道 1 DMD 数据 GT 单元控制	32
0x40000410	HSI_CH1DMDCLOCK_GTCTRL	HSSI 通道 1 DMD 时钟 GT 单元控制	32
0x40000414	HSI_CH2DMDDAT_GTCTRL	HSSI 通道 2 DMD 数据 GT 单元控制	32
0x40000418	HSI_CH2DMDCLOCK_GTCTRL	HSSI 通道 2 DMD 时钟 GT 单元控制	32
0x4000041C	HSI_CH3DMDDAT_GTCTRL	HSSI 通道 3 DMD 数据 GT 单元控制	32
0x40000420	HSI_CH3DMDCLOCK_GTCTRL	HSSI 通道 3 DMD 时钟 GT 单元控制	32
0x40000424	HSI_VCM_VAL	HSSI DMD Vcm 值	32
0x4000051C	TEST_DMD_ID	DMD ID	32
0x40000520	TEST_DMD_FUSE1	DMD 保险丝组 1	32
0x40000524	TEST_DMD_FUSE2	DMD 保险丝组 2	32
0x40000528	TEST_DMD_FUSE3	DMD 保险丝组 3	32
0x4000052C	TEST_DMD_FUSE4	DMD 保险丝组 4	32

寄存器定义

本文档的这一部分通篇使用了以下标识：

- **R** - 表示只读
- **W** - 表示只写
- **R/W** - 表示读写
- **S** - 表示寄存器的状态
- **I** - 表示仅中断
- **P** - 表示仅脉冲

6.5.1.1 FPGA_INTERRUPT_STATUS 寄存器

FPGA_INTERRUPT_STATUS 寄存器包含看门狗超时的状态以及四个 Aurora 64B/66B 通道硬错误状态。可以向这些寄存器写入“1”以清除其状态。

表 6-10. FPGA_INTERRUPT_STATUS 寄存器

位	说明	复位	类型	注释
0	字段名称：保留	0x0		
1	SPARE	0x0		

表 6-10. FPGA_INTERRUPT_STATUS 寄存器 (续)

位	说明	复位	类型	注释
2	字段名称： ERROR_RSC_WATCHDOG_FLD 看门狗超时。10 秒内未发生 DMD 块复位。 写入“1”可清除该错误状态位。	0x0	I	
3	字段名称： HSS_CH0_HARD_ERROR_FLD 输入 Aurora 通道 0 硬错误 (这指示 HSS 需要复位 0x0200 才能从硬错误条件中恢复。) 写入“1”可清除该错误状态位。	0x0	I	
4	字段名称： HSS_CH1_HARD_ERROR_FLD 输入 Aurora 通道 1 硬错误 (这指示 HSS 需要复位 0x0200 才能从硬错误条件中恢复。) 写入“1”可清除该错误状态位。	0x0	I	
5	字段名称： HSS_CH2_HARD_ERROR_FLD 输入 Aurora 通道 2 硬错误 (这指示 HSS 需要复位 0x0200 才能从硬错误条件中恢复。) 写入“1”可清除该错误状态位。	0x0	I	
6	字段名称： HSS_CH3_HARD_ERROR_FLD 输入 Aurora 通道 3 硬错误 (这指示 HSS 需要复位 0x0200 才能从硬错误条件中恢复。) 写入“1”可清除该错误状态位。	0x0	I	
7	SPARE	0x0		
31:8	未使用	0x0		

6.5.1.2 FPGA_INTERRUPT_ENABLE_CONTROL 寄存器

FPGA_INTERRUPT_ENABLE_CONTROL 寄存器包含看门狗超时状态和四个 HSS 通道硬错误状态的启用。

表 6-11. FPGA_INTERRUPT_ENABLE_CONTROL 寄存器

位	说明	复位	类型	注释
0	字段名称：保留	0x0		
1	SPARE	0x0		
2	字段名称： ERROR_RSC_WATCHDOG_INT_EN_FLD “1”：允许看门狗超时将控制器中断输出置为有效。 如果设置了该位和 FPGA_INTERRUPT_STATUS 寄存器位 2，则控制器中断输出会被置为有效	0x0	W	
3	字段名称： HSS_CH0_HARD_ERROR_INT_EN_FLD “1”：允许输入 Aurora 通道 0 硬错误将控制器中断输出置为有效。 如果设置了该位和 FPGA_INTERRUPT_STATUS 寄存器位 3，则控制器中断输出会被置为有效	0x0	W	

表 6-11. FPGA_INTERRUPT_ENABLE_CONTROL 寄存器 (续)

位	说明	复位	类型	注释
4	字段名称： HSS_CH1_HARD_ERROR_INT_EN_FLD “1”：允许输入 Aurora 通道 1 硬错误将控制器中断输出置为有效。 如果设置了该位和 FPGA_INTERRUPT_STATUS 寄存器位 4，则控制器中断输出会被置为有效	0x0	W	
5	字段名称： HSS_CH2_HARD_ERROR_INT_EN_FLD “1”：允许输入 Aurora 通道 2 硬错误将控制器中断输出置为有效。 如果设置了该位和 FPGA_INTERRUPT_STATUS 寄存器位 5，则控制器中断输出会被置为有效	0x0	W	
6	字段名称： HSS_CH3_HARD_ERROR_INT_EN_FLD “1”：允许输入 Aurora 通道 3 硬错误将控制器中断输出置为有效。 如果设置了该位和 FPGA_INTERRUPT_STATUS 寄存器位 6，则控制器中断输出会被置为有效	0x0	W	
7	SPARE	0x0		
31:8	未使用	0x0		

6.5.1.3 FPGA_MAIN_STATUS 寄存器

FPGA_MAIN_STATUS 寄存器包含 DLPC964 PLL 锁定、DMD POWERGOOD、DMD 已停止和 DMD 高速接口电源的状态。该寄存器是只读寄存器，状态位只能由 DLPC964 置位/清除。

表 6-12. FPGA_MAIN_STATUS 寄存器

位	说明	复位	类型	注释
0	字段名称： MAIN_STATUS_PLL_LOCKED_FLD 只读状态 1：DLPC964 PLL 已锁定 0：未锁定	0x0	S	
1	字段名称： MAIN_STATUS_DMDPWRGOOD_FLD 只读状态 1：外部稳压器提供的 DMD 电源正常 0：外部稳压器提供的 DMD 电源不正常	0x0	S	
2	字段名称： MAIN_STATUS_RSCDRC_DMDPARKED_FLD 只读状态 1：DMD 已停止 0：DMD 未停止	0x0	S	
3	字段名称： MAIN_STATUS_HSIFPWRON_FLD 只读状态。 1：DMD 高速接口已上电 0：DMD 高速接口已断电	0x0	S	
31:4	未使用	0x0		

6.5.1.4 FPGA_VERSION 寄存器

FPGA_VERSION 寄存器包含 DLPC964 固件的内部版本号和版本信息。

表 6-13. FPGA_VERSION 寄存器

位	说明	复位	类型	注释
11:0	字段名称： FPGA_BUILD_NUMBER_FLD FPGA 位流内部版本号	0x0	R	
19:12	字段名称： FPGA_VERSION_MAJOR_FLD FPGA 位流主要版本	0x0	R	
27:20	字段名称： FPGA_VERSION_MINOR_FLD FPGA 位流次要版本	0x0	R	
31:28	字段名称： FPGA_BUILD_LEVEL_FLD FPGA 构建级别 (当前未使用)	0x0	R	

6.5.1.5 FPGA_MAIN_CTRL 寄存器

FPGA_MAIN_CTRL 寄存器包含看门狗使能位。将该位设置为逻辑“1”可启用看门狗，将该位设置为逻辑“0”可禁用看门狗。默认情况下，看门狗位设置为“1”，从而启用。

表 6-14. FPGA_MAIN_CTRL 寄存器

位	说明	复位	类型	注释
0	字段名称： MAINCTRL_WATCHDOG_EN_FLD “1”：启用看门狗 “0”：禁用看门狗	0x01	W	
31:1	未使用	0x0		

6.5.1.6 SELF_TEST_REG 寄存器

SELF_TEST_REG 寄存器包含 PRBS7 测试使能和 LS 总线测试使能位。向任一位写入“1”将启用完整性和接口连接测试，如下所述。

表 6-15. SELF_TEST_REG 寄存器

位	说明	复位	类型	注释
0	字段名称： PRBS7_TEST_EN 向该位写入“1”可以启动 DMD 接口 PRBS7 完整性测试。 写入“1”可以触发操作（位将自行清除回至“0”）。读取该位将始终返回值“0”。	0x0	W	
1	字段名称： LSBUS_TEST_EN 对该位进行写入可启动 DMD LS 总线接口连接测试 写入“1”可以触发操作（位将自行清除回至“0”）。读取该位将始终返回值“0”。	0x0	W	
31:2	未使用	0x0		

6.5.1.7 DMDIF_ERROR_STATUS_CLR 寄存器

DMDIF_ERROR_STATUS_CLR 寄存器包含 DMUX 锁存器复位位。向该位写入“1”将清除 DMD_ERROR_STATUS 寄存器。500ns 后，向该位写入“0”将禁用清除功能，并使锁存器为保存可能发生的下一个错误位做好准备。

表 6-16. DMDIF_ERROR_STATUS_CLR 寄存器

位	说明	复位	类型	注释
0	字段名称： DMUX_LATCH_RESET_FLD 要清除 DMDIF_ERROR_STATUS (0x40000028)，请将“1”写入该寄存器，等待至少 500ns，然后写入“0”以禁用清除功能。	0x0	W	
31:1	未使用	0x0		

6.5.1.8 DMDIF_ERROR_STATUS 寄存器

DMDIF_ERROR_STATUS 寄存器包含 DMD 接口测试的结果。此寄存器中将设置“1”，指示发生了 DMD 接口同步错误。对 DMDIF_ERROR_STATUS_CLR 寄存器进行写入是清除此寄存器的唯一方法。

表 6-17. DMDIF_ERROR_STATUS 寄存器

位	说明	复位	类型	注释
0	字段名称： DMUX_STATUS_FLD 1：发生了 DMD 接口同步错误。设置该位后，只能通过对寄存器 0x40000024 进行写入来清除该位。 0：未发生 DMD 接口同步错误。	0x0	r	
31:1	未使用	0x0		

6.5.1.9 PRBS7_MACRO0_TEST_RESULT 寄存器

PRBS7_MACRO0_TEST_RESULT 寄存器包含 DMD 高速接口通道 0 的测试结果。可以检查此接口的每个信道(7:0)以确定是否通过测试。

表 6-18. PRBS7_MACRO0_TEST_RESULT 寄存器

位	说明	复位	类型	注释
0	字段名称： PRBS7_M0LN0_TEST_RESULT_FLD “1” = DMD 宏 0 信道 0 测试通过 “0” = 测试失败	0x0	r	
1	字段名称： PRBS7_M0LN1_TEST_RESULT_FLD “1” = DMD 宏 0 信道 1 测试通过 “0” = 测试失败	0x0	r	
2	字段名称： PRBS7_M0LN2_TEST_RESULT_FLD “1” = DMD 宏 0 信道 2 测试通过 “0” = 测试失败	0x0	r	
3	字段名称： PRBS7_M0LN3_TEST_RESULT_FLD “1” = DMD 宏 0 信道 3 测试通过 “0” = 测试失败	0x0	r	
4	字段名称： PRBS7_M0LN4_TEST_RESULT_FLD “1” = DMD 宏 0 信道 4 测试通过 “0” = 测试失败	0x0	r	

表 6-18. PRBS7_MACRO0_TEST_RESULT 寄存器 (续)

位	说明	复位	类型	注释
5	字段名称 : PRBS7_M0LN5_TEST_RESULT_FLD “1” = DMD 宏 0 信道 5 测试通过 “0” = 测试失败	0x0	r	
6	字段名称 : PRBS7_M0LN6_TEST_RESULT_FLD “1” = DMD 宏 0 信道 6 测试通过 “0” = 测试失败	0x0	r	
7	字段名称 : PRBS7_M0LN7_TEST_RESULT_FLD “1” = DMD 宏 0 信道 7 测试通过 “0” = 测试失败	0x0	r	
31:8	未使用	0x0		

6.5.1.10 PRBS7_MACRO1_TEST_RESULT 寄存器

PRBS7_MACRO1_TEST_RESULT 寄存器包含 DMD 高速接口通道 1 的测试结果。可以检查此接口的每个信道 (7:0) 以确定是否通过测试。

表 6-19. PRBS7_MACRO1_TEST_RESULT 寄存器

位	说明	复位	类型	注释
0	字段名称 : PRBS7_M1LN0_TEST_RESULT_FLD “1” = DMD 宏 1 信道 0 测试通过 “0” = 测试失败	0x0	r	
1	字段名称 : PRBS7_M1LN1_TEST_RESULT_FLD “1” = DMD 宏 1 信道 1 测试通过 “0” = 测试失败	0x0	r	
2	字段名称 : PRBS7_M1LN2_TEST_RESULT_FLD “1” = DMD 宏 1 信道 2 测试通过 “0” = 测试失败	0x0	r	
3	字段名称 : PRBS7_M1LN3_TEST_RESULT_FLD “1” = DMD 宏 1 信道 3 测试通过 “0” = 测试失败	0x0	r	
4	字段名称 : PRBS7_M1LN4_TEST_RESULT_FLD “1” = DMD 宏 1 信道 4 测试通过 “0” = 测试失败	0x0	r	
5	字段名称 : PRBS7_M1LN5_TEST_RESULT_FLD “1” = DMD 宏 1 信道 5 测试通过 “0” = 测试失败	0x0	r	

表 6-19. PRBS7_MACRO1_TEST_RESULT 寄存器 (续)

位	说明	复位	类型	注释
6	字段名称 : PRBS7_M1LN6_TEST_RESULT_FLD “1” = DMD 宏 1 信道 6 测试通过 “0” = 测试失败	0x0	r	
7	字段名称 : PRBS7_M1LN7_TEST_RESULT_FLD “1” = DMD 宏 1 信道 7 测试通过 “0” = 测试失败	0x0	r	
31:8	未使用	0x0		

6.5.1.11 PRBS7_MACRO2_TEST_RESULT 寄存器

PRBS7_MACRO2_TEST_RESULT 寄存器包含 DMD 高速接口通道 2 的测试结果。可以检查此接口的每个信道 (7:0) 以确定是否通过测试。

表 6-20. PRBS7_MACRO2_TEST_RESULT 寄存器

位	说明	复位	类型	注释
0	字段名称 : PRBS7_M2LN0_TEST_RESULT_FLD “1” = DMD 宏 2 信道 0 测试通过 “0” = 测试失败	0x0	r	
1	字段名称 : PRBS7_M2LN1_TEST_RESULT_FLD “1” = DMD 宏 2 信道 1 测试通过 “0” = 测试失败	0x0	r	
2	字段名称 : PRBS7_M2LN2_TEST_RESULT_FLD “1” = DMD 宏 2 信道 2 测试通过 “0” = 测试失败	0x0	r	
3	字段名称 : PRBS7_M2LN3_TEST_RESULT_FLD “1” = DMD 宏 2 信道 3 测试通过 “0” = 测试失败	0x0	r	
4	字段名称 : PRBS7_M2LN4_TEST_RESULT_FLD “1” = DMD 宏 2 信道 4 测试通过 “0” = 测试失败	0x0	r	
5	字段名称 : PRBS7_M2LN5_TEST_RESULT_FLD “1” = DMD 宏 2 信道 5 测试通过 “0” = 测试失败	0x0	r	
6	字段名称 : PRBS7_M2LN6_TEST_RESULT_FLD “1” = DMD 宏 2 信道 6 测试通过 “0” = 测试失败	0x0	r	

表 6-20. PRBS7_MACRO2_TEST_RESULT 寄存器 (续)

位	说明	复位	类型	注释
7	字段名称 : PRBS7_M2LN7_TEST_RESULT_FLD “1” = DMD 宏 2 信道 7 测试通过 “0” = 测试失败	0x0	r	
31:8	未使用	0x0		

6.5.1.12 PRBS7_MACRO3_TEST_RESULT 寄存器

PRBS7_MACRO3_TEST_RESULT 寄存器包含 DMD 高速接口通道 3 的测试结果。可以检查此接口的每个信道 (7:0) 以确定是否通过测试。

表 6-21. PRBS7_MACRO3_TEST_RESULT 寄存器

位	说明	复位	类型	注释
0	字段名称 : PRBS7_M3LN0_TEST_RESULT_FLD “1” = DMD 宏 3 信道 0 测试通过 “0” = 测试失败	0x0	r	
1	字段名称 : PRBS7_M3LN1_TEST_RESULT_FLD “1” = DMD 宏 3 信道 1 测试通过 “0” = 测试失败	0x0	r	
2	字段名称 : PRBS7_M3LN2_TEST_RESULT_FLD “1” = DMD 宏 3 信道 2 测试通过 “0” = 测试失败	0x0	r	
3	字段名称 : PRBS7_M3LN3_TEST_RESULT_FLD “1” = DMD 宏 3 信道 3 测试通过 “0” = 测试失败	0x0	r	
4	字段名称 : PRBS7_M3LN4_TEST_RESULT_FLD “1” = DMD 宏 3 信道 4 测试通过 “0” = 测试失败	0x0	r	
5	字段名称 : PRBS7_M3LN5_TEST_RESULT_FLD “1” = DMD 宏 3 信道 5 测试通过 “0” = 测试失败	0x0	r	
6	字段名称 : PRBS7_M3LN6_TEST_RESULT_FLD “1” = DMD 宏 3 信道 6 测试通过 “0” = 测试失败	0x0	r	
7	字段名称 : PRBS7_M3LN7_TEST_RESULT_FLD “1” = DMD 宏 3 信道 7 测试通过 “0” = 测试失败	0x0	r	
31:8	未使用	0x0		

6.5.1.13 PRBS7_TEST_CONTROL 寄存器

PRBS7_TEST_CONTROL 寄存器控制 DMD 高速接口上可用的 PRBS7 测试。可以设置每个信道的测试持续时间、测试哪些 DMD 通道以及测试所选 DMD 通道内的哪些信道。

表 6-22. PRBS7_TEST_CONTROL 寄存器

位	说明	复位	类型	注释
15:0	字段名称： PRBS7_TESTDURATION_FLD 每个信道的 PRBS7 运行测试时间。 LSB = 1ms。 默认为零 = 10ms。	0x0	r/w	
16	字段名称： PRBS7_DMDCH0_SELECT_FLD “1” = 启用在 DMD 通道 0 上运行的 PRBS7 测试 (使用信道启用来选择特定的信道)	0x1	r/w	
17	字段名称： PRBS7_DMDCH1_SELECT_FLD “1” = 启用在 DMD 通道 1 上运行的 PRBS7 测试 (使用信道启用来选择特定的信道)	0x1	r/w	
18	字段名称： PRBS7_DMDCH2_SELECT_FLD “1” = 启用在 DMD 通道 2 上运行的 PRBS7 测试 (使用信道启用来选择特定的信道)	0x1	r/w	
19	字段名称： PRBS7_DMDCH3_SELECT_FLD “1” = 启用在 DMD 通道 3 上运行的 PRBS7 测试 (使用信道启用来选择特定的信道)	0x1	r/w	
20	字段名称： PRBS7_LANE0_TESTENABLE_FLD “1” = 启用在信道 0 上运行的 PRBS7 测试	0x1	r/w	
21	字段名称： PRBS7_LANE1_TESTENABLE_FLD “1” = 启用在信道 1 上运行的 PRBS7 测试	0x1	r/w	
22	字段名称： PRBS7_LANE2_TESTENABLE_FLD “1” = 启用在信道 2 上运行的 PRBS7 测试	0x1	r/w	
23	字段名称： PRBS7_LANE3_TESTENABLE_FLD “1” = 启用在信道 3 上运行的 PRBS7 测试	0x1	r/w	
24	字段名称： PRBS7_LANE4_TESTENABLE_FLD “1” = 启用在信道 4 上运行的 PRBS7 测试	0x1	r/w	
25	字段名称： PRBS7_LANE5_TESTENABLE_FLD “1” = 启用在信道 5 上运行的 PRBS7 测试	0x1	r/w	
26	字段名称： PRBS7_LANE6_TESTENABLE_FLD “1” = 启用在信道 6 上运行的 PRBS7 测试	0x1	r/w	
27	字段名称： PRBS7_LANE7_TESTENABLE_FLD “1” = 启用在信道 7 上运行的 PRBS7 测试	0x1	r/w	
31:28	未使用	0x0		

6.5.1.14 PRBS7_TEST_RUNSTATUS 寄存器

PRBS7_TEST_RUNSTATUS 寄存器指示 DMD 高速接口 PRBS7 测试的状态。“1”指示测试当前正在运行，“0”指示测试未在运行。

表 6-23. PRBS7_TEST_RUNSTATUS

位	说明	复位	类型	注释
0	字段名称： PRBS7_TEST_RUNSTATUS_FLD PRBS7 测试状态。 “1” = PRBS7 测试正在运行 “0” = 没有测试在运行	0x0	r	
31:1	未使用	0x0		

6.5.1.15 LS_BUS_TEST_RESULT 寄存器

LS_BUS_TEST_RESULT 寄存器包含 LS 总线接口测试的结果。它包括一些位，这些位指示故障是校验和故障、总线数据包故障还是 LS 总线奇偶校验故障。它还包含可与预期的校验和进行比较的测试校验和结果。

表 6-24. LS_BUS_TEST_RESULT 寄存器

位	说明	复位	类型	注释
0	字段名称： LS_BUS_TEST_PASSFAIL_FLD LS 总线校验和测试结果 “1” = 校验和测试通过 “0” = 校验和测试失败	0x0	r	
1	字段名称： LS_BUS_IF_PKTEROR_FLD LS 总线数据包错误 “1” = LS 总线接口数据包错误（接收到无效数据包） “0” = 无错误	0x0	r	
2	字段名称： LS_BUS_IF_PARITY_ERROR_FLD LS 总线奇偶校验错误 “1” = LS 总线接口奇偶校验错误 “0” = 无错误	0x0	r	
7:3	未使用	0x0		
31:8	字段名称： LS_BUS_TEST_CHECKSUM_FLD LS 总线 3 字节校验和 通过校验和应为 0x3C7A55	0x0	r	

6.5.1.16 DMD_TYPE 寄存器

DMD_TYPE 寄存器指示连接的 DMD 是否与 DLPC964 控制器兼容。

表 6-25. DMD_TYPE 寄存器

位	说明	复位	类型	注释
0	字段名称： DMD_TYPE_FLD 1 : DLPC964 检测到不受支持的 DMD	0x0	r	
31:1	未使用	0x0		

6.5.1.17 HSS_RESET 寄存器

HSS_RESET 寄存器包含 Aurora HSS_RESET 位。向该寄存器写入“1”将复位 DLPC964 控制器内的 Aurora 接收器接口。

表 6-26. HSS_RESET 寄存器

位	说明	复位	类型	注释
0	字段名称： HSS_AURORA_RESET_FLD 1：复位 HSS Aurora RX 接口	0x0	W	
31:1	未使用	0x0		

6.5.1.18 HSS_CHANNEL_STATUS 寄存器

HSS_CHANNEL_STATUS 寄存器指示 DLPC964 控制器的 Aurora 64B/66B 输入的状态。

表 6-27. HSS_CHANNEL_STATUS 寄存器

位	说明	复位	类型	注释
0	字段名称： HSS_CH0_STATUS_FLD	0x0	r	
	1：HSS 通道 0 向上			
	0：通道 0 向下			
1	字段名称： HSS_CH1_STATUS_FLD	0x0	r	
	1：HSS 通道 1 向上			
	0：通道 1 向下			
2	字段名称： HSS_CH2_STATUS_FLD	0x0	r	
	1：HSS 通道 2 向上			
	0：通道 2 向下			
3	字段名称： HSS_CH3_STATUS_FLD	0x0	r	
	1：HSS 通道 3 向上			
	0：通道 3 向下			
4	字段名称： HSS_USERCLK_NOTLOCK_FLD	0x0	r	
	1：用户时钟未锁定			
	0 = 锁定			
5	字段名称： HSS_GT0PLL_LOCK_FLD	0x0	r	
	1：GT0 PLL 锁定。GT0 PLL 是 MMCM 生成用户时钟的源			
31:6	字段名称：保留	0x0		

6.5.1.19 HSS_LANE_STATUS 寄存器

HSS_LANE_STATUS 寄存器指示 DLPC964 控制器的 Aurora 64B/66B 输入的每个单独信道的状态。

表 6-28.

位	说明	复位	类型	注释
0	字段名称 : HSS_CH0_LANE0_UP_FLD 1 : 通道 0 信道 0 向上 0 : 信道向下	0x0	r	
1	字段名称 : HSS_CH0_LANE1_UP_FLD 1 : 通道 0 信道 1 向上 0 : 信道向下	0x0	r	
2	字段名称 : HSS_CH0_LANE2_UP_FLD 1 : 通道 0 信道 2 向上 0 : 信道向下	0x0	r	
3	字段名称 : HSS_CH1_LANE0_UP_FLD 1 : 通道 1 信道 0 向上 0 : 信道向下	0x0	r	
4	字段名称 : HSS_CH1_LANE1_UP_FLD 1 : 通道 1 信道 1 向上 0 : 信道向下	0x0	r	
5	字段名称 : HSS_CH1_LANE2_UP_FLD 1 : 通道 1 信道 2 向上 0 : 信道向下	0x0	r	
6	字段名称 : HSS_CH2_LANE0_UP_FLD 1 : 通道 2 信道 0 向上 0 : 信道向下	0x0	r	
7	字段名称 : HSS_CH2_LANE1_UP_FLD 1 : 通道 2 信道 1 向上 0 : 信道向下	0x0	r	
8	字段名称 : HSS_CH2_LANE2_UP_FLD 1 : 通道 2 信道 2 向上 0 : 信道向下	0x0	r	
9	字段名称 : HSS_CH3_LANE0_UP_FLD 1 : 通道 3 信道 0 向上 0 : 信道向下	0x0	r	
10	字段名称 : HSS_CH3_LANE1_UP_FLD 1 : 通道 3 信道 1 向上 0 : 信道向下	0x0	r	
11	字段名称 : HSS_CH3_LANE2_UP_FLD 1 : 通道 3 信道 2 向上 0 : 信道向下	0x0	r	

表 6-28. (续)

位	说明	复位	类型	注释
31:12	未使用	0x0		

6.5.1.20 HSS_CH0_SOFTERROR_COUNT 寄存器

HSS_CH0_SOFTERROR_COUNT 寄存器包含 Aurora 64B/66B 通道 0 软错误总计数。

表 6-29. HSS_CH0_SOFTERROR_COUNT 寄存器

位	说明	复位	类型	注释
19:0	字段名称 : HSS_CH0_SOFTERROR_COUNT_FLD 通道 0 软错误计数	0x0	r	
31:20	未使用	0x0		

6.5.1.21 HSS_CH1_SOFTERROR_COUNT 寄存器

HSS_CH1_SOFTERROR_COUNT 寄存器包含 Aurora 64B/66B 通道 1 软错误总计数。

表 6-30. HSS_CH1_SOFTERROR_COUNT 寄存器

位	说明	复位	类型	注释
19:0	字段名称 : HSS_CH1_SOFTERROR_COUNT_FLD 通道 1 软错误计数	0x0	r	
31:20	未使用	0x0		

6.5.1.22 HSS_CH2_SOFTERROR_COUNT 寄存器

HSS_CH2_SOFTERROR_COUNT 寄存器包含 Aurora 64B/66B 通道 2 软错误总计数。

表 6-31. HSS_CH2_SOFTERROR_COUNT 寄存器

位	说明	复位	类型	注释
19:0	字段名称 : HSS_CH2_SOFTERROR_COUNT_FLD 通道 2 软错误计数	0x0	r	
31:20	未使用	0x0		

6.5.1.23 HSS_CH3_SOFTERROR_COUNT 寄存器

HSS_CH3_SOFTERROR_COUNT 寄存器包含 Aurora 64B/66B 通道 3 软错误总计数。

表 6-32. HSS_CH3_SOFTERROR_COUNT 寄存器

位	说明	复位	类型	注释
19:0	字段名称 : HSS_CH3_SOFTERROR_COUNT_FLD 通道 3 软错误计数	0x0	r	
31:20	未使用	0x0		

6.5.1.24 HSS_SOFTERROR_COUNT_RESET 寄存器

HSS_SOFTERROR_COUNT_RESET 寄存器控制所有 HSS_SOFTERROR_COUNT 寄存器的复位。向该寄存器写入“1”会复位所有软错误计数值。

表 6-33. HSS_SOFTERROR_COUNT_RESET 寄存器

位	说明	复位	类型	注释
0	字段名称 : HSS_SOFTERROR_COUNT_RESET_FLD 写入“1”可以复位所有软错误计数器并触发操作（该位自行清除为“0”）。读取该位始终返回“0”值。	0x0	W	
31:0	未使用	0x0		

6.5.1.25 HSSI_Channel_0_DMD_Data_GT_Cell_Control 寄存器

HSI_CH0DMDDAT_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 0 数据输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-34. HSI_CH0DMDDAT_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH0DMDDAT_GTCTRL_TXDIFFCTRL_FLD 通道 0 DMD 数据 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH0DMDDAT_GTCTRL_TXPOST_FLD 通道 0 DMD 数据 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH0DMDDAT_GTCTRL_TXPRE_FLD 通道 0 DMD 数据 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.26 HSSI_Channel_0_DMD_Clock_GT_Cell_Control 寄存器

HSI_CH0DMCLK_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 0 时钟输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-35. HSI_CH0DMCLK_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH0DMCLK_GTCTRL_TXDIFFCTRL_FLD 通道 0 DMD 时钟 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH0DMCLK_GTCTRL_TXPOST_FLD 通道 0 DMD 时钟 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH0DMCLK_GTCTRL_TXPRE_FLD 通道 0 DMD 时钟 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.27 HSSI_Channel_1_DMD_Data_GT_Cell_Control 寄存器

HSI_CH1DMDDAT_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 1 数据输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-36. HSI_CH1DMDDAT_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH1DMDDAT_GTCTRL_TXDIFFCTRL_FLD 通道 1 DMD 数据 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH1DMDDAT_GTCTRL_TXPOST_FLD 通道 1 DMD 数据 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH1DMDDAT_GTCTRL_TXPRE_FLD 通道 1 DMD 数据 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.28 HSSI_Channel_1_DMD_Clock_GT_Cell_Control 寄存器

HSI_CH1DMDCLOCK_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 1 时钟输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-37. HSI_CH1DMDCLOCK_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH1DMDCLOCK_GTCTRL_TXDIFFCTRL_FLD 通道 1 DMD 时钟 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH1DMDCLOCK_GTCTRL_TXPOST_FLD 通道 1 DMD 时钟 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH1DMDCLOCK_GTCTRL_TXPRE_FLD 通道 1 DMD 时钟 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.29 HSSI_Channel_2_DMD_Data_GT_Cell_Control 寄存器

HSI_CH2DMDDAT_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 2 数据输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-38. HSI_CH2DMDDAT_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH2DMDDAT_GTCTRL_TXDIFFCTRL_FLD 通道 2 DMD 数据 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH2DMDDAT_GTCTRL_TXPOST_FLD 通道 2 DMD 数据 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		

表 6-38. HSI_CH2DMDDAT_GTCTRL 寄存器 (续)

位	说明	复位	类型	注释
20:16	字段名称 : HSI_CH2DMDDAT_GTCTRL_TXPRE_FLD 通道 2 DMD 数据 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.30 HSSI_Channel_2_DMD_Clock_GT_Cell_Control 寄存器

HSI_CH2DMCLK_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 2 时钟输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-39. HSI_CH2DMCLK_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH2DMCLK_GTCTRL_TXDIFFCTRL_FLD 通道 2 DMD 时钟 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH2DMCLK_GTCTRL_TXPOST_FLD 通道 2 DMD 时钟 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH2DMCLK_GTCTRL_TXPRE_FLD 通道 2 DMD 时钟 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.31 HSSI_Channel_3_DMD_Data_GT_Cell_Control 寄存器

HSI_CH3DMDDAT_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 3 数据输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-40. HSI_CH3DMDDAT_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH3DMDDAT_GTCTRL_TXDIFFCTRL_FLD 通道 3 DMD 数据 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH3DMDDAT_GTCTRL_TXPOST_FLD 通道 3 DMD 数据 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH3DMDDAT_GTCTRL_TXPRE_FLD 通道 3 DMD 数据 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.32 HSSI_Channel_3_DMD_Clock_GT_Cell_Control 寄存器

HSI_CH3DMCLK_GTCTRL 寄存器包含 DLPC964 DMD HSSI 总线通道 3 时钟输出的差分输出电压 (Vod)、预加重和后加重控制设置。

表 6-41. HSI_CH3DMDCLOCK_GTCTRL 寄存器

位	说明	复位	类型	注释
3:0	字段名称 : HSI_CH3DMDCLOCK_GTCTRL_TXDIFFCTRL_FLD 通道 3 DMD 时钟 TX 驱动器摆幅控制。默认值 b1001 = 866mV	0x9	r/w	
7:4	未使用	0x0		
12:8	字段名称 : HSI_CH3DMDCLOCK_GTCTRL_TXPOST_FLD 通道 3 DMD 时钟 TX 后标控制。默认值 b0000 = 0dB	0x0	r/w	
15:13	未使用	0x0		
20:16	字段名称 : HSI_CH3DMDCLOCK_GTCTRL_TXPRE_FLD 通道 3 DMD 时钟 TX 前标控制。默认值 b0000 = 0dB	0x0	r/w	
31:21	未使用	0x0		

6.5.1.33 HSSI_DMD_Vcm_Value 寄存器

HSI_VCM_VAL 寄存器包含 DLP991U DMD 中 DMD HSSI 接收器的共模电压 (Vcm) 设置。

表 6-42. HSI_VCM_VAL 寄存器

位	说明	复位	类型	注释
2:0	字段名称 : HSI_VCM_VALUE_FLD 对 DLP991U DMD 中的 DMD HSSI 接收器进行编程的共模电压值。默认值 b001 = 0.673V - 0.758V	0x1	r/w	
31:3	未使用	0x0		

6.5.1.34 TEST_DMD_ID 寄存器

TEST_DMD_ID 寄存器包含连接到 DLPC964 控制器的 DMD 的 ID。

表 6-43. TEST_DMD_ID 寄存器

位	说明	复位	类型	注释
31:0	字段名称 : TEST_DMD_ID_FLD DMD ID	0x0	r	

6.5.1.35 TEST_DMD_FUSE1 寄存器

TEST_DMD_FUSE1 寄存器包含 DMD 保险丝组 1 的保险丝设置。

表 6-44. TEST_DMD_FUSE1 寄存器

位	说明	复位	类型	注释
31:0	字段名称 : TEST_DMD_FUSE1_FLD DMD 保险丝组 1	0x0	r	

6.5.1.36 TEST_DMD_FUSE2 寄存器

TEST_DMD_FUSE2 寄存器包含 DMD 保险丝组 2 的保险丝设置。

表 6-45. TEST_DMD_FUSE2 寄存器

位	说明	复位	类型	注释
31:0	字段名称 : TEST_DMD_FUSE2_FLD DMD 保险丝组 2	0x0	r	

6.5.1.37 TEST_DMD_FUSE3 寄存器

TEST_DMD_FUSE3 寄存器包含 DMD 保险丝组 3 的保险丝设置。

表 6-46. TEST_DMD_FUSE3 寄存器

位	说明	复位	类型	注释
31:0	字段名称 : TEST_DMD_FUSE3_FLD DMD 保险丝组 3	0x0	r	

6.5.1.38 TEST_DMD_FUSE4 寄存器

TEST_DMD_FUSE4 寄存器包含 DMD 保险丝组 4 的保险丝设置。

表 6-47. TEST_DMD_FUSE4 寄存器

位	说明	复位	类型	注释
31:0	字段名称 : TEST_DMD_FUSE4_FLD DMD 保险丝组 4	0x0	r	

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DLPC964 控制器验证 DMD 是否已在应用系统中连接，使用该信息为 DMD 选择适当的配置数据，然后初始化 DMD 以使其为运行做好准备。

DLPC964 控制器从外部应用处理器接收流式输入数据，并使用适当的 DMD 时序和控制信息将数据传递到 DMD。它还接收来自应用处理器的嵌入式指令，以帮助确定要加载的 DMD 行以及在任何给定时刻激活的 DMD 微镜块。

7.2 典型应用

直接写入数字成像通常用于 PCB 制造。该无掩模技术能够在不停止成像头的情况下更改以数字方式创建的图案，从而提供连续的打印。DLPC964 可与 DLP991U DMD 配合，实现可靠运行。这些芯片组组合提供了一个理想的后端成像仪，该成像仪以 [4096 × 2176] 的分辨率接收数字图像，实现高于 110 千兆位/秒 (Gbps) 的速度。

7.2.1 高速直接成像应用

随着高端直接成像技术推动高速打印的发展，提供分辨率更高的成像仪对于满足预设和未来打印技术的苛刻吞吐量要求而言是必不可少的。图 7-1 显示了一个同时提供速度提升和 890 万像素 DMD 的系统。该系统中包含的主要芯片组元件是 DLPC964 控制器和 DLP991U DMD。通过使用一些额外的分立式元件实现功率调节和时钟电路，可以实现紧凑的高性能设计。

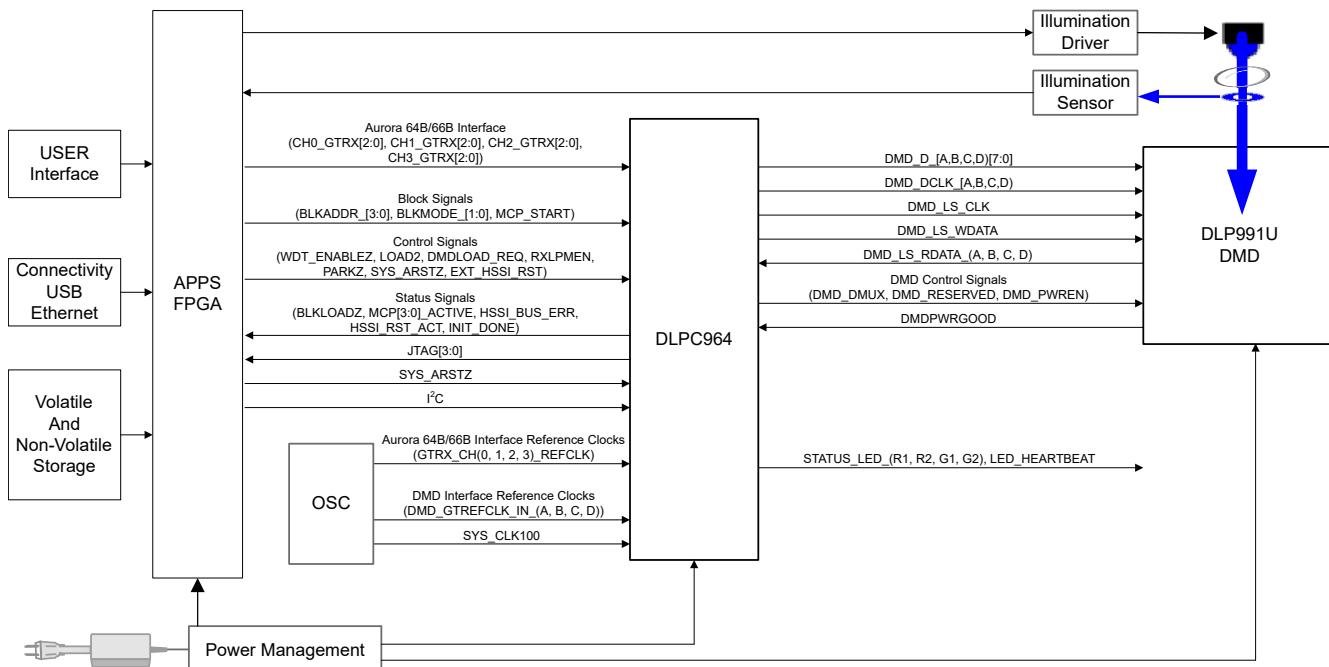


图 7-1. 典型的 DLP991U 高速应用

7.2.2 设计要求

DLPC964 接口由多条总线和多个控制信号组成，如以下列表所示。Aurora 64B/66B 高速串行 (HSS) 输入总线提供了将数据加载到 DLPC964 的方法。高速串行接口 (HSSI) 输出总线将数据提供给 DMD。每个输入和输出总线都有一个关联的时钟，该时钟会将数据在时钟的控制下输入 DLPC964 或 DMD。块控制信号定义了在将所有数据加载到 DMD 后要使用的微镜时钟脉冲类型。

- 高速串行 (HSS) 差分输入
 - GTRX_CHn_REFCLK - 4 条总线
 - CHn_GTRX - 12 条总线
- 高速串行接口 (HSSI) 差分输出
 - DMD_DCLK_n - 4 条总线
 - DMD_D_n - 4 条总线
 - DMD_LS_CLK - 1 条总线
 - DMD_WDATA - 1 条总线
 - DMD_RDATA_n - 4 条总线
- 控制输出信号
 - DMD_DMUX
 - DMD_RESERVED
 - DMD_PWREN
 - HSSI_ERR_LATCH_RST
- 块控制输入信号
 - BLKADDR[3:0]
 - BLKMODE[1:0]
 - DMDLOAD_REQ
 - MCP_START
- 控制输入信号
 - LOAD2
 - WDT_ENABLEZ
 - PARKZ
 - RXLPMEN
 - EXT_HSSI_RST
- 状态输出信号
 - HSSI_BUS_ERR
 - HSSI_RST_ACT
 - IRQZ
 - INIT_DONE
 - LED_HEARTBEAT
 - STATUS_LED
- 控制器复位
 - SYS_ARSTZ
- 配置闪存接口
 - PGM[4:0]
 - JTAG[3:0]

7.2.3 详细设计过程

为 DLPC964 通电后，APPS FPGA 会监测 DONE_0 信号以确定 DLPC964 何时完成配置。APPS FPGA 接下来会监测 INIT_DONE 信号，以确定 DLPC964 何时完成其内部初始化例程并将 DMD 配置为正常运行。另一种方法是使用 I²C 接口请求初始化状态。可通过该接口请求有关初始化、版本和 ID 的信息。

要定义 DMD 块的开始，APPS FPGA 必须通过 HSS 通道 0 输入将块控制字数据包发送到 DLPC964。DLPC964 控制器不会使用通过 Aurora 64B/66B 通道 1、2 和 3 发送的控制字数据包，而是将这些数据包忽略。块控制字发送到 DLPC964 控制器后，APPS FPGA 可以开始通过全部四个 Aurora 64B/66B 通道将数据加载到 DLPC964 控制器。全部四个 Aurora 64B/66B 通道上的数据传输完成后，APPS FPGA 必须将 DMDLOAD_REQ 置为有效以向 DLPC964 控制器指示 DMD 块结束，并触发该控制器执行块控制字中编码的操作。当 DLPC964 控制器执行块控制字中编码的操作时，该控制器会将 BLKLOADZ 信号置为有效。BLKLOADZ 信号被置为无效后，APPS FPGA 就可以自由地向 DLPC964 控制器发送下一个块控制字数据包。

在全部四个 Aurora 64B/66B 通道上进行块控制字数据包及后续数据加载期间，APPS FPGA 应设置 BLKADDR 和 BLKMODE 信号以实现所需的 MCP 操作。当 DLPC964 将 BLKLOADZ 信号置为无效，并且所需 DMD 块的数据加载操作完成后，可以将 MCP_START 置为有效，以开始所需的 MCP 操作并在 DMD 微镜上显示加载的数据。在 MCP_START 操作过程中，DLPC964 将 MCP_ACTIVE 置为有效，以向 APPS FPGA 发送信号，指明当前正在进行 MCP 微镜操作。

7.2.4 DMD 微镜切换性能图

在这些特定的应用中，图 7-2 中所示的性能图显示了在有效数据图形时间为最大时间的情况下，对于不同的 MCP 模式，仍以每个 MCP 模式的最快图形速率运行时，每秒加载和显示的最大像素数。曝光周期增加时，每秒的像素数会减少。

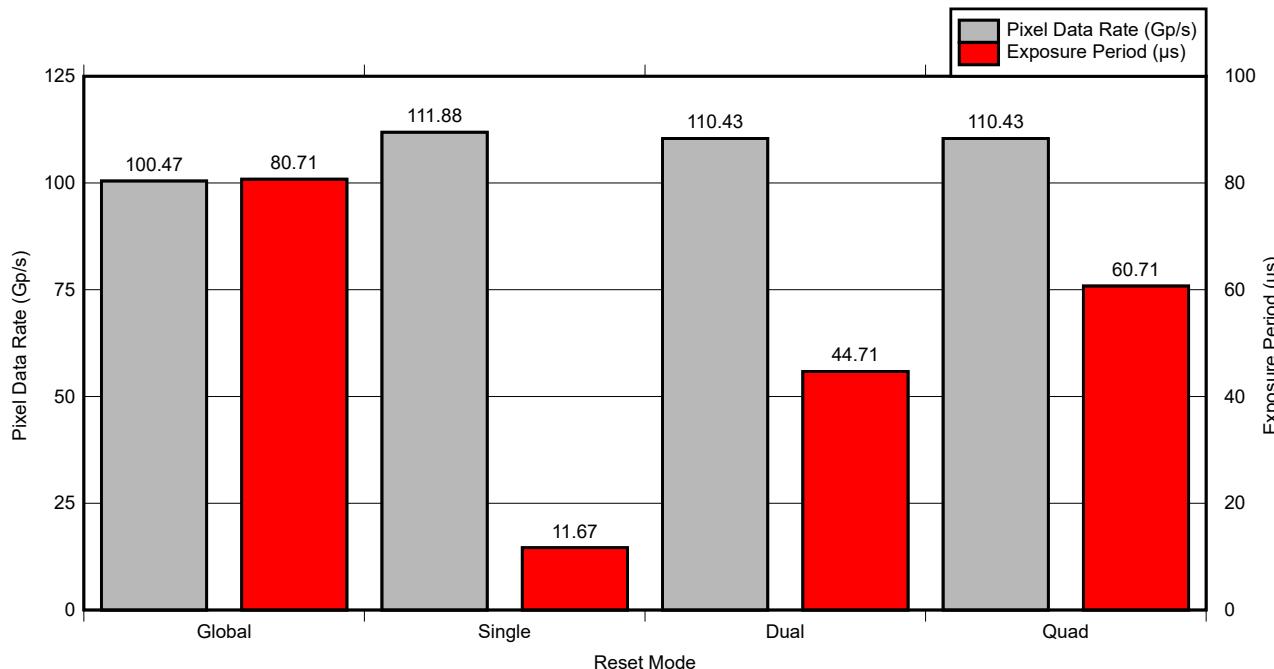


图 7-2. 3.6Gbps 数据速率下的 DLP991U DMD 性能图

以下公式说明了在不同复位模式下，当曝光周期设置为最小值时如何计算每秒加载和显示的最大像素数：

$$\text{Global Block Exposure Period} = \text{Number of DMD Blocks Loaded} \times \text{DMD Block Load Time}$$

$$\text{Cycle Period} = \text{Exposure Period} + ((16 \div \# \text{Blocks Reset}) \times \text{MCP Active Period}) + \text{Mirror Settling Time}$$

Pattern Rate = $1 \div \text{Cycle Period}$

Pixel Data Rate = Pattern Rate \times 4096 \times 2176

对于全局复位模式，计算如下：

Global Block Exposure Period = $16 \times 5.04444 \mu\text{s} = 80.711 \mu\text{s}$

Cycle Period = $80.711 \mu\text{s} + 4 \mu\text{s} + 4 \mu\text{s} = 88.711 \mu\text{s}$

Pattern Rate = $1 \div 88.711 \mu\text{s} = 11.272\text{kHz}$

Pixel Data Rate = $11.272\text{kHz} \times 4096 \times 2176 = 100.47\text{Gbps}$

对于单块复位模式，计算如下：

Single Block Exposure Period = $11.67 \mu\text{s}$

Cycle Period = $11.67 \mu\text{s} + 64 \mu\text{s} + 4 \mu\text{s} = 79.67 \mu\text{s}$

Pattern Rate = $1 \div 79.67 \mu\text{s} = 12.551\text{kHz}$

Pixel Data Rate = $12.551\text{kHz} \times 4096 \times 2176 = 111.88\text{Gbps}$

对于双块复位模式，计算如下：

Dual Block Exposure Period = $44.71 \mu\text{s}$

Cycle Period = $44.71 \mu\text{s} + 32 \mu\text{s} + 4 \mu\text{s} = 80.71 \mu\text{s}$

Pattern Rate = $1 \div 80.71 \mu\text{s} = 12.390\text{kHz}$

Pixel Data Rate = $12.390\text{kHz} \times 4096 \times 2176 = 110.43\text{Gbps}$

对于加载单个 DMD 行并复位，公式和计算如下：

DMD Row Load Time = [DMD Block Load Time](#) \div Number of Rows in a DMD Block

DMD Row Load Time = $5.04444 \mu\text{s} \div 136 = 0.03709 \mu\text{s}$

Exposure Period = $0.03709 \mu\text{s}$

Cycle Period = $0.03709 \mu\text{s} + 4 \mu\text{s} + 4 \mu\text{s} = 8.03709 \mu\text{s}$

Pattern Rate = $1 \div 8.03709 \mu\text{s} = 124.423\text{kHz}$

Pixel Data Rate = $124.423\text{kHz} \times 4096 = 509.64\text{Mbps}$

7.3 连接到 DLPC964 控制器高速串行 (HSS) Aurora 64B/66B 输入

APPS FPGA 和 DLPC964 控制器之间的数据传输通过十二条高速串行 (HSS) Aurora 64B/66B 数据链路执行，每条链路的运行速率为 10Gbps。用于这十二条 HSS 链路的链路层协议是 AMD 的 Aurora 64B/66B LogiCORE IP。

图 7-3 展示了通过十二条 HSS Aurora 64B/66B 数据链路从 APPS FPGA 到 DLPC964 控制器，再从 DLPC964 控制器到 DLP991U DMD 相应阵列段的整体数据流。

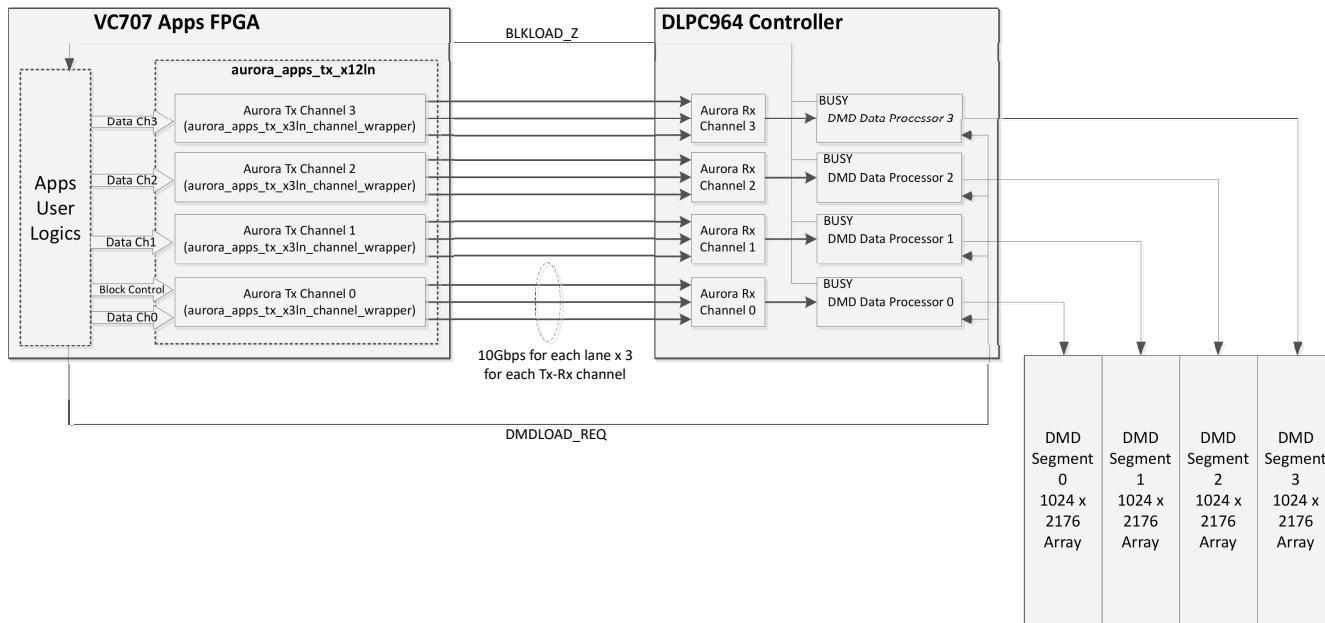


图 7-3. DLPC964 系统方框图

7.3.1 工作原理

如图 7-3 所示，通过 AMD Aurora 64B/66B 高速串行 (HSS) 接口输入到 DLPC964 控制器的数据是根据 DMD 阵列块排列的。DLP991U DMD 总共有十六个 DMD 块，每个 DMD 块由 4096 列和 136 行的阵列组成。然后一个包含 4096 个 DMD 列的单行进一步分为四个包含 1024 列的段，并独立映射到 DLPC964 上的四个 HSS 串行数据输入通道。四个独立 HSS Aurora 64B/66B 输入通道内核（通道 0、通道 1、通道 2 和通道 3）中的每个内核都可控制 1024 列和 136 行的加载，从而并行加载包含 4096 列和 136 行的完整 DMD 块阵列。

7.3.1.1 块以块控制字开始

AMD Aurora 64B/66B 高速串行 (HSS) 接口是一种通用数据传输链路，没有任何关于如何排列 DMD 块数据结构的概念。要定义 DMD 块的开始，APPS FPGA 逻辑必须先通过 Aurora 64B/66B User-K 数据端口的通道 0 发送块控制字数据包，然后才能开始 DMD 数据传输。

下面的表 7-1 包含有关 Aurora User-K 接口端口的详细信息。User-K 接口端口用于实现应用特定控制功能，独立于数据接口，且优先级高于数据接口。

表 7-1. User-K 接口端口

名称	方向	时钟域	说明
USER_S_S_AXIS_TX			
s_axi_user_k_tx_tdata[0:(64n-1)] 或 s_axi_user_k_tx_tdata[(64n-1):0] (1)	输入	user_clk	USER-K 块数据为 64 位对齐。每个信道的信号映射： 默认值： $s_axi_user_k_tx_tdata=\{4'h0, user_k_blk_no[0:3], user_k_data[55:0]\}^n}$ 小端字节序格式： $s_axi_user_k_tx_tdata=\{user_k_data[55:0], 4'h0, user_k_blk_no[3:0]\}^n}$
s_axi_user_k_tx_tvalid	输入	user_clk	指示 s_axi_user_k_tx_tdata 端口上的有效 User-K 数据。
s_axi_user_k_tx_tready	输出	user_clk	指示 Aurora 64B/66B 内核已为接受 s_axi_user_k_tx_tdata 接口上的数据做好准备。
USER_K_M_AXIS_RX			
m_axi_rx_user_k_tvalid	输出	user_clk	指示 m_axi_rx_user_k_tvalid 端口上的有效 User-K 数据。
m_axi_rx_user_k_tdata 或 m_axi_rx_user_k_tdata[(64n-1):0] (1)	输出	user_clk	从 Aurora 64B/66B 信道接收到的 USER-K 块为 64 位对齐。 每个信道的信号映射： 默认值： $m_axi_rx_user_k_tdata=\{4'h0, user_k_blk_no[0:3], user_k_data[55:0]\}^n}$ 小端字节序格式： $m_axi_rx_user_k_tdata=\{user_k_data[55:0], 4'h0, user_k_blk_no[3:0]\}^n}$

(1) n 是信道数。

如下面的表 7-2 所示，DLPC964 的 HSS 接口有四个 User-K 端口接口通道向 APPS FPGA 用户逻辑公开。只有通道 0 用于发送块控制字。DLPC964 控制器不会使用通过通道 1、2 和 3 的 User-K 端口发送的任何控制字数据包，而是将这些数据包忽略。

表 7-2. Aurora 64B/66B 高速串行 User-K 端口使用情况

信号名称	信号方向	DLPC964 应用使用情况
gt0_s_axi_user_k_tx_tdata[191:0]	Aurora 通道 0 的输入	要发送的 192 位块控制字数据包
gt0_s_axi_user_k_tx_tvalid	Aurora 通道 0 的输入	用户逻辑将此信号置为高电平有效以向 Aurora 内核指示块控制字有效，因此可进行发送。Aurora 内核在 TVALID 未置为有效时会忽略字。
gt0_s_axi_user_k_tx_tready	Aurora 通道 0 接收的输出	当接受块控制字时，Aurora 内核将此信号置为高电平有效。当忽略字时（例如内核未准备好接受输入字），该信号被置为无效。
gt1_s_axi_user_k_tx_tdata[191:0]	Aurora 通道 1 的输入	未使用
gt1_s_axi_user_k_tx_tvalid	Aurora 通道 1 的输入	未使用
gt1_s_axi_user_k_tx_tready	Aurora 通道 1 接收的输出	未使用
gt2_s_axi_user_k_tx_tdata[191:0]	Aurora 通道 2 的输入	未使用
gt2_s_axi_user_k_tx_tvalid	Aurora 通道 2 的输入	未使用
gt2_s_axi_user_k_tx_tready	Aurora 通道 2 接收的输出	未使用
gt3_s_axi_user_k_tx_tdata[191:0]	Aurora 通道 3 的输入	未使用
gt3_s_axi_user_k_tx_tvalid	Aurora 通道 3 的输入	未使用
gt3_s_axi_user_k_tx_tready	Aurora 通道 3 接收的输出	未使用

表 7-3 介绍了 192 位块控制字中的各种字段。块控制字不仅定义了 DMD 块的开始，还包含指导 DLPC964 控制器处理从 APPS FPGA 接收的 DMD 块数据的指令和信息。

表 7-3. 块控制字段定义

字段位置	字段类型	字段说明
gt0_s_axi_user_k_tx_tdata[7:0]	USER_K_BLOCK_NUMBER	必须设置为零 (0x00)。非 0x00 的值均无效。如果该字段未设置为 0x00，则 DLPC964 控制器会忽略整个 192 位控制字。
gt0_s_axi_user_k_tx_tdata[11:8]	BLOCK_ADDRESS	指示 DLPC964 将操作应用到的 DMD 块地址：0000 : DMD 块 0 , 0001 : DMD 块 1 , 0010 : DMD 块 2 , … 1110 : DMD 块 14 , 1111 : DMD 块 15
gt0_s_axi_user_k_tx_tdata[15:7]		保留，未使用
gt0_s_axi_user_k_tx_tdata[24:16]	ROW_LENGTH	DLPC964 要加载的 DMD 行数。DLP991U DMD 在每个块中有 136 行，因此有效范围为 1-136。包括 0 在内的所有其他值均无效。设置为 136 表示执行全块操作。设置为 1-135 表示执行非全块操作。 注意：仅在 LOAD_TYPE = 000 时使用此字段。

表 7-3. 块控制字段定义 (续)

字段位置	字段类型	字段说明
gt0_s_axi_user_k_tx_tdata[34:32]	LOAD_TYPE	<p>000 : 块加载。DLPC964 将用户数据加载到由 BLOCK_ADDRESS 和 ROW_LENGTH 定义的 DMD 阵列中。</p> <p>001 : 块清除。DLPC964 将 DMD 阵列中由 BLOCK_ADDRESS 定义的整个块清零。</p> <p>010 : 块置位。DLPC964 将 DMD 阵列中由 BLOCK_ADDRESS 定义的整个块设置为 1。</p> <p>其他值 : 保留, 请勿使用。</p> <p>注意 : 在 001 (块清除) 或 010 (块置位) 操作中, ROW_LENGTH 和 NORTH_SOUTH_FLIP 字段被忽略。清除和置位操作会影响整个 DMD 块阵列。不支持对非全块执行清除和置位操作。</p>
gt0_s_axi_user_k_tx_tdata[36]	NORTH_SOUTH_FLIP	<p>控制 DMD 块内的数据加载方向。</p> <p>0 : DLPC964 从第 1 行开始加载数据并向上计数。</p> <p>1 : DLPC964 从第 136 行开始加载数据并向下计数。</p> <p>注意 : 仅在 LOAD_TYPE 为 000 时使用此字段。</p>
gt0_s_axi_user_k_tx_tdata[29:28]	DMD_SEGMENT	<p>当 SINGLE_CHANNEL_MODE = “1” 时, DMD_SEGMENT 用于选择要为操作选择的 DMD 段。</p> <p>00 : 分段 0</p> <p>01 : 分段 1</p> <p>10 : 分段 2</p> <p>11 : 分段 3</p> <p>注意 : 如果 SINGLE_CHANNEL_MODE = “0”, 则此字段被忽略。</p>
gt0_s_axi_user_k_tx_tdata[30]	SINGLE_CHANNEL_MODE	<p>1 : 单通道运行。仅在 Aurora 通道 0 上接收 DMD 的 DLPC964 输入数据。</p> <p>0 : 正常运行。在全部四个 Aurora 通道上接收 DMD 的 DLPC964 输入数据。</p>
gt0_s_axi_user_k_tx_tdata[191:31]		保留, 未使用

图 7-4 显示了 Aurora 64B/66B 数据块传输开始时通过通道 0 User-K 端口进行的 192 位块控制字传输。在该示例中，正在加载 DMD 块 1 的 136 行。

1. 通过在 `gt0_s_axi_user_k_tx_tdata[191:0]` 总线上使用正确的块控制字，APPS FPGA 用户逻辑将 TVALID 标志 `gt0_s_axi_user_k_tx_tvalid` 置为有效，并等待 Aurora 内核的响应。
2. Aurora 内核将 TREADY 标志 `gt0_s_axi_user_k_tx_tready` 置为有效，指示内核已接受 192 位 User-K 数据。
3. 发送块控制字后，APPS FPGA 用户逻辑开始在全部四个 HSS 数据接口上进行 Aurora 数据块传输。

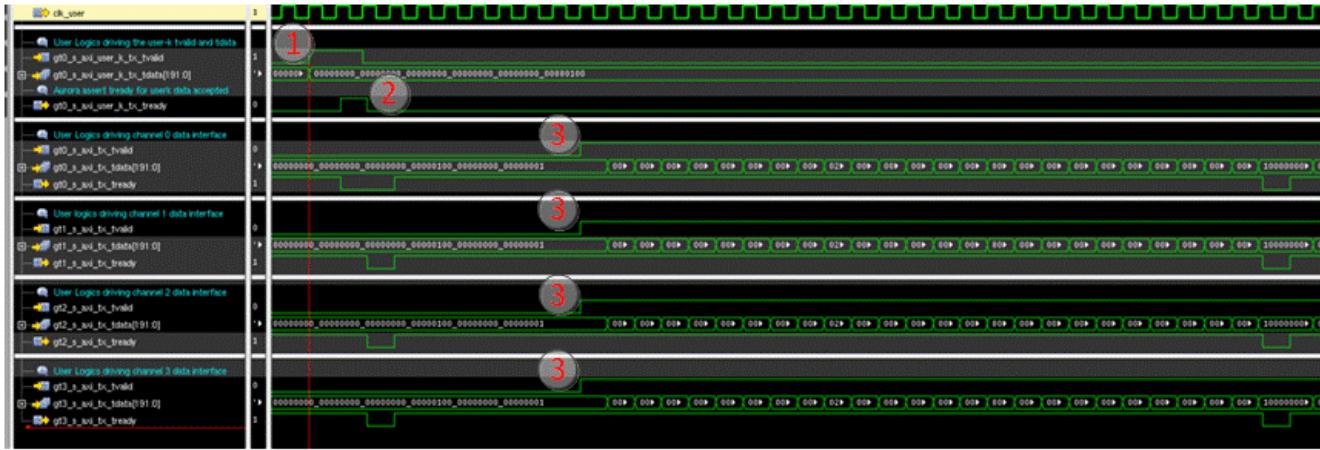


图 7-4. 块以块控制字开始的波形

7.3.1.2 块以 DMDLOAD_REQ 完成

请参阅图 7-3，DMDLOAD_REQ 是从 APPS FPGA 发送到 DLPC964 控制器的信号。

Aurora 块数据传输完成后，APPS FPGA 用户逻辑必须将 DMDLOAD_REQ 置为有效，以便向 DLPC964 控制器指示 DMD 块结束，并触发 DLPC964 控制器执行块控制字中编码的操作。

将 DMDLOAD_REQ 信号置为有效和发送块控制字的指南：

- APPS FPGA 用户逻辑必须等待块数据传输在全部四个 Aurora 数据通道上完成，然后再将 DMDLOAD_REQ 置为有效。在 Aurora 块数据传输完成前将 DMDLOAD_REQ 置为有效可能导致数据不能正确加载到 DMD。APPS FPGA 必须考虑到四个 Aurora 数据通道接口可能彼此不完全同步，因此可能不会在完全相同的时钟周期完成数据传输。因此，APPS FPGA 必须监控并确保 Aurora 块数据传输在全部四个通道上均已完成，然后再将 DMDLOAD_REQ 置为有效。
- 在完成一个 Aurora 块传输后，只要满足 300ns 的 DMDLOAD_REQ 建立时间，即可将 DMDLOAD_REQ 立即置为有效（更多详细信息，请参阅节 7.3.1.3）。
- APPS FPGA 用户逻辑必须在启动下一个新 DMD 块数据的发送之前将当前块的 DMDLOAD_REQ 置为有效。换句话说，每个块必须以一个块控制字数据包开头并以 DMDLOAD_REQ 置位结束。
- 对于不涉及块数据传输的操作（例如块清除或块置位操作），仍然需要 DMDLOAD_REQ，并且仍然必须满足所需的 300ns 的建立时间（更多详细信息，请参阅节 7.3.1.3）。
- 请参阅图 7-5。在大多数情况下，当 APPS FPGA 用户逻辑完成当前数据块的传输后，该用户逻辑可能会发现 DLPC964 控制器仍在将前一个块加载到 DMD 中（即 BLKLOADZ 为低电平）。如果发生这种情况，APPS FPGA 仍可以在 BLKLOADZ 为低电平时将 DMDLOAD_REQ 置为有效。DLPC964 控制器将检测和存储 DMDLOAD_REQ 请求，并在前一个数据块的传输完成后立即执行数据加载。
- DLPC964 控制器具有两个数据块缓冲器 - 一个用于从 APPS FPGA 接收传入的 Aurora 数据块，另一个用于保存前一个数据块以将数据流式输出到 DMD。APPS FPGA 必须小心谨慎，以避免使这两个缓冲器溢出。请参阅图 7-5。在完成块数据的 Aurora 数据传输并将 DMDLOAD_REQ 信号置为有效后，APPS FPGA 必须等待 DLPC964 控制器将 BLKLOADZ 置为无效（即 BLKLOADZ 从低电平转换为高电平），然后再启动下一个块数据传输。BLKLOADZ 置为无效表明 DLPC964 控制器已完成了前一个块的 DMD 数据加载操作，并且释放了数

据缓冲器以便从 Aurora 接口接受新的数据块。如果 APPS FPGA 没有将 Aurora 块数据传输与 BLKLOADZ 信号置为无效同步，则缓冲器可能会溢出，数据也无法正确加载到 DMD 中。

- 发送 DMD 数据块后，APPS FPGA 没有必要立即将 DMDLOAD_REQ 置为有效。APPS FPGA 可能会向 DLPC964 控制器发送一个 DMD 数据块，然后延迟将 DMDLOAD_REQ 置为有效，直到系统为加载 DMD 做好准备。图 7-6 说明了该操作。

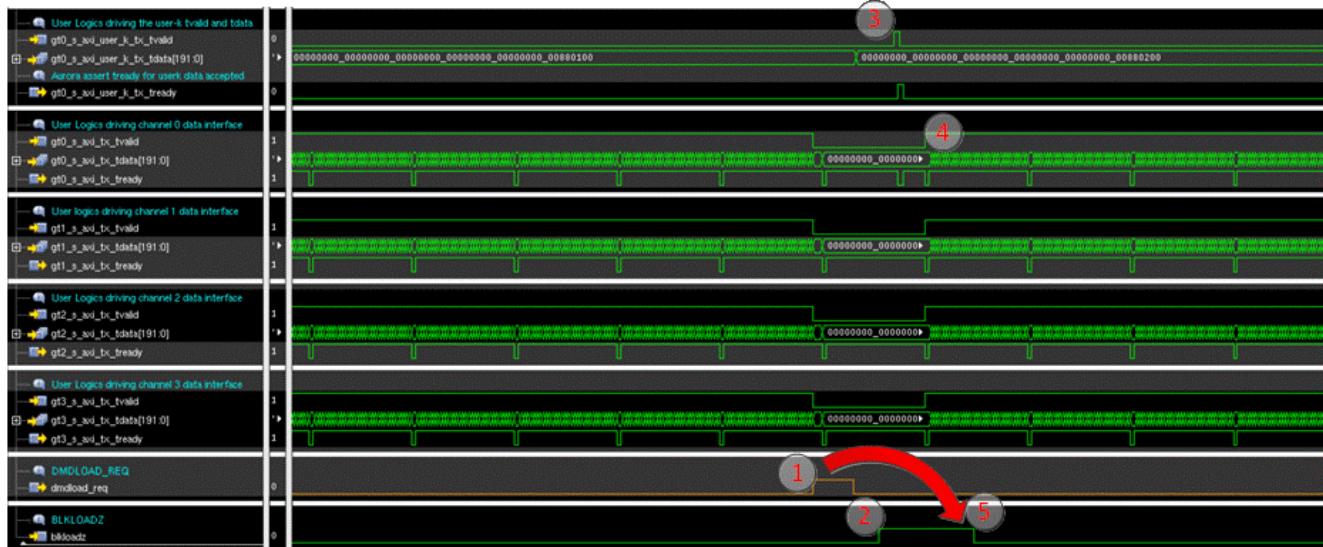


图 7-5. 块 DMDLOAD_REQ 置为有效结束后跟新块控制字的波形

1. 在全部四个 Aurora 数据接口上的当前块数据传输完成后，APPS FPGA 用户逻辑立即将 DMDLOAD_REQ 置为有效。
2. DLPC964 控制器将 BLKLOADZ 置为无效以指示前一个 DMD 块的数据加载操作完成。
3. APPS FPGA 用户逻辑会检测 BLKLOADZ 置为无效的情况，并在 Aurora 通道 0 User-K 端口上为下一个块数据发送新的块控制字。
4. APPS FPGA 用户逻辑发送下一个块的数据。
5. DLPC964 控制器将 BLKLOADZ 置为低电平，指示由 DMDLOAD_REQ 触发的当前块的数据加载操作在 1 上发生。

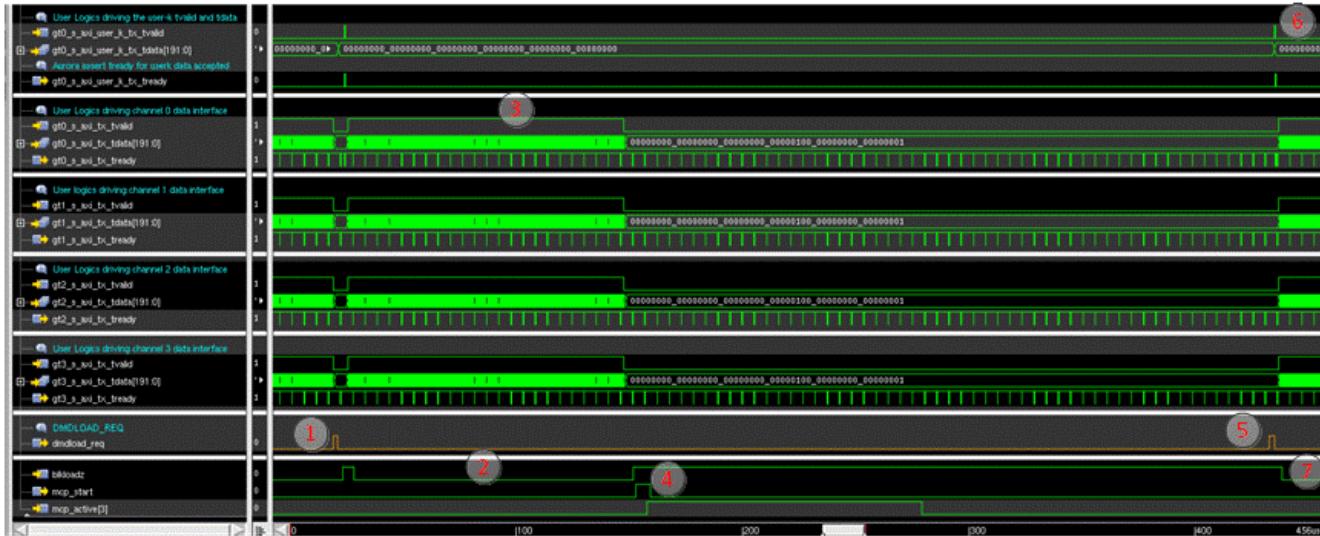


图 7-6. DMDLOAD_REQ 延迟置为有效波形

1. APPS FPGA 完成当前图形的最后一个块数据（块 15）发送，并将 DMDLOAD_REQ 置为有效以指示 DLPC964 控制器执行数据加载操作。
2. 从块 1 到块 15，DLPC964 控制器均由 DMDLOAD_REQ 触发加载数据。
3. 当 DLPC964 控制器加载当前图形的块 15 时，APPS FPGA 通过 Aurora 数据接口发送下一个图形第一个块（块 0）的数据。
4. 在完成当前图形的块 15 的数据加载后，DLPC964 会将 BLKLOADZ 置为无效。APPS FPGA 检测到 BLKLOADZ 置为无效（因为当前图形的最后一个块数据已加载到 DMD 上）并发出 MCP_START 信号以进行全局块 MCP 操作。请注意，DLPC964 控制器将 MCP0_ACTIVE 信号置为有效，以指示 MCP 微镜操作正在进行。
5. 由于需要满足微镜稳定时间的要求，APPS FPGA 延迟将下一个图形中块 0 的 DMDLOAD_REQ 置为有效。
6. 将下一个图形的块 0 的 DMDLOAD_REQ 置为有效后，APPS FPGA 会发送块 1 的块控制字。
7. DLPC964 控制器将 BLKLOADZ 置为有效以指示 DMD 数据加载操作是由 5 的 DMDLOAD_REQ 触发的。

7.3.1.3 DMDLOAD_REQ 建立时间要求

一旦 Aurora 块数据传输完成，只要在发送该块数据传输的第一个数据包后至少经过了 300ns，APPS FPGA 用户逻辑就可以将 DMDLOAD_REQ 信号置为有效。之所以需要这样的建立时间，是因为 Aurora TX/RX 通道路径有 300ns 的发送延时，并保证 DLPC964 控制器在 Aurora 块数据传输到达后将收到 DMDLOAD_REQ 标志。

在大多数情况下，由于数据块传输的大小，此 300ns 设置要求会自然得到满足。当 APPS FPGA 可以将 DMDLOAD_REQ 信号置为有效时，它足够大，可以保证从发送第一个有效数据包到块的最后一个有效数据包的时间远超过 300ns。当 APPS FPGA 尝试发送一个不完整 DMD 数据块时，300ns 的建立时间窗口变得至关重要，如图 7-7 中的示例所示，APPS FPGA 总共仅将不完整 DMD 数据块的 3 行（表 7-3，ROW_LENGTH = 3）发送到 DLPC964 控制器：

1. APPS FPGA 发送一个块控制字以指示 Aurora 块数据传输开始。
2. 通过四个 Aurora 数据接口通道发送 3 个数据行后，APPS FPGA 等待 300ns 的建立时间到期，然后再发出 DMDLOAD_REQ。请注意，300ns 是从数据接口上的第一个 TVALID 开始进行测量的。
3. 满足建立时间后，APPS FPGA 将 DMDLOAD_REQ 置为有效。
4. BLKLOADZ 由 DLPC964 控制器置为有效以指示 DMD 数据加载操作正在运行。

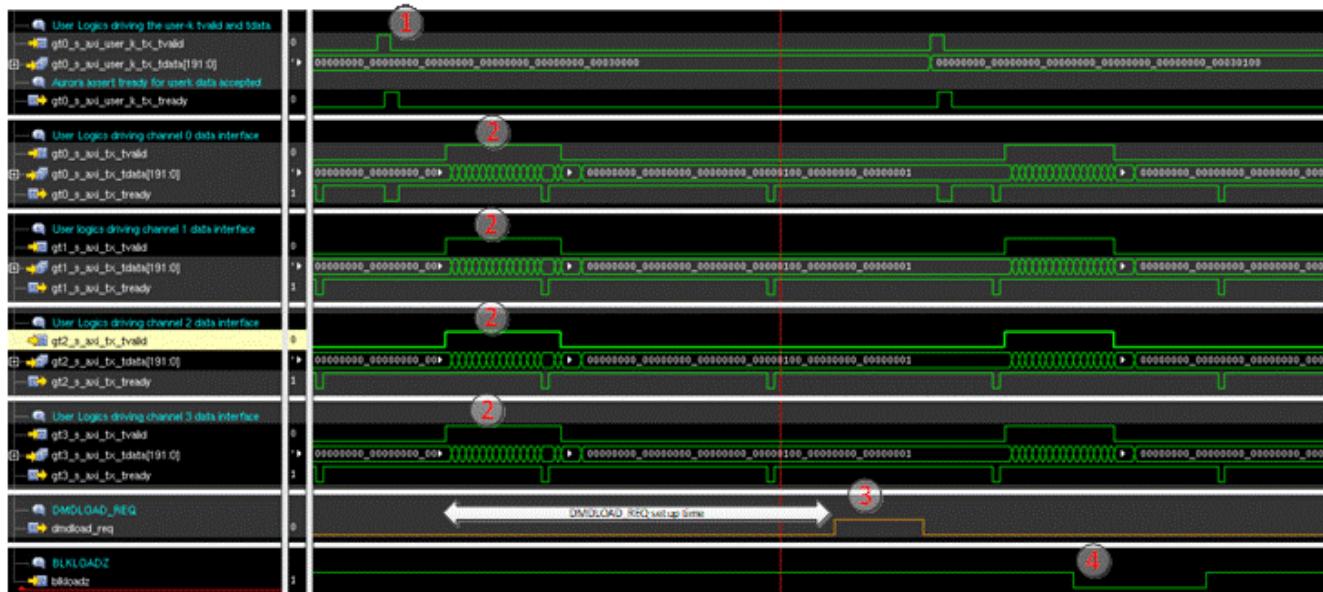


图 7-7. 三个 DMD 行的加载操作的 DMDLOAD_REQ 建立时间示例

对于不需要数据包的操作，例如块清除（表 7-3，LOAD_TYPE = 001）和块置位（表 7-3，LOAD_TYPE = 010），仍需要 DMDLOAD_REQ 的 300ns 建立时间，并且该建立时间从块控制字数据包开始进行测量。图 7-8 说明了一个块置位操作示例：

1. APPS FPGA 发送一个块控制字数据包以启动块置位操作。请注意，该操作不需要任何块数据，四个 Aurora 数据接口保持空闲状态 (`gtX_s_axi_tx_tvalid = "0"`)。
2. APPS FPGA 在 300ns 的建立时间后将 DMDLOAD_REQ 置为有效。由于块置位操作不需要任何 Aurora 数据块传输，因此 300ns 是从块控制字开始测量的。
3. DLPC964 控制器将 BLKLOADZ 置为有效以指示正在进行块置位操作。

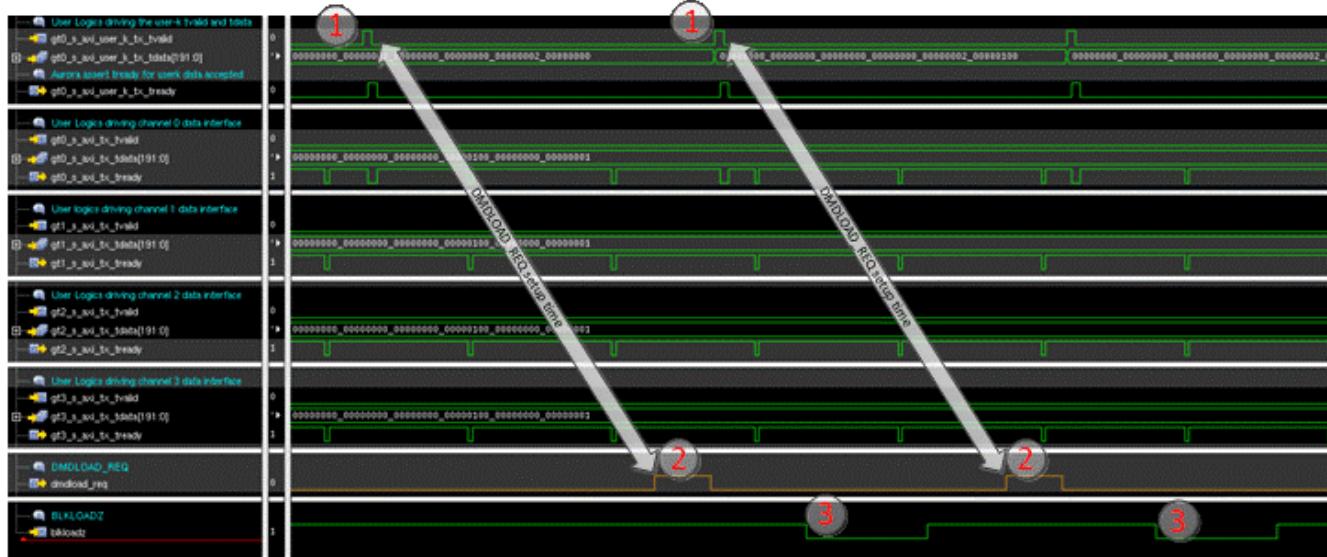


图 7-8. 块置位操作的 DMDLOAD_REQ 建立时间示例

7.3.1.4 单通道传输模式

对于在速度上不需要使用全部四个 Aurora 64B/66B 输入数据通道加载 DLP991U DMD 的应用，DLPC964 控制器还支持通过单个 Aurora 64B/66B 输入数据通道进行操作。在该运行模式下，只能设置和使用通道 0。该运行模式不能使用其他 Aurora 64B/66B 输入数据通道。图 7-9 展示了使用三个通道 0 Aurora 64B/66B 数据链路从 APPS FPGA 到 DLPC964 控制器到 DLP991U DMD 相应阵列段的整体数据流。

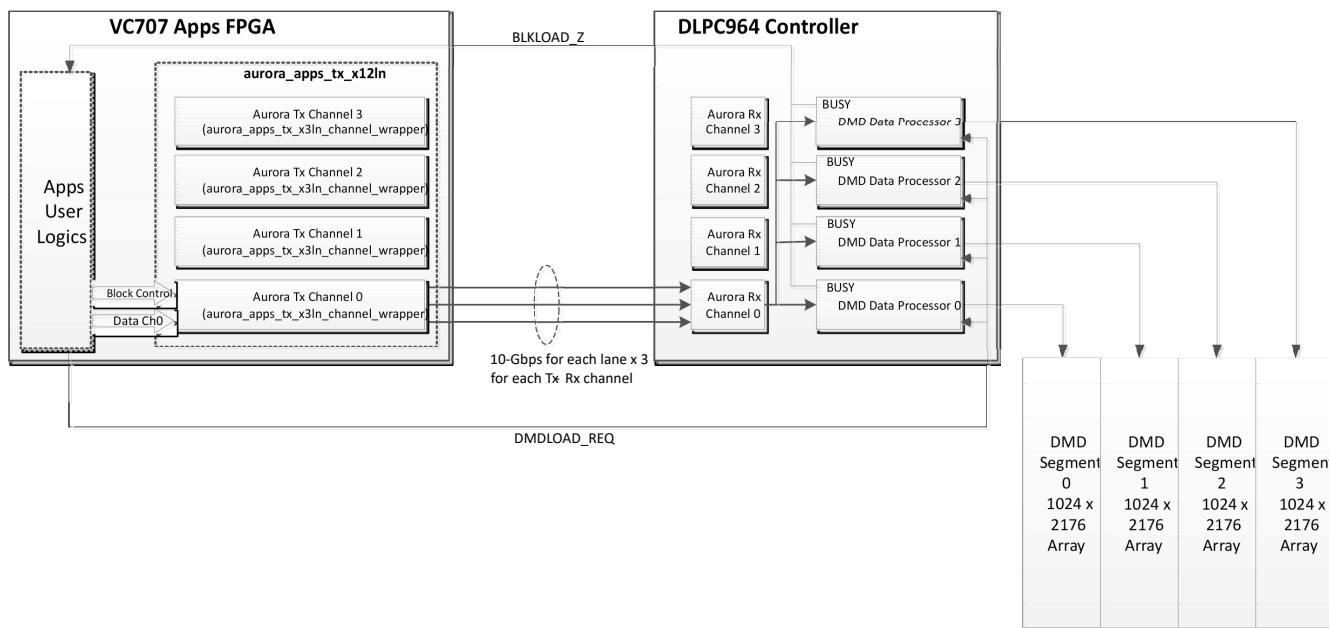


图 7-9. 单通道传输模式的系统方框图

通过将“**SINGLE_CHANNEL**”块控制字字段设置为“1”（表 7-3，**SINGLE_CHANNEL = “1”**），并按照 3 (第一个)、2、1、0 (最后一个) 的段顺序 (表 7-3，**DMD_SEGMENT** 字段) 传输 DMD 块数据，可以启用单通道运行。换句话说，为了控制一个特定的 DMD 块数据加载，APPS FPGA 必须首先操作该数据块的段 3，之后是段 2、段 1，最后是段 0 (最后一个块数据传输段)。

之前概述的用于正常 (四通道) 运行模式的指导原则仍然适用于单通道运行模式，在此模式下，每个块/段 Aurora 数据传输仍必须以块控制字开始，以 **DMDLOAD_REQ** 结束，并需要满足 300ns 的建立时间要求。但是，在此模式下，APPS FPGA 和 DLPC964 控制器握手有一个主要区别。由 **DMDLOAD_REQ** 触发的实际 DMD 操作仅与使用段 0 发送的内容相对应。未针对段 3、2 和 1 将 **BLKLOADZ** 置为无效。（有关详细信息，请参阅图 7-10。）

所选数据块的全部四个段必须按正确的顺序运行，否则 DLPC964 控制器不会对该块执行正确的 DMD 操作。

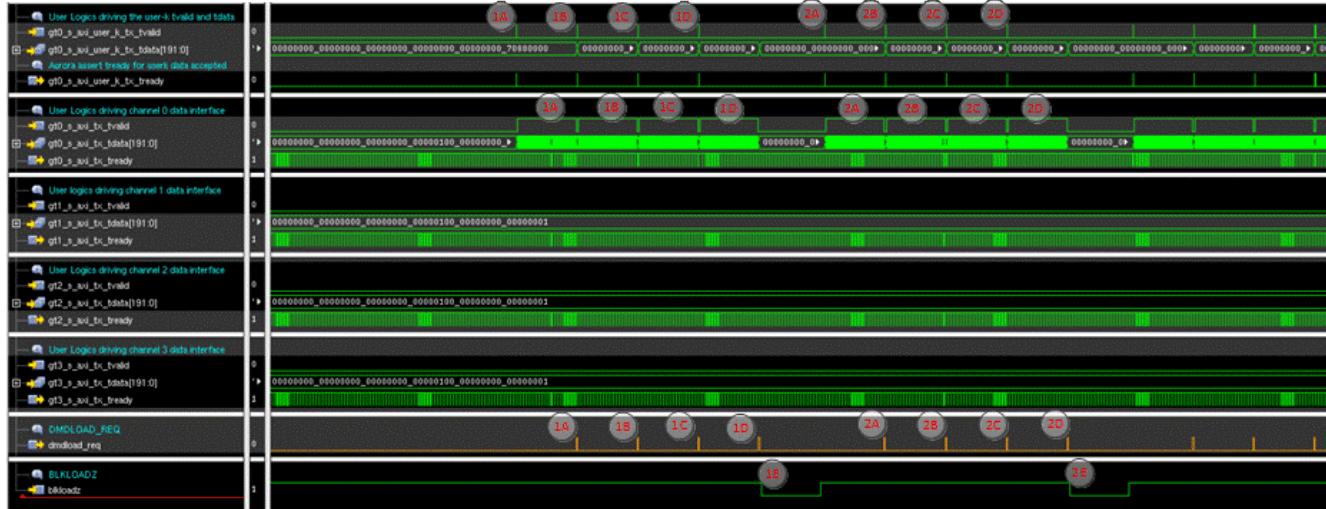


图 7-10. 单通道运行模式波形示例

1. 单通道模式下 DMD 块 0 的 Apps Aurora 数据传输。
 - a. 1A - DMD 块 0 段 3 的块控制字、DMD 数据和 DMDLOAD_REQ
 - b. 1B - DMD 块 0 段 2 的块控制字、DMD 数据和 DMDLOAD_REQ。
 - c. 1C - DMD 块 0 段 1 的块控制字、DMD 数据和 DMDLOAD_REQ。
 - d. 1D - DMD 块 0 段 0 的块控制字、DMD 数据和 DMDLOAD_REQ
 - e. 1E - 段 0 DMDLOAD_REQ 触发 DLPC964 控制器开始块 0 数据加载。BLKLOADZ 被置为有效以指示操作正在进行。
2. 单通道模式下 DMD 块 1 的 Apps Aurora 数据传输。
 - a. 2A - DMD 块 1 段 3 的块控制字、DMD 数据和 DMDLOAD_REQ
 - b. 2B - DMD 块 1 段 2 的块控制字、DMD 数据和 DMDLOAD_REQ
 - c. 2C - DMD 块 1 段 1 的块控制字、DMD 数据和 DMDLOAD_REQ
 - d. 2D - DMD 块 1 段 0 的块控制字、DMD 数据和 DMDLOAD_REQ
 - e. 2E - 段 0 DMDLOAD_REQ 触发 DLPC964 控制器开始块 1 数据加载。BLKLOADZ 被置为有效以指示操作正在进行。

7.3.1.5 DMD 块阵列数据映射

对于每个 Aurora 内核，一个完整的 DMD 块是 1024 列 x 136 行的阵列。表 7-4 显示了以递增方向将 192 位 Aurora 数据总线映射到一个完整 DMD 块（第一个 Aurora 数据包从第 0 行开始）。数据总线需要 726 个 Aurora 数据包才能发送一个完整的块。对于最后一个数据包，仅需要位 0-63，DLPC964 控制器会忽略位 64-191。

表 7-5 显示了以递减方向进行的数据映射，第一个 Aurora 数据包从第 135 行开始。

表 7-4. Aurora 数据总线到 DMD 块阵列的映射 - 递增方向

第 0 行	数据 0 [0:191]	数据 1 [0:191]	数据 2 [0:191]	数据 3 [0:191]	数据 4 [0:191]	数据 5 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列
第 1 行	数据 5 [64:191]	数据 6 [0:191]	数据 7 [0:191]	数据 8 [0:191]	数据 9 [0:191]	数据 10 [0:127]
	第 0 - 127 列	第 128 - 319 列	第 320 - 511 列	第 512 - 703 列	第 704 - 895 列	第 896 - 1023 列
第 2 行	数据 10 [128:191]	数据 11 [0:191]	数据 12 [0:191]	数据 13 [0:191]	数据 14 [0:191]	数据 15 [0:191]
	第 0 - 63 列	第 64 - 255 列	第 256 - 447 列	第 448 - 639 列	第 640 - 831 列	第 832 - 1023 列
第 3 行	数据 16 [0:191]	数据 17 [0:191]	数据 18 [0:191]	数据 19 [0:191]	数据 20 [0:191]	数据 21 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列
.						
.						
.						
第 134 行	数据 714 [128:191]	数据 715 [0:191]	数据 716 [0:191]	数据 717 [0:191]	数据 718 [0:191]	数据 719 [0:191]
	第 0 - 63 列	第 64 - 255 列	第 256 - 447 列	第 448 - 639 列	第 640 - 831 列	第 832 - 1023 列
第 135 行	数据 720 [0:191]	数据 721 [0:191]	数据 722 [0:191]	数据 723 [0:191]	数据 724 [0:191]	数据 725 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列

表 7-5. Aurora 数据总线到 DMD 块阵列的映射 - 递减方向

第 0 行	数据 720 [0:191]	数据 721 [0:191]	数据 722 [0:191]	数据 723 [0:191]	数据 724 [0:191]	数据 725 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列
第 1 行	数据 714 [128:191]	数据 715 [0:191]	数据 716 [0:191]	数据 717 [0:191]	数据 718 [0:191]	数据 719 [0:127]
	第 0 - 63 列	第 64 - 255 列	第 256 - 447 列	第 448 - 639 列	第 640 - 831 列	第 832 - 1023 列
第 2 行	数据 709 [64:191]	数据 710 [0:191]	数据 711 [0:191]	数据 712 [0:191]	数据 713 [0:191]	数据 714 [0:127]
	第 0 - 127 列	第 128 - 319 列	第 320 - 511 列	第 512 - 703 列	第 704 - 895 列	第 896 - 1023 列
第 3 行	数据 704 [0:191]	数据 705 [0:191]	数据 706 [0:191]	数据 707 [0:191]	数据 708 [0:191]	数据 709 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列
.						
.						
.						
第 134 行	数据 5 [128:191]	数据 6 [0:191]	数据 7 [0:191]	数据 8 [0:191]	数据 9 [0:191]	数据 10 [0:191]
	第 0 - 127 列	第 128 - 319 列	第 320 - 511 列	第 512 - 703 列	第 704 - 895 列	第 896 - 1023 列
第 135 行	数据 0 [0:191]	数据 1 [0:191]	数据 2 [0:191]	数据 3 [0:191]	数据 4 [0:191]	数据 5 [0:63]
	第 0 - 191 列	第 192 - 383 列	第 384 - 575 列	第 576 - 767 列	第 768 - 959 列	第 960 - 1023 列

7.4 电源相关建议

7.4.1 电源分配和要求

通过图 7-11 所示的配电方式为 DLPC964 控制器和 DLP991U DMD 供电。

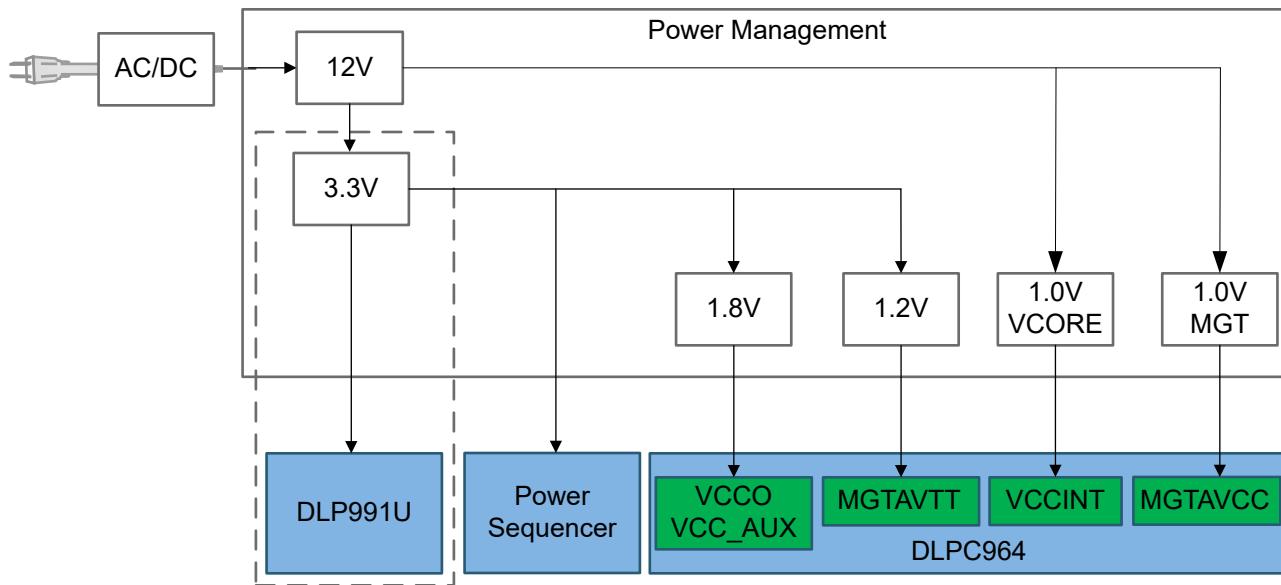


图 7-11. 配电

7.4.2 断电要求

为了正确执行 DMD 的断电操作，必须在预期断电之前执行以下断电过程：

1. 将 PARKZ 信号置为低电平且持续时间至少为 $500 \mu\text{s}$ ，以允许 DLPC964 完成连接的 DMD 的断电过程。

2. 在 $500 \mu s$ 期间，PARKZ 信号保持低电平，DLPC964 将完成断电过程并将 DMD_PWREN 置为低电平，以关闭 DMD 电源。
3. 在 DMD_PWREN 被置为无效之后，可以安全地为 DLP 芯片组断电，如图 7-12 所示。

如果出现意外的功率损耗，则电源管理系统必须检测到输入功率损耗，将 POWERGOOD 信号置为有效并发送到 DLPC964，并将 DLPC964 和 DMD 的所有工作功率级别维持至少 $500 \mu s$ ，以允许 DLPC964 完成连接的 DMD 的断电过程。

停止 DMD 并在不断电的情况下重新启动系统的正确序列如图 7-13 所示，以下过程进行了概述：

1. 将 PARKZ 置为低电平以停止 DMD。
2. 等待至少 $500 \mu s$ ，以便 DLPC964 控制器和 DMD 完成 DMD 停止序列。
3. 当 PARKZ 仍被置为低电平（使 DMD 保持停止状态）时，将 SYS_ARSTZ 置为低电平并持续至少 50ms 以复位 DLPC964 控制器。
4. 将 SYS_ARSTZ 置为无效以使 DLPC964 控制器恢复至就绪状态。
5. 将 PARKZ 置为无效以使 DMD 解除停止。

表 7-6. 断电时序要求

参数		最小值	最大值	单位
t_{pf}	PARKZ 低电平时间	500		μs
t_{sa}	SYS_ARSTZ 低电平时间	50		ms
t_{ps}	从 SYS_ARSTZ 有效到 PARKZ 无效的最小延迟	0		ms

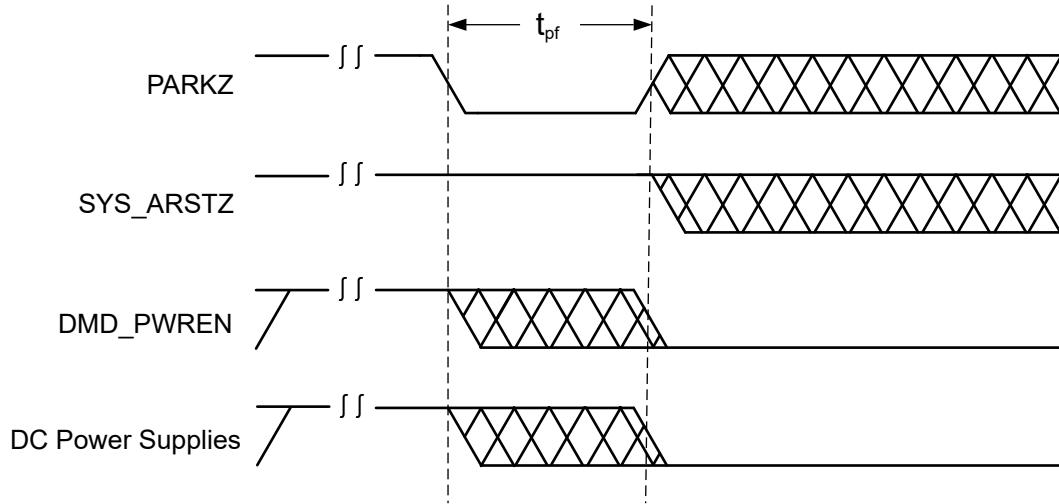


图 7-12. 将 PARKZ 置为有效后断电

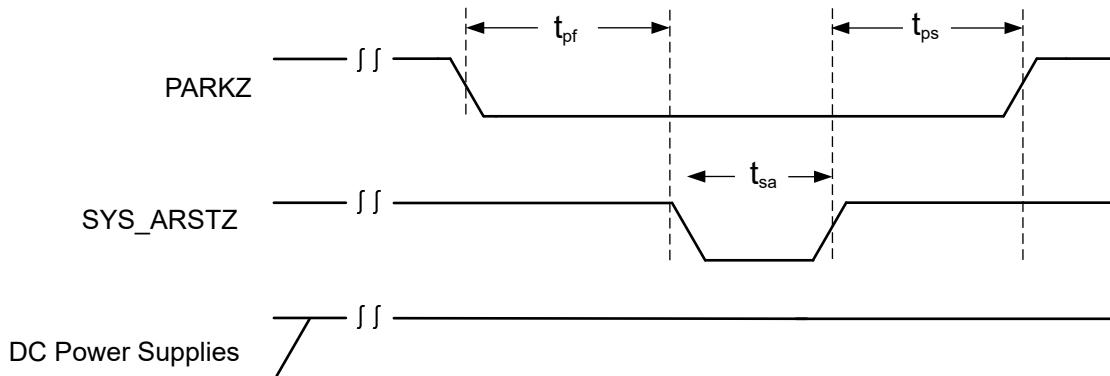


图 7-13. 在不断电的情况下重新启动

7.5 布局

7.5.1 布局指南

获得良好性能的最重要因素之一是尽可能设计具有超高质量信号完整性的 PCB。以下 PCB 设计指南提供了互连系统的参考。

7.5.1.1 PCB 设计标准

PCB 的设计和制造应符合表 7-7 中所示的工业规范。

表 7-7. 工业设计规范

工业规范	适用于
IPC-2221 和 IPC-2222 类型 3, X 类, B 级可生产性	电路板设计
IPC-6011 和 IPC-6012 2 级	PWB 制造
IPC-SM-840, 3 级, 绿色	成品 PWB 阻焊层
UL94V-0 阻燃等级和标识	成品 PWB
UL796 等级和标识	成品 PWB

PCB 制造：

- 蚀刻厚度：1/2oz 铜 (0.6mil)

- 单端信号阻抗 : $50\Omega \pm 10\%$
- 差分信号阻抗 : $100\Omega \pm 10\%$

PCB 堆叠 :

- 接地平面 , 用于实现适当的返回路径。
- 电源平面 , 用于为电路提供适当的电源。
- 具有低损耗正切的介电材料 , 例如 : Megtron 6 , (Er) : 3.4 (标称值) 。

7.5.1.2 信号层

PCB 信号层应遵循典型的好做法指南 , 包括 :

- 对于单端信号 , 应尽量减少层更改。
- 总线的各个差分对可以在不同的层上布线 , 但给定差分对的信号不应更改层。
- 应避免残桩。
- 低频信号应在外层布线。
- 差分对信号应优先处理并首先进行布线。
- 10Gbps Aurora 64B/66B 差分信号应采用背钻过孔 , 以提高信号完整性。
- 不允许在元件上交换引脚。
- 极化电容器的电流汲取方向应相同。

PCB 的顶层和底层应具有阻焊层。

- 阻焊层不应覆盖过孔。
- 除细间距器件 (间距 ≤ 0.032 英寸) 之外 , 铜焊盘和阻焊层切口应具有相同的尺寸。
- 应去除细间距器件焊盘之间的阻焊层。
- 在 BGA 封装中 , 铜焊盘和阻焊层切口应具有相同的尺寸。

应使用满足以下要求的高速连接器 :

- 对于 10Gbps Aurora 64B/66B 接口 :
 - 差分串扰 : $<1\%$
 - 差分阻抗 : $100\Omega \pm 10\%$
 - 总连接器/布线系统的插入损耗应为 : $<3\text{dB}$ (5GHz)。
- 对于 3.6Gbps HSSI DMD 接口 :
 - 差分串扰 : $<1\%$
 - 差分阻抗 : $100\Omega \pm 10\%$
 - 总连接器/布线系统的插入损耗应为 : $<3\text{dB}$ (1.8GHz)。

7.5.1.3 常规 PCB 布线

自动元件放置的基准点应为带有 0.1 英寸切口 (反焊盘) 的 0.05 英寸铜。光学自动放置的基准点放置在 PCB 两侧的三个角上。

7.5.1.3.1 布线最小间距

所有单端 50Ω 信号相对于其他信号的最小间距应为布线宽度 3 倍。例如 , 5mil 宽的布线相对于其他信号应具有 15mil 的间距。所有 100Ω 差分对相对于其他信号的最小间距应为每个对之间的间距的 3 倍。表 7-8 列出了其他特殊的布线间距要求。

表 7-8. 布线最小间距

信号	PWR	GND	单端	差分对	单位
				线对间	
PWR	15	5	15	15	mil
GND	5		5	5	mil

表 7-8. 布线最小间距 (续)

信号	PWR	GND	单端	差分对	单位
				线对间	
SYS_CLK100	15	5	3 倍对内 (P 到 N) 间距	3 倍对内 (P 到 N) 间距	mil
GTRX_CH(0,1,2,3)_REFCLK	15	5	3 倍对内 (P 到 N) 间距	3 倍对内 (P 到 N) 间距	mil
DMD_GTREFCLK_IN_(A,B,C,D)	15	5	3 倍对内 (P 到 N) 间距	3 倍对内 (P 到 N) 间距	mil
Aurora 64B/66B 输入接口 - CH(0,1,2,3)_GTRX[3:0]	15	5	3 倍对内 (P 到 N) 间距	3 倍对内 (P 到 N) 间距	mil
控制信号 - WDT_ENABLEZ、LOAD2、DMDLOAD_REQ、RXLPMEN、PARKZ、SYS_ARSTZ、EXT_HSSI_RST	15	5	3 倍布线宽度/间距	3 倍对内 (P 到 N) 间距	mil
状态信号 - BLKLOADZ、MCP(3:0)_ACTIVE、HSSI_BUS_ERR、HSSI_RST_ACT、INIT_DONE	15	5	3 倍布线宽度/间距	3 倍对内 (P 到 N) 间距	mil
HSSI DMD 接口 - DMD_D_(A,B,C,D)[7:0]、DMD_DCLK_(A,B,C,D)	15	5	3 倍对内 (P 到 N) 间距	3 倍对内 (P 到 N) 间距	mil
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA、DMD_LS_RDATA_(A,B,C,D)	15	5	3 倍布线宽度/间距	3 倍对内 (P 到 N) 间距	mil
所有其他信号	15	5	3 倍布线宽度/间距	3 倍对内 (P 到 N) 间距	mil

7.5.1.3.2 布线长度匹配

7.5.1.3.2.1 HSSI 输出总线偏移

表 7-9 列出了高速串行 DMD 接口布线限制。有关特定的 DMD HSSI 输入总线偏移要求，请参阅 [DL991U 工业数字微镜器件数据表](#)。

表 7-9. 高速串行 DMD 接口布线限制

信号	基准信号	布线规格	单位
DMD_D_A{0…7}_P、 DMD_D_A{0…7}_N	DMD_DCLK_A_P、 DMD_DCLK_A_N	±45	ps
DMD_D_B{0…7}_P、 DMD_D_B{0…7}_N	DMD_DCLK_B_P、 DMD_DCLK_B_N	±45	ps
DMD_D_C{0…7}_P、 DMD_D_C{0…7}_N	DMD_DCLK_C_P、 DMD_DCLK_C_N	±45	ps
DMD_D_D{0…7}_P、 DMD_D_D{0…7}_N	DMD_DCLK_D_P、 DMD_DCLK_D_N	±45	ps
DMD_D_A 总线	DMD_D_B 总线	±45	ps
DMD_D_C 总线	DMD_D_D 总线	±45	ps
DMD_D_A 总线	DMD_D_C 总线	±45	ps

表 7-9. 高速串行 DMD 接口布线限制 (续)

信号	基准信号	布线规格	单位
差分对内 P	差分对内 N	±2	ps

7.5.1.3.2.2 Aurora 64B/66B 输入总线偏移

DLPC964 控制器的 Aurora 64B/66B 输入总线以 10Gbps 的速率运行，应特别注意总线内布线的布线长度匹配。建议 DLPC964 的 Aurora 64B/66B 输入总线在总线内的差分对之间的偏移不超过 1ps，差分信号的 p 和 n 布线之间的偏移不超过 0.2ps。有关 AMD Aurora 64B/66B 接口 PCB 布局要求的更多详细信息，请参阅 [AMD 的网站](#)。

7.5.1.3.2.2.1 其他时序关键型信号

表 7-10 列出了对于其他时序关键型信号应考虑的布线限制。

表 7-10. 其他时序关键型信号

信号	约束条件
FLASH_CSZ、FLASH_MISO、 FLASH_CCLK、FLASH_MOSI	彼此匹配度在 18ps 以内。
DMD_LS_CLK_P、 DMD_LS_CLK_N DMD_LS_WDATA_P、 DMD_LS_WDATA_N、 DMD_LS_RDATA_{A,B,C,D}	对内 (P 到 N) 匹配度在 2ps 以内。差分对彼此匹配度在 4ps 以内。 DMD_LS_RDATA_{A,B,C,D} 与 DMD_LS_CLK_{P,N} 的匹配度在 1ns 以内。
GTTX_CH{0,1,2,3}_REFCLK_P、 GTTX_CH{0,1,2,3}_REFCLK_N、 GTRX_CH{0,1,2,3}_REFCLK_P、 GTRX_CH{0,1,2,3}_REFCLK_N REFCLK_UI_P、 REFCLK_UI_N MGT_REFCLK_P、 MGT_REFCLK_N	对内 (P 到 N) 匹配度在 2ps 以内。差分对彼此匹配度在 18ps 以内。

7.5.1.3.3 布线阻抗和布线优先级

为了获得理想性能，建议遵循 xx 中所述的差分信号的布线阻抗。除非表 7-11 中另有说明，否则所有信号都应采用 50Ω 受控阻抗。

表 7-11. 布线阻抗

信号	差分阻抗
SYS_CLK100	100Ω 差分
GTRX_CH(0,1,2,3)_REFCLK	100Ω 差分
DMD_GTREFCLK_IN_{A,B,C,D}	100Ω 差分
Aurora 64B/66B 输入接口 - CH(0,1,2,3)_GTRX[3:0]	100Ω 差分
HSSI DMD 接口 - DMD_D_{A,B,C,D}[7:0]、DMD_DCLK_{A,B,C,D}	100Ω 差分

表 7-11. 布线阻抗 (续)

信号	差分阻抗
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA	100 Ω 差分

表 7-12 列出了信号的布线优先级。

表 7-12. 布线优先级

信号	优先级
HSS 输入接口 - CH(0,1,2,3)_GTRX[3:0]	1
HSSI DMD 接口 - DMD_D_(A,B,C,D)[7:0]、DMD_DCLK_(A,B,C,D)	1
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA	2
SYS_CLK100	2
GTRX_CH(0,1,2,3)_REFCLK	2
DMD_GTREFCLK_IN_(A,B,C,D)	2
控制信号 - WDT_ENABLEZ、LOAD2、DMDDLOAD_REQ、RXLPMEN、PARKZ、SYS_ARSTZ、EXT_HSSI_RST	3
状态信号 - BLKLOADZ、MCP(3:0)_ACTIVE、HSSI_BUS_ERR、HSSI_RST_ACT、INIT_DONE	4
所有其他信号	5

7.5.2 电源和接地平面

以下是对实现最佳性能的建议：

- 每个信号布线层之间的实心接地平面
- 电压的实心电源平面
- 通过每个引脚的过孔将电源和接地引脚连接到这些平面。
- 将元件电源和接地引脚的布线长度尽量减小为 0.100 英寸或更小。
- 分开过孔，以避免在电源平面中形成凹槽。
- 高速信号不得穿过相邻（参考）电源平面中的凹槽。
- 如果由于正常接地连接器件而有足够的接地过孔，则不需要放置额外的过孔。

7.5.3 电源过孔

每个元件的电源和接地引脚应连接到电源平面和接地平面，每个引脚有一个过孔。尽可能避免在多个电源引脚之间共享通向电源平面的过孔。应尽可能地减小元件电源和接地引脚的布线长度（理想情况下小于 0.100 英寸）。连接到电源或接地端的未使用或备用器件引脚可以通过通向电源或接地端的过孔连接在一起。过孔之间的最小间距应为 0.050 英寸，以防止在接地平面上形成凹槽。

7.5.4 去耦

去耦电容器必须尽可能靠近 DLPC964 电压电源引脚放置。电容器不应共用过孔。如果布线小于 0.03 英寸，则 DLPC964 电源引脚可以直接连接到去耦电容器（无过孔）。否则，应通过一个单独的过孔将元件连接到电压或接地平面。所有电容器应连接至布线长度小于 0.05 英寸的电源平面。

7.6 布局示例

PCB 层设计可能因系统设计而异。但是，需要特别注意满足设计考虑因素。表 7-13 显示了层定义表，图 7-14 显示了 PCB 堆叠。PCB 堆叠使用 Nelco N4000-13-SI 作为介电材料，以提高信号压摆率，从而使 Aurora 64B/66B 输入接口和 HSSI DMD 输出接口具有更好的性能。

表 7-13. 层定义

层	说明
顶层	顶部元件。低频信号布线、接地、电压迷你平面

表 7-13. 层定义 (续)

层	说明
2	接地
3	高速信号层
4	接地
5	双电源平面
6	双电源平面
7	接地
8	高速信号层
9	接地
底层	分立式元件。低频信号布线、接地、电压迷你平面

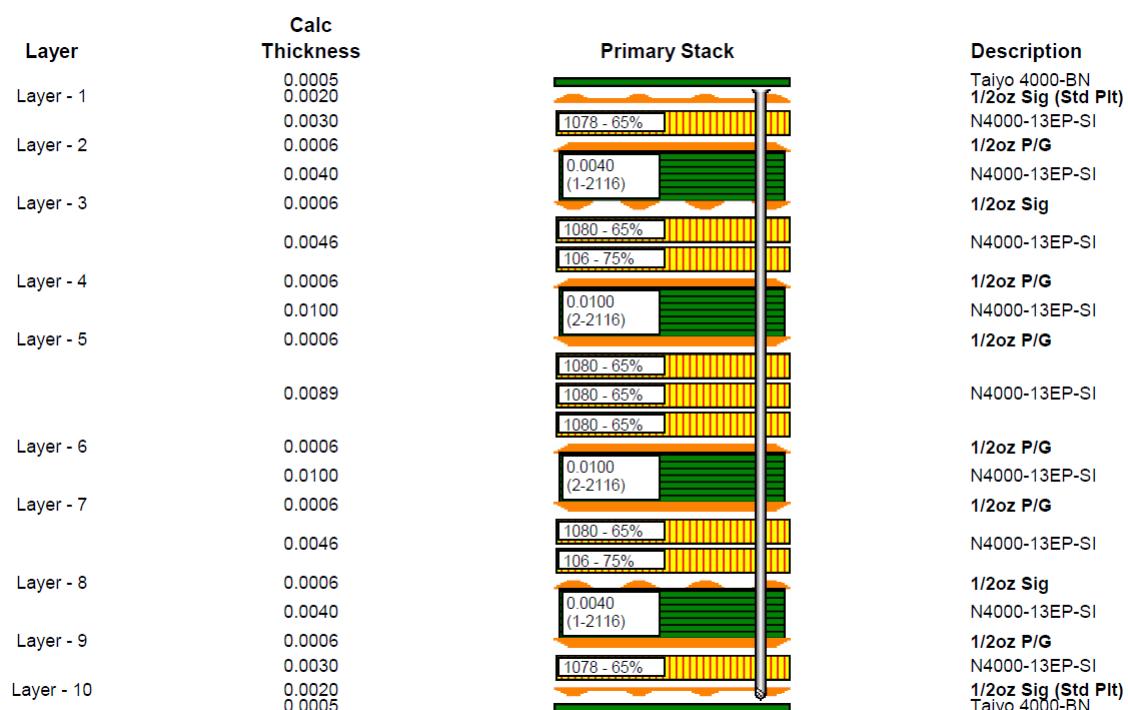


图 7-14. PCB 堆叠

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

- [AMD PG074 应用手册](#)
- [DLP991U 工业数字微镜器件数据表](#)
- [7 系列 FPGA 封装和引脚排列产品规格指南](#)
- [AMD 7 系列 FPGA GTX/GTH 收发器用户指南](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2024) to Revision A (September 2024)	Page
• 更新了封装信息.....	1
• 更新了封装信息.....	3
• 更新了封装信息.....	14

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLPC964ZUM	Active	Production	FCBGA (ZUM) 1156	1 JEDEC TRAY (5+1)	Yes	Call TI	Call TI	0 to 85	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

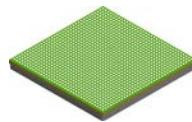
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

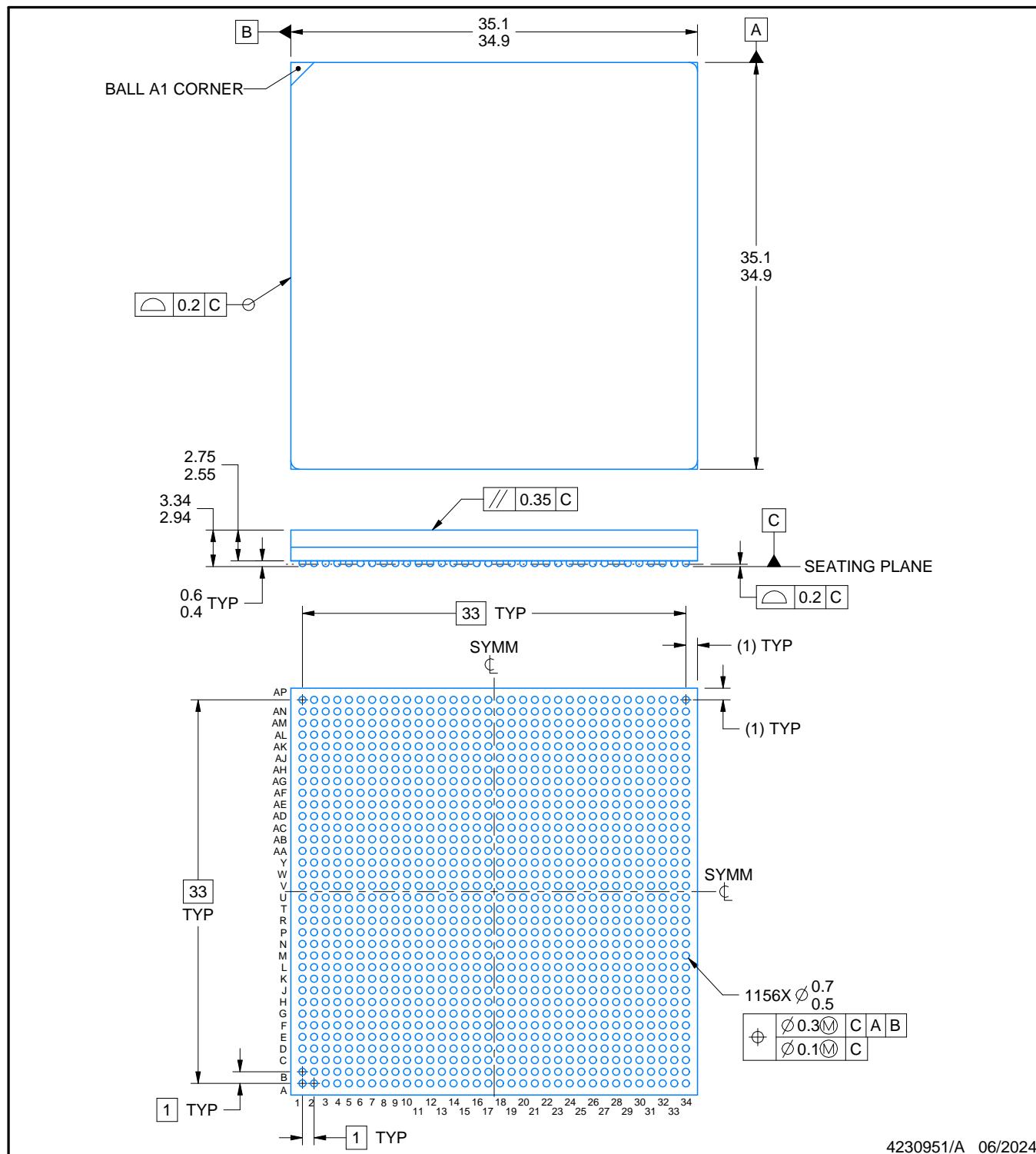
PACKAGE OUTLINE

ZUM1156A



FCBGA - 3.35 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

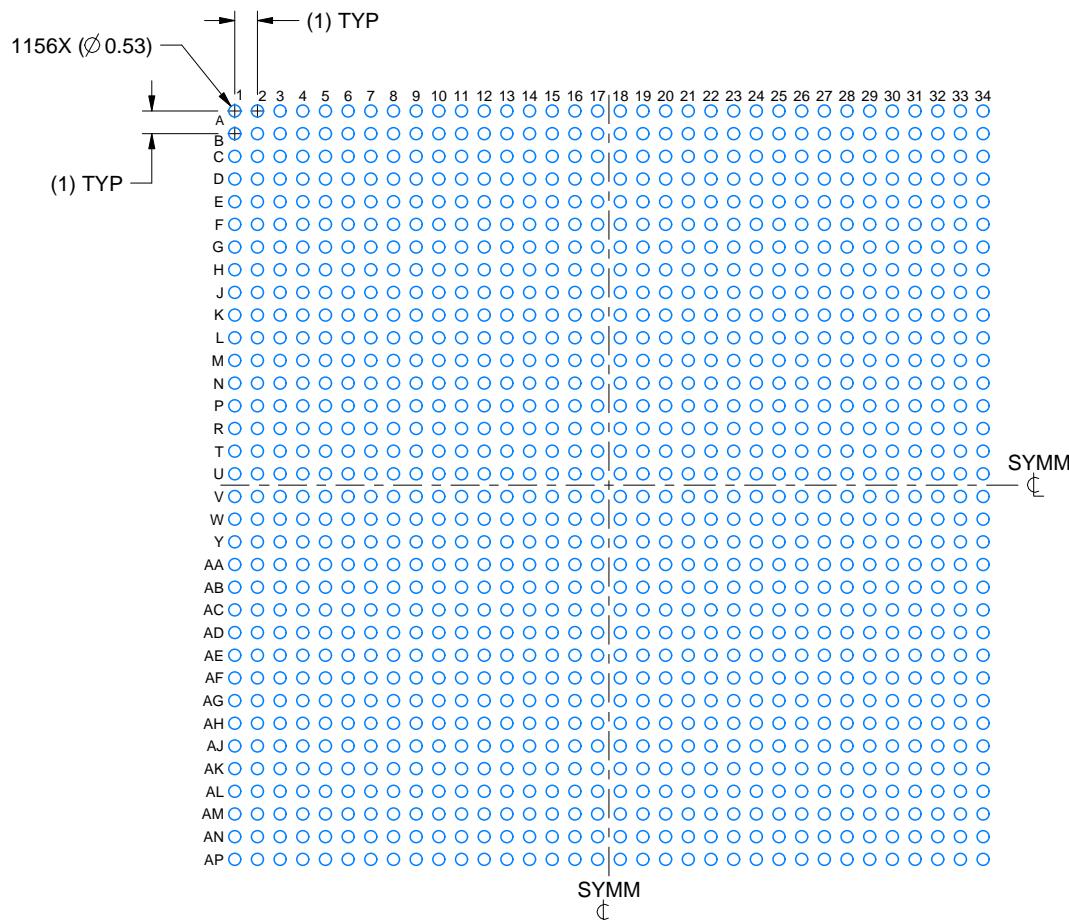
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

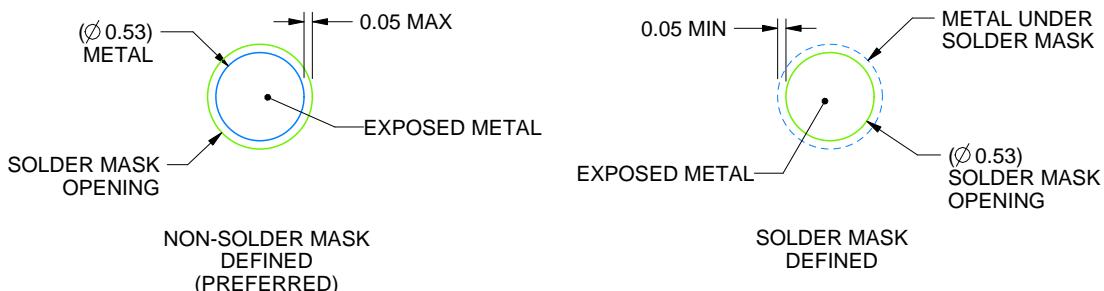
ZUM1156A

FCBGA - 3.35 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:3X



SOLDER MASK DETAILS
NOT TO SCALE

4230951/A 06/2024

NOTES: (continued)

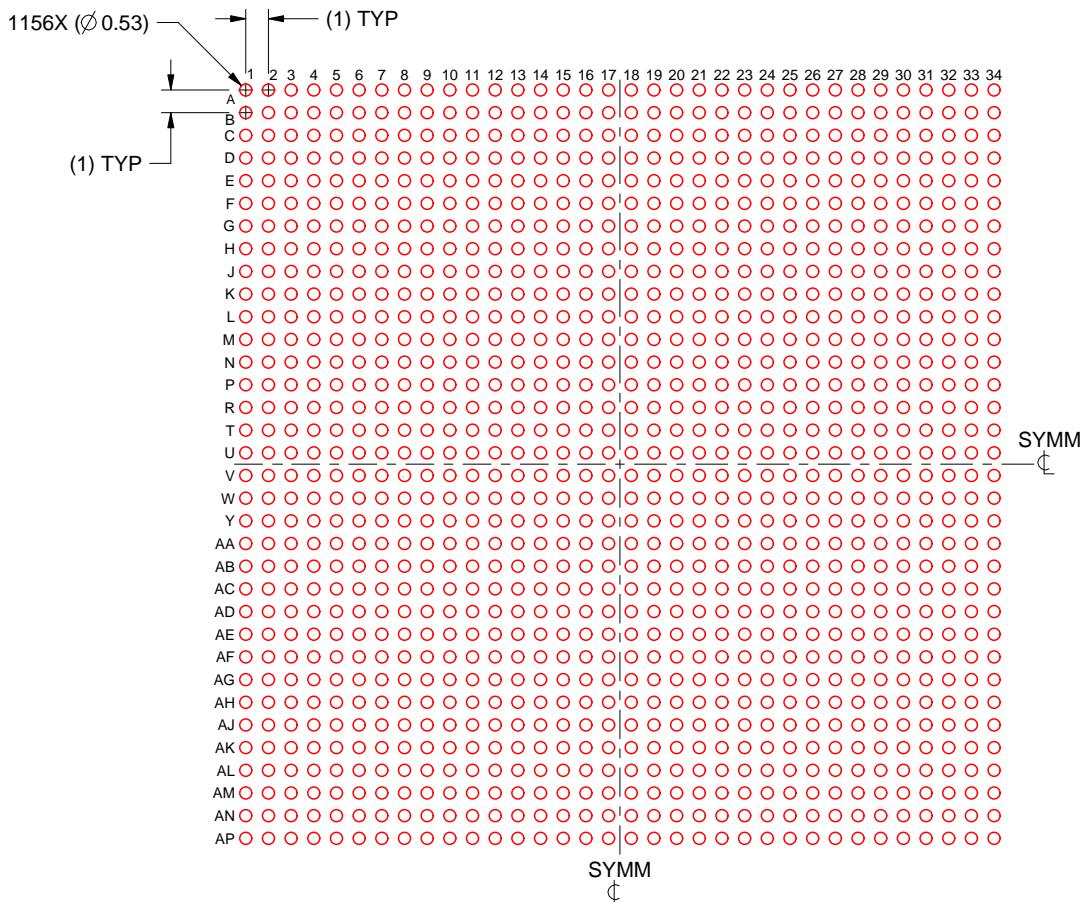
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ZUM1156A

FCBGA - 3.35 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:3X

4230951/A 06/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月