DLPC8445、DLPC8445V 和 DLPC8455 高分辨率控制器

1 特性

- DLPC84x5 控制器支持
  - 最高 4K UHD（60Hz 时）
  - 最高 1080p（240Hz (2D) 和 120Hz (3D) 时）
- DLPC84x5 控制器支持以下 4K UHD DMD：
  - DLPC8445 和 DLPC8445V 支持 DLP472TP 和 DLP391TP DMD
  - DLPC8455 支持 DLP473TE DMD
- 为单个 V-by-One® HS 视频输入端口提供 1、2、4 或 8 条通道
  - 60Hz 时支持最高 600MHz 像素时钟和 2160p
  - 每个输入的传输速率高达 3.0Gbps
- 支持的输入格式
  - RGB 和 YCbCr
  - 4:4:4 和 4:2:2
- 内部 Arm® 处理器
  - 52 个可配置 GPIO
  - PWM 发生器
  - 捕捉和延迟计时器
  - USB 2.0 高速控制器
  - SPI 和 I^2C 控制器
  - UART 和中断控制器
- 扭曲引擎
  - 1D 和 2D 梯形校正
  - 用于视频处理的嵌入式部分帧存储器
- 其他图像处理
  - 支持重叠颜色（仅限 DLPC8445V 和 DLPC8455）
  - 支持可变刷新率 (VRR)
  - 用于降低帧延迟的滚动缓冲区
  - DynamicBlack
  - 帧速率倍增
  - 色彩坐标调整
  - 色温调节
  - 可编程 degamma
  - 读取端空间-时间多路复用
  - 针对 3D 显示的集成支持
- 启动界面显示
- 用于 μP 和 PWM 序列的串行闪存
- 系统控制
  - DMD 电源和复位驱动器控制
  - DMD 水平和垂直图像抖动
- 支持 JTAG 边界扫描测试
- 支持基于 LED、RGB 激光和激光荧光照明的系统

2 应用

- 移动智能电视
- 移动投影仪
- 数字标牌
- 激光电视

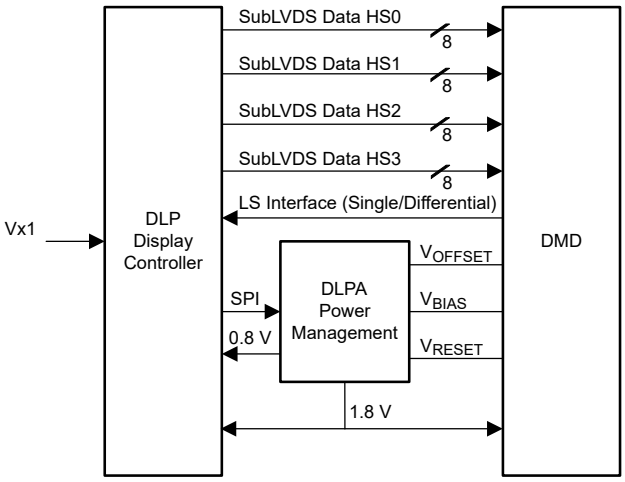
3 说明

DLPC8445、DLPC8445V 和 DLPC8455 是适用于 TI DLP® 产品的 4K UHD 数字显示控制器。DLP 芯片组包括一个显示控制器、一个匹配的 DMD、 DLPA3085 或 DLPA3082 电源管理 IC 和 DLPA100 电机驱动器 IC（仅适用于激光荧光照明系统）。该芯片组适合需要高分辨率、高亮度和小巧外形的显示系统。为了确保可靠运行，DLPC8445、DLPC8445V 或 DLPC8455 显示控制器必须始终与正确的 DMD 和 DLPA3085 或 DLPA3082 PMIC 配合使用。注意：DLPC8455 不支持 DLPA3085。

器件信息

器件型号	封装(1)	封装尺寸
DLPC8445AMD	FCCSP (484)	9.00mm × 9.00mm
DLPC8445VAMD	FCCSP (484)	9.00mm × 9.00mm
DLPC8455AMD	FCCSP (484)	9.00mm × 9.00mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*附录。



4K UHD 显示芯片组

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
4.1 初始化、板级测试和调试.... 3
4.2 V-by-One 接口输入数据和控制.... 5
4.3 FPD Link 端口输入数据和控制（DLPC8445、DLPC8445V 和 DLPC8455 不支持）.... 6
4.4 DSI 输入数据和时钟（DLPC8445、DLPC8445V 和 DLPC8455 不支持）.... 7
4.5 DMD SubLVDS 接口.... 8
4.6 DMD 复位和低速接口.... 10
4.7 闪存接口.... 10
4.8 外设接口.... 11
4.9 GPIO 外设接口.... 12
4.10 时钟和 PLL 支持.... 16
4.11 电源和接地.... 17
4.12 I/O 类型下标定义.... 20
4.13 内部上拉和下拉电阻器特性.... 20
5 规格.... 21
5.1 绝对最大额定值.... 21
5.2 ESD 等级.... 22
5.3 建议运行条件.... 22
5.4 热性能信息.... 23
5.5 电源电气特性.... 23
5.6 引脚电气特性.... 24
5.7 DMD SubLVDS 接口电气特性.... 25
5.8 DMD 低速接口电气特性.... 26
5.9 V-by-One 接口电气特性.... 26
5.10 USB 电气特性.... 27
5.11 系统振荡器时序要求.... 27
5.12 电源和复位时序要求.... 29
5.13 V-by-One 接口一般时序要求.... 30
5.14 闪存接口时序要求.... 31
5.15 源帧时序要求.... 32
5.16 同步串行端口接口时序要求.... 33
5.17 I^2C 接口时序要求.... 35
5.18 可编程输出时钟时序要求.... 35
5.19 JTAG 边界扫描接口时序要求（仅限调试）.... 35
5.20 DMD 低速接口时序要求.... 37
5.21 DMD SubLVDS 接口时序要求.... 37
6 详细说明.... 38
6.1 概述.... 38
6.2 功能方框图.... 38
6.3 特性说明.... 40
7 电源相关建议.... 53
7.1 系统上电和断电序列.... 53
7.2 DMD 快速停止控制 (PARKZ).... 55
7.3 电源管理.... 56
7.4 热插拔用法.... 56
7.5 未使用的输入源接口的电源.... 56
7.6 电源.... 56
8 布局.... 57
8.1 布局指南.... 57
8.2 散热注意事项.... 62
9 器件和文档支持.... 64
9.1 第三方产品免责声明.... 64
9.2 文档支持.... 64
9.3 接收文档更新通知.... 64
9.4 支持资源.... 64
9.5 器件命名规则.... 65
9.6 商标.... 65
9.7 静电放电警告.... 65
9.8 术语表.... 65
10 修订历史记录.... 67
11 机械、封装和可订购信息.... 67

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

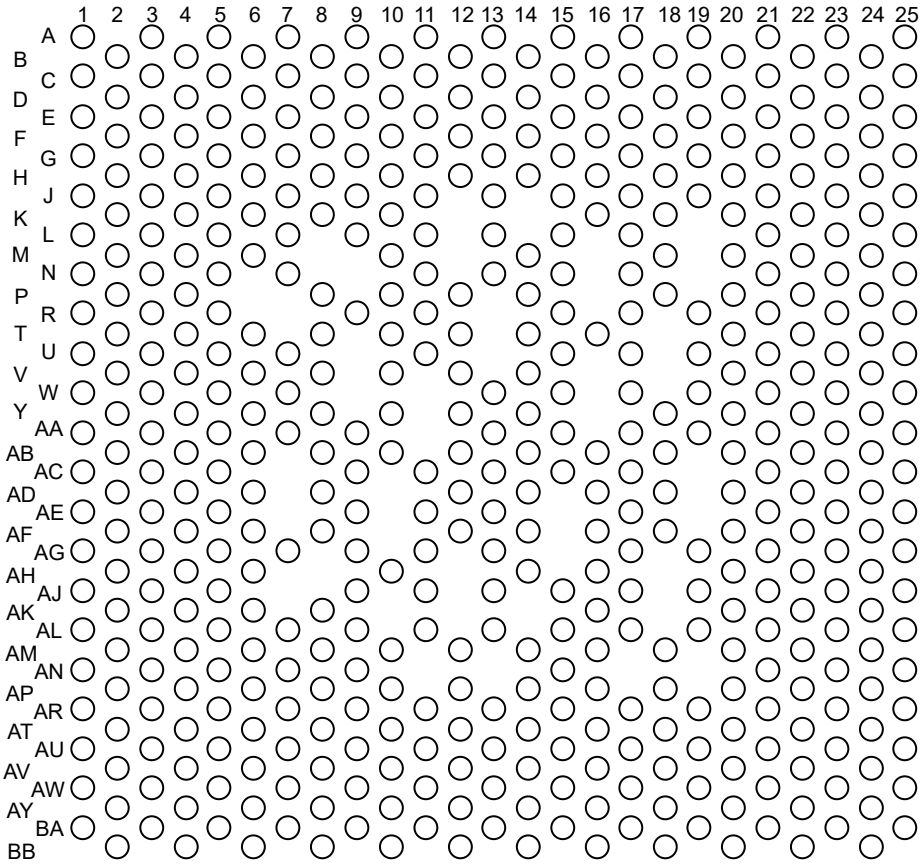


图 4-1. AMD 封装 484 引脚 FCCSP 顶视图

4.1 初始化、板级测试和调试

表 4-1. 初始化、板级测试和调试

引脚		I/O [1]	说明
名称	编号		
PROJ_ON	AP2	I1	正常微镜停止请求（低电平有效）：由主机的 PROJ_ON 输出驱动。该信号上的逻辑低电平会使控制器停止 DMD，但不会使 DMD 断电（DLPA 执行该操作）。最短高电平时间为 200ms。最短低电平时间为 200ms。
RESETZ	P2	I1	上电复位（带有一个迟滞缓冲器的低电平有效输入）。当在 RESETZ 上检测到从低电平到高电平的转换时，自配置启动。在该复位被置为无效之前，所有控制器电源和时钟都必须保持稳定。当 RESETZ 被置为有效时，没有信号处于有效状态。该引脚通常连接到 DLPA PMIC 的 RESETZ 引脚。
PARKZ	AR1	I1	DMD 快速停止控制（低电平有效输入，带有一个迟滞缓冲器）。该信号用于在即将发生断电时快速停止 DMD。如果执行快速停止操作，则可能无法实现 DMD 的最长使用寿命；因此，仅当无法完成正常停止操作时，才会将该信号置为有效。PARKZ 信号通常由 DLPA 中断输出信号提供。
JTAGTCK	V24	I2	JTAG 和 ARM-ICE 串行数据时钟。该信号在 JTAG 和 ARM-ICE（仅限 TI 测试）操作之间共享。包含一个内部弱下拉电阻器
JTAGTMS1	U23	I2	JTAG 测试模式选择。包含一个弱内部上拉电阻
JTAGTMS2	W25	I2	ARM-ICE 测试模式选择。在正常运行时，该引脚必须保持开路或未连接。包含一个弱内部上拉电阻

表 4-1. 初始化、板级测试和调试（续）

引脚		I/O [1]	说明
名称	编号		
JTAGTRSTZ	AA25	I2	JTAG、ARM-ICE 复位。 *在正常运行时，必须通过一个阻值为 8kΩ 或更低的外部电阻器将该引脚拉至接地。如果在正常运行期间未能将该引脚拉至低电平，则会导致启动和初始化问题。* 对于 JTAG 边界扫描和 ARM-ICE 调试操作，该引脚必须上拉或保持断开状态。包含内部弱上拉和迟滞
JTAGTDI	Y24	I2	JTAG、ARM-ICE 和 CPU MBIST：串行数据输入。包含一个弱内部上拉电阻
JTAGTDO1	V22	B14	JTAG 串行数据输出
JTAGTDO2	W23	B14	ARM-ICE 串行数据输出。正常运行时，该引脚需要一个阻值不大于 9.15kΩ 的外部上拉电阻器。
ETM_TRACECLK	U25	O14	保留引脚，必须保持未连接状态。
ETM_TRACECTL	T24	O14	保留引脚，必须保持未连接状态。
TSTPT_0	T22	B14	测试引脚 0 该引脚具有一个内部下拉电阻器，可能需要一个阻值为不大于 9.15kΩ 的外部上拉电阻器（无上拉：正常引导，上拉：等待主机命令）。
TSTPT_1	R25	B14	测试引脚 1 该引脚具有一个用于正常引导操作的内部下拉电阻器。
TSTPT_2	R23	B14	测试引脚 2 该引脚具有一个内部下拉电阻器，可能需要一个阻值为不大于 9.15kΩ 的外部上拉电阻器（无上拉：I^2C 地址 = 0x36，上拉：I^2C 地址 = 0x34）。
TSTPT_3	P24	B14	测试引脚 3 该引脚具有一个内部下拉电阻器，可能需要一个阻值为不大于 9.15kΩ 的外部上拉电阻器（无上拉：主机接口为 USB 或 I^2C，上拉：主机接口仅为 I^2C），阻值不大于 9.15kΩ。
TSTPT_4	N25	B14	测试引脚 4 该引脚具有一个内部下拉电阻器。
TSTPT_5	P22	B14	测试引脚 5 该引脚具有一个内部下拉电阻器。
TSTPT_6	N23	B14	测试引脚 6 该引脚具有一个内部下拉电阻器。
TSTPT_7	M24	B14	测试引脚 7 该引脚具有一个内部下拉电阻器。
GPTP0	AA23	B13	通用测试引脚 0 该引脚具有一个内部下拉电阻器，可能需要一个阻值不大于 9.15kΩ 的外部上拉电阻器（无上拉：外部晶体，上拉：外部时钟）。
GPTP1	AB22	B13	通用测试引脚 1 该引脚具有一个内部下拉电阻器。
GPTP2	AC25	B13	通用测试引脚 2 该引脚具有一个内部下拉电阻器。
ATB_0_H	AH4	PWR	保留引脚，必须保持未连接状态。
ATB_1_H	AJ5	PWR	保留引脚，必须保持未连接状态。
ATEST	G13	PWR	保留引脚，必须保持未连接状态。
CAP_VDDS_FLSH	AD22	PWR	外部偏置电容
CAP_VDDS_INTF	AJ21	PWR	外部偏置电容
IFORCE	L3	PWR	仅用于制造。必须接地。
VSENSE	K2	PWR	保留引脚，必须保持未连接状态。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 初始化、板级测试和调试（续）

引脚		I/O (1)	说明
名称	编号		
HWTEST_EN	Y22	I2	保留引脚。 该信号必须直接连接到 PCB 的接地端才能正常运行。包含内部弱下拉电阻器和迟滞。

(1) 更多有关 I/O 定义的信息，请参阅节 4.12

4.2 V-by-One 接口输入数据和控制

引脚		I/O (1)	说明 (2) (3) (4)
名称	编号		
P1_VX1_D0_P	AV8	I5	V-by-One 接口数据通道
P1_VX1_D0_N	AU9		
P1_VX1_D1_P	BB8		
P1_VX1_D1_N	AY8		
P1_VX1_D2_P	BA9		
P1_VX1_D2_N	AW9		
P1_VX1_D3_P	BB10		
P1_VX1_D3_N	AY10		
P1_VX1_D4_P	BA11		
P1_VX1_D4_N	AW11		
P1_VX1_D5_P	AV12		
P1_VX1_D5_N	AU13		
P1_VX1_D6_P	BB12		
P1_VX1_D6_N	AY12		
P1_VX1_D7_P	BA13		
P1_VX1_D7_N	AW13		
P1_HTPDN	AN3	O10	V-by-One 接口热插拔检测（控制器接收器将此信号拉低，以向发送器指示其存在）。此信号是控制器输出端的漏极开路信号。发送器需要一个上拉电阻。
P1_LOCKN	AM4	O10	V-by-One 接口时钟检测锁定（控制器接收器将此信号拉至低电平，以指示时钟提取锁定到发送器）。此信号是控制器输出端的漏极开路信号。发送器需要一个上拉电阻。
P1_RREF	AU11	PWR	V-by-One 偏置电阻器输入

(1) 更多有关 I/O 定义的信息，请参阅 I/O 类型下标定义。
(2) 根据输入源的带宽要求，该系统支持单通道、双通道、4 通道或 8 通道运行。未使用的数据通道的输入必须保持开路，而不是所有通道都使用。如果 V-by-one 视频接口完全没有使用，则引脚应接地。
(3) V-by-One 端口支持受限通道重映射，有助于优化电路板布局布线。V-by-One 接口中介绍了详细信息。
(4) 在本文档中，术语 V-by-One 和 Vx1 可以互换使用。

4.3 FPD Link 端口输入数据和控制（DLPC8445、DLPC8445V 和 DLPC8455 不支持）

引脚		I/O[1]	说明[2] [3] [4]
名称	编号		
P2A_LVDS_C_P	BA17	I4	保留
P2A_LVDS_C_N	AW17	I4	
P2A_LVDS_D0_P	BA15	I4	保留
P2A_LVDS_D0_N	AW15	I4	
P2A_LVDS_D1_P	BB16	I4	
P2A_LVDS_D1_N	AY16	I4	
P2A_LVDS_D2_P	AV16	I4	
P2A_LVDS_D2_N	AU15	I4	
P2A_LVDS_D3_P	BB18	I4	
P2A_LVDS_D3_N	AY18	I4	
P2A_LVDS_D4_P	AV18	I4	
P2A_LVDS_D4_N	AU17	I4	
P2A_LVDS_RPI	AT16	PWR	保留
P2B_LVDS_C_P	BA21	I4	保留
P2B_LVDS_C_N	AW21	I4	
P2B_LVDS_D0_P	BB20	I4	保留
P2B_LVDS_D0_N	AY20	I4	
P2B_LVDS_D1_P	AV20	I4	
P2B_LVDS_D1_N	AU19	I4	
P2B_LVDS_D2_P	AV22	I4	
P2B_LVDS_D2_N	AU21	I4	
P2B_LVDS_D3_P	BB22	I4	
P2B_LVDS_D3_N	AY22	I4	
P2B_LVDS_D4_P	BA23	I4	
P2B_LVDS_D4_N	AW23	I4	
P2B_LVDS_RPI	AT20	PWR	保留

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。
(2) 本文档中的 FPD 和 FPD-Link 两个术语指的是 FPD Link I。
(3) 将任何未使用的端口的输入端接地，或通过外部电阻器拉至接地。
(4) 如果只需要这两个端口中的其中一个，则可以使用任一端口，并将另一个端口视为未使用的端口。

Copyright © 2025 Texas Instruments Incorporated

4.4 DSI 输入数据和时钟（DLPC8445、DLPC8445V 和 DLPC8455 不支持）

引脚		I/O [1]	说明[2]
名称	编号		
P3_DSI_C_P	BB6	I6	保留
P3_DSI_C_N	AY6	I6	
P3_DSI_D0_P	BA5	I6	保留
P3_DSI_D0_N	AW5	I6	
P3_DSI_D1_P	BB4	I6	
P3_DSI_D1_N	AY4	I6	
P3_DSI_D2_P	AV4	I6	
P3_DSI_D2_N	AU5	I6	
P3_DSI_D3_P	BA3	I6	
P3_DSI_D3_N	AW3	I6	
P3_DSI_RCALIB	AV6	PWR	保留

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。
(2) 将任何未使用的端口的输入端接地，或通过外部电阻器拉至接地。

4.5 DMD SubLVDS 接口

引脚		I/O [1]	说明
名称	编号		
DMD_HS0_CLK_P	B6	O15	通道 0 DMD SubLVDS 时钟通道
DMD_HS0_CLK_N	D6	O15	
DMD_HS0_WDATA0_P	A3	O15	通道 0 DMD SubLVDS 数据通道
DMD_HS0_WDATA0_N	C3	O15	
DMD_HS0_WDATA1_P	F4	O15	
DMD_HS0_WDATA1_N	E5	O15	
DMD_HS0_WDATA2_P	B4	O15	
DMD_HS0_WDATA2_N	D4	O15	
DMD_HS0_WDATA3_P	A5	O15	
DMD_HS0_WDATA3_N	C5	O15	
DMD_HS0_WDATA4_P	F6	O15	
DMD_HS0_WDATA4_N	E7	O15	
DMD_HS0_WDATA5_P	A7	O15	
DMD_HS0_WDATA5_N	C7	O15	
DMD_HS0_WDATA6_P	F8	O15	
DMD_HS0_WDATA6_N	E9	O15	
DMD_HS0_WDATA7_P	B8	O15	
DMD_HS0_WDATA7_N	D8	O15	
DMD_HS1_CLK_P	A13	O15	通道 1 DMD SubLVDS 时钟通道
DMD_HS1_CLK_N	C13	O15	
DMD_HS1_WDATA0_P	B10	O15	通道 1 DMD SubLVDS 数据通道
DMD_HS1_WDATA0_N	D10	O15	
DMD_HS1_WDATA1_P	A11	O15	
DMD_HS1_WDATA1_N	C11	O15	
DMD_HS1_WDATA2_P	F10	O15	
DMD_HS1_WDATA2_N	E11	O15	
DMD_HS1_WDATA3_P	B12	O15	
DMD_HS1_WDATA3_N	D12	O15	
DMD_HS1_WDATA4_P	B14	O15	
DMD_HS1_WDATA4_N	D14	O15	
DMD_HS1_WDATA5_P	F12	O15	
DMD_HS1_WDATA5_N	E13	O15	
DMD_HS1_WDATA6_P	A15	O15	
DMD_HS1_WDATA6_N	C15	O15	
DMD_HS1_WDATA7_P	F14	O15	
DMD_HS1_WDATA7_N	E15	O15	
DMD_HS2_CLK_P	A19	O15	通道 2 DMD SubLVDS 时钟通道
DMD_HS2_CLK_N	C19	O15	

Copyright © 2025 Texas Instruments Incorporated

4.5 DMD SubLVDS 接口（续）

引脚		I/O [1]	说明
名称	编号		
DMD_HS2_WDATA0_P	A17	O15	通道 2 DMD SubLVDS 数据通道
DMD_HS2_WDATA0_N	C17	O15	
DMD_HS2_WDATA1_P	F16	O15	
DMD_HS2_WDATA1_N	E17	O15	
DMD_HS2_WDATA2_P	B18	O15	
DMD_HS2_WDATA2_N	D18	O15	
DMD_HS2_WDATA3_P	F18	O15	
DMD_HS2_WDATA3_N	E19	O15	
DMD_HS2_WDATA4_P	B20	O15	
DMD_HS2_WDATA4_N	D20	O15	
DMD_HS2_WDATA5_P	A21	O15	
DMD_HS2_WDATA5_N	C21	O15	
DMD_HS2_WDATA6_P	F20	O15	
DMD_HS2_WDATA6_N	E21	O15	
DMD_HS2_WDATA7_P	B22	O15	
DMD_HS2_WDATA7_N	D22	O15	
DMD_HS3_CLK_P	H24	O15	通道 3 DMD SubLVDS 时钟通道
DMD_HS3_CLK_N	J25	O15	
DMD_HS3_WDATA0_P	B24	O15	通道 3 DMD SubLVDS 数据通道
DMD_HS3_WDATA0_N	C25	O15	
DMD_HS3_WDATA1_P	D24	O15	
DMD_HS3_WDATA1_N	E25	O15	
DMD_HS3_WDATA2_P	F22	O15	
DMD_HS3_WDATA2_N	E23	O15	
DMD_HS3_WDATA3_P	F24	O15	
DMD_HS3_WDATA3_N	G25	O15	
DMD_HS3_WDATA4_P	H22	O15	
DMD_HS3_WDATA4_N	G23	O15	
DMD_HS3_WDATA5_P	K24	O15	
DMD_HS3_WDATA5_N	L25	O15	
DMD_HS3_WDATA6_P	K22	O15	
DMD_HS3_WDATA6_N	J23	O15	
DMD_HS3_WDATA7_P	M22	O15	
DMD_HS3_WDATA7_N	L23	O15	

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。

4.6 DMD 复位和低速接口

引脚		I/O [1]	说明
名称	编号		
DMD_LS0_CLK_P	F2	O15	DMD 低速差分接口，端口 0 时钟
DMD_LS0_CLK_N	E1	O15	
DMD_LS0_WDATA_P	B2	O15	DMD 低速差分接口，端口 0 写入数据
DMD_LS0_WDATA_N	C1	O15	
DMD_LS1_CLK	G1	O12	DMD 低速单端接口，端口 1 时钟
DMD_LS1_WDATA	E3	O12	DMD 低速单端接口，端口 1 写入数据
DMD_LS2_CLK	H2	O12	DMD 低速单端接口，端口 2 时钟
DMD_LS2_WDATA	G3	O12	DMD 低速单端接口，端口 2 写入数据
DMD_LS0_RDATA	H4	I1	DMD，低速单端串行接口，端口 0 读取数据[2]
DMD_LS1_RDATA	J3	I1	DMD，低速单端串行接口，端口 1 读取数据 [2]。如果未使用此端口，则该信号需要外部上拉或下拉，以保持此输入悬空。
DMD_LS2_RDATA	M4	I1	DMD，低速单端串行接口，端口 2 读取数据 [2]。如果未使用此端口，则该信号需要外部上拉或下拉，以保持此输入悬空。
DMD_LS3_RDATA	K4	I1	DMD，低速单端串行接口，端口 3 读取数据 [2]。如果未使用此端口，则该信号需要外部上拉或下拉，以保持此输入悬空。
DMD_DEN_ARSTZ	J1	O10	DMD 驱动器使能信号/低电平有效异步复位（“1”= 启用，“0”= 复位） 此信号在 DMD 停止后，在使 DMD 断电之前被驱动为低电平。 *如果控制器的 1.8V 电源与 DMD 的 1.8V 电源无关，则必须在施加 DMD 电源且控制器电源无效时使用外部下拉电阻器将信号保持为低电平。*

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。
(2) 所有控制接口读取均使用单端低速信号。由低速差分写入时钟为读取数据计时。

4.7 闪存接口

引脚		I/O [1]	说明
名称	编号		
FLSH_CSZ	AG23	B16	芯片选择：仅引导闪存（引导闪存必须使用此芯片选择。）
FLSH_CLK	AG25	B16	闪存时钟
FLSH_DATA0	AH22	B16	地址位 0 (LSB)
FLSH_DATA1	AH24	B16	地址位 1
FLSH_DATA2	AJ25	B16	地址位 2
FLSH_DATA3	AJ23	B16	地址位 3

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。

Copyright © 2025 Texas Instruments Incorporated

4.8 外设接口

引脚		I/O [1]	说明
名称	编号		
IIC0_SCL	AL25	B18	I2C 端口 0（主/辅助），通常为辅助，用于主机命令和控制器控制、SCL（双向，开漏）：需要一个外部上拉电阻。该上拉电阻的最小可接受值为 470Ω。
IIC0_SDA	AK24	B18	
SSP0_DO	AP24	O17	SSP/SPI 端口 0 数据输出（主）：发送数据引脚
SSP0_DI	AN23	I3	SSP/SPI 端口 0 数据输入（主）：接收数据引脚
SSP0_CLK	AN25	O17	SSP/SPI 端口 0 时钟（主）：时钟引脚
SSP0_CSZ_0	AM22	O17	SPI 端口 0 片选 0（主）：片选（低电平有效）。 为了避免外部器件出现悬空片选输入，建议使用外部上拉电阻器 (≤ 10kΩ)。
USB_DAT_P	AU1	B7	USB OTG 数据通道
USB_DAT_N	AW1	B7	
USB_VBUS	AP4	B7	USB OTG 5V 电源检测
USB_ID	AT2	I7	USB OTG 微型插座标识
USB_TXRTUNE	AR3	PWR	RTTRIM USB OTG 基准电阻器： 必须连接一个用于校准片上电阻器的外部基准电阻器，其阻值为 499Ω。
HOST_IRQ	AK22	O17	主机中断（输出）： HOST_IRQ 指示 DLPC 自动初始化何时进行，最重要的是何时完成。HOST_IRQ 也会在命令处理期间切换，以指示何时正在执行。这个引脚在复位期间为三态。必须在该信号上包含一个外部上拉电阻器。

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。

4.9 GPIO 外设接口

引脚		I/O [1]	说明 [2] [3] [4]
名称	编号		
GPIO_00	AR25	B17	通用 I/O 00： 选项： 1.Alt 0：SSP1_SCLK (O-P/I-S) 2.Alt 1：XY_IF_SCLK (I) 3.SW GPIO (B)
GPIO_01	AU25	B17	通用 I/O 01： 选项： 1.Alt 0：SSP1_DI (I) 2.Alt 1：XY_IF_DI(I) 3.SW GPIO (B)
GPIO_02	AW25	B17	通用 I/O 02： 选项： 1.Alt 0：SSP1_DO (O) 2.Alt 1：XY_IF_DO (O) 3.SW GPIO (B)
GPIO_03	AT24	B17	通用 I/O 03： 选项： 1.Alt 0：SSP1_CSZ_0 (O-P/I-S) 2.Alt 1：XY_IF_CSZ (I) 3.SW GPIO (B)
GPIO_04	AV24	B17	通用 I/O 04： 选项：1.Alt 0：SSP1_CSZ_1 (O-P/I-S) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_05	AR23	B17	通用 I/O 05： 选项： 1.Alt 0：SSP1_CSZ_2 (O-P/I-S) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_06	AP22	B17	通用 I/O 06： 选项： 1.Alt 0：SSP0_BCSZ (O-P/I-S) 2.Alt 1：SSP1_BCSZ (O-P/I-S) 3.SW GPIO (B)
GPIO_07	AL23	B17	通用 I/O 07： 选项： 1.Alt 0：IIC1_SCL (B) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_08	AM24	B17	通用 I/O 08： 选项： 1.Alt 0：IIC1_SDA (B) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_09	N3	B10	通用 I/O 09： 选项： 1.Alt 0：WPC_COLOR_SENSOR_VSYNC(O) 2.Alt 1：MEMAUX_1(O) 3.SW GPIO (B)
GPIO_10	P4	B9	通用 I/O 10： 选项： 1.Alt 0：UART1_RSTZ (O) 2.Alt 1：不适用 3.SW GPIO (B)

Copyright © 2025 Texas Instruments Incorporated

4.9 GPIO 外设接口（续）

引脚		I/O [1]	说明 [2] [3] [4]
名称	编号		
GPIO_11	T4	B10	通用 I/O 11： 选项： 1.Alt 0：UART1_CTSZ(I) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_12	V4	B10	通用 I/O 12： 选项： 1.Alt 0：DMD_PWR_EN (O) 2.Alt 1：RC_CHARGE (O) 3.SW GPIO (B)
GPIO_13	AD24	B14	通用 I/O 13： 选项： 1.Alt 0：PAUX0 (O) 2.Alt 1：LED_SEL0 (O) 3.SW GPIO (B)
GPIO_14	AC23	B14	通用 I/O 14： 选项： 1.Alt 0：PAUX1 (O) 2.Alt 1：LED_SEL1 (O) 3.SW GPIO (B)
GPIO_15	AE25	B14	通用 I/O 15： 选项： 1.Alt 0：PAUX2 (O) 2.Alt 1：LED_SEL2 (O) 3.SW GPIO (B)
GPIO_16	AE23	B14	通用 I/O 16： 选项： 1.Alt 0：PAUX3 (O) 2.Alt 1：LED_SEL3 (O) 3.SW GPIO (B)
GPIO_17	AF24	B13	通用 I/O 17： 选项： 1.Alt 0：PAUX4 (O) 2.Alt 1：LED_SEL4 (O) 3.SW GPIO (B)
GPIO_18	AF22	B13	通用 I/O 18： 选项： 1.Alt 0：PAUX5 (O) 2.Alt 1：LED_SEL5 (O) 3.SW GPIO (B)
GPIO_19	R1	B10	通用 I/O 19： 选项： 1.Alt 0：PAUX6 (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_20	R3	B10	通用 I/O 20： 选项： 1.Alt 0：PAUX7 (O) 2.Alt 1：SL_Trigger (I) 3.SW GPIO (B)
GPIO_21	U1	B10	通用 I/O 21： 选项： 1.Alt 0：PAUX8 (O) 2.Alt 1：不适用 3.SW GPIO (B)

Copyright © 2025 Texas Instruments Incorporated

4.9 GPIO 外设接口（续）

引脚		I/O [1]	说明 [2] [3] [4]
名称	编号		
GPIO_22	T2	B9	通用 I/O 22： 选项： 1.Alt 0：PAUX9 (O) 2.Alt 1：CW_INDEX0 (I) 3.SW GPIO (B)
GPIO_23	U3	B10	通用 I/O 23： 选项： 1.Alt 0：PAUX10 (O) 2.Alt 1：PWM_OUT_CW0 (O) 3.SW GPIO (B)
GPIO_24	W1	B10	通用 I/O 24： 选项： 1.Alt 0：PAUX11 (O) 2.Alt 1：PWM_OUT_CW1 (O) 3.SW GPIO (B)
GPIO_25	V2	B10	通用 I/O 25： 选项： 1.Alt 0：PWM_OUT_RLED (O) 2.Alt 1：CMP_MSEL_0 (O) 3.SW GPIO (B)
GPIO_26	W3	B10	通用 I/O 26： 选项： 1.Alt 0：PWM_OUT_GLED (O) 2.Alt 1：CMP_PWM (O) 3.SW GPIO (B)
GPIO_27	AA1	B10	通用 I/O 27： 选项： 1.Alt 0：PWM_OUT_BLED (O) 2.Alt 1：CMP_OUT (I) 3.SW GPIO (B)
GPIO_28	Y4	B10	通用 I/O 28： 选项： 1.Alt 0：PWM_OUT_IRLED (O) 2.Alt 1：LS_PWR (O) 3.SW GPIO (B)
GPIO_29	Y2	B10	通用 I/O 29： 选项：1.Alt 0：PWM_OUT_UVLED (O) 2.Alt 1：CW_INDEX_1 (I) 3.SW GPIO (B)
GPIO_30	AA3	B11	通用 I/O 30： 选项： 1.Alt 0：HBT_CLKOUT (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_31	AB4	B10	通用 I/O 31： 选项： 1.Alt 0：HBT_DO (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_32	AC1	B10	通用 I/O 32： 选项： 1.Alt 0：HBT_CLKIN_0 (I) 2.Alt 1：不适用 3.SW GPIO (B)

Copyright © 2025 Texas Instruments Incorporated

4.9 GPIO 外设接口（续）

引脚		I/O [1]	说明 [2] [3] [4]
名称	编号		
GPIO_33	AB2	B10	通用 I/O 33： 选项： 1.Alt 0：HBT_DI_0 (I) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_34	AC3	B9	通用 I/O 34： 选项： 1.Alt 0：HBT_CLKIN_1 (I) 2.Alt 1：GP_CLK2 (O) 3.SW GPIO (B)
GPIO_35	AD4	B10	通用 I/O 35： 选项： 1.Alt 0：HBT_DI_1 (I) 2.Alt 1：CAL_PWR(O) 3.SW GPIO (B)
GPIO_36	AE1	B10	通用 I/O 36： 选项： 1.Alt 0：HBT_CLKIN_2 (I) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_37	AD2	B10	通用 I/O 37： 选项： 1.Alt 0：HBT_DI_2 (I) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_38	AE3	B10	通用 I/O 38： 选项： 1.Alt 0：EFSYNC (O)/DASYNC (I) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_39	AG1	B10	通用 I/O 39： 选项： 1.Alt 0：SEQ_SYNC（B - 开漏） 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_40	AF4	B10	通用 I/O 40： 选项： 1.Alt 0：AWC0_DACCLK_0_1 (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_41	AF2	B11	通用 I/O 41： 选项： 1.Alt 0：AWC0_DACCLK_0_1 (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_42	AJ1	B10	通用 I/O 42： 选项： 1.Alt 0：AWC0_DACS_PWMA_0 (O) 2.Alt 1：不适用 3.SW GPIO (B)
GPIO_43	AG3	B10	通用 I/O 43： 选项： 1.Alt 0：AWC0_DACD_PWMB_0 (O) 2.Alt 1：PWM_OUT_BLED_2 (O) 3.SW GPIO (B)

Copyright © 2025 Texas Instruments Incorporated

4.9 GPIO 外设接口（续）

引脚		I/O [1]	说明 [2] [3] [4]
名称	编号		
GPIO_44	AH2	B10	通用 I/O 44： 选项： 1.Alt 0：AWC0_DACS_PWMA_1 (O) 2.Alt 1：PAUX_INT0 (O) 3.SW GPIO (B)
GPIO_45	AJ3	B10	通用 I/O 45： 选项： 1.Alt 0：AWC0_DACD_PWMB_1 (O) 2.Alt 1：PAUX_INT1 (O) 3.SW GPIO (B)
GPIO_46	AL1	B10	通用 I/O 46： 选项： 1.Alt 0：不适用 2.Alt 1：PAUX_INT2 (O) 3.SW GPIO (B)
GPIO_47	AK4	B11	通用 I/O 47： 选项： 1.Alt 0：AWC1_DACCLK_0_1 (O) 2.Alt 1：PAUX_INT3 (O) 3.SW GPIO (B)
GPIO_48	AK2	B10	通用 I/O 48： 选项： 1.Alt 0：AWC1_DACS_PWMA_0 (O) 2.Alt 1：SF_SEL_0 (O) 3.SW GPIO (B)
GPIO_49	AN1	B10	通用 I/O 49： 选项： 1.Alt 0：AWC1_DACD_PWMB_0 (O) 2.Alt 1：SF_SEL_1 (O) 3.SW GPIO (B)
GPIO_50	AL3	B10	通用 I/O 50： 选项： 1.Alt 0：AWC1_DACS_PWMA_1 (O) 2.Alt 1：SF_SEL_2 (O) 3.SW GPIO (B)
GPIO_51	AM2	B10	通用 I/O 51： 选项： 1.Alt 0：AWC1_DACD_PWMB_1 (O) 2.Alt 1：SF_SEL_3 (O) 3.SW GPIO (B)

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。
(2) 此表定义了控制器的 GPIO 功能。有关这些 GPIO 的特定产品配置分配，请参阅 *GPIO 功能*。
(3) 除了可用作通用 I/O 之外，大多数 GPIO 还具有至少一种备用硬件功能用途。根据产品配置的不同，GPIO 可被专门保留用作备用硬件功能（因此将不可用作通用 I/O）。有关更多针对有关特定产品配置的 GPIO 分配的信息，请参阅 *GPIO 功能*。
(4) 所有可作为通用 I/O 的 GPIO 都必须配置为输入、标准输出或开漏输出。这是在闪存配置中设置的。将未使用的 GPIO 配置为逻辑零输出并保持未连接状态，否则需要一个外部上拉或下拉电阻器来避免输入悬空。所有 GPIO 的复位默认设置为输入信号。每个配置为开漏输出的信号都需要一个外部上拉电阻器 (≤ 10kΩ)。

4.10 时钟和 PLL 支持

引脚		I/O [1]	说明
名称	编号		
REFCLK_I	N1	I8	晶体输入：基准时钟晶体输入[2] [3]
REFCLK_O	L1	O8	晶体输出：基准时钟晶体输出[2] [5]

Copyright © 2025 Texas Instruments Incorporated

4.10 时钟和 PLL 支持（续）

引脚		I/O [1]	说明
名称	编号		
OCLKA	AB24	O14	通用输出时钟 A [4] 用于驱动色轮电机控制器。频率可通过软件编程，上电默认频率为 0.99MHz。 注：输出频率不受非上电复位操作的影响（即系统保持最后一个编程值，直到系统重新上电）。

(1) 更多有关 I/O 定义的信息，请参阅 I/O 表。
(2) 更多有关此信号的信息，请参阅系统振荡器时序。
(3) 对于使用外部振荡器代替晶体的应用，请使用振荡器驱动该引脚。
(4) 更多有关此信号的信息，请参阅可编程输出时钟时序。
(5) 对于使用外部振荡器代替晶体的应用，该引脚应接地。

4.11 电源和接地

引脚		I/O [1]	说明
名称	编号		
VDDA18_PLLM	AL11	PWR	1.8V（标称值），用于主 I/F PLL
VDDA18_PLLD	J13	PWR	1.8V（标称值），用于 DMD I/F PLL
VDD_CORE	AA13、AA15、AA21、AB16、AC13、AD6、AD8、AD18、AD20、AE9、AE11、AF14、AF16、AF20、AG7、AH6、AJ11、AL9、AL13、AL17、AL19、K8、K18、L9、L13、M6、M20、N15、N17、T6、T12、T14、T20、U19、V8、V10、Y6、Y20	PWR	
VDDAR_CORE	AB10、AB12、AJ9、AJ13、AJ15、AJ17、AJ19、AK8、N11、N13、P8、P18、R9、R19、W15、W17	PWR	
VDDA_CORE_DSI	AR7	PWR	
VDDA_CORE_FPD	AM16、AM18、AM20	PWR	0.8V（标称值）固定电源，用于 FPD 内核
VDDA_CORE_USB	AM6	PWR	0.8V（标称值），用于 USB 控制器
VDDA_CORE_Vx1	AM10、AM14	PWR	0.8V（标称值）固定电源，用于 Vx1 内核
VDDA18_DDI	J7、J9、J11、J15、J17、J19	PWR	1.8V（标称值）固定 IO 电源，用于 SubLVDS DMD 接口
VDDA18_DSI	AP8	PWR	1.8V（标称值），用于 DSI
VDDA18_FPD	AN15、AP16、AP18、AR19	PWR	1.8V（标称值）固定电源，用于 FPD I/O
VDDA18_USB	AN7	PWR	1.8V（标称值），用于 USB Phy
VDDA18_Vx1	AM12、AP10、AP14	PWR	1.8V（标称值）固定电源，用于 Vx1 I/O
VDDA33_USB	AP6	PWR	3.3V（标称值），用于 USB Phy

4.11 电源和接地（续）

引脚		I/O [1]	说明
名称	编号		
VDDS18_LVCMOS1	AA5、AE5、AG5、AL5、W5		
VDDS18_LVCMOS2	N21、R21、U21、W21		
VDDS18_OSC	U5	PWR	1.8V（标称值）固定电源，用于基准振荡器 I/O
VDDSHV_FLSH	AC21、AE21	PWR	1.8V 或 3.3V（标称值）多电压 IO 电源，用于四通道串行闪存接口
VDDSHV_INTF	AG21、AL21	PWR	1.8V 或 3.3V（标称值）多电压 IO 电源，用于 SPI 和 I^2C I/O（包括 GPIO[8:0]），支持 PAD1000 代替 PMIC I/O。也称为 HOST_IRQ

Copyright © 2025 Texas Instruments Incorporated

4.11 电源和接地（续）

引脚		I/O [1]	说明
名称	编号		
VSS	A1、A9、A23、A25、AA7、AA9、AA17、AA19、AB6、AB8、AB14、AB18、AB20、AC5、AC9、AC11、AC15、AC17、AD12、AD14、AD16、AE13、AE17、AF6、AF8、AF12、AF18、AG9、AG11、AG13、AG17、AG19、AH10、AH14、AH16、AH20、AK6、AK16、AK20、AL7、AL15、AM8、AN5、AN9、AN21、AP12、AP20、AR5、AR9、AR11、AR13、AR15、AR17、AR21、AT4、AT6、AT8、AT10、AT12、AT14、AT18、AT22、AU3、AU7、AU23、AV2、AV10、AV14、AW7、AW19、AY2、AY14、AY24、B16、BA1、BA7、BA19、BA25、BB2、BB14、BB24、C9、C23、D2、D16、G5、G7、G9、G11、G15、G17、G19、G21、H6、H8、H10、H12、H14、H16、H18、H20、J5、J21、K6、K10、K16、K20、L5、L7、L11、L15、L17、M2、M10、M14、M18、N5、N7、P10、P12、P14、P20、R5、R11、R15、R17、T8、T10、T16、U7、U11、U15、U17、V6、V12、V14、V20、W7、W13、W19、Y8、Y10、Y12、Y14、Y18	RTN	接地，在封装级所有接地端均连接至 VSS
VPP	L21	RTN	仅用于制造（电子保险丝）。必须接地

(1) 更多有关 I/O 定义的信息，请参阅节 4.12。

4.12 I/O 类型下标定义

I/O			
下标	说明	电源基准	ESD 结构
1	仅限 LVCMOS 1.8V	VDDS18_LVCMOS1	连接到电源轨和 GND 的 ESD 二极管
2	仅限 LVCMOS 1.8V	VDDS18_LVCMOS2	连接到电源轨和 GND 的 ESD 二极管
3	LVCMOS 1.8/3.3V	VDDSHV_INTF	连接到电源轨和 GND 的 ESD 二极管
4	差分 FPD LVDS	VDDA18_FPD	连接到电源轨和 GND 的 ESD 二极管
5	差分 V-by-One	VDDA18_VX1	连接到电源轨和 GND 的 ESD 二极管
6	差分 DSI	VDDA18_DSI	连接到电源轨和 GND 的 ESD 二极管
7	USB 2.0	VDDA18_USB、VDDA33_USB	连接到电源轨和 GND 的 ESD 二极管
8	基准振荡器输入	VDDS18_OSC	连接到电源轨和 GND 的 ESD 二极管
9	仅限 LVCMOS 1.8V 6.5mA	VDDS18_LVCMOS1	连接到电源轨和 GND 的 ESD 二极管
10	仅限 LVCMOS 1.8V 8mA	VDDS18_LVCMOS1	连接到电源轨和 GND 的 ESD 二极管
11	仅限 LVCMOS 1.8V 12mA	VDDS18_LVCMOS1	连接到电源轨和 GND 的 ESD 二极管
12	仅限 LVCMOS 1.8V 24mA	VDDS18_LVCMOS1	连接到电源轨和 GND 的 ESD 二极管
13	仅限 LVCMOS 1.8V 6.5mA	VDDS18_LVCMOS2	连接到电源轨和 GND 的 ESD 二极管
14	仅限 LVCMOS 1.8V 8mA	VDDS18_LVCMOS2	连接到电源轨和 GND 的 ESD 二极管
15	差分 SubLVDS 1.8V	VDDA18_DDI	连接到电源轨和 GND 的 ESD 二极管
16	LVCMOS 1.8/3.3V 8mA	VDDSHV_FLSH	连接到电源轨和 GND 的 ESD 二极管
17	LVCMOS 1.8/3.3V 7.5mA	VDDSHV_INTF	连接到电源轨和 GND 的 ESD 二极管
18	I^2C 1.8/3.3V，3mA (3.3V)	VDDSHV_INTF	连接到电源轨和 GND 的 ESD 二极管
类型			
I	输入	不适用	
O	输出		
B	双向		
PWR	电源		
RTN	接地回路		

4.13 内部上拉和下拉电阻器特性

内部上拉和下拉电阻器特性[(1)]	条件	最小值	最大值	单位
弱上拉电阻 - FLSH_CSZ	VDD_FLSH = 3.3V	42	59	kΩ
弱上拉电阻 - SSP0_CSZ_0	VDD_INTF = 3.3V	18	26	kΩ
弱上拉电阻 - JTAGTRSTZ、JTAGTDI、JTAGTMS1、JTAGTMS2	VDD18 = 1.8V	31	84	kΩ
弱下拉电阻 - JTAGTCK、HWTEST_EN、TSTPT_0、TSTPT_1、TSTPT_2、TSTPT_3、TSTPT_4、TSTPT_5、TSTPT_6、TSTPT_7、GPTP0、GPTP1、GPTP2	VDD18 = 1.8V	31	71	kΩ

(1) 外部 5.7kΩ 或更小的上拉或下拉电阻器（如果需要）足以使任何电压条件正确覆盖任何相关的内部上拉或下拉电阻。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

参数		最小值	典型值	最大值	单位
电源电压[(2)]					
VDD_CORE	0.8V（标称值），用于内核逻辑	-0.3		1.05	V
VDDAR_CORE	SRAM 内核（0.8V 标称值）	-0.3		1.05	V
VDDS18_LVCMOS1	1.8V（标称值）固定 IO 电源，左侧	-0.3		2.2	V
VDDS18_LVCMOS2	1.8V（标称值）固定 IO 电源，右侧	-0.3		2.2	V
VDDA_CORE_DSI	0.8V（标称值），用于 DSI	-0.3		1.05	V
VDDA18_DSI	1.8V（标称值），用于 DSI	-0.3		2.2	V
VDDA_CORE_FPD	0.8V（标称值）固定电源，用于 FPD 内核	-0.3		1.05	V
VDDA18_FPD	1.8V（标称值）固定电源，用于 FPD I/O	-0.3		2.2	V
VDDA_CORE_Vx1	0.8V（标称值）固定电源，用于 Vx1 内核	-0.3		1.05	V
VDDA18_Vx1	1.8V（标称值）固定电源，用于 Vx1 I/O	-0.3		2.2	V
VDDA_CORE_USB	0.8V（标称值），用于 USB 控制器	-0.3		1.05	V
VDDA18_USB	1.8V（标称值），用于 USB Phy	-0.3		2.2	V
VDDA33_USB	3.3V（标称值），用于 USB Phy	-0.3		3.6	V
VDDSHV_INTF	1.8V 或 3.3V（标称值）多电压 IO 电源，用于 SPI 和 I^2C I/O（包括 GPIO[8:0]），支持 PAD1000 代替 PMIC I/O。也称为 HOST_IRQ。	-0.3		3.8	V
VDDSHV_FLSH	1.8V 或 3.3V（标称值）多电压 IO 电源，用于四通道串行闪存接口	-0.3		3.8	V
VDDA18_DDI	1.8V（标称值）固定 IO 电源，用于 SubLVDS DMD 接口	-0.3		2.2	V
VDDS18_OSC	1.8V（标称值）固定电源，用于基准振荡器 I/O	-0.3		2.2	V
VDDA18_PLLM	1.8V（标称值），用于主 I/F PLL	-0.3		2.2	V
VDDA18_PLLD	1.8V（标称值），用于 DMD I/F PLL	-0.3		2.2	V
LDO INTF					
CAP_VDDS_INTF	用于 3.3V/1.8V 双电压接口 I/O 的外部电容器		1.8	1.98	V
CAP_VDDS_FLSH	用于 3.3V/1.8V 双电压闪存 I/O 的外部电容器				
通用					
T_J	工作结温	-30		115	°C
T_C	工作外壳温度	-30		105	°C
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压（请参阅图 5-1，IO 瞬态电压范围）。			0.2×VDD	V
T_{stg}	贮存温度范围	-40		125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 所有电压值均以 GND 为基准。

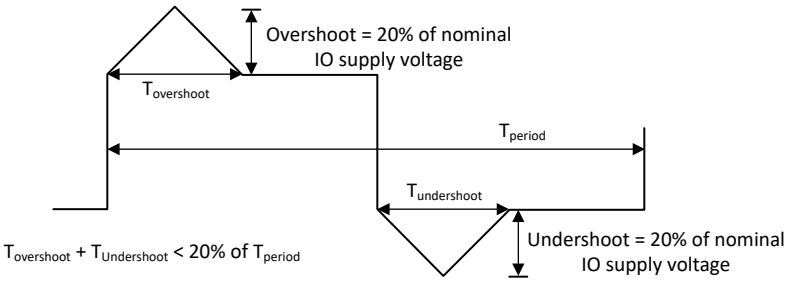


图 5-1. IO 瞬态电压范围

5.2 ESD 等级

ANSI/ESDA/JEDEC JS-002

参数			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

参数		容差	最小值	典型值	最大值	单位
电源电压						
VDD_CORE	0.8V（标称值），用于内核逻辑		0.76	0.8	0.84	V
VDDAR_CORE	SRAM 内核（0.8V 标称值）		0.76	0.8	0.84	V
VDDS18_LVCMOS1	1.8V（标称值）固定 IO 电源，左侧		1.647	1.8	1.953	V
VDDS18_LVCMOS2	1.8V（标称值）固定 IO 电源，右侧		1.647	1.8	1.953	V
VDDA_CORE_DSI	0.8V（标称值），用于 DSI		0.76	0.8	0.84	V
VDDA18_DSI	1.8V（标称值），用于 DSI		1.647	1.8	1.953	V
VDDA_CORE_FPD	0.8V（标称值）固定电源，用于 FPD 内核		0.76	0.8	0.84	V
VDDA18_FPD	1.8V（标称值）固定电源，用于 FPD I/O		1.647	1.8	1.953	V
VDDA_CORE_Vx1	0.8V（标称值）固定电源，用于 Vx1 内核		0.76	0.8	0.84	V
VDDA18_Vx1	1.8V（标称值）固定电源，用于 Vx1 I/O		1.647	1.8	1.953	V
VDDA_CORE_USB	0.8V（标称值），用于 USB 控制器		0.76	0.8	0.84	V
VDDA18_USB	1.8V（标称值），用于 USB Phy		1.647	1.8	1.953	V
VDDA33_USB	3.3V（标称值），用于 USB Phy		3.02	3.3	3.52	V
VDDSHV_INTF	1.8V 或 3.3V（标称值）多电压 IO 电源，用于 SPI 和 I^2C I/O（包括 GPIO[8:0]），支持 PAD1000 代替 PMIC I/O。也称为 HOST_IRQ。		1.647	1.8	1.953	V
VDDSHV_INTF	3.3V 工作电压		3.02	3.3	3.52	V
VDDSHV_FLSH	1.8V 或 3.3V（标称值）多电压 IO 电源，用于四通道串行闪存接口		1.647	1.8	1.953	V
VDDSHV_FLSH	3.3V 工作电压		3.02	3.3	3.52	V
VDDA18_DDI	1.8V（标称值）固定 IO 电源，用于 SubLVDS DMD 接口		1.647	1.8	1.953	V

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件（续）

参数		容差	最小值	典型值	最大值	单位
VDDS18_OSC	1.8V（标称值）固定电源，用于基准振荡器 I/O		1.647	1.8	1.953	V
VDDA18_PLLM	1.8V（标称值），用于主 I/F PLL		1.647	1.8	1.953	V
VDDA18_PLLD	1.8V（标称值），用于 DMD I/F PLL		1.647	1.8	1.953	V
通用						
T_J	工作结温		-30		115	°C
T_C	工作外壳温度		-30		94	°C
T_A	工作环境温度 (1) (2)		-30		85	°C

(1) 工作环境温度范围值是根据《通用布局指南》中所述的电路板设计参数（而不是使用 JEDEC JESD51 标准测试卡和环境）以及整个工艺、电压和温度范围内的最小和最大估算功率耗散确定的。影响 $R_{\theta JA}$ 的环境热条件件因应用而异。因此，最高工作环境温度因应用而异。$T_{a_min} = T_{j_min} - (P_{d_min} \times R_{\theta JA}) = 0°C - (host_min_valueW \times host_value°C/W) = - host_value°C/W) = -host_calculated_value°C$. $T_{a_max} = T_{j_max} - (P_{d_max} \times R_{\theta JA}) = +115°C - (host_max_valueW \times host_value°C/W) = +host_calculated_value°C$

(2) 工作环境温度取决于系统热设计。在整个环境温度条件下，工作外壳温度不能超过其额定范围。

5.4 热性能信息

热指标(1)		测试条件	FCCSP 484 引脚	单位
R_{JC}	结至外壳热阻		3.3	°C/W
$R_{\theta JA}$	结至空气热阻	强制气流为 0m/s(2)	19.5	°C/W
		强制气流为 1m/s(2)	12.9	
		强制气流为 2m/s(2)	11.8	
ψ_{JT}	结点到封装顶部中心温度的温度变化，单位功率耗散		0.04	°C/W

(1) 有关新旧热指标的更多信息，请参阅 IC 封装热指标应用报告，SPRA953。

(2) 热系数符合 JEDEC 标准 51。$R_{\theta JA}$ 是使用 JEDEC 定义的标准测试 PCB 测得的封装热阻。该 JEDEC 测试 PCB 未必代表控制器 PCB，因此所报告的热阻可能不是实际产品应用中的准确热阻。尽管实际热阻可能不同，但它是在设计阶段估算热性能的最可靠信息。

5.5 电源电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值(1)	最大值	单位
$V_{(Supply08)}$	0.8V DVH 电源	内核电源		1.48		A
$V_{(Supply18)}$	1.8V DVH 电源	IO 电源，VbyOne、SubLVDS、GPIO		180		mA
$V_{(Supply33)}$	3.3V DVH 电源	USB 电源		1		mA

(1) 典型功耗基于标准用例 3840x2160 CVT 时序，采用 25°C 环境温度下的 SMPTE 色条图像。这些值不考虑可能影响电源性能的软件更新或客户更改。

5.6 引脚电气特性

参数		IO 类型	测试条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入阈值电压	9	仅限 LVCMOS 1.8V/6.5mA	1.26	1.8	1.98	V
		10	仅限 LVCMOS 1.8V/8mA	1.26	1.8	1.98	V
		11	仅限 LVCMOS 1.8V/12mA	1.26	1.8	1.98	V
		17	LVCMOS（1.8 或 3.3V）/7.5mA	1.26	1.8	1.98	V
		16	LVCMOS（1.8 或 3.3V）/8mA	1.26	1.8	1.98	V
V_{IL}	低电平输入阈值电压	9	仅限 LVCMOS 1.8V/6.5mA	-0.3		0.58	V
		10	仅限 LVCMOS 1.8V/8mA	-0.3		0.58	V
		11	仅限 LVCMOS 1.8V/12mA	-0.3		0.58	V
		17	LVCMOS（1.8 或 3.3V）/7.5mA	-0.3		0.49	V
		16	LVCMOS（1.8 或 3.3V）/8mA	-0.3		0.49	V
V_{OH}	高电平输出阈值电压	9	仅限 LVCMOS 1.8V/6.5mA	1.35			V
		10	仅限 LVCMOS 1.8V/8mA	1.35			V
		11	仅限 LVCMOS 1.8V/12mA	1.35			V
		12	仅限 LVCMOS 1.8V/24mA	1.35			V
		17	LVCMOS（1.8 或 3.3V）/7.5mA	1.35			V
		16	LVCMOS（1.8 或 3.3V）/8mA	1.35			V
V_{OL}	低电平输出阈值电压	9	仅限 LVCMOS 1.8V/6.5mA			0.45	V
		10	仅限 LVCMOS 1.8V/8mA			0.45	V
		11	仅限 LVCMOS 1.8V/12mA			0.45	V
		12	仅限 LVCMOS 1.8V/24mA			0.45	V
		17	LVCMOS（1.8 或 3.3V）/7.5mA			0.45	V
		16	LVCMOS（1.8 或 3.3V）/8mA			0.45	V
		18	I^2C 单元 1.8V/3.3V – 3.3V 时为 3mA			0.4	V
I_{IH}	高电平输入电流	9	仅限 LVCMOS 1.8V/6.5mA			10	μA
		10	仅限 LVCMOS 1.8V/8mA			10	μA
		11	仅限 LVCMOS 1.8V/12mA			10	μA
		17	LVCMOS（1.8 或 3.3V）/7.5mA			10	μA
		16	LVCMOS（1.8 或 3.3V）/8mA			10	μA
		18	I^2C 单元 1.8V/3.3V – 3.3V 时为 3mA			10	μA
I_{IL}	低电平输入电流	9	仅限 LVCMOS 1.8V/6.5mA	-10			μA
		10	仅限 LVCMOS 1.8V/8mA	-10			μA
		11	仅限 LVCMOS 1.8V/12mA	-10			μA
		17	LVCMOS（1.8 或 3.3V）/7.5mA	-10			μA
		16	LVCMOS（1.8 或 3.3V）/8mA	-10			μA
		18	I^2C 单元 1.8V/3.3V – 3.3V 时为 3mA	-10			μA

Copyright © 2025 Texas Instruments Incorporated

5.6 引脚电气特性（续）

参数		IO 类型	测试条件	最小值	典型值	最大值	单位
I_{OH}	高电平输出电流	9	仅限 LVCMOS 1.8V/6.5mA			6.5	mA
		10	仅限 LVCMOS 1.8V/8mA			8	mA
		11	仅限 LVCMOS 1.8V/12mA			12	mA
		17	LVCMOS（1.8 或 3.3V）/7.5mA			6	mA
		16	LVCMOS（1.8 或 3.3V）/8mA			8	mA
		18	I^2C 单元 1.8V/3.3V – 3.3V 时为 3mA			3	mA
I_{OL}	低电平输出电流	9	仅限 LVCMOS 1.8V/6.5mA			6.5	mA
		10	仅限 LVCMOS 1.8V/8mA			8	mA
		11	仅限 LVCMOS 1.8V/12mA			12	mA
		17	LVCMOS（1.8 或 3.3V）/7.5mA			6	mA
		16	LVCMOS（1.8 或 3.3V）/8mA			8	mA
		18	I^2C 单元 1.8V/3.3V – 3.3V 时为 3mA			3	mA

5.7 DMD SubLVDS 接口电气特性

在自然通风条件下的温度范围内运行（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{CM}	稳态共模电压		0.8	0.9	1	V
V_{CM}（Δp.p)	V_{CM} 变化（峰峰值）				75	mV
V_{CM}（Δss)	V_{CM} 变化（稳态）		-10		10	mV
$\|V_{OD}\|$	差分输出电压幅度		170	250	350	mV
V_{OD}（Δ）	V_{OD} 变化（逻辑状态之间）		-10		10	mV
V_{OH}	单端输出电压高电平		0.825	1.025	1.175	V
V_{OL}	单端输出电压低电平		0.625	0.775	0.975	V
Tx_{term}	内部差分端接		80	100	120	Ω
Tx_{load}	100Ω 差分 PCB 引线（50Ω 传输线路）		0.25		10	英寸

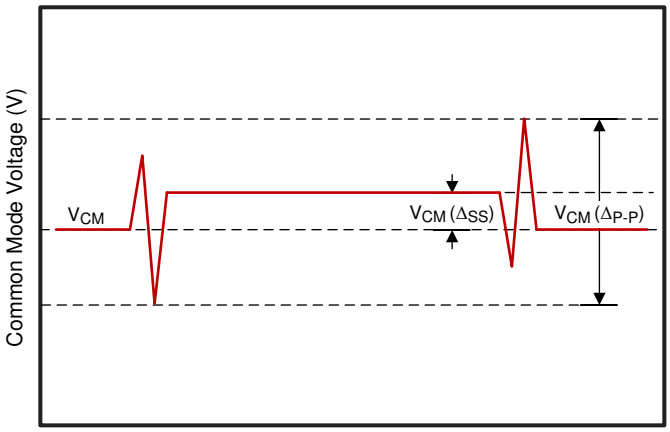


图 5-2. 共模电压

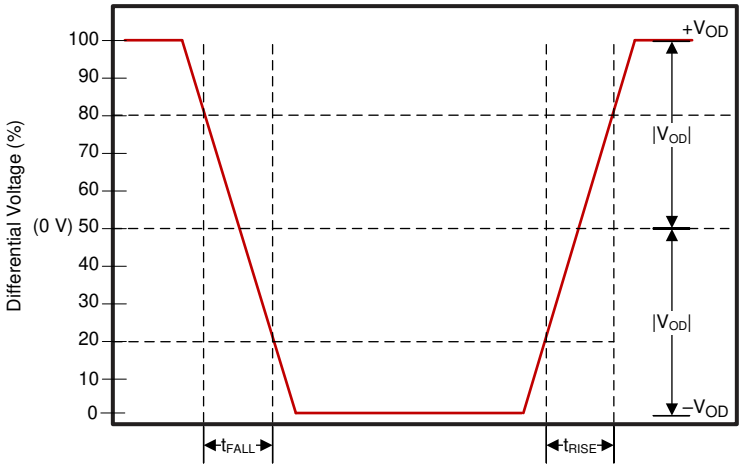


图 5-3. 差分输出信号

5.8 DMD 低速接口电气特性

参数		测试条件	最小值	典型值	最大值	单位
Tx_{load}	100Ω 差分 PCB 引线（50Ω 传输线路）				10	英寸
$V_{OH(DC)}$	直流单端输出电压高电平	0.7 × VDDS18_LVCMOSX	1.35			V
$V_{OL(DC)}$	直流单端输出电压低电平	0.3 × VDDS18_LVCMOSX			0.45	V
$V_{OH(AC)}$ (1)	交流单端输出电压高电平		1.1			V
$V_{OL(AC)}$ (2)	交流单端输出电压低电平	–0.5，0.2 × VDDS18_LVCMOSX			0.6	V

(1) $V_{OH(AC)}$ 最大值适用于过冲。当 DMD_LSX_WDATA 和 DMD_LSX_CLK 线路包含适当的 43Ω 串联终端电阻器时，DMD 在 LPSDR 输入交流规格范围内运行。
(2) $V_{OH(AC)}$ 最小值适用于下冲。当 DMD_LS_WDATA 和 DMD_LS_CLK 线路包含适当的 43Ω 串联终端电阻器时，DMD 在 LPSDR 输入交流规格范围内运行。

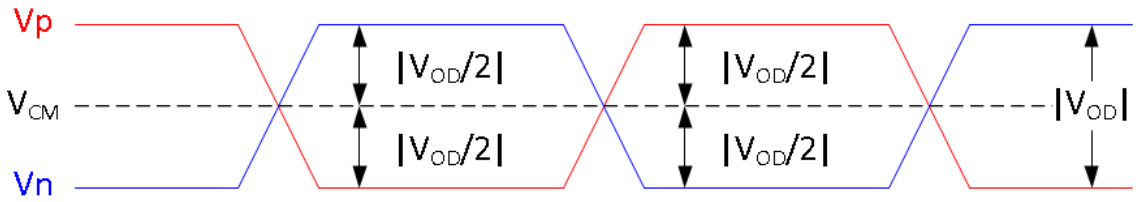


图 5-4. DMD 低速差分电压参数

5.9 V-by-One 接口电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数 (1)		最小值	标称值	最大值	单位
V_{DIFF}	输入峰峰值差分	2 × V_{ID}			mVppd
$\|V_{ID}\|$	差分输入电压	50			mV
Rx_{term}	内部差分端接	80	100	120	Ω

(1) 有关更多信息，请参阅 V-by-One 接口标准。

Copyright © 2025 Texas Instruments Incorporated

5.10 USB 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数 (1)			最小值	标称值	最大值	单位
低速和全速（输入电平）						
V_{IH}	单端输入电压高电平（驱动）		2			V
V_{IL}	单端输入电压低电平				0.8	V
V_{DI}	差分输入灵敏度	|(DP) - (DM)|	0.2			V
V_{CM}	差分共模电压	包括 V_{DI} 范围	-50		500	mV
低速和全速（输出电平）						
V_{OL}	低电平输出电压	采用连接到 3.6V 的 1.425kΩ 上拉电阻器	0		0.3	V
V_{OH}	高电平输出电压	采用 14.25kΩ 下拉电阻器	2.8		3.6	V
高速（输入电平）						
V_{HSSQ}	高速静噪检测阈值（差分信号振幅）		100		150	mV
高速（输出电平）						
终端						
R_{PU}	总线上拉电阻器		1.425		1.575	kΩ
R_{PD}	总线下拉电阻器		14.25		15.75	kΩ
Z_{HSDRV}	高速驱动器输出阻抗		40.5		49.5	Ω

(1) 以 VDDA33_USB 为基准。

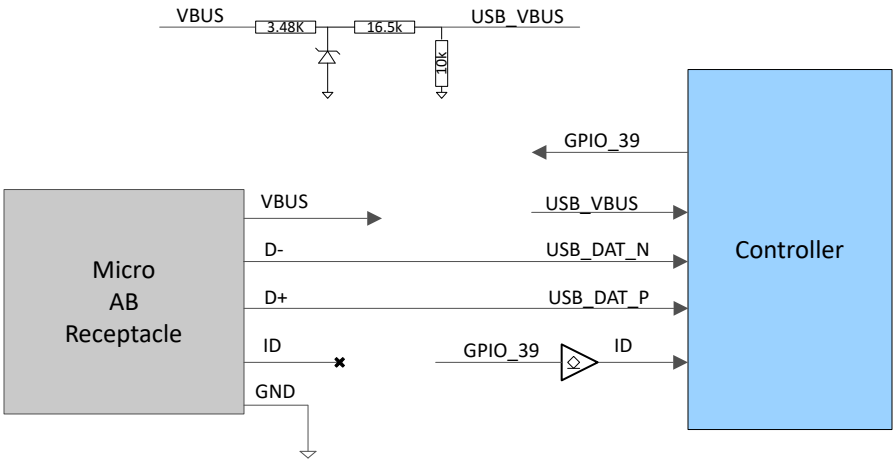


图 5-5. DLPC8445 控制器的 USB 示例

5.11 系统振荡器时序要求

参数			最小值	标称值	最大值	单位
f_{clock}	时钟频率，REFCLK(1) (2)	PLL：40MHz	39.992	40.000	40.008	MHz
t_c	REFCLK 周期时间(1)	PLL：40MHz	24.995	25.000	25.005	ns
$t_{w(H)}$	脉冲持续时间(3)，REFCLK，高电平	PLL：40MHz 50% 至 50% 基准点（信号）	11.25			ns

参数			最小值	标称值	最大值	单位
$t_{w(L)}$	脉冲持续时间[3]，REFCLK，低电平	PLL：40MHz 50% 至 50% 基准点（信号）	11.25			ns

(1) REFCLK 输入不支持展频时钟扩展。
(2) 多控制器系统要求使用单个振荡器来驱动系统中所有控制器的 REFCLK 输入。
(3) 仅在通过外部数字振荡器驱动时适用。这是 1Σ RMS 值。

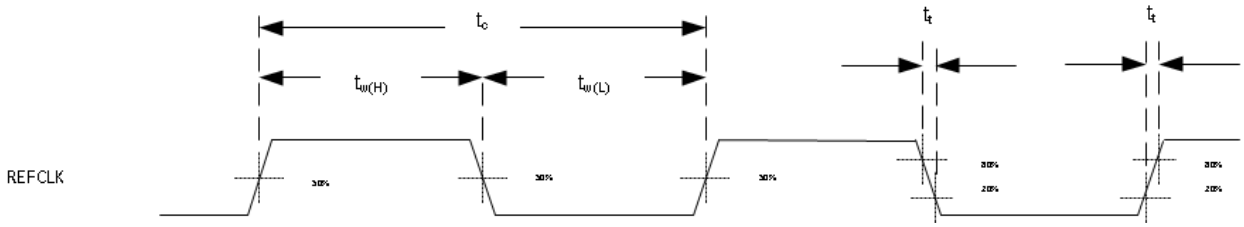


图 5-6. 共模电压

Copyright © 2025 Texas Instruments Incorporated

5.12 电源和复位时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			最小值	最大值	单位
$t_{RAMP-UP}$	电源斜升时间。(1)	每个电源斜升时间的电源斜坡：TOV × 10% 至 TOV × 90% TOV = 典型工作电压		10	ms
			18		mv/µs
$t_{RAMP-UP-TOTAL}$	总电源斜升时间。(1)	0.8V、1.8V 和 3.3V 电源必须完成其斜升的总时间。斜升时间：TOV × 10% 至 TOV × 90% TOV = 典型工作电压		100	ms
$t_{RAMP-DOWN}$	电源斜降时间。(1)	每个电源斜降时间的电源斜坡：TOV × 90% 至 TOV × 10% TOV = 典型工作电压	0		ms
t_{w1}	脉冲持续时间，低电平无效，RESETZ	RESETZ 无效时间 50% 至 50% 基准点（信号）	100		ms
t_{t1}	转换时间，RESETZ $t_{t1} = t_{f1}$ 和 t_{r1}	RESETZ 的上升和下降时间(2) 20% 至 80% 基准点（信号）		25	µs
t_{PROJ_ON}	PROJ_ON 下降时间延迟	任何电源 ≤80% 时 PROJ_ON 到下降时间的延迟	10		ms
$t_{REFCLKA}$	REFCLK 的稳定时间(3)	POSENSE 之前 REFLCKA 的稳定时间	1		ms

(1) 假定所有 0.8V 电源来自同一源，但某些电源将在进入控制器之前具有额外的滤波。因此，这些电源应该一起变化（除了由滤波引起的差异）。对于 1.8V 和 3.3V 电源，也存在同样的预期。
(2) 前提是此信号上的噪声低于迟滞阈值。
(3) 此延迟要求参数由 REFCLK 振荡器的设计定义，定义了在电源斜升并提供稳定的外部基准之后，RESETZ 释放之前内部振荡器锁定所需的最短时间。

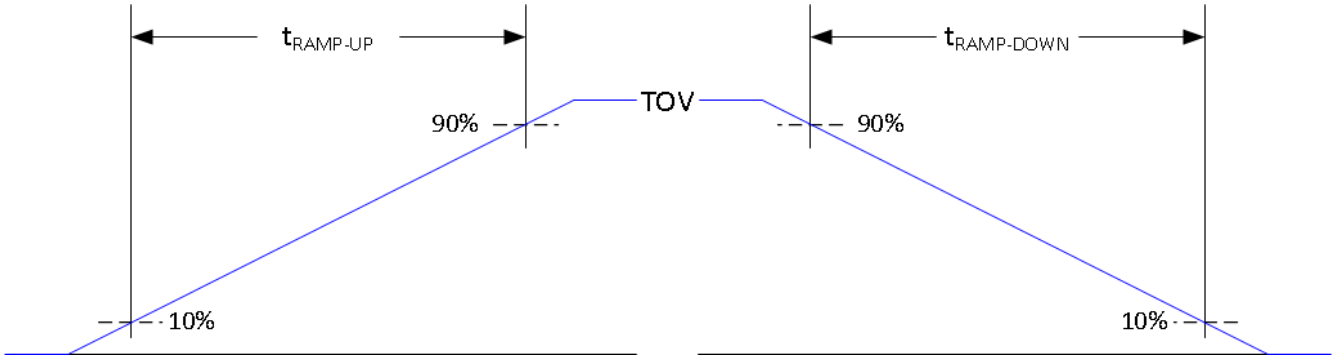


图 5-7. 电源斜坡时间

5.13 V-by-One 接口一般时序要求

参数(1)			最小值	最大值	单位
f_{clock}	源时钟频率	1 至 8 个通道	20	600	MHz
$f_{link-clk}$	每通道链路时钟频率	8 通道	43	75	MHz
		4 通道	43	85	MHz
		2 通道	43	85	MHz
		1 通道	43	85	MHz
f_{link}	链路传输速率	3 字节模式	2	2.55	Gbps
		4 字节模式	2	3	Gbps
		5 字节模式	2	3	Gbps
tRBIT	单位间隔	3 字节模式	392	500	ps
		4 字节模式	294	500	ps
		5 字节模式	294	500	ps
t_A	抖动裕度(2)		0.25		UI
t_B	上升/下降时间(2)		0.05		UI
t_{EYE}	差分数据眼图(2)	差分数据眼图(2)	0.5		UI
t_{skew_intra}	允许的对内偏斜	允许的对内偏斜	0.3	5	UI
t_{skew_inter}	允许的对间偏斜	允许的对间偏斜		5	UI
T_j	总抖动			0.5	UI
R_j	随机抖动	10^{12} UI		0.2	UI
D_j_ISI	确定性抖动 (ISI)			0.2	UI
S_j	正弦抖动			0.1	UI

(1) V-by-One 高速技术除了支持 3 字节、4 字节和 5 字节传输模式外，还支持 1、2、4 或 8 通道运行模式
(2) 请参阅 V-by-One 时序。

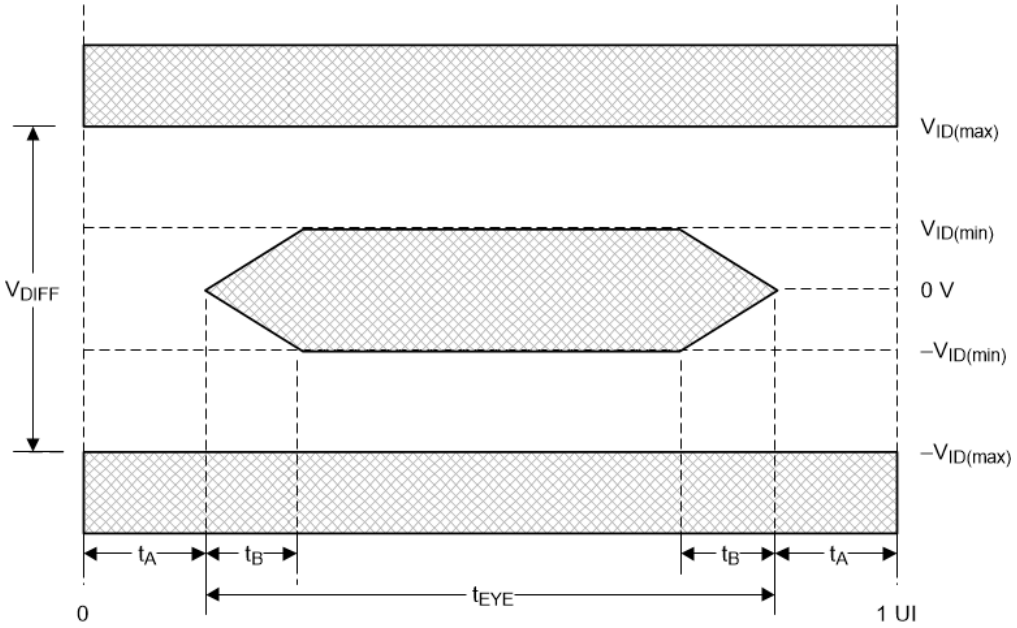


图 5-8. V-By-One 时序

Copyright © 2025 Texas Instruments Incorporated

5.14 闪存接口时序要求

参数			最小值	最大值	单位
f_{CLOCK}	FLSH_CLK 频率		0.586	60.0	MHz
t_{CLKPER}	FLSH_CLK 周期	50% 基准点	16.66	1707	ns
t_{WH}	FLSH_CLK 高电平脉冲宽度	50% 基准点	7.5		ns
t_{WL}	FLSH_CLK 低电平脉冲宽度	50% 基准点	7.5		ns
t_{P_SU}	FLSH_DATA[3:0] 输入建立时间	在 FLSH_CLK↓ 之前	7.2		ns
t_{P_H}	FLSH_DATA[3:0] 输入保持时间	在 FLSH_CLK↓ 之后	0.0		ns

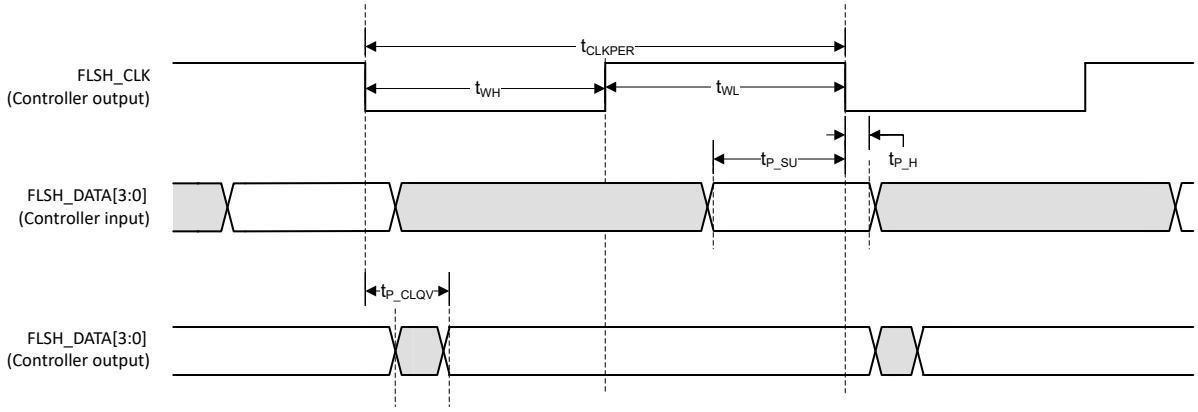


图 5-9. 闪存接口时序

5.15 源帧时序要求

参数(1) (7)			最小值	典型值	最大值	单位
t_{p_vsw}	VSYNC 有效脉冲宽度	50% 基准点	1	10		行
t_{p_vbp}	垂直后沿 (VBP)	50% 基准点	2(2) (3)	72(2) (3)		行
t_{p_vfp}	垂直前沿 (VFP)	50% 基准点	1(2) (3)	8(2) (3)		行
t_{p_tvb}	总垂直消隐 (TVB)	50% 基准点	30(2) (3)	90(2) (3)		行
t_{p_hsw}	HSYNC 有效脉冲宽度	50% 基准点	3(4) (5)	88(4) (5)		PCLK
t_{p_hbp}	水平后沿 (HBP)	50% 基准点	4(4) (5)	296(4) (5)		PCLK
t_{p_hfp}	水平前沿 (HFP)	50% 基准点	7(4) (5)	176(4) (5)		PCLK
t_{p_thb}	总水平消隐 (THB)(10)	50% 基准点	80(4) (5)	560(4) (5)		PCLK
APPL	每行有效像素数(8)		960(6) (9)	3840(6)	3840	像素
ALPF	每帧有效扫描行数		540(6) (9)	2160(6)	2160	行

(1) 表中的要求适用于 4K DLP 显示系统的所有外部源。
(2) 总垂直消隐：VBP + VFP + VS 之和。
(3) 只要满足 VFP 和 VBP 最小值，就可以根据需要分配所需的垂直消隐（每个 TVB）。
(4) 总水平消隐：HBP + HFP + HS 之和。
(5) 只要满足 HFP、HBP 和 HS 最小值要求，就可以根据需要分配所需的水平消隐（每个 THB）。
(6) 为了满足可能的最小 APPL 和 ALPF 要求，可能需要使用非标准时序来满足最小像素时钟和消隐要求。定义的最小值基于以标准 720p 输入源作为 V-by-One 的基准。其他输入源可支持最低 540p。
(7) 视频参数限制设置符合 CVT 1.2 标准要求，包括降低消隐 4K 60Hz 时序。
(8) 在使用 V-by-One 视频输入时，APPL 必须是传入通道数（1、2、4、8）的倍数。
(9) V-by-One 只能支持最低 1280 × 720 的视频源。
(10) 总水平消隐除以视频源中使用的通道数的商必须是整数。如果消隐波动超过两个像素，源将不会锁定。

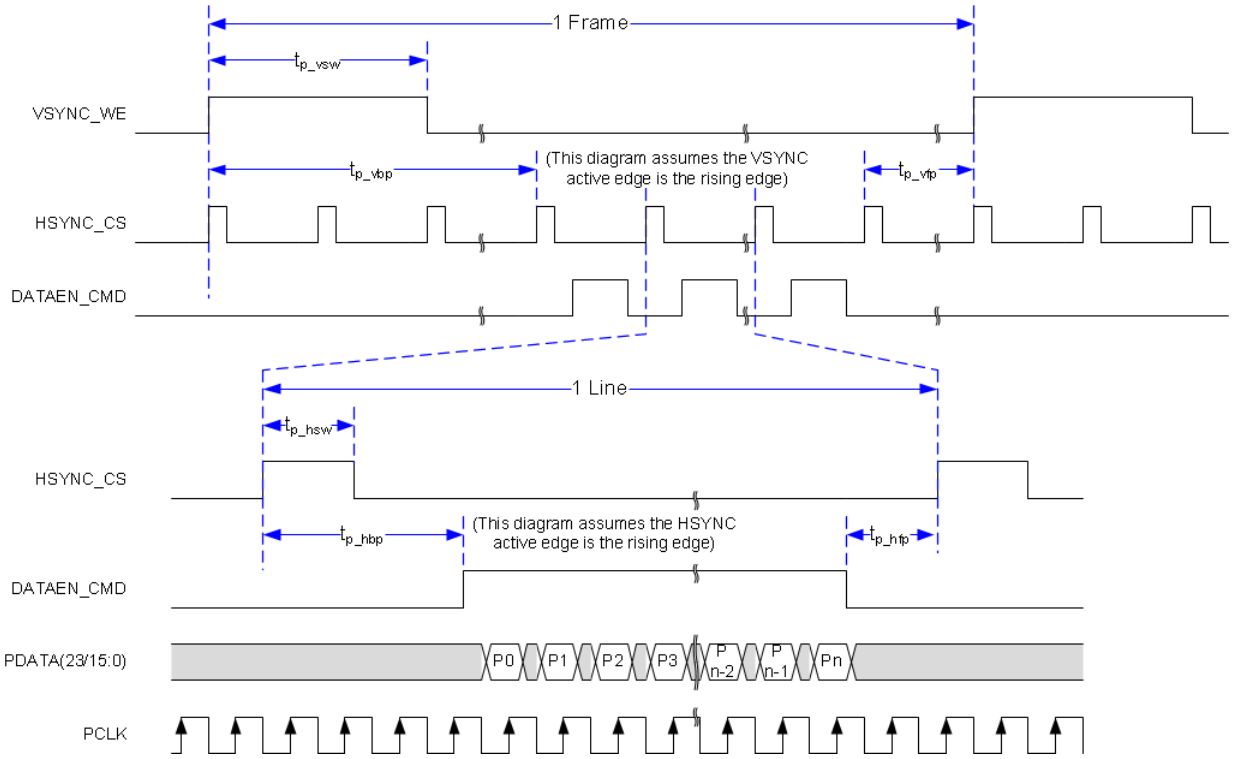


图 5-10. 源帧时序

Copyright © 2025 Texas Instruments Incorporated

5.16 同步串行端口接口时序要求

参数			最小值	最大值	单位
SSP0 主机					
F_{CLK}	SSP*_CLK 频率	广播写入传输 (1) (2)	0.457	75	MHz
		全双工 SPI 传输	0.457	50	MHz
T_{CLK}	SSP*_CLK 时钟周期	广播写入传输 (1) (2)	13.33	2188	ns
		全双工 SPI 传输	20.00	2188	ns
t_{HPW}	SSP*_CLK 高电平/低电平脉冲宽度	广播写入传输 (1) (2)	6.0		ns
		全双工 SPI 传输	9.2		ns
t_{LPW}	SSP*_CLK 高电平/低电平脉冲宽度	广播写入传输 (1) (2)	6.0		ns
		全双工 SPI 传输	9.2		ns
t_S	SSP*_DI 输入建立时间	在 SSP*_CLK ↓ 之前（模式 0 和 3）(2)	9.4		ns
		在 SSP*_CLK ↑ 之前（模式 1 和 2）	9.4		ns
t_H	SSP*_DI 输入保持时间	在 SSP*_CLK ↓ 之前（模式 0 和 3）(2)	0		ns
		在 SSP*_CLK ↑ 之前（模式 1 和 2）	0		ns
t_{DOUT}	SSP*_DO 输出延迟 (2)	在 SSP*_CLK ↓ 之后（模式 0 和 3）	-2.5	2.5	ns
		在 SSP*_CLK ↑ 之后（模式 1 和 2）	-2.5	2.5	ns
		在 SSP*_(B)CSZ ↓ 之后（模式 0 和 2）	-2.5	2.5	ns
		在 SSP*_(B)CSZ ↑ 之后（模式 1 和 3）	-2.5	2.5	ns
SSP1 目标方					
t_{CSZD}	在 SPI 传输之间 SSP*_(B)CSZ* 被置为无效（即高电平）的时间 (3)		13.33		ns
t_{CSS}	SSP*_(B)CSZ* 输入建立时间 (4)	在 SSP*_CLK ↑ 之前 SSP*_(B)CSZ ↓（模式 0 和 1）	6.0		ns
		在 SSP*_CLK ↓ 之前 SSP*_(B)CSZ ↓（模式 2 和 3）	6.0		ns
t_{CSH}	SSP*_(B)CSZ* 输入建立时间 (4)	在 SSP*_CLK ↓ 之后 SSP*_(B)CSZ ↑（模式 0 和 1）	6.0		ns
		在 SSP*_CLK ↑ 之后 SSP*_(B)CSZ ↑（模式 2 和 3）	6.0		ns
t_S	SSP*_DI 输入建立时间	在 SSP*_CLK ↑ 之前（模式 0 和 3）	2.5		ns
		在 SSP*_CLK ↓ 之前（模式 1 和 2）	2.5		
t_H	SSP*_DI 输入保持时间	在 SSP*_CLK ↑ 之前（模式 0 和 3）	2.5		ns
		在 SSP*_CLK ↓ 之前（模式 1 和 2）	2.5		ns
t_{DOUT}	SSP*_DO 输出延迟	在 SSP*_CLK ↓ 之后（模式 0 和 3）	0	8.0	ns
		在 SSP*_CLK ↑ 之后（模式 1 和 2）	0	8.0	ns
		在 SSP*_CSZ ↓ 之后（模式 0 和 3）	0	8.0	ns
		在 SSP*_CSZ ↑ 之后（模式 1 和 2）	0	8.0	ns

(1) 广播写入传输是半双工传输，其中 SSP 主机输出 SSP*_DO，但不接收任何 SSP*_DI 输入；因此，在广播写入传输期间，SSP*_DI 输入建立/保持时间检查不适用。
(2) 外设接口中显示了适用于 SSP0 和 SSP1 SPI 接口的控制器引脚。
(3) 至少 1 个 SSP*_CLK 周期
(4) 至少 0.5 个 SSP*_CLK 周期

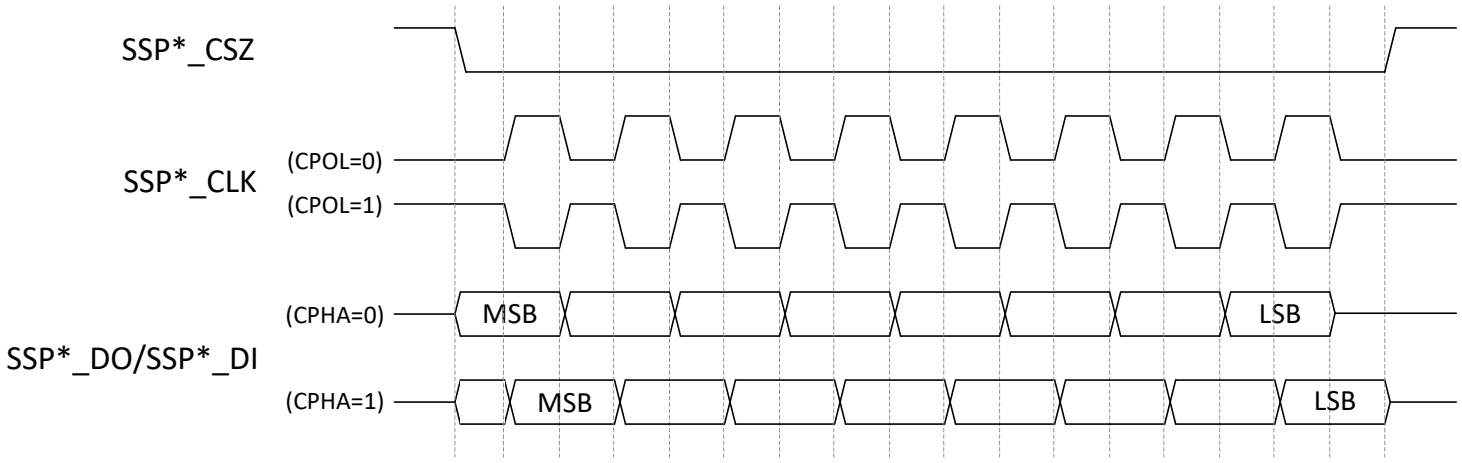


图 5-11. SPI 时钟模式的时序图

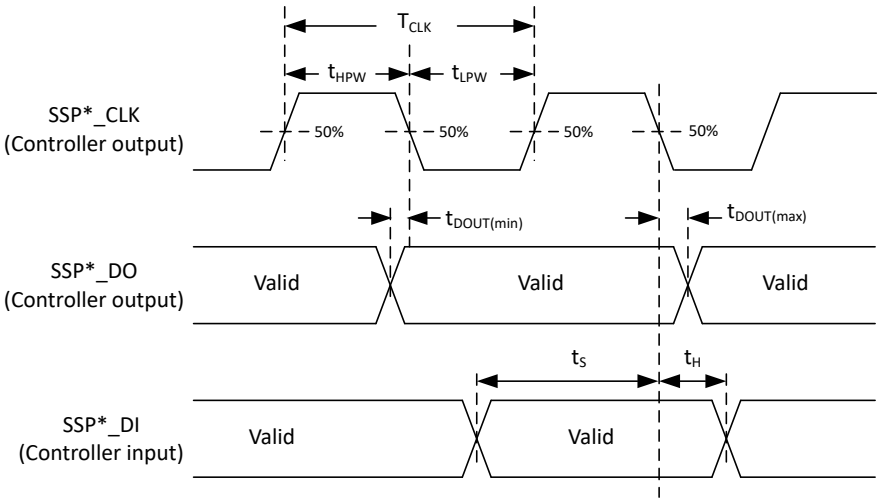


图 5-12. SSP 主机模式（模式 0/3）的时序图

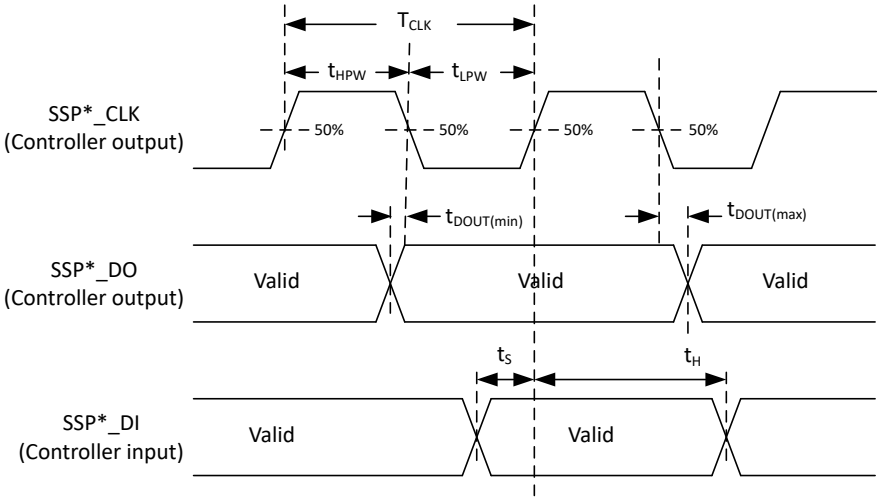


图 5-13. SSP 目标模式（模式 0/3）的时序图

Copyright © 2025 Texas Instruments Incorporated

5.17 I²C 接口时序要求

参数 (1)			最小值	最大值	单位
f_{clock}	时钟频率，IICx_SCL (2)（50% 基准点）	全速		400	kHz
		标准模式		100	kHz
C_L	容性负载（每条总线）	容性负载（每条总线）		200	pF

(1) 根据 I²C 总线规范，符合所有 I²C 时序（指定的容性负载除外）。有关参考信息，请参阅 Phillips-NXP 规范的版本 2.1。
(2) 根据定义，I²C 事务会以总线上最慢器件的速度运行。全速运行需要总线上的所有其他 I²C 器件支持全速运行。线路长度（由于其电容）以及 I ²C 上拉电阻器的阻值可以降低可获得的时钟速率。

5.18 可编程输出时钟时序要求

参数		最小值	最大值	单位
f_{clock}	时钟频率，OCLKA(1)	0.987	42.86	MHz
t_{clock}	时钟周期，OCLKA	23.33	1013.17	ns
$t_{w(H)}$	脉冲高电平持续时间，OCLKA（50% 基准点）	(t_{clock}/2) – 2		ns
$t_{w(L)}$	脉冲低电平持续时间，OCLKA（50% 基准点）	(t_{clock}/2) – 2		ns
$t_{cclkjit}$	抖动，OCLKA		200	ps
f_{clock}	时钟频率，OCLKB(2)	0.987	42.86	MHz
t_{clock}	时钟周期，OCLKB	23.33	1013.17	ns
$t_{w(H)}$	脉冲高电平持续时间，OCLKB（50% 基准点）	(t_{clock}/2) – 2		ns
$t_{w(L)}$	脉冲低电平持续时间，OCLKB（50% 基准点）	(t_{clock}/2) – 2		ns
$t_{cclkjit}$	抖动，OCLKB		200	ps

(1) OCLKA 位于专用输出引脚上。
(2) OCLKB 是 GPIO_34 上的备用功能。

5.19 JTAG 边界扫描接口时序要求（仅限调试）

参数			最小值	最大值	单位
f_{clock}	时钟频率，TCK	时钟频率，TCK		10	MHz
t_{clock}	时钟周期，TCK		100		ns
$t_{w(H)}$	脉冲低电平持续时间，TCK	50% 基准点	50		ns
$t_{w(L)}$	脉冲持续时间高电平，TCK	50% 基准点	50		ns
t_s	建立时间 - TCK↑ 前 TDI、TMS1 有效	50% 基准点	15		ns
t_h	保持时间 – TCK↑ 后 TDI、TMS1 有效	50% 基准点	15		ns
tdelay	TCK↓ 后的 TDO2 输出延迟	60pF 负载	0	15	ns

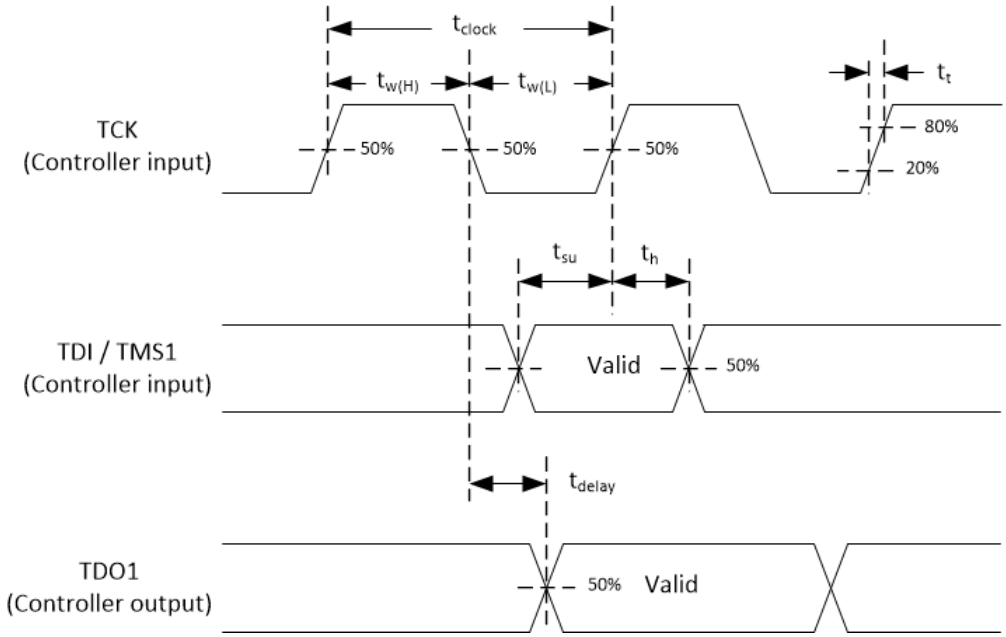


图 5-14. JTAG 边界扫描的时序图

Copyright © 2025 Texas Instruments Incorporated

5.20 DMD 低速接口时序要求

参数			最小值	典型值	最大值	单位
DMD 低速接口（单端）						
f_{clock}			119.966	120	120.034	MHz
压摆率	DMD_LS_WDATA 和 DMD_LS_CLK	VOL(DC) 至 VOH(AC)（上升沿）和 VOH(DC) 至 VOL(AC)（上升沿）	1		3	V/ns
	DMD_DEN_ARSTZ	VOL(AC) 至 VOH(AC)（上升沿）	0.25			
	DMD_LS_RDATAx		0.5			
DCD	占空比失真		45		55	%

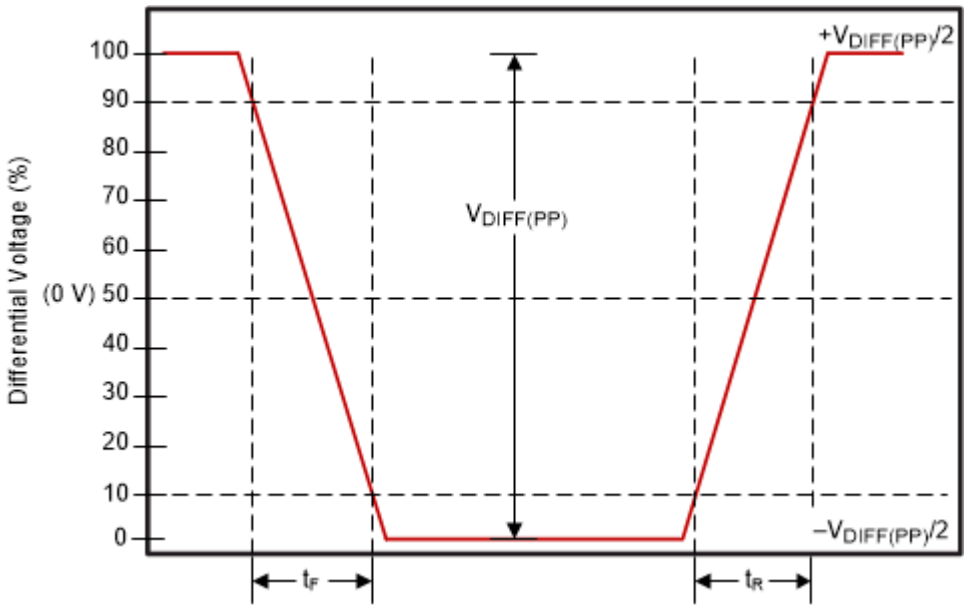


图 5-15. DMD 低速差分时序参数

5.21 DMD SubLVDS 接口时序要求

参数		测试条件	最小值	典型值	最大值	单位
t_R	差分输出上升时间（10% 至 90%）				400	ps
t_F	差分输出下降时间（10% 至 90%）				400	ps
t_{switch}	DMD HS 时钟开关速率		0	1200	1440	Mbps
f_{clock}	DMD HS 时钟频率		0	600	720	MHz
DCout	DMD HS 时钟输出占空比		45	50%	55	%

6 详细说明

6.1 概述

此器件的 DLP® 产品芯片组由三个元件组成：DLP391TP、DLP472TP 或 DLP473TE 数字微镜器件 (DMD)、DLPC8445、DLPC8445V 或 DLPC8455 显示控制器以及 DLPA3085 或 DLPA3082。DLPC8445、DLPC8445V 和 DLPC8455 显示控制器接受 DMD 格式的传入视频并控制 DMD 的时序。它们还控制 DLPA3085 或 DLPA3082 或分立光源 信号时序，与 DMD 时序协调，从而使光输出与 DMD 微镜运动同步。DLPC8445、DLPC8445V 和 DLPC8455 控制器提供了 V-by-One 和 SubLVDS（DMD 接口）等接口，可更大限度地降低功耗和 EMI。应用包括移动智能电视、数字标牌、移动家庭影院，以及企业和教育 (DLP473NE)。

6.2 功能方框图

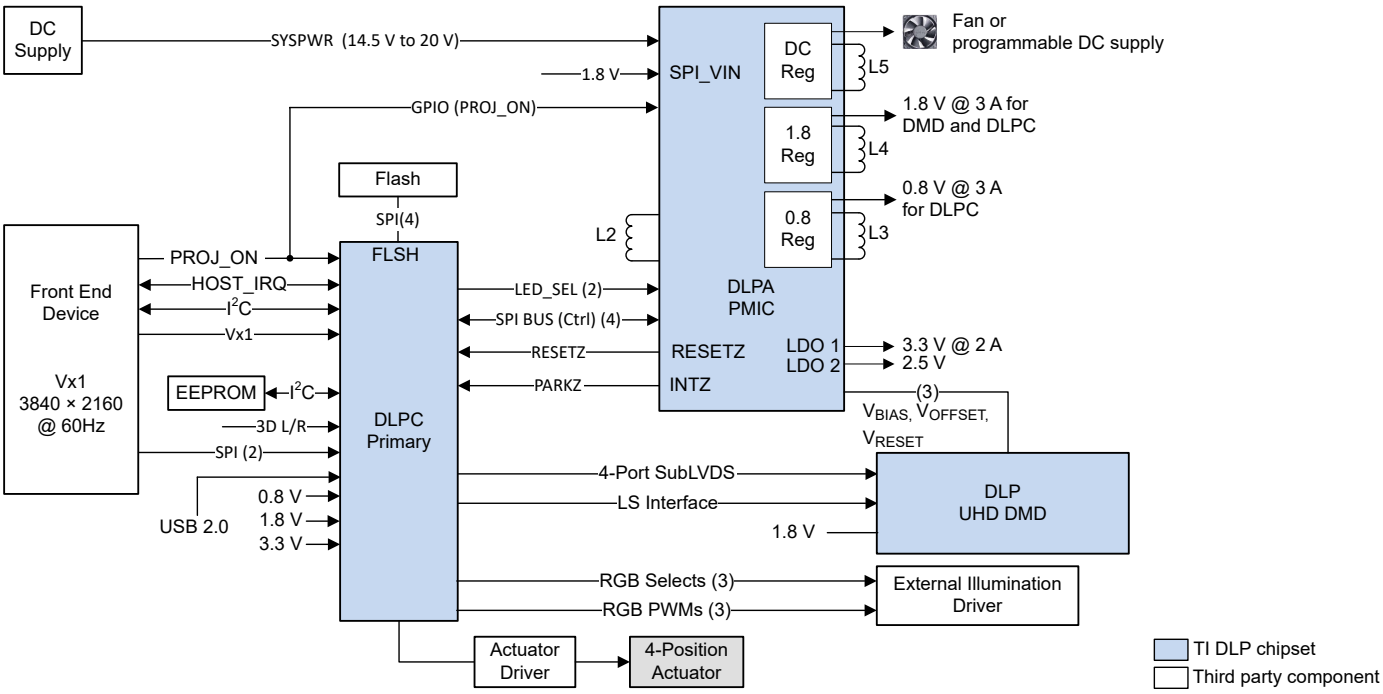


图 6-1. LED 功能方框图

Copyright © 2025 Texas Instruments Incorporated

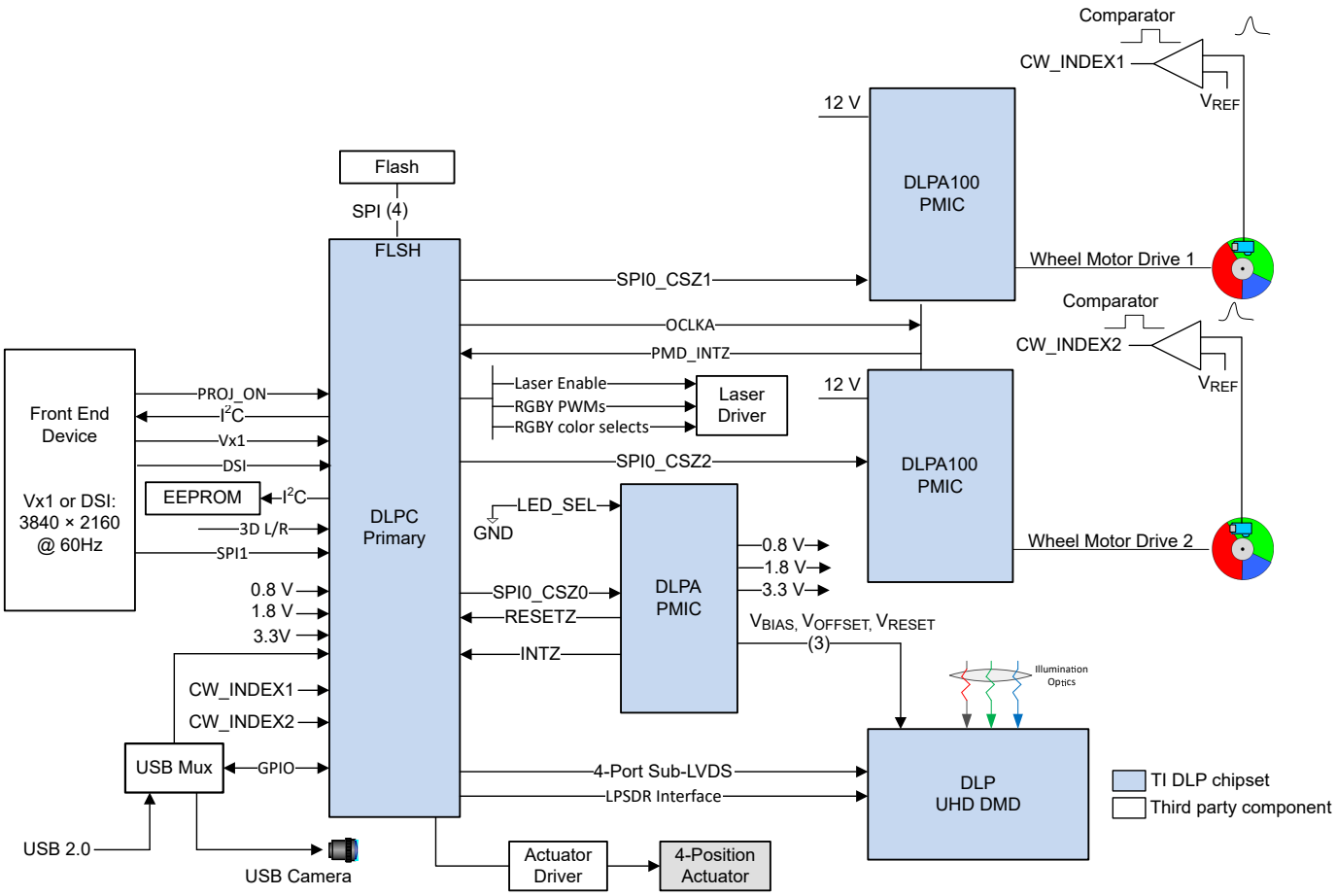


图 6-2. 激光荧光功能方框图

6.3 特性说明

6.3.1 输入源

表 6-1. 支持的输入源参数

接口	接受的位/像素（最大值）	已处理的位/像素（最大值）	源分辨率：2D		源分辨率：3D（每眼）[2]
			最小值	最大值 [1]	最大值
V-by-One	12	10	1280 × 720 [3]	3840 × 2160	1920 × 1080 (FS)
FPD 链路	10	10	960 × 540	1920 × 1080	1920 × 1080 (FS)

(1) 尽管输入范围更宽，但输出分辨率将受限于 DMD 和控制器功能。应跨器件（包括 3D 源）检查分辨率。
(2) FS = 帧序列（全分辨率）
(3) V-by-One 接口的最小时钟速率和链路速率以及字节模式限制了该接口可支持的最小分辨率。该接口支持 3 字节、4 字节和 5 字节模式。

6.3.2 V-by-One 接口

控制器支持单个 8 通道 V-by-One 端口，可配置为 1、2、4 或 8 通道使用。此接口支持有限通道重映射，如表 6-2 所示。不支持通道内重映射（即 P 与 N 交换）。

表 6-2. V-by-One 接口通道重映射选项

		V-by-One 端口物理通道[1]							
配置[2]	通道编号	LANE 7	LANE 6	LANE 5	LANE 4	LANE 3	LANE 2	LANE 1	LANE 0
1a	8	7	6	5	4	3	2	1	0
1b	4	—	—	—	—	3	2	1	0
1c	2	—	—	—	—	—	—	1	0
1d	1	—	—	—	—	—	—	—	0
2a	8	1	0	2	3	4	5	6	7
2b	4	1	0	2	3	—	—	—	—
2c	2	1	0	—	—	—	—	—	—
2d	1	—	0	—	—	—	—	—	—

(1) 表头中的通道编号指示控制器接口中定义的实际物理通道。表头下方列出的通道编号是通过该物理接口传输的通道位编号。
(2) 有两个控制器通道映射选项，每个选项使用的通道数都要少于总数八个。

与物理 V-by-One 接口的重映射无关，支持多个根据标准指定的数据映射（映射到实际物理接口）。V-by-One 源必须至少匹配表 6-3、表 6-4、表 6-5、表 6-6、表 6-7 和表 6-8 中的一个映射。

表 6-3. 36bpp/30bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 0			
V-by-One 输入数据位	36bpp RGB/YCbCr 4:4:4[1]	30bpp RGB/YCbCr 4:4:4	映射器输出
D[0]	R/Cr[4]	R/Cr[2]	B(2)
D[1]	R/Cr[5]	R/Cr[3]	B(3)
D[2]	R/Cr[6]	R/Cr[4]	B(4)
D[3]	R/Cr[7]	R/Cr(5]	B(5)
D[4]	R/Cr[8]	R/Cr[6]	B(6)
D[5]	R/Cr[9]	R/Cr[7]	B(7)
D[6]	R/Cr[10]	R/Cr[8]	B(8)
D[7]	R/Cr[11]	R/Cr[9]	B(9)
D[8]	G/Y[4]	G/Y[2]	A(2)
D[9]	G/Y[5]	G/Y[3]	A(3)
D[10]	G/Y[6]	G/Y[4]	A(4)
D[11]	G/Y[7]	G/Y[5]	A(5)
D[12]	G/Y[8]	G/Y[6]	A(6)

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 36bpp/30bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射（续）

V-by-One 数据映射模式 0			
V-by-One 输入数据位	36bpp RGB/YCbCr 4:4:4[(1)]	30bpp RGB/YCbCr 4:4:4	映射器输出
D[13]	G/Y[9]	G/Y[7]	A(7)
D[14]	G/Y[10]	G/Y[8]	A(8)
D[15]	G/Y[11]	G/Y[9]	A(9)
D[16]	B/Cb[4]	B/Cb[2]	C(2)
D[17]	B/Cb[5]	B/Cb[3]	C(3)
D[18]	B/Cb[6]	B/Cb[4]	C(4)
D[19]	B/Cb[7]	B/Cb[5]	C(5)
D[20]	B/Cb[8]	B/Cb[6]	C(6)
D[21]	B/Cb[9]	B/Cb[7]	C(7)
D[22]	B/Cb[10]	B/Cb[8]	C(8)
D[23]	B/Cb[11]	B/Cb[9]	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域	3DEN/域
D[26]	B/Cb[2]	B/Cb[1]	C[0]
D[27]	B/Cb[3]	B/Cb[0]	C[1]
D[28]	G/Y[2]	G/Y[1]	A[0]
D[29]	G/Y[3]	G/Y[0]	A[1]
D[30]	R/Cr[2]	R/Cr[1]	B[0]
D[31]	R/Cr[3]	R/Cr[0]	B[1]

(1) 对于 36 位输入，每种颜色的 12 个位会截断为 10 个位，并丢弃两个最低有效位。

表 6-4. 27bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 1		
V-by-One 输入数据位	27bpp RGB/YCbCr 4:4:4[(1)]	映射器输出
D[0]	R/Cr[1]	B(2)
D[1]	R/Cr[2]	B(3)
D[2]	R/Cr[3]	B(4)
D[3]	R/Cr[4]	B(5)
D[4]	R/Cr[5]	B(6)
D[5]	R/Cr[6]	B(7)
D[6]	R/Cr[7]	B(8)
D[7]	R/Cr[8]	B(9)
D[8]	G/Y[1]	A(2)
D[9]	G/Y[2]	A(3)
D[10]	G/Y[3]	A(4)
D[11]	G/Y[4]	A(5)
D[12]	G/Y[5]	A(6)
D[13]	G/Y[6]	A(7)
D[14]	G/Y[7]	A(8)
D[15]	G/Y[8]	A(9)
D[16]	B/Cb[1]	C(2)
D[17]	B/Cb[2]	C(3)
D[18]	B/Cb[3]	C(4)
D[19]	B/Cb[4]	C(5)

表 6-4. 27bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射（续）

V-by-One 数据映射模式 1		
V-by-One 输入数据位	27bpp RGB/YCbCr 4:4:4[(1)]	映射器输出
D[20]	B/Cb[5]	C(6)
D[21]	B/Cb[6]	C(7)
D[22]	B/Cb[7]	C(8)
D[23]	B/Cb[8]	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域
“0”	—	C[0]
D[27]	B/Cb[0]	C[1]
“0”	—	A[0]
D[29]	G/Y[0]	A[1]
“0”	—	B[0]
D[31]	R/Cr[0]	B[1]

(1) 对于 27 位输入，每种颜色的 9 个位会上移一位，且最低有效位设置为“0”。

表 6-5. 24bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 2		
V-by-One 输入数据位	24bpp RGB/YCbCr 4:4:4[(1)]	映射器输出
D[0]	R/Cr[0]	B(2)
D[1]	R/Cr[1]	B(3)
D[2]	R/Cr[2]	B(4)
D[3]	R/Cr[3]	B(5)
D[4]	R/Cr[4]	B(6)
D[5]	R/Cr[5]	B(7)
D[6]	R/Cr[6]	B(8)
D[7]	R/Cr[7]	B(9)
D[8]	G/Y[0]	A(2)
D[9]	G/Y[1]	A(3)
D[10]	G/Y[2]	A(4)
D[11]	G/Y[3]	A(5)
D[12]	G/Y[4]	A(6)
D[13]	G/Y[5]	A(7)
D[14]	G/Y[6]	A(8)
D[15]	G/Y[7]	A(9)
D[16]	B/Cb[0]	C(2)
D[17]	B/Cb[1]	C(3)
D[18]	B/Cb[2]	C(4)
D[19]	B/Cb[3]	C(5)
D[20]	B/Cb[4]	C(6)
D[21]	B/Cb[5]	C(7)
D[22]	B/Cb[6]	C(8)
D[23]	B/Cb[7]	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域

Copyright © 2025 Texas Instruments Incorporated

表 6-5. 24bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射（续）

V-by-One 数据映射模式 2		
V-by-One 输入数据位	**24bpp RGB/YCbCr 4:4:4[(1)]**	**映射器输出**
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
“0”	—	A[1]
“0”	—	B[0]
“0”	—	B[1]

(1) 对于 24 位输入，每种颜色的 8 个位会上移两位，且两个最低有效位设置为“0”。

表 6-6. 32bpp/24bpp/20bpp YCbCr 4:2:2 的 V-by-One 数据映射

V-by-One 数据映射模式 3[(1)]				
V-by-One 输入数据位	**32bpp YCbCr 4:2:2[(2)]**	**24bpp YCbCr 4:2:2[(3)]**	**20bpp YCbCr 4:2:2**	**映射器输出**
D[0]	CbCr[8]	CbCr[4]	CbCr[2]	B(2)
D[1]	CbCr[9]	CbCr[5]	CbCr[3]	B(3)
D[2]	CbCr[10]	CbCr[6]	CbCr[4]	B(4)
D[3]	CbCr[11]	CbCr[7]	CbCr[5]	B(5)
D[4]	CbCr[12]	CbCr[8]	CbCr[6]	B(6)
D[5]	CbCr[13]	CbCr[8]	CbCr[7]	B(7)
D[6]	CbCr[14]	CbCr[10]	CbCr[8]	B(8)
D[7]	CbCr[15]	CbCr[11]	CbCr[9]	B(9)
D[8]	Y[8]	Y[4]	Y[2]	A(2)
D[9]	Y[9]	Y[5]	Y[3]	A(3)
D[10]	Y[10]	Y[6]	Y[4]	A(4)
D[11]	Y[11]	Y[7]	Y[5]	A(5)
D[12]	Y[12]	Y[8]	Y[6]	A(6)
D[13]	Y[13]	Y[9]	Y[7]	A(7)
D[14]	Y[14]	Y[10]	Y[8]	A(8)
D[15]	Y[15]	Y[11]	Y[9]	A(9)
“0”	—	—	—	C(2)
“0”	—	—	—	C(3)
“0”	—	—	—	C(4)
“0”	—	—	—	C(5)
“0”	—	—	—	C(6)
“0”	—	—	—	C(7)
“0”	—	—	—	C(8)
“0”	—	—	—	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域	3DEN/域	3DEN/域
“0”	—	—	—	C[0]
“0”	—	—	—	C[1]
D[28]	Y[6]	Y[2]	Y[2]	A[0]
D[29]	Y[7]	Y[3]	Y[3]	A[1]
D[30]	CbCr[6]	CbCr[2]	CbCr[2]	B[0]

表 6-6. 32bpp/24bpp/20bpp YCbCr 4:2:2 的 V-by-One 数据映射（续）

V-by-One 数据映射模式 3[(1)]				
V-by-One 输入数据位	32bpp YCbCr 4:2:2[(2)]	24bpp YCbCr 4:2:2[(3)]	20bpp YCbCr 4:2:2	映射器输出
D[31]	CbCr[7]	CbCr[3]	CbCr[3]	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为“0”。
(2) 对于 32 位输入，每种颜色的 16 个位会截断为 10 个位，并丢弃六个最低有效位。
(3) 对于 24 位输入，每种颜色的 12 个位会截断为 10 个位，并丢弃两个最低有效位。

表 6-7. 18bpp YCbCr 4:2:2 的 V-by-One 数据映射

V-by-One 数据映射模式 4[(1)]		
V-by-One 输入数据位	18bpp YCbCr 4:2:2[(2)]	映射器输出
D[0]	CbCr[1]	B(2)
D[1]	CbCr[2]	B(3)
D[2]	CbCr[3]	B(4)
D[3]	CbCr[4]	B(5)
D[4]	CbCr[5]	B(6)
D[5]	CbCr[6]	B(7)
D[6]	CbCr[7]	B(8)
D[7]	CbCr[8]	B(9)
D[8]	Y[1]	A(2)
D[9]	Y[2]	A(3)
D[10]	Y[3]	A(4)
D[11]	Y[4]	A(5)
D[12]	Y[5]	A(6)
D[13]	Y[6]	A(7)
D[14]	Y[7]	A(8)
D[15]	Y[8]	A(9)
“0”	—	C(2)
“0”	—	C(3)
“0”	—	C(4)
“0”	—	C(5)
“0”	—	C(6)
“0”	—	C(7)
“0”	—	C(8)
“0”	—	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
D[29]	Y[0]	A[1]
“0”	—	B[0]
D[31]	CbCr[0]	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为“0”。
(2) 对于 18 位输入，每种颜色的 9 个位会上移一位，且最低有效位设置为“0”。

Copyright © 2025 Texas Instruments Incorporated

表 6-8. 16bpp YCbCr 4:2:2 的 V-by-One 数据映射

V-by-One 数据映射模式 5[(1)]		
V-by-One 输入数据位	**16bpp YCbCr 4:2:2[(2)]**	**映射器输出**
D[0]	CbCr[0]	B(2)
D[1]	CbCr[1]	B(3)
D[2]	CbCr[2]	B(4)
D[3]	CbCr[3]	B(5)
D[4]	CbCr[4]	B(6)
D[5]	CbCr[5]	B(7)
D[6]	CbCr[6]	B(8)
D[7]	CbCr[7]	B(9)
D[8]	Y[0]	A(2)
D[9]	Y[1]	A(3)
D[10]	Y[2]	A(4)
D[11]	Y[3]	A(5)
D[12]	Y[4]	A(6)
D[13]	Y[5]	A(7)
D[14]	Y[6]	A(8)
D[15]	Y[7]	A(9)
“0”	—	C(2)
“0”	—	C(3)
“0”	—	C(4)
“0”	—	C(5)
“0”	—	C(6)
“0”	—	C(7)
“0”	—	C(8)
“0”	—	C(9)
D[24]	3D_L/R_Ref	3D_L/R_Ref
D[25]	3DEN/域	3DEN/域
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
“0”	—	A[1]
“0”	—	B[0]
“0”	—	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为“0”。
(2) 对于 16 位输入，每种颜色的 8 个位会上移一位，且最低有效位设置为“0”。

6.3.3 DMD (SubLVDS) 接口

控制器 DMD 接口支持四个用于数据传输的高速 SubLVDS 仅输出接口、一个用于命令写入事务的单端低速 LVDS 仅输出接口以及四个用于命令读取事务的低速单端输入接口。每个 SubLVDS 端口都支持端口内仅传输完整数据的通道间重映射，但不支持端口之间的重映射。使用此特性时，每个唯一数据通道对只能映射到一个唯一目标数据通道对，并且不支持通道内重映射（即 P 与 N 交换）。此外，也可以交换四个 HS 数据端口。HS CLK 引脚在端口之间不可互换，必须与相应的端口数据通道组合在一起。通道和端口重映射（在闪存中指定）有助于根据需要进行电路板布局布线。所需的 HS 端口数和每个 HS 端口的 HS 通道数取决于 DMD 类型和 DMD 显示分辨率。表 6-9 显示了两个 HS 端口配置的一些重映射示例，相同的规则最多适用于四个 HS 端口。使用所有端口时，它们无需相同的引脚映射。

表 6-9. 控制器到 DLP391TP、DLP472TP 和 DLP473TE DMD 引脚的映射示例

控制器引脚到 DMD 引脚的重映射示例				DMD 引脚
基线	翻转 HS0 180 无翻转 HS1	将 HS0 端口交换为 HS1 端口	将 HS0 端口交换为 HS1 端口 和混合重映射	
DMD_HS0_CLK_P DMD_HS0_CLK_N	DMD_HS0_CLK_P DMD_HS0_CLK_N	DMD_HS1_CLK_P DMD_HS1_CLK_N	DMD_HS1_CLK_P DMD_HS1_CLK_N	DCLK_AP DCLK_AN
DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N	DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N	DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N	DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N	D_AP(0) D_AN(0)
DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N	DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N	DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N	DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N	D_AP(1) D_AN(1)
DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N	DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N	DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N	DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N	D_AP(2) D_AN(2)
DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N	DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N	DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N	DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N	D_AP(3) D_AN(3)
DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N	DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N	DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N	DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N	D_AP(4) D_AN(4)
DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N	DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N	DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N	DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N	D_AP(5) D_AN(5)
DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N	DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N	DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N	DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N	D_AP(6) D_AN(6)
DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N	DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N	DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N	DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N	D_AP(7) D_AN(7)
DMD_HS1_CLK_P DMD_HS1_CLK_N	DMD_HS1_CLK_P DMD_HS1_CLK_N	DMD_HS0_CLK_P DMD_HS0_CLK_N	DMD_HS0_CLK_P DMD_HS0_CLK_N	DCLK_BP DCLK_BN
DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N	DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N	DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N	DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N	D_BP(0) D_BN(0)
DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N	DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N	DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N	DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N	D_BP(1) D_BN(1)
DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N	DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N	DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N	DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N	D_BP(2) D_BN(2)
DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N	DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N	DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N	DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N	D_BP(3) D_BN(3)
DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N	DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N	DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N	DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N	D_BP(4) D_BN(4)
DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N	DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N	DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N	DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N	D_BP(5) D_BN(5)
DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N	DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N	DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N	DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N	D_BP(6) D_BN(6)
DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N	DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N	DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N	DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N	D_BP(7) D_BN(7)

Copyright © 2025 Texas Instruments Incorporated

6.3.4 串行闪存接口

控制器接口可连接到单个外部标准/双通道/四通道 SPI 串行闪存存储器器件，用于提供配置和操作数据。此 6 引脚接口由一个低电平有效芯片选择信号、一个时钟信号和四个双向数据信号组成，这些信号可在串行闪存命令执行期间根据需要支持标准/双通道/四通道 SPI 数据 I/O 配置。表 6-10 显示了已通过该控制器验证的受支持串行闪存器件列表。

表 6-10. DLPC8445 支持的标准/双通道/四通道 SPI 串行闪存器件

密度 (Mb)	供应商	器件型号	封装尺寸
1.8V 兼容器件			
8	Macronix	MX25R8035FBHIH2	WLCSP
16	Winbond	W25Q16JWBYIQ	WLCSP
32	Macronix	MX25U3232FBHI02	WLCSP
64	Winbond	W25Q64JWBYIQ	WLCSP
64	Winbond	W25Q64JWSSIQ	WLCSP
512	GigaDevice	GD25LB512MEYIG	WSON
3.3V 兼容器件			
8	Macronix	MX25R8035FBHIH2	WLCSP

除 表 6-10 中显示的标准/双通道/四通道 SPI 串行闪存器件之外，该控制器还可能支持其他同类器件，前提是这些器件具有 表 6-11 中所示的类似特性集。

表 6-11. 串行闪存器件与 DLPC8445 兼容的特性要求

特性	与 DLPC8445 兼容的要求	注释
SPI 数据配置（宽度）	标准（单线）、双通道（两线）、四通道（四线）	
SPI 时钟模式	SPI 模式 0	
SPI 时钟频率	工作频率高达 60MHz 的应用	
时钟 (↓) 到输出有效的时间	6ns（最大值）	例如，t_V 或 t_{CLQV}
快速读取寻址	自动递增	
编程模式	页面模式	
页面大小	256 字节	
扇区（或子扇区）大小	4KB	要求的擦除粒度
块结构	统一扇区/子扇区	
块保护 (BP) 位	默认禁用（即“0”）	
状态寄存器位 (0)	正在写入 (WIP)/忙	
状态寄存器位 (1)	写入使能锁存 (WEN)	
状态寄存器位 (4:2)	块保护位 (BP[2:0])	
状态寄存器位 (7)	状态寄存器写保护 (SRWP)	
其他状态寄存器位	无需特定的状态寄存器位分配。“其他”状态寄存器位通常缺少供应商/器件的通用/标准实现详细信息。这些“其他”状态寄存器位/信号可能受支持，但通常仅由主应用程序支持（即尤其是对于表 6-10 中未列出的器件）。	例如，四通道启用

为了与控制器兼容，串行闪存器件还必须支持以下常用命令集。

表 6-12. 兼容 DLPC8445 的串行闪存器件支持的常用命令集

SPI 闪存命令	第一个字节（操作码）	第二个字节	第三个字节	第四个字节	第五个字节	第六个字节	编号时钟数量	注释
快速读取 (1-1-1)	0x0B	地址 (0)	地址 (1)	地址 (2)	虚拟	数据 (0)	8	可变数据有效载荷

表 6-12. 兼容 DLPC8445 的串行闪存器件支持的常用命令集（续）

SPI 闪存命令	第一个字节（操作码）	第二个字节	第三个字节	第四个字节	第五个字节	第六个字节	编号时钟数量	注释
双通道读取 (1-1-2)	0x3B	地址 (0)	地址 (1)	地址 (2)	虚拟	数据 (0)	8	可变数据有效载荷
2X 读取 (1-2-2)	0xBB	地址 (0)	地址 (1)	地址 (2)	虚拟	数据 (0)	4	可变数据有效载荷
四通道读取 (1-1-4)	0x6B	地址 (0)	地址 (1)	地址 (2)	虚拟	数据 (0)	8	可变数据有效载荷
4X 读取 (1-4-4)	0xEB	地址 (0)	地址 (1)	地址 (2)	虚拟	数据 (0)	6	可变数据有效载荷
读取状态	0x05	状态 (0)					0	状态 (0) 寄存器： 位 1 = WEL 位 0 = WIP/忙
写入状态	0x01	状态 (0)					0	
写入启用	0x06						0	
写入禁用	0x04						0	
页面程序	0x02	地址 (0)	地址 (1)	地址 (2)	数据 (0)	数据 (1)	0	256 字节数据有效载荷
扇区/子扇区擦除 (4KB)	0x20	地址 (0)	地址 (1)	地址 (2)			0	
块擦除 (64KB)	0xD8	地址 (0)	地址 (1)	地址 (2)			0	
整个芯片擦除	0xC7						0	
软件复位启用	0x66						0	
软件复位	0x99						0	
读取 Id	0x9F	数据 (0)	数据 (1)	数据 (2)			0	系统仅读取前三个字节。

表 6-13 总结了与常用命令集中的各种读取命令相关的 SPI 数据配置详细信息。

表 6-13. 支持的读取命令协议实现详细信息

读取命令	操作码的 SPI 数据 I/O 配置（时钟数量）	地址的 SPI 数据 I/O 配置（时钟数量）	虚拟时钟数量	读取数据的 SPI 数据 I/O 配置（时钟数量）
快速读取 (1-1-1)	标准（8 个）	标准（8 个/字节）	8	标准（8 个/字节）
双通道读取 (1-1-2)	标准（8 个）	标准（8 个/字节）	8	双通道（4 个/字节）
2X 读取 (1-2-2)	标准（8 个）	双通道（4 个/字节）	4	双通道（4 个/字节）
四通道读取 (1-1-4)	标准（8 个）	标准（8 个/字节）	8	四通道（2 个/字节）
4X 读取 (1-4-4)	标准（8 个）	四通道（2 个/字节）	6	四通道（2 个/字节）

通过适用的主机命令接口（即 I^2C 或 SPI）发出的主机命令可用于对串行闪存器件进行编程。主机还可以根据系统的闪存带宽要求，在闪存表中指定目标闪存时钟频率和读取命令首选项，以供控制器的嵌入式软件使用。

Copyright © 2025 Texas Instruments Incorporated

6.3.5 GPIO 支持的功能

控制器提供 52 个通用 I/O，可支持许多不同产品配置下的各种功能。通常，大多数 I/O 引脚仅支持基于特定产品配置的一种特定功能，但该功能对于不同的产品配置可能会有所不同。未使用的 I/O 中的一部分也可用于 TI 测试和调试。以下每个 GPIO 表均提供了有关每个 GPIO 在特定支持的产品配置中所分配使用情况的产品特定详细信息。

表 6-14. GPIO 支持的功能 - LED 照明系统

GPIO	信号名称	说明
GPIO_00	SSP1_SCLK (I)	SSP 目标
GPIO_01	SSP1_DI (I)	SSP 目标
GPIO_02	SSP1_DO (O)	SSP 目标
GPIO_03	SSP1_CSZ0 (I)	SSP 目标
GPIO_04	SSP1_CSZ1 (I)	SSP 目标
GPIO_05	SSP1_CSZ2 (I)	SSP 目标
GPIO_06	SSP1_BCSZ (I)	SSP 目标
GPIO_07	IIC1_SCL (B)	I2C 目标方
GPIO_08	IIC1_SDA (B)	I2C 目标方
GPIO_09	WPC_COLOR_SENSOR_VSYNC (O)	白点校正同步
GPIO_10	UART1_TXD (O)	
GPIO_11	UART1_RXD (I)	
GPIO_12	RC_CHARGE (O)	
GPIO_13	LED_SEL0 (O)	
GPIO_14	LED_SEL1 (O)	
GPIO_15	通用输入/输出	
GPIO_16	通用输入/输出	
GPIO_17	通用输入/输出	
GPIO_18	通用输入/输出	
GPIO_19	通用输入/输出	
GPIO_20	通用输入/输出	
GPIO_21	3D LR (I)	适用于 3D 应用：左或右 3D 基准（左 = 1，右 = 0）。在未提供 3D 命令时由主机提供。必须在每一帧的中间转换（靠近 VSYNC 的有效边沿的时间不要小于 1ms）
GPIO_22	通用输入/输出	
GPIO_23	LL_FAULT (O)	故障信号，用于命令处理可能不可用的系统故障状态
GPIO_24	通用输入/输出	
GPIO_25	CMP_MSEL_0/THERM_PWR (O)	
GPIO_26	CMP_PWM (O)	
GPIO_27	CMP_OUT (I)	
GPIO_28	LS_PWR (O)	
GPIO_29	通用输入/输出	
GPIO_30	通用输入/输出	
GPIO_31	通用输入/输出	
GPIO_32	通用输入/输出	
GPIO_33	通用输入/输出	

表 6-14. GPIO 支持的功能 - LED 照明系统（续）

GPIO	信号名称	说明
GPIO_34	通用输入/输出	
GPIO_35	CAL_PWR (O)	
GPIO_36	通用输入/输出	
GPIO_37	通用输入/输出	
GPIO_38	通用输入/输出	
GPIO_39	USB 选择 (O)	
GPIO_40	4 路 XPR (O)	
GPIO_41	4 路 XPR (O)	
GPIO_42	4 路 XPR (O)	
GPIO_43	4 路 XPR (O)	
GPIO_44	4 路 XPR (O)	
GPIO_45	4 路 XPR (O)	
GPIO_46	4 路 XPR (O)	
GPIO_47	4 路 XPR (O)	
GPIO_48	4 路 XPR (O)	
GPIO_49	4 路 XPR (O)	
GPIO_50	4 路 XPR (O)	
GPIO_51	4 路 XPR (O)	

表 6-15. GPIO 支持的功能 - LED-PWM、RGB 激光和激光荧光照明系统

GPIO	信号名称	说明
GPIO_00	SSP1_SCLK (I)	SSP 目标
GPIO_01	SSP1_DI (I)	SSP 目标
GPIO_02	SSP1_DO (O)	SSP 目标
GPIO_03	SSP1_CSZ0 (I)	SSP 目标
GPIO_04	SSP1_CSZ1 (I)	SSP 目标
GPIO_05	SSP1_CSZ2 (I)	SSP 目标
GPIO_06	SSP1_BCSZ (I)	SSP 目标
GPIO_07	IIC1_SCL (B)	I2C 目标方
GPIO_08	IIC1_SDA (B)	I2C 目标方
GPIO_09	WPC_COLOR_SENSOR_VSYNC (O)	白点校正同步
GPIO_10	UART1_TXD (O)	
GPIO_11	UART1_RXD (I)	
GPIO_12	通用输入/输出	
GPIO_13	RED_ENABLE (O)	请参阅注释 (1)
GPIO_14	GREEN_ENABLE (O)	请参阅注释 (1)
GPIO_15	BLUE_ENABLE (O)	请参阅注释 (1)
GPIO_16	通用输入/输出	
GPIO_17	通用输入/输出	
GPIO_18	通用输入/输出	
GPIO_19	通用输入/输出	
GPIO_20	通用输入/输出	

Copyright © 2025 Texas Instruments Incorporated

表 6-15. GPIO 支持的功能 - LED-PWM、RGB 激光和激光荧光照明系统（续）

GPIO	信号名称	说明
GPIO_21	3D LR (I)	适用于 3D 应用：左或右 3D 基准（左 = 1，右 = 0）。在未提供 3D 命令时由主机提供。必须在每一帧的中间转换（靠近 VSYNC 的有效边沿的时间不要小于 1ms）
GPIO_22	CW_INDEX_0	请参阅注释 (2)
GPIO_23	LL_FAULT (O) / CW_PWM_0	用于监测系统故障的故障信号，可使用软件命令提供更多详细信息。请参阅 CW_PWM_0 的说明 (2)
GPIO_24	CW_PWM_1	请参阅注释 (2)
GPIO_25	RED_PWM (O)	请参阅注释 (1)
GPIO_26	GREEN_PWM (O)	请参阅注释 (1)
GPIO_27	BLUE_PWM (O)	请参阅注释 (1)
GPIO_28	YELLOW_PWM (O)	请参阅注释 (2)
GPIO_29	CW_INDEX_1	请参阅注释 (2)
GPIO_30	通用输入/输出	
GPIO_31	通用输入/输出	
GPIO_32	通用输入/输出	
GPIO_33	通用输入/输出	
GPIO_34	通用输入/输出	
GPIO_35	通用输入/输出	
GPIO_36	通用输入/输出	
GPIO_37	通用输入/输出	
GPIO_38	通用输入/输出	
GPIO_39	USB 选择 (O)	
GPIO_40	4 路 XPR (O)	
GPIO_41	4 路 XPR (O)	
GPIO_42	4 路 XPR (O)	
GPIO_43	4 路 XPR (O)	
GPIO_44	4 路 XPR (O)	
GPIO_45	4 路 XPR (O)	
GPIO_46	4 路 XPR (O)	
GPIO_47	4 路 XPR (O)	
GPIO_48	4 路 XPR (O)	
GPIO_49	4 路 XPR (O)	
GPIO_50	4 路 XPR (O)	
GPIO_51	4 路 XPR (O)	

说明：

(1) 激光安全功能（可以根据客户应用情况使用）超出了 TI 软件的范围，当这些信号用于驱动激光光源时，客户应承担相应的责任。

(2) 仅适用于激光荧光照明系统

6.3.6 调试支持

控制器包含一个测试点输出端口 TSTPT_(7:0)，使主机能够支持控制器调试。对于初始调试操作，在 PARKZ 变为高电平之后（或系统复位之后），四个信号 (TSTPT(3:0)) 作为输入进行采样，时间接近 1.5μs。对它们的输入状态进行采样和捕获后，该信息用于设置 TSTPT_(7:0) 总线的初始测试模式输出状态。表 6-16 定义了 TSTPT_(7:0) 的一些可编程输出状态的测试模式选择。对于正常运行（即无需调试），请使用默认状态 0000（由所需的外部下拉电阻器定义）。

为了使 TI 能够使用该调试功能，建议为 TSTPT(3:0) 提供一个连接到外部上拉电阻的跳线选项，并提供允许观察 TSTPT 总线输出的访问权限。

表 6-16. TSTPT(3:0) 定义的测试模式选择输出示例

TSTPT_(7:0) 输出	TSTPT(3:0) 捕获的值[1]		
	0000（默认值）（无开关活动）	0101 时钟调试	1000 系统校准
TSTPT(0)	0	高电平	垂直同步
TSTPT(1)	0	166.25MHz	延迟的 CW 索引
TSTPT(2)	0	83.13MHz	序列索引
TSTPT(3)	0	41.56MHz	CW 辐条测试点
TSTPT(4)	0	10.39MHz	CW 旋转测试点
TSTPT(5)	0	25.16MHz	复位序列辅助位 0
TSTPT(6)	0	133.00MHz	复位序列辅助位 1
TSTPT(7)	0	高电平	复位序列辅助位 2

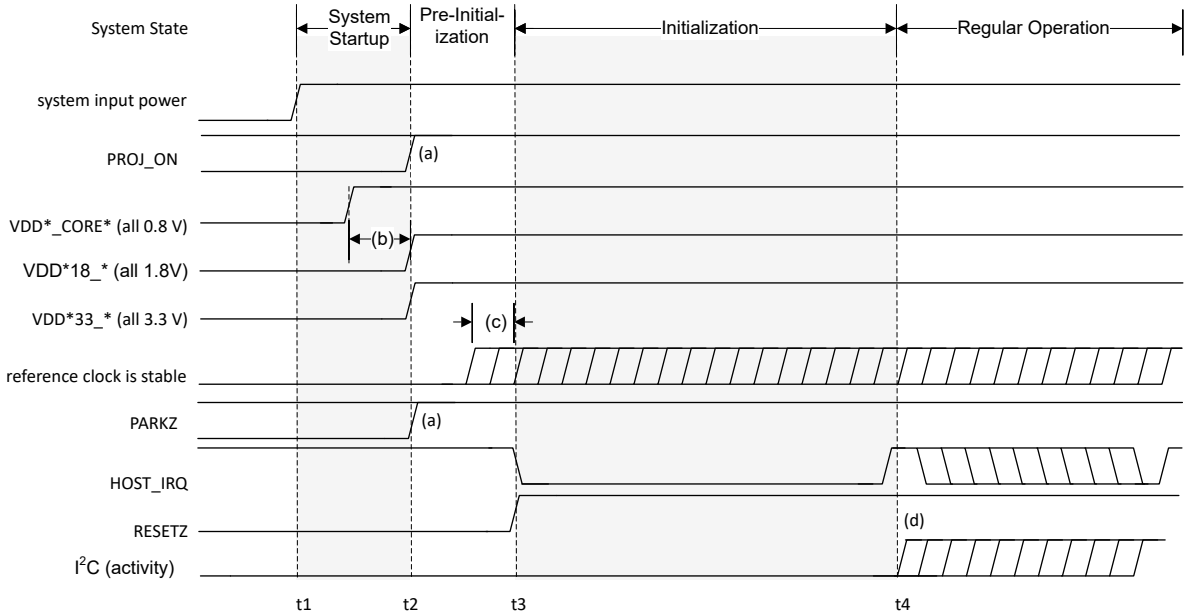
(1) 这些仅是默认的输出选择。软件可以随时对选择重新编程。

Copyright © 2025 Texas Instruments Incorporated

7 电源相关建议

7.1 系统上电和断电序列

尽管控制器需要一系列电源电压引脚，但没有为避免损坏控制器而对电源时序的相对顺序加以限制（这对于上电和断电场景都适用）。控制器在上电和断电之间不需要最小延迟时间。对于与控制器共享电源的器件（例如 PMIC 和 DMD），可能存在额外的电源时序规则。这些器件可能会强制施加额外的系统电源时序要求。下面的图显示了典型 DLPC 系统的控制器上电序列、正常停止断电序列和快速停止断电序列。



t1： 向系统施加的电源。所有其他电压轨均来自系统输入电源。

t2： 所有电源均达到其规定标称值的 95%。请注意，HOST_IRQ 是开漏输出。

t3： RESETZ 被置为无效（变为高电平）的点。这标志着自动初始化的开始。

t4： HOST_IRQ 变为高电平，以指示初始化已完成，主机通信可以开始。

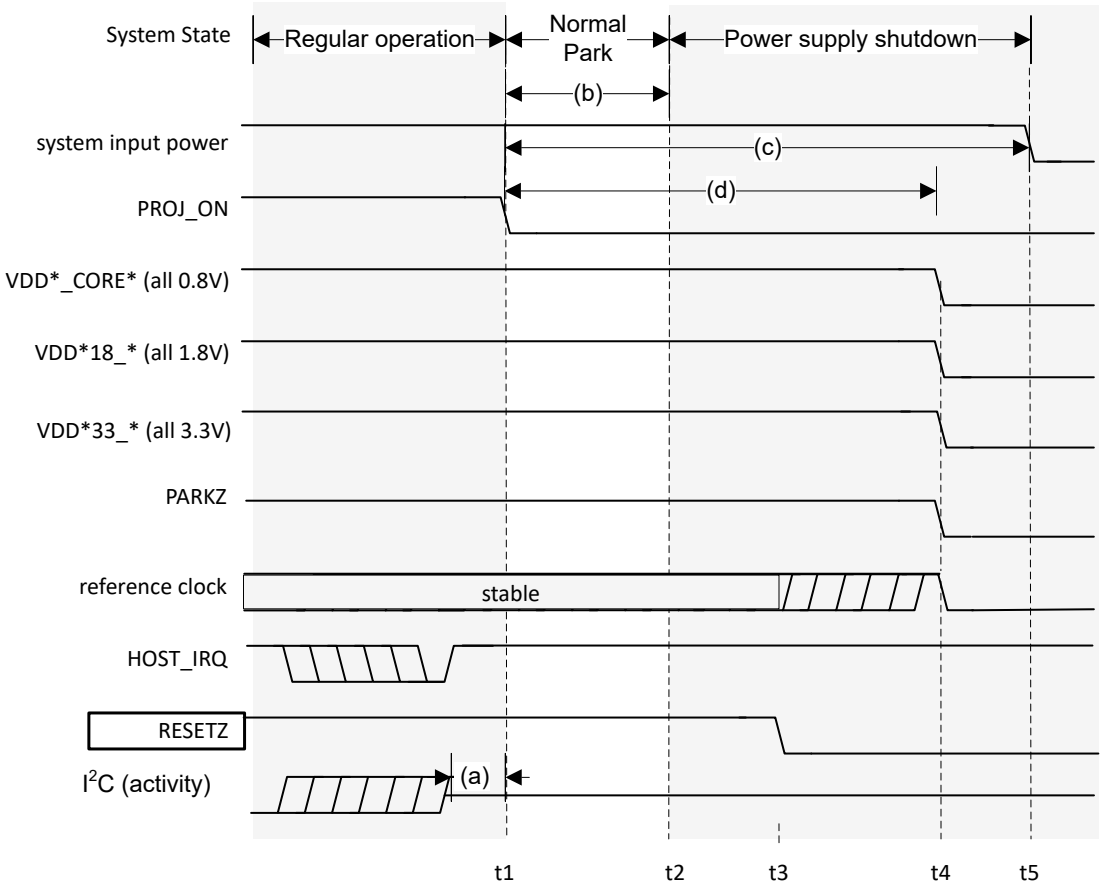
(a)： 在 RESETZ 释放之前，PARKZ 和 PROJ_ON 应处于高电平以支持自动初始化。

(b)： $t_{RAMP\text{-}UP\text{-}TOTAL}$，从 0.8V 斜坡开始到所有电源稳定的最大时间。

(c)： t_{REFCLK}，在释放 RESETZ 之前基准时钟必须稳定的最短时间。

(d): 在 HOST_IRQ 变为高电平以指示自动初始化完成之前，I^2C 活动无法开始。

图 7-1. 系统上电波形（采用 DLPA3085 或 DLPA3082）



t1： PROJ_ON 变为低电平以开始断电序列。

t2： 控制器完成 DMD 微镜停止序列。

t3： RESETZ 被置为有效，HOST_IRQ 变为高电平。

t4： 所有控制器电源都关闭并放电。

t5： 可以安全地断开系统电源。

(a)： PROJ_ON 被置为无效（变为低电平）后，不支持 I^2C 活动。

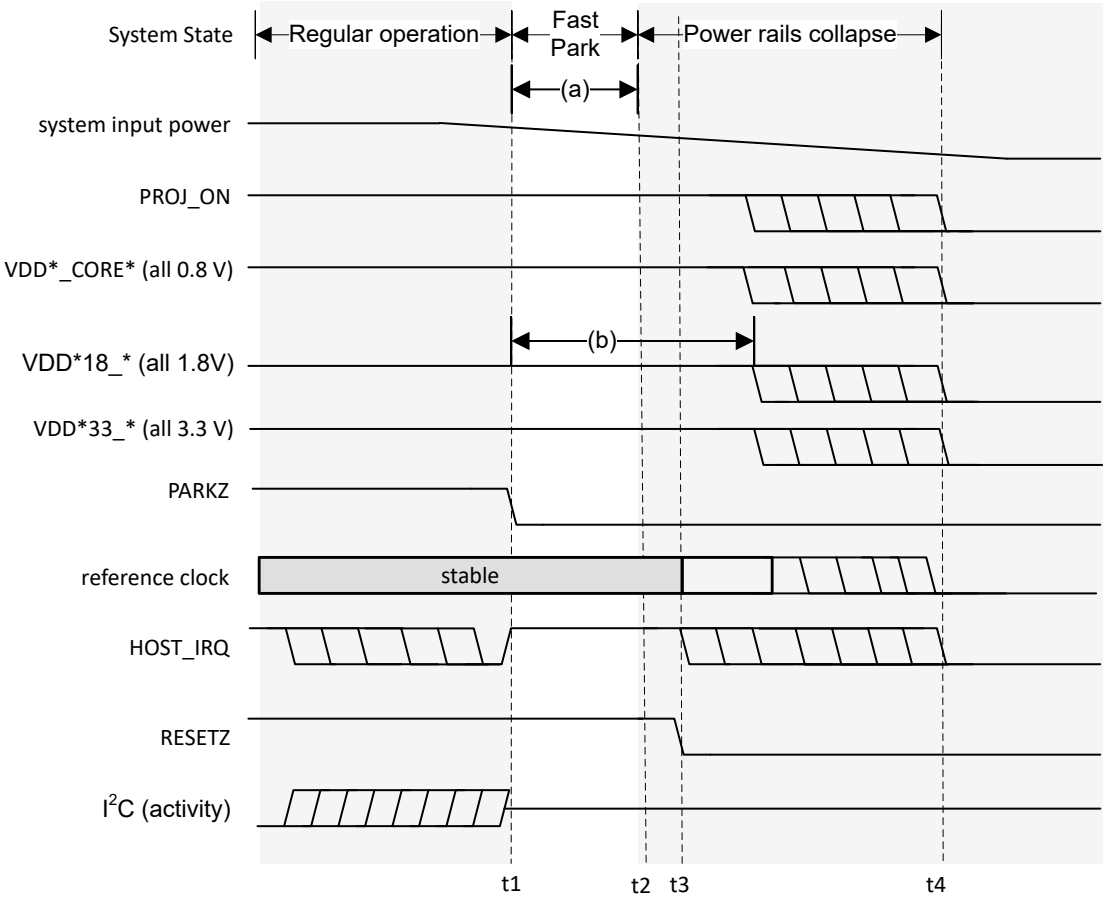
(b)： 当 PROJ_ON 被置为无效（变为低电平）后，DMD 微镜停止序列开始。

(c)： 建议在 PROJ_ON 被置为无效（变为低电平）后很长时间将系统输入电源保持在规格内，以便留出时间让 DMD 停止以及电源完全断电。

(d): DLPA PMIC 控制控制器电源断电时序。

图 7-2. 正常停止断电波形

Copyright © 2025 Texas Instruments Incorporated



t1： 检测到故障（在此示例中，PMIC 检测到 UVLO 情况），PARKZ 被置为有效（变为低电平），以指示控制器启动 DMD 快速停止。

t2： 控制器完成快速停止过程。

t3： RESETZ 被置为有效，使控制器处于复位状态，从而将 HOST_IRQ 释放至高电平。

t4： 最终，来自 SYSPWR 的所有电源都会崩溃。

(a)： 在 PARKZ 被置为有效（变为低电平）后，所有电源和 PLL_REFCLK 必须保持在规格范围内至少达 32 μs，以保护 DMD 免受可能的损坏。

(b)： DMD 具有电源时序要求，可能会影响 1.8V 电源的时序要求，参阅 DMD 数据表了解更多信息。

图 7-3. 快速停止断电波形

7.2 DMD 快速停止控制 (PARKZ)

PARKZ 是一种输入预警信号，必须在直流电源电压降至规格以下之前至少 32μs 向控制器发出警报。通常，PARKZ 信号由 DLPA3085 或 DLPA3082 中断输出信号提供。为了实现正常运行，必须在释放 RESETZ 之前（即在 RESETZ 输入上进行低电平到高电平转换之前）将 PARKZ 置为无效（设置为高电平）。当 PARKZ 被置为有效（设置为低电平）时，控制器会在 DMD 上执行快速停止操作，从而帮助维持 DMD 的使用寿命。基准时钟必须继续运行，并且在 PARKZ 被置为有效（设置为低电平）后 RESETZ 必须保持置为无效状态至少达 32μs，以便停止操作完成。

快速停止操作仅适用于即将断电，从而超出主处理器控制范围的情况（例如，当外部电源断开或电池电量降至最低水平以下时）。如果执行快速停止操作，则可能无法实现 DMD 的最长使用寿命。正常停止操作可实现最长使用寿命。因此，通常仅在没有足够的时间进行正常停止时使用 PARKZ 来代替正常停止请求。正常停止操作需要远大

于 32μs 的时间来停止微镜。在正常停止操作期间，DLPA3085 或 DLPA3082 会持续开启所有电源，并使 RESETZ 保持高电平，直到完成较长的微镜停止操作。此外，DLPA3085 或 DLPA3082 可能会在停止操作完成后在一段时间内使电源保持开启状态。如需了解更多信息，请参阅相关的 DLPA3085 或 DLPA3082 数据表。微镜停止时间越长，就越能实现最长的 DMD 使用寿命和可靠性。

7.3 电源管理

DLPA3085 或 DLPA3082 管理控制器 和 DMD 的电源。有关所有电源时序和要求，请参阅节 7.1。

7.4 热插拔用法

热插拔要求稳定向控制器供电；因此在电源轨完全上电之前不应传输任何输入源。虽然 V-by-One、FPD-Link、DSI 和 USB 接口支持热插拔使用（即在控制器通电时可以连接和断开这些接口），但控制器本身（以及连接到系统的任何 DMD）不支持热插拔使用。因此，在从任何系统中移除控制器或 DMD 之前，请先关闭系统电源。

7.5 未使用的输入源接口的电源

虽然某些产品配置无法提供或使用所有可用的输入源接口（例如 V-by-One、FPD-Link、DSI），但与这些未使用的输入源接口关联的电源仍必须像使用接口一样提供。

7.6 电源

7.6.1 DLPA3085 或 DLPA3082 电源

DLPA3085 或 DLPA3082 电源管理 IC 控制器的电源为 0.8V、1.8V 和 3.3V。必须为每个唯一定义的电源引脚（例如 VDD_CORE、VDDR_CORE）提供额外的滤波。本文档的节 8.1 中会进一步讨论电源引脚的滤波。

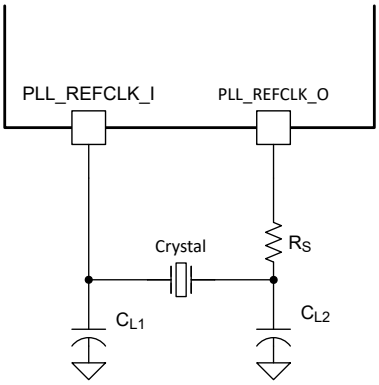
Copyright © 2025 Texas Instruments Incorporated

8 布局

8.1 布局指南

8.1.1 DLPC8445、DLPC8445V 或 DLPC8455 基准时钟布局指南

控制器需要两个外部基准时钟向其内部 PLL 提供信号。晶体或振荡器可以提供这些基准。晶体所需的分立式元件中列出了建议的晶体配置和基准时钟频率，表 8-1 中显示了其他必需的分立式元件。



C_L = 晶体负载电容

图 8-1. 晶体所需的分立式元件

8.1.1.1 建议的晶体振荡器配置

表 8-1. 建议的晶体配置

参数	晶体	单位
晶体电路配置	并联谐振	
晶体类型	基波（一次谐波）	
晶体标称频率	40	MHz
晶体频率容差 (1)	±100（最大 200p-p）	PPM
晶振等效串联电阻 (ESR)	60（最大值）	Ω
晶体负载电容	20（最大值）	pF
晶体并联负载电容	7（最大值）	pF
温度范围	-40°C 至 +85°C	°C
驱动电平	100（标称值）	μW
C_{L1} 外部晶体负载电容器	请参阅 (2) 中的公式	pF
C_{L2} 外部晶体负载电容器	请参阅 (3) 中的公式	pF
PCB 布局	建议在晶体周围设置接地隔离环。	

(1) 晶体频率容差，包括精度、温度、老化和修整灵敏度。这些参数通常是单独指定的，是满足此要求所需的所有参数的总和。
(2) CL1 = 2 × (CL – Cstray_pll_refclk_i)，其中：Cstray_pll_refclk_i = 与控制器引脚 REFCLKx_ 相关的晶体引脚上的封装和 PCB 杂散电容之和。请参阅表 8-2。
(3) CL2 = 2 × (CL – Cstray_pll_refclk_o)，其中：Cstray_pll_refclk_o = 与控制器引脚 REFCLKx_O 相关的晶体引脚上的封装和 PCB 杂散电容之和。请参阅表 8-2。

表 8-2. 晶体引脚电容

参数		最小值	标称值	最大值	单位
Cstray_pll_refclk_i	REFCLKA_I 处的封装和 PCB 杂散电容之和		0.4		pF
Cstray_pll_refclk_o	REFCLKA_O 处的封装和 PCB 杂散电容之和		0.4		pF

DLPC8445、DLPC8445V 或 DLPC8455 中的晶体电路具有专用电源（VDDS18_OSC）引脚，每个引脚的推荐滤波如图 8-2 所示，建议值如 DLPC8445、DLPC8445V 和 DLPC8455 推荐的晶体器件所示。

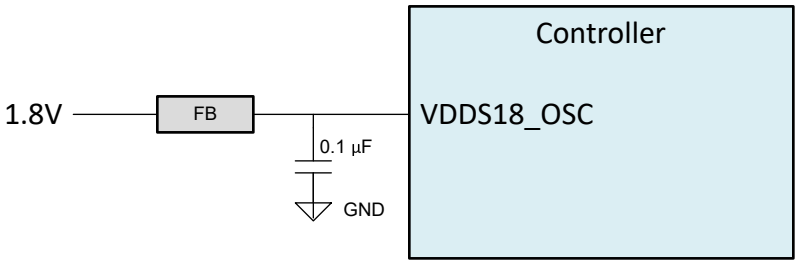


图 8-2. 晶体电源滤波

表 8-3. DLPC8445、DLPC8445V 和 DLPC8455 推荐的晶体器件

制造商	器件型号	额定频率 (MHz)	频率容差 (ppm)	最大 ESR (Ω)	负载电容 (pF)	封装尺寸 (mm)
KDS	DSX1612S	40	±50	50	8	1.6 x 1.2
KDS	DSK211G	40	±50	80	8	2.0 x 1.6
Murata	XRC GB40M00F0L 00R0	40	±200	100	6	2.0 x 1.6
NDK	NX1612SA	40	±25	80	8	1.6 x 1.2
NDK	NX2016SA	40	±35	50	8	2.0 x 1.6

8.1.2 V-by-One 接口布局注意事项

DLPC8445、DLPC8445V 和 DLPC8455 V-by-One SERDES 差分接口波形的质量和时序取决于互连系统的总长度、布线间距、特性阻抗、蚀刻损耗以及接口两侧长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

DLPC8445、DLPC8445V 和 DLPC8455 I/O 时序参数、V-by-One 发送器时序参数以及这些特定时序要求可在相应的发送器数据表中找到。可通过受控的 PCB 布线对 PCB 布线不匹配问题进行预算并予以解决。V-by-One 接口 PBC 相关要求 中提供了针对 V-by-One 的 PCB 相关要求，可作为客户的切入点。

表 8-4. V-by-One 接口 PBC 相关要求

参数(1)	最小值	典型值	最大值	单位
通道内串扰（VX1_DATAx_P 和 VX1_DATAx_N 之间）			< 1.5	mVpp
通道间串扰（数据通道对之间）			< 1.5	mVpp
数据通道与其他信号之间的串扰			< 1.5	mVpp
通道内偏斜			< 40	ps
通道间偏斜			< 800	ps
差分阻抗	90	100	110	Ω

(1) 如果使用最小布线宽度和间距来避开控制器焊球区域，在避开后，如果可行，最好加宽这些宽度和间距，以达到 100Ω 目标阻抗（例如，用于减少传输线损耗）。

其他 V-by-One 布局准则：

Copyright © 2025 Texas Instruments Incorporated

- 在 PBC 的顶层布线差分信号对，以尽可能减少过孔数量。将必要过孔的数量限制为两个。
- 使用微带线配置在单个接地或电源平面上布线差分信号对。还建议使用接地防护布线。
- 请勿将差分信号对布线到电源或接地平面缝隙上。
- 更大限度地减少每个对以及每个对之间的布线长度不匹配，以满足偏斜要求。
- 确保与差分信号对相关的弯曲角度在 135° 和 225° 之间（请参阅图 8-3）。

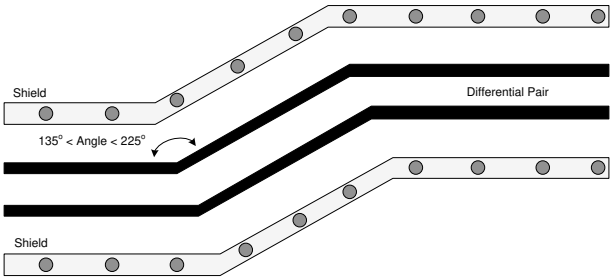


图 8-3. V-By-One 布线示例

8.1.3 DMD 最大引脚对引脚 PCB 互连蚀刻长度

表 8-5. 最大引脚对引脚 PCB 互连建议

DMD 总线信号[(1) (2)]	信号互连拓扑		单位
	单板信号布线长度	多板信号布线长度	
DMD_HS_CLK_P DMD_HS_CLK_N	10.0 (254)	请参阅[(3)]	in (mm)
DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	10.0 (254)	请参阅[(3)]	in (mm)
DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD_LS_CLK	10.0 (254)	请参阅[(3)]	in (mm)
DMD_LS_WDATA	10.0 (254)	请参阅[(3)]	in (mm)
DMD_LS_RDATA	10.0 (254)	请参阅[(3)]	in (mm)
DMD_DEN_ARSTZ	10.0 (254)	请参阅[(3)]	in (mm)

(1) 最大信号布线长度将迂回布线计算进来。
(2) 由于连接器的影响，多板 DMD 布线长度存在更严格的限制。
(3) 由于 PCB 之间存在差异，因此无法定义这些建议。任何电路板设计都应使用控制器 IBIS 模型（可在控制器网页的*工具和软件*选项卡中找到）进行 SPICE 仿真，以便布线长度不会违反信号要求。

表 8-6. 高速 PCB 信号布线匹配要求

信号组长度匹配[1] [2] [3]				
接口	信号组	基准信号	最大失配[4]	单位
DMD[5]	DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	DMD_HS_CLK_P DMD_HS_CLK_N	±1.0 (±25.4)	in (mm)
	DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
	DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
	DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
	DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
	DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
	DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
	DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD	DMD_HS_WDATA_x_P	DMD_HS_WDATA_x_N	±0.025 (±0.635)	in (mm)
DMD	DMD_HS_CLK_P	DMD_HS_CLK_N	±0.025 (±0.635)	in (mm)
DMD	DMD_LS_WDATA DMD_LS_RDATA	DMD_LS_CLK	±0.2 (±5.08)	in (mm)
DMD	DMD_DEN_ARSTZ	不适用	不适用	in (mm)

(1) 长度匹配值仅适用于 PCB 布线长度。无需额外考虑与 DLPC8445 控制器或 DMD 相关的内部封装布线失配。
(2) 对 DMD HS 数据线进行训练。这就是为什么定义的匹配要求相较于 LS 数据线而言略显宽松。
(3) DMD LS 信号为单端信号。
(4) 信号组的失配变化始终与基准信号相关。
(5) DMD HS 数据线是差分数据线；因此，这些规格是成对的。

表 8-7. 信号要求

参数	基准	要求
源串联端接	DMD_LS_WDATA	需要 33Ω ±10%
	DMD_LS_CLK	需要 33Ω ±10%
	DMD_DEN_ARSTZ	可接受
	DMD_LS_RDATA	需要 30.1Ω ±10%
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受
终点端接	DMD_LS_WDATA	不可接受
	DMD_LS_CLK	不可接受
	DMD_DEN_ARSTZ	不可接受
	DMD_LS_RDATA	不可接受
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受

Copyright © 2025 Texas Instruments Incorporated

表 8-7. 信号要求（续）

参数	基准	要求
PCB 阻抗	DMD_LS_WDATA	50Ω ±10%
	DMD_LS_CLK	50Ω ±10%
	DMD_DEN_ARSTZ	50Ω ±10%
	DMD_LS_RDATA	50Ω ±10%
	DMD_HS_WDATA_x_y	100Ω ±10%
	DMD_HS_CLK_y	100Ω ±10%
信号类型	DMD_LS_WDATA	以 DMD_LS_DCLK 为基准的 SDR（单一数据速率）
	DMD_LS_CLK	以 DMD_LS_DCLK 为基准的 SDR
	DMD_DEN_ARSTZ	SDR
	DMD_LS_RDATA	以 DMD_LS_DLCK 为基准的 SDR
	DMD_HS_WDATA_x_y	SubLVDS
	DMD_HS_CLK_y	SubLVDS

8.1.4 电源布局指南

建议为以下列出的电源输入使用以下滤波电路。

- VDDA18_Vx1
- VDDA18_FPD
- VDDA18_DSI
- VDDA33_USB
- VDDA18_USB
- VDD_CORE_Vx1
- VDD_CORE_FPD
- VDD_CORE_DSI
- VDD_CORE_USB

由于 PBC 布局对于与这些电源关联的接口的性能至关重要，因此将这些电源视为模拟信号至关重要。特别是：

- 将高频元件（例如铁氧体和电容器）尽可能靠近电源焊球放置。
- 选择具有低 ESR 和 ESL 值的高频陶瓷电容器（例如容值为 0.1μF、0.01μF 和 100nF 的电容器）。将引线设计得尽可能短，因此建议将这些电容器放置在电路板另一侧的封装下方。
- 对于每个电源引脚，必须在控制器到电容器之间使用一条迹线（尽可能宽），然后通过串联铁氧体连接到电源。
- 对于每个电源引脚，在迂回过孔附近添加一个 100nF 去耦电容器。将该去耦电容添加到为滤波器建议的电容中。这些都是最低的建议，因此不同的布局可能需要额外的电容。

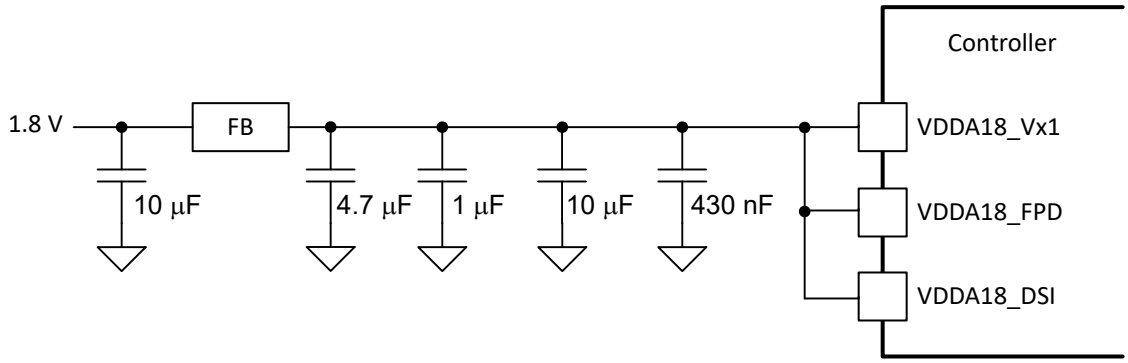


图 8-4. 针对 VDDA18_VX1 (V-by-One)、VDDA18_FPD (FPD-Link)、VDDA18_DSI (DSI) 建议的滤波器

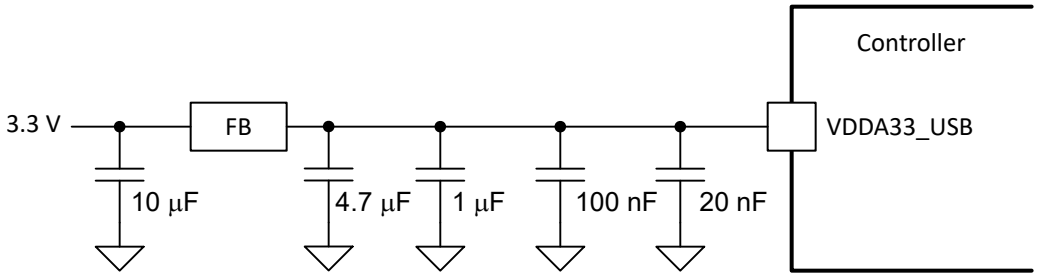


图 8-5. VDDA33_USB (USB) 推荐的滤波器

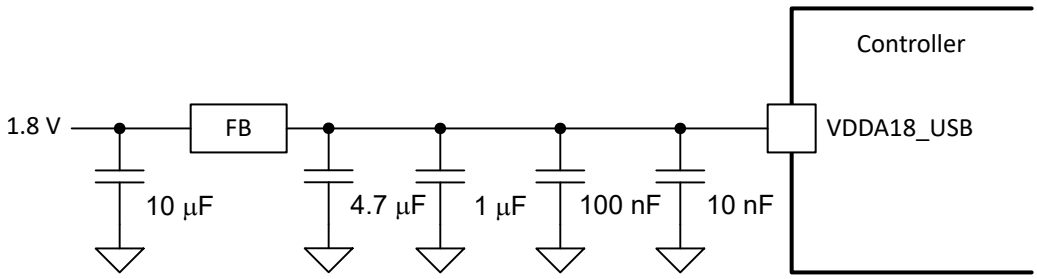


图 8-6. VDDA18_USB (USB) 推荐的滤波器

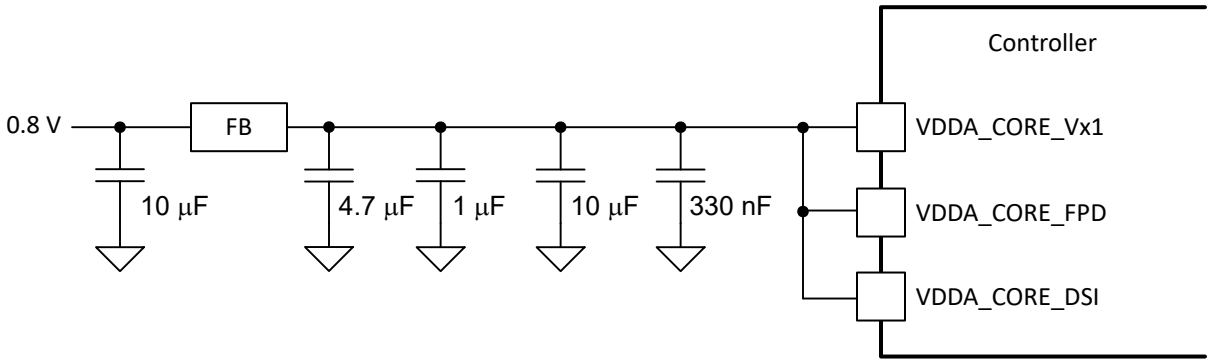


图 8-7. 针对 VDD_CORE_VX1 (V-by-One)、VDD_CORE_FPD (FPD-Link)、VDD_CORE_DSI (DSI) 建议的滤波器

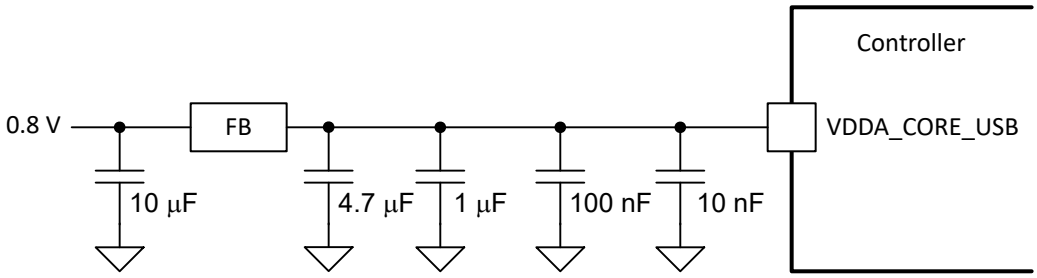


图 8-8. 针对 VDD_CORE_USB (USB) 建议的滤波器

8.2 散热注意事项

DLPC8445、DLPC8445V 或 DLPC8455 的基本热要求是不应超过最大工作结温 (T_J) (在*建议运行条件* 中定义) 。该温度取决于工作环境温度、散热器、气流、PCB 设计 (包括元件布局密度和使用的铜量) 、DLPC8445、DLPC8445V 或 DLPC8455 的功率耗散和周围元件的功率耗散。DLPC8445、DLPC8445V 或

Copyright © 2025 Texas Instruments Incorporated

DLPC8455 的封装旨在通过向散热器散热的封装散热板、散热焊球以及 PCB 的电源平面和接地平面来提取热量。因此，散热器、铜含量和 PCB 上的气流是重要因素。

建议的最高工作环境温度 (T_A) 主要作为设计目标提供，并基于强制气流为 0m/s、1m/s 和 2m/s 时的最大 DLPC8445、DLPC8445V 或 DLPC8455 功率耗散和 $R_{\theta JA}$，其中 $R_{\theta JA}$ 是使用*布局指南*中所述的测试板测得的封装热阻。该测试 PCB 不一定代表客户 PCB，因此所报告的热阻可能不是实际产品应用中的准确热阻。尽管实际热阻可能不同，但它是在设计阶段估算热性能的最可靠信息。TI 强烈建议在设计和构建主机 PCB 后衡量和验证热性能。

为此，请测量最坏情况产品场景下的顶部中心外壳温度（最大功率耗散、最大电压、最高环境温度），并验证是否未超过建议的最高外壳温度 (T_C)。此规格基于为 DLPC8445、DLPC8445V 或 DLPC8455 封装测得的 Φ_{JT}，能够相对准确地反映与结温的关系。测量这个外壳温度时要小心，以防止封装表面意外冷却。TI 建议使用小型（大约 40 规度）热电偶。确保磁珠和热电偶导线接触封装顶部。用最少量的导热环氧树脂覆盖磁珠和热电偶导线。沿着封装和电路板表面紧密布置导线，避免通过导线冷却磁珠。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

以下文档包含与该 DMD 一起使用的芯片组元件相关的更多信息。

- *DLPA3085 PMIC 和高电流 LED 驱动器 IC 数据表*
- *DLPA3082 PMIC IC 数据表*
- *DLP472TP 0.47 4K UHD 数字微镜器件数据表*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

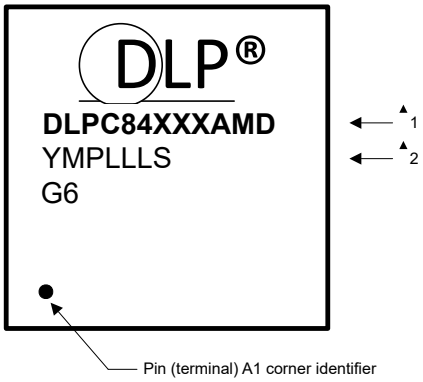
TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2025 Texas Instruments Incorporated

9.5 器件命名规则

9.5.1 器件标识



标识定义：

第 1 行：	TI 器件型号：量产	DLPC84XXX = 器件 ID 空白或 A、B、C ...= 器件修订版本 AMD = 封装符号
第 2 行：	供应商年、周和批次代码	YM = 年月日代码 P = 二级工厂代码 LLL = 封装厂代码 S = 主工厂代码
第 3 行：	ECAT - 环保封装符号	G6

9.6 商标

TI E2E™ is a trademark of Texas Instruments.
V-by-One® is a registered trademark of THine Electronics, Inc.
Arm® is a registered trademark of Arm Ltd.
DLP® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

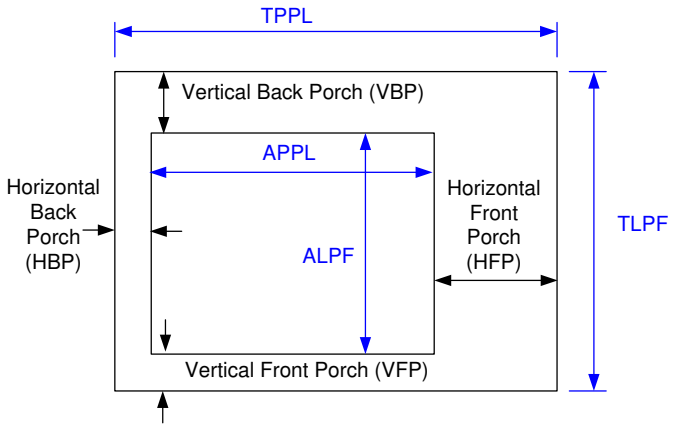
9.8 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9.8.1 视频时序参数定义

每帧有效扫描行数 (ALPF)	定义包含可显示数据的一个帧中的线数量：ALPF 是 TLPF 的一个子集。
每行有效像素 (APPL)	定义包含可显示数据的一行中的像素时钟数量：APPL 是 TPPL 的一个子集。
水平后沿 (HBP) 消隐	水平同步之后，第一个有效像素之前的消隐像素时钟数量。注意：HBP 时间参考各自同步信号的前缘（有效）边沿。
水平前沿 (HFP) 消隐	最后一个有效时钟之后，水平同步之前的消隐像素时钟的数量。

水平同步 (HS)	定义水平间隔（行）开始的时序基准点。这个绝对基准点由 HS 信号的有效边沿定义。有效边沿（源定义的上升沿或下降沿）是测量所有水平消隐参数的基准。
每帧总行数 (TLPF)	定义行内的垂直周期（或者帧时间）：TLPF = 每帧总行数（有效和无效）。
每行总像素 (TPPL)	像素时钟内的水平线周期：TPPL = 每行总像素时钟数（有效和无效像素时钟）。
垂直同步 (VS)	定义垂直间隔（帧）开始的时序基准点。这个绝对基准点由 VS 信号的有效边沿定义。有效边沿（源定义的上升沿或下降沿）是测量所有垂直消隐参数的基准。
垂直后沿 (VBP) 消隐	垂直同步后，第一个有效行之前的消隐行的数量。
垂直前沿 (VFP) 消隐	在最后一个有效行后，垂直同步前的消隐行数。



Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from OCTOBER 11, 2024 to AUGUST 14, 2025 (from Revision A (October 2024) to Revision B (August 2025)) **Page**

- 添加了对 DLPC8455 器件和基于激光荧光的照明的引用 1
- 针对 DLPC8455 进行了更新 1
- 添加了对激光荧光照明的支持 38
- 添加了对激光荧光照明的支持 50
- 更新了 DMD 最大引脚对引脚 PCB 互连蚀刻长度 59

Changes from SEPTEMBER 17, 2024 to OCTOBER 10, 2024 (from Revision * (September 2024) to Revision A (October 2024)) **Page**

- 添加了对 DLPC8445V 器件的引用 1
- 添加了有关 DLPC8445V 器件的器件信息 1
- 在相关小节中添加了对 DLPC8445V 控制器和 DLPA3082 PMIC 的引用 38
- 为 LED/激光 PWM 用例添加了 GPIO 支持的功能 50
- 在相关小节中添加了对 DLPC8445V 控制器和 DLPA3082 PMIC 的引用 53
- 在相关小节中添加了对 DLPC8445V 器件的引用 57

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLPC8445AMD	Active	Production	FCCSP (AMD) | 484	260 | JEDEC TRAY (10+1)	-	Call TI	Level-3-250C-168 HR	-30 to 85	DLPC8445AMD
DLPC8445AMD.B	Active	Production	FCCSP (AMD) | 484	260 | JEDEC TRAY (10+1)	-	Call TI	Level-3-250C-168 HR	-30 to 85	DLPC8445AMD
DLPC8445VAMD	Active	Production	FCCSP (AMD) | 484	260 | JEDEC TRAY (10+1)	-	Call TI	Level-3-250C-168 HR	-30 to 85	DLPC8445VAMD
DLPC8445VAMD.B	Active	Production	FCCSP (AMD) | 484	260 | JEDEC TRAY (10+1)	-	Call TI	Level-3-250C-168 HR	-30 to 85	DLPC8445VAMD
DLPC8455AMD	Active	Production	FCCSP (AMD) | 484	260 | JEDEC TRAY (10+1)	-	Call TI	Level-3-250C-168 HR	-35 to 85	DLPC8455AMD

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

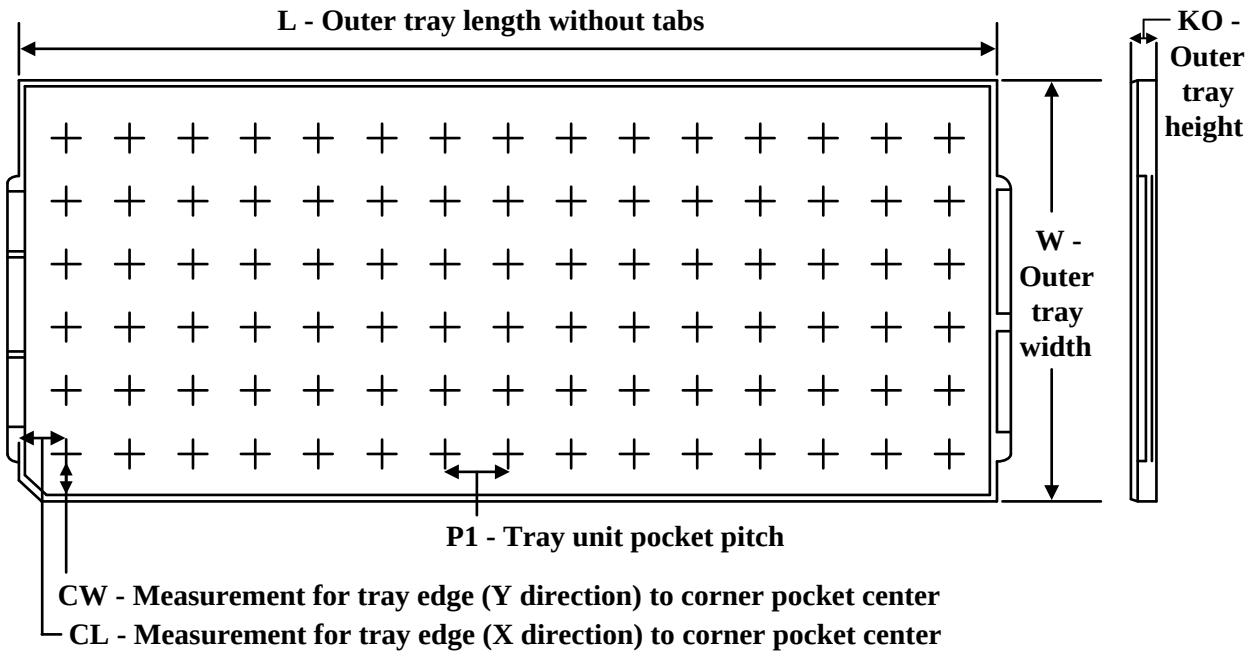
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY

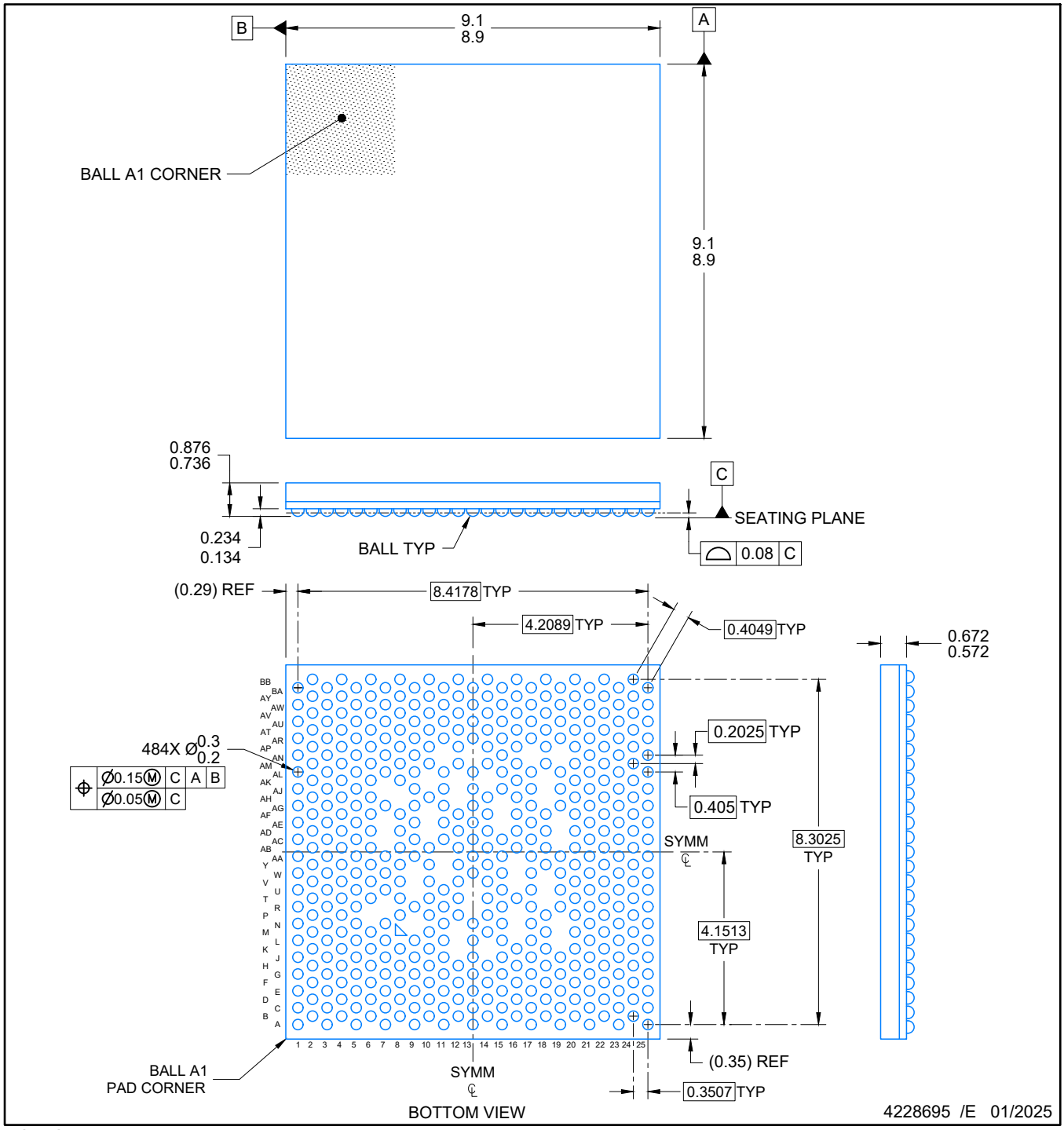


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLPC8445AMD	AMD	FCCSP	484	260	10 X 26	150	315	135.9	7620	11.8	10	NA
DLPC8445AMD.B	AMD	FCCSP	484	260	10 X 26	150	315	135.9	7620	11.8	10	NA
DLPC8445VAMD	AMD	FCCSP	484	260	10 X 26	150	315	135.9	7620	11.8	10	NA
DLPC8445VAMD.B	AMD	FCCSP	484	260	10 X 26	150	315	135.9	7620	11.8	10	NA
DLPC8455AMD	AMD	FCCSP	484	260	10 X 26	150	315	135.9	7620	11.8	10	NA

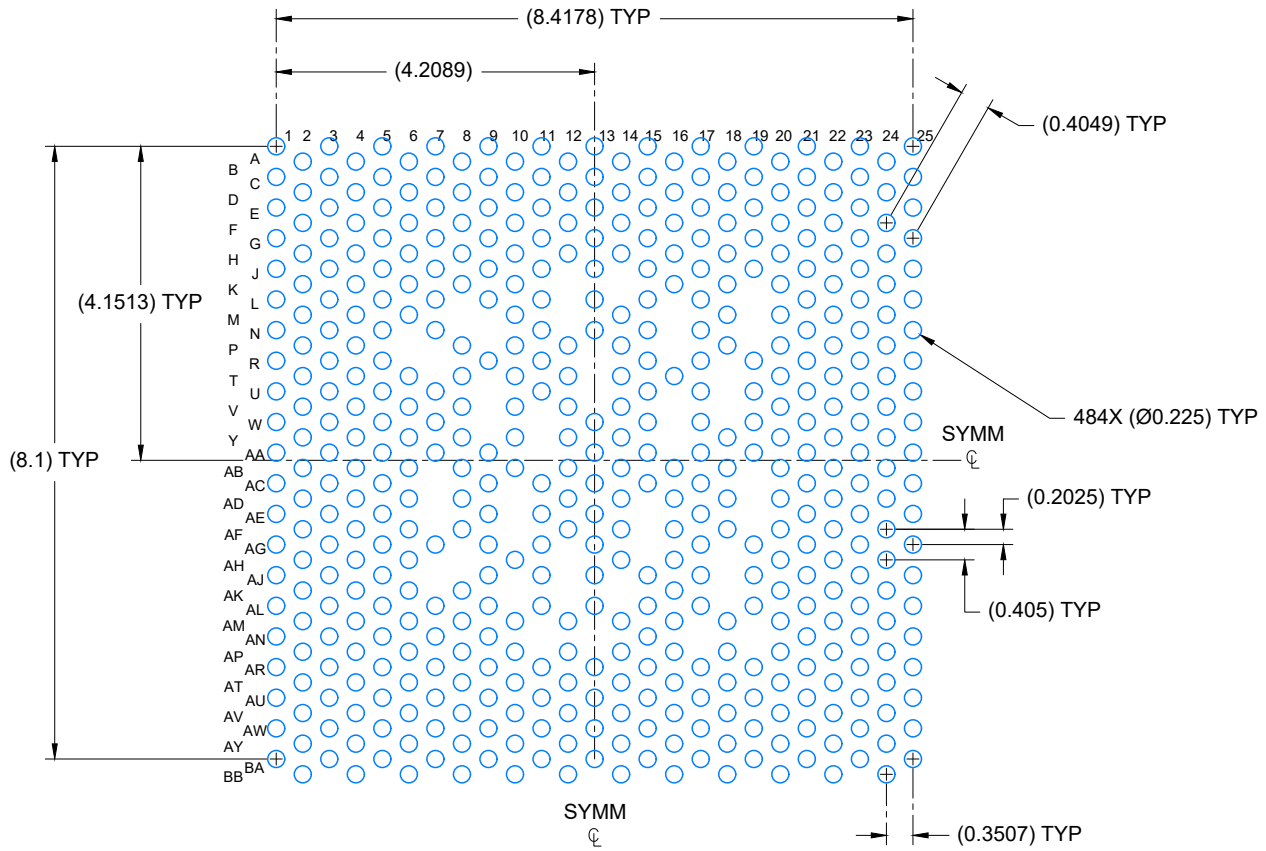
Flip Chip-Chip Scale Package



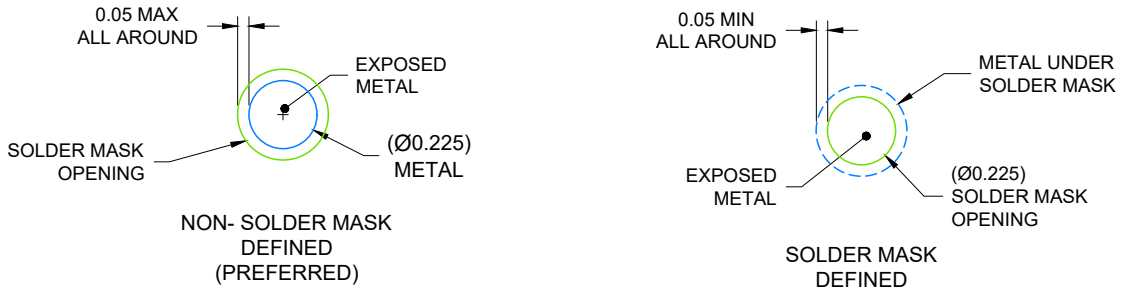
NOTES:

NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 10X

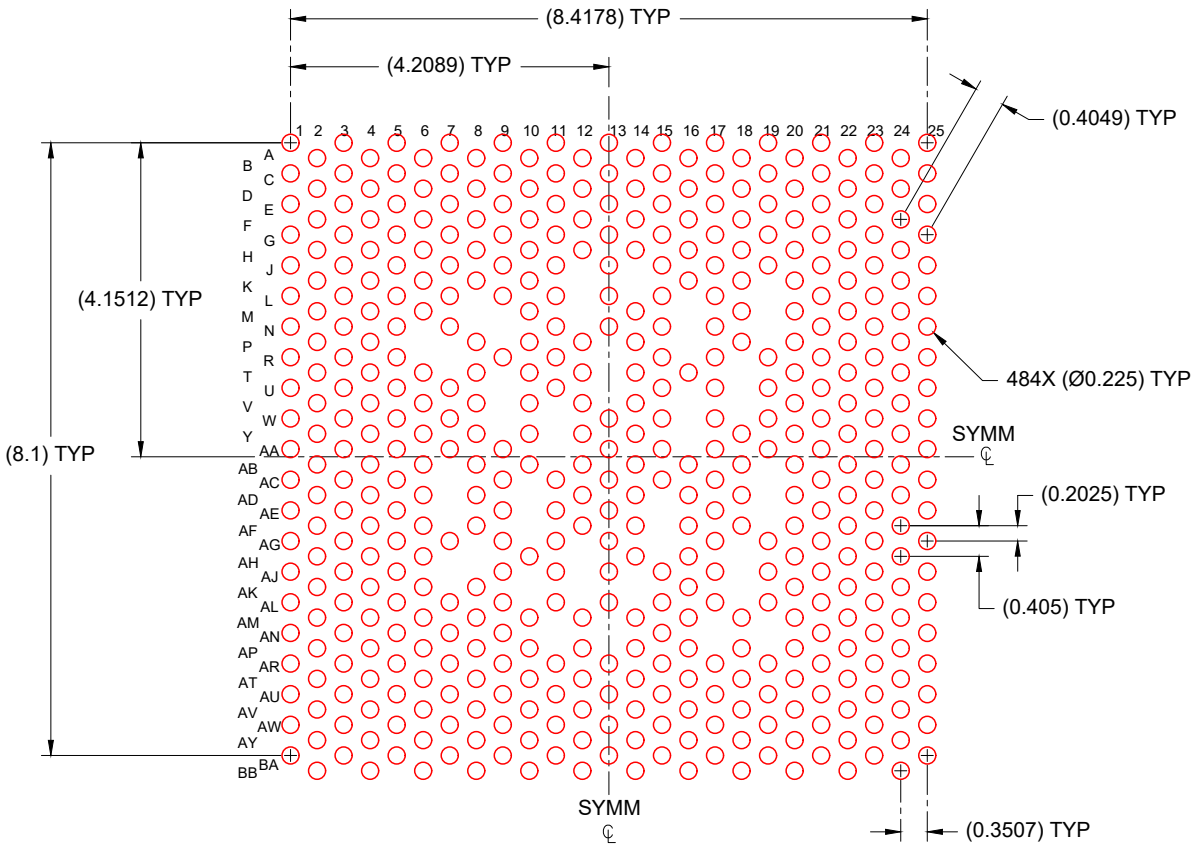


SOLDER MASK DETAILS
NOT TO SCALE

4228695 /E 01/2025

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4228695 /E 01/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月