

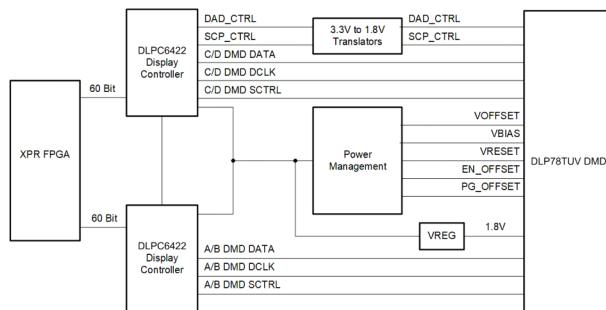
DLPC6422 DLP® 数字控制器

1 特性

- 用于 DLP78TUV (0.78 英寸 830 万像素) DMD 的数字控制器
 - 最高支持 4K、60Hz 的双控制器
 - 最高支持 1080p、120Hz 的单控制器

提供一个 30 位或两个 60 位输入像素接口：

- YUV、YCrCb、RGB 数据格式
- RGB 数据格式
- 每种颜色 8、9 或 10 位
- 在单控制器双 30 位模式下像素时钟高达 320MHz
- 在双控制器双 30 位模式下像素时钟高达 600MHz
- 高速低电压差分信号 (LVDS) DMD 接口
- 150MHz ARM946™ 微处理器
- 微处理器外设
 - 可编程脉宽调制 (PWM) 和捕捉计时器
 - 三个 I²C 端口、三个 UART 端口和三个 SSP 端口
 - 一个 USB 1.1 次级端口
- 图像处理
 - 多种图像处理算法
 - 帧速率转换
 - 色彩坐标调整
 - 可编程颜色空间转换
 - 可编程 degamma 和启动界面
- 集成时钟生成电路
 - 通过单个 20MHz 晶体提供时钟
 - 集成扩频时钟



双控制器系统的简化原理图

- 外部存储器支持
 - 用于微处理器和 PWM 序列的并行闪存
- 516 引脚塑料 Ball Grid Array (BGA) 封装
- 支持 LED 和激光混合照明

2 应用

- 3D 打印机
- 激光打标
- 激光制造
- 数字成像和曝光

3 说明

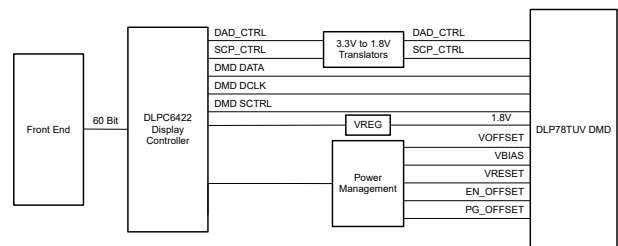
DLPC6422 是用于 DLP® 成像芯片组的数字光控制器。该芯片组包含 DLPC6422 光控制器、DLP 数字微镜器件 (DMD) DLP78TUV、DLPA100 电源管理器件和 DLPA300 DMD 微镜驱动器 (请参阅 DMD 数据表)。该系统非常适合 DLP 3D 打印和其他需要高速、高分辨率、UV 波长、高光通量和稳健系统的成像应用。为了确保可靠运行，必须始终将 DLPC6422 光控制器与 DLP DMD DLP78TUV 和相应的 DLP 电源管理器件配合使用。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
DLPC6422	ZPC (516)	27.00mm × 27.00mm

(1) 有关更多信息，请参阅 节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



单控制器系统的简化原理图



内容

1 特性	1	6.1 概述.....	26
2 应用	1	6.2 功能方框图.....	26
3 说明	1	6.3 特性说明.....	26
4 引脚配置和功能	3	6.4 器件功能模式.....	30
5 规格	14	7 应用和实施	31
5.1 绝对最大额定值.....	14	7.1 应用信息.....	31
5.2 建议运行条件.....	14	7.2 典型应用.....	31
5.3 热性能信息.....	15	7.3 电源要求和建议.....	33
5.4 电气特性.....	16	7.4 布局.....	35
5.5 ESD 等级.....	18	8 器件和文档支持	41
5.6 系统振荡器时序要求.....	18	8.1 第三方产品免责声明.....	41
5.7 测试和复位时序要求.....	18	8.2 器件支持.....	41
5.8 JTAG 接口：I/O 边界扫描应用时序要求.....	19	8.3 文档支持.....	42
5.9 端口 1 输入像素时序要求.....	19	8.4 接收文档更新通知.....	43
5.10 端口 3 输入像素接口（通过 GPIO）时序要求.....	20	8.5 支持资源.....	43
5.11 DMD LVDS 接口时序要求.....	21	8.6 商标.....	43
5.12 同步串行端口 (SSP) 接口时序要求.....	21	8.7 静电放电警告.....	43
5.13 可编程输出时钟开关特性.....	22	8.8 术语表.....	43
5.14 同步串行端口接口 (SSP) 开关特性.....	22	9 修订历史记录	43
5.15 JTAG 接口：I/O 边界扫描应用开关特性.....	23	10 机械、封装和可订购信息	44
6 详细说明	26		

4 引脚配置和功能

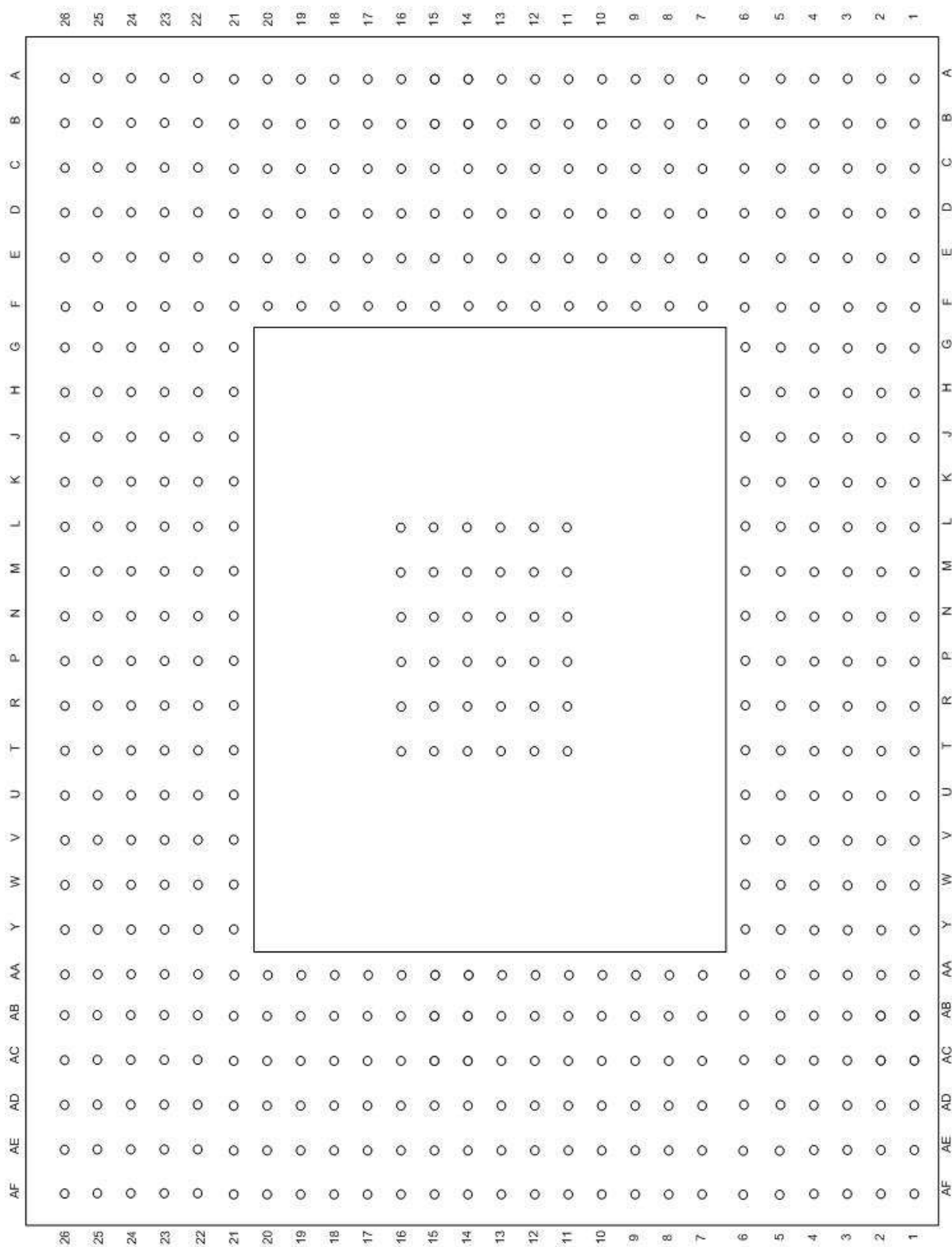


图 4-1. 引脚配置

表 4-1. 引脚功能

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
POSENSE	P22	I ₄	由外部电压监测电路产生的上电检测信号，高电平有效。当所有 ASIC 电源电压均达到指定最小电压的 90% 时，该信号驱动为有效（高电平）。在到达指定的 PWRGOOD 下降沿后，该信号驱动为无效（低电平）。
PWRGOOD	T26	I ₄	来自外部电源或电压监测器的电源正常信号，高电平有效。高电平值表示所有电源均处于工作电压规格范围内，系统可安全退出其复位状态。从高电平到低电平的切换表示控制器或 DMD 电源电压降至额定最小电平以下。该切换必须发生在电源电压下降至规定值之前。在此期间，POSENSE 必须保持有效的高电平。这是对即将发生的断电情况的预警。此预警是增强长期 DMD 可靠性所必需的。当 PWRGOOD 进入低电平状态规定的最短时间后，DLPC6422 控制器将执行 DMD 停放，随后执行完整的控制器复位，以保护 DMD。最短置为无效时间用于防止输入受到毛刺干扰。此后，只要 PWRGOOD 处于低电平，DLPC6422 控制器就会保持其复位状态。PWRGOOD 必须被驱动至高电平才能正常运行。当 PWRGOOD 被驱动至高电平规定的最短时间后，DLPC6422 控制器才将其确认为有效状态。使用磁滞
EXT_ARTZ	T24	O ₂	通用复位输出，低电平有效。将加电复位 (POSENSE) 置为低电平时，该输出立即置为低电平；并在 POSENSE 保持低电平期间保持低电平。在加电复位解除（即 POSENSE 设置为高电平）后，EXT_ARSTZ 继续保持低电平，直到被软件解除。在检测到 PWRGOOD 或任何内部生成的复位后，EXT_ARSTZ 也会在大约 5μs 后被置为低电平。在所有情况下，该信号保持有效至少 2ms。请注意，ASIC 包含一个软件寄存器，可用于独立驱动此输出。
MTR_ARTZ	T25	O ₂	色轮电机控制器复位输出，低电平有效。将加电复位 (POSENSE) 置为低电平时，该输出立即置为低电平；并在 POSENSE 保持低电平期间保持低电平。在加电复位解除（即 POSENSE 设置为高电平）后，MTR_ARSTZ 继续保持低电平，直到被软件解除。在检测到 PWRGOOD 或任何内部生成的复位后，MTR_ARSTZ 也可以选择在大约 5μs 后被置为低电平。在所有情况下，该信号保持有效至少 2ms。请注意，ASIC 包含一个软件寄存器，可用于独立驱动此输出。ASIC 也包含一个软件寄存器，可用于在灯触发复位时禁用电机复位。
板级测试和初始化 ⁽³⁾			
TDI	N25	I ₄	JTAG 串行数据输入
TCK	N24	I ₄	JTAG 串行数据时钟
TMS1	P25	I ₄	JTAG 测试模式选择
TMS2	P26	I ₄	JTAG 测试模式选择
TDO1	N23	O ₅	JTAG 串行数据输出
TDO2	N22	O ₅	JTAG 串行数据输出
TRSTZ	M23	I ₄	JTAG 复位。该信号包含一个内部上拉电阻且利用了磁滞。当 JTAG 接口用于边界扫描或 ARM 调试时，该引脚被拉至高电平（或保持未连接状态）。否则，将该引脚接地。若在正常运行期间未能将该引脚拉至低电平，会导致启动和初始化问题。
RTCK	E4	O ₂	JTAG 返回时钟
ETM_PIPESTAT_2	A4	B ₂	ETM 跟踪端口流水线状态。指示 ARM 内核的流水线状态。这些信号包含内部下拉电阻。
ETM_PIPESTAT_1	B5	B ₂	
ETM_PIPESTAT_0	C6	B ₂	
ETM_TRACESYNC	A5	B ₂	ETM 跟踪端口同步信号，指示跟踪数据包端口上分支序列的开始。此信号包含一个内部下拉电阻。
ETM_TRACECLK	D7	B ₂	ETM 跟踪端口时钟。此信号包含一个内部下拉电阻。
ICTSEN	M24	I ₄	IC 三态使能（高电平有效）。置为高电平时将所有输出（JTAG 接口除外）处于三态。此信号包含一个内部下拉电阻，不过为了加强保护，建议使用一个外部下拉电阻。使用磁滞
TSTPT_7	E8	B ₂	测试引脚 7。此信号提供内部下拉电阻。 正常使用：保留用于测试输出。正常使用时建议保持开路或未连接
TSTPT_6	B4	B ₂	测试引脚 6。此信号提供内部下拉电阻。 正常使用：保留用于测试输出。正常使用时建议保持开路或未连接
TSTPT_5	C4	B ₂	测试引脚 5。此信号提供内部下拉电阻。 正常使用：保留用于测试输出。正常使用时建议保持开路或未连接
TSTPT_4	E7	B ₂	测试引脚 4。此信号提供内部下拉电阻。 正常使用：保留用于测试输出。正常使用时建议保持开路或未连接
TSTPT_3	D5	B ₂	测试引脚 3。此信号提供内部下拉电阻。 正常使用：保留用于测试输出。正常使用时建议保持开路或未连接。
TSTPT_2	E6	B ₂	测试引脚 2。此信号提供内部下拉电阻。此外，建议提供跳线选项，以便将 TSTPT(2:0) 连接到外部上拉电阻。
TSTPT_1	D3	B ₂	测试引脚 1。此信号提供内部下拉电阻。此外，建议提供跳线选项，以便将 TSTPT(2:0) 连接到外部上拉电阻。
TSTPT_0	C2	B ₂	测试引脚 0。此信号提供内部下拉电阻。此外，建议提供跳线选项，以便将 TSTPT(2:0) 连接到外部上拉电阻。
器件测试			
HW_TEST_EN	M25	I ₄	器件制造测试使能。该信号包含一个内部下拉电阻且利用了磁滞。建议在正常运行时将该信号连接到外部接地，以加强保护。
模拟前端			
AFE_ARSTZ	AC12	O ₂	模拟前端复位输出，低电平有效。将加电复位 (POSENSE) 置为低电平时，该输出立即置为低电平；并在 POSENSE 保持低电平期间保持低电平。在加电复位解除（即 POSENSE 设置为高电平）后，AFE_ARSTZ 继续保持低电平，直到被软件解除。在检测到 PWRGOOD 或任何内部生成的复位后，AFE_ARSTZ 也会在大约 5μs 后被置为低电平。在所有情况下，在软件解除复位条件后，该信号保持有效至少 2ms。请注意，ASIC 包含一个软件寄存器，可用于独立驱动此输出。
AFE_CLK	AD12	O ₆	运行视频解码器所需的模拟前端外部时钟输出。支持可编程输出驱动
AFE_IRQ	AB13	I ₄	模拟前端中断（高电平有效）。该信号包含一个内部下拉电阻且利用了磁滞。
端口 1 和端口 2 通道数据和控制 ^{(4) (5) (6) (7)}			

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
P_CLK1	AE22	I ₄	输入端口数据像素写入时钟 (可选择上升沿或下降沿触发, 以及选择与哪个端口相关联 (A 或 B 或 (A 和 B))。此信号包含一个内部下拉电阻。
P_CLK2	W25	I ₄	输入端口数据像素写入时钟 (可选择上升沿或下降沿触发, 以及选择与哪个端口相关联 (A 或 B 或 (A 和 B))。此信号包含一个内部下拉电阻。
P_CLK3	AF23	I ₄	输入端口数据像素写入时钟 (可选择上升沿或下降沿触发, 以及选择与哪个端口相关联 (A 或 B 或 (A 和 B))。此信号包含一个内部下拉电阻。
P_DATAEN1	AF22	I ₄	高电平有效数据使能。可选择与哪个端口关联 (A 或 B 或 (A 和 B))。此信号包含一个内部下拉电阻。
P_DATAEN2	W24	I ₄	高电平有效数据使能。可选择与哪个端口关联 (A 或 B 或 (A 和 B))。此信号包含一个内部下拉电阻。
P1_A_9	AD15	I ₄	端口 1 A 通道输入像素数据 (位权重 128)
P1_A_8	AE15	I ₄	端口 1 A 通道输入像素数据 (位权重 64)
P1_A_7	AE14	I ₄	端口 1 A 通道输入像素数据 (位权重 32)
P1_A_6	AE13	I ₄	端口 1 A 通道输入像素数据 (位权重 16)
P1_A_5	AD13	I ₄	端口 1 A 通道输入像素数据 (位权重 8)
P1_A_4	AC13	I ₄	端口 1 A 通道输入像素数据 (位权重 4)
P1_A_3	AF14	I ₄	端口 1 A 通道输入像素数据 (位权重 2)
P1_A_2	AF13	I ₄	端口 1 A 通道输入像素数据 (位权重 1)
P1_A_1	AF12	I ₄	端口 1 A 通道输入像素数据 (位权重 0.5)
P1_A_0	AE12	I ₄	端口 1 A 通道输入像素数据 (位权重 0.25)
P1_B_9	AF18	I ₄	端口 1 B 通道输入像素数据 (位权重 128)
P1_B_8	AB18	I ₄	端口 1 B 通道输入像素数据 (位权重 64)
P1_B_7	AC15	I ₄	端口 1 B 通道输入像素数据 (位权重 32)
P1_B_6	AC16	I ₄	端口 1 B 通道输入像素数据 (位权重 16)
P1_B_5	AD16	I ₄	端口 1 B 通道输入像素数据 (位权重 8)
P1_B_4	AE16	I ₄	端口 1 B 通道输入像素数据 (位权重 4)
P1_B_3	AF16	I ₄	端口 1 B 通道输入像素数据 (位权重 2)
P1_B_2	AF15	I ₄	端口 1 B 通道输入像素数据 (位权重 1)
P1_B_1	AC14	I ₄	端口 1 B 通道输入像素数据 (位权重 0.5)
P1_B_0	AD14	I ₄	端口 1 B 通道输入像素数据 (位权重 0.25)
P1_C_9	AD20	I ₄	端口 1 C 通道输入像素数据 (位权重 128)
P1_C_8	AE20	I ₄	端口 1 C 通道输入像素数据 (位权重 64)
P1_C_7	AE21	I ₄	端口 1 C 通道输入像素数据 (位权重 32)
P1_C_6	AF21	I ₄	端口 1 C 通道输入像素数据 (位权重 16)
P1_C_5	AD19	I ₄	端口 1 C 通道输入像素数据 (位权重 8)
P1_C_4	AE19	I ₄	端口 1 C 通道输入像素数据 (位权重 4)
P1_C_3	AF19	I ₄	端口 1 C 通道输入像素数据 (位权重 2)
P1_C_2	AF20	I ₄	端口 1 C 通道输入像素数据 (位权重 1)
P1_C_1	AC19	I ₄	端口 1 C 通道输入像素数据 (位权重 0.5)
P1_C_0	AE18	I ₄	端口 1 C 通道输入像素数据 (位权重 0.25)
P1_VSYNC	AC20	B ₂	端口 1 垂直同步。此信号包含一个内部下拉电阻。虽然设计初衷是与端口 1 关联, 但可将其编程为与端口 2 配合使用。
P1_HSYNC	AD21	B ₂	端口 1 水平同步。此信号包含一个内部下拉电阻。虽然设计初衷是与端口 1 关联, 但可将其编程为与端口 2 配合使用。
P2_A_9	AD26	I ₄	端口 2 A 通道输入像素数据 (位权重 128)
P2_A_8	AD25	I ₄	端口 2 A 通道输入像素数据 (位权重 64)
P2_A_7	AB21	I ₄	端口 2 A 通道输入像素数据 (位权重 32)
P2_A_6	AC22	I ₄	端口 2 A 通道输入像素数据 (位权重 16)
P2_A_5	AD23	I ₄	端口 1 A 通道输入像素数据 (位权重 8)
P2_A_4	AB20	I ₄	端口 2 A 通道输入像素数据 (位权重 4)
P2_A_3	AC21	I ₄	端口 2 A 通道输入像素数据 (位权重 2)
P2_A_2	AD22	I ₄	端口 2 A 通道输入像素数据 (位权重 1)
P2_A_1	AE23	I ₄	端口 2 A 通道输入像素数据 (位权重 0.5)
P2_A_0	AB19	I ₄	端口 2 A 通道输入像素数据 (位权重 0.25)
P2_B_9	Y22	I ₄	端口 2 B 通道输入像素数据 (位权重 128)
P2_B_8	AB26	I ₄	端口 2 B 通道输入像素数据 (位权重 64)

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
P2_B_7	AA23	I ₄	端口 2 B 通道输入像素数据 (位权重 32)
P2_B_6	AB25	I ₄	端口 2 B 通道输入像素数据 (位权重 16)
P2_B_5	AA22	I ₄	端口 2 B 通道输入像素数据 (位权重 8)
P2_B_4	AB24	I ₄	端口 2 B 通道输入像素数据 (位权重 4)
P2_B_3	AC26	I ₄	端口 2 B 通道输入像素数据 (位权重 2)
P2_B_2	AB23	I ₄	端口 2 B 通道输入像素数据 (位权重 1)
P2_B_1	AC25	I ₄	端口 2 B 通道输入像素数据 (位权重 0.5)
P2_B_0	AC24	I ₄	端口 2 B 通道输入像素数据 (位权重 0.25)
P2_C_9	W23	I ₄	端口 2 C 通道输入像素数据 (位权重 128)
P2_C_8	V22	I ₄	端口 2 B 通道输入像素数据 (位权重 64)
P2_C_7	Y26	I ₄	端口 2 C 通道输入像素数据 (位权重 32)
P2_C_6	Y25	I ₄	端口 2 B 通道输入像素数据 (位权重 16)
P2_C_5	Y24	I ₄	端口 2 C 通道输入像素数据 (位权重 8)
P2_C_4	Y23	I ₄	端口 2 B 通道输入像素数据 (位权重 4)
P2_C_3	W22	I ₄	端口 2 C 通道输入像素数据 (位权重 2)
P2_C_2	AA26	I ₄	端口 2 B 通道输入像素数据 (位权重 1)
P2_C_1	AA25	I ₄	端口 2 C 通道输入像素数据 (位权重 0.5)
P2_C_0	AA24	I ₄	端口 2 B 通道输入像素数据 (位权重 0.25)
P2_VSYNC	U22	B ₂	端口 2 垂直同步。此信号包含一个内部下拉电阻。虽然设计初衷是与端口 2 关联,但可将其编程为与端口 1 配合使用。
P2_HSYNC	W26	B ₂	端口 2 水平同步。此信号包含一个内部下拉电阻。虽然设计初衷是与端口 2 关联,但可将其编程为与端口 1 配合使用。
ALF 输入端口控制			
ALF_VSYNC	AF11	I ₄	自动锁定专用垂直同步。该信号包含一个内部下拉电阻且使用了磁滞。
ALF_HSYNC	AD11	I ₄	自动锁定专用水平同步。该信号包含一个内部下拉电阻且使用了磁滞。
ALF_CSYNC	AE11	I ₄	自动锁定专用复合同步 (绿色同步)。该信号包含一个内部下拉电阻且使用了磁滞。
DMD 复位和偏置控制			
DADOEZ	AE7	O ₅	DAD (DLPA200/DLPA300) 输出使能 (低电平有效)
DADADDR_3	AD6	O ₅	DAD 地址
DADADDR_2	AE5	O ₅	
DADADDR_1	AF4	O ₅	
DADADDR_0	AB8	O ₅	
DADMODE_1	AD7	O ₅	DAD 模式
DADMODE_0	AE6	O ₅	
DADSEL_1	AE4	O ₅	DAD 选择
DADSEL_0	AC7	O ₅	
DADSTRB	AF5	O ₅	DAD 选通
DAD_INTZ	AC8	I ₄	DAD 中断 (低电平有效)。该信号通常需要外部上拉电阻并使用了磁滞。
DMD LVDS 接口			
DCKA_P	V4	O ₇	DMD、LVDS I/F 通道 A、差分时钟
DCKA_N	V3	O ₇	
SCA_P	V2	O ₇	DMD、LVDS I/F 通道 A、差分串行控制
SCA_N	V1	O ₇	
DDA_P_15	P4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_15	P3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_14	P2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_14	P1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_12	R1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_11	T4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_11	T3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_10	T2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_10	T1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_9	U4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
DDA_N_9	U3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_8	U2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_8	U1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_7	W4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_7	W3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_6	W2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_6	W1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_5	Y2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_5	Y1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_4	Y4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_4	Y3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_3	AA2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_3	AA1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_2	AA4	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_2	AA3	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_1	AB2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_1	AB1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_P_0	AC2	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DDA_N_0	AC1	O ₇	DMD、LVDS I/F 通道 A、差分串行数据
DCKB_P	J3	O ₇	DMD、LVDS I/F 通道 A、差分时钟
DCKB_N	J4	O ₇	DMD、LVDS I/F 通道 A、差分时钟
SCB_P	J1	O ₇	DMD、LVDS I/F 通道 A、差分串行控制
SCB_N	J2	O ₇	DMD、LVDS I/F 通道 A、差分串行控制
DDB_P_15	N1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_15	N2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_14	N3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_14	N4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_13	M2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_13	M1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_12	M3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_12	M4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_11	L1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_11	L2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_10	L3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_10	L4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_9	K1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_9	K2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_8	K3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_8	K4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_7	H1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_7	H2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_6	H3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_6	H4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_5	G1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_5	G2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_4	G3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_4	G4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_3	F1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_3	F2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_2	F3	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_2	F4	O ₇	DMD、LVDS I/F 通道 B、差分串行数据

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
DDB_P_1	E1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_1	E2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_P_0	D1	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
DDB_N_0	D2	O ₇	DMD、LVDS I/F 通道 B、差分串行数据
程序存储器 (闪存和 SRAM) 接口			
PM_CSZ_0	D13	O ₅	输入总线 D 数据位 3。 100 Ω 内部 LVDS 端接
PM_CSZ_1	E12	O ₅	
PM_CSZ_2	A13	O ₅	输入总线 D 数据位 5。 100 Ω 内部 LVDS 端接
PM_ADDR_22 (GPIO 36)	A12	B ₅	
PM_ADDR_21 (GPIO 35)	E11	B ₅	输入总线 D 数据位 10。 100 Ω 内部 LVDS 端接
PM_ADDR_20	D12	O ₅	
PM_ADDR_19	C12	O ₅	输入总线 D 数据位 11。 100 Ω 内部 LVDS 端接
PM_ADDR_18	B11	O ₅	
PM_ADDR_17	A11	O ₅	输入总线 D 数据位 12。 100 Ω 内部 LVDS 端接
PM_ADDR_16	D11	O ₅	
PM_ADDR_15	C11	O ₅	输入总线 D 数据位 13。 100 Ω 内部 LVDS 端接
PM_ADDR_14	E10	O ₅	
PM_ADDR_13	D10	O ₅	输入总线 D 数据位 14。 100 Ω 内部 LVDS 端接
PM_ADDR_12	C10	O ₅	
PM_ADDR_11	B9	O ₅	输入总线 D 数据位 15。 100 Ω 内部 LVDS 端接
PM_ADDR_10	A9	O ₅	
PM_ADDR_9	E9	O ₅	将总线 A 数据位 0 输出到 DMD
PM_ADDR_8	D9	O ₅	
PM_ADDR_7	C9	O ₅	将总线 A 数据位 1 输出到 DMD
PM_ADDR_6	B8	O ₅	
PM_ADDR_5	A8	O ₅	将总线 A 数据位 2 输出到 DMD
PM_ADDR_4	D8	O ₅	
PM_ADDR_3	C8	O ₅	将总线 A 数据位 3 输出到 DMD
PM_ADDR_2	B7	O ₅	
PM_ADDR_1	A7	O ₅	将总线 A 数据位 4 输出到 DMD
PM_ADDR_0	C7	O ₅	
PM_WEZ	B12	O ₅	将总线 A 数据位 5 输出到 DMD
PM_OEZ	C13	O ₅	
PM_BLSZ_1	B6	O ₅	将总线 A 数据位 6 输出到 DMD
PM_BLSZ_0	A6	O ₅	
PM_DATA_15	C17	B ₅	将总线 A 数据位 7 输出到 DMD
PM_DATA_14	B16	B ₅	
PM_DATA_13	A16	B ₅	将总线 A 数据位 8 输出到 DMD
PM_DATA_12	A15	B ₅	
PM_DATA_11	B15	B ₅	将总线 A 数据位 9 输出到 DMD
PM_DATA_10	D16	B ₅	
PM_DATA_9	C16	B ₅	将总线 A 数据位 10 输出到 DMD
PM_DATA_8	E14	B ₅	
PM_DATA_7	D15	B ₅	将总线 A 数据位 11 输出到 DMD
PM_DATA_6	C15	B ₅	
PM_DATA_5	B14	B ₅	将总线 A 数据位 12 输出到 DMD
PM_DATA_4	A14	B ₅	
PM_DATA_3	E13	B ₅	将总线 A 数据位 13 输出到 DMD
PM_DATA_2	D14	B ₅	

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明	
名称	编号			
PM_DATA_1	C14	B ₅	将总线 A 数据位 14 输出到 DMD	
PM_DATA_0	B13	B ₅		
外接接口				
IIC0_SCL	A10	B ₈	I2C 总线 0，时钟。此总线支持 400kHz 快速模式运行。此信号需要外部上拉至 3.3V。最小可接受上拉电阻值为 1k Ω。此输入不能承受 5V 电压。	
IIC0_SDA	B10	B ₈	2C 总线 0，数据。此总线支持 400kHz 快速模式运行。此信号需要外部上拉至 3.3V。最小可接受上拉电阻值为 1k Ω。此输入不能承受 5V 电压。	
SSP0_CLK	AD4	B ₅	同步串行端口 0，时钟	
SSP0_RXD	AD5	I ₄	同步串行端口 0，接收数据输入	
SSP0_TXD	AB7	O ₅	同步串行端口 0，发送数据输出	
SSP0_CSZ_0	AC5	B ₅	同步串行端口 0，片选 0 (低电平有效)	
SSP0_CSZ_1	AB6	B ₅	同步串行端口 0，片选 1 (低电平有效)	
SSP0_CSZ_2	AC3	B ₅	同步串行端口 0，片选 2 (低电平有效)	
UART0_TXD	AB3	O ₅	UART0 发送数据输出	
UART0_RXD	AD1	O ₅	UART0 接收数据输入	
UART0_RTSZ	AD2	O ₅	UART0 准备发送硬件流控制输出 (低电平有效)	
UART0_CTSZ	AE2	I ₄	UART0 允许发送硬件流控制输入 (低电平有效)	
USB_DAT_N	C5	B ₉	USB D- I/O	
USB_DAT_P	D6	B ₉	USB D+ I/O	
PMD_INTZ	AE8	I ₄	从 DLPA100 中断 (低电平有效)。该信号需要一个外部上拉电阻。使用磁滞	
CW_PWM	AD8	O ₅	色轮控制 PWM 输出	
CW_INDEX	AF7	O ₅	色轮索引。使用磁滞	
LMPCTRL	AC9	O ₅	灯控制输出。灯使能和同步到镇流器	
LMPSTAT	AF8	I ₄	灯状态输入。灯亮起后，从镇流器驱动为高电平。	
通用 I/O (GPIO) ⁽⁸⁾				
			备用功能 1	备用功能 2
GPIO_82	E3	B ₅	不适用	不适用
GPIO_81	AB10	B ₂	保留	不适用
GPIO_80	AD9	B ₂	IR_ENABLE (O)	不适用
GPIO_79	AE9	B ₂	保留	不适用
GPIO_78	AF9	B ₂	FIELD_3D_LR (I)	不适用
GPIO_77	AB11	B ₂	SAS_INTGTR_EN (O)	SENSE_PWM_OUT (O)
GPIO_76	AC10	B ₂	SAS_CSZ (O)	不适用
GPIO_75	AD10	B ₂	SAS_DO (O)	SENSE_FREQ_IN (I)
GPIO_74	AE10	B ₂	SAS_DI (I)	SENSE_COMP_IN (I)
GPIO_73	AF10	B ₂	SAS_CLK (O)	不适用
GPIO_72	K24	B ₂	SSP2_DI (I)	不适用
GPIO_71	K23	B ₂	SSP2_CLK (B)	不适用
GPIO_70	K22	B ₂	SSP2_CSZ_1 (B)	不适用
GPIO_69	J26	B ₂	SSP2_CSZ_0 (B)	不适用
GPIO_68	J25	B ₂	SSP2_DO (O)	不适用
GPIO_67	J24	B ₂	SP_Data_7 (O)	SSP2_CSZ_2 (B)
GPIO_66	J23	B ₂	SP_Data_6 (O)	SSP0_CSZ_5 (B)
GPIO_65	J22	B ₂	SP_Data_5 (O)	不适用
GPIO_64	H26	B ₂	SP_Data_4 (O)	CW_PWM_2 (O)
GPIO_63	H25	B ₂	SP_Data_3 (O)	CW_INDEX_2 (I)
GPIO_62	H24	B ₂	SP_Data_2 (O)	SP_VC_FDBK (I)
GPIO_61	H23	B ₂	SP_Data_1 (O)	不适用
GPIO_60	H22	B ₂	SP_Data_0 (O)	不适用
GPIO_59	G26	B ₂	SP_WG_CLK (O)	不适用
GPIO_58	G25	B ₂	LED_SENSE_PULSE (O)	不适用
GPIO_57	F25	B ₂	保留	不适用
GPIO_56	G24	B ₂	UART2_RXD (O)	不适用
GPIO_55	G23	B ₂	UART2_TXD (O)	不适用

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明	
名称	编号			
GPIO_54	F26	B ₂	PROG_AUX_7 (O)	不适用
GPIO_53	E26	B ₂	PROG_AUX_6 (O)	不适用
GPIO_52	AB12	B ₂	CSP_Data (O)	ALF_CLAMP (O)
GPIO_51	AC11	B ₂	CSP_CLK (O)	ALF_COAST (O)
GPIO_50	V23	B ₂	保留	HBT_CLKOUT (O)
GPIO_49	V24	B ₂	保留	HBT_DO (O)
GPIO_48	V25	B ₂	保留	HBT_CLKIN_2 (I)
GPIO_47	V26	B ₂	保留	HBT_DI_2 (I)
GPIO_46	T22	B ₂	保留	HBT_CLKIN_1 (I)
GPIO_45	U23	B ₂	保留	HBT_DI_1 (I)
GPIO_44	U24	B ₂	保留	HBT_CLKIN_0 (I)
GPIO_43	U25	B ₂	保留	HBT_DI_0 (I)
GPIO_42	U26	B ₂	保留	SSP0_CSZ4 (B)
GPIO_41	R22	B ₂	保留	DASYNC (I)
GPIO_40	T23	B ₂	保留	FSD12 (O)
GPIO_39	F24	B ₂	SW 保留 (引导保持)	SW 保留 (引导保持)
GPIO_38	E25	B ₂	SW 保留 (USB 枚举使能)	SW 保留 (USB 枚举使能)
GPIO_37	G22	B ₂	不适用	不适用
GPIO_36	A12	B ₂	PM_ADDR_22 (O)	I2C_2 SDA (B)
GPIO_35	E11	B ₂	PM_ADDR_21 (O)	I2C_2 SCL (B)
GPIO_34	F23	B ₂	SSP1_CSZ_1 (B)	不适用
GPIO_33	D26	B ₂	SSP1_CSZ_0 (B)	不适用
GPIO_32	E24	B ₂	SSP1_DO (O)	不适用
GPIO_31	F22	B ₂	SSP1_DI (I)	不适用
GPIO_30	D25	B ₂	SSP1_CLK (B)	不适用
GPIO_29	E23	B ₂	IR1 (I)	SSP2 BC CSZ (B)
GPIO_28	C26	B ₂	IR0 (I)	SSP2 BC CSZ (B)
GPIO_27	AB4	B ₂	SSP0_CSZ3 (B)	不适用
GPIO_26	D24	B ₂	蓝色 LED 使能 (O)	UART2 TXD (O)
GPIO_25	C25	B ₂	绿色 LED 使能 (O)	LAMPSYNC (O)
GPIO_24	B26	B ₂	红色 LED 使能 (O)	不适用
GPIO_23	E21	B ₂	LED 双电流控制 (O)	不适用
GPIO_22	D22	B ₂	LED 双电流控制 (O)	不适用
GPIO_21	E20	B ₂	LED 双电流控制 (O)	不适用
GPIO_20	C23	B ₂	不适用	不适用
GPIO_19	D21	B ₂	不适用	不适用
GPIO_18	B24	B ₂	不适用	不适用
GPIO_17	C22	B ₂	通用时钟 2 (O)	不适用
GPIO_16	B23	B ₂	通用时钟 1 (O)	不适用
GPIO_15	E19	B ₂	I2C_1 SDA (B)	不适用
GPIO_14	D20	B ₂	I2C_1 SCL (B)	不适用
GPIO_13	C21	B ₂	PWM IN_1 (I)	I2C_2 SDA (B)
GPIO_12	B22	B ₂	PWM IN_0 (I)	I2C_2 SCL (B)
GPIO_11	A23	B ₂	PWM STD_7 (O)	不适用
GPIO_10	A22	B ₂	PWM STD_6 (O)	不适用
GPIO_9	B21	B ₂	PWM STD_5 (O)	不适用
GPIO_8	A21	B ₂	PWM STD_4 (O)	不适用
GPIO_7	A20	B ₂	PWM STD_3 (O)	不适用
GPIO_6	C20	B ₂	PWM STD_2 (O)	不适用
GPIO_5	B20	B ₂	PWM STD_1 (O)	不适用
GPIO_4	B19	B ₂	PWM STD_0 (O)	不适用
GPIO_3	A19	B ₂	UART1_RTSZ (O)	不适用
GPIO_2	E18	B ₂	UART1_CTSZ (I)	不适用

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明	
名称	编号			
GPIO_1	D19	B ₂	UART1_RXD (I)	不适用
GPIO_0	C19	B ₂	UART1_TXD (O)	不适用
时钟和 PLL 支持				
MOSC	M26	I ₁₀	系统时钟振荡器输入 (3.3V LVTTTL)。请注意，POSENSE 从低电平切换为高电平后，MOSC 必须保持稳定最长 25ms。	
MOSCN	N26	O ₁₀	MOSC 晶体回路	
OCLKA	AF6	O ₅	通用输出时钟 A，用于驱动 CW 电机控制器。该频率可通过软件编程。加电默认 787KHz。请注意，输出频率不受非加电复位操作影响（它保持最后编程的值）。	
双控制器支持				
SEQ_SYNC	AB9	B ₃	序列同步。此信号仅用于多控制器配置，此时每个控制器的 SEQSYNC 信号与外部上拉电阻相连。对于单控制器配置，该信号被拉至高电平或低电平，不允许悬空。	
电源和接地				
VDD33	F20、F17、F11、F8、L21、R21、Y21、AA19、AA16、AA10、AA7	POWER	3.3V I/O 电源	
VDD18	C1、F5、G6、K6、M5、P5、T5、W6、AA5、AE1、H5、N6、T6、AA13、U21、P21、H21、F14	POWER	1.8V 内部 DRAM 和 LVDS I/O 电源	
VDD11	F19、F16、F13、F10、F7、H6、L6、P6、U6、Y6、AA8、AA11、AA14、AA17、AA20、W21、T21、N21、K21、G21、L11、T11、T16、L16	POWER	1.1V 1.15V 内核电源	
VDD_PLLD	L22	POWER	1.1V 1.15V DMD 时钟发生器 PLL 数字电源	
VSS_PLLD	L23	接地	1.1V 1.15V DMD 时钟发生器 PLL 数字接地	
VAD_PLLD	K25	POWER	1.8V DMD 时钟发生器 PLL 模拟电源	
VAS_PLLD	K26	接地	1.8V DMD 时钟发生器 PLL 模拟接地	
VDD_PLLM1	L26	POWER	1.1V 1.15V 主 LS 时钟发生器 PLL 数字电源	
VSS_PLLM1	M22	接地	1.1V 1.15V 主 LS 时钟发生器 PLL 数字接地	
VAD_PLLM1	L24	POWER	1.8V 主 LS 时钟发生器 PLL 模拟电源	
VAS_PLLM1	L25	接地	1.8V 主 LS 时钟发生器 PLL 模拟接地	
VDD_PLLM2	P23	POWER	1.1V 主 HS 时钟发生器 PLL 数字电源	
VSS_PLLM2	P24	接地	1.1V 主 HS 时钟发生器 PLL 数字接地	
VAD_PLLM2	R25	POWER	1.8V 主 HS 时钟发生器 PLL 模拟电源	
VAS_PLLM2	R26	接地	1.8V 主 HS 时钟发生器 PLL 模拟接地	
VAD_PLLS	R23	POWER	1.1V 视频 2X 时钟发生器 PLL 模拟电源	
VAS_PLLS	R24	接地	1.1V 视频 2X 时钟发生器 PLL 模拟接地	
L-VDQPAD_[7:0]、R-VDQPAD_[7:0]	B18、D18、B17、E17、A18、C18、A17、D17、AE17、AC17、AF17、AC18、AB16、AD17、AB17、AD18	RESERVED	这些引脚必须直接接地才能正常运行。	
CFO_VDD33	AE26	RESERVED	必须将该引脚直接连接到 3.3 I/O 电源 (VDD33) 才能正常运行。	
VTEST1、VTEST2、VTEST3、VTEST4	AB14、AB15、E15、E16	RESERVED	这些引脚必须直接接地才能正常运行。	
LVDS_AVS1、LVDS_AVS2	V5、K5	POWER	这些引脚必须直接接地才能正常运行。	
VPGM	AC6	POWER	该引脚必须直接接地才能正常运行。	

表 4-1. 引脚功能 (续)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
接地	A26、A25、 A24、B25、 C24、D23、 E22、F21、 F18、F15、 F12、F9、F6、 E5、D4、C3、 B3、A3、B2、 A2、B1、 A1、G5、J5、J6、 L5、M6、N5、 R5、R6、U5、 V6、W5、Y5、 AA6、AB5、 AC4、AD3、 AE3、AF3、 AF2、AF1、 AA9、AA12、 AA15、AA18、 AA21、AB22、 AC23、AD24、 AE24、AF24、 AE25、AF25、 AF26、V21、 M21、J21、 L15、L14、L13、 L12、M16、 M15、M14、 M13、M12、 M11、N16、 N15、N14、 N13、N12、 N11、P16、 P15、P14、 P13、P12、 P11、R16、 R15、R14、 R13、R12、 R11、T15、 T14、T13、T12	接地	公共接地

- (1) 有关处理未使用引脚的说明，请参阅未使用 **CMOS** 类型引脚的一般处理指南。
- (2) I/O 类型：I = 输入、O = 输出、B = 双向、H = 磁滞。有关下标的说明，请参阅表 4-2。
- (3) 所有 JTAG 信号均与 LVTTTL 兼容。
- (4) 端口 1 和 2 均可用于支持给定产品的多个源端选项（例如 AFE 和 HDMI）。为此，必须将两个源端元件的数据总线连接到相同的端口引脚（1 或 2），并对 DLPC6422 器件加以控制以将“无效”源设置为三态。将它们按这种方式连接在一起会由于三态路径上的反射而导致一定程度的信号衰减。鉴于时钟是最关键的信号，三个端口时钟（1、2 和 3）提供了提高信号完整性的选项。
- (5) 端口 1 和 2 可以单独用作两个 30 位端口，也可以组合成一个 60 位端口（通常用于高数据速率源），以便每个时钟传输两个像素。
- (6) 端口 1 和 2 的 A、B、C 输入数据通道可在内部重新配置和重新映射，以实现最优的电路板布局。
- (7) 当连接到 DLPC6422 控制器时，每个颜色分量通道的输入源若未达到完整的 10 位，必须进行 MSB 对齐并将 LSB 置零。例如，必须将每种颜色的 8 位输入连接到相应 A、B、C 输入通道的 9:2 位。
- (8) GPIO 信号必须通过软件配置为输入、输出、双向或漏极开路。某些 GPIO 具有一种或多种备用模式，这些模式也可通过软件进行配置。所有可选 GPIO 的复位默认设置为输入信号。但是，除通用时钟和 PWM 生成之外，连接到这些 GPIO 引脚的任何备用功能都处于复位状态。每个配置为漏极开路的信号都需要一个外部上拉电阻器连接至 3.3V 电源。可能需要外部上拉或下拉电阻器来实现稳定运行，才能通过软件配置这些端口。

表 4-2. I/O 类型下标定义

下标	说明	ESD 结构
2	具有 8mA 驱动的 3.3V LVTTL I/O 缓冲器	连接到 VDD33 和 GROUND 的 ESD 二极管
3	具有 12mA 驱动的 3.3V LVTTL I/O 缓冲器	
4	3.3V LVTTL 接收器	
5	具有 8mA 驱动和转换率控制功能的 3.3V LVTTL I/O 缓冲器	
6	具有可编程的 4mA、8mA 或 12mA 驱动的 3.3V LVTTL I/O 缓冲器	
7	1.8V LVDS (DMD I/F)	
8	具有 3mA 灌电流的 3.3V I ² C	
9	与 USB 兼容 (3.3V)	
10	与 OSC 3.3V I/O 兼容的 LVTTL	

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电气				
电源电压 ⁽²⁾	V _{DD11} (内核)	-0.30	1.60	V
	V _{DD18} (LVDS I/O 和内部 DRAM)	-0.30	2.50	
	V _{DD33} (I/O)	-0.30	3.90	
	VDD_PLLD (1.1VDM D 时钟发生器 - 数字)	-0.30	1.60	
	VDD_PLLM1 (1.1V 主器件 - LS 时钟发生器 - 数字)	-0.30	1.60	
	VDD_PLLM2 (1.1V 主器件 - HS 时钟发生器 - 数字)	-0.30	1.60	
	VDD_PLLD (1.8V DMD 时钟发生器 - 模拟)	-0.30	2.50	
	VDD_PLLM1 (1.8V 主器件 - LS 时钟发生器 - 模拟)	-0.30	2.50	
	VDD_PLLM2 (1.8V 主器件 - HS 时钟发生器 - 模拟)	-0.30	2.50	
	VDD_PLLS (1.1V 视频 2X - 模拟)	-0.50	1.40	
V _I 输入电压 ⁽³⁾	USB	-1.0	5.25	V
	OSC	-0.3	V _{DD33} + 0.3	
	3.3V LVTTTL	-0.3	3.6	
	3.3V I2C	-0.5	3.8	
V _O 输出电压	USB	-1.0	5.25	V
	OSC	-0.3	2.2	
	3.3V LVTTTL	-0.3	3.6	
	3.3V I2C	-0.5	3.8	
环境				
T _J 工作结温		0	111	°C
T _{stg} 存储温度范围		-40	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 所有电压值均以 GROUND 为基准。

(3) 适用于外部输入和双向缓冲器

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		I/O ⁽¹⁾	最小值	标称值	最大值	单位
电气						
V _{DD33}	3.3V 电源电压，I/O		3.135	3.3	3.465	V
V _{DD18}	1.8V 电源电压，LVDS 和 DRAM		1.71	1.8	1.89	V
V _{DD11}	1.15V 电源电压，内核逻辑		1.100	1.15	1.200	V
V _{DD11}	1.1V 电源电压，内核逻辑		1.045	1.1	1.155	V
VDD_PLLD	1.8V 电源电压，PLL 模拟		1.71	1.8	1.89	V

在自然通风条件下的工作温度范围内测得（除非另有说明）

		I/O ⁽¹⁾	最小值	标称值	最大值	单位
VDD_PLLM1	1.8V 电源电压, PLL 模拟		1.71	1.8	1.89	V
VDD_PLLM2	1.8V 电源电压, PLL 模拟		1.71	1.8	1.89	V
VDD_PLLS	1.8V 电源电压, PLL 模拟		1.050	1.10	1.150	V
VDD_PLLD	1.8V 电源电压, PLL 模拟		1.045	1.1	1.155	V
VDD_PLLM1	1.8V 电源电压, PLL 模拟		1.045	1.1	1.155	V
VDD_PLLM2	1.8V 电源电压, PLL 模拟		1.045	1.1	1.155	V
VDD_PLLD	1.8V 电源电压, PLL 模拟		1.090	1.15	1.200	V
VDD_PLLM1	1.8V 电源电压, PLL 模拟		1.090	1.15	1.200	V
VDD_PLLM2	1.8V 电源电压, PLL 模拟		1.090	1.15	1.200	V
VDD_PLLS	1.8V 电源电压, PLL 模拟		1.090	1.15	1.200	V
V _I	输入电压	USB (9)	0		V _{DD33}	V
		OSC (10)	0		V _{DD33}	
		3.3V LVTTTL (1、2、3、4)	0		V _{DD33}	
		3.3V I ² C (8)	0		V _{DD33}	
V _O	输出电压	USB (8)	0		V _{DD33}	V
		3.3V LVTTTL (1、2、3、4)	0		V _{DD33}	
		3.3V I ² C (8)	0		V _{DD33}	
		1.8V LVDS (7)	0		V _{DD33}	
T _A	工作环境温度范围	请参阅 ⁽²⁾ ⁽³⁾	0		55	°C
T _C	顶部中央外壳工作温度	请参阅 ⁽³⁾ ⁽⁴⁾	0		109.16	°C
T _J	工作结温		0		111	°C

- (1) 每个 I/O 括号内的数字代表在 I/O 类型下标定义部分定义的类型。
(2) 假设最小气流为 1m/s, 并采用 www.ti.com/packaging 上列出的 JEDEC 热阻和相关条件。因此, 这是一个随环境和 PCB 设计而变化的近似值。
(3) 最大热值假设基于 4.6 瓦的峰值功率。
(4) 假设 Ψ_{siJT} 等于 0.4C/W

5.3 热性能信息

热指标 ⁽¹⁾		DLPC6422	单位
		ZPC (BGA)	
		516 引脚	
R _{θJA}	结至环境热阻 ⁽²⁾	14.4	°C/W
R _{θJC}	结至外壳热阻	4.4	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用报告](#)。
(2) 在静止空气中

5.4 电气特性

在建议运行条件下

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	USB (9)	2.0			V
		OSC (10)	2.0			
		3.3V LVTTL (1、2、3、4)	2.0			
		3.3V I ² C (8)	2.4		VDD33V _{DD33} + 0.5	
V_{IL}	低电平输入电压	USB (9)			0.8	V
		OSC (10)			0.8	
		3.3V LVTTL (1、2、3、4)			0.8	
		3.3V I ² C (8)	- 0.5		1.0	
V_{DIS}	差分输入电压	USB(9)	200			mV
V_{ICM}	差分交叉点电压	USB(9)	0.8		2.5	V
V_{HYS}	磁滞 ($V_{T+} - V_{T-}$)	USB(9)	200			mV
		3.3V LVTTL (1、2、3、4)		400		
		3.3V I ² C (8)	300	550	600	
V_{OH}	高电平输出电压	USB (9)	2.8			V
		1.8V LVDS (7)	1.520			
		3.3V LVTTL (1,2,3)	$I_{OH} = \text{最大额定值}$	2.7		
V_{OL}	低电平输出电压	USB (9)	0.0		0.3	V
		1.8V LVDS (7)			0.880	
		3.3V LVTTL (1,2,3)	$I_{OL} = \text{最大额定值}$		0.4	
		3.3V I ² C (8)	$I_{OL} = 3\text{-mA}$ 灌电流		0.4	
V_{OD}	输出差分电压	1.8V LVDS (7)	0.065		0.440	V
I_{IH}	高电平输入电流	USB(9)			200	μA
		OSC (10)	-		10	
		3.3V LVTTL (1-4), 不带内部下拉电阻	$V_{IH} = VDD33$	-	10	
		3.3V LVTTL (1-4), 带内部下拉电阻	$V_{IH} = VDD33$	10.0	200.0	
		3.3V I ² C (8)	$V_{IH} = VDD33$		10.0	
I_{IL}	低电平输入电流	USB(9)	-		10.0	μA
		OSC (10)	-		10.0	
		3.3V LVTTL (1 - 4), 不带内部下拉电阻	$V_{OH} = VDD33$	-	10.0	
		3.3V LVTTL (1-4), 带内部下拉电阻	$V_{OH} = VDD33$	-	- 200	
		3.3V I ² C (8)	$V_{OH} = VDD33$		- 10.0	

5.4 电气特性 (续)

在建议运行条件下

参数		测试条件	最小值	典型值	最大值	单位
I_{OH}	高电平输出电流	USB(9)	-		- 19.1	mA
		1.8V LVDS (7) ($V_{OD} = 300mV$)	VO = 1.4V	6.5		
		3.3V LVTTL (1)	VO = 2.4V	- 4.0		
		3.3V LVTTL (2)	VO = 2.4V	- 8.0		
		3.3V LVTTL (3)	VO = 2.4V	- 12.0		
I_{OL}	低电平输出电流	USB(9)		19.1		mA
		1.8V LVDS (7) ($V_{OD} = 300mV$)	VO = 1.0V	6.5		
		3.3V LVTTL (1)	VO = 0.4V	4.0		
		3.3V LVTTL (2)	VO = 0.4V	8.0		
		3.3V LVTTL (3)	VO = 0.4V	12.0		
		3.3V I ² C (8)		3.0		
I_{OZ}	高阻抗漏电流	USB (9)		- 10		pF
		LVDS (7)		- 10		
		3.3V LVTTL (1,2,3)		- 10		
		3.3V I ² C (8)		- 10		
C_i	输入电容	USB (9)		11.84	17.07	pF
		3.3V LVTTL (1)		3.75	5.52	
		3.3V LVTTL (2)		3.75	5.52	
		3.3V LVTTL (4)		3.75	5.52	
		3.3V I ² C (8)		5.26	6.54	
I_{CC11}	电源电压, 1.1V 内核电源	正常模式			1474	mA
I_{CC11}	电源电压, 1.15V 内核电源	正常模式			2368	mA
I_{CC18}	电源电压, 1.8V 电源 (LVDS I/O 和内部 DRAM)	正常模式			1005	mA
I_{CC33}	电源电压, 3.3V I/O 电源	正常模式			33	mA
I_{CC11_PLLD}	电源电压, DMD PLL 数字电源 (1.1V 1.15V)	正常模式	4.4		6.2	mA
I_{CC11_PLLM1}	电源电压, 主 LS 时钟发生器 PLL 数字电源 (1.1V 1.15V)	正常模式	4.4		6.2	mA
I_{CC11_PLLM2}	电源电压, 主 HS 时钟发生器 PLL 数字电源 (1.1V 1.15V)	正常模式	4.4		6.2	mA
I_{CC18_PLLD}	电源电压, DMD PLL 模拟电源 (1.8V)	正常模式	8.0		10.2	mA
I_{CC18_PLLM1}	电源电压, 主 LS 时钟发生器 PLL 模拟电源 (1.8V)	正常模式	8.0		10.2	mA
I_{CC18_PLLM2}	电源电压, 主 HS 时钟发生器 PLL 模拟电源 (1.8V)	正常模式	8.0		10.2	mA
I_{CC11_PLLS}	电源电压, 视频 2X PLL 模拟电源 (1.1V 1.15V)	正常模式			2.9	mA
	总功耗	正常模式			3.73	W
	总功耗	正常模式			4.76	W
I_{CC11}	电源电压, 1.1V 1.15V 内核电源	低功耗模式			21	mA
I_{CC18}	电源电压, 1.8V 电源 (LVDS I/O 和内部 DRAM)	低功耗模式			0	mA
I_{CC33}	电源电压, 3.3V I/O 电源	低功耗模式			18	mA
I_{CC11_PLLD}	电源电压, DMD PLL 数字电源 (1.1V 1.15V)	低功耗模式			2.03	mA
I_{CC11_PLLM1}	电源电压, 主 LS 时钟发生器 PLL 数字电源 (1.1V 1.15V)	低功耗模式			2.03	mA
I_{CC11_PLLM2}	电源电压, 主 HS 时钟发生器 PLL 数字电源 (1.1V 1.15V)	低功耗模式			2.03	mA
I_{CC18_PLLD}	电源电压, DMD PLL 模拟电源 (1.8V)	低功耗模式			5.42	mA

5.4 电气特性 (续)

在建议运行条件下

参数	测试条件	最小值	典型值	最大值	单位
I _{CC18_PLLM1} 电源电压, 主 LS 时钟发生器 PLL 模拟电源 (1.8V)	低功耗模式			5.42	mA
I _{CC18_PLLM2} 电源电压, 主 HS 时钟发生器 PLL 模拟电源 (1.8V)	低功耗模式			5.42	mA
I _{CC11_PLLS} 电源电压, 视频 2X PLL 模拟电源 (1.1V 1.15V)	低功耗模式			.03	mA
总功耗	低功耗模式			106	mW

5.5 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±1000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	+500/ - 300	

- (1) 上表所列级别是 ANSI、ESDA 和 JEDEC JS-001 规定的通过级别。JEDEC 文档 JEP155 指出: 500V HBM 可通过标准 ESD 控制流程实现安全生产。
- (2) 上表所列级别是 EIA-JEDEC JESD22-C101 规定的通过级别。JEDEC 文档 JEP157 指出: 250V CDM 可通过标准 ESD 控制流程实现安全生产。

5.6 系统振荡器时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	最大值	单位
系统振荡器				
f _{clock} 时钟频率, MOSC ⁽¹⁾		19.998	20.002	MHz
t _c MOSC 周期时间 ⁽¹⁾		49.995	50.005	MHz
t _{w(H)} 脉冲持续时间 ⁽²⁾ , MOSC, 高电平	50% 至 50% 基准点 (信号)	20		ns
t _{w(L)} 脉冲持续时间 ⁽²⁾ , MOSC, 低电平	50% 至 50% 基准点 (信号)	20		ns
t _t 切换时间 ⁽²⁾ , MOSC, t _t = t _f /t _r	20% 至 80% 基准点 (信号)		12	ns
t _{jp} 周期抖动 ⁽²⁾ 、MOSC (即, 仅由于高频抖动而在周期内偏离理想周期)。			18	ps

- (1) MOSC 的频率范围为 20MHz, 精度为 ±100PPM (其中包括老化、温度和修整灵敏度对精度的影响)。MOSC 输入无法支持展频时钟扩展。
- (2) 仅在通过外部数字振荡器驱动时适用

5.7 测试和复位时序要求

			最小值	最大值	单位
t _{w1(L)}	脉冲持续时间, 低电平无效, PWRGOOD	50% 至 50% 基准点 (信号)	4.0		μs
t _{w1(L)}	脉冲持续时间, 低电平无效, PWRGOOD	50% 至 50% 基准点 (信号)		1000 ⁽²⁾	ms
t _{t1}	切换时间, PWRGOOD, t _{t1} = t _f /t _r	20% 至 80% 基准点 (信号)		625	μs
t _{w2(L)}	脉冲持续时间, 低电平无效, POSENSE	50% 至 50% 基准点 (信号)	500		μs
t _{w2(L)}	脉冲持续时间, 低电平无效, POSENSE	50% 至 50% 基准点 (信号)		1000 ⁽²⁾	ms
t _{t2}	切换时间, POSENSE, t _{t1} = t _f /t _r	20% 至 80% 基准点 (信号)		25 ⁽¹⁾	μs
t _{PH}	电源保持时间, POSENSE 在 PWRGOOD 置为无效后保持有效	20% 至 80% 基准点 (信号)	500		μs
t _{EW}	预警时间, 在任何电源电压低于其规格之前, PWRGOOD 变为低电平无效		500		μs

5.7 测试和复位时序要求 (续)

		最小值	最大值	单位
$t_{W1(L)} + t_{W2(L)}$	PWRGOOD 和 POSENSE 无效时间之和		1050 ⁽²⁾	ms

- (1) 只要此信号上的噪声低于迟滞阈值。
 (2) 施加 1.8V 电源。如果控制器命令禁用了 1.8V 电源 (例如, 如果系统被置于低功耗模式, 此时控制器会禁用 1.8V 电源), 可以将这些信号置于并无限期保持无效状态。

5.8 JTAG 接口: I/O 边界扫描应用时序要求

		最小值	最大值	单位
f_{clock}	时钟频率, TCK		10	MHZ
t_C	周期时间, TCK	100		ns
$t_{W(H)}$	脉冲持续时间, 高电平	50% 至 50% 基准点 (信号)	40	ns
$t_{W(L)}$	脉冲持续时间, 低电平	50% 至 50% 基准点 (信号)	40	ns
t_t	切换时间, $t_t = t_f/t_r$	20% 至 80% 基准点 (信号)	5	ns
t_{SU}	建立时间, TDI 在 TCK ↑ 前有效	8		ns
t_h	保持时间, TDI 在 TCK ↑ 后有效	2		ns
t_{SU}	建立时间, TMS1 在 TCK ↑ 前有效	8		ns
t_h	保持时间, TMS1 在 TCK ↑ 前有效	2		ns

5.9 端口 1 输入像素时序要求

		测试条件	最小值	最大值	单位
f_{clock}	时钟频率, P_CLK1、P_CLK2、P_CLK3 (30 位总线)		12	175	MHz
f_{clock}	时钟频率, P_CLK1、P_CLK2、P_CLK3 (60 位总线)		12	160	MHz
f_{clock}	时钟频率, P_CLK1、P_CLK2、P_CLK3 (60 位总线)		12	141	MHz
t_C	周期时间, P_CLK1、P_CLK2、P_CLK3		5.714	83.33	ns
$t_{W(H)}$	脉冲持续时间, 高电平	50% 至 50% 基准点 (信号)	2.3		ns
$t_{W(L)}$	脉冲持续时间, 低电平	50% 至 50% 基准点 (信号)	2.3		ns
t_{jp}	时钟周期抖动, P_CLK1、P_CLK2、P_CLK3	最大 f_{clock}		请参阅 ⁽²⁾	ps
t_t	切换时间, $t_t = t_f/t_r$, P_CLK1、P_CLK2、P_CLK3	20% 至 80% 基准点 (信号)	0.6	2.0	ns
t_t	切换时间, $t_t = t_f/t_r$, P1_A(9-0)、P1_B(9-0)、P1_C(9-0)、P1_HSYNC、P1_VSYNC、P1_DATAEN	20% 至 80% 基准点 (信号)	0.6	3.0	ns
t_t	切换时间, $t_t = t_f/t_r$, ALF_HSYNC、ALF_VSYNC、ALF_CSYNC ⁽¹⁾	20% 至 80% 基准点 (信号)	0.6	3.0	ns
建立和保持时间					
t_{su}	建立时间, P1_A(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P1_A(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P1_B(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P1_B(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P1_C(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P1_C(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns

5.9 端口 1 输入像素时序要求 (续)

		测试条件	最小值	最大值	单位
t_{su}	建立时间, P1_VSYNC, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P1_VSYNC 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P1_HSYNC, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P1_HSYNC 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P2_A(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P2_A(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P2_B(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P2_B(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P2_C(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P2_C(9-0), 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P2_VSYNC, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P2_VSYNC 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P2_HSYNC, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P2_HSYNC 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P_DATAEN1, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P_DATAEN1 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_{su}	建立时间, P_DATAEN2, 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
t_h	保持时间, P_DATAEN2 在 P_CLK1 ↑ ↓、P_CLK2 ↑ ↓ 或 P_CLK3 ↑ ↓ 前有效		0.8		ns
$t_{w(A)}$	VSYNC 有效脉冲宽度		1		视频线路
$t_{w(A)}$	HSYNC 有效脉冲宽度		16		像素时钟

(1) ALF_CSINC、ALF_VSYNC 和 ALF_HSYNC 是同步信号。

(2) 对于低于 175MHZ 的频率 (f_{clock}), 可按以下公式获得抖动: 最大时钟抖动 = $\pm [(1/f_{clock}) - 5414ps]$

5.10 端口 3 输入像素接口 (通过 GPIO) 时序要求

参数		测试条件	最小值	最大值	单位
f_{clock}	时钟频率, P3_CLK		27	54	MHz
t_c	周期时间, P3_CLK		18.5	37.1	ns
$t_{w(H)}$	脉冲持续时间, 高电平	50% 至 50% 基准点 (信号)	7.4		ns
$t_{w(L)}$	脉冲持续时间, 低电平	50% 至 50% 基准点 (信号)	7.4		ns
t_j	时钟周期抖动, P3_CLK	最大 f_{clock}	请参阅 ⁽¹⁾	请参阅 ⁽¹⁾	ps

5.10 端口 3 输入像素接口 (通过 GPIO) 时序要求 (续)

参数	测试条件	最小值	最大值	单位
t_t	切换时间, $t_t = t_f/t_r$, P3_CLK	20% 至 80% 基准点 (信号)	1.0 5.0	ns
t_t	切换时间, $t_t = t_f/t_r$, P3_DATA(9-0)	20% 至 80% 基准点 (信号)	1.0 5.0	ns
t_{su}	建立时间, P3_DATA(9-0) 在 P3_CLK $\uparrow \downarrow$ 前有效		2.0	ns
t_h	保持时间, P3_DATA(9-0) 在 P3_CLK $\uparrow \downarrow$ 后有效		2.0	ns

(1) 对于低于 54MHZ 的频率, 可按以下公式获得抖动: 抖动 = $[(1/F) - 5414ps]$ 。

5.11 DMD LVDS 接口时序要求

		从 (输入)	至 (输出)	最小值	最大值	单位
f_{clock}	时钟频率, DCK_A	不适用	DCK_A	100	400	MHz
t_C	周期时间, DCK_A ⁽¹⁾	不适用	DCK_A	2475.3		ps
$t_{W(H)}$	脉冲持续时间, 高电平	不适用	DCK_A	1093		ps
$t_{W(L)}$	脉冲持续时间, 低电平	不适用	DCK_A	1093		ps
t_t	切换时间, $t_t = t_f/t_r$	不适用	DCK_A	100	400	ps
t_{osu}	最大时钟速率下的输出建立时间 ⁽²⁾	DCK_A $\uparrow \downarrow$	SCA, DDA(15:0)	438		ps
t_{oh}	最大时钟速率下的输出保持时间 ⁽²⁾	DCK_A $\uparrow \downarrow$	SCA, DDA(15:0)	438		ps
f_{clock}	时钟频率, DCK_B	不适用	DCK_B	100	400	MHz
t_C	周期时间, DCK_B ⁽¹⁾	不适用	DCK_B	2475.3		ps
$t_{W(H)}$	脉冲持续时间, 高电平	不适用	DCK_B	1093		ps
$t_{W(L)}$	脉冲持续时间, 低电平	不适用	DCK_B	1093		ps
t_t	切换时间, $t_t = t_f/t_r$	不适用	DCK_B	100	400	ps
t_{osu}	最大时钟速率下的输出建立时间 ⁽²⁾	DCK_B $\uparrow \downarrow$	SCA, DDB(15:0)	438		ps
t_{oh}	最大时钟速率下的输出保持时间 ⁽²⁾	DCK_B $\uparrow \downarrow$	SCA, DDB(15:0)	438		ps
t_{sk}	输出偏斜, 通道 A 到通道 B	DCK_A \uparrow	DCK_B \uparrow		250	ps

(1) DCK_A 和 DCK_B 的最小周期时间 (t_C) 包括 1.0%展频调制。用户必须验证 DMD 是否支持此速率。

(2) 对于低于最大值的 DMD 时钟频率, 其输出建立时间与保持时间可按以下公式计算: $t_{osu}(f_{clock}) = t_{osu}(f_{max}) + 250000 \times (1/f_{clock} - 1/400)$, $t_{oh}(f_{clock}) = t_{oh}(f_{max}) + 250000 \times (1/f_{clock} - 1/400)$, 其中 f_{clock} 以 MHz 为单位。

5.12 同步串行端口 (SSP) 接口时序要求

参数	测试条件	最小值	最大值	单位
SSP 初级				
t_{su}	建立时间, SSPx_DI 在 SSPx_CLK 前有效	15		ns
t_{su}	建立时间, SSPx_DI 在 SSPx_CLK 前有效	15		ns
t_h	保持时间, SSPx_DI 在 SSPx_CLK 后有效	0		ns
t_h	保持时间, SSPx_DI 在 SSPx_CLK 后有效	0		ns
t_t	切换时间, SSPx_DI, $t_t = t_f/t_r$	20% 至 80% 基准点 (信号)	1.5	ns
SSP 次级				
t_{su}	建立时间, SSPx_DI 在 SSPx_CLK 前有效	12		ns
t_{su}	建立时间, SSPx_DI 在 SSPx_CLK 前有效	12		ns
t_h	保持时间, SSPx_DI 在 SSPx_CLK 后有效	12		ns
t_h	保持时间, SSPx_DI 在 SSPx_CLK 后有效	12		ns
t_t	切换时间, SSPx_DI, $t_t = t_f/t_r$	20% 至 80% 基准点 (信号)	1.5	ns

5.13 可编程输出时钟开关特性

在自然通风条件下的工作温度范围内, C_L (最小时序) = 5pF, C_L (最大时序) = 50pF (除非另有说明)

参数		测试条件	至 (输出)	最小值	最大值	单位
f_{clock}	时钟频率, OCLKA ⁽¹⁾		OCLKA	0.787	50	MHz
t_C	周期时间, OCLKA		OCLKA	20	1270.6	ns
$t_{W(H)}$	脉冲持续时间, 高电平 ⁽²⁾	50% 至 50% 基准点 (信号)	OCLKA	$(t_C/2_{-2})$		ns
$t_{W(L)}$	脉冲持续时间, 低电平 ⁽²⁾	50% 至 50% 基准点 (信号)	OCLKA	$(t_C/2_{-2})$		ns
	抖动		OCLKA		350	ps
f_{clock}	时钟频率, OCLKB ⁽¹⁾		OCLKB	0.787	50	MHz
t_C	周期时间, OCLKB		OCLKB	20	1270.6	ns
$t_{W(H)}$	脉冲持续时间, 高电平 ⁽²⁾	50% 至 50% 基准点 (信号)	OCLKB	$(t_C/2_{-2})$		ns
$t_{W(L)}$	脉冲持续时间, 低电平 ⁽²⁾	50% 至 50% 基准点 (信号)	OCLKB	$(t_C/2_{-2})$		ns
	抖动		OCLKB		350	ps
f_{clock}	时钟频率, OCLKC ⁽¹⁾		OCLKC	0.787	50	MHz
t_C	周期时间, OCLKC ⁽²⁾		OCLKC	20	1270.6	ns
$t_{W(H)}$	脉冲持续时间, 高电平	50% 至 50% 基准点 (信号)	OCLKC	$(t_C/2_{-2})$		ns
$t_{W(L)}$	脉冲持续时间, 低电平 ⁽²⁾	50% 至 50% 基准点 (信号)	OCLKC	$(t_C/2_{-2})$		ns
	抖动		OCLKC		350	ps

(1) 可以对 OCLKA 至 OCLKC 的频率进行编程。

(2) OCLKA 至 OCLKC 的占空比在 50% 的 $\pm 2\text{ns}$ 范围内。

5.14 同步串行端口接口 (SSP) 开关特性

在自然通风条件下的工作温度范围内, C_L (最小时序) = 5pF, C_L (最大时序) = 50pF (除非另有说明)

参数		测试条件	从 (输入)	至 (输出)	最小值	最大值	单位
f_{clock}	时钟频率, SSPx_CLK		不适用	SSPx_CLK	73	25000	kHz
t_C	周期时间, SSPx_CLK		不适用	SSPx_CLK	0.040	13.6	μs
$t_{W(H)}$	脉冲持续时间, 高电平	50% 至 50% 基准点 (信号)	不适用	SSPx_CLK	40%		
$t_{W(L)}$	脉冲持续时间, 低电平	50% 至 50% 基准点 (信号)	不适用	SSPx_CLK	40%		
主要 SSP ⁽¹⁾							
t_{pd}	输出传播, 时钟到 Q, SSPx_DO ⁽²⁾		SSPx_CLK ↓	SSPx_DO	-5	5	ns
t_{pd}	输出传播, 时钟到 Q, SSPx_DO ⁽²⁾		SSPx_CLK ↑	SSPx_DO	-5	5	ns
辅助 SSP ⁽¹⁾							
t_{pd}	输出传播, 时钟到 Q, SSPx_DO ⁽²⁾		SSPx_CLK ↓	SSPx_DO	0	34	ns
t_{pd}	输出传播, 时钟到 Q, SSPx_DO ⁽²⁾		SSPx_CLK ↑	SSPx_DO	0	34	ns

(1) SSP 可用作主要 SSP 或辅助 SSP。当用作主要器件时, SSP 可配置为采用与发送下一 DO 信号相同的内部时钟边沿对 DI 进行采样, 此举可提供一个完整周期 (而非半周期) 的时序路径, 从而实现在更高 SPI 时钟频率下运行。

(2) SSP 可采用四种不同的工作模式/配置。

表 5-1. SSP 时钟工作模式

0	0	0
1	0	1
2	1	0
3	1	1

5.15 JTAG 接口：I/O 边界扫描应用开关特性

在自然通风条件下的工作温度范围内， C_L （最小时序）= 5pF， C_L （最大时序）= 85pF（除非另有说明）

参数	输入来源	输出目标	最小值	最大值	单位
t_{pd}	输出传播，时钟到 Q	TCK ↓	3	12	ns

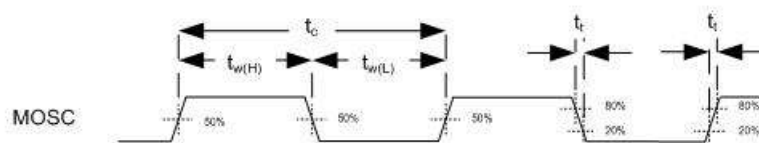


图 5-1. 系统振荡器

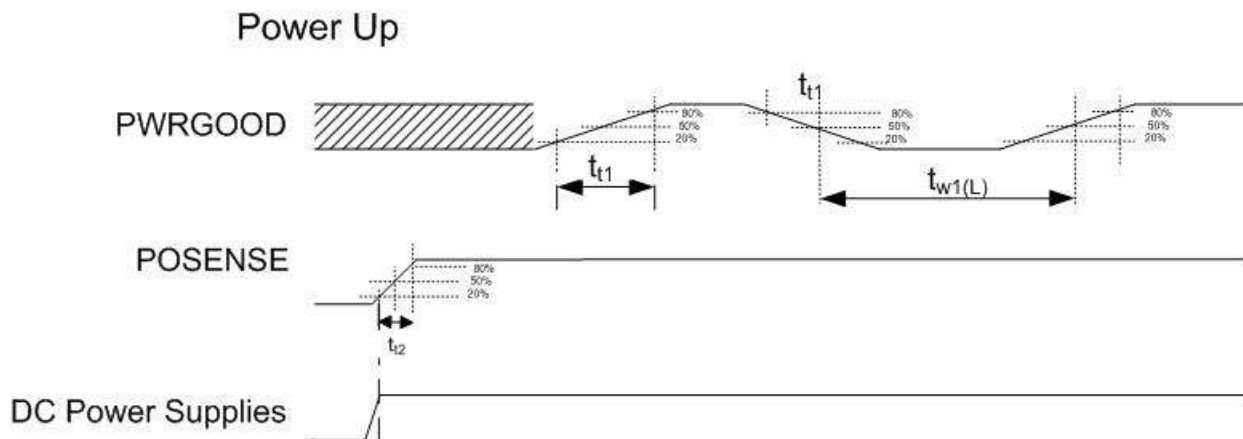


图 5-2. 上电

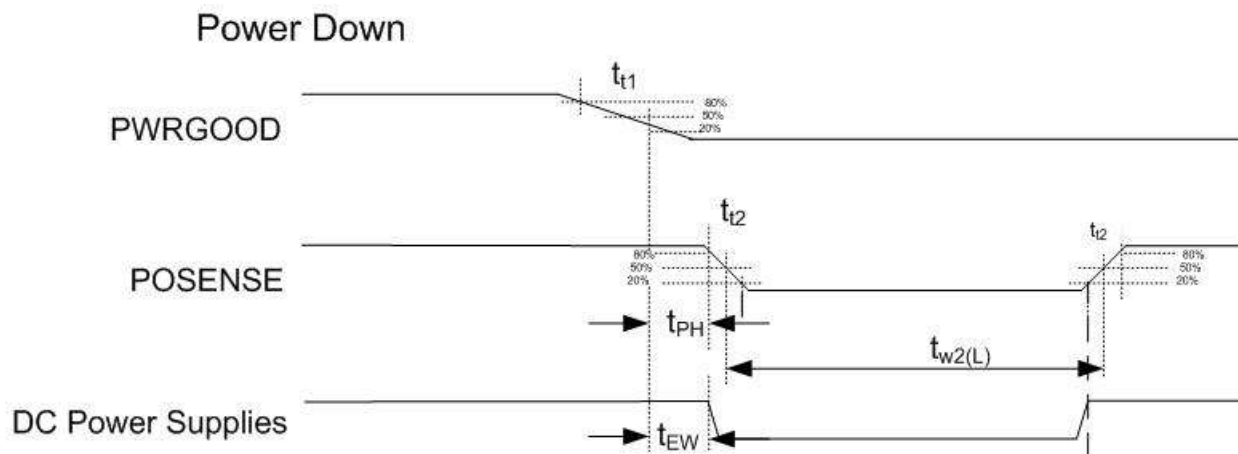


图 5-3. 断电

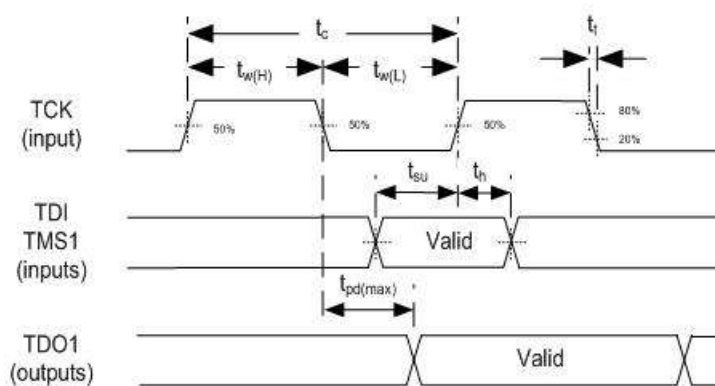


图 5-4. I/O 边界扫描

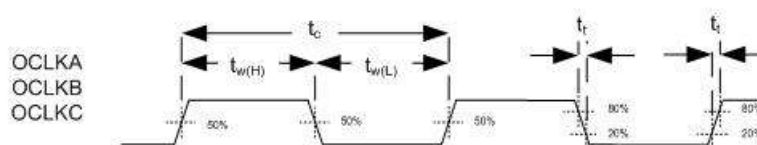


图 5-5. 可编程输出时钟

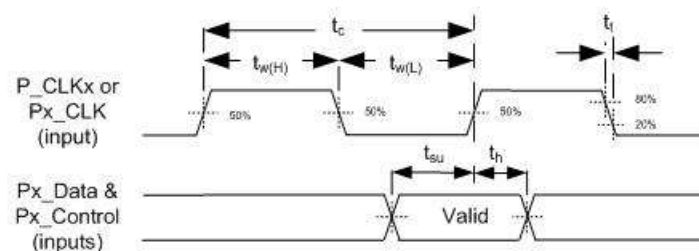


图 5-6. 端口 1、端口 2 和端口 3 输入接口

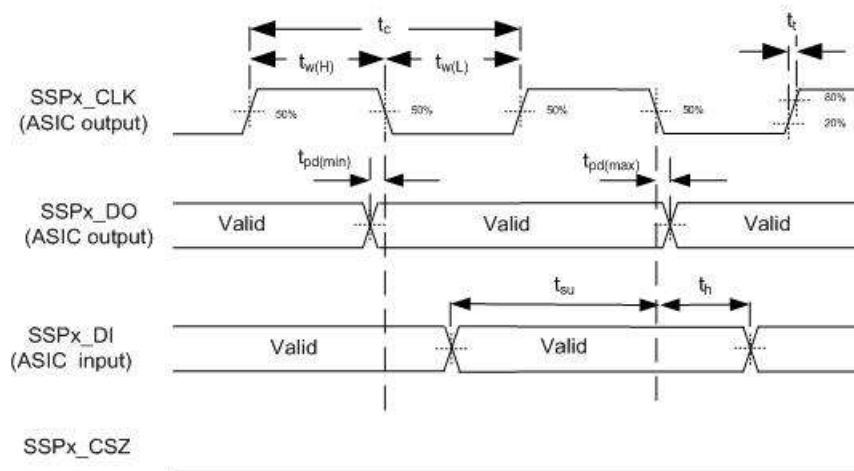


图 5-7. 同步串行端口接口 — 主要

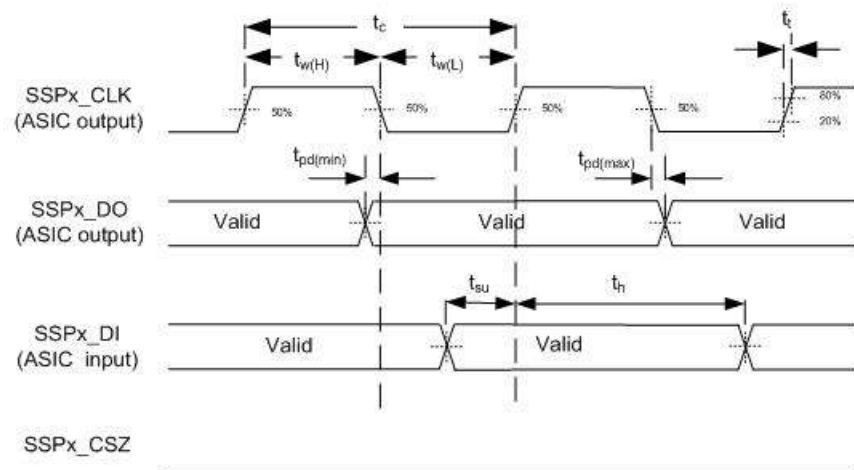


图 5-8. 同步串行端口接口 — 辅助

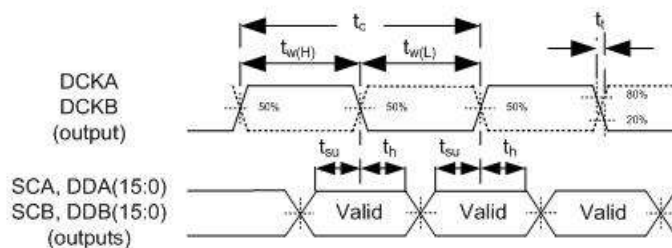


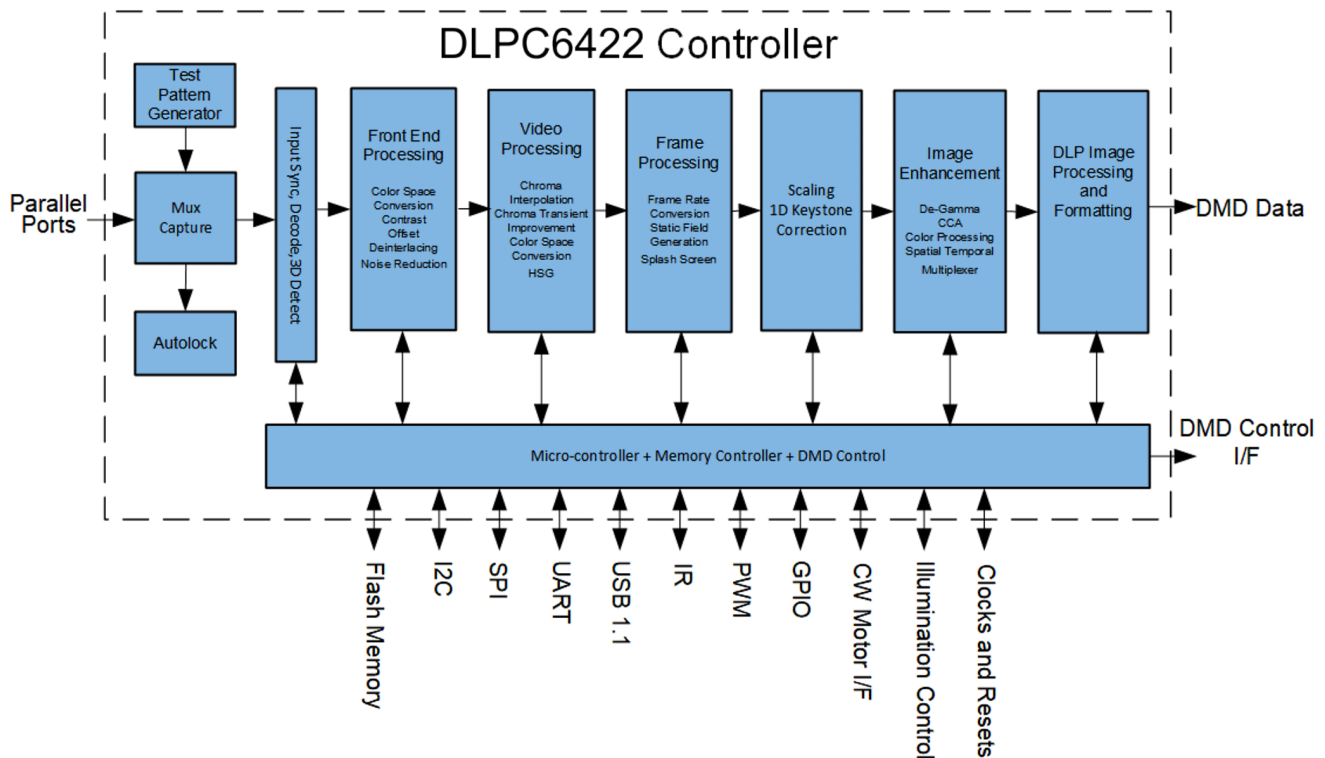
图 5-9. DMD LVDS 接口

6 详细说明

6.1 概述

与之前的 DLP 电子解决方案一样，从 DLPC6422 输入端口到投射至显示屏幕的图像数据是 100% 数字化的。图像始终保持数字格式，不会转换为模拟信号。DLPC6422 会处理数字输入图像并将数据转换为 DMD 所需的位平面格式。DLPC6422 光控制器 针对整个数字成像系统中的高分辨率、高 UV 和可见光进行了优化。应用包括 3D 打印、激光打标、激光制造以及其他数字成像和曝光系统。

6.2 功能方框图



6.3 特性说明

6.3.1 系统复位操作

6.3.1.1 加电复位操作

加电事件发生后，DLPC6422 硬件会立即自动启动主要 PLL 并将控制器置于正常功率模式。然后硬件执行标准的系统复位程序（请参阅节 6.3.1.2）。

6.3.1.2 系统复位操作

DLPC6422 器件在经历任何类型的系统复位（加电复位、PWRGOOD 复位、看门狗计时器超时、灯触发复位）后，将立即自动返回 NORMAL 电源模式并呈现以下状态：

- 所有 GPIO 均处于三态。
- 主要 PLL 保持有效状态（只有在加电复位序列后才会复位），大多数衍生时钟处于有效状态。但是，只有与 ARM9 处理器及其外设相关的复位才会被解除（ARM9 负责解除所有其他复位）。
- ARM9 相关时钟默认为全时钟速率。（全速启动。）
- 所有衍生的前端时钟均被禁用。
- 为 LVDS DMD I/F 供电的 PLL (PLLD) 默认处于断电模式，并且在相应的复位置为有效后，所有衍生时钟均处于无效状态。（ARM9 负责启用这些时钟并解除相关复位。）
- LVDS I/O 默认处于断电模式，输出处于三态。

- DLPC6422 器件的所有复位输出均保持置为有效，直到 (启动后) 被 ARM9 解除。
- ARM9 处理器从外部闪存启动。

当 ARM9 启动时，ARM9 API 将：

- 配置可编程 DDR 时钟发生器 (DCG) 时钟速率 (即 DMD LVDS I/F 速率)
- 在将分频器逻辑保持在复位状态的同时启用 DCG PLL (PLLD)
- 当 DCG PLL 锁定时，ARM9 软件将设置 DMD 时钟速率。
- 然后，API 软件将解除 DCG 分频器逻辑复位，进而启用所有衍生的 DCG 时钟
- 解除外部复位

然后，应用软件通常会等待来自终端用户的唤醒命令 (通过投影仪上的软电源开关)。当收到投影仪唤醒请求时，软件会将 ASIC 重新置于正常模式，重新初始化时钟并根据需要复位。

6.3.2 展频时钟发生器支持

DLPC6422 控制器支持在 DMD 接口上进行有限的、由内部控制的展频时钟扩展。这样做的目的是在该高速外部接口上对所有信号进行展频，以降低 EMI 辐射。时钟扩展仅限于三角波形。DLPC6422 控制器提供 0%、±0.5% 和 ±1.0% (中心展频调制) 的调制选项。

6.3.3 GPIO 接口

DLPC6422 控制器提供了 83 个可通过软件编程的通用 I/O 引脚。每个 GPIO 引脚可单独配置为输入或输出。此外，每个 GPIO 输出可配置为推挽式或漏极开路。某些 GPIO 具有一种或多种备用模式，这些模式也可通过软件进行配置。所有 GPIO 的复位默认设置为输入信号。但是，除通用时钟和 PWM 生成之外，连接到这些 GPIO 引脚的任何备用功能都保持复位状态。当配置为漏极开路时，输出必须从外部上拉 (至 3.3V 电源)。可能需要外部上拉或下拉电阻器来实现稳定运行，才能通过软件配置这些端口。

6.3.4 源输入消隐

两个输入端口的垂直和水平消隐要求定义如下 (请参阅 *视频时序参数定义*)。

- 最小端口 1 和端口 2 垂直消隐
 - 垂直后沿 (VBP) : 370μs
 - 垂直前沿 (VFP) : 1 行
 - 总垂直消隐 (TVB) : 370μs + 2 行
- 最小端口 1 和端口 2 水平消隐
 - 水平后沿 (HBP) : 10 个像素
 - 水平前沿 (HFP) : 0 个像素
 - 总水平消隐 (THB) : 80 个像素

6.3.5 视频图形处理延迟

根据源端类型和在源端执行的选定处理步骤，DLPC6422 控制器引入了可变数量的场/帧延迟。为了实现理想的音频/视频同步，必须在音频路径中匹配此延迟。下表定义了各种视频延迟情形，可协助您进行音频匹配。

表中的帧和场指的是源帧和场。

- 对于 2D 源，“N”定义为主通道源帧速率 (或隔行扫描视频的场速率) 与显示帧/场速率之比。
- 对于 3D 源，“M”定义为获得左右图像所需的主通道源帧速率 (或隔行扫描视频的场速率) 与显示帧/场速率 (显示每个眼图的速率) 之比。

表 6-1. 主要通道/视频 - 图形处理延迟

源端	3D 视频解码器	去隔行	帧速率转换	FRC 类型	格式器缓冲器	总延迟
60Hz 渐进式视频	禁用	禁用	2 帧	同步 (1:4)	M 帧	2 + M 帧
120Hz 渐进式视频	禁用	禁用	2 帧	同步 (1:2)	M 帧	2 + M 帧
24 Hz 1080p	禁用	禁用	1 帧	同步 (1:6)	M 帧	1 + M 帧
60 Hz 1080p	禁用	禁用	1 帧	同步 (1:2)	M 帧	1 + M 帧

表 6-1. 主要通道/视频 - 图形处理延迟 (续)

源端	3D 视频解码器	去隔行	帧速率转换	FRC 类型	格式器缓冲器	总延迟
60 Hz 1080p	禁用	禁用	1 帧	同步 (1:2)	M 帧	1 + M 帧
60Hz 图形	禁用	禁用	1 帧	同步 (1:4)	M 帧	1 + M 帧
120Hz 图形	禁用	禁用	1 帧	同步 (1:2)	M 场	1 + M 个场

表 6-2. 主要通道/视频 - 图形处理延迟

源端	帧速率转换	FRC 类型	格式器缓冲器	总延迟
48Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
50Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
60Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
100 和 120Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧

表 6-3. 主要通道/视频 - 图形处理延迟

源端	帧速率转换	FRC 类型	格式器缓冲器	总延迟
48Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
50Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
60Hz 图形	1 帧	同步 (1:1)	N 帧	1 + N 帧
240Hz 图形 (2xDLPC6422)	1 帧	同步 (1:1)	N 帧	1 + N 帧

6.3.6 程序存储器闪存/SRAM 接口

DLPC6422 控制器提供三个外部程序存储器芯片选项：

- PM_CSZ_0 — 可用于可选 SRAM 或闪存器件 ($\leq 128\text{Mb}$)
- PM_CSZ_1 — 用于引导闪存器件的专用 CS (例如, 标准 NOR 类闪存, $\leq 128\text{Mb}$)
- PM_CSZ_2 — 可用于可选 SRAM 或闪存器件 ($\leq 128\text{Mb}$)

闪存和 SRAM 访问时序可通过软件编程多达 31 个等待状态。等待状态分辨率在正常模式下为 6.7ns, 在低功耗模式下为 53.33ns。典型闪存访问时间的等待状态程序值如表 6-4 所示。

表 6-4. 典型闪存访问时间的等待状态程序值

	正常模式 ⁽¹⁾	低功耗模式 ⁽¹⁾
计算所需等待状态值的公式	= 向上取整 (器件访问时间 / 6.7ns)	= 向上取整 (器件访问时间 / 53.33ns)
支持的最长设备访问时间	207ns	1660ns

(1) 假设最大单向布线长度为 75mm。

请注意, 当将另一个器件 (例如 SRAM 或其他闪存) 与引导闪存结合使用时, 必须注意保持分支走线长度较短, 并尽可能靠近布线路径的闪存端。

DLPC6422 控制器提供了足够的程序存储器地址引脚, 可支持高达 128Mb 的闪存或 SRAM 器件。对于不需要此容量的系统, 最多可以使用两个地址引脚作为 GPIO。具体而言, 两个最高有效地址位 (例如 PM_ADDR_22 和 PM_ADDR_21) 分别在引脚 GPIO_36 和 GPIO_35 上共享。与其他 GPIO 引脚一样, 这些引脚在复位后以高阻抗抗输入状态悬空; 因此, 如果这些 GPIO 引脚要重新配置为程序存储器地址引脚, 需要配置板级下拉电阻器来防止任何闪存地址位悬空, 软件才能将这些引脚从 GPIO 重新配置为程序存储器地址。另请注意, 在软件将引脚从 GPIO 重新配置为程序存储器地址之前, 无法访问闪存的高地址区域。

表 6-5 展示了不同闪存容量下典型的 GPIO_35 和 GPIO36 引脚配置。

表 6-5. 不同闪存容量下典型的 GPIO_35 和 GPIO_36 引脚配置

闪存大小	GPIO_36 引脚配置	GPIO_35 引脚配置
32Mb 或更少	GPIO_36	GPIO_35
64Mb	GPIO_36	PM_ADDR_21 ⁽¹⁾
128Mb	PM_ADDR_22 ⁽¹⁾	PM_ADDR_21 ⁽¹⁾

(1) 需要板级下拉电阻器

6.3.7 校准和调试支持

DLPC6422 控制器包含一个测试点输出端口 TSTPT_(7:0)，该端口既提供选定系统校准支持，也提供 ASIC 调试支持。这些测试点在复位期间作为输入端口使用，复位解除后切换为输出端口。系统复位解除时会对这些信号的状态进行采样，捕获值将用于配置测试模式，直至下一次复位发生。每个测试点都包含一个内部下拉电阻器，因此需要使用外部上拉电阻器来修改默认测试配置。默认配置 (x00) 对应于将 TSTPT_(7:0) 输出驱动至低电平，以减少正常工作期间的开关活动。为了实现最大的灵活性，建议选择将 TSTPT_(3:0) 通过跳线连接到外部上拉电阻。请注意，为 TSTPT_(7:4) 添加上拉电阻可能会对正常运行产生不利影响，故不建议这么做。请注意，这些外部上拉电阻仅在 POSENSE 上出现 0 至 1 跳变时采样，因此在复位解除后修改配置不会立即生效，需待下一次将复位位置为有效并解除后才会生效。表 6-6 定义了通过 TSTPT_(3:0) 定义的 16 个可编程场景中，其中 3 个场景的测试模式选择：

表 6-6. 测试模式选择

	无开关活动	系统校准	ARM 调试信号集
TSTPT(3:0) 捕获值	x0	x8	x1
TSTPT(0)	0	垂直同步	ARM9_Debug (0)
TSTPT(1)	0	延迟的 CW 索引	ARM9_Debug (1)
TSTPT(2)	0	序列索引	ARM9_Debug (2)
TSTPT(3)	0	CW 辐条测试点	ARM9_Debug (3)
TSTPT(4)	0	CW 旋转测试点	ARM9_Debug (4)
TSTPT(5)	0	复位序列辅助位 0	ARM9_Debug (5)
TSTPT(6)	0	复位序列辅助位 1	ARM9_Debug (6)
TSTPT(7)	0	复位序列辅助位 2	ARM9_Debug (7)

6.3.8 板级测试支持

电路内三态使能信号 (ICTSEN) 是板级测试控制信号。通过将 ICTSEN 驱动为逻辑高电平状态，所有控制器输出 (TDO1 和 TDO2 除外) 都会设置为三态。

DLPC6422 控制器还在所有 I/O 上提供了 JTAG 边界扫描支持，但非数字 I/O 和一些特殊信号除外。表 6-7 定义了这些除外情况。

表 6-7. DLPC6422 — JTAG 未涵盖的信号

信号名称	封装焊球
HW_TEST_EN	M25
MOSC	M26
MOSCN	N26
USB_DAT_N	C5
USB_DAT_P	D6
TCK	N24
TDI	N25
TRSTZ	M23
TDO1	N23

表 6-7. DLPC6422 — JTAG 未涵盖的信号 (续)

信号名称	封装焊球
TDO2	N22
TMS1	P25
TMS2	P26

6.4 器件功能模式

DLPC6422 具有两种功能模式，分别通过软件命令和主机控制接口启用。这两种模式为待机和运行。

6.4.1 待机模式

系统已加电并处于运行状态，但是控制器中的部分块已关闭以节省电量。只有 μ Processor 及其外设处于运行状态（支持等待被唤醒的休眠投影仪）。在此模式下，DMD 处于停放状态，无法显示任何图像。

6.4.2 工作模式

系统加电后可完全正常运行，能够投影内部或外部视频源。

6.4.2.1 正常配置

此配置可实现 DLPC6422 的全部功能。

7 应用和实施

备注

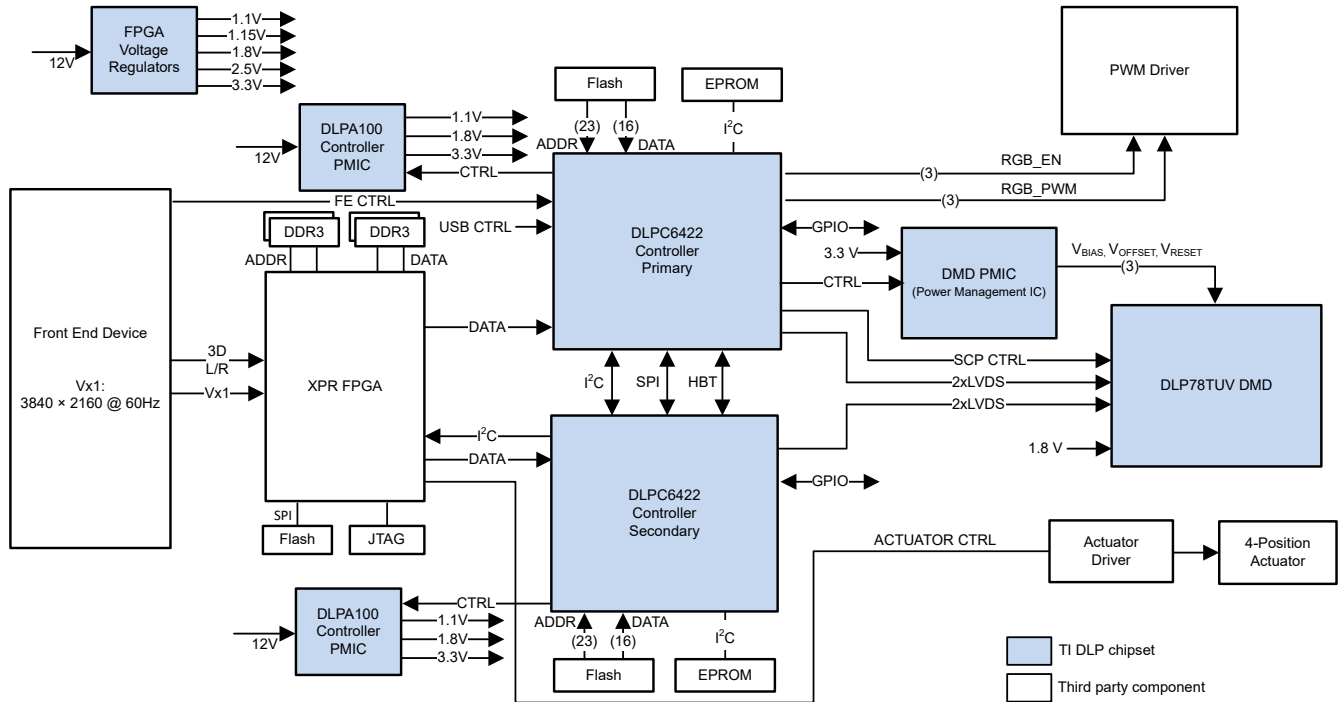
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

DLPC6422 显示控制器和支持的 DMD 共同构成芯片组。该控制器将所有系统图像处理、DMD 控制和数据格式化功能集成到单个集成电路 (IC) 上，同时还支持 LED 或激光照明系统和多种图像处理算法。应用包括 4K 超高清 (UHD) 和高清 3D 打印、激光打标、激光制造以及其他数字成像和曝光系统。

7.2 典型应用

DLPC6422 控制器非常适合需要高亮度和高分辨率光控制的应用，例如 3D 打印和其他基于激光或 LED 的制造应用。当两个 DLPC6422 光控制器与 DLP 4K DMD 结合使用，一个 FPGA 控制器与 DLP DMD、电源管理 (DLPA100) 及其他电气、光学和机械元件结合使用时，该芯片组可提供明亮、经济实惠的 4K UHD 高分辨率光控制解决方案。下面展示了使用 DLPC6422 控制器及配套 DLP DMD 的典型 DLP 系统应用。



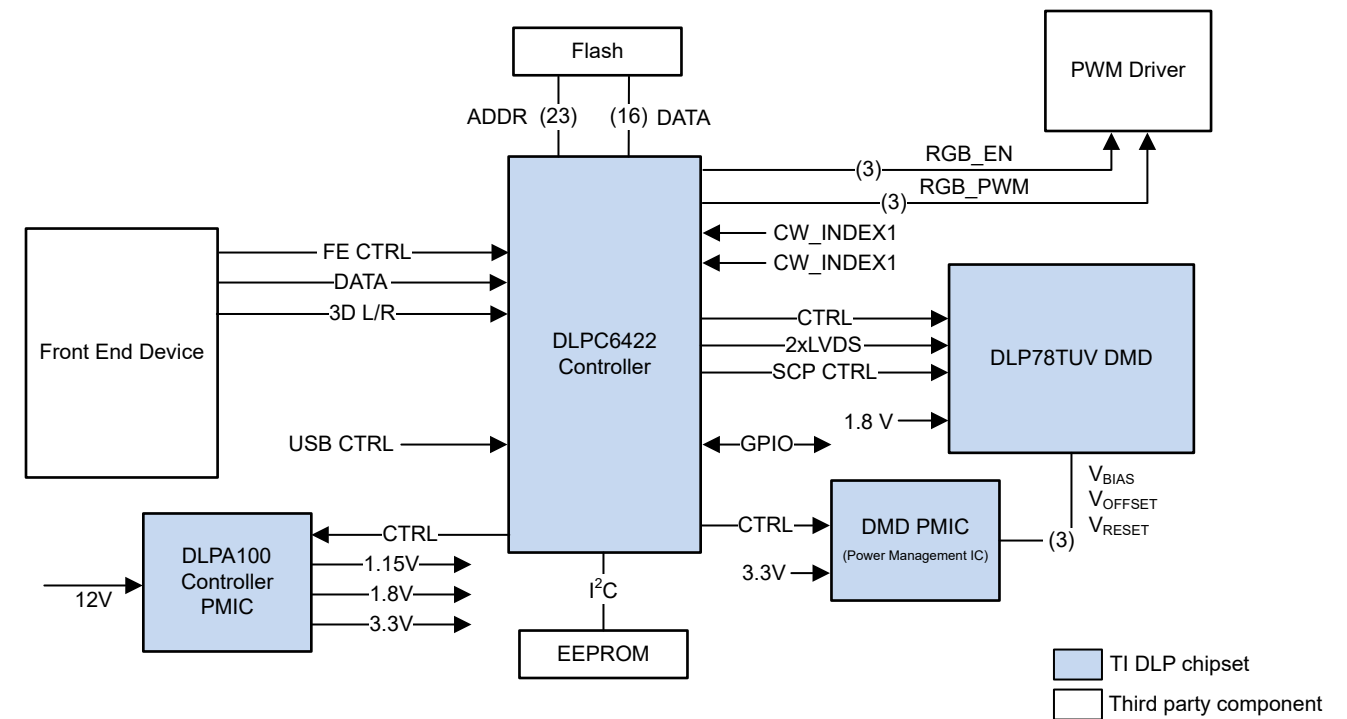


图 7-2. 典型 1080p 光控制应用

7.2.1 设计要求

显示控制器是 DMD 与系统其他部分之间的数字接口。显示控制器从前端数字接收器获取数字输入，并通过高速接口驱动 DMD。显示控制器还生成在 DMD 上显示图像所需的必要信号（数据、协议、时序）。有些系统需要双重控制器来格式化传入的数据，然后再将其发送到 DMD。仅当 DMD 和控制器在系统中一起使用时，才能确保 DMD 可靠运行。除了该芯片组中包含的 DLP 器件之外，还可能需要其他器件，例如用于存储软件和固件的闪存器件。

7.2.1.1 建议的 MOSC 晶体振荡器配置

表 7-1. 晶体端口特性

参数	标称值	单位
MOSC 至地的电容	1.5	pF
MOSCZ 至地的电容	1.5	pF

表 7-2. 建议晶体配置

参数	推荐	单位
晶体电路配置	并联谐振	
晶体类型	基波（一次谐波）	
晶体标称频率	20	MHz
晶体频率温度稳定性	±30	PPM
整体晶体频率容差（包括精度、稳定性、老化和修整灵敏度）	±100	PPM
晶体等效串联电阻器 (ESR)	50（最大值）	Ω
晶体负载	20	pF
晶体并联负载	7（最大值）	pF
RS 驱动电阻器（标称值）	100	Ω
RFB 反馈电阻器（标称值）	1	MΩ

表 7-2. 建议晶体配置 (续)

参数	推荐	单位
CL1 外部晶体负载电容器 (MOSC)	请参阅 ⁽¹⁾ 。	pF
CL2 外部晶体负载电容器 (MOSCN)	请参阅 ⁽¹⁾ 。	pF
PCB 布局	建议在晶体周围设置接地隔离环。	

(1) 使用 XSA020000FK1H-OCX 晶体时的典型驱动电平 ($ESR_{max} = 40 \Omega$) = 50 μ W

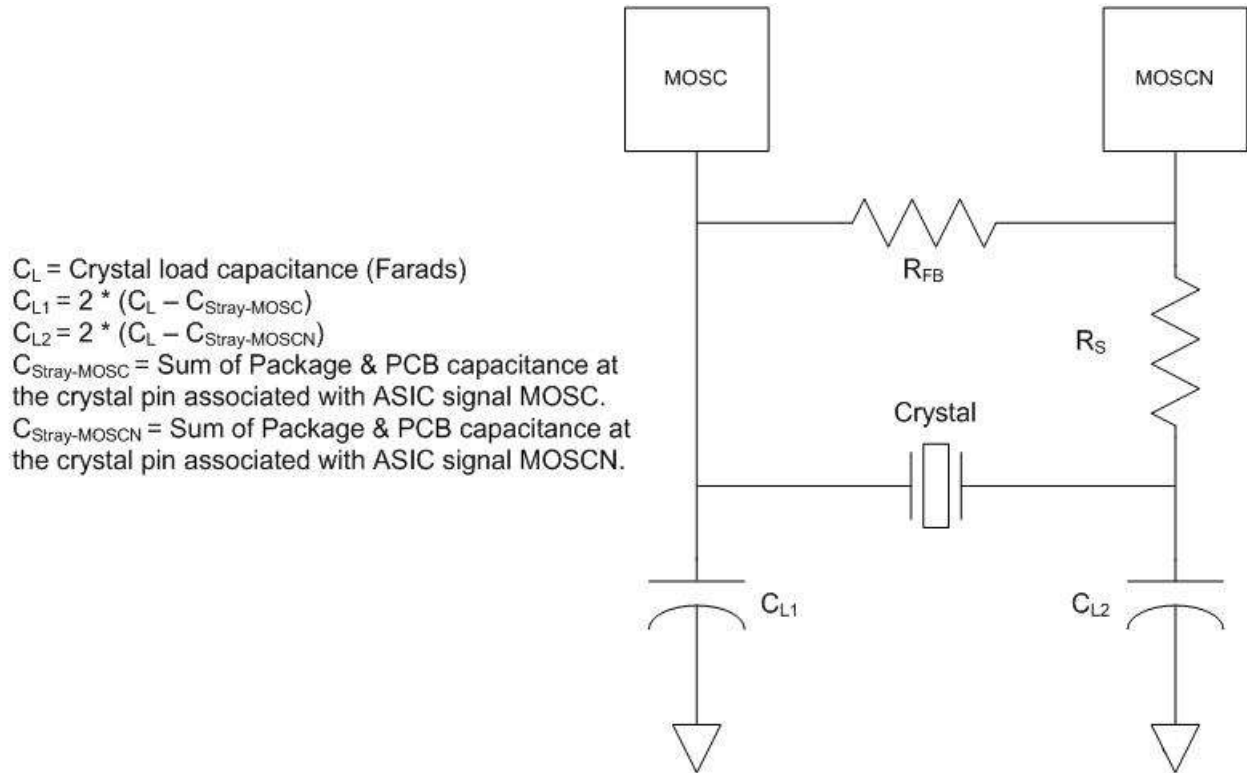


图 7-3. 建议的晶体振荡器配置

通常，外部晶体振荡器会在施加稳定电源后 50ms 内达到稳定状态。

7.2.2 详细设计过程

要将 DLPC6422 控制器和 DLP DMD 连接在一起，请参阅参考设计原理图。为实现可靠的系统，必须遵循布局指南。要实现完整的 DLP 系统，需要一个包含 DLP DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

7.3 电源要求和建议

7.3.1 系统电源规定

强烈建议为内部 PLL 供电的 VDD18_PLLD、VDD18_PLLM1 和 VDD18_PLLM2 采用隔离式线性稳压器供电，以更大限度减小交流噪声分量。VDD11_PLLD、VDD11_PLLM1、VDD11_PLLM2 和 VDD11_PLLS 可与内核 VDD11 采用同一稳压器，但必须进行滤波。

7.3.2 系统加电序列

尽管 DLPC6422 控制器需要一系列电源电压 (1.1V、1.15V、1.8V、3.3V)，但没有对加电和断电场景的电源时序相对顺序加以限制。同样地，对于 DLP 控制器的不同电源，在加电或断电之间也没有最短时间要求。但请注意，与 DLP 控制器共享电源的器件存在电源时序要求的情况并不少见。

- 当施加任何 I/O 电源时，必须同步施加 1.1V 1.15V 内核电源，以确保相关受电 I/O 的状态控制在已知状态。因此，建议先施加内核电源。待内核电压上升至 1.1V 后，再施加其他电源。
- 在 POSENSE 置为有效前，必须确保所有 DLPC6422 器件均已加电，以保证正常的加电初始化。

通常，DLPC6422 控制器加电时序由外部硬件处理。外部电源监测器在加电期间将控制器保持在系统复位状态（即 POSENSE = 0）。此时所有 DLP 控制器 I/O 均处于三态。当 POSENSE 从低电平切换到高电平时，初级 PLL (PLLM1) 解除复位状态，但控制器会使器件的其余部分保持复位状态额外 60ms，以便 PLL 完成输出的锁定与稳定。经过这 60ms 延迟后，与 ARM-9 相关的内部复位才会解除，微处理器随即开始执行启动例程。

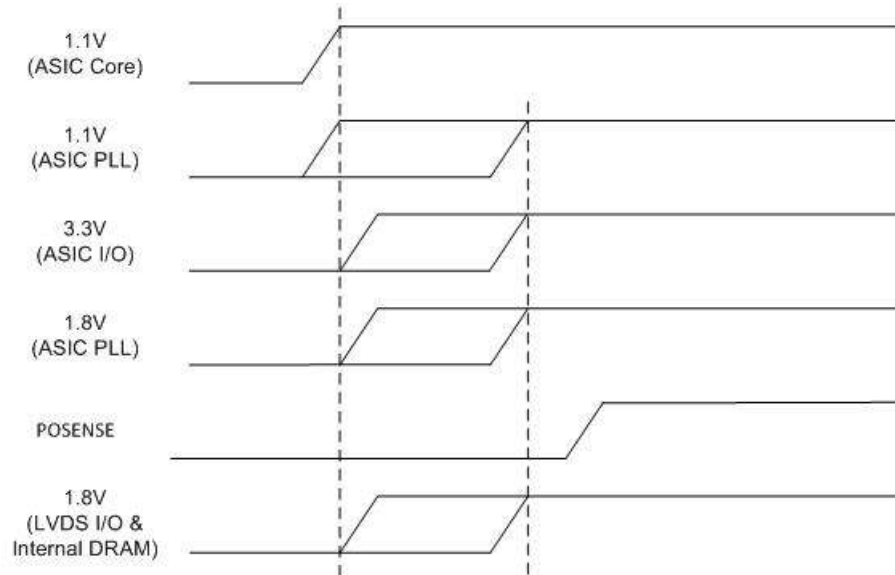


图 7-4. 系统加电序列

7.3.3 上电检测(POSENSE) 支持

为了将电源监测器设置为在 DLPC6422 控制器最小电源电压规格范围内触发，建议生成 POSENSE 的外部电源监测器将其阈值目标设置为最低电源电压规格的 90%，并确保 POSENSE 在所有电源电压下保持低电平足够时长，以达到最低器件要求并实现稳定。请注意，对于 POSENSE 而言，用于检测断电的跳变电压以及响应低压状态的反应时间并不重要，因为 PWRGOOD 专用于此目的。因此，PWRGOOD 在这些方面具有严格的技术要求。

7.3.4 系统环境和默认值

7.3.4.1 DLPC6422 系统加电和复位默认条件

系统加电后，DLPC6422 控制器将执行加电初始化例程，默认使设备进入常规供电模式——此时 ARM9 相关时钟将以全速运行，相关复位信号也将解除。其他大多数时钟默认处于禁用状态，其相关复位信号置为有效，直到被处理器解除。此外，系统电源门控默认启用所有电源。在不断电或不循环上下电的情况下，所有系统复位事件（如看门狗计时器超时等）也会应用相同的默认设置，但 LVDS I/O 和内部 DRAM 的电源可能例外。若需延长复位状态时长，OEM 应在复位前将控制器设置为低功耗模式，此时 LVDS I/O 和内部 DRAM 的 1.8V 电源将被禁用。当该复位状态解除后，在 ARM9 完成初始化并开始执行系统初始化例程后，1.8V 电源才会启用。

完成加电或系统复位初始化后，ARM9 将从外部闪存启动，随后启用 1.8V 电源（来自 DLPA100），启用控制器的其余时钟，并初始化内部 DRAM。系统初始化完成后，应用软件确定是否以及何时进入低功耗模式。

7.3.4.2 1.1V 1.15V 系统电源

DLPC6422 可通过由开关稳压器提供的单个 1.1V 1.15V 电源支持低成本的电力输送系统。要启用这种方法，必须对 PLL 的 1.1V 电源引脚进行适当的滤波。

7.3.4.3 1.8V 系统电源

建议 DLPC6422 控制器电力输送系统提供两个独立的 1.8V 电源。一个 1.8V 电源用于为控制器 LVDS I/O 和内部 DRAM 提供 1.8V 电源。这些功能由一个公共电源供电，建议采用线性稳压器作为公共电源。使用第二个 1.8V 电源（以及本文档的“内部 ASIC PLL 电源的 PCB 布局指南”部分中所述的适当滤波电路）为所有 DLPC6422 控制器内部 PLL 供电。为了使该电源尽可能洁净，建议使用专用的线性稳压器作为 PLL 的 1.8V 电源。

7.3.4.4 3.3V 系统电源

DLPC6422 可通过由开关稳压器提供的单个 3.3V 电源支持低成本的电力输送系统。该 3.3V 电源为所有 LVTTTL I/O 和晶体振荡器单元供电。该 3.3V 电源必须在施加 1.1V 内核电源的所有电源模式下保持有效。

7.3.4.5 电源正常 (PWRGOOD) 支持

PWRGOOD 信号被定义为预警信号，会在直流电源电压降至规格以下之前，提前指定时长向 DLPC6422 控制器发出警报，以便控制器停放 DMD 并将系统置于复位状态，从而确保后续运行的完整性。出于实际原因，建议将监测检测 PWRGOOD 置于电源稳压器的输入端。

7.3.4.6 5V 耐受支持

除 USB_DAT 外，DLPC6422 控制器不支持任何其他 5V 耐受 I/O。但请注意，源信号 ALF_HSYNC、ALF_VSYNC 和 I2C 通常具有 5V 要求，并且必须采取特殊措施来支持这些要求。此外，建议使用 5V 至 3.3V 电平移位器。

7.4 布局

7.4.1 布局指南

为了实现所需的热连接，建议在 PCB 设计中使用 2 盎司铜平面。

7.4.1.1 内部 DLPC6422 电源的 PCB 布局指南

建议遵循以下指南以实现相对于内部 PLL 的所需控制器性能。

- DLPC6422 控制器包含四个 PLL (PLLM1、PLLM2、PLLD 和 PLLS)，每个 PLL 都有专用的 1.1V 1.15V 数字电源，其中 PLLM1、PLLM2 和 PLLD 还具有专用的 1.8V 模拟电源。为电源引脚配置覆盖宽频率范围的滤波至关重要。每个 1.1V 1.15V PLL 电源引脚必须配备独立的高频滤波电路，该电路应由铁氧体磁珠和 0.1μF 陶瓷电容器构成。这些元件必须非常靠近各个 PLL 电源焊球。在频率高于 10MHz 时，铁氧体磁珠的阻抗必须大于电容器阻抗。1.1V 1.15V PLL 电源引脚也必须具有 RC 滤波器形式的低频滤波电路。这个滤波器可以为所有 PLL 共用。电阻器两端的压降受 1.1V 1.15V 稳压器容差和 DLPC6422 器件电压容差限制。建议使用 0.36Ω 的电阻器和 100μF 的陶瓷电容器。
- 模拟 1.8V PLL 电源引脚必须具有与 1.1V 1.15V 类似的滤波器拓扑。此外，建议使用专用的线性稳压器来生成 1.8V 电压。
- 在设计整个电源滤波器网络时，必须注意确保不会发生谐振。必须特别注意 1MHz 到 2MHz 频段，因为该频段与 PLL 自然环路频率一致。

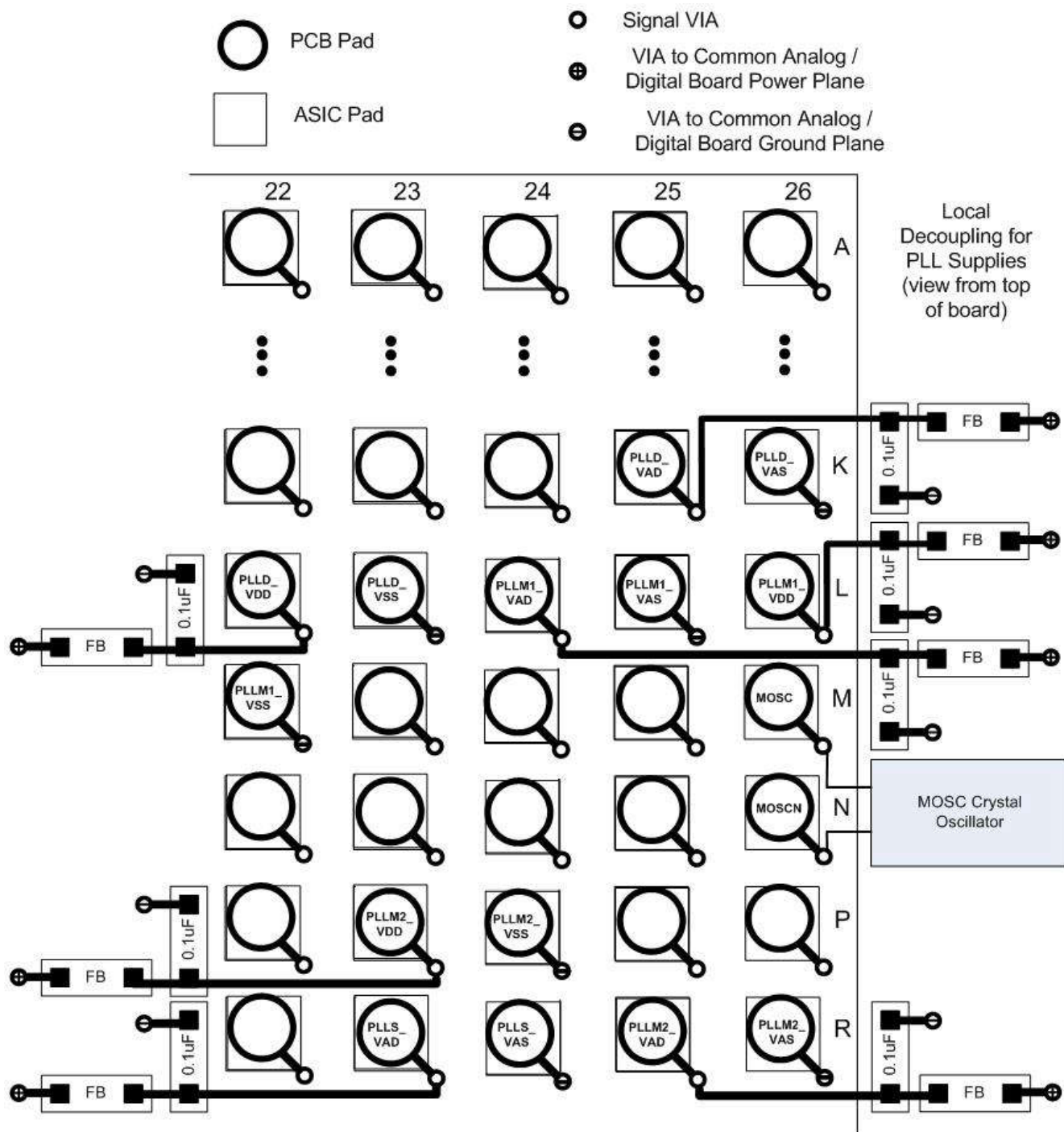


图 7-5. PLL 滤波器布局

1.1V 1.15V 和 1.8V PLL 电源都需要高频去耦，并且必须尽可能靠近每个 PLL 电源封装引脚布置。建议将去耦电容器放置在封装正下方的电路板背面。使用高品质、低 ESR、单片式表面贴装电容器。通常，每个 PLL 电源配置 0.1µF 就足够了。连接布线的长度会增加安装的寄生电感，因此应避免布线，让过孔直接紧贴焊盘。此外，连接布线必须尽可能宽。通过在电容器焊盘的一侧布置过孔或将过孔数量加倍，可以进一步改进性能。

大容量去耦电容器的位置取决于系统设计。

7.4.1.2 提升自动锁定性能的 PCB 布局指南

要实现良好的自动锁定性能，其中一个最为关键的因素是按照以下建议设计 PCB，以实现尽可能高的信号完整性：

- 将 ADC 芯片尽可能靠近 VESA/视频连接器放置。
- 使模拟信号远离数字信号，以避免对模拟信号产生串扰。
- 在 VESA 连接器至 ADC 芯片的模拟区域下方，不要布置数字接地或电源平面。
- 通过将 RGB 模拟信号与 VESA Hsync 和 Vsync 信号分离，避免对 RGB 模拟信号产生串扰。
- 模拟电源不得与数字电源直接共用。
- 尝试使 RGB 的布线长度尽可能相等。
- 对 ADC 的 RGB 输入使用优质 (1%) 端接电阻器。
- 如果绿色通道必须同时连接到 ADC 绿色输入和 ADC 绿色同步输入，请提供优质的高阻抗缓冲器，以避免向绿色通道引入噪声。

7.4.1.3 DMD 接口注意事项

DLPC6422 控制器上的高速接口（即 LVDS DMD 接口）波形质量和时序取决于互连系统的总长度、布线之间的间距、特征阻抗、蚀刻损耗以及与接口上长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

例如，DMD 接口系统时序裕度可按如下方式计算：

- 建立裕度 = (DLPC6422 输出建立) - (DMD 输入建立) - (PCB 布线失配) - (PCB SI 降低)
- 保持裕度 = (DLPC6422 输出保持) - (DMD 输入保持) - (PCB 布线失配) - (PCB SI 降低)

其中 *PCB SI 降低* 是 PCB 效应导致的信号完整性降低，包括同时开关输出 (SSO) 噪声、串扰和码间串扰 (ISI) 噪声。控制器 I/O 时序参数以及 DMD I/O 时序参数可在相应的数据表中找到。同样，可通过受控的 PCB 布线对 *PCB 布线失配* 问题制定预算并予以解决。然而，PCB SI 降低的评估并非如此简单。

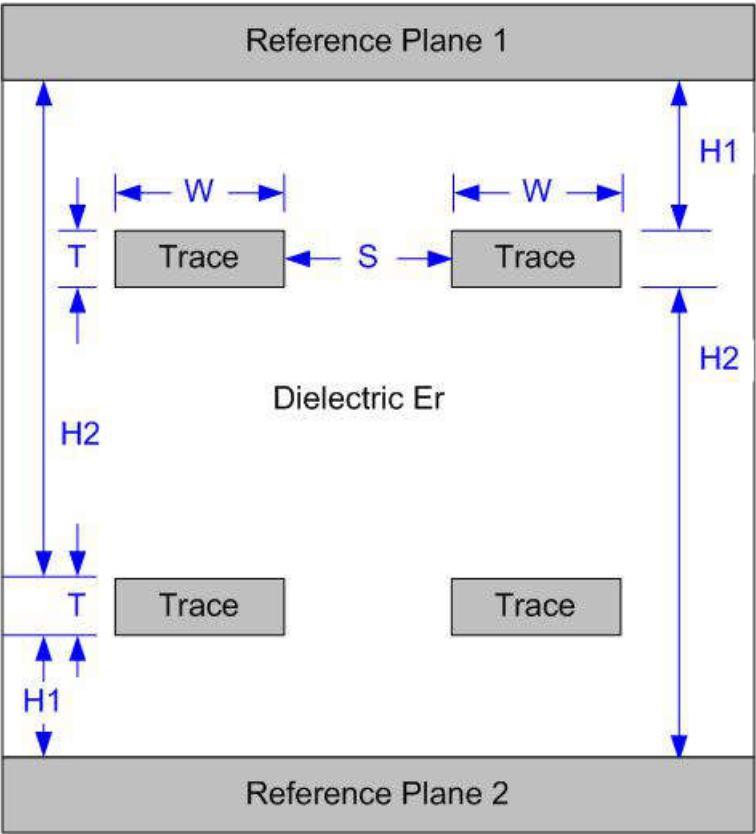
为了尽可能简化信号完整性分析，提供了以下 PCB 设计指南作为参考，旨在构建同时满足波形质量与时序要求的互连系统（综合考虑 PCB 布线失配与 PCB SI 降低）。偏离这些建议的设计也可能可行，但必须通过 PCB 信号完整性分析或实验室测量加以确认

PDB 设计：

● 配置	非对称双带状线
● 蚀刻厚度	1.0oz 铜 (1.2mil)
● 柔性蚀刻厚度	0.5oz 铜 (0.6mil)
● 单端信号阻抗	50 Ω (+/- 10%)
● 差分信号阻抗	100 Ω 差分 (+/- 10%)

PCB 层叠：

● 假设参考平面 1 是用于提供适当返回路径的接地平面	
● 假设参考平面 2 为 I/O 电源平面或接地	
● 电介质 FR4, (Er)：	4.2 (标称值)
● 信号布线到参考平面 1 的距离 (H1)	5.0mil (标称值)
● 信号布线到参考平面 2 的距离 (H2)	34.2mil (标称值)



PCB Stackup Geometries

图 7-6. PCB 层叠几何形状

表 7-3. 通用 PCB 布线 (适用于所有相应的 PCB 信号)

参数	应用	单端信号	差分对	单位
线宽 (W) ⁽¹⁾	焊球区域迂回布线	4 (0.1)	4 (0.1)	mil (mm)
	PCB 蚀刻数据或控制	7 (0.18)	4.25 (0.11)	mil (mm)
	PCB 蚀刻时钟	7 (0.18)	4.25 (0.11)	mil (mm)
与其他信号的最小线路间距 (S)	焊球区域迂回布线	4 (0.1)	4 (0.1)	mil (mm)
	PCB 蚀刻数据或控制	10 (0.25)	20 (0.51)	mil (mm)
	PCB 蚀刻时钟	20 (0.51)	20 (0.51)	mil (mm)

(1) 需通过调整线宽来满足阻抗要求。

表 7-4. DMD I/F、PCB 互连长度匹配要求

信号组长度匹配				
I/F	信号组	基准信号	最大失配	单位
DMD (LVDS)	SCA_P、SCA_N、 DDA_P(15:0)、 DDA_N(15:0)	DCKA_P、DCKA_N	+/-150 (+/- 3.81)	mil (mm)
DMD (LVDS)	SCB_P、SCB_N、 DDB_P(15:0)、 DDB_N(15:0)	DCKB_P、DCKB_N	+/-150 (+/- 3.81)	mil (mm)

层数变化：

- 单端信号：最小化
- 差分信号：各个差分对可以铺设在不同的层上，但给定差分对的信号通常不应更改层。

端接要求：

- DMD 接口 — 无，DMD 接收器在内部差分端接至 $100\ \Omega$

连接器（仅限 DMD LVDS I/F 总线）— 必须使用满足以下要求的高速连接器：

- 差分串扰 $<5\%$
- 差分阻抗 $75\ \Omega - 125\ \Omega$

直角连接器的布线要求：

使用直角连接器时，P-N 对必须铺设在同一行，以更大限度地减少延迟失配，并且必须根据相关的 PCB 蚀刻长度考虑每行的传播延迟差异。

7.4.1.4 布局示例

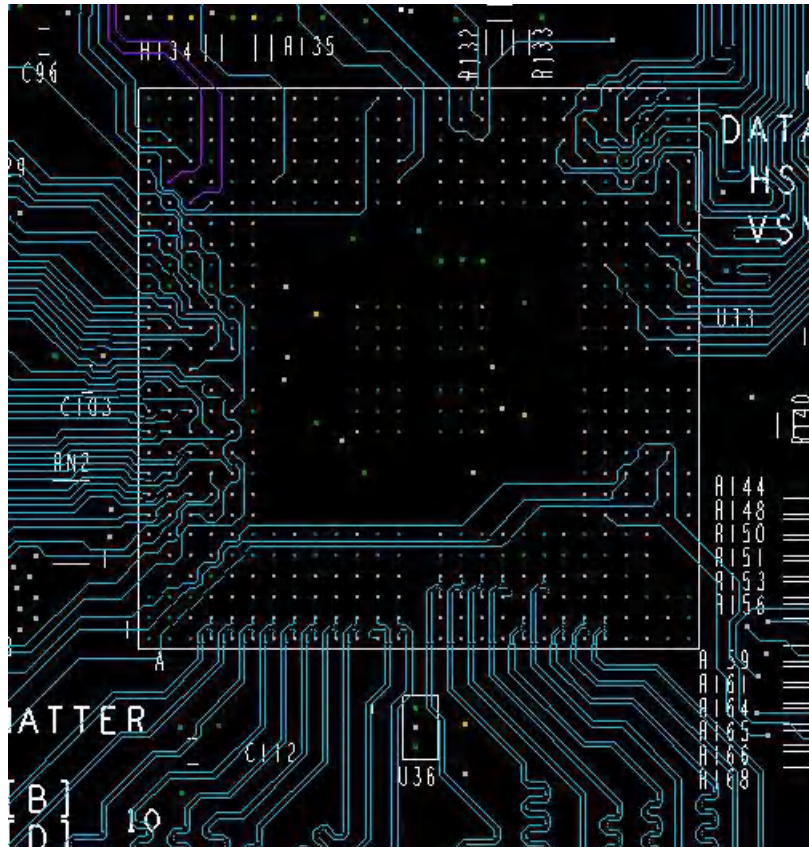


图 7-7. 第 3 层

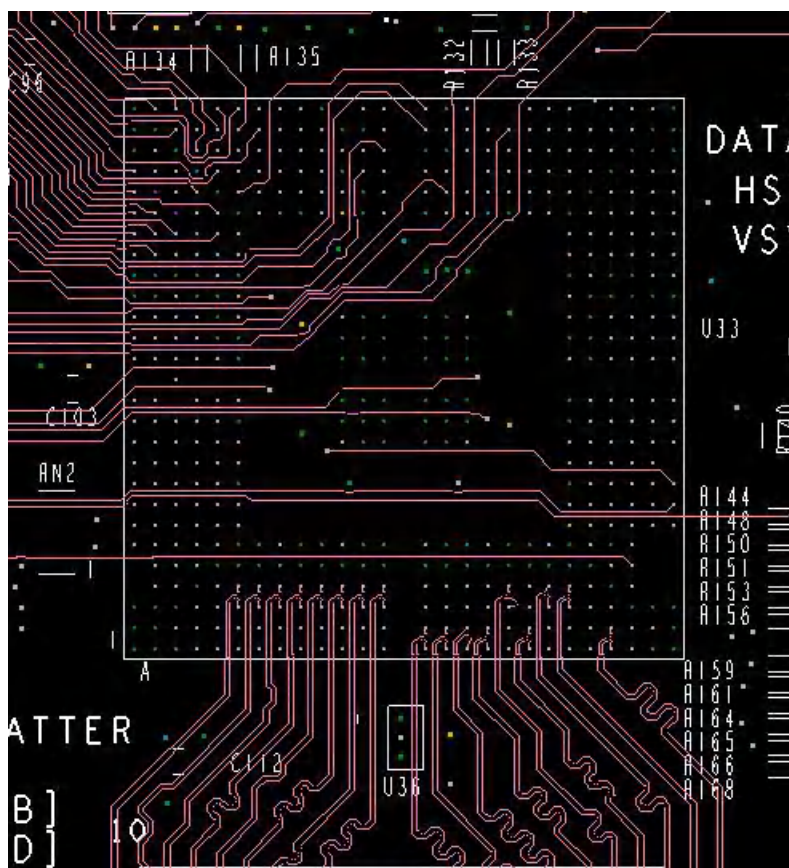


图 7-8. 第 4 层

7.4.1.5 散热注意事项

DLPC6422 控制器的基本散热限制要求不得超过最大工作结温 (T_J) (定义见节 5.2)。该温度取决于工作环境温度、气流、PCB 设计 (包括元件布局密度和使用的铜量)、DLPC6422 的功率耗散和周围元件的功率耗散。DLPC6422 封装主要设计为通过 PCB 的电源平面和接地平面提取热量；因此，PCB 上的覆铜含量和气流是重要因素。

建议的最高工作环境温度 (T_A) 主要作为设计目标提供，并基于强制气流为 1m/s 时的最大 DLPC6422 功率耗散和 $R_{\theta JA}$ ，其中 $R_{\theta JA}$ 是使用 JEDEC 所定义的标准测试 PCB 测得的封装热阻。该 JEDEC 测试 PCB 未必代表 DLPC6422 PCB，因此所报告的热阻可能不是实际产品应用中的准确热阻。尽管实际热阻可能不同，但它是在设计阶段估算热性能的最可靠信息。但是，在设计 PCB 并构建产品后，强烈建议测量和验证热性能。

为此，必须测量最坏情况产品场景 (最大功率耗散、最大电压、最高环境温度) 下的顶部中央外壳温度，并验证是否未超过建议的最高外壳温度 (T_C)。此规格基于是为 DLPC6422 封装测得的 ϕ_{JT} ，能够相对准确地反映与结温的关系。请注意，测量此外壳温度时务必小心，以防止封装表面意外冷却。建议使用小型 (大约 40 规格) 热电偶。磁珠和热电偶导线必须接触封装顶部，并使用最少量的导热环氧树脂覆盖。必须沿着封装和电路板表面紧密布置导线，避免通过导线冷却磁珠。

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 器件支持

8.2.1 视频时序参数定义

- **每帧有效行数 (ALPF)** — 定义包含可显示数据的帧中的行数：ALPF 是 TLPF 的一个子集。
- **每行有效像素数 (APPL)** — 定义包含可显示数据的一行中的像素时钟数量：APPL 是 TPPL 的一个子集。
- **水平后沿消隐 (HBP)** — 水平同步之后，第一个有效像素之前的消隐像素时钟数量。注意：HBP 时间参考各个同步信号的前缘（有效）边沿。
- **水平前沿消隐 (HFP)** — 最后一个有效时钟之后，水平同步之前的消隐像素时钟数量。
- **水平同步 (HS)** — 定义水平间隔（行）开始的时序基准点。这个绝对基准点由 HS 信号的有效边沿定义。有效边沿（由源端定义的上升沿或下降沿）是测量所有水平消隐参数的基准。
- **每帧总行数 (TLPF)** — 定义垂直周期（或帧时间），以行为单位：TLPF = 每帧总行数（有效和无效）。
- **每行总像素 (TPPL)** — 定义水平周期，以像素时钟为单位：TPPL = 每行总像素时钟数（有效和无效像素时钟）。
- **垂直后沿消隐 (VBP)** — 垂直同步后，第一个有效行之前的消隐行的数量。
- **垂直前沿消隐 (VFP)** — 在最后一个有效行后，垂直同步前的消隐行数。
- **垂直同步 (VS)** — 定义垂直间隔（帧）开始的时序基准点。这个绝对基准点由 VS 信号的有效边沿定义。有效边沿（由源端定义的上升沿或下降沿）是测量所有垂直消隐参数的基准。

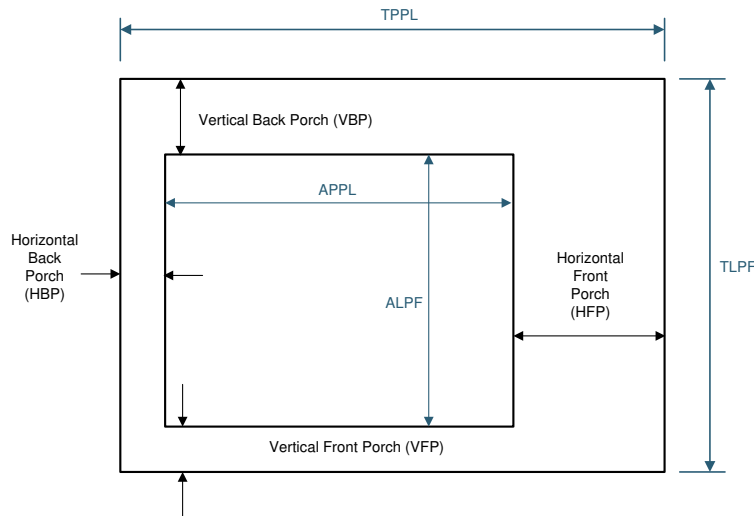


图 8-1. 时序参数图

8.2.2 器件命名规则

表 8-1. 器件型号说明

TI 器件型号	说明
DLPC6422	DLPC6422 数字控制器

8.2.3 器件命名规则

8.2.4 器件标识

8.2.4.1 器件标识

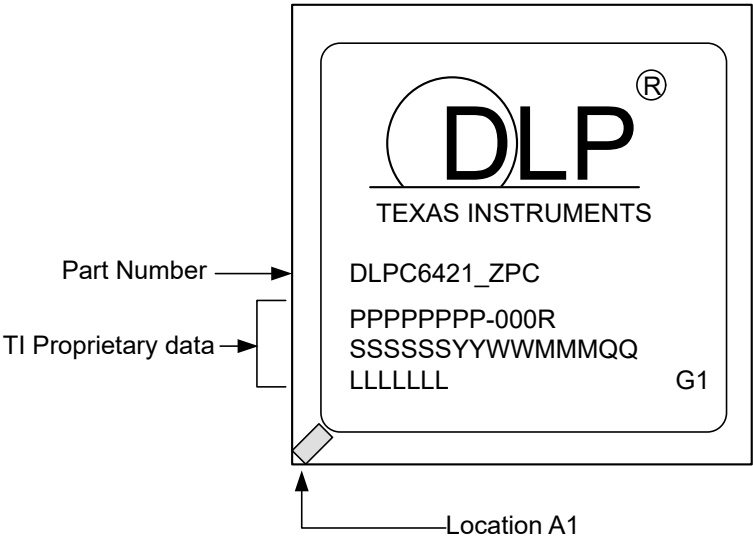


图 8-2. DLPC6422 器件标识

标识定义：

第 1 行：DLP 器件名称后跟 TI 器件型号

- XXX：ZPC 封装符号

第 2 行：供应商信息

第 3 行：SSSSSSYYWWMMM-QQ 封装组装信息

- SSSSSS：供应商国家/地区
- YYWW：供应商年份和周代码 (YY = 年份:: WW = 周)
- MMM：供应商制造代码 (例如 HAL、HBL、HAF)
- QQ：合格等级 (可选)

第 4 行：LLLLLLL_e1 制造信息

- LLLLLLL：制造批次代码
- G1：环保封装符号

8.3 文档支持

8.3.1 相关文档

以下文档包含和 DLPC6422 一起使用的芯片组元件的更多相关信息：

- [DLPA100 控制器电源管理和电机驱动器数据表](#)
- [DLPA300 DMD 电源管理和电机驱动器数据表](#)

8.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.6 商标

ARM946™ is a trademark of ARM.

TI E2E™ is a trademark of Texas Instruments.

DLP® is a registered trademark of Texas Instruments.

is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.8 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2025) to Revision A (October 2025)	Page
• 首次公开发布该器件.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月