

# DLP472NP 0.47 英寸 1080p FHD 数字微镜器件

## 1 特性

- 0.47 英寸对角线微镜阵列
  - 1080p FHD (1920 × 1080) 显示分辨率
  - 5.4μm 微镜间距
  - ±17° 微镜倾斜度 (相对于平坦表面)
  - 底部照明
- SubLVDS 输入数据总线
- 支持 1080p (高达 240Hz)
- 由 DLPC8444 显示控制器、DLPA3085 或 DLPA3082 电源管理 IC (PMIC) 和 LED 驱动器支持激光器或 LED 正常运行

## 2 应用

- 移动智能电视
- 移动投影仪
- 数字标牌

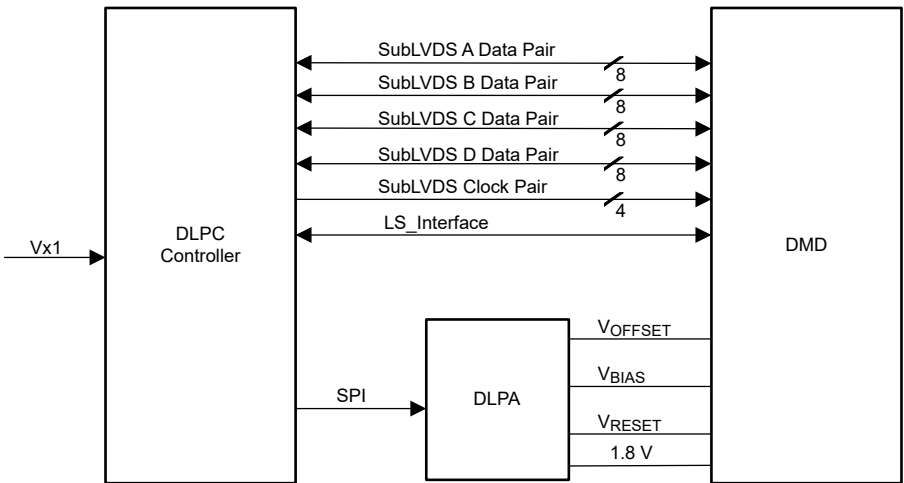
## 3 说明

DLP472NP 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间光调制器 (SLM)，可用于实现高亮的 1080p FHD 显示系统。TI DLP® 产品 0.47 英寸 1080p FHD 芯片组包括 DLP472NP DMD、DLPC8444 显示控制器、DLPA3085 或 DLPA3082 PMIC 和照明器驱动器。芯片组外形紧凑，可为体型小巧的 1080p FHD 显示提供完整的系统解决方案。

### 器件信息

器件型号	封装 <sup>(1)</sup>	封装尺寸
DLP472NP	FQY (166)	24.50mm × 11.00mm

(1) 有关更多信息，请参阅节 12。



简化版应用



## 内容

<b>1 特性</b> .....	<b>1</b>	6.5 光学接口和系统图像质量注意事项.....	<b>23</b>
<b>2 应用</b> .....	<b>1</b>	6.6 微镜阵列温度计算.....	<b>24</b>
<b>3 说明</b> .....	<b>1</b>	6.7 微镜功率密度计算.....	<b>25</b>
<b>4 引脚配置和功能</b> .....	<b>3</b>	6.8 微镜着陆打开/着陆关闭占空比.....	<b>27</b>
4.1 引脚功能.....	<b>3</b>	<b>7 应用和实施</b> .....	<b>30</b>
<b>5 规格</b> .....	<b>7</b>	7.1 应用信息.....	<b>30</b>
5.1 绝对最大额定值.....	<b>7</b>	7.2 典型应用.....	<b>30</b>
5.2 存储条件.....	<b>7</b>	7.3 温度传感器二极管.....	<b>31</b>
5.3 ESD 等级.....	<b>8</b>	<b>8 电源相关建议</b> .....	<b>32</b>
5.4 建议运行条件.....	<b>9</b>	8.1 DMD 电源上电过程.....	<b>32</b>
5.5 热性能信息.....	<b>11</b>	8.2 DMD 电源断电过程.....	<b>32</b>
5.6 电气特性.....	<b>11</b>	<b>9 布局</b> .....	<b>34</b>
5.7 开关特性.....	<b>12</b>	9.1 布局指南.....	<b>34</b>
5.8 时序要求.....	<b>12</b>	9.2 布局示例.....	<b>35</b>
5.9 系统安装接口负载.....	<b>18</b>	<b>10 器件和文档支持</b> .....	<b>36</b>
5.10 微镜阵列物理特性.....	<b>18</b>	10.1 第三方产品免责声明.....	<b>36</b>
5.11 微镜阵列光学特性.....	<b>19</b>	10.2 器件支持.....	<b>36</b>
5.12 窗口特性.....	<b>21</b>	10.3 文档支持.....	<b>37</b>
5.13 芯片组元件使用规格.....	<b>21</b>	10.4 接收文档更新通知.....	<b>37</b>
<b>6 详细说明</b> .....	<b>22</b>	10.5 商标.....	<b>37</b>
6.1 概述.....	<b>22</b>	10.6 静电放电警告.....	<b>37</b>
6.2 功能方框图.....	<b>22</b>	10.7 术语表.....	<b>37</b>
6.3 特性说明.....	<b>23</b>	<b>11 修订历史记录</b> .....	<b>37</b>
6.4 器件功能模式.....	<b>23</b>	<b>12 机械、封装和可订购信息</b> .....	<b>38</b>

## 4 引脚配置和功能

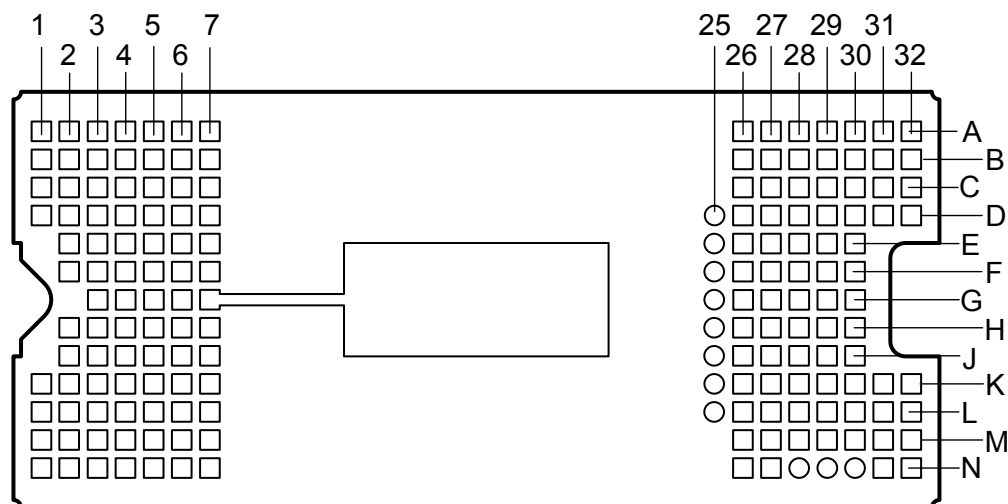


图 4-1. FQY 封装、166 引脚 LGA (底视图)

### 小心

正确管理 [引脚功能](#) 表中列出的信号的布局 and 运行，从而 0.47 英寸 1080p FHD S321 DMD 能够可靠运行。在设计电路板之前，请参阅 [DMD 和控制器 布局指南](#)。

### 4.1 引脚功能

引脚 <sup>(2)</sup>		类型 <sup>(1)</sup>	说明	终端	布线长度 (mm)
名称	焊盘 ID				
D_AP(0)	A2	I	高速差分数据对通道 A0	差分 100 Ω	3.75497
D_AN(0)	B2	I	高速差分数据对通道 A0	差分 100 Ω	3.75482
D_AP(1)	A6	I	高速差分数据对通道 A1	差分 100 Ω	4.62509
D_AN(1)	B6	I	高速差分数据对通道 A1	差分 100 Ω	4.625
D_AP(2)	C1	I	高速差分数据对通道 A2	差分 100 Ω	3.59503
D_AN(2)	C2	I	高速差分数据对通道 A2	差分 100 Ω	3.59513
D_AP(3)	C6	I	高速差分数据对通道 A3	差分 100 Ω	5.12758
D_AN(3)	C7	I	高速差分数据对通道 A3	差分 100 Ω	5.12745
D_AP(4)	G3	I	高速差分数据对通道 A4	差分 100 Ω	1.60057
D_AN(4)	G4	I	高速差分数据对通道 A4	差分 100 Ω	1.6004
D_AP(5)	F7	I	高速差分数据对通道 A5	差分 100 Ω	3.64067
D_AN(5)	F6	I	高速差分数据对通道 A5	差分 100 Ω	3.64091
D_AP(6)	F4	I	高速差分数据对通道 A6	差分 100 Ω	1.58206
D_AN(6)	F5	I	高速差分数据对通道 A6	差分 100 Ω	1.58187
D_AP(7)	H6	I	高速差分数据对通道 A7	差分 100 Ω	2.70067
D_AN(7)	G6	I	高速差分数据对通道 A7	差分 100 Ω	2.70086
DCLK_AP	E5	I	高速差分时钟 A	差分 100 Ω	2.96493
DCLK_AN	D5	I	高速差分时钟 A	差分 100 Ω	2.9653
D_BP(0)	B30	I	高速差分数据对通道 B0	差分 100 Ω	3.57087

引脚 <sup>(2)</sup>		类型 <sup>(1)</sup>	说明	终端	布线长度 (mm)
名称	焊盘 ID				
D_BN(0)	A30	I	高速差分数据对通道 B0	差分 100 Ω	3.57064
D_BP(1)	C32	I	高速差分数据对通道 B1	差分 100 Ω	4.2546
D_BN(1)	B32	I	高速差分数据对通道 B1	差分 100 Ω	4.25425
D_BP(2)	A28	I	高速差分数据对通道 B2	差分 100 Ω	4.97968
D_BN(2)	B28	I	高速差分数据对通道 B2	差分 100 Ω	4.97953
D_BP(3)	C31	I	高速差分数据对通道 B3	差分 100 Ω	3.12736
D_BN(3)	C30	I	高速差分数据对通道 B3	差分 100 Ω	3.12743
D_BP(4)	C27	I	高速差分数据对通道 B4	差分 100 Ω	5.44353
D_BN(4)	B27	I	高速差分数据对通道 B4	差分 100 Ω	5.4433
D_BP(5)	D28	I	高速差分数据对通道 B5	差分 100 Ω	3.32124
D_BN(5)	D27	I	高速差分数据对通道 B5	差分 100 Ω	3.32115
D_BP(6)	F30	I	高速差分数据对通道 B6	差分 100 Ω	2.99334
D_BN(6)	E30	I	高速差分数据对通道 B6	差分 100 Ω	2.99374
D_BP(7)	G27	I	高速差分数据对通道 B7	差分 100 Ω	3.14865
D_BN(7)	G28	I	高速差分数据对通道 B7	差分 100 Ω	3.14902
DCLK_BP	D29	I	高速差分时钟 B	差分 100 Ω	5.03976
DCLK_BN	D30	I	高速差分时钟 B	差分 100 Ω	5.0395
D_CP(0)	J4	I	高速差分数据对通道 C0	差分 100 Ω	2.06577
D_CN(0)	H4	I	高速差分数据对通道 C0	差分 100 Ω	2.06568
D_CP(1)	J7	I	高速差分数据对通道 C1	差分 100 Ω	4.87119
D_CN(1)	J6	I	高速差分数据对通道 C1	差分 100 Ω	4.87131
D_CP(2)	K5	I	高速差分数据对通道 C2	差分 100 Ω	4.69951
D_CN(2)	J5	I	高速差分数据对通道 C2	差分 100 Ω	4.69926
D_CP(3)	L4	I	高速差分数据对通道 C3	差分 100 Ω	3.27735
D_CN(3)	L5	I	高速差分数据对通道 C3	差分 100 Ω	3.27722
D_CP(4)	L2	I	高速差分数据对通道 C4	差分 100 Ω	4.65167
D_CN(4)	M2	I	高速差分数据对通道 C4	差分 100 Ω	4.6513
D_CP(5)	M3	I	高速差分数据对通道 C5	差分 100 Ω	5.70359
D_CN(5)	N3	I	高速差分数据对通道 C5	差分 100 Ω	5.70352
D_CP(6)	M5	I	高速差分数据对通道 C6	差分 100 Ω	2.57704
D_CN(6)	M6	I	高速差分数据对通道 C6	差分 100 Ω	2.57727
D_CP(7)	N7	I	高速差分数据对通道 C7	差分 100 Ω	3.77278
D_CN(7)	M7	I	高速差分数据对通道 C7	差分 100 Ω	3.77317
DCLK_CP	K2	I	高速差分时钟 C	差分 100 Ω	2.3747
DCLK_CN	J2	I	高速差分时钟 C	差分 100 Ω	2.37429
D_DP(0)	G29	I	高速差分数据对通道 D0	差分 100 Ω	3.67925
D_DN(0)	F29	I	高速差分数据对通道 D0	差分 100 Ω	3.6794
D_DP(1)	F27	I	高速差分数据对通道 D1	差分 100 Ω	4.73751
D_DN(1)	E27	I	高速差分数据对通道 D1	差分 100 Ω	4.73796
D_DP(2)	K30	I	高速差分数据对通道 D2	差分 100 Ω	2.76933
D_DN(2)	K29	I	高速差分数据对通道 D2	差分 100 Ω	2.76936
D_DP(3)	J27	I	高速差分数据对通道 D3	差分 100 Ω	3.07794

引脚 <sup>(2)</sup>		类型 <sup>(1)</sup>	说明	终端	布线长度 (mm)
名称	焊盘 ID				
D_DN(3)	K27	I	高速差分数据对通道 D3	差分 100 Ω	3.07804
D_DP(4)	M30	I	高速差分数据对通道 D4	差分 100 Ω	3.60026
D_DN(4)	L30	I	高速差分数据对通道 D4	差分 100 Ω	3.60028
D_DP(5)	M27	I	高速差分数据对通道 D5	差分 100 Ω	3.24012
D_DN(5)	L27	I	高速差分数据对通道 D5	差分 100 Ω	3.24002
D_DP(6)	N26	I	高速差分数据对通道 D6	差分 100 Ω	4.69564
D_DN(6)	M26	I	高速差分数据对通道 D6	差分 100 Ω	4.69594
D_DP(7)	M31	I	高速差分数据对通道 D7	差分 100 Ω	3.97347
D_DN(7)	M32	I	高速差分数据对通道 D7	差分 100 Ω	3.97352
DCLK_DP	H29	I	高速差分时钟 D	差分 100 Ω	1.7593
DCLK_DN	J29	I	高速差分时钟 D	差分 100 Ω	1.75933
LS_WDATA	D4	I	LVDS 数据		2.29224
LS_CLK	C4	I	LVDS CLK		1.73951
LS_RDATA_A	C5	O	LVC MOS 输出		2.72344
LS_RDATA_B	D3	O	LVC MOS 输出		2.22814
LS_RDATA_C	E3	O	LVC MOS 输出		3.22863
LS_RDATA_D	F3	O	LVC MOS 输出		4.90151
DMD_DEN_ARSTZ	D2	I	ARSTZ		1.80911
TEMP_N	N1	I	温度二极管 N		1.84006
TEMP_P	M1	I	温度二极管 P		2.62822
VDD	A3、A4、 C26、D1、 D6、D7、 D26、E2、 E6、E7、 E26、F2、 G30、 H28、 H30、 J26、J30、 K1、K6、 K26、 K31、 K32、L1、 L31、 L32、N2	P	数字内核电源电压		14.26561
VDDI	A5、B5、 F26、 G26、 H26、 H27、K7、 L7	P	SubLVDS 电源电压		3.72532
VRESET	B3、B26	P	微镜复位信号负偏置的电源电压		25.57603
VBIAS	A27、B4	P	微镜复位信号正偏置的电源电压		24.70004
VOFFSET	A26、C3、 L6、L26	P	HVCMOS 逻辑的电源电压，升压逻辑电平		8.73417

引脚 <sup>(2)</sup>		类型 <sup>(1)</sup>	说明	终端	布线长度 (mm)
名称	焊盘 ID				
VSS	A1、A7、 A29、 A31、 A32、B1、 B7、B29、 B31、 C28、 C29、 D31、 D32、E4、 E28、 E29、 F28、G5、 G7、H2、 H3、H5、 H7、J3、 J28、K3、 K4、K28、 L3、L28、 L29、M4、 M28、 M29、N4、 N5、N6、 N27、 N31、N32	G	接地		24.6246
N/C	N28、 N29、 N30、 L25、 K25、 J25、 H25、 G25、 F25、 E25、D25	NC	无连接引脚		无

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接  
(2) 仅电气连接 163 个引脚以用于功能用途。

## 5 规格

### 5.1 绝对最大额定值

超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

		最小值	最大值	单位
<b>电源电压</b>				
$V_{DD}$	LVC MOS 内核逻辑和 LPSDR 低速接口的电源电压 <sup>(1)</sup>	-0.5	2.3	V
$V_{DDI}$	SubLVDS 接收器的电源电压 <sup>(1)</sup>	-0.5	2.3	V
$V_{OFFSET}$	HVCMOS 和微镜电极的电源电压 <sup>(1) (2)</sup>	-0.5	11	V
$V_{BIAS}$	微镜电极的电源电压 <sup>(1)</sup>	-0.5	19	V
$V_{RESET}$	微镜电极的电源电压 <sup>(1)</sup>	-15	0.5	V
$ V_{DDI} - V_{DD} $	电源电压差值 (绝对值) <sup>(3)</sup>		0.3	V
$ V_{BIAS} - V_{OFFSET} $	电源电压差值 (绝对值) <sup>(4)</sup>		11	V
$ V_{BIAS} - V_{RESET} $	电源电压差值 (绝对值) <sup>(5)</sup>		34	V
<b>输入电压</b>				
	其他输入的输入电压 - LSIF 和 LVC MOS <sup>(1)</sup>	-0.5	$V_{DD} + 0.5$	V
	其他输入的输入电压 - SubLVDS <sup>(1) (6)</sup>	-0.5	$V_{DDI} + 0.5$	V
<b>SUBLVDS 接口</b>				
$ V_{ID} $	SubLVDS 输入差分电压 (绝对值) <sup>(1) (6)</sup>		810	mV
$I_{ID}$	SubLVDS 输入差分电流		10	mA
<b>时钟频率</b>				
$f_{clock}$	低速接口 LS_CLK 的时钟频率	100	130	MHz
<b>温度二极管</b>				
$I_{TEMP\_DIODE}$	温度二极管的最大电流量		120	μA
<b>环境</b>				
$T_{WINDOW}$ 和 $T_{ARRAY}$	工作时的温度 <sup>(7)</sup>	0	90	°C
	未工作时的温度 <sup>(7)</sup>	-40	90	°C
$ T_{DELTA} $	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值 <sup>(8)</sup>		30	°C
$T_{DP}$	工作和未工作时的露点温度 (非冷凝)		81	°C

- (1) 所有电压值均针对接地端子 ( $V_{SS}$ )。为了确保 DMD 正常运行，必须连接以下所需的电源： $V_{DD}$ 、 $V_{DDI}$ 、 $V_{OFFSET}$ 、 $V_{BIAS}$  和  $V_{RESET}$ 。同时还需要所有的  $V_{SS}$  连接。
- (2)  $V_{OFFSET}$  电源电压瞬态必须处于指定的电压范围内。
- (3) 如果超过  $V_{DDI}$  和  $V_{DD}$  之间的建议允许绝对电压差值，则可能导致电流消耗过大，以及器件永久受损。
- (4) 如果超过  $V_{BIAS}$  和  $V_{OFFSET}$  之间的建议允许绝对电压差值，则可能导致电流消耗过大，以及器件永久受损。
- (5) 如果超过  $V_{BIAS}$  和  $V_{RESET}$  之间的建议允许绝对电压差值，则可能导致电流消耗过大，以及器件永久受损。
- (6) 当差分对的每个输入处于相同的电压电势时，该最大输入电压额定值适用。Sub-LVDS 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。
- (7) 有源阵列的最高温度 (可以按照节 6.6 中的说明进行计算) 或图 6-1 中定义的窗口边沿上任意点的最高温度。图 6-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。如果特定应用导致窗口边沿上的另一个点处于较高的温度，则应使用该点。
- (8) 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置 (如图 6-1 所示) 之间的最大差值。图 6-1 中显示的窗口测试点 TP2、TP3、TP4 和 TP5 旨在产生最坏情况下的差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值，则应使用该点。

### 5.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
$T_{DMD}$	DMD 温度	-40	85	°C

## 5.2 存储条件（续）

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
$T_{DP-AVG}$	平均露点温度（非冷凝） <sup>(1)</sup>		24	°C
$T_{DP-ELR}$	高露点温度范围（非冷凝） <sup>(2)</sup>	28	36	°C
$CT_{ELR}$	高露点温度范围内的累积时间		6	月

- (1) 器件不在高露点温度范围内的随时间变化的平均温度（包括存储和运行温度）。
- (2) 在存储和运行期间，暴露于高范围内的露点温度应限制在  $CT_{ELR}$  的总累积时间以内。

## 5.3 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>	±250	V

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。



## 5.4 建议运行条件

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）。在“建议运行条件”定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于“建议运行条件”限值的条件下运行器件时，无法保证其性能。

		最小值	典型值	最大值	单位
<b>电源电压范围</b>					
VDD	LVC MOS 内核逻辑的电源电压 <sup>(1) (2)</sup> LPSDR 低速接口的电源电压 <sup>(1) (2)</sup>	1.71	1.8	1.95	V
VDDI	SubLVDS 接收器的电源电压 <sup>(1) (2)</sup>	1.71	1.8	1.95	V
VOFFSET	HVCMOS 和微镜电极的电源电压 <sup>(1) (2) (3)</sup>	9.5	10	10.5	V
VBIAS	镜电极的电源电压 <sup>(1) (2)</sup>	17.5	18	18.5	V
VRESET	微镜电极的电源电压 <sup>(1) (2)</sup>	-14.5	-14	-13.5	V
VDDI - VDD	电源电压差值（绝对值） <sup>(1) (2) (4)</sup>			0.3	V
VBIAS - VOFFSET	电源电压差值（绝对值） <sup>(1) (2) (5)</sup>			10.5	V
VBIAS - VRESET	电源电压差值（绝对值） <sup>(1) (2) (6)</sup>			33	V
<b>时钟频率</b>					
$f_{\text{clock}}$	低速接口 LS_CLK 的时钟频率 <sup>(7)</sup>	108		120	MHz
	高速接口 DCLK 的时钟频率 <sup>(8)</sup>			720	MHz
DCD <sub>IN</sub>	占空比失真	48		52	%
<b>SUBLVDS 接口</b>					
V <sub>ID</sub>	LVDS 差分输入电压幅度 <sup>(8)</sup>	150	250	350	mV
V <sub>CM</sub>	共模电压 <sup>(8)</sup>	700	900	1100	mV
V <sub>SUBLVDS</sub>	SubLVDS 电压 <sup>(8)</sup>	525		1275	mV
Z <sub>LINE</sub>	线路差分阻抗（PWB/引线）	90	100	110	Ω
Z <sub>IN</sub>	内部差分端接电阻 <sup>(10)</sup>	80	100	120	Ω
	100 Ω 差分 PCB 布线	6.35		152.4	mm
<b>环境</b>					
T <sub>ARRAY</sub>	长期工作时的阵列温度 <sup>(9) (10) (11) (12)</sup>	10		40 至 70	°C
	短期工作（最长 500 个小时）时的阵列温度 <sup>(10) (13)</sup>	0		10	°C
T <sub>Window</sub>	工作时的窗口温度 <sup>(14)</sup>			85	°C
T <sub>DELTA</sub>	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值 <sup>(15)</sup>			15	°C
T <sub>DP-AVG</sub>	平均露点温度（非冷凝） <sup>(16)</sup>			24	°C
T <sub>DP-ELR</sub>	高露点温度范围（非冷凝） <sup>(17)</sup>		28	36	°C
CT <sub>ELR</sub>	高露点温度范围内的累积时间			6	月
<b>照明</b>					
ILL <sub>UV</sub>	照明，波长 < 410nm <sup>(9)</sup>			10	mW/cm <sup>2</sup>
ILL <sub>VIS</sub>	波长 ≥ 410nm 且 ≤ 800nm 时的照明功率 <sup>(18)</sup>			20.5	W/cm <sup>2</sup>
ILL <sub>IR</sub>	照明，波长 > 800nm			10	mW/cm <sup>2</sup>
ILL <sub>BLU</sub>	波长 ≥ 410nm 且 ≤ 475nm 时的照明功率 <sup>(18)</sup>			6.5	W/cm <sup>2</sup>
ILL <sub>BLU1</sub>	波长 ≥ 410nm 且 ≤ 445nm 时的照明功率 <sup>(18)</sup>			1.2	W/cm <sup>2</sup>
ILL <sub>θ</sub>	照明边缘光线角度 <sup>(19)</sup>			55	度

- (1) 运行 DMD 需要以下所有电源：V<sub>DD</sub>、V<sub>DDI</sub>、V<sub>OFFSET</sub>、V<sub>BIAS</sub> 和 V<sub>RESET</sub>。运行 DMD 需要所有 V<sub>SS</sub> 连接。
- (2) 所有电压值均以 V<sub>SS</sub> 接地引脚为基准。
- (3) V<sub>OFFSET</sub> 电源电压瞬态必须处于指定的最大电压范围内。
- (4) 为了防止电流过大，电源电压差值 |V<sub>DDI</sub> - V<sub>DD</sub>| 必须小于指定的限值。
- (5) 为了防止电流过大，电源电压差值 |V<sub>BIAS</sub> - V<sub>OFFSET</sub>| 必须小于指定的限值。

- (6) 为了防止电流过大, 电源电压差值  $|V_{BIAS} - V_{RESET}|$  必须小于指定的限值。
- (7) LS\_CLK 必须按指定方式运行, 以确保复位波形命令的内部 DMD 时序。
- (8) 请参阅节 5.8 中的 SubLVDS 时序。
- (9) 如果 DMD 同时暴露于温度和 UV 照明的最大建议运行条件下, 则将缩短器件寿命。
- (10) 阵列温度无法直接测量, 必须通过在图 6-1 所示测试点 (TP1) 测量的温度以及封装热阻 (使用节 6.6) 进行分析计算。
- (11) 根据最大建议阵列温度 - 降额曲线, 最大工作阵列温度应根据 DMD 在终端应用中经历的微镜着陆占空比进行降额。有关微镜着陆占空比的定义, 请参阅镜着陆开/着陆关占空比。
- (12) 长期定义为器件的使用寿命。
- (13) 短期是器件使用寿命期间的总累积时间。
- (14) 窗口温度是窗口边沿上的最高温度。图 6-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。如果特定应用导致窗口边沿上的另一个点处于较高的温度, 则应使用该点。
- (15) 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置 (如图 6-1 所示) 之间的最大差值。图 6-1 中显示的窗口测试点 TP2、TP3、TP4 和 TP5 旨在产生最坏情况下的温度差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值, 则应使用该点。
- (16) 器件不在“高露点温度范围”内的随时间变化的平均值 (包括存储和运行)。
- (17) 在存储和运行期间, 暴露于高范围内的露点温度应限制在  $CT_{ELR}$  的总累积时间以内。
- (18) 入射到 DMD 上的最大允许光功率受到每个指定波长范围的最大光功率密度以及微镜阵列温度 ( $T_{ARRAY}$ ) 的限制。
- (19) 入射照明光在微镜阵列 (包括微镜池 (POM)) 中任何点处的最大边缘光线角度不应超过从法线到器件阵列平面的 55 度。器件窗口孔隙的设计不一定允许最大角度更高的入射光传递到微镜, 而且器件在超过该角度时的性能尚未经过测试或鉴定。在微镜阵列 (包括 POM) 外部超过此角度的照明光将导致本档中所述的热限制, 并可能对使用寿命产生负面影响。

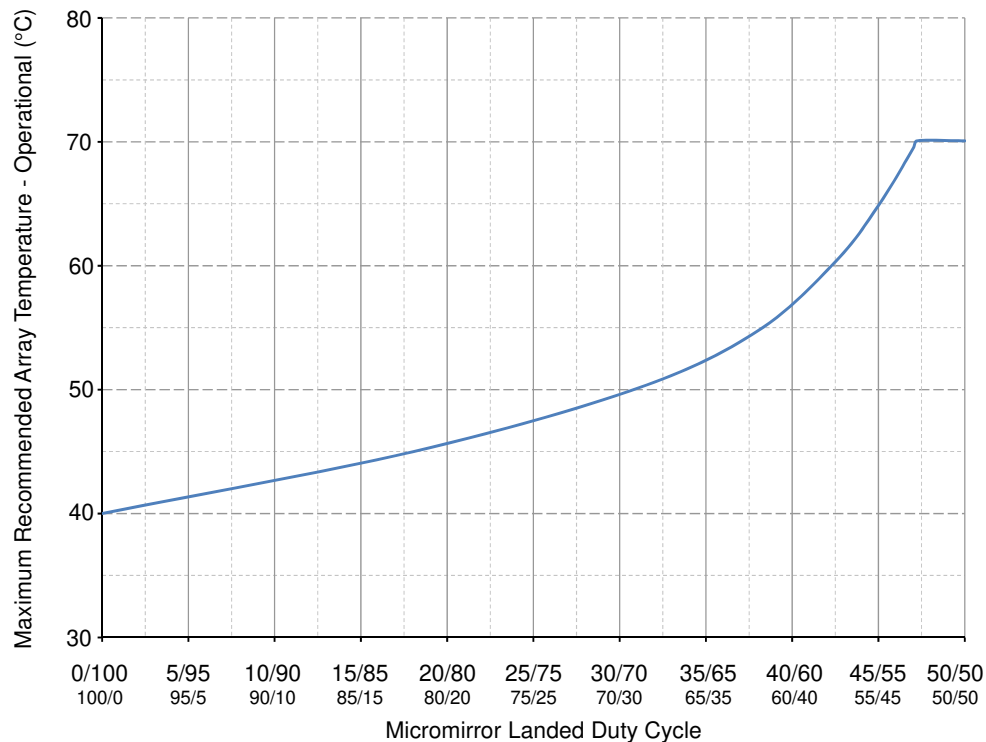


图 5-1. 最大建议阵列温度 — 降额曲线

## 5.5 热性能信息

热指标	DLP472NP	单位
	FQY	
	163 引脚	
热性能信息		
有源区域至测试点 1 (TP1) 的热阻 <sup>(1)</sup>	1.2	°C/W

- (1) 该 DMD 可以将吸收和耗散的热量传导至封装背面。冷却系统必须能够将 DMD 保持在**建议运行条件**中指定的温度范围内。该 DMD 上的总热负荷主要由工作区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。光学系统应设计为尽量减少处于窗口通光孔隙之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

## 5.6 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

参数 <sup>(7)</sup>		测试条件 <sup>(2)</sup>	最小值	典型值	最大值	单位
<b>电流</b>						
I <sub>DD</sub>	电源电流：V <sub>DD</sub> <sup>(3) (4)</sup>	典型值			140	mA
I <sub>DDI</sub>	电源电流：V <sub>DDI</sub> <sup>(3) (4)</sup>	典型值			45	mA
I <sub>OFFSET</sub>	电源电流：V <sub>OFFSET</sub> <sup>(5) (6)</sup>	典型值			6	mA
I <sub>BIAS</sub>	电源电流：V <sub>BIAS</sub> <sup>(5) (6)</sup>	典型值			.5	mA
I <sub>RESET</sub>	电源电流：V <sub>RESET</sub> <sup>(6)</sup>	典型值	-1.8			mA
<b>POWER</b>						
P <sub>DD</sub>	电源功率耗散：V <sub>DD</sub> <sup>(3) (4)</sup>	典型值			252	mW
P <sub>DDI</sub>	电源功率耗散：V <sub>DDI</sub> <sup>(3) (4)</sup>	典型值			81	mW
P <sub>OFFSET</sub>	电源功率耗散：V <sub>OFFSET</sub> <sup>(5) (6)</sup>	典型值			60	mW
P <sub>BIAS</sub>	电源功率耗散：V <sub>BIAS</sub> <sup>(5) (6)</sup>	典型值			9	mW
P <sub>RESET</sub>	电源功率耗散：V <sub>RESET</sub> <sup>(6)</sup>	典型值			25.2	mW
P <sub>TOTAL</sub>	电源功率耗散总计	典型值			427.2	mW
<b>LPSDR 输入</b>						
V <sub>IH</sub>	高电平输入电压 <sup>(8) (9)</sup>		0.7 × V <sub>DD</sub>		V <sub>DD</sub> + 0.3	x VDD
V <sub>IL</sub>	低电平输入电压 <sup>(8) (9)</sup>		-0.3		0.3 × V <sub>DD</sub>	x VDD
V <sub>IH(AC)</sub>	交流输入高电压 <sup>(8) (9)</sup>		0.8 × V <sub>DD</sub>		V <sub>DD</sub> + 0.3	x VDD
V <sub>IL(AC)</sub>	AC 输入低电压 <sup>(8) (9)</sup>		-0.3		0.2 × V <sub>DD</sub>	x VDD
V <sub>Hyst</sub>	输入磁滞 (V <sub>T+</sub> - V <sub>T-</sub> )		0.1 × V <sub>DD</sub>		0.4 × V <sub>DD</sub>	V
I <sub>IL</sub>	低电平输入电流	V <sub>DD</sub> = 1.95 V, V <sub>I</sub> = 0V	-100			nA
I <sub>IH</sub>	高电平输入电流	V <sub>DD</sub> = 1.95 V, V <sub>I</sub> = 1.95V			135	uA
<b>LPSDR 输出</b>						
V <sub>OH</sub>	直流输出高电压 <sup>(10)</sup>	I <sub>OH</sub> = -2mA	0.8 × V <sub>DD</sub>			X VDD
V <sub>OL</sub>	直流输出低电压 <sup>(10)</sup>	I <sub>OL</sub> = 2mA			0.2 × V <sub>DD</sub>	X VDD
<b>电容</b>						
C <sub>IN</sub>	输入电容 LVCMOS	F = 1MHz			10	pF
C <sub>IN</sub>	输入电容 SubLVDS	F = 1MHz			20	pF
C <sub>OUT</sub>	输出电容	F = 1MHz			10	pF

(1) 节 5.4 下的器件电气特性（除非另外注明）。

(2) 所有电压值均以接地引脚 (V<sub>SS</sub>) 为基准。

- (3) 为了防止电流过大, 电源电压差值  $|V_{DDI} - V_{DD}|$  必须小于指定的限值。
- (4) 基于非压缩命令和数据的电源功率耗散。
- (5) 为了防止电流过大, 电源电压差值  $|V_{BIAS} - V_{OFFSET}|$  必须小于指定的限值。
- (6) 200 $\mu$ s 内基于三次全局复位的电源功率耗散。
- (7) 运行 DMD 需要连接以下所有电源:  $V_{DD}$ 、 $V_{DDI}$ 、 $V_{OFFSET}$ 、 $V_{BIAS}$ 、 $V_{RESET}$ 。同时还需要所有的  $V_{SS}$  连接。
- (8) LPSDR 规格适用于引脚 LS\_CLK 和 LS\_WDATA。
- (9) 低速接口是 LPSDR, 遵循 JEDEC 标准第 209B 号“低功耗双倍数据速率 (LPDDR)” JESD209B 中的“电气特性和交流/直流工作条件”表中的规定。
- (10) LPSDR 输出规格针对引脚 LS\_RDATA\_A、LS\_RDATA\_B、LS\_RDATA\_C、LS\_RDATA\_D。

## 5.7 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

参数		测试条件	最小值	典型值	最大值	单位
$t_{PD}$	输出传播, 时钟到 Q, LS_CLK 输入的上升沿到 LS_RDATA 输出。	$C_L = 45pF$			15	ns
	压摆率, LS_RDATA		0.3			V/ns
	输出占空比失真, LS_RDATA		40		60	%

(1) 节 5.4 下的器件电气特性 (除非另外注明)。

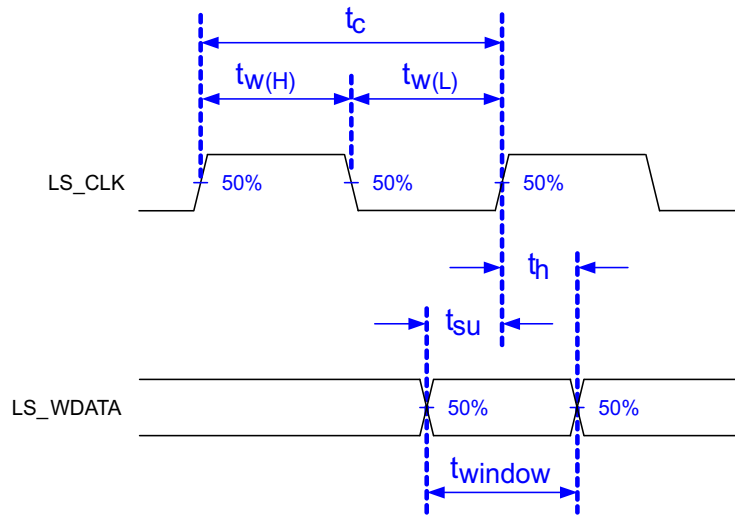
## 5.8 时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

			最小值	标称值	最大值	单位
<b>LPSDR</b>						
$t_f$	下降压摆率 <sup>(2)</sup>	$(80\% \text{ 至 } 20\%) \times V_{DD}$ <sup>(5)</sup>	0.25			V/ns
$t_c$	周期时间 LS_CLK <sup>(5)</sup>	50% 至 50% 基准点 <sup>(5)</sup>	7.7	8.3		ns
$t_r$	上升压摆率 <sup>(1)</sup>	$(30\% \text{ 至 } 80\%) \times V_{DD}$ <sup>(6)</sup>	1		3	V/ns
$t_f$	下降压摆率 <sup>(1)</sup>	$(70\% \text{ 至 } 20\%) \times V_{DD}$ <sup>(6)</sup>	1		3	V/ns
$t_r$	上升压摆率 <sup>(2)</sup>	$(20\% \text{ 至 } 80\%) \times V_{DD}$ <sup>(6)</sup>	0.25			V/ns
$t_{W(H)}$	脉冲持续时间 LS_CLK 高电平	50% 至 50% 基准点 <sup>(5)</sup>	3.1			ns
$t_{W(L)}$	脉冲持续时间 LS_CLK low	50% 至 50% 基准点 <sup>(5)</sup>	3.1			ns
$t_{WINDOW}$	窗口时间 <sup>(1) (3)</sup>	建立时间 + 保持时间 <sup>(5)</sup>	3			ns
$t_{DERATING}$	窗口时间降额 <sup>(1) (3)</sup>	低于 1 V/ns 压摆率每降低 0.25 V/ns 时 <sup>(8)</sup>		0.35		ns
$t_{su}$	建立时间	在 LS_CLK 之前 LS_WDATA 有效 <sup>(5)</sup>			1.5	ns
$t_h$	保持时间	在 LS_CLK 之后 LS_WDATA 有效 <sup>(5)</sup>			1.5	ns
<b>SubLVDS</b>						
$t_r$	上升压摆率	20% 至 80% 基准点 <sup>(7)</sup>	0.7	1		V/ns
$t_f$	下降压摆率	80% 至 20% 基准点 <sup>(7)</sup>	0.7	1		V/ns
$t_c$	周期时间 D_CLK <sup>(9)</sup>	50% 至 50% 基准点 <sup>(9)</sup>	1.35	1.39		ns
$t_{W(H)}$	脉冲持续时间 DCLK 高电平	50% 至 50% 基准点 <sup>(9)</sup>	0.7			ns
$t_{W(L)}$	脉冲持续时间 DCLK 低电平	50% 至 50% 基准点 <sup>(9)</sup>	0.7			ns
$t_{su}$	建立时间	D_CLK 之前数据有效 <sup>(9)</sup>			0.17	ns
$t_h$	保持时间	D_CLK 之后数据有效 <sup>(9)</sup>			0.17	ns
$t_{WINDOW}$	窗口时间	建立时间 + 保持时间 <sup>(9) (10)</sup>			0.25	ns
$t_{POWER}$	接收器上电 <sup>(4)</sup>				200	ns

- (1) 规范适用于 LS\_CLK 和 LS\_WDATA 引脚。请参阅 图 5-3 中的 LPSDR 输入上升和下降转换率。
- (2) 规范适用于 DMD\_DEN\_ARSTZ 引脚。请参阅 图 5-3 中的 LPSDR 输入上升和下降转换率。
- (3) 窗口时间降额示例: 0.5V/ns 压摆率会将窗口时间增加 0.7ns, 从 3ns 增加到 3.7ns。

- (4) 该规格仅适用于 SubLVDS 接收器时间，不考虑命令和命令后的延迟。
- (5) 请参阅图 5-2。
- (6) 请参阅图 5-3。
- (7) 请参阅图 5-4。
- (8) 请参阅图 5-5。
- (9) 请参阅图 5-6。
- (10) 请参阅图 5-7。



低速接口是 LPSDR，遵循 JEDEC 标准第 209B 号低功耗双倍数据速率 (LPDDR) JESD209B 中的“电气特性和交流/直流工作条件”表中的规定。

图 5-2. LPSDR 开关参数

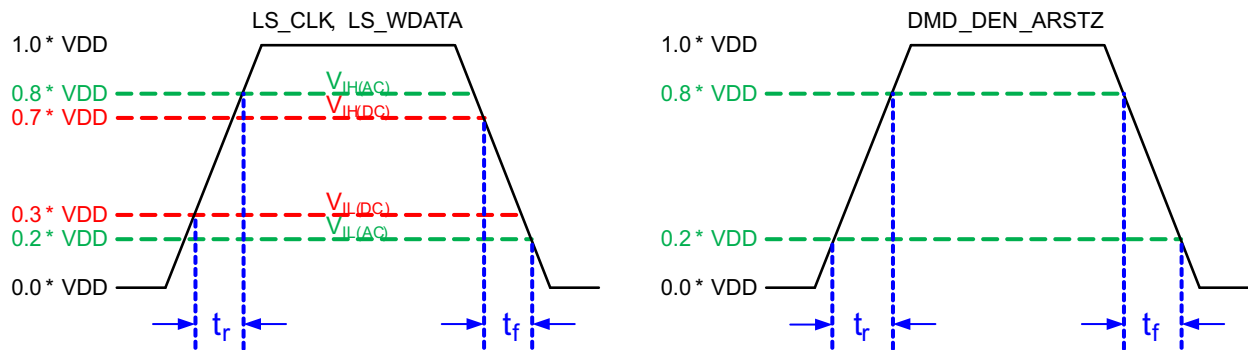


图 5-3. LPSDR 输入上升和下降压摆率

Not to Scale

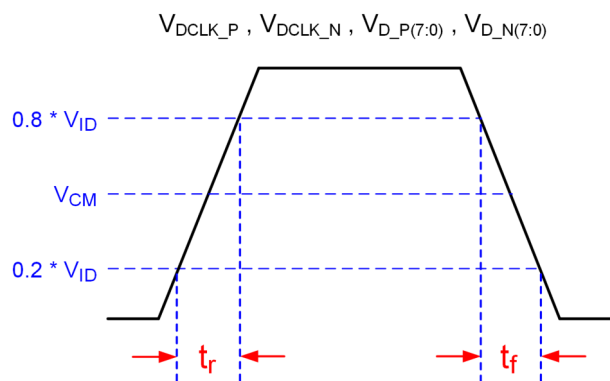


图 5-4. SubLVDS 输入上升和下降压摆率

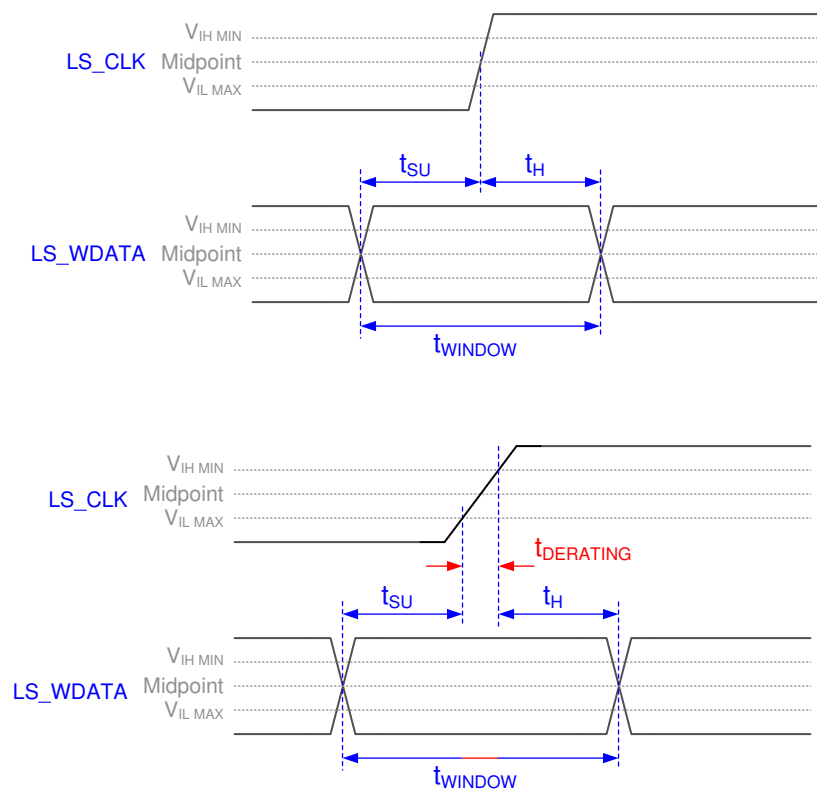


图 5-5. 窗口时间降级概念

Not to Scale

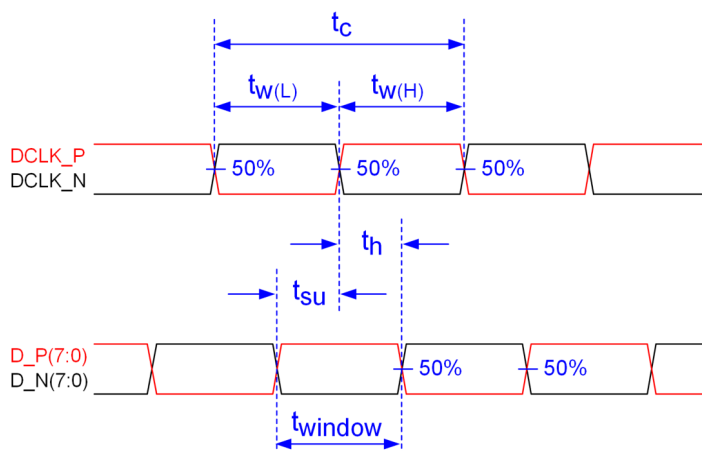
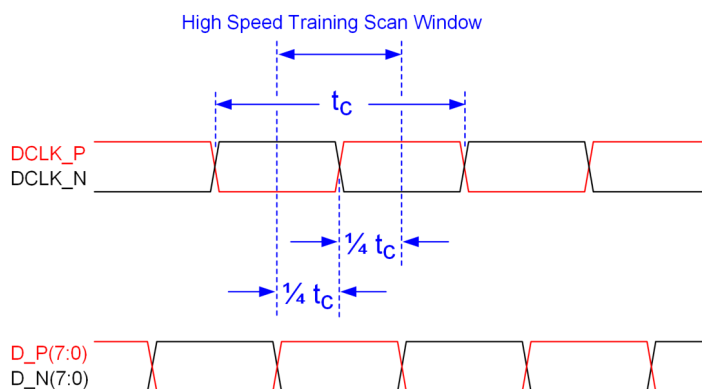


图 5-6. SubLVDS 开关参数



注意：有关详细信息，请参阅节 5.8。

图 5-7. 高速训练扫描窗口

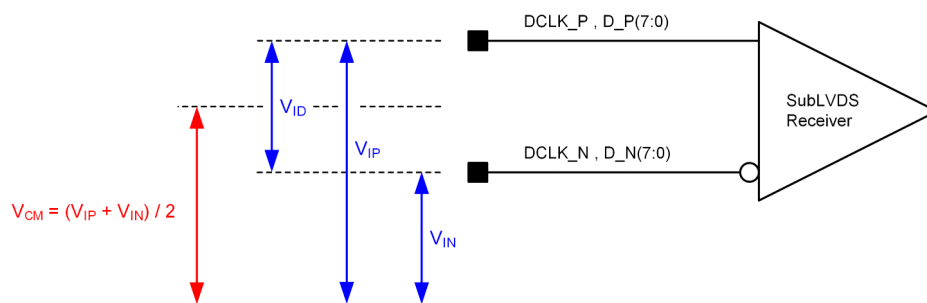


图 5-8. SubLVDS 电压参数

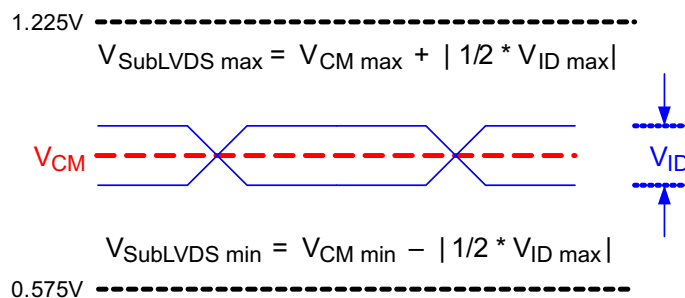


图 5-9. SubLVDS 波形参数

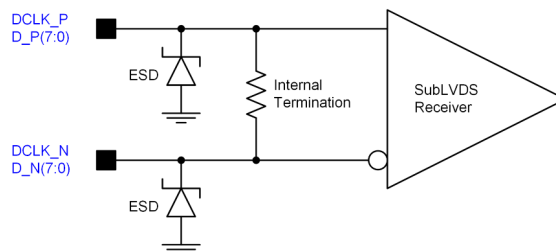


图 5-10. SubLVDS 等效输入电路

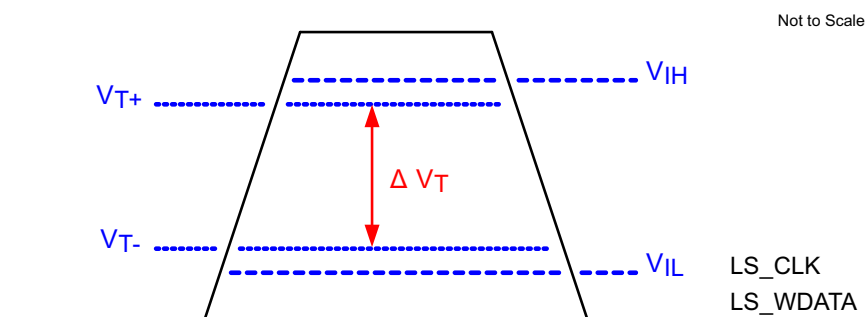


图 5-11. LPSDR 输入迟滞

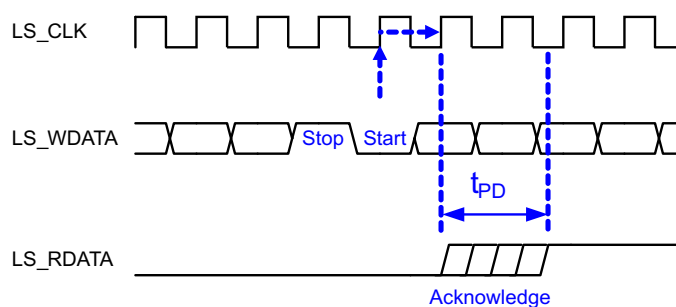
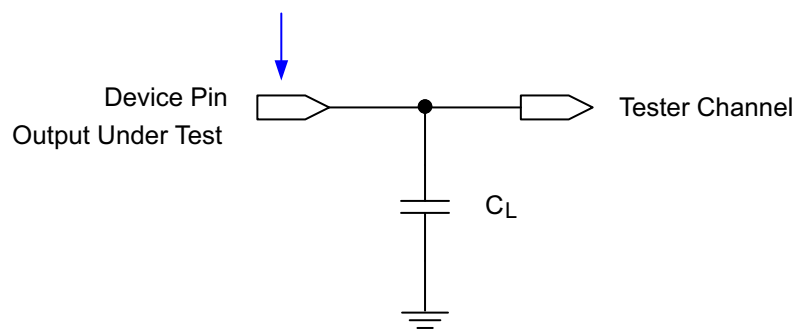


图 5-12. LPSDR 读取



Data Sheet Timing Reference Point



有关更多信息，请参阅节 5.6。

图 5-13. 输出传播测量的测试负载电路

### 5.9 系统安装接口负载

参数	条件	最小值	标称值	最大值	单位
散热接口区域	每个区域内均匀分布的最大负载 <sup>(1)</sup>			73.5	N
电气接口区域	每个区域内均匀分布的最大负载 <sup>(1)</sup>			150	

(1) 请参阅图 5-14。

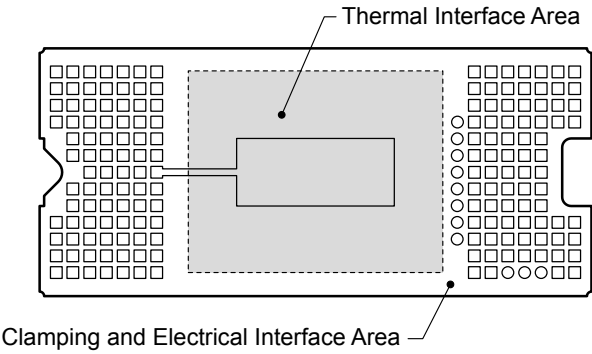


图 5-14. 系统安装接口负载

### 5.10 微镜阵列物理特性

参数说明		值	单位
有源列数 <sup>(1)</sup>	M	1920	微镜
有源行数 <sup>(1)</sup>	N	1080	微镜
微镜（像素）间距 <sup>(1)</sup>	P	5.4	μm
微镜有源阵列宽度 <sup>(1)</sup>	微镜间距 × 有源列数	10.368	mm
微镜有源阵列高度 <sup>(1)</sup>	微镜间距 × 有源行数	5.832	mm
微镜有源边框 <sup>(2)</sup>	微镜池 (POM)	20	微镜数/侧

(1) 请参阅图 5-15。

(2) 有源阵列周围边框的结构和质量包括一条称为微镜池 (POM) 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

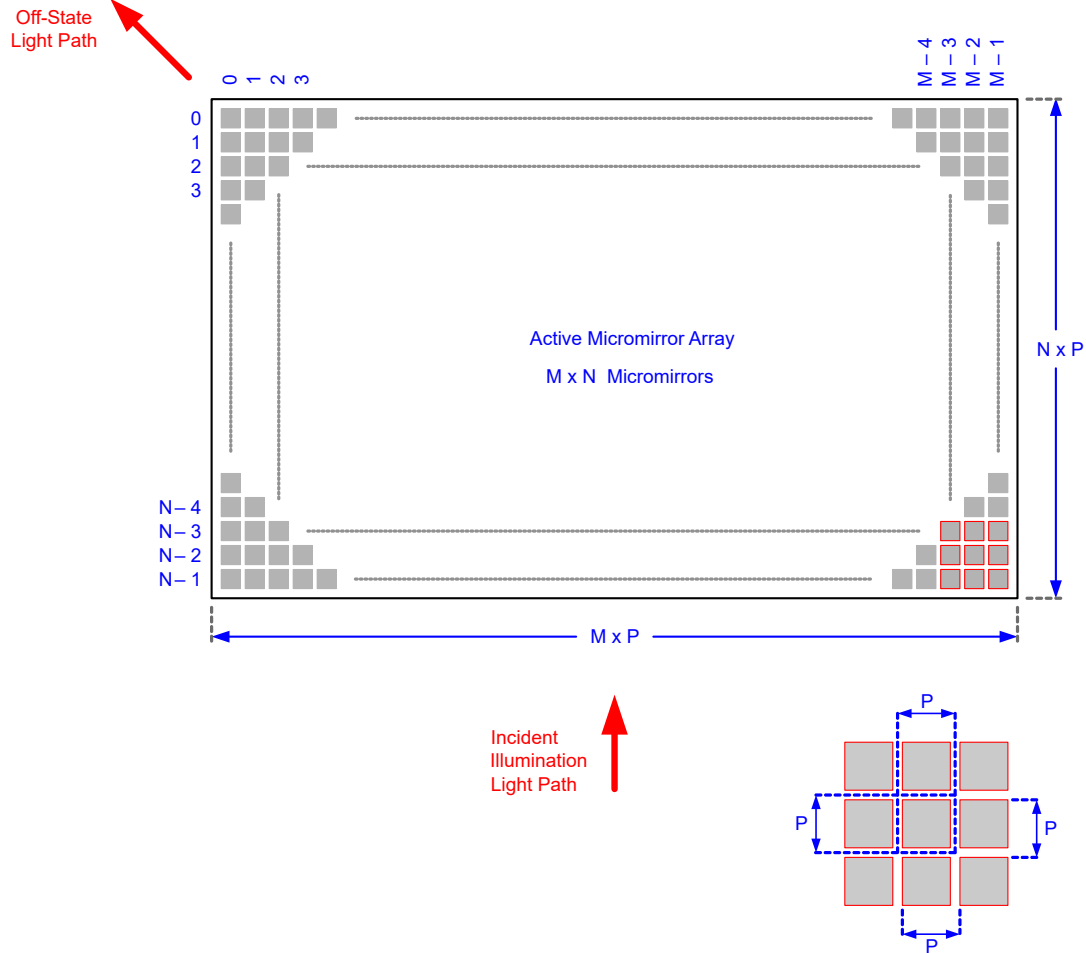


图 5-15. 微镜阵列物理特性

## 5.11 微镜阵列光学特性

参数		测试条件	最小值	典型值	最大值	单位
微镜倾斜角		着陆状态 <sup>(1)</sup>		17		°
微镜倾斜角容差 <sup>(2) (3) (4) (5)</sup>			-1.4		1.4	°
微镜倾斜方向 <sup>(6) (7)</sup>		着陆开状态		270		°
微镜倾斜方向 <sup>(6) (7)</sup>		着陆关状态		180		°
微镜交叉时间 <sup>(8)</sup>		典型性能		1	3	μs
微镜开关时间 <sup>(9)</sup>		典型性能	6			
图像性能 <sup>(10)</sup>	工作区域中的亮像素 <sup>(11)</sup>	灰度 10 屏幕 <sup>(12)</sup>			0	微镜
	POM 中的亮像素 <sup>(13)</sup>	灰度 10 屏幕 <sup>(12)</sup>			1	
	工作区域中的暗像素 <sup>(14)</sup>	白色屏幕			4	
	相邻像素 <sup>(15)</sup>	任何屏幕			0	
	工作区域中的不稳定像素 <sup>(16)</sup>	任何屏幕			0	

- (1) 相对于整个微镜阵列形成的平面进行测量。  
(2) 微镜阵列和封装基准之间存在额外差异。  
(3) 表示着陆倾斜角相对于标称着陆倾斜角的变化。  
(4) 表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。

- (5) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
- (6) 当微镜阵列着陆（未停放）时，每个单独微镜的倾斜方向由与每个单独微镜相关联的 CMOS 存储单元的二进制内容决定。二进制值 1 使微镜在打开状态方向上着陆。二进制值 0 使微镜在关闭状态方向上着陆。请参阅微镜着陆方向和倾斜图 5-16。
- (7) 如典型极坐标系中所示测量微镜倾斜方向：从与 +X 笛卡尔坐标轴对齐的 0° 基准点开始逆时针测量。
- (8) 微镜标称从一个着陆状态转换到相反着陆状态所需的时间。
- (9) 微镜连续转换之间的最短时间。
- (10) 验收条件：使用以下投影图像测试条件评估所有 DMD 图像质量返回值：
  - 测试设置去伽玛校正应该是线性的
  - 测试设置亮度和对比度应设置为标称值
  - 投影图像的对角线尺寸应至少为 20 英寸
  - 投影屏幕应具有 1 倍的增益
  - 应以至少 38 英寸的观看距离查看投影图像
  - 在所有图像质量测试期间，图像必须处于焦点位置。
- (11) 亮度像素定义：卡在打开位置、明显比周围像素亮的单个像素或微镜
- (12) 灰度 10 屏幕定义：屏幕的所有区域均采用以下设置进行着色：
  - 红色 = 10/255
  - 绿色 = 10/255
  - 蓝色 = 10/255
- (13) POM 定义：工作区域周围处于关闭状态的微镜的矩形边框
- (14) 暗像素定义：卡在关闭位置、明显比周围像素暗的单个像素或微镜
- (15) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素，也称为集群
- (16) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁

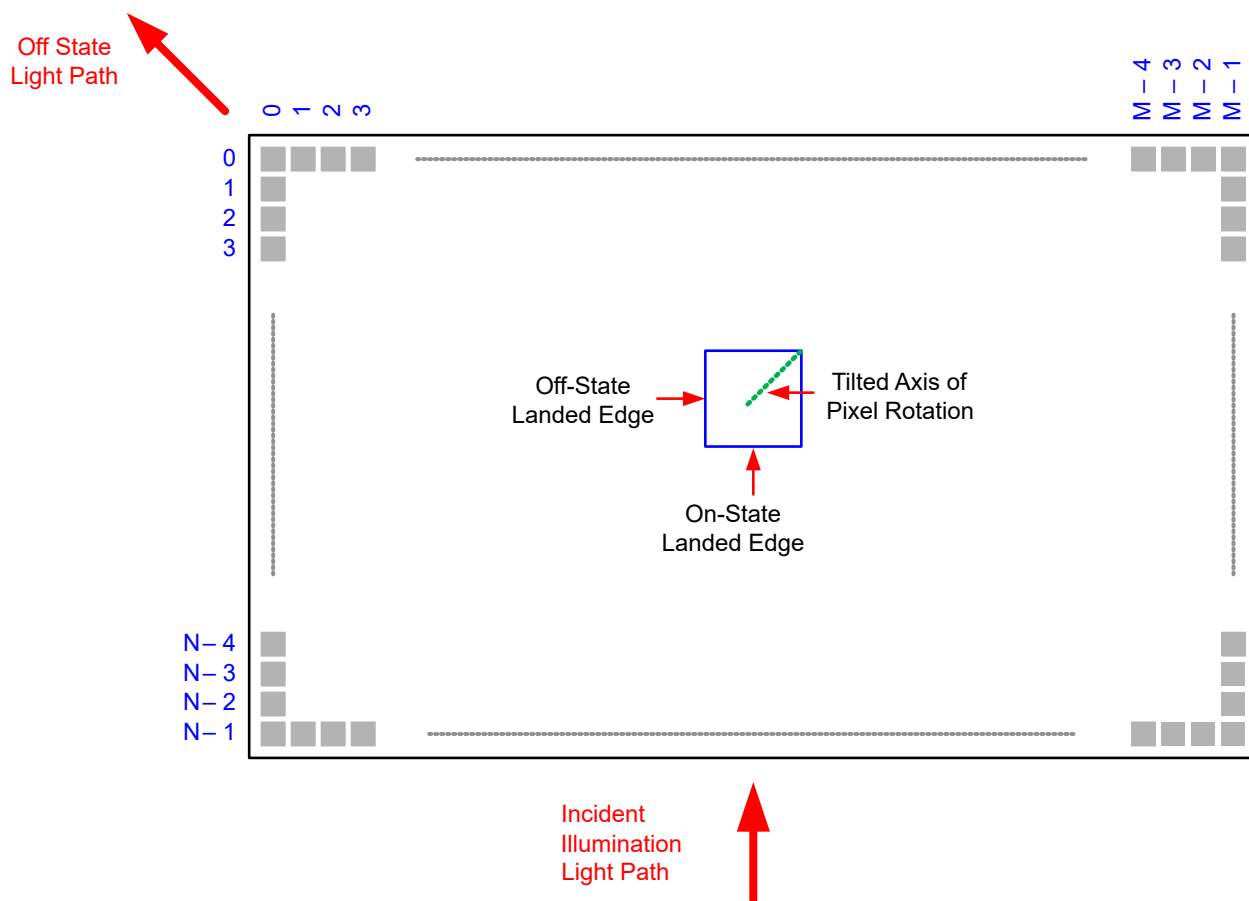


图 5-16. 微镜着陆方向和倾斜

## 5.12 窗口特性

说明 <sup>(1)</sup>		最小值	典型值	最大值
窗口材料		Corning Eagle XG		
窗口折射率	波长 546.1nm	1.5119		
窗口孔隙 <sup>(2)</sup>		请参阅 <sup>(2)</sup> 。		
照明溢出 <sup>(3)</sup>		请参阅 <sup>(3)</sup> 。		
窗口透射率，单通， 两个表面，玻璃	波长范围 420nm 至 680nm 内的最小值。适用于所有 0° 至 30° AOI。 <sup>(4)</sup>	97%		
	波长范围 420nm 至 680nm 内的平均值。适用于所有 30° 至 45° AOI。 <sup>(4)</sup>	97%		

- (1) 请参阅 节 6.5
- (2) 有关窗口孔隙尺寸和位置的详细信息，请参阅封装机械特性。
- (3) DMD 器件的工作区域被窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 器件组件的结构。该孔隙的大小可以预测多种光学条件。照亮有源阵列外部区域的溢出光会产生散射，并对使用 DMD 的终端应用的性能产生不利影响。照明光学系统的设计应将具有源阵列外部入射的光通量限制在工作区域中平均通量水平的 10% 以下。根据特定系统的光学架构和组装公差，有源阵列外部的溢出光量可能会导致系统性能下降。
- (4) 入射角 (AOI) 是入射光线与反射或折射表面的法线之间的角度。

## 5.13 芯片组元件使用规格

DLP472NP DMD 需要与适用 DLP 芯片组的其他元件（包括那些包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠运行。TI DMD 控制技术包含用于操作或控制 DLP DMD 的 TI 技术和器件。

### 备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

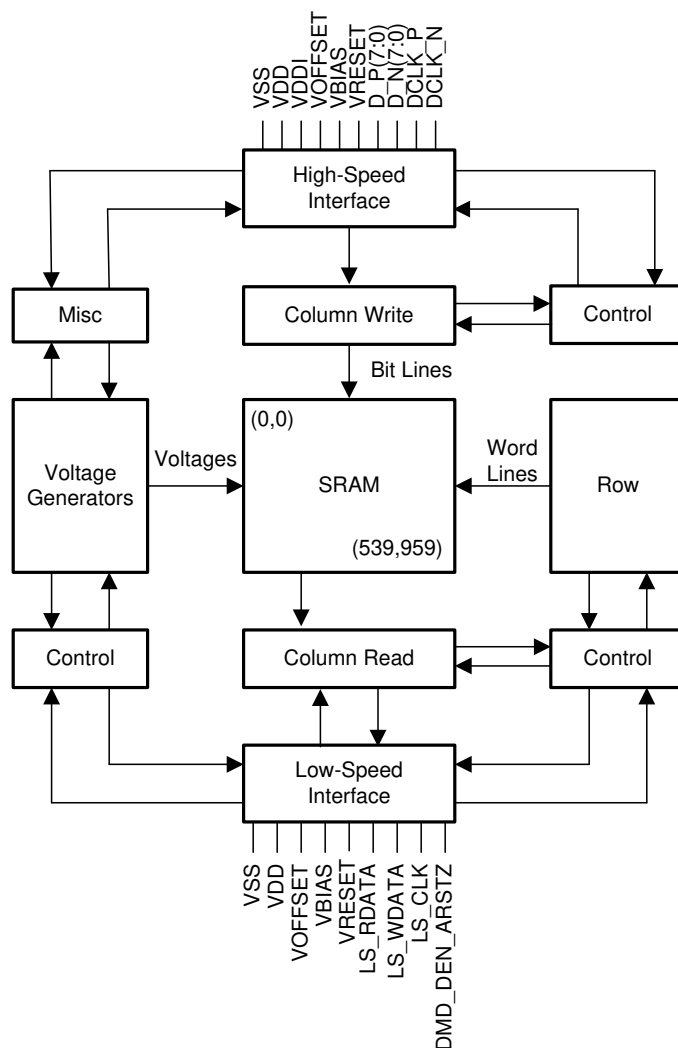
## 6 详细说明

### 6.1 概述

DLP472NP DMD 是一款 0.47 英寸对角线空间光调制器，其中包含一个高反射铝微镜阵列。该 DMD 是一个电子输入、光学输出的微光机电系统 (MOEMS)。电气接口为低压差分信号 (LVDS)。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅[功能方框图](#)。通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

DLP 0.47 英寸 1080p FHD 芯片组由 DLP472NP DMD、DLPC8444 显示控制器以及 DLPA3085 或 DLPA3082 PMIC 驱动器组成。为了确保可靠运行，DLP472NP DMD 必须始终与芯片组中指定的 DLP 显示控制器以及 PMIC 搭配使用。

### 6.2 功能方框图



## 6.3 特性说明

### 6.3.1 电源接口

该 DMD 需要 4 个直流电压：1.8V 源电压、 $V_{\text{OFFSET}}$ 、 $V_{\text{RESET}}$  和  $V_{\text{BIAS}}$ 。在典型的基于 LED 的系统中，1.8V、 $V_{\text{OFFSET}}$ 、 $V_{\text{RESET}}$  和  $V_{\text{BIAS}}$  由 DLPA3085 或 DLPA3082 PMIC 和 LED 驱动器进行管理。

### 6.3.2 LPSDR 低速接口

低速接口处理配置 DMD 和控制复位操作的指示。LS\_CLK 是低速时钟，LS\_WDATA 是低速数据输入。

### 6.3.3 高速接口

高速接口的目的是快速高效地传输像素数据，并利用高速 DDR 传输和压缩技术来节省功耗和时间。高速接口包含用于输入的差分 SubLVDS 接收器，它具有专用时钟。

### 6.3.4 时序

此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。图 5-13 展示了被测输出的等效测试负载电路。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。系统设计人员应使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。所述负载电容值仅用于表征和测量交流时序信号。该负载电容值并不表示器件能够驱动的最大负载。

## 6.4 器件功能模式

DMD 功能模式由 DLPC8444 显示控制器控制。请参阅 DLPC8444 显示控制器数据表或联系 TI 应用工程师。

## 6.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

### 6.5.1 数字光圈和杂散光控制

DMD 光学区域的照明和投影光学元件的数值孔径所定义的角度应该相同。除非在照明和投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不得超过标称器件微镜倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大两度以上（反之亦然），则显示器边框和有源区域中可能会出现对比度下降和不良的伪影。

### 6.5.2 光瞳匹配

TI 的光学和图像质量规格假定，照明光学元件的出射光瞳标称中心位于投影光学元件入射光瞳的  $2^\circ$  范围内。光瞳失准会在显示边框和工作区域中产生不良伪影，这可能需要额外的系统孔隙来控制，尤其是在系统的数值孔隙超过像素倾斜角的情况下。

### 6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙从正常角度遮挡了 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。应当将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过工作区域中平均通量水平的约 10%。根据特定系统的光学架构，溢出光可能必须进一步减少到建议的 10% 水平以下才能被接受。

## 6.6 微镜阵列温度计算

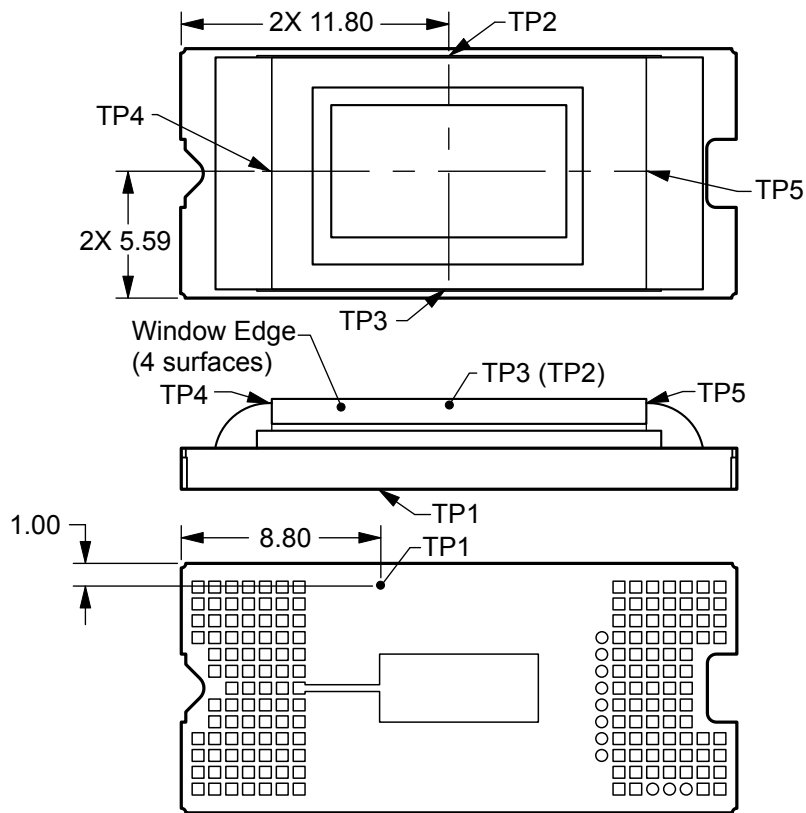


图 6-1. DMD 热测试点



微镜阵列温度无法直接测量，因此必须根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式提供了阵列温度与基准陶瓷温度 ( 图 6-1 中的热测试 TC1/TP1 ) 之间的关系：

$$T_{\text{ARRAY}} = T_{\text{CERAMIC}} + (Q_{\text{ARRAY}} \times R_{\text{ARRAY-TO-CERAMIC}})$$

$$Q_{\text{ARRAY}} = Q_{\text{ELECTRICAL}} + Q_{\text{ILLUMINATION}}$$

其中

- $T_{\text{ARRAY}}$  = Computed array temperature (°C)
- $T_{\text{CERAMIC}}$  = Measured ceramic temperature (°C) (TP1 location)
- $R_{\text{ARRAY-TO-CERAMIC}}$  = Thermal resistance of package specified in 图 6-1 from array to ceramic TP1 (°C/Watt)
- $Q_{\text{ARRAY}}$  = Total DMD power on the array (W) (electrical + absorbed)
- $Q_{\text{ELECTRICAL}}$  = Nominal electrical power (W)
- $Q_{\text{INCIDENT}}$  = Incident illumination optical power (W)
- $Q_{\text{ILLUMINATION}}$  = (DMD average thermal absorptivity  $\times$   $Q_{\text{INCIDENT}}$ ) (W)
- DMD average thermal absorptivity = 0.4

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率耗散为 1.0 瓦。从光源吸收的功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。它假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$$Q_{\text{INCIDENT}} = 9.4\text{W (measured)}$$

$$T_{\text{CERAMIC}} = 55.0^{\circ}\text{C (measured)}$$

$$Q_{\text{ELECTRICAL}} = 1.0\text{W}$$

$$Q_{\text{ARRAY}} = 1.0\text{W} + (0.40 \times 9.4\text{W}) = 4.76\text{W}$$

$$T_{\text{ARRAY}} = 55.0^{\circ}\text{C} + (4.76\text{ W} \times 1.2^{\circ}\text{C/W}) = 60.7^{\circ}\text{C}$$

## 6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{\text{UV}} = [OP_{\text{UV-RATIO}} \times Q_{\text{INCIDENT}}] \times 1000 \text{ (mW/W)} \div A_{\text{ILL}} \text{ (mW/cm}^2\text{)}$
- $ILL_{\text{VIS}} = [OP_{\text{VIS-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $ILL_{\text{IR}} = [OP_{\text{IR-RATIO}} \times Q_{\text{INCIDENT}}] \times 1000 \text{ (mW/W)} \div A_{\text{ILL}} \text{ (mW/cm}^2\text{)}$
- $ILL_{\text{BLU}} = [OP_{\text{BLU-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $ILL_{\text{BLU1}} = [OP_{\text{BLU1-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $A_{\text{ILL}} = A_{\text{ARRAY}} \div (1 - OV_{\text{ILL}}) \text{ (cm}^2\text{)}$

其中：

- $ILL_{UV}$  = DMD 上的 UV 照明功率密度 ( $mW/cm^2$ )
- $ILL_{VIS}$  = DMD 上的 VIS 照明功率密度 ( $W/cm^2$ )
- $ILL_{IR}$  = DMD 上的 IR 照明功率密度 ( $mW/cm^2$ )
- $ILL_{BLU}$  = DMD 上的 BLU 照明功率密度 ( $W/cm^2$ )
- $ILL_{BLU1}$  = DMD 上的 BLU1 照明功率密度 ( $W/cm^2$ )
- $A_{ILL}$  = DMD 上的照明面积 ( $cm^2$ )
- $Q_{INCIDENT}$  = DMD 上的总入射光功率 (W) ( 测量值 )
- $A_{ARRAY}$  = 阵列面积 ( $cm^2$ ) ( 数据表 )
- $OV_{ILL}$  = 阵列外部 DMD 上总照度的百分比 (%) ( 光学模型 )
- $OP_{UV-RATIO}$  = 波长  $<410nm$  的光功率与照明光谱中总光功率的比率 ( 光谱测量 )
- $OP_{VIS-RATIO}$  = 波长  $\geq 410nm$  且  $\leq 800nm$  的光功率与照明光谱中总光功率的比率 ( 光谱测量 )
- $OP_{IR-RATIO}$  = 波长  $>800nm$  的光功率与照明光谱中总光功率的比率 ( 光谱测量 )
- $OP_{BLU-RATIO}$  = 波长  $\geq 410nm$  且  $\leq 475nm$  的光功率与照明光谱中总光功率的比率 ( 光谱测量 )
- $OP_{BLU1-RATIO}$  = 波长  $\geq 410nm$  且  $\leq 445nm$  的光功率与照明光谱中总光功率的比率 ( 光谱测量 )

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 ( $OV_{ILL}$ ) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 ( $A_{ILL}$ )。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例：

$$Q_{INCIDENT} = 9.40W \text{ (measured)}$$

$$A_{ARRAY} = ((10.368mm \times 5.832mm) \div 100cm^2/mm^2) = 0.6047cm^2 \text{ (data sheet)}$$

$$OV_{ILL} = 16.3\% \text{ (optical model)}$$

$$OP_{UV-RATIO} = 0.00021 \text{ (spectral measurement)}$$

$$OP_{VIS-RATIO} = 0.99977 \text{ (spectral measurement)}$$

$$OP_{IR-RATIO} = 0.00002 \text{ (spectral measurement)}$$

$$OP_{BLU-RATIO} = 0.28100 \text{ (spectral measurement)}$$

$$OP_{BLU1-RATIO} = 0.03200 \text{ (spectral measurement)}$$

$$A_{ILL} = 0.6047cm^2 \div (1 - 0.163) = 0.7224cm^2$$

$$ILL_{UV} = [0.00021 \times 9.40W] \times 1000mW/W \div 0.7224cm^2 = 2.732mW/cm^2$$

$$ILL_{VIS} = [0.99977 \times 9.40W] \div 0.7224cm^2 = 13.01mW/cm^2$$

$$ILL_{IR} = [0.00002 \times 9.40W] \times 1000mW/W \div 0.7224cm^2 = 0.260mW/cm^2$$

$$ILL_{BLU} = [0.28100 \times 9.40W] \div 0.7224cm^2 = 3.66mW/cm^2$$

$$ILL_{BLU1} = [0.03200 \times 9.40W] \div 0.7224cm^2 = 0.42mW/cm^2$$

## 6.8 微镜着陆打开/着陆关闭占空比

### 6.8.1 微镜着陆开/着陆关占空比的定义

微镜着陆开/着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态（在 50% 的时间内处于关闭状态）。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

### 6.8.2 DMD 的着陆占空比和使用寿命

了解（终端产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

### 6.8.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比会相互作用，从而影响 DMD 的使用寿命，我们可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这是在图 5-1 显示的降额曲线中进行了量化。该曲线的重要性在于：

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命（离曲线越远，使用寿命越短）。
- 该曲线下方的所有点均表示较长的使用寿命（离曲线越远，使用寿命越长）。

该曲线指定了 DMD 在给定的长期平均着陆占空比下应该运行的最高 DMD 工作温度。

### 6.8.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素将在该时间段内在 100/0 着陆占空比下运行。同样，当显示纯黑色时，像素在 0/100 着陆占空比下运行。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如表 6-1 中所示。

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10

表 6-1. 灰度值和着陆占空比（续）

灰度值	着陆占空比
100%	100/0

要考虑色彩再现（但仍忽略图像处理），需要了解给定像素的每种构成原色（红色、绿色和/或蓝色）的颜色强度（0% 至 100%）以及每种原色的颜色周期时间，其中“颜色周期时间”是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

使用 [方程式 1](#) 计算给定时间段内给定像素的着陆占空比。

$$\text{Landed Duty Cycle} = (\text{Red\_Cycle\_}\% \times \text{Red\_Scale\_Value}) + (\text{Green\_Cycle\_}\% \times \text{Green\_Scale\_Value}) + (\text{Blue\_Cycle\_}\% \times \text{Blue\_Scale\_Value}) \quad (1)$$

其中

- Red\_Cycle\_% 表示显示红色以达到所需白点的帧时间百分比
- Green\_Cycle\_% 表示显示绿色以达到所需白点的帧时间百分比
- Blue\_Cycle\_% 表示显示蓝色以达到所需白点的帧时间百分比

例如，假设红色、绿色和蓝色周期时间分别为 30%、50% 和 20%（以实现所需的白点），那么各种红色、绿色和蓝色强度组合的着陆占空比如 [表 6-2](#) 和 [表 6-3](#) 所示。

表 6-2. 全色的着陆占空比示例，颜色百分比

周期百分比		
绿色	蓝光	红色
50%	20%	30%

表 6-3. 全色的着陆占空比示例

标度值			着陆占空比
绿色	蓝光	红色	
0%	0%	0%	0/100
100%	0%	0%	50/50
0%	100%	0%	20/80
0%	0%	100%	30/70
12%	0%	0%	6/94
0%	35%	0%	7/93
0%	0%	60%	18/82
100%	100%	0%	70/30
0%	100%	100%	50/50
100%	0%	100%	80/20
12%	35%	0%	13/87
0%	35%	60%	25/75
12%	0%	60%	24/76
100%	100%	100%	100/0

在估算着陆占空比时要考虑的最后一个因素是应用的图像处理。在控制器内，伽马函数会影响着陆占空比。

伽马函数是  $\text{Output\_Level} = A \times \text{Input\_Level}^{\text{Gamma}}$  形式的幂函数，其中 A 是一个比例因子，通常设置为 1。

在控制器中，伽马以逐像素的方式应用于传入的图像数据。典型的伽马因子为 2.2，可转换输入的数据，如 [图 6-2](#) 所示。

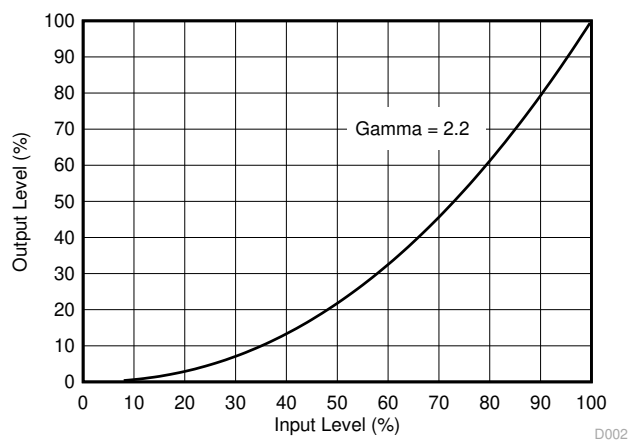


图 6-2. 伽马 = 2.2 的示例

如图 6-2 所示，如果给定输入像素的灰度值为 40%（应用伽马之前），则应用伽马之后灰度值为 13%。因此，可以看出，伽马会直接影响像素的显示灰度水平，所以也会直接影响像素的着陆占空比。

还必须考虑在控制器之前进行的图像处理。

## 7 应用和实施

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 7.1 应用信息

DMD 是空间光调制器，可将来自光源的入射光反射到两个方向之一，主要方向是进入投影光学元件或收集光学元件。每个应用主要源自系统的光学架构和进入 DLPC8444 控制器的数据格式。底部照明式 DMD 中的高倾斜度像素可提高亮度性能，并为厚度受限的应用实现更小的系统尺寸。使用 DLP472NP 的典型应用包括移动智能电视和数字标牌。

DMD 上电和断电时序由 DLPA3085 或 DLPA3082 严格控制。如需了解上电和断电规格，请参阅节 8。为了确保可靠运行，DLP472NP DMD 必须始终与 DLPC8444 控制器和 DLPA3085 或 DLPA3082 PMIC 配合使用。

### 7.2 典型应用

DLP472NP DMD 与 DLPC8444 数字控制器和电源管理器件相结合，可为明亮、多彩的显示应用提供全面 1080p FHD 分辨率。请参阅图 7-1，其中显示了所需的系统元件以及 DLP 0.47 英寸 1080p FHD 芯片组的 LED 配置。这些元件包括 DLP472NP DMD、DLPC8444 显示控制器和 DLPA3085 或 DLPA3082 PMIC 和 LED 驱动器。

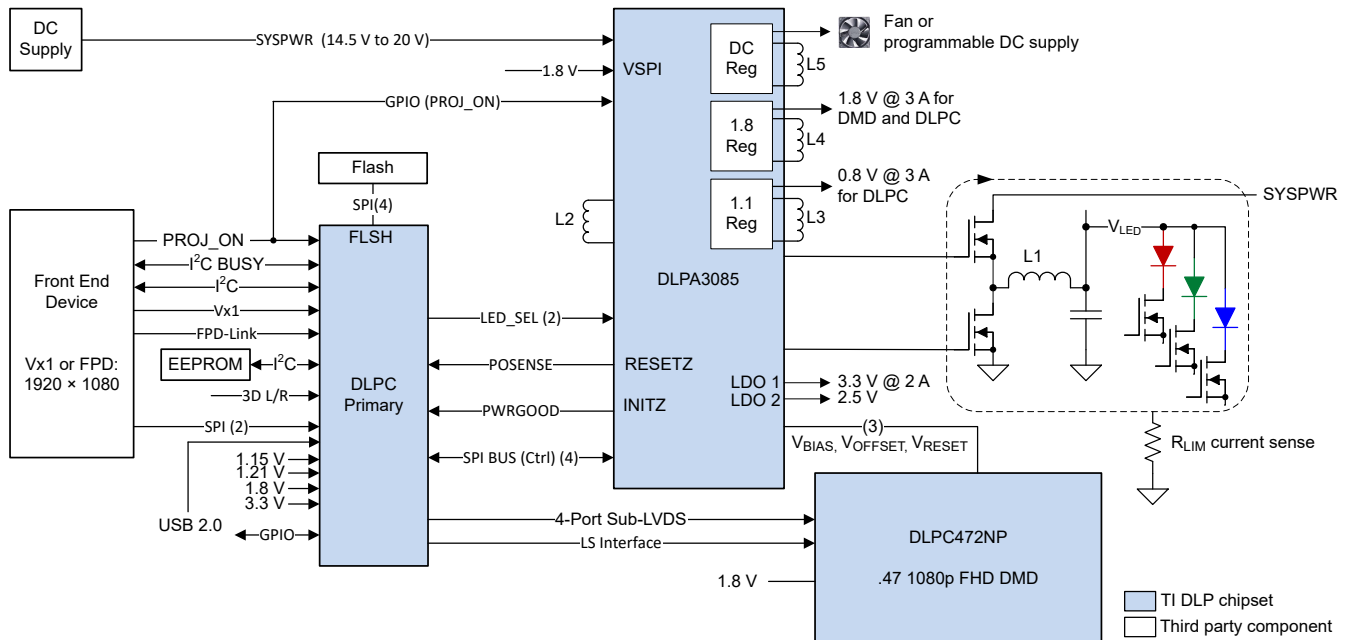


图 7-1. 典型 1080p F 高清 LED 应用图

#### 7.2.1 设计要求

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。使用的照明类型和所需的亮度会对整个系统设计和尺寸产生重大影响。

显示系统使用 DLP472NP 作为核心成像器件，并包含一个 0.47 英寸微镜阵列。DLPC8444 控制器是 DMD 与系统其余部分之间的数字接口，从前端接收器获取数字输入，并通过高速接口驱动 DMD。DLPA3085 或 DLPA3082 PMIC 用作 DMD、控制器和 LED 照明功能的稳压器。

### 7.2.2 详细设计过程

对于完整的 DLP 系统，需要包含 DLP472NP DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

为了确保可靠运行，该 DMD 必须始终与 DLPC8444 显示控制器和 DLPA3085 或 DLPA3082 PMIC 驱动器搭配使用。

### 7.2.3 应用曲线

使用 LED 照明时的典型 LED 电流与亮度关系如图 7-2 所示。

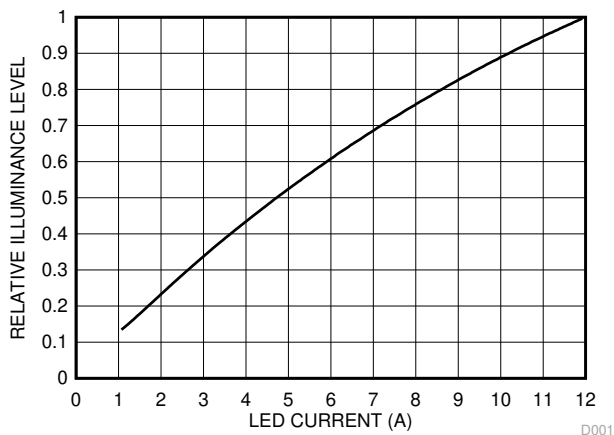


图 7-2. 亮度与电流之间的关系

## 7.3 温度传感器二极管

软件应用程序具有用于配置 TMP411 以读取 DLP472NP DMD 温度传感器二极管数据的功能。可以使用这些数据在整体系统设计中整合额外的功能，例如调节照明、风扇速度等。TMP411 与 DLPC8444 控制器之间的所有通信均通过 I<sup>2</sup>C 接口进行。TMP411 通过节 4 中列出的引脚连接至 DMD。

## 8 电源相关建议

运行 DMD 需要以下所有电源：

- $V_{SS}$
- $V_{BIAS}$
- $V_{DD}$
- $V_{DDI}$
- $V_{OFFSET}$
- $V_{RESET}$

DMD 上电和断电时序由 DLP 显示控制器严格控制。

### 小心

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和断电要求，则可能会影响器件的可靠性。请参阅图 8-1 中的 DMD 电源时序要求。

在上电和断电操作期间， $V_{BIAS}$ 、 $V_{DD}$ 、 $V_{DDI}$ 、 $V_{OFFSET}$  和  $V_{RESET}$  电源必须进行协调。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。另外还必须连接公共接地  $V_{SS}$ 。

表 8-1. 电源时序要求

符号	参数	说明	最小值	典型值	最大值	单位
$t_{DELAY}$	延迟要求	从 $V_{OFFSET}$ 上电到 $V_{BIAS}$ 上电	2			ms
$V_{OFFSET}$	电源电压电平	在上电序列延迟开始时 <sup>(1)</sup>			6	V
$V_{BIAS}$	电源电压电平	在上电序列延迟结束时 <sup>(1)</sup>			6	V

(1) 请参阅图 8-1 “上电序列延迟要求”。

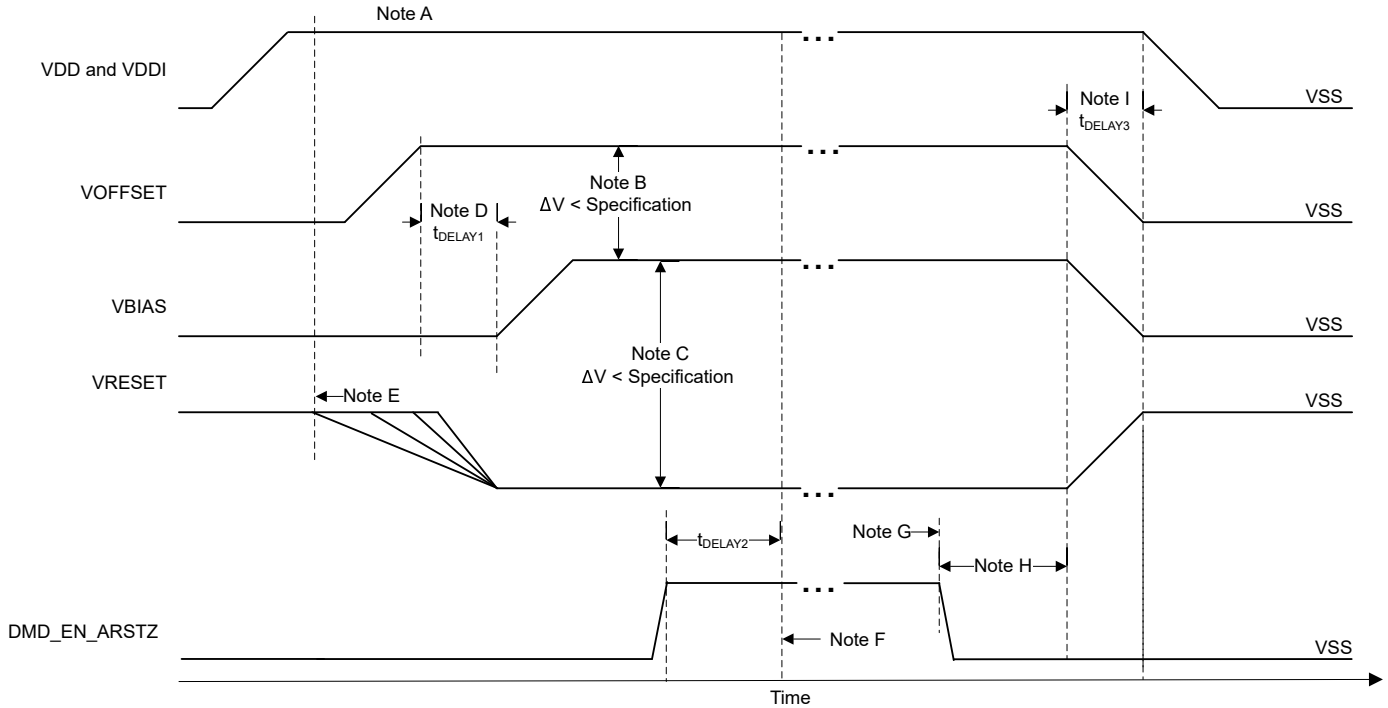
### 8.1 DMD 电源上电过程

- 在上电期间， $V_{DD}$  和  $V_{DDI}$  必须始终在 DMD 上施加  $V_{OFFSET}$ （加上表 8-2 中指定的 Delay1）、 $V_{BIAS}$  和  $V_{RESET}$  电压之前启动并稳定。
- 在上电期间，严格要求  $V_{BIAS}$  和  $V_{OFFSET}$  之间的电压差值必须处于节 5.4 中所示的指定限值范围内。
- 在上电期间，针对  $V_{RESET}$  相对于  $V_{BIAS}$  的时序没有要求。
- 上电期间的电源压摆率是灵活的，前提是瞬态电压电平符合节 5.1、节 5.4 和图 8-1 中规定的要求。
- 上电期间，只有在  $V_{DD}$  稳定至节 5.4 中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

### 8.2 DMD 电源断电过程

- 在断电期间，必须提供  $V_{DD}$  和  $V_{DDI}$ ，直到  $V_{BIAS}$ 、 $V_{RESET}$  和  $V_{OFFSET}$  放电至指定的接地限制范围内。请参阅表 8-2。
- 在断电期间，严格要求  $V_{BIAS}$  和  $V_{OFFSET}$  之间的电压差值必须处于节 5.4 中所示的指定限值范围内。
- 在断电期间，针对  $V_{RESET}$  相对于  $V_{BIAS}$  的时序没有要求。
- 断电期间的电源压摆率是灵活的，前提是瞬态电压电平符合节 5.1、节 5.4 和图 8-1 中规定的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于节 5.4 中指定的值。





- A. 如需引脚功能表, 请参阅节 4。
- B. 为了防止电流过大, 电源电压差值  $|V_{\text{OFFSET}} - V_{\text{BIAS}}|$  必须小于节 5.4 中指定的限值。
- C. 为了防止电流过大, 电源电压差值  $|V_{\text{BIAS}} - V_{\text{RESET}}|$  必须小于节 5.4 中指定的限值。
- D. 根据表 8-2 中的 Delay1 规范,  $V_{\text{BIAS}}$  应该在  $V_{\text{OFFSET}}$  上电后上电。
- E. DLP 控制器软件启动全局  $V_{\text{BIAS}}$  命令。
- F. DMD 微镜停放序列完成后, DLP 控制器软件启动硬件断电, 从而激活 DMD\_EN\_ARSTZ 并禁用  $V_{\text{BIAS}}$ 、 $V_{\text{RESET}}$  和  $V_{\text{OFFSET}}$ 。
- G. 在断电情况下, DLP 控制器硬件执行紧急 DMD 微镜停放程序, DMD\_EN\_ARSTZ 变为低电平。
- H. 根据表 8-2 中的 Delay2 规格,  $V_{\text{DD}}$  必须保持高电平, 直到  $V_{\text{OFFSET}}$ 、 $V_{\text{BIAS}}$  和  $V_{\text{RESET}}$  变为低电平。
- I. 为了防止电流过大, 电源电压差值  $|V_{\text{DDI}} - V_{\text{DD}}|$  必须小于节 5.4 中指定的限值。

图 8-1. DMD 电源要求

表 8-2. DMD 电源要求

参数	说明	最小值	标称值	最大值	单位
Delay1 <sup>(1)</sup>	从 $V_{\text{OFFSET}}$ 稳定至建议工作电压到 $V_{\text{BIAS}}$ 和 $V_{\text{RESET}}$ 上电的延迟。	1	2		ms
Delay2 <sup>(1)</sup>	$V_{\text{OFFSET}}$ 、 $V_{\text{BIAS}}$ 和 $V_{\text{RESET}}$ 上电后 $V_{\text{DD}}$ 必须保持高电平的延迟。	50			μs

(1) 请参阅图 8-1。

## 9 布局

### 9.1 布局指南

DLP472NP DMD 使用中介层连接到 PCB 或柔性电路。对于长度匹配和阻抗的其他布局指南，请参阅 DLPC8444 控制器数据表。有关详细的布局示例，请参阅布局设计文件。路由到 DLP472NP DMD 的一些布局指南包括：

- 匹配 DLPC8444 控制器数据表中指定的 LS\_WDATA 和 LS\_CLK 信号的长度。
- 匹配 DLPC8444 控制器数据表中指定的 HS\_bus 差分信号的长度。
- 尽可能减少过孔、层变更和用于 HS 总线信号的转数。请参阅图 9-1。
- 电源电容需求可能因设计而异。如需通用指南，请参阅布局设计文件。需要在设计上验证电源，以确保所有电源都在 DMD 的建议工作范围内运行。

## 9.2 布局示例

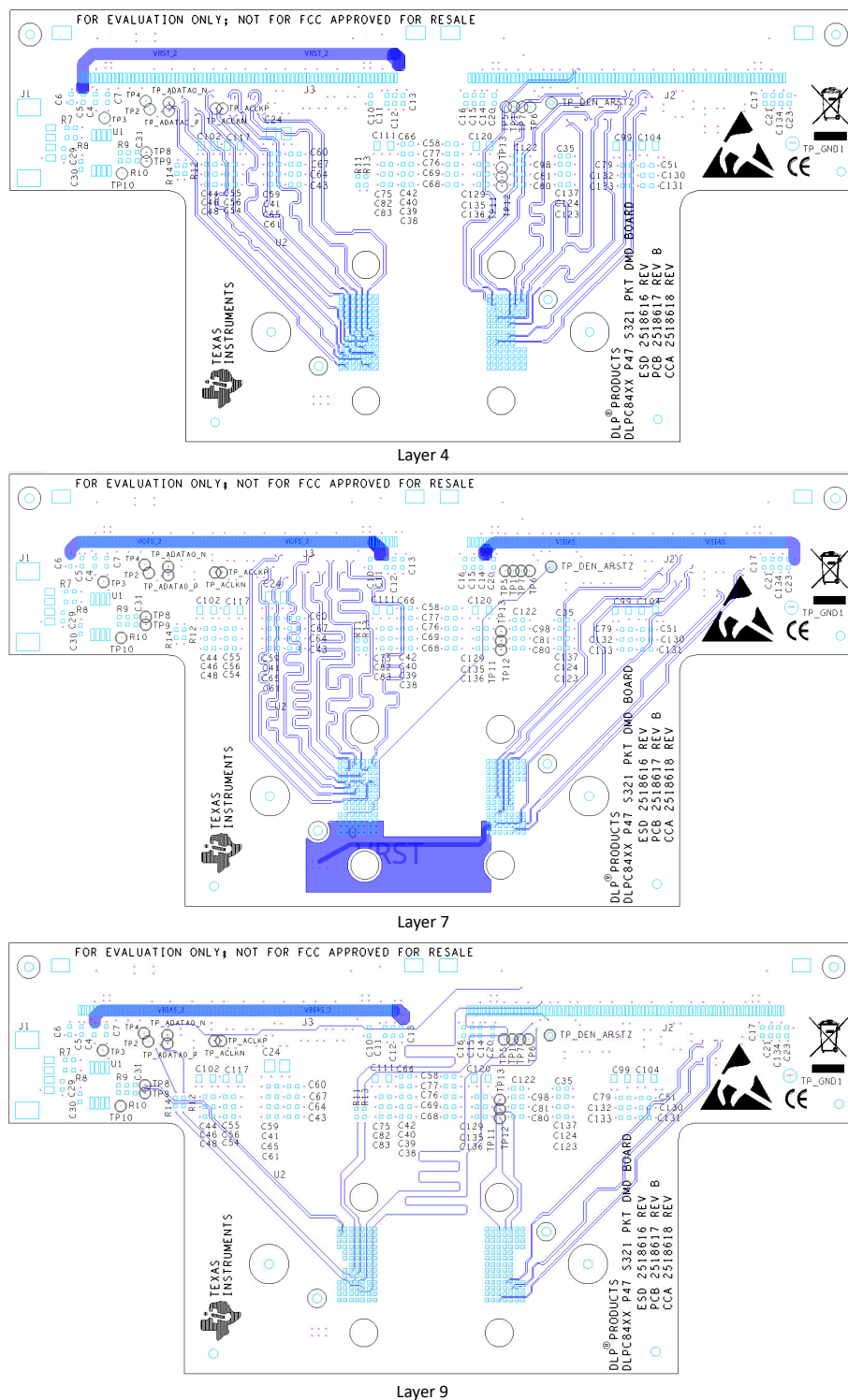


图 9-1. 布线示例

## 10 器件和文档支持

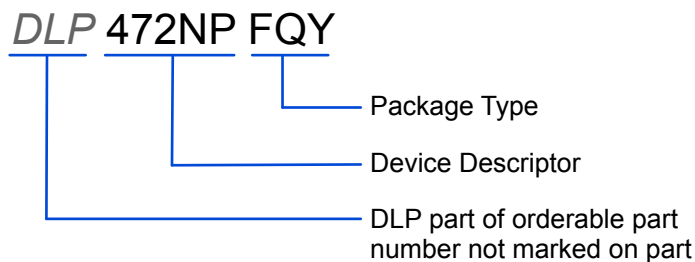
### 10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

### 10.2 器件支持

#### 10.2.1 器件命名规则

图 10-1. 器件型号说明

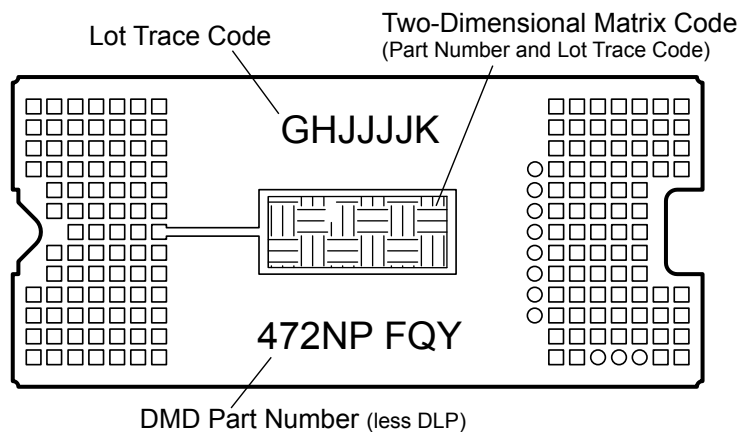


#### 10.2.2 器件标识

器件标识包括人类可读的信息和二维矩阵码。图 10-2 说明了可供人类读取的信息，其中包括 GHJJJK 472NPFQY 这一清晰可辨的字符串。GHJJJK 是批次追踪代码，472NPFQY 则是器件标识。

示例：GHJJJK DLP472NPFQY

图 10-2. DMD 标识位置



## 10.3 文档支持

### 10.3.1 相关文档

以下文档包含与该 DMD 一起使用的芯片组元件相关的更多信息。

- [DLPC84x4 高分辨率控制器](#)
- [DLPA3085 PMIC 和高电流 LED 驱动器 IC 数据表](#)
- [DLPA3082 PMIC IC 数据表](#)

## 10.4 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 10.5 商标

DLP® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

## 10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 10.7 术语表

[TI 术语表](#)      本术语表列出并解释了术语、首字母缩略词和定义。

## 11 修订历史记录

日期	修订版本	注释
August 2025	*	初始发行版

## 12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP472NPFQY	Active	Production	CLGA (FQY)   174	80   JEDEC TRAY (5+1)	In-Work	NIAU	N/A for Pkg Type	0 to 70	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

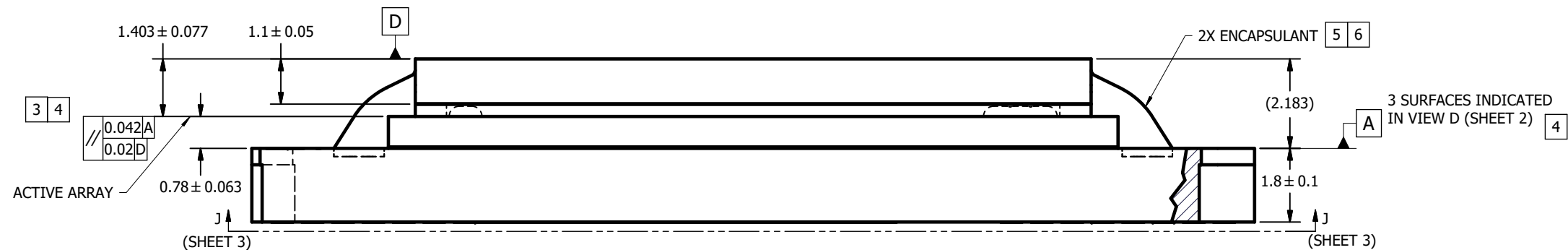
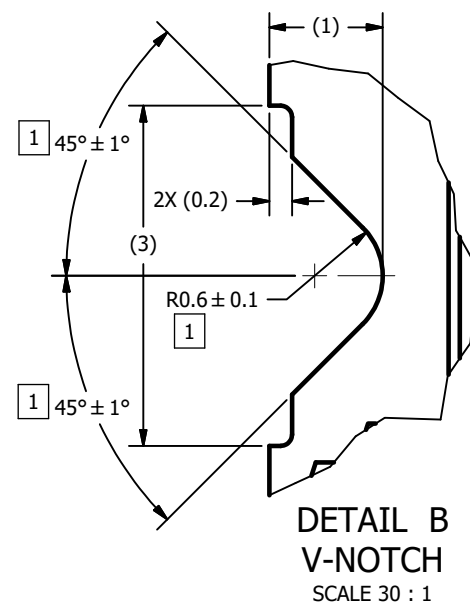
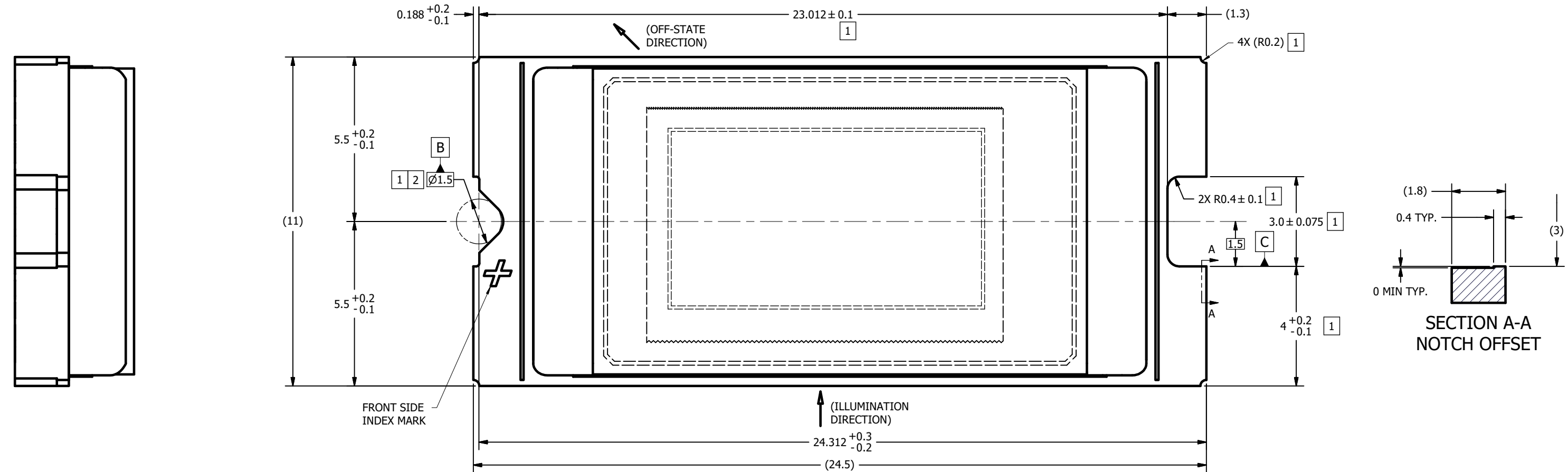
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

NOTES UNLESS OTHERWISE SPECIFIED:

- |   |  |
|---|--|
| 1 | NOTCH DIMENSIONS ARE DEFINED BY UPPERMOST LAYERS OF CERAMIC, AS SHOWN IN SECTION A-A.  |
| 2 | SEE DETAIL B FOR "V-NOTCH" DIMENSIONS.   |
| 3 | DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY.  |
| 4 | WHILE ONLY THE THREE DATUM A TARGET AREAS A1, A2, AND A3 ARE USED FOR MEASUREMENT, ALL 4 CORNERS SHOULD BE CONTACTED, INCLUDING E1, TO SUPPORT MECHANICAL LOADS. |
| 5 | ENCAPSULANT TO BE CONTAINED WITHIN DIMENSIONS SHOWN IN VIEW D (SHEET 2). NO ENCAPSULANT IS ALLOWED ON TOP OF THE WINDOW.   |
| 6 | ENCAPSULANT NOT TO EXCEED THE HEIGHT OF THE WINDOW.  |
| 7 | ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.6 DEGREES.                                     |
| 8 | BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE ARRAY.   |

© COPYRIGHT 2022 TEXAS INSTRUMENTS  
UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS			
REV	DESCRIPTION	DATE	BY
A	ECO 2202674: INITIAL RELEASE	12/22/22	HG



UNLESS OTHERWISE SPECIFIED

- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES:

ANGLES  $\pm 1^\circ$

2 PLACE DECIMALS  $\pm 0.25$

1 PLACE DECIMALS  $\pm 0.50$

~~DIMENSIONAL LIMITS APPLY BEFORE PROCESSING~~

- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M-1994
- REMOVE ALL BURRS AND SHARP EDGES
- PARENTHELTICAL INFORMATION FOR REFERENCE ONLY

DRAWN	DATE
H. GAGLIARDI	1/22/2023
ENGINEER	
H. GAGLIARDI	12/22/2022
Q/A/CE	
P. KONRAD	12/27/2022
CM	
B. HASKETT	12/22/2022
J. MCKINLEY	12/22/2022
APPROVED	
M. GARCIA	1/3/2023



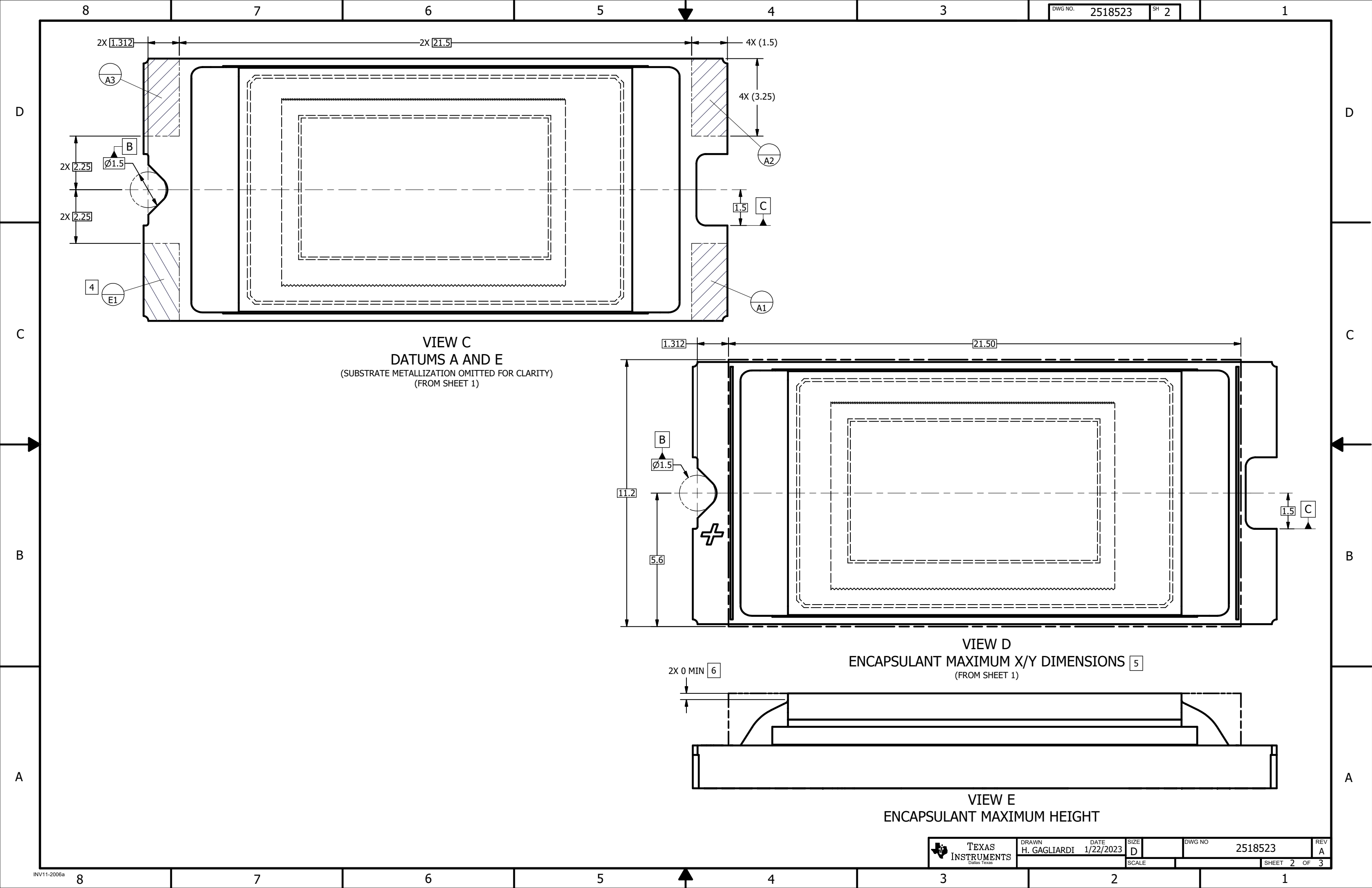
TEXAS  
INSTRUMENTS  
Dallas Texas

TITLE	ICD, MECHANICAL, DMD, .47 4K PKT-LVDS3 SERIES 321, (FQY PACKAGE)
-------	--

SIZE D	DWG NO 2518523	REV A
SCALE 15:1	SHEET 1 OF 3	

INV11-2006a




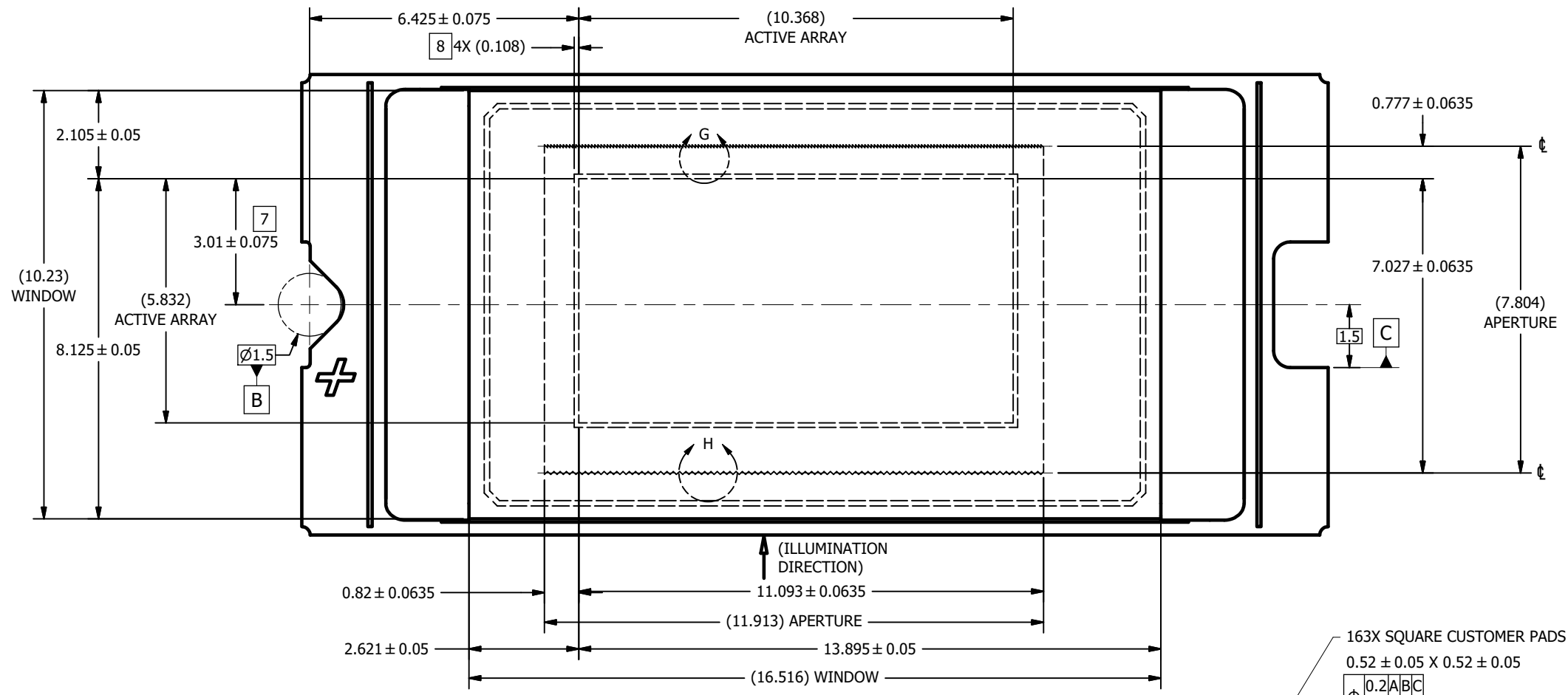


VIEW C  
DATUMS A AND E  
(SUBSTRATE METALLIZATION OMITTED FOR CLARITY)  
(FROM SHEET 1)

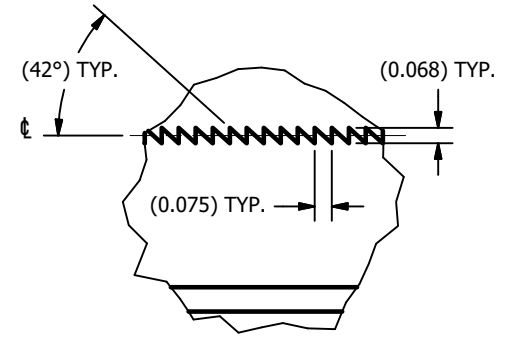
VIEW D  
ENCAPSULANT MAXIMUM X/Y DIMENSIONS  
(FROM SHEET 1)

VIEW E  
ENCAPSULANT MAXIMUM HEIGHT

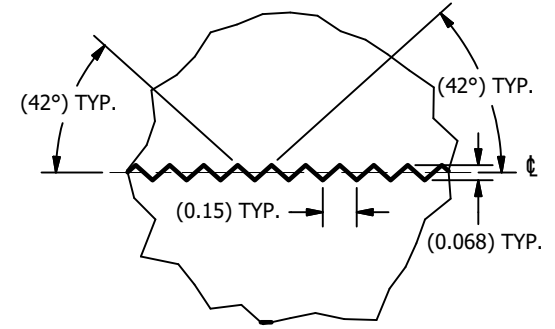
	DRAWN H. GAGLIARDI		DATE 1/22/2023	SIZE D	DWG NO 2518523			REV A
				SCALE		SHEET 2 OF 3		



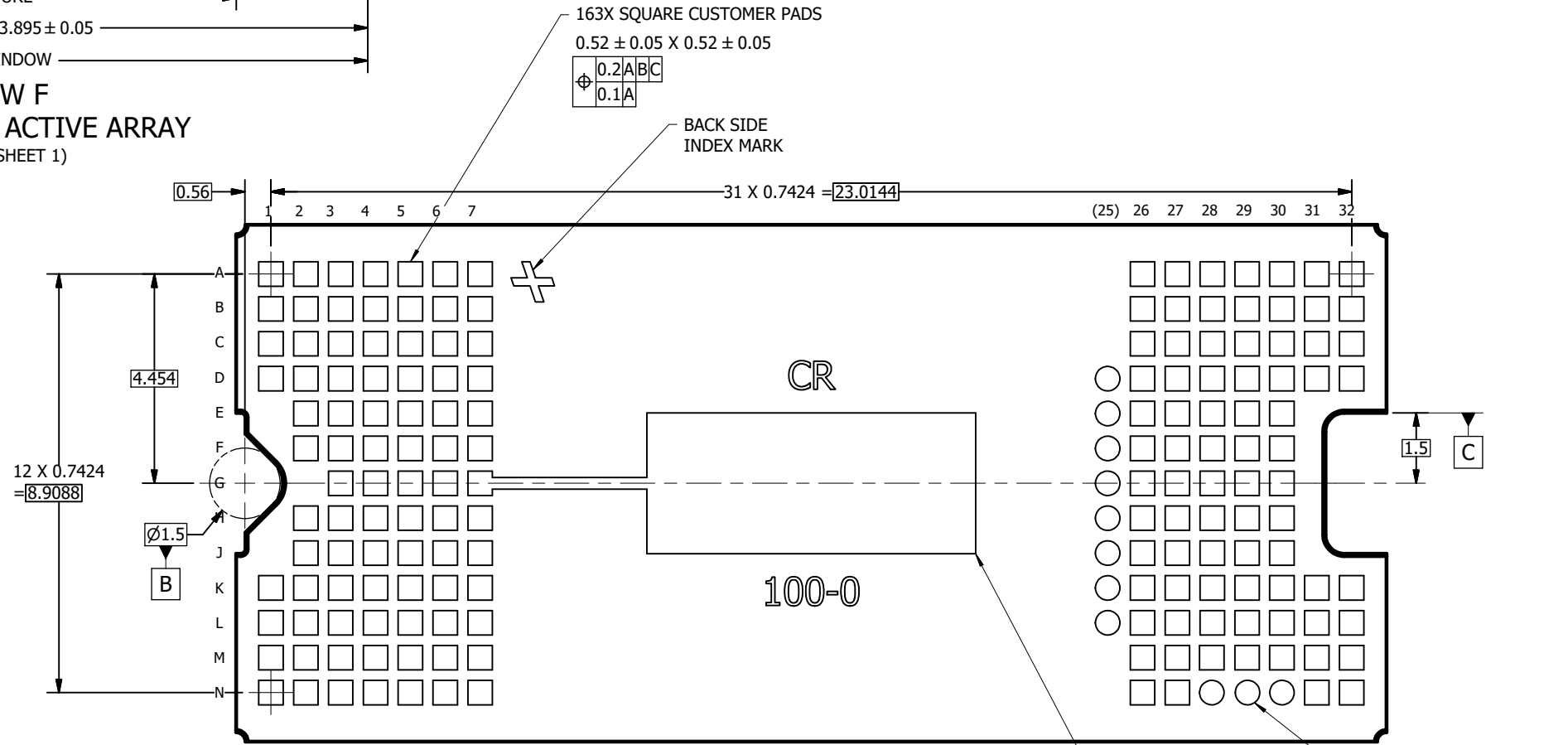
VIEW F  
WINDOW AND ACTIVE ARRAY  
(FROM SHEET 1)



DETAIL G  
APERTURE TOP EDGE  
SCALE 60 : 1



DETAIL H  
APERTURE BOTTOM EDGE  
SCALE 60 : 1



VIEW J-J  
BACK SIDE METALLIZATION  
(FROM SHEET 1)

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月