

具有 2.5V, 2ppm/°C 内部基准的 16 位, 四通道, 超低毛刺脉冲, 电压输出数模转换器

查询样品: [DAC8564](#)

特性

- 相对精度: **4LSB**
- 毛刺脉冲能量: **0.15nV-s**
- 内部基准:
 - **2.5V** 基准电压 (缺省情况下被启用)
 - **0.004%** 初始精度 (典型值)
 - **2ppm/°C** 温度漂移 (典型值)
 - **5ppm/°C** 温度漂移 (最大值)
 - **20mA** 吸收电流/源电流能力
- 加电复位至零量程
- 超低功耗运行: **5V** 时为 **1mA**
- 宽电源范围: **+2.7V** 至 **+5.5V**
- 温度范围内 **16** 位单片
- 稳定时间: **10μs** 达到 **±0.003%** 满量程范围 (FSR)
- 具有施密特触发输入的低功耗串口: 高达 **50MHz**
- 支持轨至轨运行的片上输出缓冲放大器
- **1.8V** 至 **5.5V** 逻辑兼容性
- 温度范围: **-40°C** 至 **+105°C**

应用范围

- 便携式仪表
- 闭环伺服器控制
- 过程控制, PLC
- 数据采集系统
- 可编程衰减
- PC 外设

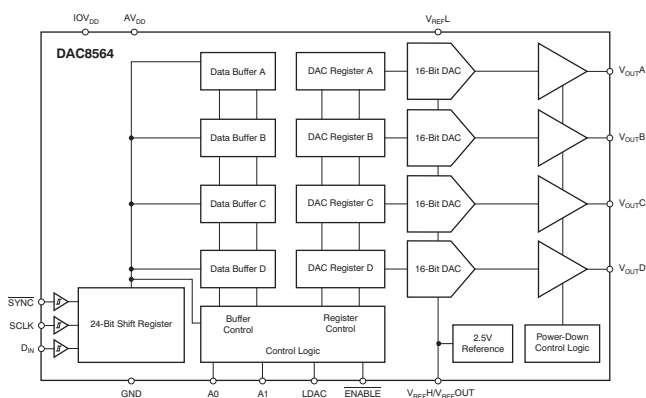
相关器件	16 位	14 位	12 位
引脚和功能兼容	DAC8564	DAC8164	DAC7564
功能兼容	DAC8565	DAC8165	DAC7565

说明

DAC8564 是一款低功耗, 电压输出, 四通道, 16 位数模转换器 (DAC)。DAC8564 包括一个 2.5V, 2ppm/°C 内部基准 (缺省情况下启用), 从而提供一个 2.5V 的满量程输出电压范围。此内部基准有一个 0.004% 的初始精度并且可在 V_{REFH}/V_{REFL} 输出引脚上提供高达 20mA 的电流。此器件是单片器件, 提供极佳的线性, 并且大大降低了有害的代码至代码瞬态电压 (毛刺脉冲)。DAC8564 使用一个可运行在高达 50MHz 时钟速率上的多用途 3 线制串口。此接口与标准 SPI™, QSPI™, Microwire™, 以及数字信号处理器 (DSP) 接口兼容。

DAC8564 包含一个加电复位电路, 此电路确保 DAC 输出在零量程时加电, 并在一段有效代码被写入器件前保持此状态。此器件包含一个由串口访问的断电特性, 这将器件在电压为 5V 时的流耗减少至 1.3μA。电压为 3V 时的功耗为 2.9mW, 断电模式下减少到 1.5μW。此低功耗、内部基准和小封装尺寸使得这些器件非常适合于便携式、电池供电类设备。

DAC8564 与 [DAC7564](#) 和 [DAC8164](#) 插槽和功能兼容, 并且与 [DAC7565](#), [DAC8165](#) 和 [DAC8565](#) 功能兼容。所有这些器件采用薄型小外形尺寸 (TSSOP)-16 封装。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

SPI, QSPI are trademarks of Motorola, Inc.

Microwire is a trademark of National Semiconductor.

All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2007–2011, Texas Instruments Incorporated
English Data Sheet: [SBAS403](#)



这些装置包含有限的内置 ESD 保护。

存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

封装/订购信息⁽¹⁾

产品	相对精度 (LSB)	微分非线性 (LSB)	基准漂移 (ppm/°C)	封装引线	封装标识符	额定温度范围	封装标记
DAC8564A	±12	±1	25	TSSOP-16	PW	-40°C 至 +105°C	DAC8564
DAC8564B	±8	±1	25	TSSOP-16	PW	-40°C 至 +105°C	DAC8564B
DAC8564C	±12	±1	5	TSSOP-16	PW	-40°C 至 +105°C	DAC8564
DAC8564D	±8	±1	5	TSSOP-16	PW	-40°C 至 +105°C	DAC8564D

(1) 要获得最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或者登录 TI 的网站 www.ti.com 进行查询。

最大绝对额定值⁽¹⁾

在自然通风条件下的工作温度范围内测得（除非另有说明）。

		DAC8564	单位
AV _{DD} 至接地		-0.3 至 +6	V
数字输入电压至接地		-0.3 至 +V _{DD} + 0.3	V
V _{输出} 至接地		-0.3 至 V _{DD} + 0.3	V
V _{REF} 至接地		-0.3 至 V _{DD} + 0.3	V
工作温度范围		-40 至 +125	°C
储存温度范围		-65 至 +150	°C
结温范围 (T _J 最大值)		+150	°C
功率耗散		(T _J 最大值 - T _A) / θ _{JA}	W
热阻抗, θ _{JA}		+118	°C/W
热阻抗, θ _{JC}		+29	°C/W
静电放电 (ESD) 额定值	人体模型 (HBM)	4000	V
	充电器件模型 (CDM)	1500	V

(1) 超出那些绝对最大额定值 下列出的应力值可能会对器件造成永久损坏。长时间处于绝对最大值情况下会影响器件的可靠性。

电气特性

AV_{DD} = 2.7V 至 5.5V, -40°C 至 +105°C 范围（除非另外注明）。

参 数		测 试 条 件		DAC8564		单 位	
				最小值	典型值		最大值
静态性能 ⁽¹⁾							
分辨率				16		位	
相对精度:		由代码 485 和 64714 间的代码行测得	DAC8564A, DAC8564C		±4	±12	LSB
			DAC8564B, DAC8564D		±4	±8	LSB
微分非线性		16 位单片		±0.5	±1	LSB	
偏移误差		由代码 485 和 64714 间的代码行测得		±5	±8	mV	
偏移误差漂移				±1		μV/°C	
满量程误差				±0.2	±0.5	FSR 的 %	
增益误差				±0.05	±0.2	FSR 的 %	
增益温度系数		AV _{DD} = 5V		±1		FSR/°C 的 ppm 值	
		AV _{DD} = 2.7V		±2			
PSRR 电源抑制比		输出空载		1		mV/V	
输出特性 ⁽²⁾							
输出电压范围				0	V _{REF}	V	
输出电压稳定时间		对于 ±0.003% FSR, 0200h 至 FD00h, R _L = 2kΩ, 0pF < C _L < 200pF		8	10	μs	
		R _L = 2kΩ, C _L = 500pF		12			
转换率				2.2		V/μs	
电容负载稳定性		R _L = ∞		470		pF	
		R _L = 2kΩ		1000			
代码变化毛刺脉冲		主要进位周围的 1LSB 变化		0.15		nV-s	
数字穿通		SCLK 切换, SYNC高电平		0.15		nV-s	
通道至通道直流串扰		附近通道上的满量程摆幅		0.25		LSB	
通道到通道交流串扰		1kHz 满量程正弦波, 输出空载		-100		dB	
直流输出阻抗		在中代码输入上		1		Ω	
短路电流				50		mA	
加电时间		从断电模式中退出, AV _{DD} = 5V		2.5		μs	
		从断电模式中退出, AV _{DD} = 3V		5			
交流性能 ⁽²⁾							
信噪比 (SNR)		T _A = +25°C, BW = 20kHz, V _{DD} = 5V, f _{输出} = 1kHz. 从 SNR 计算中删除了最初的 19 个谐波。		90		dB	
总谐波失真 (THD)				-77		dB	
无杂散动态范围 (SFDR)				78		dB	
信噪比和失真率 (SINAD)				77		dB	
DAC 输出噪声密度		T _A = +25°C, 在中代码输入上, f _{输出} = 1kHz		120		nV/√Hz	
DAC 输出噪声		T _A = +25°C, 在中代码输入上, 0.1Hz 至 10Hz		6		μV _{pp}	
基准							
内部基准流耗		AV _{DD} = 5.5V		360		μA	
		AV _{DD} = 3.6V		348		μA	
外部基准电流		如果内部基准被禁用, 全部四个通道激活, 外部 V _{REF} = 2.5V		80		μA	
基准输入范围 V _{REFH} 电源		V _{REFL} < V _{REFH} , AV _{DD} · (V _{REFH} + V _{REFL}) /2 > 1.2V		0	AV _{DD}	V	
基准输入范围 V _{REFL} 电压		V _{REFL} < V _{REFH} , AV _{DD} · (V _{REFH} + V _{REFL}) /2 > 1.2V		0	AV _{DD} /2	V	
基准输入阻抗				31		kΩ	

(1) 使用 485 至 64714 的精简代码范围计算出的线性; 输出空载。

(2) 由设计和特性担保, 未经生产测试。

电气特性 (接下页)

 $AV_{DD} = 2.7V$ 至 $5.5V$, $-40^{\circ}C$ 至 $+105^{\circ}C$ 范围 (除非另外注明)。

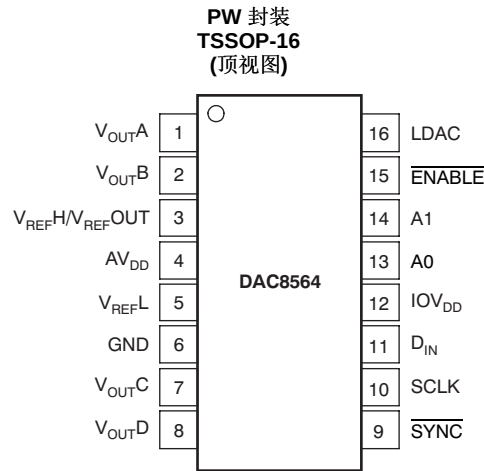
参数		测试条件	DAC8564			单位
			最小值	典型值	最大值	
基准输出						
输出电压		T _A = +25°C	2.4975	2.5	2.5025	V
初始精度		T _A = +25°C	-0.1	±0.004	0.1	%
输出电压温度漂移		DAC8564A, DAC8564B ⁽³⁾	5		25	ppm/ °C
		DAC8564C, DAC8564D ⁽⁴⁾	2		5	
输出电压噪声		f=0.1Hz 至 10Hz	12			μV _{PP}
输出电压噪声密度 (高频噪声)		T _A = +25°C, f = 1MHz, C _L = 0μF	50			nV/√Hz
		T _A = +25°C, f = 1MHz, C _L = 1μF	20			
		T _A = +25°C, f = 1MHz, C _L = 4μF	16			
负载调节, 拉出 ⁽⁵⁾		T _A = +25°C	30			μV/mA
负载调节, 灌入 ⁽⁵⁾		T _A = +25°C	15			μV/mA
输出电流负载能力 ⁽⁶⁾			±20			mA
线路调节		T _A = +25°C	10			μV/V
长期稳定性/漂移（老化） ⁽⁵⁾		T _A = +25°C, 时间从 0 至 1900 小时	50			ppm
热滞后 ⁽⁵⁾		第一个周期	100			ppm
		附加周期	25			
逻辑输入 ⁽⁶⁾						
输入电流			±1			μA
V _{输入L}	逻辑输入低电平	2.7V ≤ IOV _{DD} ≤ 5.5V	0.3 × IOV _{DD}			V
		1.8V ≤ IOV _{DD} ≤ 2.7V	0.1 × IOV _{DD}			
V _{输入H}	逻辑输入高电平	2.7V ≤ IOV _{DD} ≤ 5.5V	0.7 × IOV _{DD}			V
		1.8V ≤ IOV _{DD} ≤ 2.7V	0.95 × IOV _{DD}			
引脚电容					3	pF
电源要求						
AV _{DD}			2.7		5.5	V
IOV _{DD}			1.8		5.5	V
IOI _{DD} ⁽⁶⁾				10	20	μA
I _{DD} ⁽⁷⁾	正常模式	AV _{DD} = IOV _{DD} = 3.6V 至 5.5V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	1		1.6	mA
		AV _{DD} = IOV _{DD} = 2.7V 至 3.6V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	0.95		1.5	
	所有断电模式	AV _{DD} = IOV _{DD} = 3.6V 至 5.5V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	1.3		3.5	μA
		AV _{DD} = IOV _{DD} = 2.7V 至 3.6V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	0.5		2.5	
功率耗散 ⁽⁷⁾	正常模式	AV _{DD} = IOV _{DD} = 3.6V 至 5.5V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	3.6		8.8	mW
		AV _{DD} = IOV _{DD} = 2.7V 至 3.6V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	2.6		5.4	
	所有断电模式	AV _{DD} = IOV _{DD} = 3.6V 至 5.5V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	4.7		19	μW
		AV _{DD} = IOV _{DD} = 2.7V 至 3.6V V _{输入H} = IOV _{DD} 并且 V _{输入L} = 接地	1.4		9	
温度范围						
额定性能			-40		+105	°C

(3) 在室温下调整且测试了基准, 并且额定温度范围为 $-40^{\circ}C$ 至 $+120^{\circ}C$ 。(4) 在两个温度 ($+25^{\circ}C$ 和 $+105^{\circ}C$) 上调整并测试了基准, 并且额定温度范围为 $-40^{\circ}C$ 至 $+120^{\circ}C$ 。(5) 在这个数据表的 [应用信息](#) 部分进行了更加详细的解释。

(6) 由设计和特性担保, 未经生产测试。

(7) 输入代码 = 32768, 包括了基准电流, 无负载。

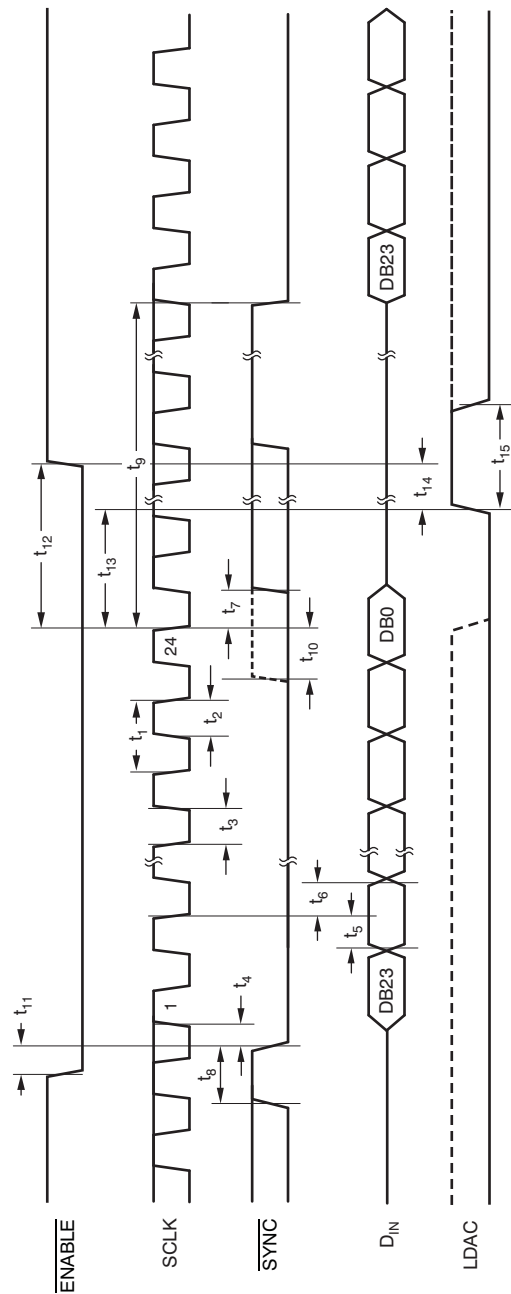
引脚配置



引脚说明

引脚	名称	说明
1	V_{OUTA}	DAC A 的模拟输出电压
2	V_{OUTB}	DAC B 的模拟输出电压
3	V_{REFH}/V_{REFOUT}	如果内部基准被使用的话，正基准输入/基准输出 2.5V。
4	AV_{DD}	电源输入，2.7V 至 5.5V
5	V_{REFL}	负基准输入
6	GND	此部件上用于所有电路的接地基准点。
7	V_{OUTC}	DAC C 的模拟输出电压
8	V_{OUTD}	DAC D 的模拟输出电压
9	$\overline{SYNC}$	电平触发控制输入（低电平有效）。这个输入是针对输入数据的帧同步信号。当 $\overline{SYNC}$ 变为低电平时，它启用输入移位寄存器并且在随后的下降时钟沿上进行数据采样。DAC 输出在第 24 个时钟之后更新。如果 $\overline{SYNC}$ 在第 24 个时钟之前取为高电平，那么 $\overline{SYNC}$ 的上升边沿可运行为一个中断，并且写入序列被 DAC8564 所忽略。施密特触发逻辑输入。
10	SCLK	串行时钟输入。数据的传输速率可高达 50MHz。施密特触发逻辑输入。
11	D_{IN}	串行数据输入。数据在串行时钟输入的每个下降边沿上被计时至 24 位输入移位寄存器。施密特触发逻辑输入。
12	IOV_{DD}	数字输入 - 输出电源
13	A0	Address 0 - 设定器件地址；请见表 5。
14	A1	Address 1 - 设定器件地址；请见表 5。
15	$\overline{ENABLE}$	使能引脚（低电平有效）将 SPI 接口接至串口。
16	LDAC	加载 DAC；上升边沿触发，加载全部 DAC 寄存器

串行写入操作



时序要求⁽¹⁾⁽²⁾

$AV_{DD} = IOV_{DD} = 2.7V$ 至 $5.5V$ ，以及 $-40^{\circ}C$ 至 $+105^{\circ}C$ 范围（除非另外注明）。

参数	测试条件	DAC8564			单位
		最小值	典型值	最大值	
$t_1^{(3)}$ SCLK 周期时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	20			
t_2 SCLK 高电平时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	20			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	10			
t_3 SCLK 低电平时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	20			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	10			
t_4 $\overline{SYNC}$ 到 SCLK 上升边沿建立时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	0			
t_5 数据建立时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	5			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	5			
t_6 数据保存时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	4.5			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	4.5			
t_7 SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	0			
t_8 最小 $\overline{SYNC}$ 高电平时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	20			
t_9 第 24 个 SCLK 下降边沿到 $\overline{SYNC}$ 下降边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	130			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	130			
t_{10} $\overline{SYNC}$ 上升边沿到第 24 个 SCLK 下降边沿（针对成功的 $\overline{SYNC}$ 中断）	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	15			
t_{11} 使能下降边沿到 $\overline{SYNC}$ 下降边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	15			
t_{12} 第 24 个 SCLK 下降边沿到 $\overline{ENABLE}$ 上升边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	10			
t_{13} 第 24 个 SCLK 下降边沿到 LDAC 上升边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	50			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	50			
t_{14} LDAC 上升边沿到 $\overline{ENABLE}$ 上升边沿	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	10			
t_{15} LDAC 高电平时间	$IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V$ 至 $5.5V$	10			

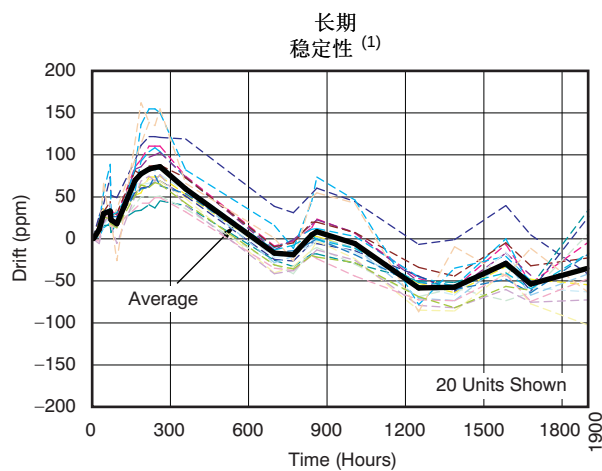
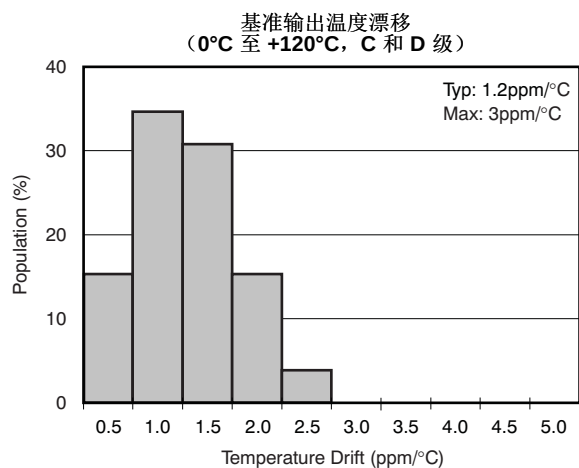
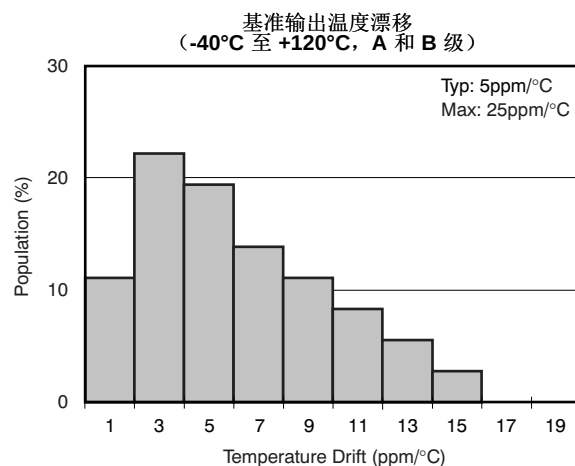
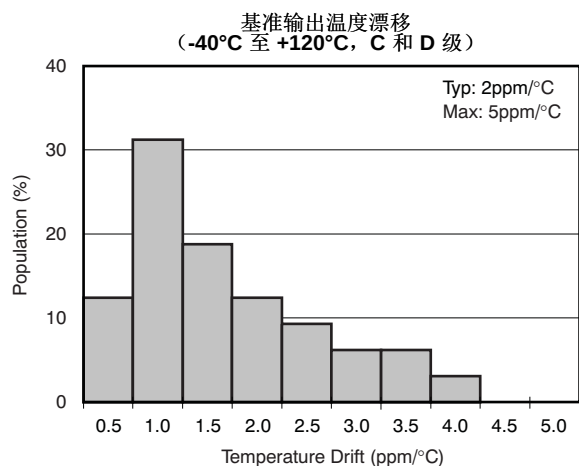
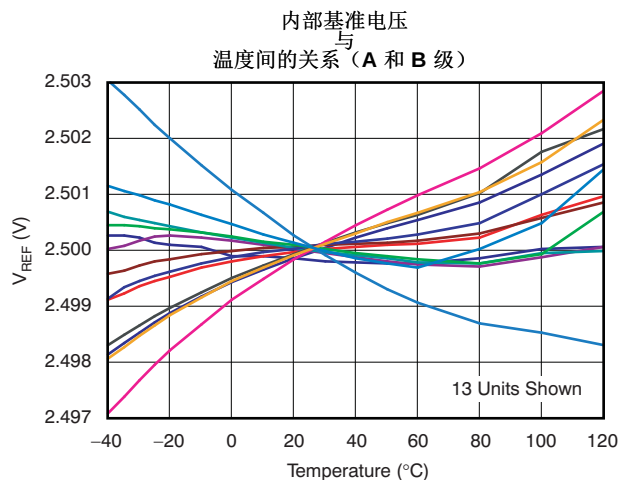
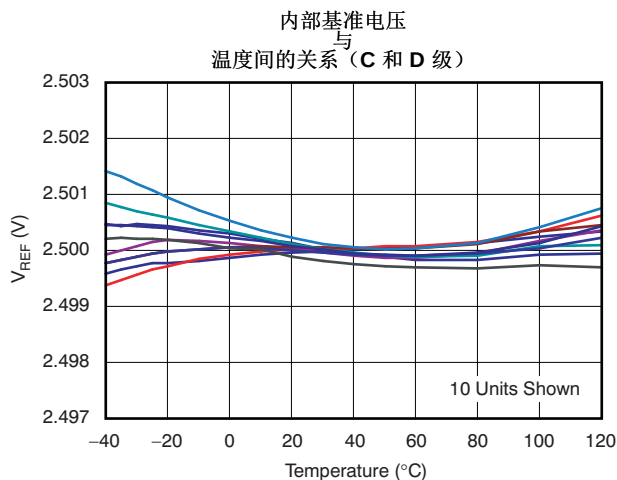
(1) 所有输入信号都在 $t_R = t_F = 3ns$ (V_{DD} 的 10% 到 90%) 时指定，而且从 $(V_{IL} + V_{IH})/2$ 的电压电平开始。

(2) 请见 [串行写入操作](#) 时序图。

(3) $IOV_{DD} = V_{DD} = 3.6V$ 至 $5.5V$ 时的最大 SCLK 频率为 50MHz，而在 $IOV_{DD} = AV_{DD} = 2.7V$ 至 $3.6V$ 时为 25MHz。

典型特征：内部基准

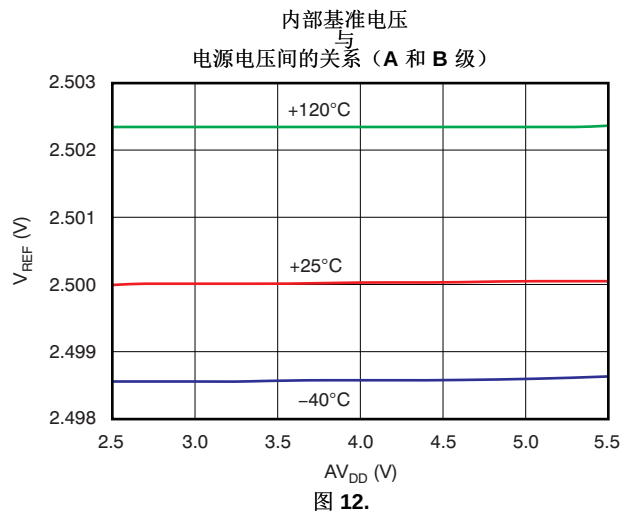
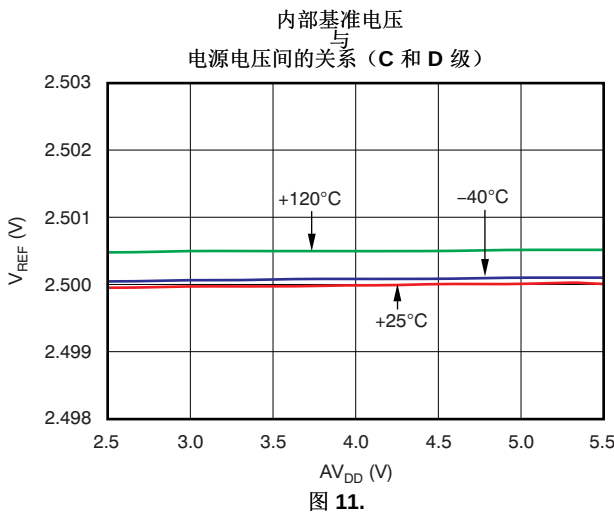
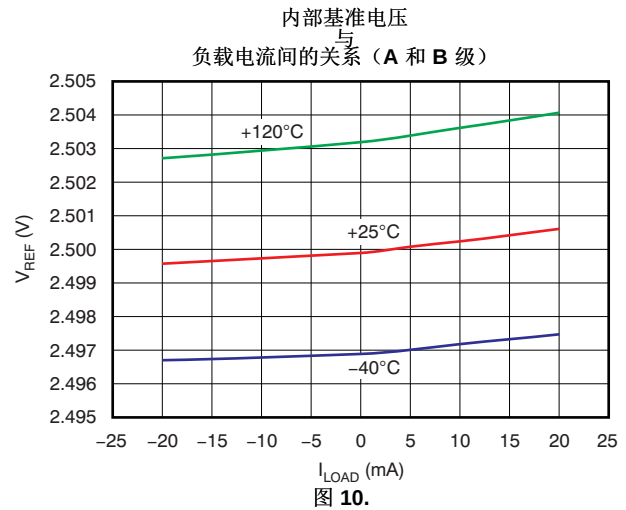
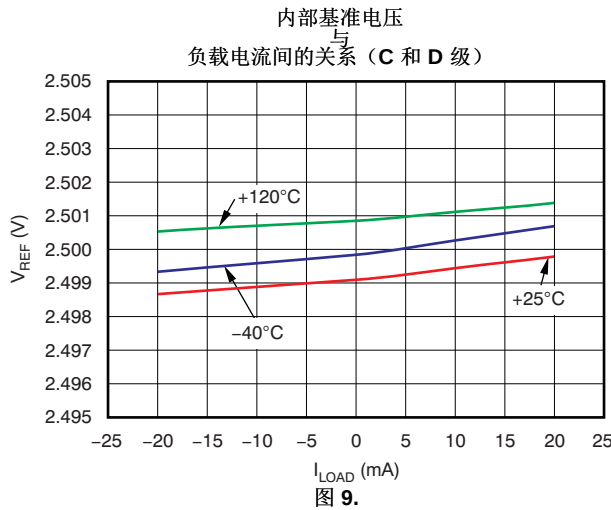
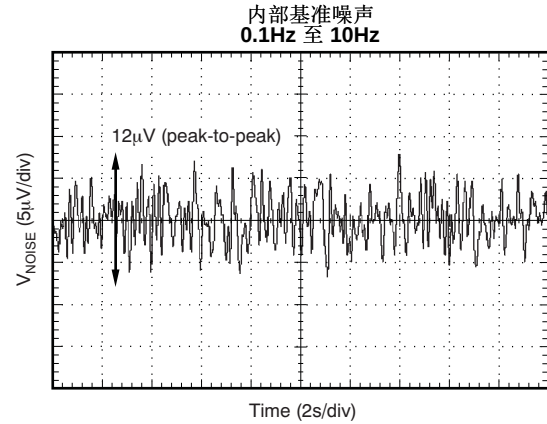
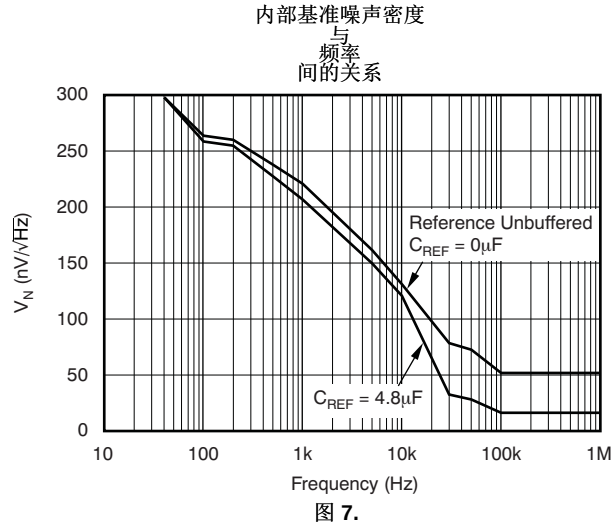
$T_A = +25^\circ\text{C}$ 时测得的值，除非另外注明。



(1) 在这个数据表的[应用信息](#)部分中做了详细说明。

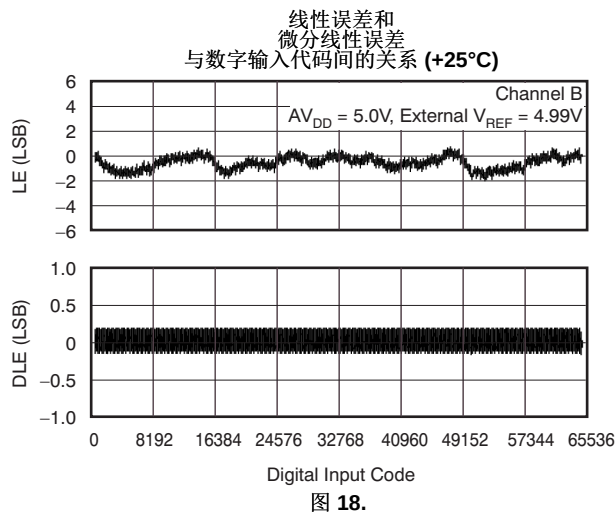
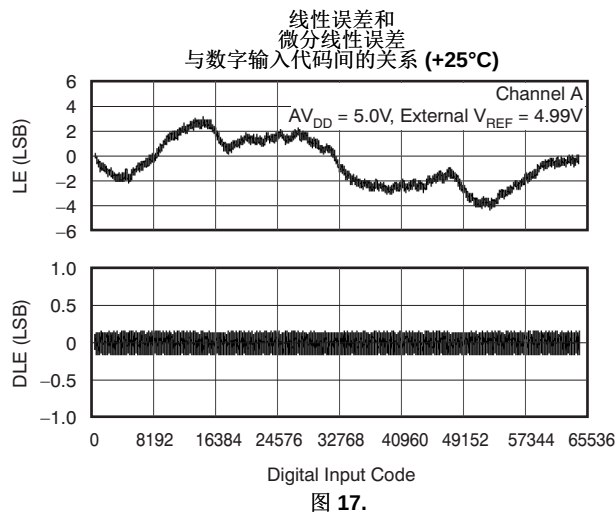
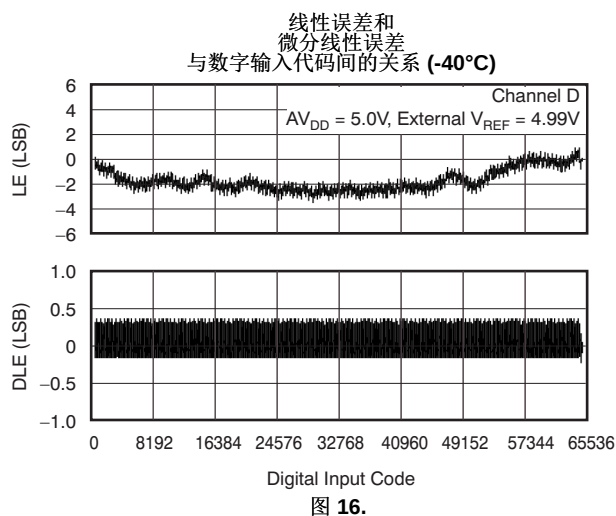
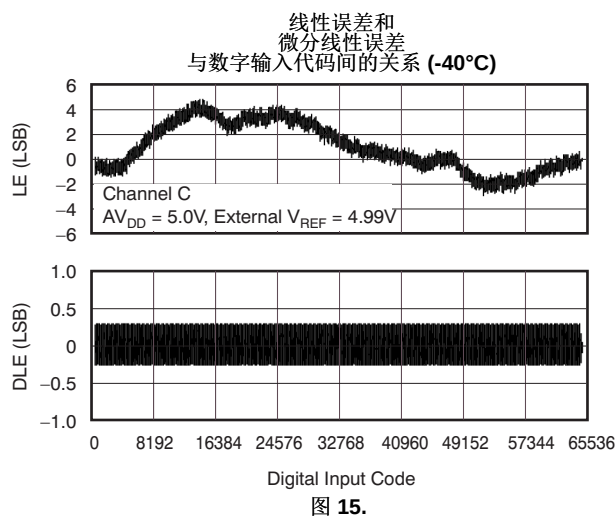
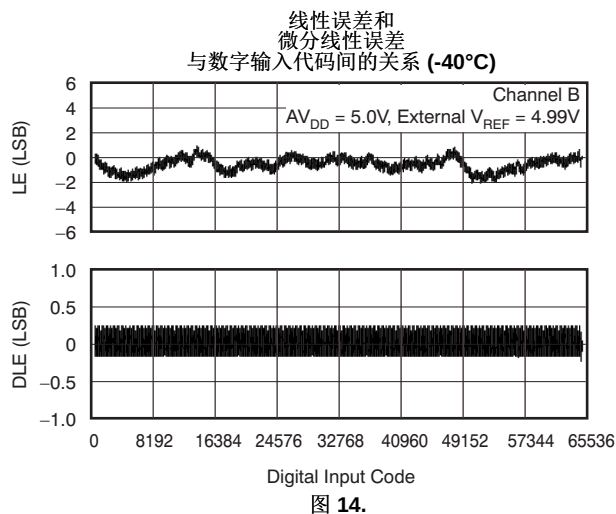
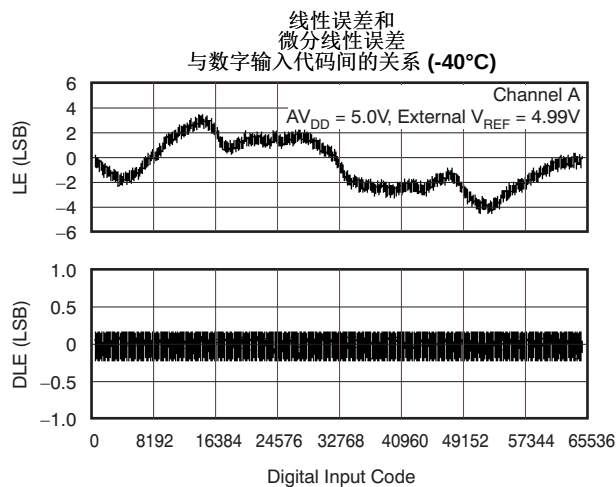
典型特征：内部基准 (接下页)

$T_A = +25^\circ\text{C}$ 时测得的值，除非另外注明。



典型特征: $AV_{DD} = 5V$ 时的 DAC

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。



典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

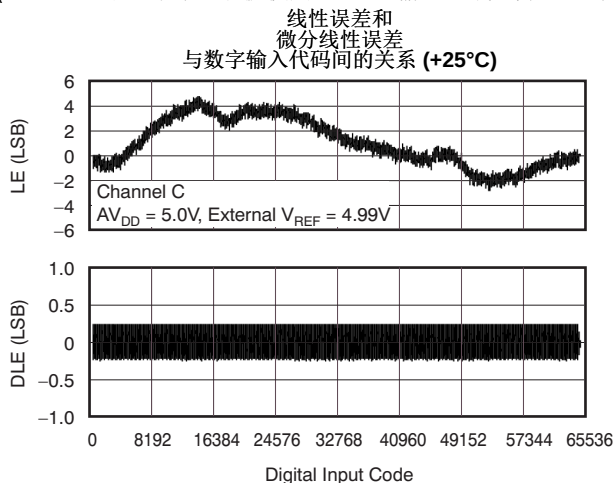


图 19.

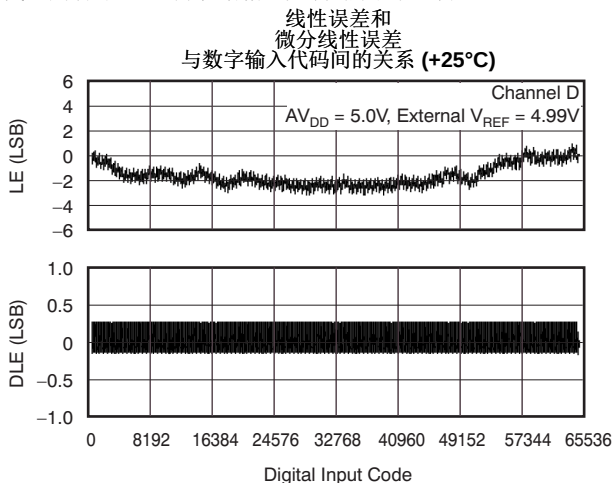


图 20.

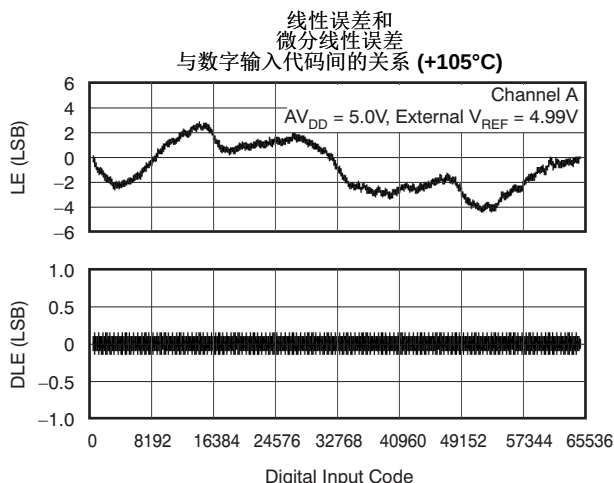


图 21.

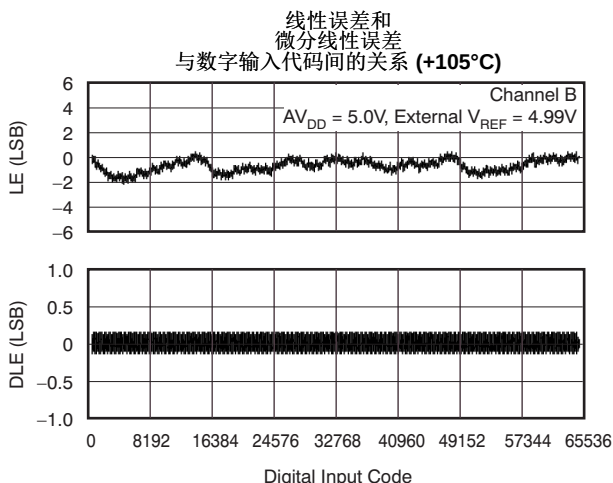


图 22.

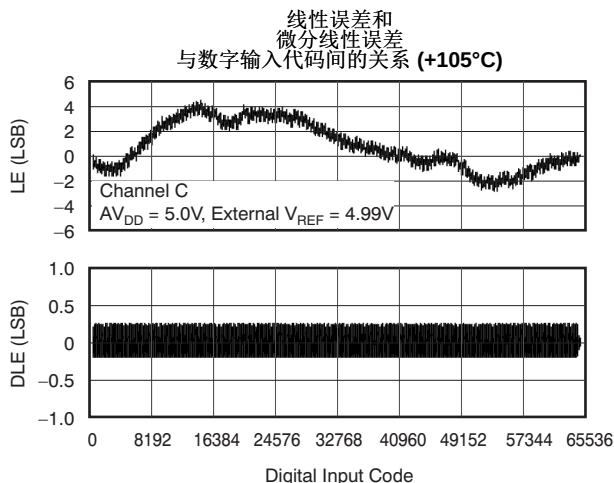


图 23.

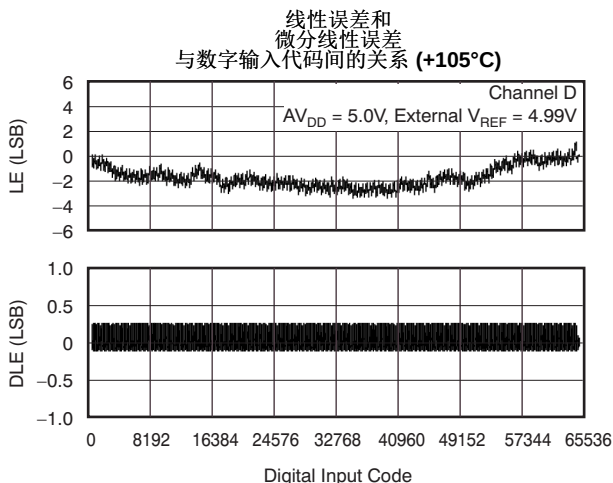


图 24.

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

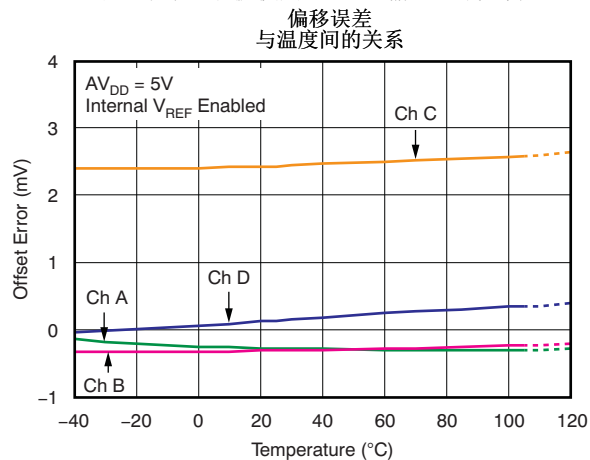


图 25.

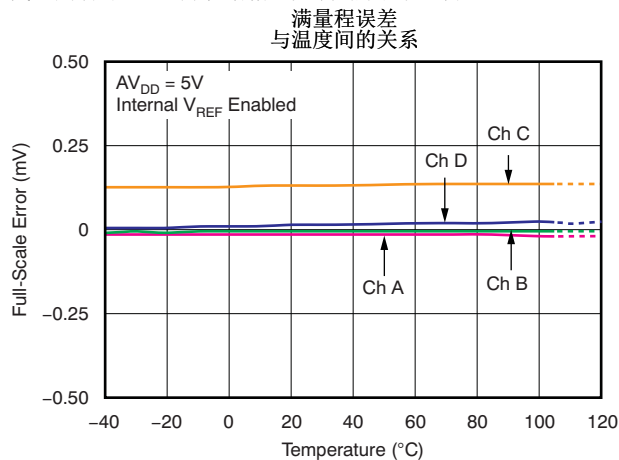


图 26.

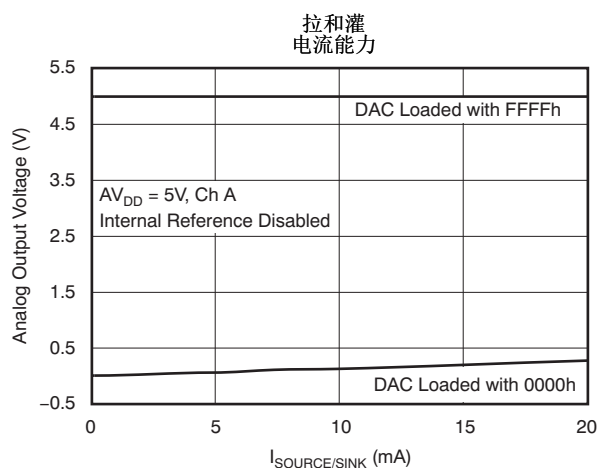


图 27.

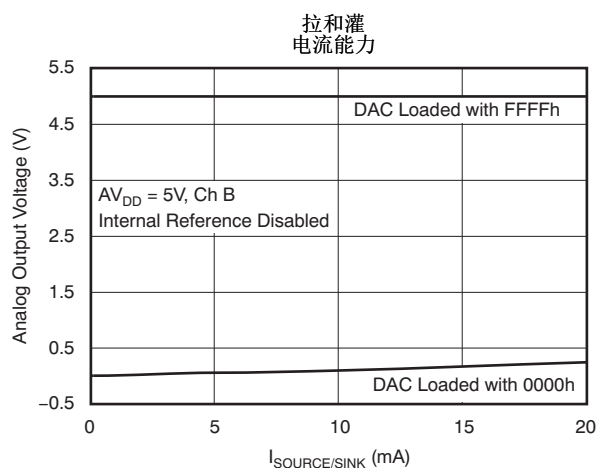


图 28.

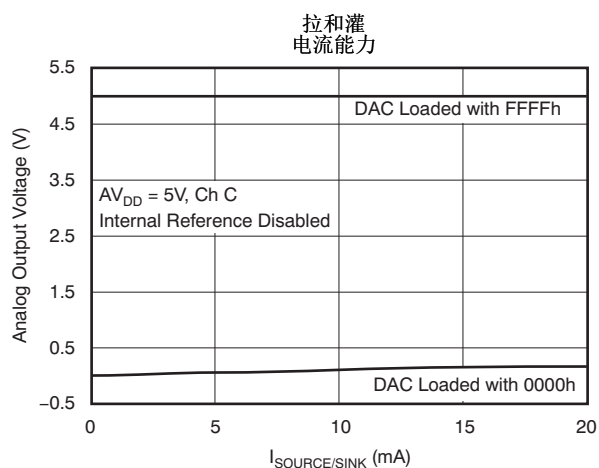


图 29.

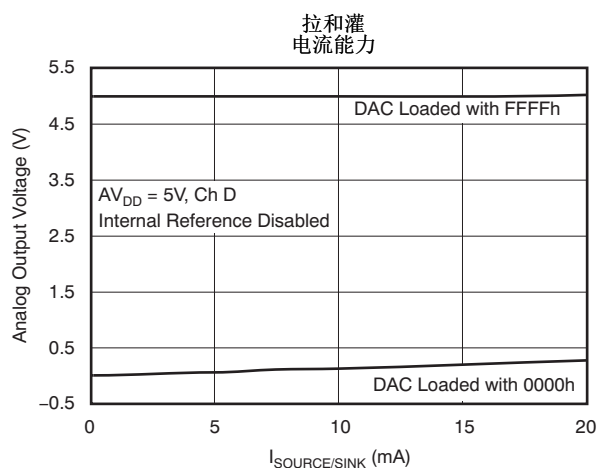


图 30.

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

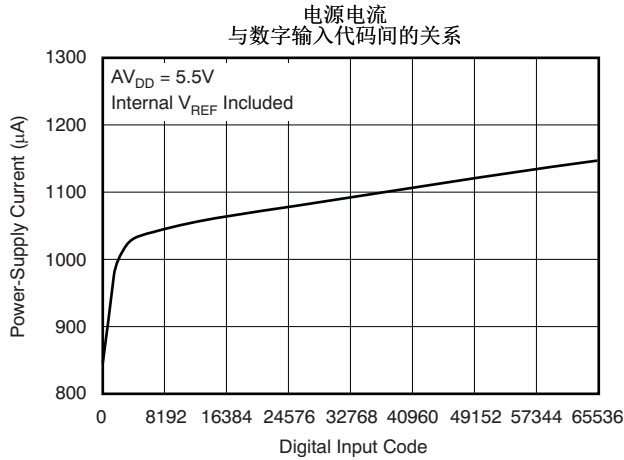


图 31.

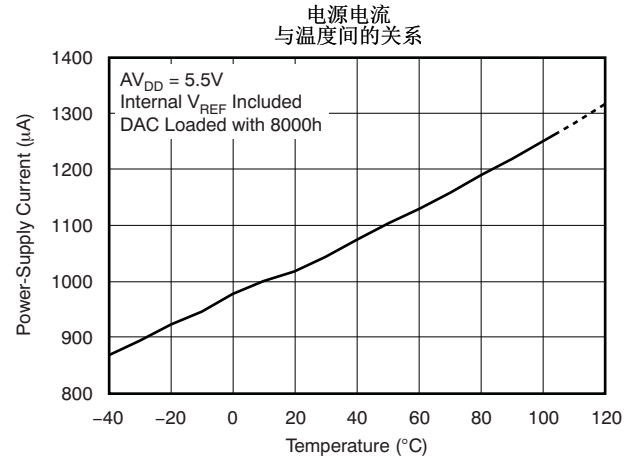


图 32.

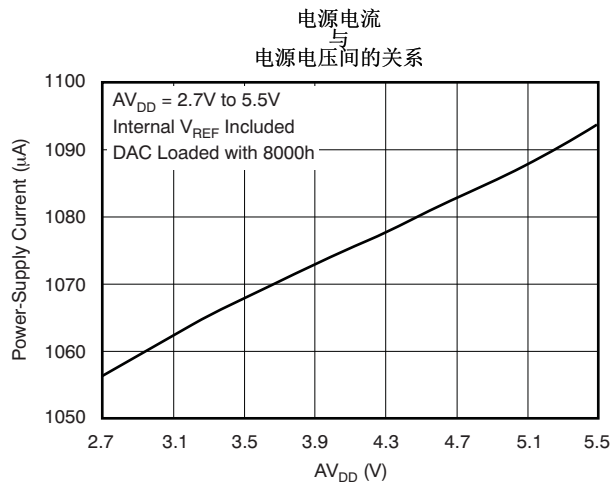


图 33.

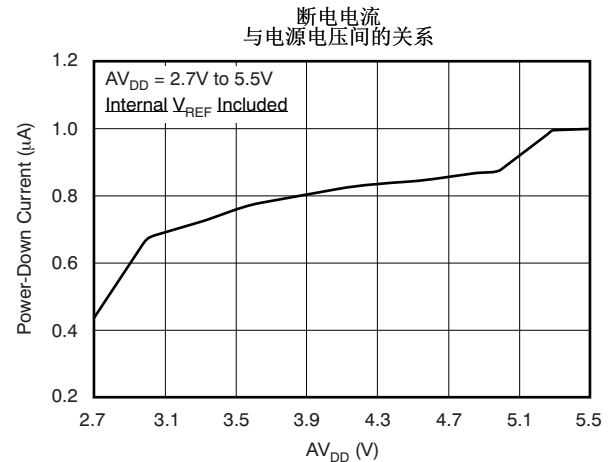


图 34.

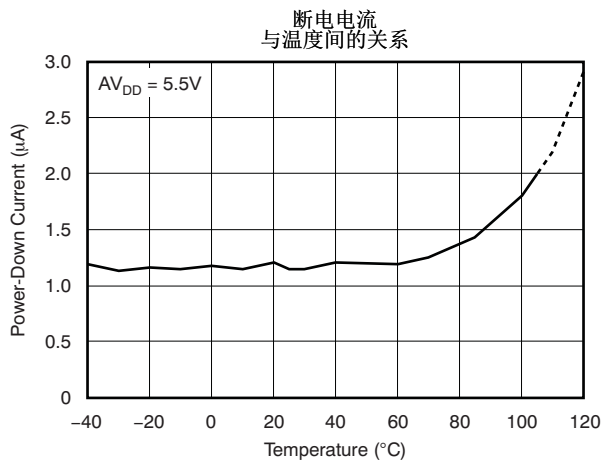


图 35.

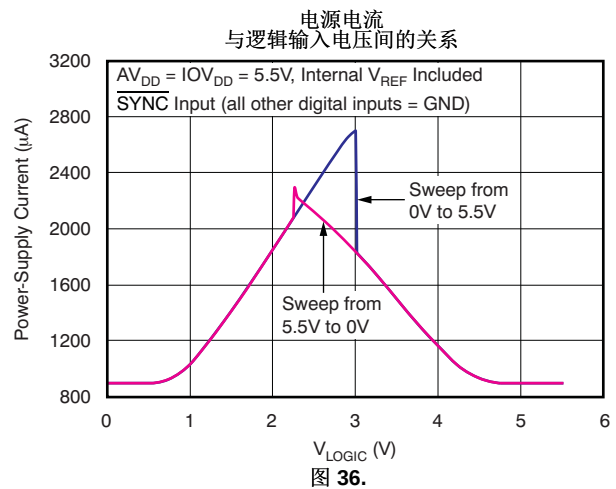


图 36.

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

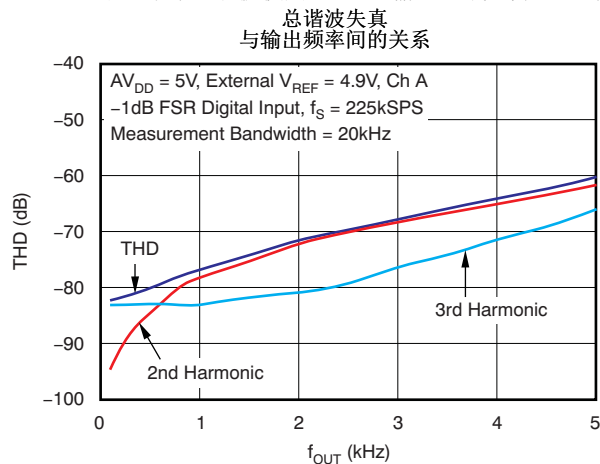


图 37.

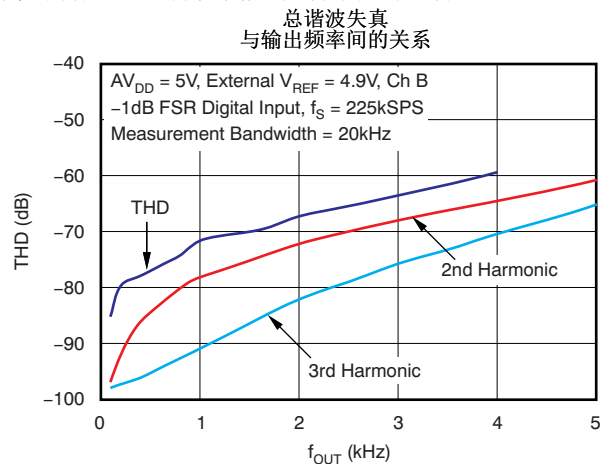


图 38.

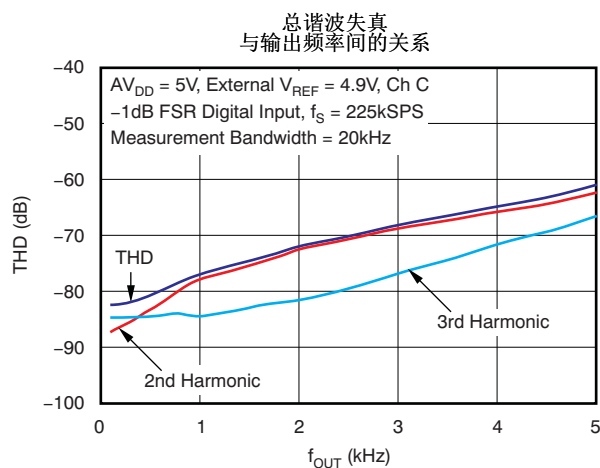


图 39.

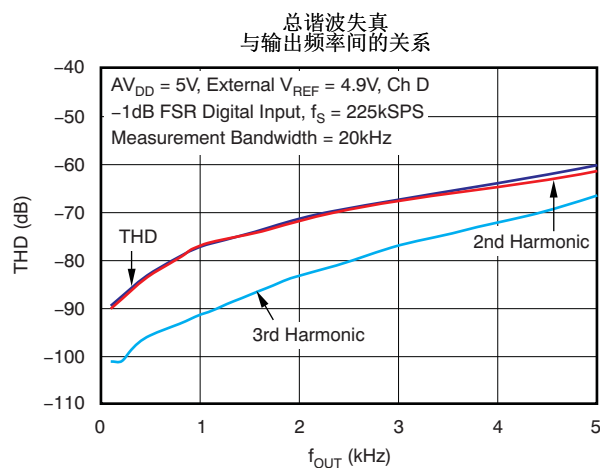


图 40.

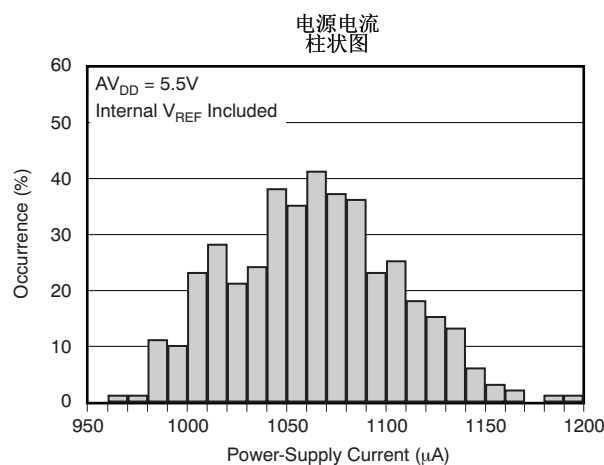
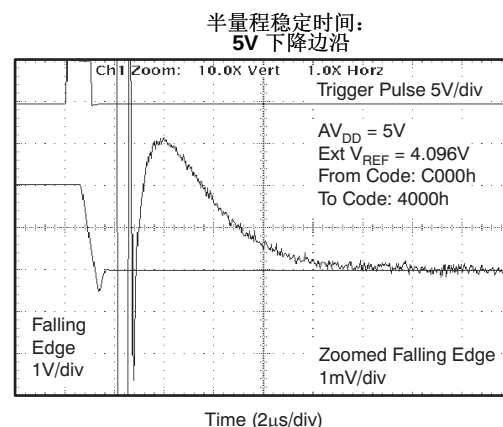
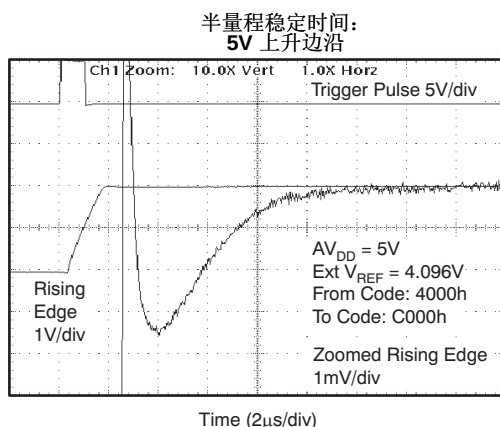
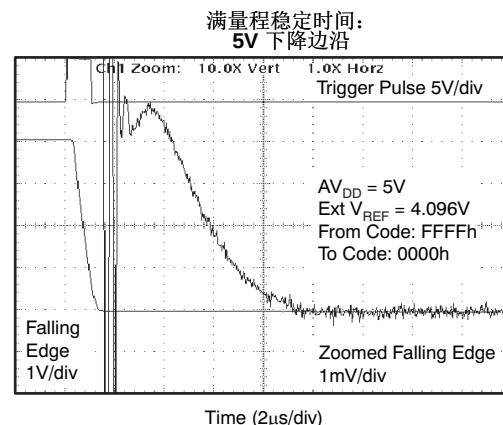
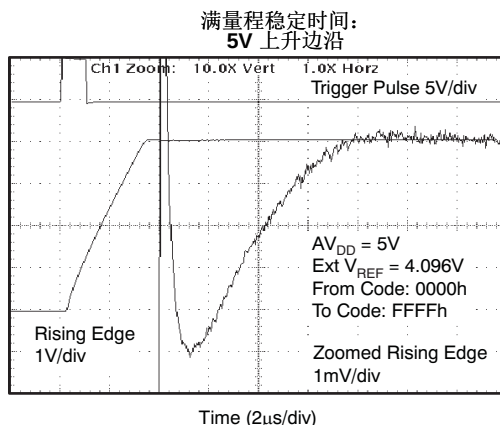
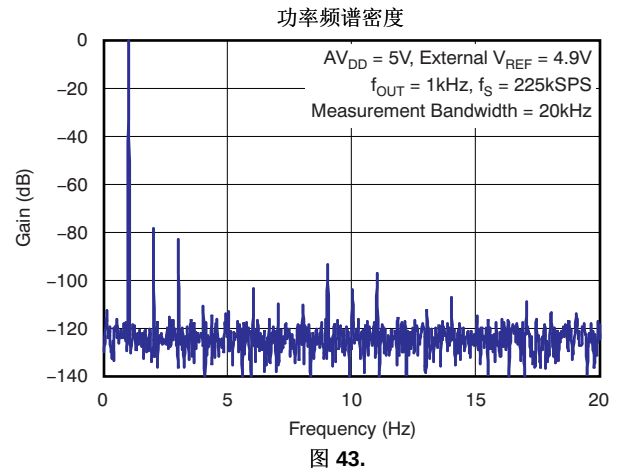
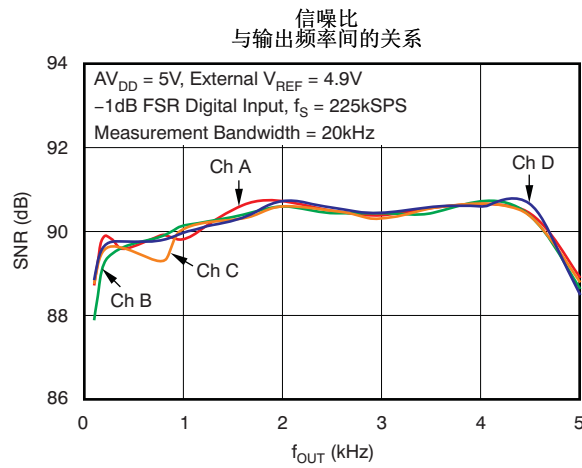


图 41.

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

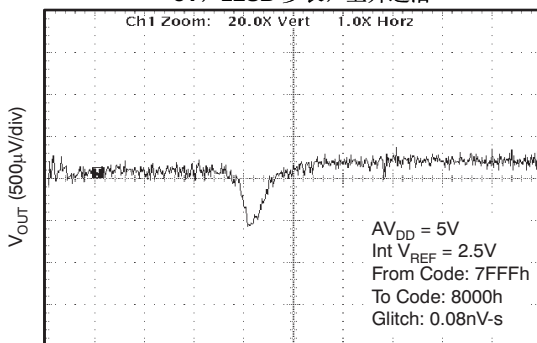


中的条件

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

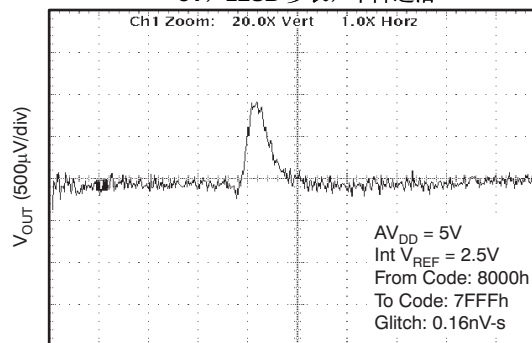
毛刺脉冲能量:
5V, 1LSB 步长, 上升边沿



Time (400ns/div)

图 48.

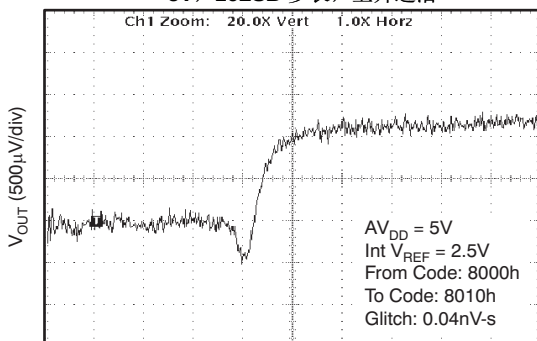
毛刺脉冲能量:
5V, 1LSB 步长, 下降边沿



Time (400ns/div)

图 49.

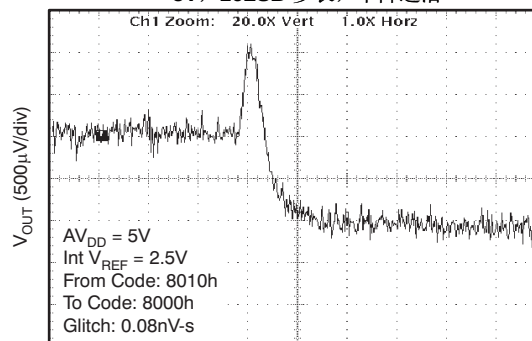
毛刺脉冲能量:
5V, 16LSB 步长, 上升边沿



Time (400ns/div)

图 50.

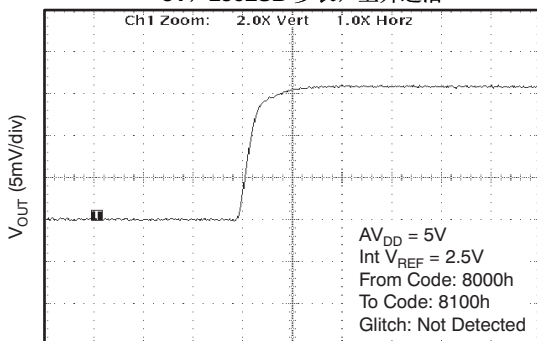
毛刺脉冲能量:
5V, 16LSB 步长, 下降边沿



Time (400ns/div)

图 51.

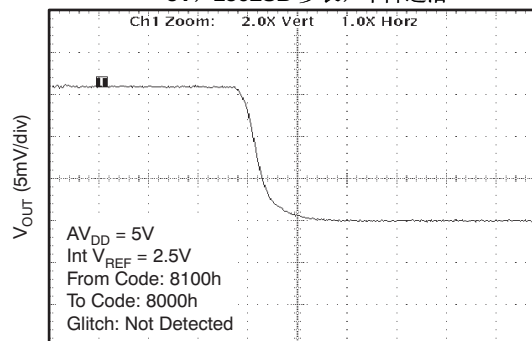
毛刺脉冲能量:
5V, 256LSB 步长, 上升边沿



Time (400ns/div)

图 52.

毛刺脉冲能量:
5V, 256LSB 步长, 下降边沿



Time (400ns/div)

图 53.

典型特征: $AV_{DD} = 5V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 外部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

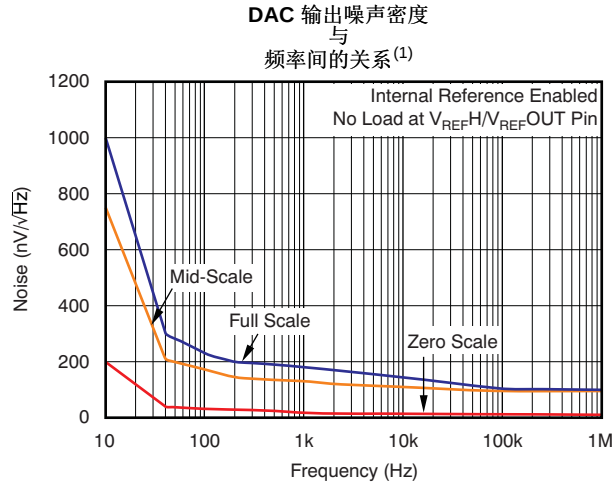


图 54.

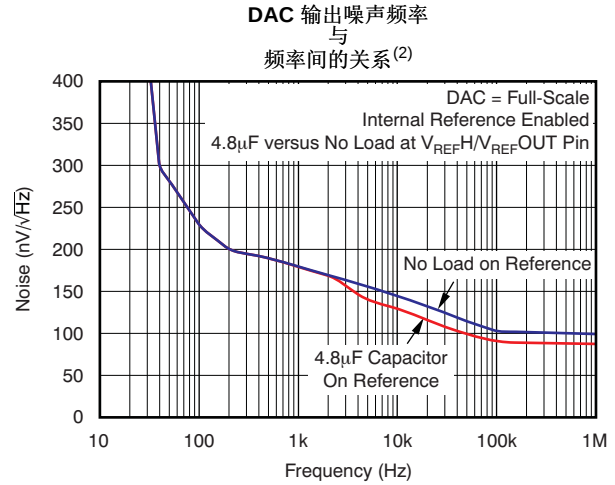


图 55.

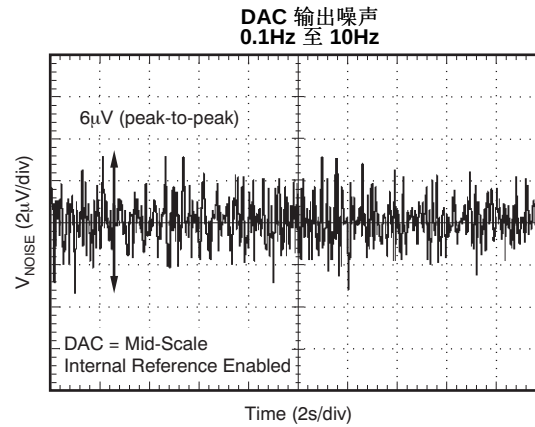
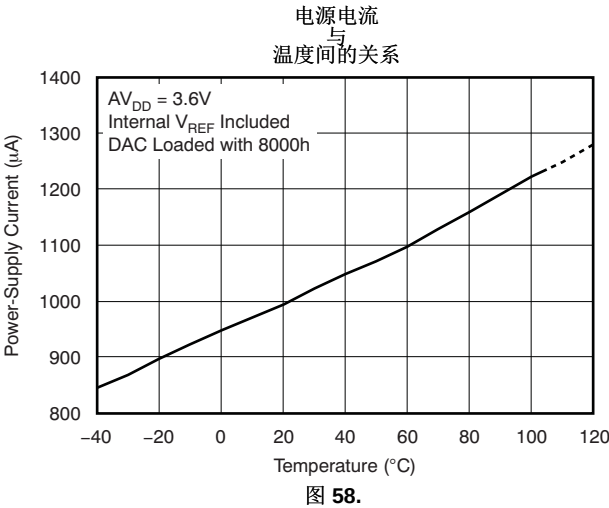
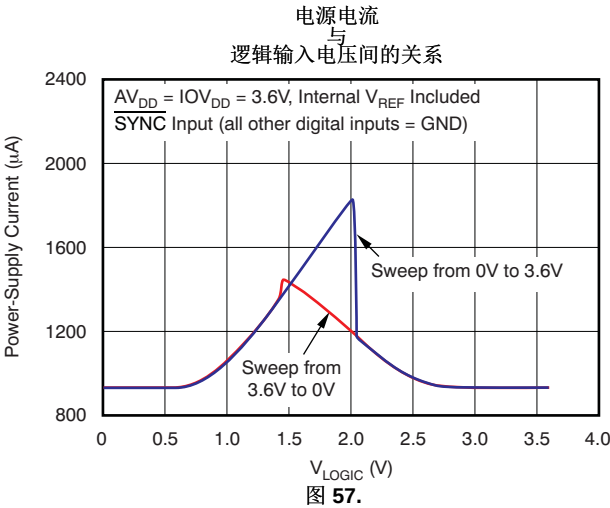


图 56.

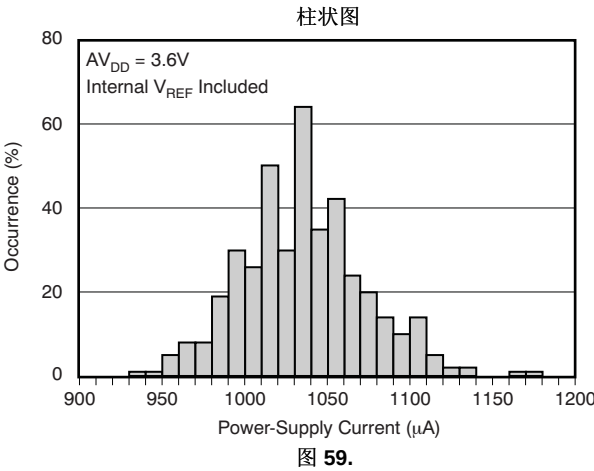
- (1) 在这个数据表的 [Application Information](#) 部分中进行了详细解释。
- (2) 更多信息请参见 [Application Information](#) 部分。

典型特征: $AV_{DD} = 3.6V$ 时的 DAC

$T_A = +25^{\circ}C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。



电源电流



典型特征: $AV_{DD} = 2.7V$ 时的 DAC

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

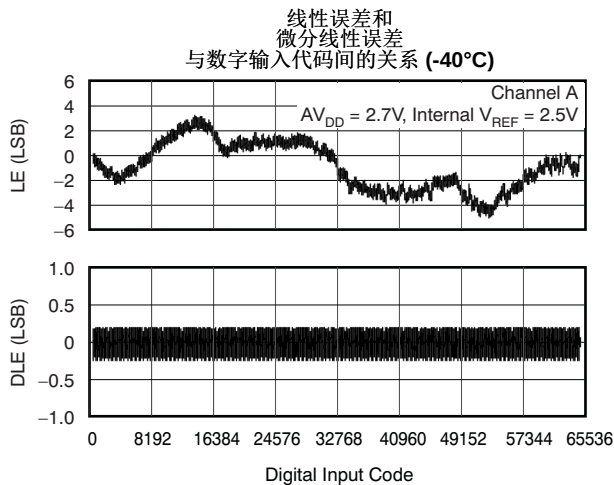


图 60.

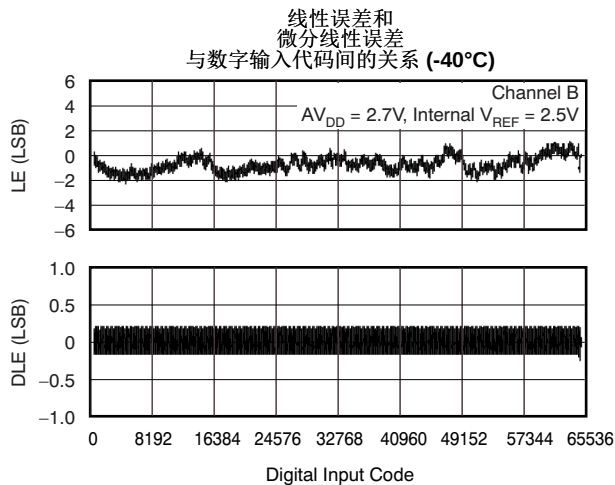


图 61.

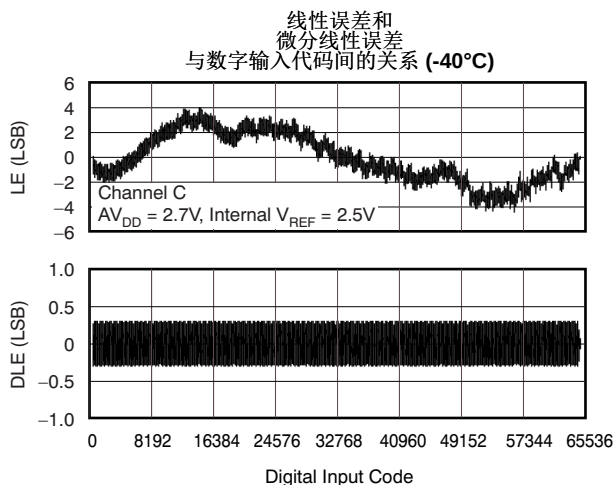


图 62.

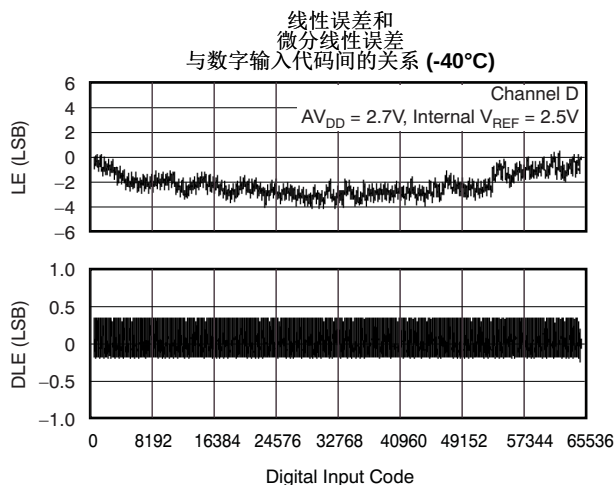


图 63.

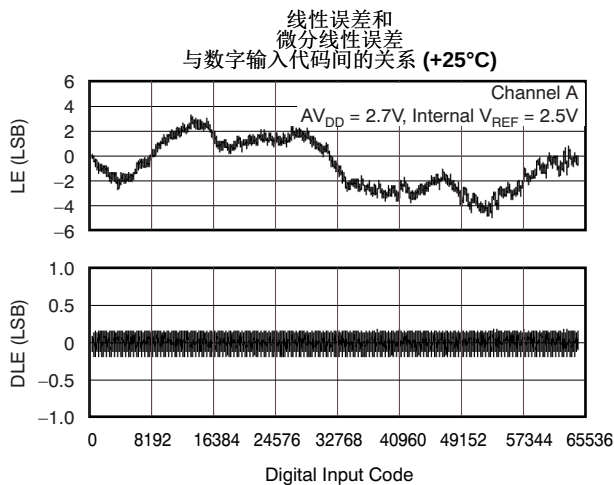


图 64.

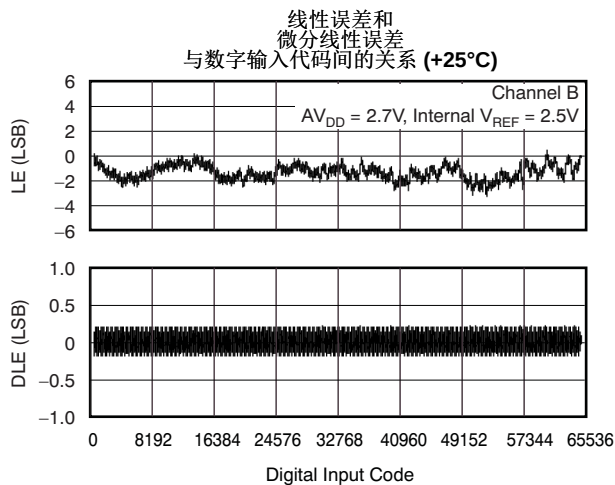


图 65.

典型特征: $AV_{DD} = 2.7V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

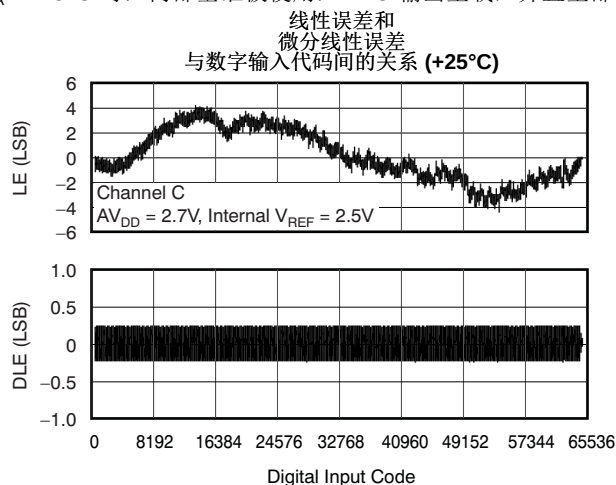


图 66.

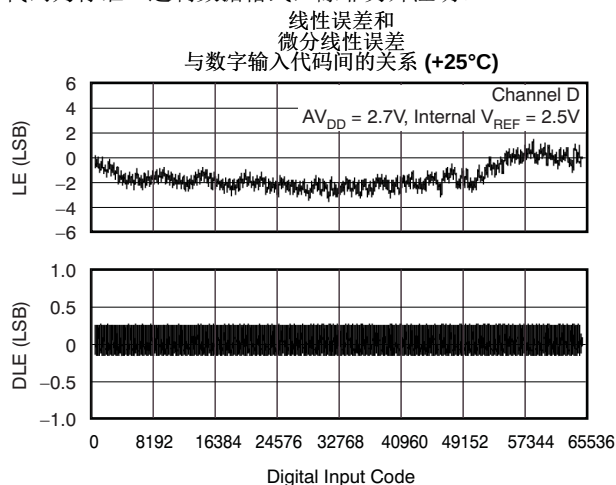


图 67.

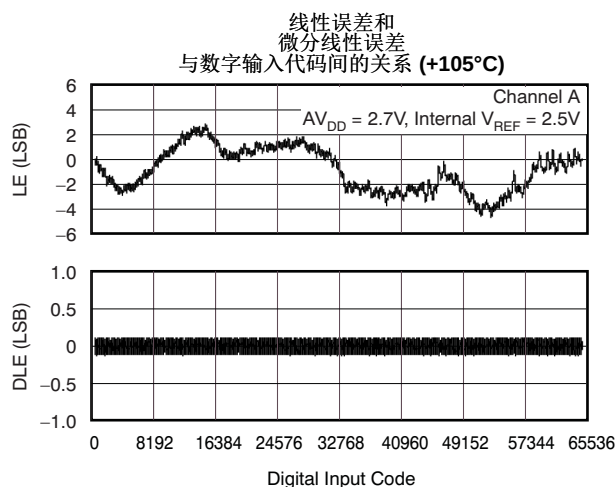


图 68.

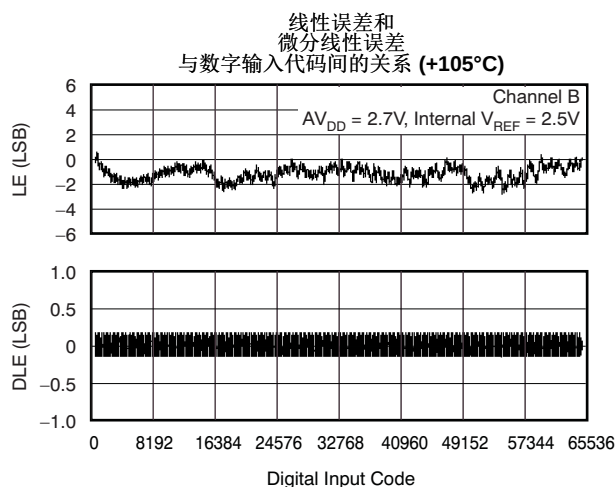


图 69.

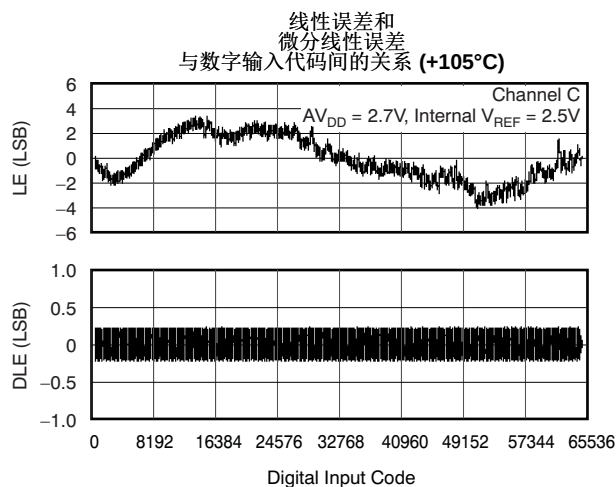


图 70.

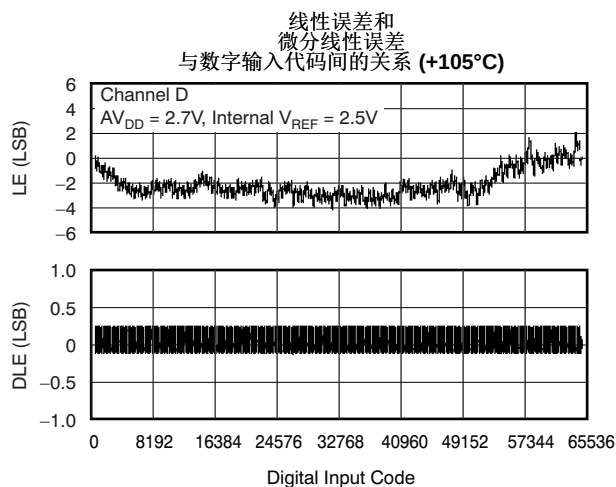


图 71.

典型特征: $AV_{DD} = 2.7V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

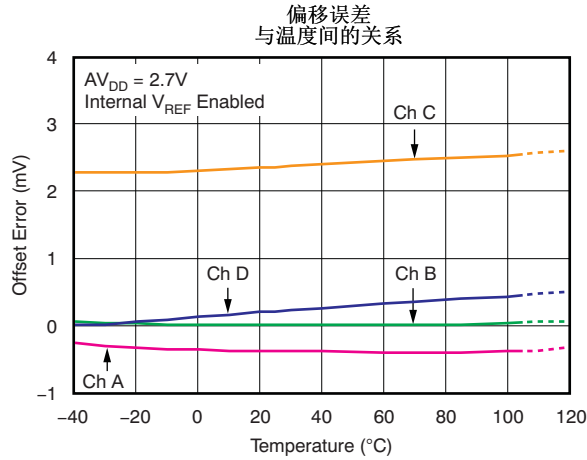


图 72.

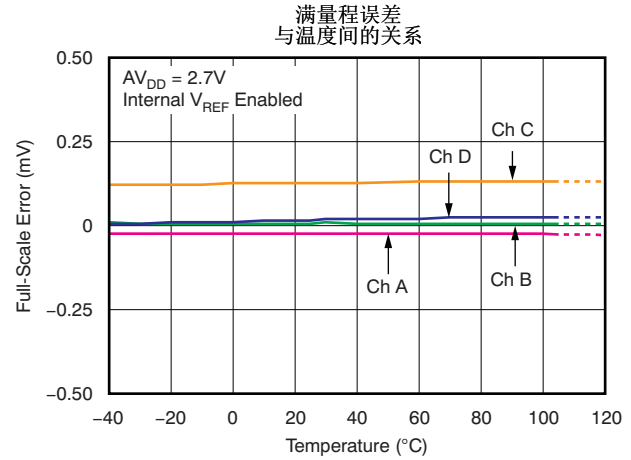


图 73.

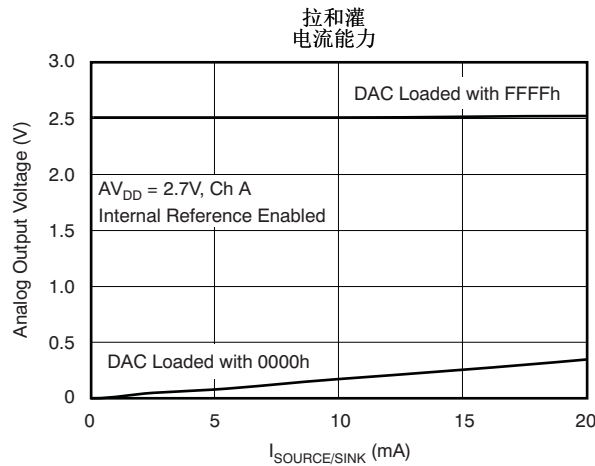


图 74.

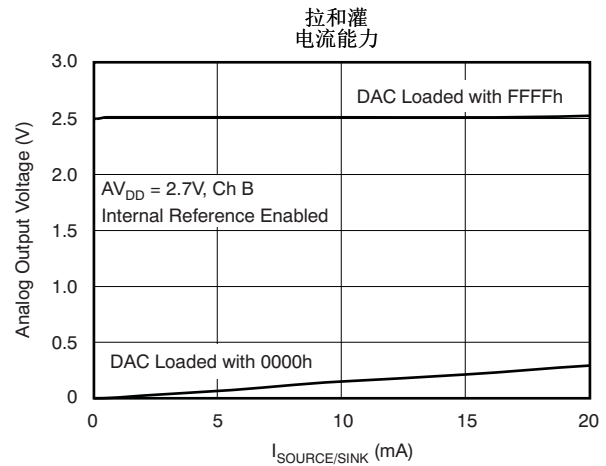


图 75.

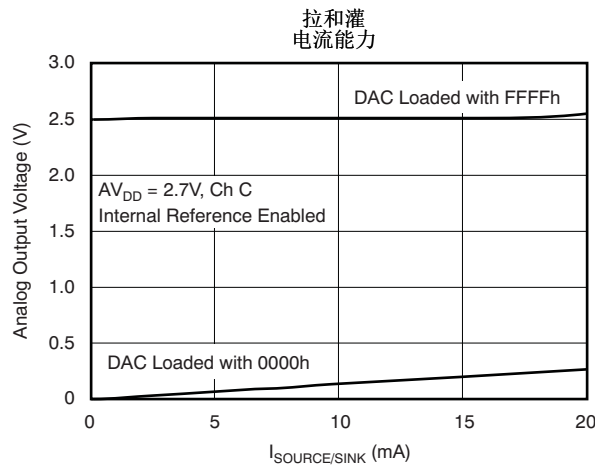


图 76.

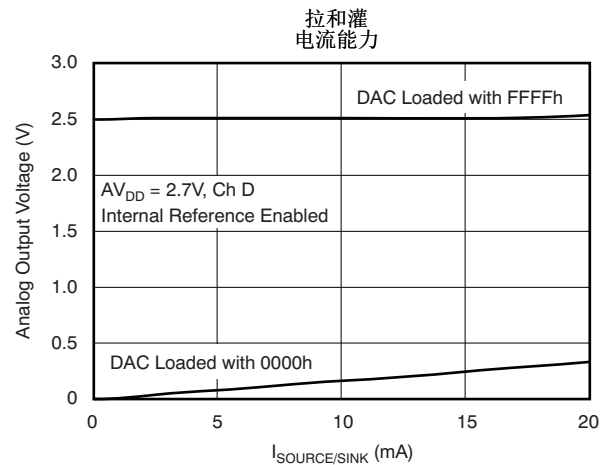


图 77.

典型特征: $AV_{DD} = 2.7V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

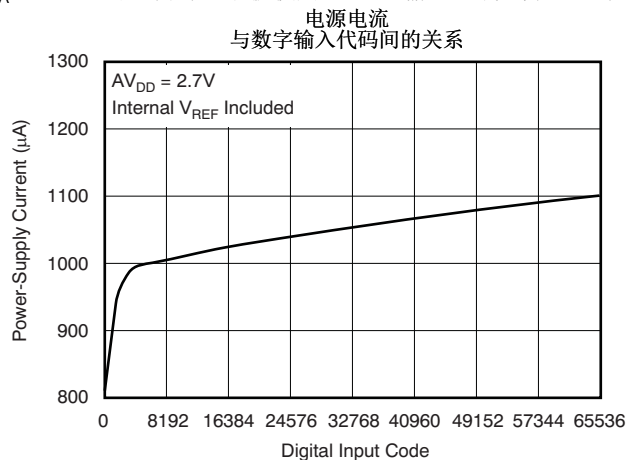


图 78.

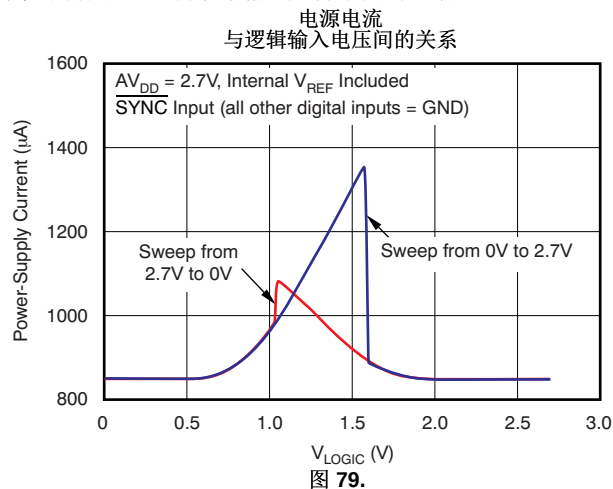
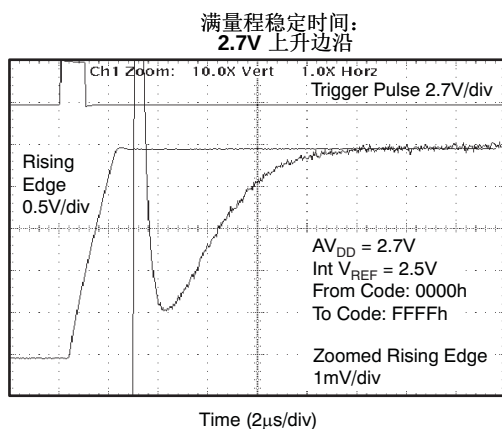
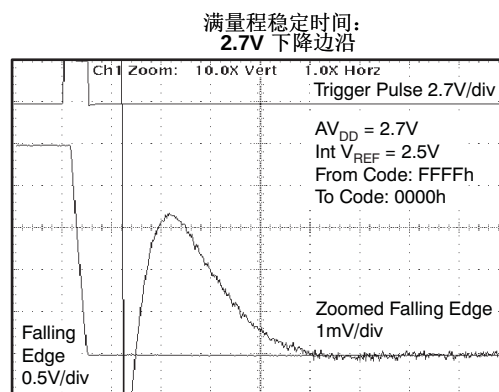


图 79.



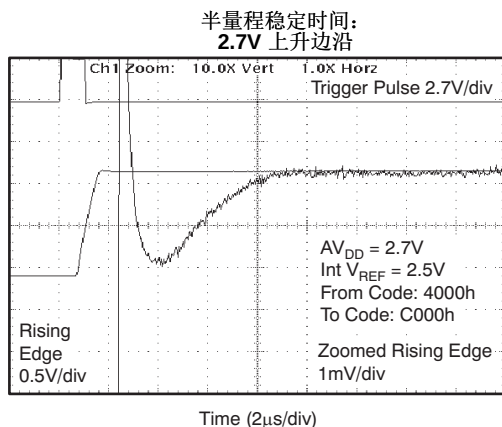
Time (2µs/div)

图 80.



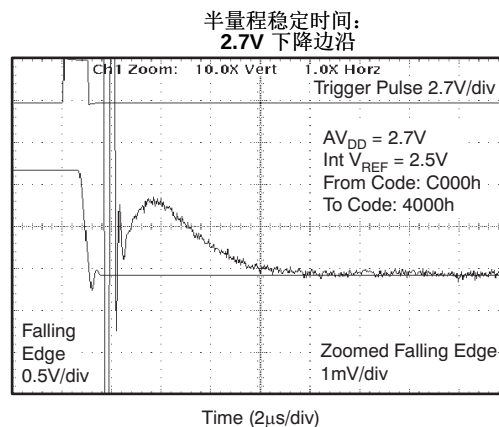
Time (2µs/div)

图 81.



Time (2µs/div)

图 82.



Time (2µs/div)

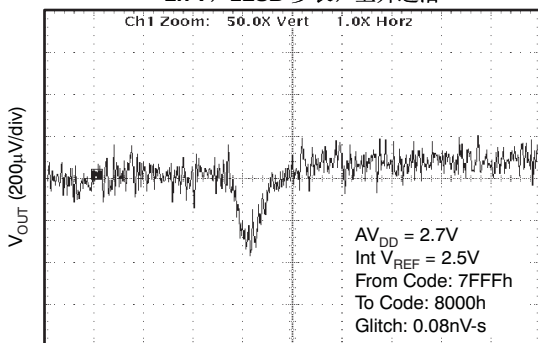
图 83.

中的条件

典型特征: $AV_{DD} = 2.7V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。

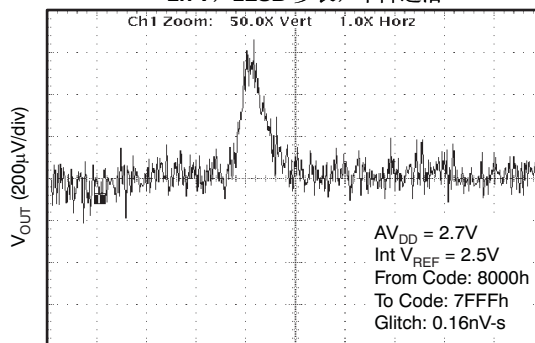
毛刺脉冲能量:
2.7V, 1LSB 步长, 上升边沿



Time (400ns/div)

图 84.

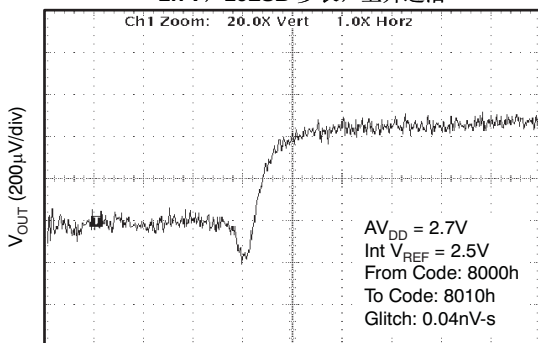
毛刺脉冲能量:
2.7V, 1LSB 步长, 下降边沿



Time (400ns/div)

图 85.

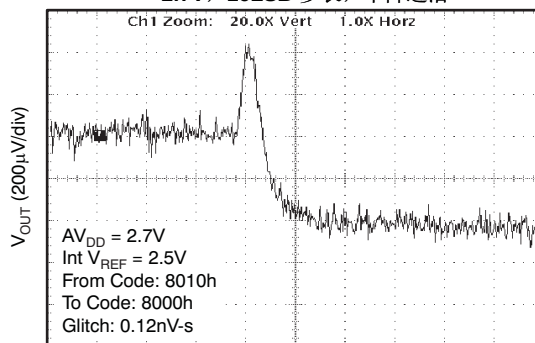
毛刺脉冲能量:
2.7V, 16LSB 步长, 上升边沿



Time (400ns/div)

图 86.

毛刺脉冲能量:
2.7V, 16LSB 步长, 下降边沿

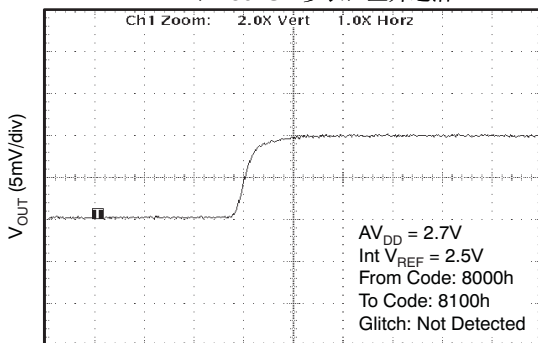


Time (400ns/div)

图 87.

中的条件 中的条件

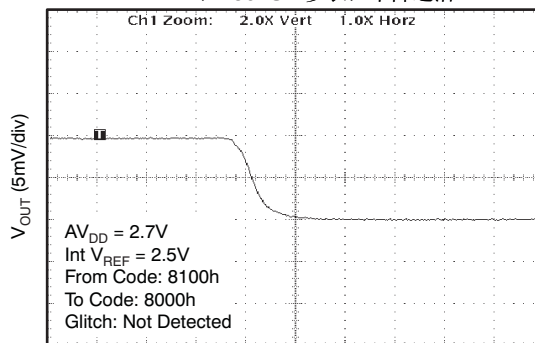
毛刺脉冲能量:
2.7V, 256LSB 步长, 上升边沿



Time (400ns/div)

图 88.

毛刺脉冲能量:
2.7V, 256LSB 步长, 下降边沿

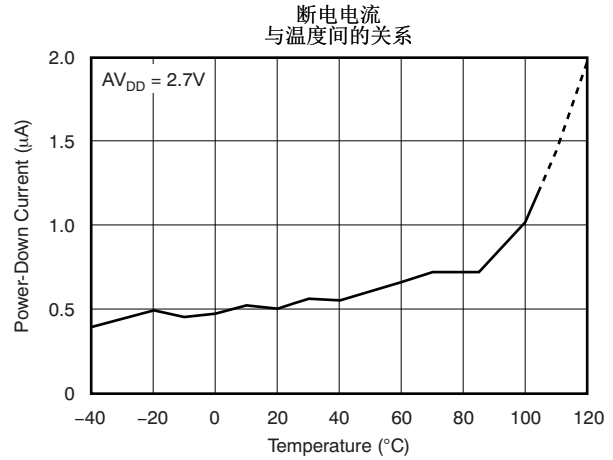
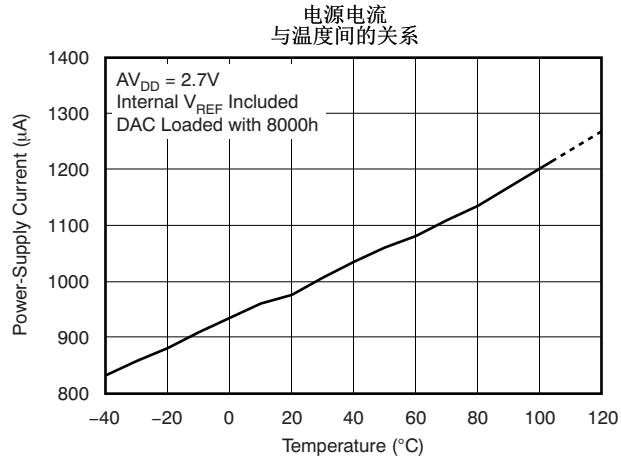


Time (400ns/div)

图 89.

典型特征: $AV_{DD} = 2.7V$ 时的 DAC (接下页)

$T_A = +25^\circ C$ 时, 内部基准被使用, DAC 输出空载, 并且全部 DAC 代码为标准二进制数据格式, 除非另外注明。



操作理论

模数转换器 (DAC)

DAC8564 架构包含一个电阻串 DAC，之后是一个输出缓冲放大器。图 92 显示了 DAC 架构的方框图。

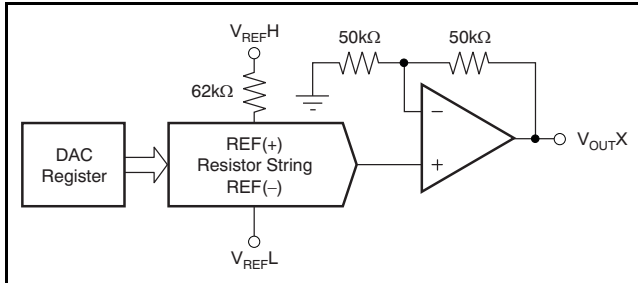


图 92. DAC8564 架构

到 DAC8564 的输入编码为标准二进制，所以理想输出电压由公式 1 给出。

$$V_{OUTX} = 2 \times V_{REFL} + (V_{REFH} - V_{REFL}) \times \frac{D_{IN}}{65536} \quad (1)$$

在这里， $D_{输入}$ = 被载入到 DAC 寄存器的二进制编码的十进制等值；它可在 0 至 65535 范围内。X 代表通道 A, B, C 或 D

电阻器串

图 93 中显示了电阻器串部分。它只是一串电阻器，每个电阻器的值为 R 。通过关闭连接到放大器上电阻串的开关中的一个，被载入到 DAC 寄存器的代码确定在电阻串上的哪个节点上电压被分接馈入输出放大器。由于是一串电阻器，所以它是一个单片器件。

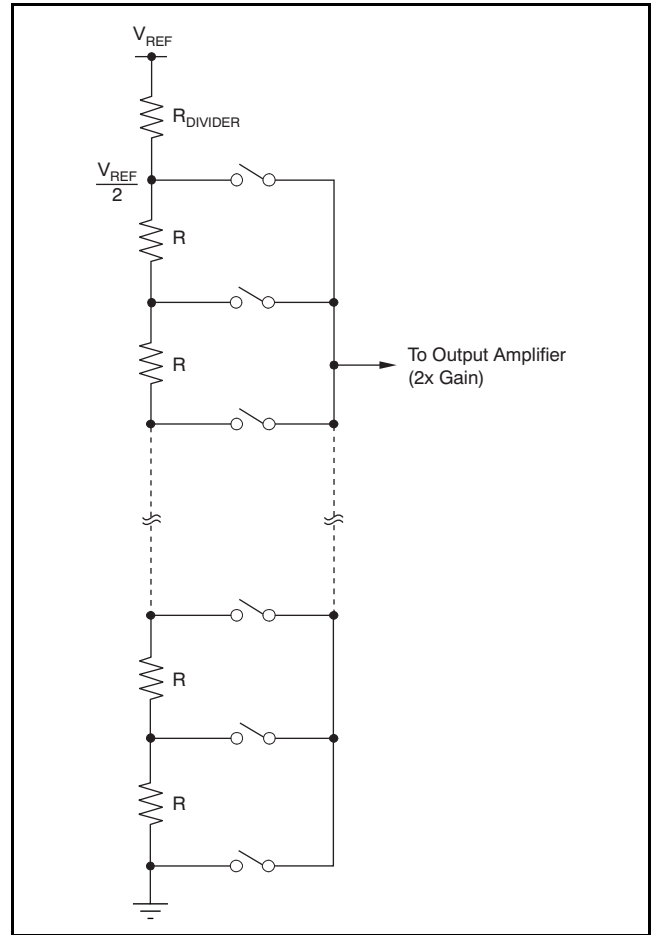


图 93. 电阻串

输出放大器

输出缓冲放大器能够在其输出上生成轨至轨电压，从而给出了 0V 至 AV_{DD} 的输出范围。它能够驱动一个与接地 1000pF 并联的 2kΩ 负载。在典型特征中可以看到输出放大器的源电流和灌电流能力。输出空载且满量程稳定时间为 8μs 时，转换率为 2.2V/μs。

内部基准

DAC8564 包括一个缺省情况下启用的 2.5V 内部基准。可在 $V_{REF}/H/V_{REF}$ 输出引脚上从外部获得内部基准。建议在基准输出和针对噪声滤波的接地之间使用一个最小电容值为 100nF 的电容器。

DAC8564 的内部基准是一个基于双极晶体管的，精密带隙电压基准。图 94 中显示了基本带隙拓扑结构。晶体管 Q_1 和 Q_2 被偏置，这样的话， Q_1 的电流密度大于 Q_2 的电流密度。两个基极发射极电压间的差异 ($V_{BE1} - V_{BE2}$) 有一个正温度系数，并且强制在电阻器 R_1 上生成。这个电压被增益补偿，并且被添加到 Q_2 的基极发射极电压中，此电压具有一个负温度系数。获得的输出电压实际上与温度无关。通过设计，短路电流被限制在大约 100mA。

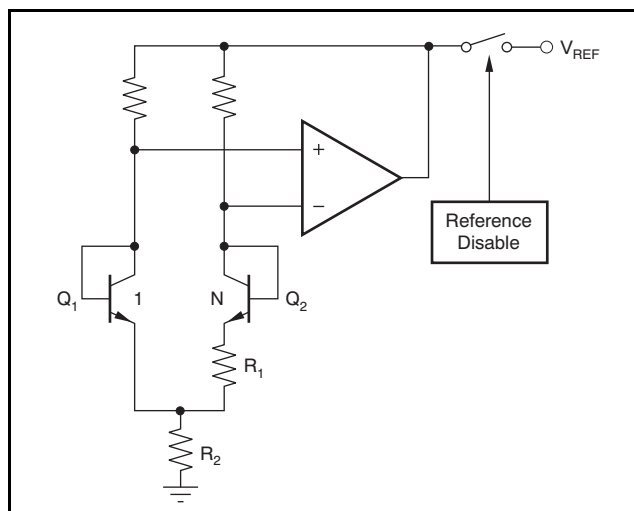


图 94. 带隙基准的经简化电路原理图

启用/禁用内部基准

DAC8564 内部基准缺省情况下启用，并且运行在自动模式下；然而，此基准可针对调试或评估用途，或者在使用一个外部基准时被禁用。必须使用一条要求 **24** 位写入序列的串行命令（请见[串行接口](#)）来禁用内部基准，如[表 1](#)中所示。在内部基准被禁用的期间内，DAC 将使用一个外部基准正常运转。此时，内部基准从 V_{REFH}/V_{REF} 输出引脚（三态输出）上断开。不要无限制地尝试同时从外部和内部驱动 V_{REFH}/V_{REF} 输出引脚。

然后，为了禁用内部基准，或者执行一个功率循环来复位器件，或者写入表 2 中所示的 24 位串行命令。这些操作将内部基准设置回缺省模式。在缺省模式下，当所有 DAC 在任一断电模式中断电时，内部基准自动断电（请见 [断电模式](#) 部分）；当任一 DAC 加电时，内部基准自动加电。

DAC8564 还提供保持内部基准常开的选项，而不考虑 **DAC** 状态（加电或断电）。不管 **DAC** 状态如何，要保持内部基准加电状态，写入如表 3 中所示的 24 位串行命令。

**表 1. 针对禁用内部基准的写入序列
(内部基准始终断电 - 012000h)**

DB23						DB16			DB13								DB0						
0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

|—————数据位—————|

**表 2. 针对启用内部基准的写入序列
(内部基准加电至缺省模式 - 010000h)**

DB23						DB16										DB0							
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
								数据位															

**表 3. 针对启用内部基准的写入序列
(内部基准始终加电 - 011000h)**

DB23						DB16				DB12								DB0						
0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	
									数据位															

串行接口

DAC8564 具有一个与 SPI, QSPI 和 Microwire 接口标准以及大多数 DSP 兼容的 3 线制串口 ($\overline{\text{SYNC}}$, SCLK 和 D_{IN})。典型写入序列的一个示例请见 [串行写入操作](#) 时序图。

DAC8564 输入移位寄存器为 24 位宽, 其中包含 8 个控制位 (DB23 至 DB16) 和 16 个数据位 (DB15 至 DB0)。在串行时钟输入, SCLK, 的控制下, 所有 24 位数据被载入到 DAC 中。DB23(MSB) 是第一个被载入到 DAC 移位寄存器内的位, 随后是 24 位字样式的剩余部分, 左对齐。这个配置意味着数据的头 24 位被锁存入移位寄存器, 而任何进一步的计时数据被忽略。DAC8564 接收全部 24 位数据, 并对头 8 位解码以确定 DAC 操作/控制模式。之后的 16 位数据被 DAC 解码以确定等值模拟输出。此数据格式为标准二进制, 其中的全 '0' 与 0V 输出相对应, 而全 '1' 对应于满量程输出 (也就是, $V_{\text{REF}} - 1 \text{ LSB}$)。

通过将 $\overline{\text{SYNC}}$ 线路拉为低电平来开始写入序列。来自 $\text{D}_{\text{输入}}$ 线路的数据在 SCLK 的每个下降边沿上被计时进入 24 位移位寄存器。串行时钟频率可高至 50MHz, 这使得 DAC8564 与高速 DSP 兼容。在串行时钟的第 24 个下降边沿上, 最后一个数据位被计时进入移位寄存器, 并且移位寄存器锁定。进一步计时不改变移位寄存器数据。一旦 24 位被锁存进入移位寄存器, 8 个 MSB 被用作控制位, 而 16 个 LSB 被用作数据。在接收到第 24 个下降时钟边沿后, DAC8564 解码 8 个控制位和 16 个数据位, 以执行所需的函数, 而不用等待一个 $\overline{\text{SYNC}}$ 上升边沿。一个全新的写入序列在 $\overline{\text{SYNC}}$ 的下一个下降边沿上开始。24 位序列完成之前的 $\overline{\text{SYNC}}$ 的一个上升边沿将 SPI 接口复位; 无数据传输发生。在接收到 SCLK 的第 24 个下降边沿后, $\overline{\text{SYNC}}$ 线路可被保持低电平或拉至高电平。在这两个情况下, 必须满足从第 24 个下降 SCLK 边沿到下一个下降 $\overline{\text{SYNC}}$ 边沿的最小延迟时间, 以正确地

开始下一个周期。要确保此器件的最低功耗, 应该小心操作, 以使电平尽可能地靠近每个电源轨。请参考 [典型特征](#) 部分, 以了解 [图 36](#), [图 57](#) 和 [图 79](#) (电源电流与逻辑输入电压间的关系)。

IOV_{DD}和电压转换器

IOV_{DD} 引脚为 DAC8564 的数字输入结构供电。对于单电源运行, 它可被连接至 AV_{DD}。对于双电源运行, IOV_{DD} 引脚提供具有不同 CMOS 逻辑系列的接口灵活性, 并且应该被连接至系统的逻辑电源。

DAC8564 的模拟电路和内部逻辑将 AV_{DD} 用作电源电压。外部逻辑高电平输入由电平位移器转换为 AV_{DD}。这些电平位移器将 IOV_{DD} 电压作为一个将进入的逻辑高电平位移至 AV_{DD} 的基准。IOV_{DD} 被确保在 2.7V 至 5.5V 的电压范围内安全运行, 而与 AV_{DD} 电压无关, 从而确保了与不同逻辑系列产品的兼容性。虽然额定值低至 2.7V, IOV_{DD} 在低至 1.8V 电压下运行, 但是此时的时序和性能会有所降低。为了实现最低功耗, 逻辑 V_{IH} 电平应该尽可能接近 IOV_{DD}, 逻辑 V_{IL} 电平应该尽可能接近接地电压。

输入移位寄存器

如 [表 4](#) 中所示, DAC8564 的输入移位寄存器 (SR) 为 24 位宽, 并且包含 8 个控制位 (DB23 和 DB 16) 以及 16 个数据位 (DB15 和 DB0)。头两个控制位 (DB23 和 DB22) 是地址匹配位。DAC8564 提供硬件启用的寻址功能, 这使单个主机在无需任何胶连逻辑的情况下能够通过单条 SPI 总线与多达四个 DAC8564 通信, 从而实现高达 16 个通道操作。DB23 的状态应该与引脚 A1 的状态相匹配; 相似的, DB22 的状态应该与引脚 A0 的状态相匹配。如果不匹配, 控制命令和数据 (DB21...DB0) 被 DAC8564 所忽略。也就是说, 如果有不匹配, DAC8564 不寻址。低至匹配可被广播更新置为无效。

表 4. 数据输入寄存器格式

DB23								DB12			
A1	A0	LD1	LD0	0	DAC 选择 1	DAC 选择 0	PD0	D15	D14	D13	D12
DB11								DB0			
D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

LD1(DB21) 和 LD0(DB20) 用指定的 16 位数据值或断电命令来控制每个模拟输出的载入。位 DB19 必须始终为 '0'。DAC 通道选择位 (DB18, DB17) 控制从 DAC A 到 DAC D 的数据 (或断电命令) 的目标。最终控制位, PD0 (DB16), 选择 DAC8564 通道的断电模式以及内部基准的断电模式。

DAC8564 支持一定数量的不同的加载命令。加载命令包括广播命令在一条 SPI 总线上寻址全部 DAC8564。加载命令总结如下:

DB21 = 0 和 DB20 = 0: 单通道存储。与 DB18 和 DB17 选择的一个 DAC 相对应的数据缓冲器随 SR 数据的内容更新 (或断电)。

DB21 = 0 和 DB20 = 1: 单通道更新。与 DB18 和 DB17 选择的一个 DAC 相对应的数据缓冲器和 DAC 寄存器随 SR 数据的内容更新 (或断电)。

DB21 = 1 和 DB20 = 0: 同步更新。由 DB18 和 DB17 选中的通道随 SR 数据更新; 同时, 所有其它通道随之前数据缓冲器中存储的数据更新 (或断电)。

DB21 = 1 和 DB20 = 1: 广播更新。不论地址匹配与否, SPI 总线上的全部 DAC8564 响应。如果 DB18 = 0, SR 数据被忽略, 并且全部 DAC8564 的任一通道随之前存储的数据更新 (或断电)。如果 DB18 = 1, SR 数据 (或断电) 更新系统中全部 DAC8564 的任一通道。这个广播更新特性可实现多达 16 个通道的同步更新。

请参考表 5 以了解更多信息。

表 5. 针对 DAC8564 的控制矩阵

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13-DB0	
A1	A0	LD1	LD0	0	DAC 选择 1	DAC 选择 0	PD0	MSB	MSB-1	MSB-2...LSB	
(地址选择)											说明
0/1	0/1	请见下方									这个地址根据每个器件的地址引脚状态从一个单条 SPI 数据总线上的四个可能的器件中选择一个器件。
A0 和 A1 应该与引脚 13 和 14 设定的封装地址相对应。		0	0	0	0	0	0	数据			将数据写入缓冲器 A
		0	0	0	0	1	0	数据			将数据写入缓冲器 B
		0	0	0	1	0	0	数据			将数据写入缓冲器 C
		0	0	0	1	1	0	数据			将数据写入缓冲器 D
		0	0	0	(00, 01, 10 或 11)		1	请参阅表 6		0	用断电命令写入缓冲器 (由 DB17 和 DB18 选择)
		0	1	0	(00, 01, 10 或 11)		0	数据			将数据写入缓冲器并载入 DAC (由 DB17 和 DB18 选择)
		0	1	0	(00, 01, 10 或 11)		1	请参阅表 6		0	将断电命令写入缓冲器并载入 DAC (由 DB17 和 DB18 选择)
		1	0	0	(00, 01, 10 或 11)		0	数据			将数据写入缓冲器 (由 DB17 和 DB18 选择) 并且从它们的相应的缓冲器中同时加载所有 DAC
		1	0	0	(00, 01, 10 或 11)		1	请参阅表 6		0	将断电命令写入缓冲器 (由 DB17 和 DB18 选择) 并且从它们的相应的缓冲器中同时加载所有 DAC
广播模式											
X	X	1	1	0	0	X	X	X			用存储在每个通道数据缓冲器中的数据同时更新系统中所有 DAC8564 器件的全部通道
X	X	1	1	0	1	X	0	数据			用 SR 数据写入所有器件, 并载入全部 DAC
X	X	1	1	0	1	X	1	请参阅表 6		0	用 SR 中的断电命令来写入全部器件并且加载所有 DAC

SYNC中断

在正常写入序列中， $\overline{\text{SYNC}}$ 线路在至少 24 个 SCLK 下降边沿中保持低电平，而已寻址 DAC 寄存器在第 24 个下降边沿上更新。然而，如果 $\overline{\text{SYNC}}$ 在第 24 个下降边沿之前被拉为高电平，它运行写入序列的中断；移位寄存器复位，并且写入序列被丢弃。既不会出现数据缓冲器内容，DAC 寄存器内容的更新，也不会出现工作模式的变换（如图 95 中所示）。

加电复位至零量程

DAC8564 包含一个在加电期间控制输出的加电复位电路。加电时，DAC 寄存器被填充为零，而输出电压为零量程；在对各自的 DAC 通道进行有效写入序列和载入命令前，保持此状态。加电复位在需要知道处于加电过程中的每个 DAC 的输出状态的应用中十分有用。

在为器件加电前，所有器件引脚均不应为高电平。内部基准缺省加电，并在执行一个有效基准改变命令前保持这一方式。

LDAC 功能性

DAC8564 提供软件和硬件同时更新功能。DAC 已经被设计成双缓冲架构，这样的话，可针对每个 DAC 输入全新数据，而又不会干扰模拟输出。

DAC8564 数据更新与第 24 个 SCLK 周期的下降边沿同步，此边沿之后是一个 $\overline{\text{SYNC}}$ 的下降边沿。对于这样的同步更新，不需要 LDAC 引脚，它必须被永久接地。LDAC 引脚被用作一个正边沿触发时序信号，此信号用于异步 DAC 更新。要进行一个 DAC 操作，应该通过将 LD0 个 LD1 置为 '0' 来完成单通道存储（加载 DAC 缓冲器）。为了将不同的通道缓冲器设定为所需要的值，并之后在 LDAC 上生成一个上升边沿，可完成多个单通道更新。所有通道的数据缓冲器必须在 LDAC 上升边沿前被载入所需的数据。在一个低电平至高电平 LDAC 转换后，用相应数据缓冲器的内容同时更新全部 DAC。如果串口未改变一个数据缓冲器的内容，相应的 DAC 输出在 LDAC 触发后保持不变。

使能引脚

要实现正常运行，使能引脚必须被驱动为低电平。如果使能引脚被驱动为高电平，DAC8564 停止侦听串口。然而，SCLK， $\overline{\text{SYNC}}$ 和 D_{IN} 一定不能保持悬空，但是必须处于某些逻辑电平上。这一特性对于共用同一串口的应用十分有用。

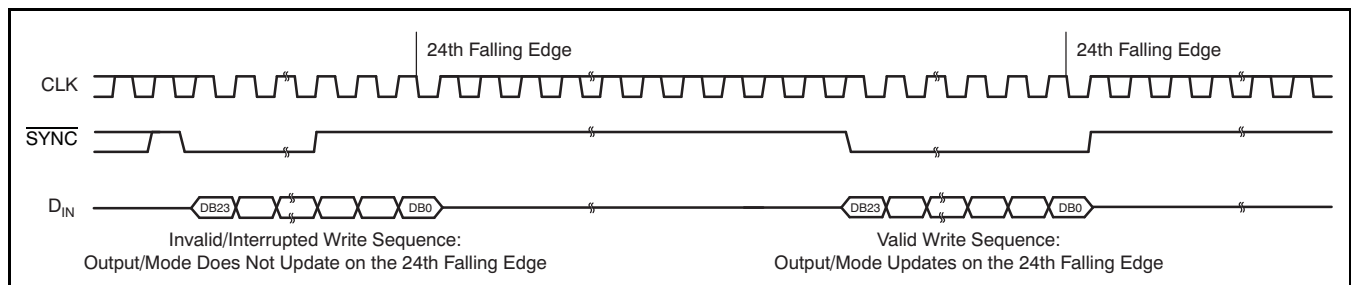


图 95. $\overline{\text{SYNC}}$ 中断工具

断电模式

DAC8564 有两组单独的断电命令。一组针对 DAC 通道，而另外一组针对内部基准。要获得与基准断电相关的更多信息，请见 [启用/禁用内部基准](#) 部分。

DAC 断电命令

DAC8564 使用四个运行模式。通过设置移位寄存器中的三个位（PD2，PD1 和 PD0）来访问这些模式。[表 6](#)显示了如何用数据位 PD0(DB16)，PD1(DB15) 和 PD2(DB14) 来控制操作模式。

表 6. DAC 操作模式

PD0 (DB16)	PD1 (DB15)	PD2 (DB14)	DAC 操作模式
0	X	X	正常运行
1	0	1	输出通常为对地 1kΩ
1	1	0	输出通常为对地 100kΩ
1	1	1	输出 高阻抗

DAC8564 将断电条件视为数据；所有操作模式对于断电仍然有效。有可能将断电情况广播至一个系统中的全部 DAC8564；也可以在更新其它通道数据的同时，将一个通道断电。

当 PD0 位被设定为 '0' 时，器件正常工作，使用输入代码 = 32768，在电压为 5.5V 时，典型流耗为 1mA。基准电流被包含在全部四个

DAC 的运行中。然而，对于三个断电模式，电源电流在 5.5V 时下降至 1.3μA（3.6V 时为 0.5μA）。不但电源电流下降，而且输出级也在内部从放大器的输出切换至一个已知电阻值的电阻器网络。

这个开关的优势在于当器件处于断电模式中时，其输出阻抗已知。如[表 6](#)中所描述的那样，有三个不同的断电选项。V_{OUT} 可通过一个 1kΩ 电阻器，一个 100kΩ 电阻器，或者开路（高阻抗）在内部接地。[图 96](#)中图示了输出级。换句话说，DB16，DB15 和 DB14 = '111' 代表针对一个所选通道的具有高阻抗输出阻抗的断电状态。'101' 代表具有 1kΩ 输出阻抗的断电状态，而 '110' 代表具有 100kΩ 输出阻抗的断电状态。

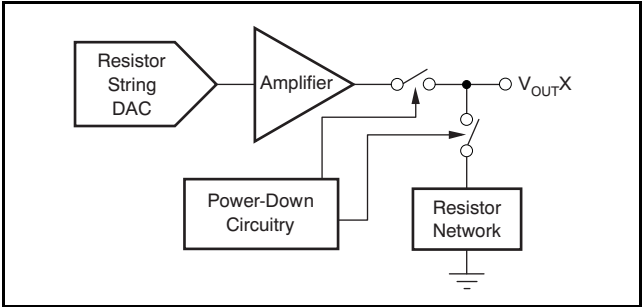


图 96. 断电期间的输出级

当断电模式被使用时，所有模拟通道电路被关断。然而，DAC 寄存器内容在断电时不受影响。退出断电模式的时间通常为 2.5μs，此时 V_{DD}= 5V，在 V_{DD}= 3V 时为 5μs。更多信息请参阅[典型特征](#)。

操作示例：DAC8564

对于以下的示例，请确保 DAC 引脚 A0 和 A1 都被接地。引脚 A0 和 A1 必须在 SPI 写入序列/协议内始终匹配数据位 DB22 和 DB23。X = 无关。值可为 '0' 或 '1'。

示例 1：将数据写入缓冲器 A 至缓冲器 D；同时载入 DAC A 到 DAC D

- 第一步：写入数据缓冲器 A:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	0	0	D15	D14	D13	D12	D11–D0

- 第二步：写入数据缓冲器 B:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	1	0	D15	D14	D13	D12	D11–D0

- 第三步：写入数据缓冲器 C:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	1	0	0	D15	D14	D13	D12	D11–D0

- 第四步：写入数据缓冲器 D 并且同时更新全部 DAC:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	1	0	0	1	1	0	D15	D14	D13	D12	D11–D0

DAC A, DAC B, DAC C 和 DAC D 模拟输出在完成第 4 步写入序列时，同时稳定为指定的值。（在第四个写入周期的第 24 个 SCLK 下降边沿之后，DAC 电压同时更新）。

示例 2：按顺序将新数据载入 DAC A 到 DAC D

- 第一步：写入数据缓冲器 A 并且载入 DAC A: DAC A 输出在完成时稳定至指定的值:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	0	0	0	D15	D14	D13	D12	D11–D0

- 第二步：写入数据缓冲器 B 并且载入 DAC B: DAC B 输出在完成时稳定至指定的值:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	0	1	0	D15	D14	D13	D12	D11–D0

- 第三步：写入数据缓冲器 C 并且载入 DAC C: DAC C 输出在完成时稳定至指定的值:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	1	0	0	D15	D14	D13	D12	D11–D0

- 第四步：写入数据缓冲器 D 并且载入 DAC D：DAC D 输出在完成时稳定至指定的值：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	1	1	0	D15	D14	D13	D12	D11–D0

每个写入周期完成后，DAC 模拟输出稳定至指定的电压。

示例 3: 同时将 DAC A 和 DAC B 断电至 1kΩ, 将 DAC C 和 DAC D 断电至 100kΩ

- 第一步: 将断电命令写入到数据缓冲器 A: DAC A 至 1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	0	1	0	1	X	X	X

- 第二步: 将断电命令写入到数据缓冲器 B: DAC B 至 1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	1	1	0	1	X	X	X

- 第三步: 将断电命令写入到数据缓冲器 C: DAC C 至 100kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	1	0	1	1	0	X	X	X

- 第四步: 将断电命令写入到数据缓冲器 D: DAC D 至 100kΩ, 并且同时更新全部 DAC。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	1	0	0	1	1	1	1	0	X	X	X

DAC A, DAC B, DAC C 和 DAC D 模拟输出在第四个写入序列完成时同时断电至各自的指定模式。

示例 4: 按顺序将 DAC A 到 DAC D 断电至高阻抗

- 第一步: 将断电命令写入到数据缓冲器 A 并且载入 DAC A: DAC A 输出=高阻抗:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	0	0	1	1	1	X	X	X

- 第二步: 将断电命令写入到数据缓冲器 B 并且载入 DAC B: DAC B 输出=高阻抗:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	0	1	1	1	1	X	X	X

- 第三步: 将断电命令写入到数据缓冲器 C 并且载入 DAC C: DAC C 输出=高阻抗:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	1	0	1	1	1	X	X	X

- 第四步: 将断电命令写入到数据缓冲器 D 并且载入 DAC D: DAC D 输出=高阻抗:

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	1	1	1	1	1	X	X	X

DAC A, DAC B, DAC C 和 DAC D 模拟输出在第一、第二、第三和第四个写入序列完成时分别按顺序断电至高阻抗状态。

示例 5：在基准始终加电的同时将全部通道断电

- 第一步：写入始终启用 DAC8564 内部基准的序列：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	0	1	0	0	0	1	X

- 第二步：写入将全部 DAC 断电至高阻抗的序列：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	1	1	0	1	0	1	1	1	X	X	X

DAC A, DAC B, DAC C 和 DAC D 模拟输出在第一和第二个写入序列完成时分别按顺序断电至高阻抗状态。

示例 6：在基准始终断电的同时将一个指定的值写入全部 DAC

- 第一步：写入始终禁用 DAC8564 内部基准的序列（这个序列后，DAC8564 要求一个外部基准源来运行）：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	0	1	0	0	1	0	X

- 第二步：写入序列将指定的数据写入全部 DAC：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	1	1	0	1	0	0	D15	D14	D13	D12	D11–D0

DAC A, DAC B, DAC C 和 DAC D 模拟输出在完成第四步写入序列时，同时稳定为指定的值。（在第四个写入周期的第 24 个 SCLK 下降边沿之后，DAC 电压同时更新）。基准始终断电。

示例 7：将一个指定的值写入到 DAC A 中，而基准被放置在缺省模式中，并且全部其它 DAC 被断电至高阻抗状态

- 第一步：写入将 DAC8564 内部基准放置在缺省模式中的序列。或者，这个步骤可被替代为执行一个加电复位（请见[加电复位](#)部分）：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	0	0	0	0	1	0	0	0	0	X

- 第二步：写入序列将所有 DAC 断电至高阻抗状态（这个序列之后，DAC8564 内部基准自动断电）：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	1	1	0	1	0	1	1	1	X	X	X

- 第三步：写入序列将 DAC A 加电至一个指定的值（这个序列后，DAC8564 内部基准自动加电）：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC 选择 1)	DB17 (DAC 选择 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11–DB0
0	0	0	1	0	0	0	0	D15	D14	D13	D12	D11–D0

完成时，DAC B，DAC C 和 DAC D 模拟输出自动断电至高阻抗状态，而 DAC A 稳定至指定的值。

应用信息

内部基准

DAC8564 的内部基准不要求一个外部负载电容器来实现稳定性，这是因为它与任一电容负载一同工作时保持稳定。然而，要改进噪声性能，建议将一个 **150nF** 或更大的外部负载电容器连接至 V_{REFH}/V_{REFOUT} 输出上。图 97 显示了 DAC8564 内部基准运行所需的典型连接。还推荐在 AV_{DD} 输入上使用一个电源旁路电容器。

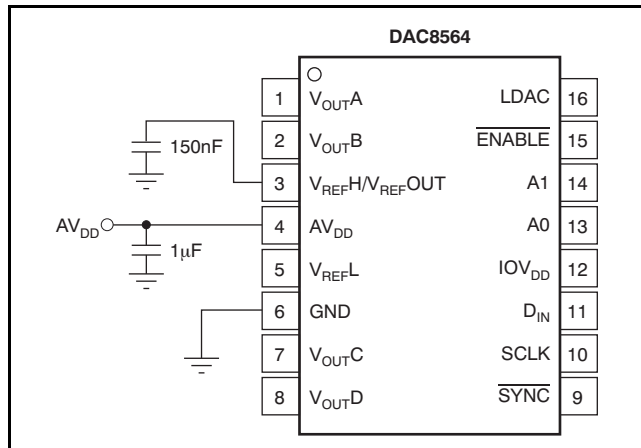


图 97. 针对 DAC8564 内部基准操作的典型连接

电源电压

内部基准特有一个极低压降电压。在空载条件下，它可以在只比基准输出电压高 **5mV** 的电源供电情况下运行。对于已负载情况，请参考 [负载稳压](#) 部分。内部基准在电源电压变化时的稳定性（线路稳压，直流 PSRR）也是十分出色的。在 2.7V 至 5.5V 的额定电源电压范围内， V_{REFH}/V_{REFOUT} 的变化小于 **10μV/V**；请见 [典型特征](#)。

温度漂移

内部基准被设计用来显示最小漂移误差，被定义为温度变化时基准输出电压的变化。使用盒式方法计算漂移，在 [公式 2](#) 中记述了此方法：

$$\text{Drift Error} = \left[\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF} \times T_{RANGE}} \right] \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (2)$$

其中：

V_{REF_MAX} = 温度范围 $T_{范围}$ 内观测到的最大基准电压。

V_{REF_MIN} = 温度范围 $T_{范围}$ 内观测到的最小基准电压。

$V_{REF} = 2.5V$ ，针对基准输出电压的目标值。

内部基准（C 和 D 级）在 -40°C 至 $+120^\circ\text{C}$ 温度范围内特有一个 **2ppm/°C** 的出色典型漂移系数。特有大量单元，观测到 **5ppm/°C**（C 和 D 级）的最大漂移系数。[典型特征](#) 中总结了温度漂移结果。

噪声性能

图 8 中可以看到 0.1Hz 至 10Hz 的典型电压噪声，内部基准噪声。虽然必须小心操作以确保输出阻抗不会降低交流性能，但是额外滤波可被用来改进输出噪声水平。图 7 中图示了无任何外部组件的 V_{REFH}/V_{REFOUT} 上的输出噪声频谱，内部基准噪声密度与频率间的关系。图 7 中还显示了另外的噪声密度频谱。使用一个 V_{REFH}/V_{REFOUT} 上用于噪声过滤的 **4.8μF** 负载电容器获得这个频谱。内部基准噪声影响 DAC 输出噪声；更多细节请见 [DAC 噪声性能](#) 部分。

负载稳压

负载稳压被定义为由负载电流的变化所导致的基准输出电压的变化。内部基准的负载稳压使用图 98 中图示的强制和感测接触测量。强制和感测线路减少了接触和跟踪电阻的影响，从而获得只得益于内部基准的负载稳压的精确测量。典型特征中总结了测量结果。强制和感测线路应该被用于要求改进负载稳压的应用。

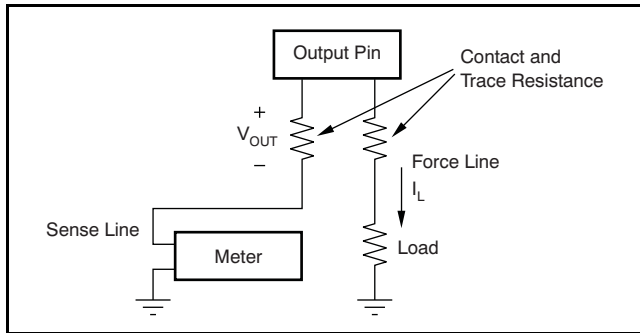


图 98. DAC8564 内部基准的精确负载稳压

长期稳定性

长期稳定性/老化是指在几个月或几年的时期内基准的输出电压的变化。这个效应随着时间的推移而减少（请见图 6，典型长期稳定性曲线）。内部基准的典型漂移值在 0 小时至 1900 小时内为 50ppm。对于 1900 小时的时间周期，在规则的时间间隔内，通过加电和测量 20 个单元来标记此参数。

热滞后

一个基准的热滞后被定义为在 +25°C 温度下运行器件，在额定温度范围内循环器件，并且返回 +25°C 后，输出电压的变化。滞后在公式 3 中表示为：

$$V_{\text{HYST}} = \left[\frac{|V_{\text{REF_PRE}} - V_{\text{REF_POST}}|}{V_{\text{REF_NOM}}} \right] \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (3)$$

其中：

V_{HYST} = 热滞后。

$V_{\text{REF_PRE}}$ = 在 +25°C 预热循环时测得的输出电压。

$V_{\text{REF_POST}}$ = 器件已经在 -40°C 至 +120°C 的温度范围内循环并返回 +25°C 后测得的输出电压。

DAC 噪声性能

在图 54 至图 56 中显示了内部基准被启用时，DAC8564 的典型噪声性能。在图 54 中图示了针对满量程、中量程和零量程输入代码，引脚 $V_{\text{输出}}$ 上的输出噪声频谱密度与频率间的关系。1kHz 时，中量程代码的典型噪声密度为 $120\text{nV}/\sqrt{\text{Hz}}$ ，1MHz 时为 $100\text{nV}/\sqrt{\text{Hz}}$ 。如图 55 中所示，可以通过滤除基准噪声来改进高频噪声，在这里， $4.8\mu\text{F}$ 负载电容器被连接至 $V_{\text{REFH}}/V_{\text{REFOUT}}$ 引脚，并且与空载情况相比较。介于 0.1Hz 和 10Hz 之间的集成输出噪声接近 $6\mu\text{V}_{\text{PP}}$ （中量程），如图 56 中所示。

使用 DAC8564 的双极运行

DAC8564 已经被设计成由单电源供电运行，但是使用图 99 或图 100 中的电路，双极输出范围也是可能的。显示的电路给出了一个 $\pm V_{REF}$ 的输出电压范围。可通过将一个 OPA703 用作输出放大器来在放大器输出上实现轨至轨运行。

使用公式 4 可以计算出针对任一输入代码的输出电压：

$$V_O = \left[V_{REF} \times \left[\frac{D}{65536} \right] \times \left[\frac{R_1 + R_2}{R_1} \right] - V_{REF} \times \left[\frac{R_2}{R_1} \right] \right] \quad (4)$$

在这里， D 代表十进制的输入代码 (0-65535)。

此时 $V_{REFH} = 5V$ ， $R_1 = R_2 = 10k\Omega$ 。

$$V_O = \left[\frac{10 \times D}{65536} \right] - 5V \quad (5)$$

如图 99 中所示，这个结果有一个 $\pm 5V$ 的输出电压范围，对于 $-5V$ 输出，为 0000h，对于 $+5V$ 输出，为 FFFFh。相似的，通过使用内部基准，如图 100 中所示，可实现一个 $\pm 2.5V$ 的输出电压范围。

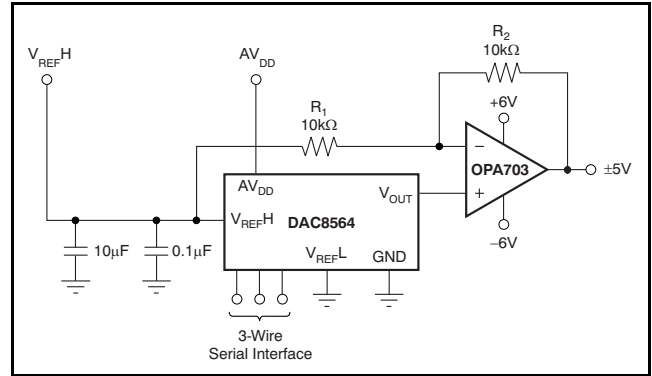


图 99. 5V 电压时，使用外部基准的双极输出范围

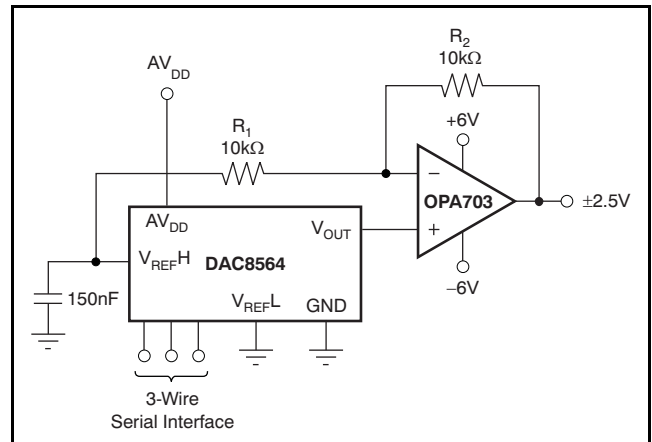


图 100. 使用内部基准的双极输出范围

微处理器接口

DAC SPI 接口

在处理直接施加到 DAC 上的数字控制信号时必须小心，特别是对于 $\overline{\text{SYNC}}$ 引脚。 $\overline{\text{SYNC}}$ 引脚在中间没有满 SCLK 脉冲时一定不能被切换。 如果违反这个条件，那么 SPI 引脚将锁定在一个错误状态，这将导致 DAC 运行方式不正确且有错误。 可通过写入一个有效的 SPI 命令或正确使用 $\overline{\text{SYNC}}$ 引脚来使 DAC 从这个故障状态中恢复；然后，通信也将恢复。 避免 $\overline{\text{SYNC}}$ 线路上的毛刺脉冲和瞬态以确保正常运行。

DAC8564 至一个 8051 接口

图 101 显示了 DAC8564 与一个典型 8051 类型微控制器之间的串口。 此接口的设置如下：8051 的 TXD 驱动 DAC8560 的 SCLK，而 RXD 驱动此器件的串行数据线路。 $\overline{\text{SYNC}}$ 信号取自 8051 端口上的一个位可编程引脚；在这个情况下，端口线路 P3.3 被使用。 当数据被发送到 DAC8560 时，P3.3 采用低电平。 8051 以 8 位字节发送数据；因此，在发送周期内，只出现 8 个下降时钟边沿。 要把数据载入到 DAC 中，P3.3 在头 8 个位被发送后保持低电平，然后启动第二个写入周期来发送数据的第二个字节。 P3.3 在完成第三个写入周期后采用高电平。 8051 的串行数据输出格式为最低有效位 (LSB) 占先。 DAC8564 要求其数据最高有效位 (MSB) 作为接受到的第一位。 因此，8051 在发送例程时必须将这一情况考虑在内，并且需要镜像数据。

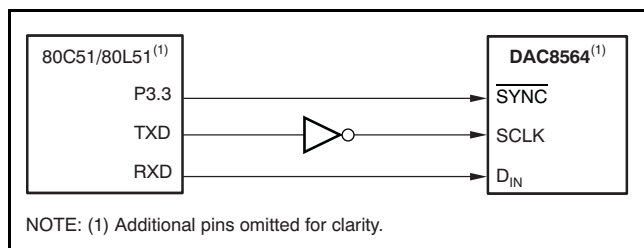


图 101. DAC8564 至 80C51/80L51 接口

DAC8564 至 Microwire 接口

图 102 显示了 DAC8564 与任一 Microwire 兼容器件间的接口。 串行数据在串行时钟的下降边沿上移出，并在 SK 信号的上升边沿上计时到 DAC8564。

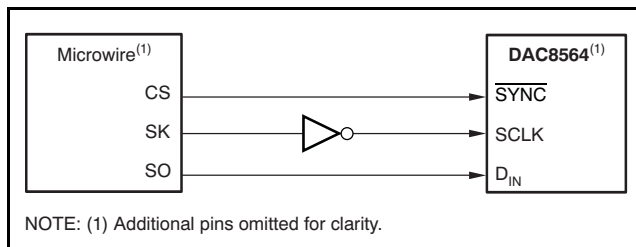


图 102. DAC8564 至 Microwire 接口

DAC8564 至 68HC11 接口

图 103 显示了 DAC8564 与 68HC11 微控制器间的串口。 68HC11 的 SCK 驱动 DAC8564 的 SCLK，而 MOSI 输出驱动 DAC 的串行数据线路。 $\overline{\text{SYNC}}$ 信号取自一个端口线路 (PC7)，与 8051 图相似。

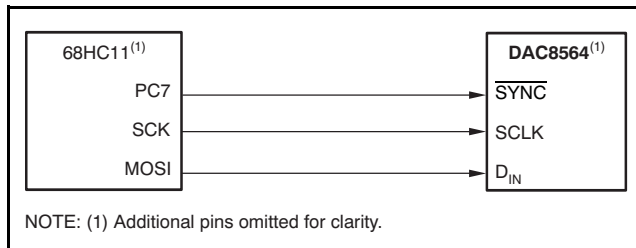


图 103. DAC8564 至 68HC11 接口

应该配置 68HC11，这样，它的 CPOL 位为 '0'，而它的 CPHA 位为 '1'。 这个配置使得出现在 MOSI 输出上的数据在 SCK 的下降边沿上有效。 当数据被发送至 DAC 时， $\overline{\text{SYNC}}$ 线路被保持在低电平 (PC7)。 来自 68HC11 的串行数据以 8 位字节发送，此时，只有 8 个下降时钟边沿出现在发送周期内。（数据被传输，MSB 首先被传输。） 为了将数据载入到 DAC8564 中，PC7 在头 8 个位被传输后保持在低电平，然后对 DAC 执行第二和第三串行写入操作。 PC7 在这个过程的末尾被取为高电平。

布局布线

一个精密模拟组件要求仔细布局布线、足够的旁路和洁净的、经很好稳压的电源。

DAC8564 提供单电源运行，并且常常用在十分接近数字逻辑电路、微控制器、微处理器和数字信号处理器的位置上。设计中的数字逻辑电路越多，开关速度越快，越难在输出上杜绝数字噪声。

由于 DAC8564 的单个接地引脚，所有返回电流（其中包括针对 DAC 的数字和模拟返回电流）必须流经一个单点。理想状态下，接地将被直接连接至一个模拟接地盘。这个接地盘将与用于数字组件的接地连接分离，直到这些组件被连接到系统的电源输入点上。

被施加到 V_{DD} 上的电源应该被很好地稳压且具有低噪声。开关电源和直流/直流转换器通常会在输出电压上产生高频毛刺脉冲或尖峰电压。此外，数字组件会产生与它们的内部逻辑开关状态相似的高频尖峰。这个噪声很容易通过电源连接和模拟输出之间的不同路径耦合进入 DAC 输出电压。

当使用接地连接时， V_{DD} 应该被接至一个电源层或迹线，这个电源层或迹线应该与针对数字逻辑电路的连接分离，直到它们被连接在电源输入点上。此外，强烈建议使用一个 $1\mu\text{F}$ 至 $10\mu\text{F}$ 电容器和 $0.1\mu\text{F}$ 旁路电容器。在某些情况下，也许需要额外的旁路，例如一个 $100\mu\text{F}$ 的电解电容器或者甚至是一个由电感器和电容器组成的 PI 滤波器-所有这些被设计用来从根本上对电源进行低通过滤，从而移除高频噪声。

参数定义

由于产品数据表中所列的许多不同技术参数的复杂度的增加，这一部分总结了选出的与数模转换器相关的技术参数。

静态性能

静态性能参数是诸如微分非线性 (DNL) 或积分非线性 (INL) 等的技术规格。这些是直流技术规格，并且提供与 DAC 精度有关的信息。它们在信号变化缓慢且要求精度的应用中十分重要。

分辨率

总的来讲，DAC 分辨率可用不同的形式表示。诸如 IEC 60748-4 的技术规格承认数字、模拟和相对分辨率。数字分辨率被定义为在选用的编号系统中需要表达传输特性步长总数的数字的数量，在这里，一个步长代表一个数字输入代码和相应的离散模拟输出值。数据表中提出的最常用的分辨率定义是以位表示的数字分辨率。

最低有效位 (LSB)

最低有效位 (LSB) 被定义为一个二进制编码系统中的最小值。通过用 2^n 除以满量程输出电压来计算 LSB 的值，在这里， n 是转换器的分辨率。

最高有效位 (MSB)

最高有效位 (MSB) 被定义为一个二进制编码系统中的最大值。可以用 2 除以满量程输出电压来计算 MSB 的值。它的值是满量程的一半。

相对精度或积分非线性 (INL)

相对精度或积分非线性 (INL) 被定义为实际转换功能与一条通过理想 DAC 转换功能端点的直线之间的最大偏离。DNL 以 LSB 为单位进行测量。

微分非线性 (DNL)

微分非线性 (DNL) 被定义为实际 LSB 步长与理想 1LSB 步长的偏离。理想状态下，任意两个与输出模拟电压相对应的相邻数字代码恰好相隔一个 LSB。如果 DNL 少于 1LSB，DAC 被称为单调转换。

满量程误差

满量程误差被定义为 DAC 寄存器被载入满量程代码 (0xFFFF) 时，实际满量程输出电压与理想输出电压的偏离。理想状态下，输出应该为 $V_{DD} - 1\text{LSB}$ 。满量程误差被表示为满量程范围的百分比 (%FSR)。

偏移误差

偏移误差被定义为转换函数的线性区域内实际输出电压与理想输出电压间的差异。这个差异通过使用一条；两个代码（代码 485 和 64714）定义的直线进行计算。由于用一条直线定义偏移误差，它的值可为正，也可为负。偏移误差的单位为 mV。

零代码误差

零代码误差被定义为 DAC 输出电压。此时全 '0' 被载入到 DAC 寄存器中。零量程误差是实际输出电压与理想输出电压 (0V) 间差异的测量值。它的单位为 mV。它主要由输出放大器内的偏移所导致。

增益误差

增益误差被定义为实际 DAC 转换特性与理想转换功能在斜率上的偏离。增益误差表示为满量程范围的百分比 (%FSR)。

满量程误差漂移

满量程误差漂移被定义为温度变化时满量程误差的变化。满量程误差漂移的单位为 %FSR/°C。

偏移误差漂移

偏移误差漂移被定义为温度变化时，偏移误差的变化。偏移误差漂移的表示单位为 $\mu\text{V}/^\circ\text{C}$ 。

零代码误差漂移

零代码误差漂移被定义随温度变化的零代码误差的变换值。零代码误差漂移的表示单位为 $\mu\text{V}/^\circ\text{C}$ 。

增益温度系数

增益温度系数被定义为随温度变换的增益误差的变化值。增益温度系数的表示方法为 FSR/°C 的 ppm 值。

电源抑制比 (PSRR)

电源抑制比 (PSRR) 被定义为，针对 DAC 的一个满量程输出，输出电压的变化与电源电压的比率。一个器件的 PSRR 表示 DAC 的输出是如何受到电源电压的变化影响。PSRR 的测量单位为分贝 (dB)。

单调性

单调性被定义为一个信号不发生变化的斜坡。如果一个 DAC 是单调的，输出变化处于同一方向，或者在输入代码中针对每个步长增加（或减少）保持至少恒定。

动态性能

动态性能参数是诸如稳定时间或转换率的技术规格，这些技术规格在信号快速变化和/或出现高频信号的应用中十分重要。

转换率

一个放大器或其它电子电路的输出转换率 (SR) 被定义为针对所有可能的输入信号，输出电压的最大变化率。

$$SR = \max \left[\left| \frac{\Delta V_{OUT}(t)}{\Delta t} \right| \right]$$

其中， $\Delta V_{OUT}(t)$ 是放大器作为时间 t 的函数所产生的输出。

输出电压稳定时间

稳定时间是输入变化后，在其最终值附近的一个误差范围内，DAC 输出稳定的总时间（其中包括转换时间）稳定时间被指定为满量程范围 (FSR) 的 $\pm 0.003\%$ 以内（或者指定的任何值）。

代码更改/数模转换毛刺脉冲能量

数模转换毛刺脉冲是在输入代码处于 DAC 寄存器变化状态时，被注入模拟输出的脉冲。它通常被指定为以毫微伏特秒 (nV-s) 为单位的毛刺脉冲的面积，并且当数字输入代码在主进位转换时被 1LSB 改变时测得。

数字馈通

数字馈通被定为 DAC 输出上（来自 DAC 的数字输入）可见的脉冲。它在 DAC 输出未被更新时测得。它被指定为 nV-s，并且在数据总线上用满量程代码变化测得；也就是说，从全 '0' 至全 '1'，反之亦然。

通道到通道直流串扰

通道至通道直流串扰被定义为，一个 DAC 通道的输出电平相对于其它 DAC 通道的输出的变化所发生的直流变化。它在监视其它保持在中量程上的 DAC 通道的同时，用一个 DAC 通道上的满量程输出变化进行测量。它表示为 LSB。

通道到通道交流串扰

多通道 DAC 中交流串扰被定义为在某一频率 (f)（和它的谐波）时，一个通道的输出上所经历的交流干扰的数量，此时一个相邻通道的输出以频率 (f) 的速率改变它的值。它测量为以 1kHz 频率正弦波振荡的通道输出，同时监视一个相邻 DAC 通道输出上 1kHz 谐波的振幅（保持在零量程）。它的单位为 dB。

信噪比 (SNR)

信噪比 (SNR) 被定义为输出信号的均方根 (RMS) 值除以所有其他二分之一输出频率以下的光谱分量总和的 RMS 值的比率，其中不包括谐波或交流值。SNR 以 dB 为单位测量。

总谐波失真 (THD)

总谐波失真 + 噪声被定义为谐波和噪声的 RMS 值与基本频率值的比率。它表示为采样率 f_s 上基本频率振幅的百分比。

无杂散动态范围 (SFDR)

无杂散动态范围 (SFDR) 是杂散噪声干扰或基本信号失真前可用的 DAC 动态范围。SFDR 是基本频率与直流到完全那奎斯特带宽（DAC 采样速率的一半，或者 $f_s/2$ ）范围内最大谐波或非谐波相关杂散之间振幅差异的测量值。一个杂散是频谱分析仪上的任一频率窗口，或者来自 DAC 模拟输出的一个傅里叶变换。SFDR 被指定为相对于载波的分贝值 (dBc)。

信噪比和失真率 (SINAD)

除了量化任一内部随机噪声功率，SINAD 包括全部以输出噪声功率为定义的谐波和突出的杂散分量。SINAD 在指定的输入频率和采样速率上表示为 dB, f_s 。

DAC 输出噪声密度

输出噪声密度被定义为内部生产的随机噪声。随机噪声的特点是频谱密度 ($nV/\sqrt{Hz}$)。通过将 DAC 载入中量程并测量输出上的噪声来测量这个值。

DAC 输出噪声

DAC 输出噪声被定义为 DAC 输出与所希望得到的值之间的任一电压偏离（在一个特定的频段内）。它用保持在中量程的 DAC 通道进行测量，同时过滤 0.1Hz 至 10Hz 波段内的输出电压，并且测量其振幅峰值。它表示为峰值到峰值电压 (V_{PP})。

满量程范围 (FSR)

满量程范围 (FSR) 是 DAC 额定提供的最大和最小模拟输出值之间的差值；通常情况下，也指定了最大和最小值。对于一个 n 位 DAC，这些值通常作为与代码 0 和 2^n 相匹配的值给出。

修订历史记录

请注意：前一修订版的页码可能与当前版本的页码不同。

Changes from Revision C (September 2010) to Revision D	Page
• 已更改输出电压参数，分别将最小值/最大值从 2.4995 和 2.5005 改为 2.4975 和 2.5025	4
• 已更改初始精度参数，分别将最小值/最大值从 -0.02 和 0.02 改为 -0.1 和 0.1	4
 Changes from Revision B (March 2008) to Revision C	 Page
• 已更改 t_2 最小值，该值位于 时序要求表	7
• 已添加 DAC SPI 接口 部分至 微处理器接口 章节	39

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC8564IAPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564IAPW.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564IAPWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564IAPWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564IBPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564 B
DAC8564IBPW.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DAC 8564 B
DAC8564ICPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564ICPW.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564ICPWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564ICPWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564
DAC8564IDPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564 D
DAC8564IDPW.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564 D
DAC8564IDPWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564 D
DAC8564IDPWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 105	DAC 8564 D

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "--" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

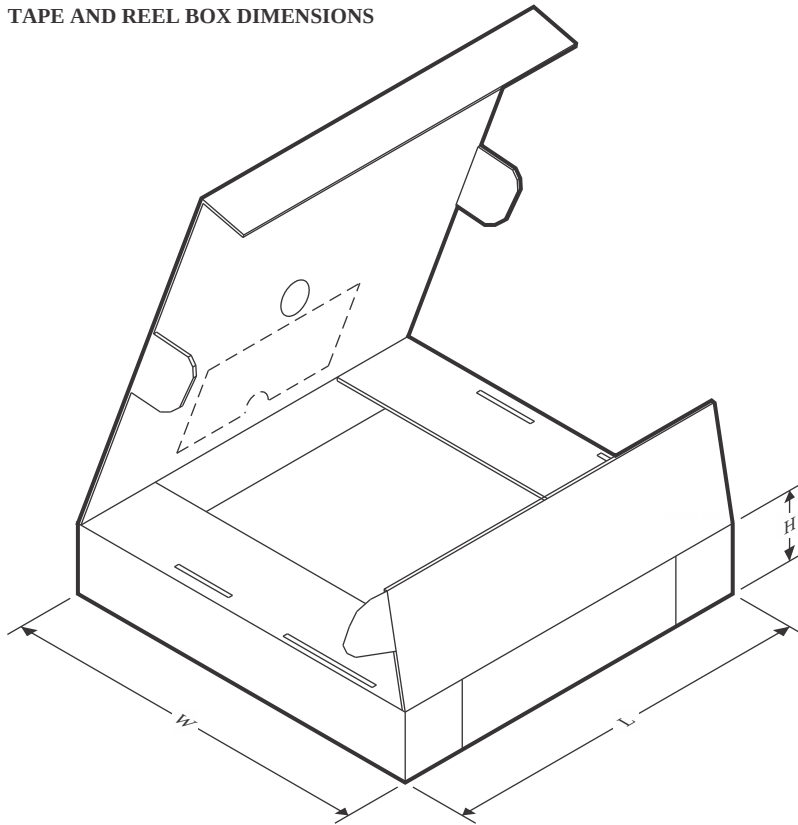
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8564IAPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DAC8564ICPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DAC8564IDPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8564IAPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
DAC8564ICPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
DAC8564IDPWR	TSSOP	PW	16	2000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
DAC8564IAPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564IAPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564IBPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564IBPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564ICPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564ICPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564IDPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8564IDPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5



PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



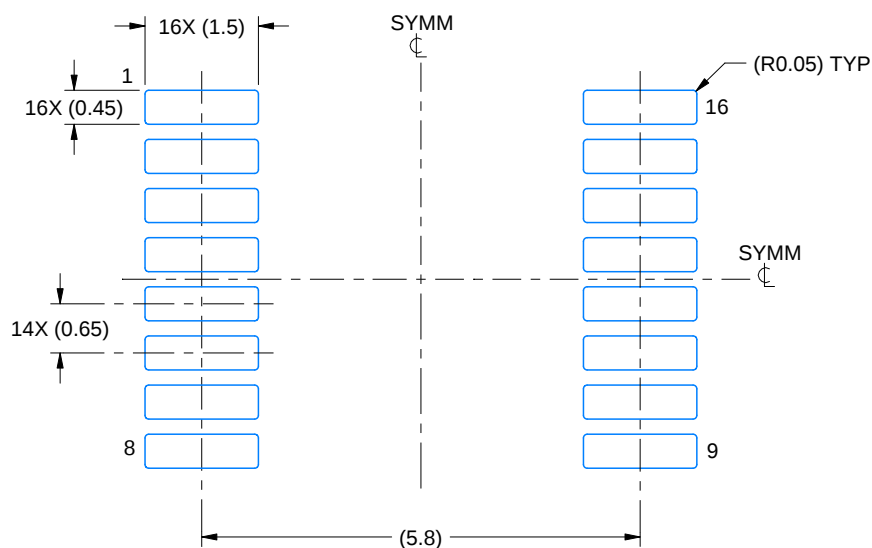
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

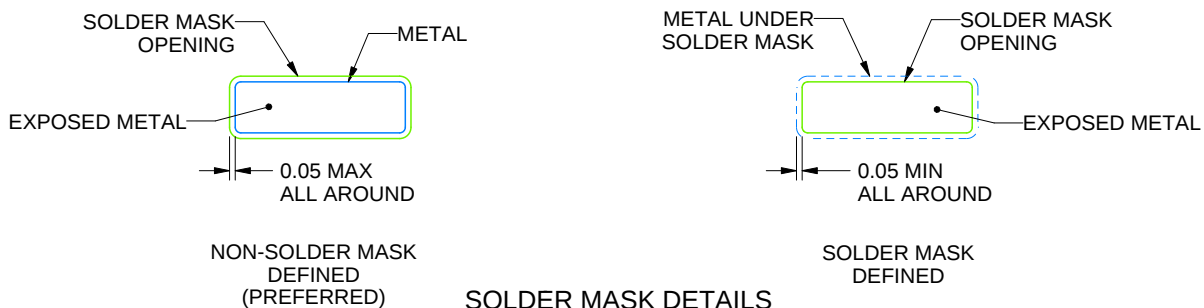
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

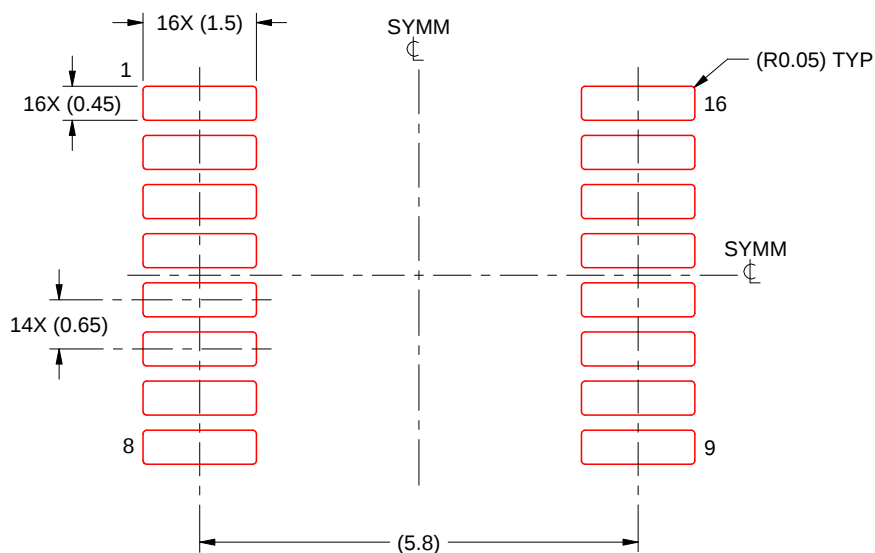
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司