

CDCLVP111-SP 低压 1:10 LVPECL，具有可选输入时钟驱动器

1 特性

- 将一个差分时钟输入对 LVPECL 分配至 10 个差分 LVPECL
- 与 LVECL 和 LVPECL 完全兼容
- 支持宽电源电压范围：2.375V 至 3.8V
- 通过 CLK_SEL 可选择时钟输入
- 适用于时钟分配应用的低输出偏斜（典型值为 15ps）
 - 附加抖动小于 1ps
 - 传播延迟小于 355ps
 - 开路输入默认状态
 - 兼容 LVDS、CML、SSTL 输入
- 针对单端时钟的 V_{BB} 基准电压输出
- 频率范围介于 DC 至 3.5GHz 之间
- 支持国防、航天和医疗应用
 - 受控基线
 - 同一封装测试厂
 - 同一制造厂完成所有制造过程
 - 支持军用（-55°C 至 125°C）温度范围，¹
 - 延长的产品生命周期
 - 延长的产品变更通知
 - 产品可追溯性

2 应用

- 设计用于驱动 50 Ω 传输线路
- 高性能时钟分配
- 可提供工程评估 (EM) 样片²

3 说明

CDCLVP111-SP 时钟驱动器能够以最低时钟分配偏斜将 LVPECL 输入的一对差分时钟（CLK0 和 CLK1）分配至十对差分 LVPECL 时钟（Q0 和 Q9）输出。CDCLVP111-SP 可接受两个时钟源传入一个输入多路复用器。CDCLVP111-SP 专为驱动 50 Ω 传输线路而设计。如果不使用某个输出引脚，可将其保持断开，以便降低功耗。如果只使用差分对的其中一个输出引脚，那么另一输出引脚必须同样地端接至 50 Ω 。

如果要求单端输入运行， V_{BB} 基准电压输出被使用。在这种情况下，必须将 V_{BB} 引脚连接至 CLK0 并通过一个 10nF 电容器旁通至 GND。

要实现高速性能，强烈建议使用差分模式。

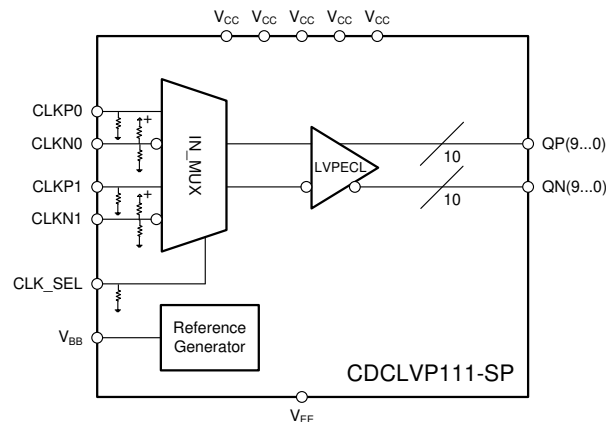
CDCLVP111-SP 的工作温度范围是 -55°C 至 125°C。

封装信息

器件型号	封装 ⁽¹⁾	本体尺寸（标称值）	封装尺寸 ⁽²⁾
CDCLVP111-SP	HFG (CFP, 36)	9.08mm × 9.08mm	9.08mm × 9.08mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



Copyright © 2016, Texas Instruments Incorporated

功能方框图

¹ 提供定制的温度范围。

² 这些器件仅适用于工程评估。这些器件按非合规性流程进行了处理（即未进行老化处理等操作）并且仅在 25°C 的额定温度下进行了测试。这些器件不适用于鉴定、量产、辐射测试或飞行。也不保证这些器件在 MIL 规定的 -55°C 至 125°C 完整温度范围运行寿命中的性能。



内容

1 特性	1	6.3 特性说明	9
2 应用	1	6.4 器件功能模式	10
3 说明	1	7 应用和实施	11
4 引脚配置和功能	3	7.1 应用信息	11
引脚功能.....	3	7.2 典型应用	11
5 规格	4	7.3 电源相关建议	17
5.1 绝对最大额定值.....	4	7.4 布局	18
5.2 ESD 等级.....	4	8 器件和文档支持	19
5.3 建议运行条件.....	4	8.1 文档支持.....	19
5.4 热性能信息.....	4	8.2 接收文档更新通知.....	19
5.5 LVECL DC 电气特性.....	5	8.3 支持资源.....	19
5.6 LVPECL DC 电气特性.....	6	8.4 商标.....	19
5.7 交流电气特性.....	6	8.5 静电放电警告.....	19
5.8 典型特性.....	8	8.6 术语表.....	19
6 详细说明	9	9 修订历史记录	19
6.1 概述.....	9	10 机械、封装和可订购信息	19
6.2 功能方框图.....	9		

4 引脚配置和功能

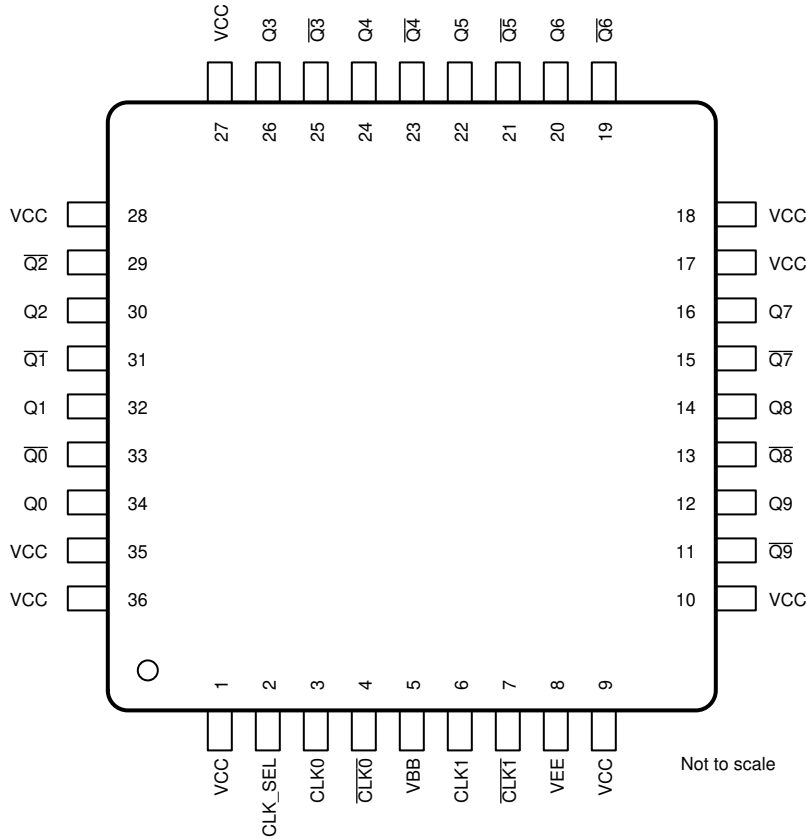


图 4-1. HFG 封装 36 引脚 CFP 顶视图

引脚功能

引脚		类型	说明
名称 ⁽¹⁾	编号		
CLK_SEL	2	输入	时钟选择。用于在 CLK0 和 CLK1 输入对之间进行选择。兼容 LVTTTL/LVCMOS 功能。
CLK0, $\overline{\text{CLK0}}$	3、4	输入	差分 LVECL/LVPECL 输入对。
CLK1, $\overline{\text{CLK1}}$	6、7	输入	
Q[9:0]	12、14、16、20、 22、24、26、30、 32、34	输出	LVECL/LVPECL 时钟输出，这些输出提供 CLKn 的低偏斜输出。
$\overline{\text{Q}}[9:0]$	11、13、15、19、 21、23、25、29、 31、33	输出	LVECL/LVPECL 互补时钟输出，这些输出提供 $\overline{\text{CLKn}}$ 的输出。
V _{BB}	5	电源	针对单端输入运行的基准电压输出。
V _{CC}	1、9、10、17、 18、27、28、35、 36	电源	电源电压。
V _{EE}	8	电源	ECL 模式下的器件接地或负电源电压。

(1) CLKn、CLK_SEL 下拉电阻 = 75k Ω ； $\overline{\text{CLKn}}$ 上拉电阻 = 37.5k Ω ； $\overline{\text{CLKn}}$ 下拉电阻 = 50k Ω 。

5 规格

5.1 绝对最大额定值

请参阅⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压 (相对于 V_{EE})	-0.3	4.6	V
V_I	输入电压	-0.3	$V_{CC} + 0.5$	V
V_O	输出电压	-0.3	$V_{CC} + 0.5$	V
I_{IN}	输入电流		± 20	mA
V_{EE}	负电源电压 (相对于 V_{CC})	-4.6	0.3	V
I_{BB}	灌电流/拉电流	-1	1	mA
I_O	直流输出电流	-50		mA
T_J	最高工作结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压 (相对于 V_{EE})	2.375	2.5/3.3	3.8	V
T_J	工作结温	-55		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		CDCLVP111-SP	单位
		HFG (CFP)	
		36 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	95.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	50.7	°C/W
$R_{\theta JB}$	结至电路板热阻	80.8	°C/W
ψ_{JT}	结至顶部特征参数	46.1	°C/W
ψ_{JB}	结至电路板特征参数	79.6	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	34.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

(2) 符合 JESD 51-7 标准。

5.5 LVECL DC 电气特性

Vsupply: $V_{CC} = 0V$, $V_{EE} = -2.375V$ 至 $-3.8V$ (在工作温度范围 $T_J = -55^{\circ}C$ 至 $125^{\circ}C$ 内, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
I_{EE} 电源内部电流	电流绝对值	-55°C、25°C、125°C	30	85	mA
I_{CC} 输出和内部电源电流	所有输出端接 50Ω 至 $V_{CC} - 2V$	-55°C, 25°C		385	mA
		125°C		405	
I_{IN} 输入电流	包括上拉和下拉电阻器, $V_{IH} = V_{CC}$, $V_{IL} = V_{CC} - 2V$	-55°C、25°C、125°C	-150	150	μA
V_{BB} 内部生成的偏置电压	对于 $V_{EE} = -3V$ 至 $-3.8V$, $I_{BB} = -0.2mA$	-55°C、25°C、125°C	-1.45	-1.3	V
	$V_{EE} = -2.375V$ 至 $-2.75V$, $I_{BB} = -0.2mA$	-55°C、25°C、125°C	-1.3	-1.25	
V_{IH} 高电平输入电压 (CLK_SEL)		-55°C、25°C、125°C	-1.165	-0.88	V
V_{IL} 低电平输入电压 (CLK_SEL)		-55°C、25°C、125°C	-1.81	-1.475	V
V_{ID} 输入幅值 (CLKn、CLK $\bar{n}$)	输入差值, 请参阅 (1), [6...9]	-55°C、25°C、125°C	0.5	1.3	V
V_{CM} 共模电压 (CLKn、CLK $\bar{n}$)	相对于 V_{EE} 的直流失调电压	-55°C、25°C、125°C	$V_{EE} + 1$	-0.3	V
V_{OH} 高电平输出电压	$I_{OH} = -21mA$	-55°C	-1.26	-0.85	V
		25°C	-1.2	-0.85	
		125°C	-1.15	-0.8	
V_{OL} 低电平输出电压	$I_{OL} = -5mA$	25°C	-1.85	-1.425	V
		-55°C, 125°C	-1.85	-1.25	
V_{OD} 差分输出电压摆幅	端接 50Ω 至 $V_{CC} - 2V$, 请参阅图 5-4	-55°C、25°C、125°C	350		mV

(1) V_{ID} 最小值和最大值是保持交流规格所必需的, 实际器件功能可以承受 100mV 的最小 V_{ID} 。

5.6 LVPECL DC 电气特性

V_{supply}: V_{CC} = 2.375V 至 3.8V, V_{EE} = 0V (在工作温度范围 T_J = -55°C 至 125°C 内, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
I _{EE} 电源内部电流	电流绝对值	-55°C、25°C、125°C	30	85	mA
I _{CC} 输出和内部电源电流	所有输出端接 50 Ω 至 V _{CC} - 2V	-55°C, 25°C		385	mA
		125°C		405	
I _{IN} 输入电流	包括上拉和下拉电阻器 V _{IH} = V _{CC} , V _{IL} = V _{CC} - 2V	-55°C、25°C、125°C	-150	150	μA
V _{BB} 内部生成的偏置电压	V _{CC} = 3V 至 3.8V, I _{BB} = -0.2mA	-55°C、25°C、125°C	V _{CC} - 1.45	V _{CC} - 1.3	V
	V _{CC} = 2.375V 至 2.75V, I _{BB} = -0.2mA	-55°C、25°C、125°C	V _{CC} - 1.3	V _{CC} - 1.25	
V _{IH} 高电平输入电压 (CLK_SEL)		-55°C、25°C、125°C	V _{CC} - 1.165	V _{CC} - 0.88	V
V _{IL} 低电平输入电压 (CLK_SEL)		-55°C、25°C、125°C	V _{CC} - 1.81	V _{CC} - 1.475	V
V _{ID} 输入幅值 (CLKn、 $\overline{\text{CLKn}}$)	输入差值, 请参阅 (1), V _{IN} - V _{IN}	-55°C、25°C、125°C	0.5	1.3	V
V _{CM} 共模电压 (CLKn、 $\overline{\text{CLKn}}$)	相对于 V _{EE} 的直流失调电压	-55°C、25°C、125°C	1	V _{CC} - 0.3	V
V _{OH} 高电平输出电压	I _{OH} = -21mA	-55°C	V _{CC} - 1.26	V _{CC} - 0.85	V
		25°C	V _{CC} - 1.2	V _{CC} - 0.85	
		125°C	V _{CC} - 1.15	V _{CC} - 0.8	
V _{OL} 低电平输出电压	I _{OL} = -5mA	25°C	V _{CC} - 1.85	V _{CC} - 1.425	V
		-55°C, 125°C	V _{CC} - 1.85	V _{CC} - 1.25	
V _{OD} 差分输出电压摆幅	端接 50 Ω 至 V _{CC} - 2V, 请参阅图 5-4	-55°C、25°C、125°C	350		mV

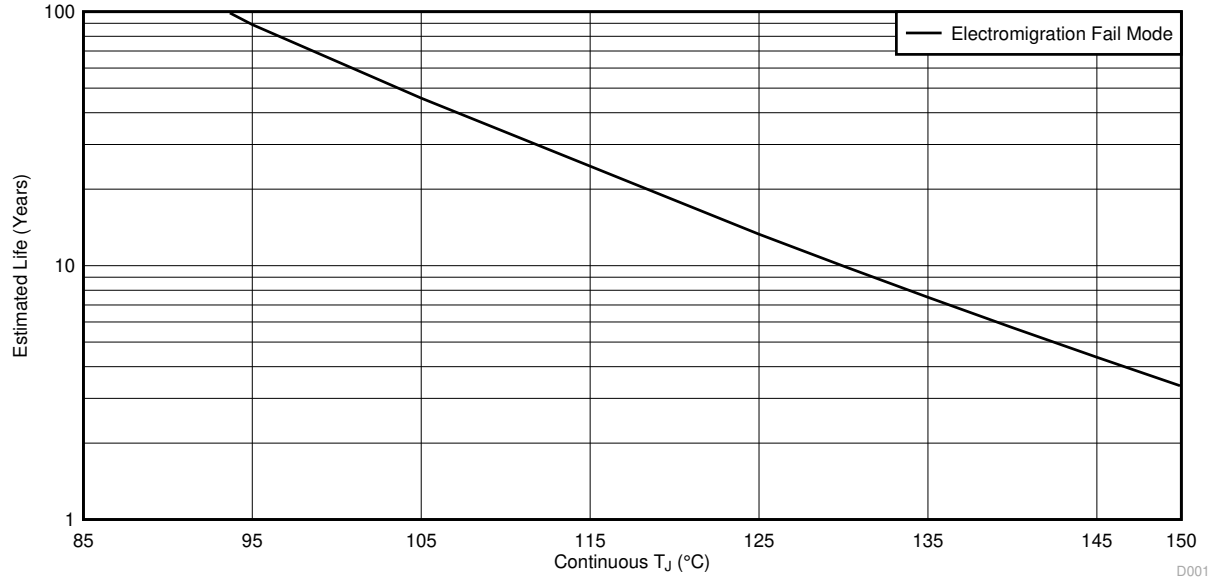
(1) V_{ID} 最小值和最大值是保持交流规格所必需的, 实际器件功能可以承受 100mV 的最小 V_{ID}。

5.7 交流电气特性

V_{supply}: V_{CC} = 2.375V 至 3.8V, V_{EE} = 0V 或 LVECL/LVPECL 输入 V_{CC} = 0V, V_{EE} = -2.375V 至 -3.8V (在工作温度范围 T_J = -55°C 至 125°C 内, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t _{pd} 差分传播延迟 CLKn、 $\overline{\text{CLKn}}$ 至所有 Q0、Q0... Q9、Q9	V _{CM} = 1V, V _{PP} = 0.5V, f = 1GHz	100		355	ps
t _{sk(o)} 输出到输出偏斜	V _{CM} = 1V, V _{PP} = 0.5V, f = 1GHz		15	50	ps
t _{sk(pp)} 器件间延迟	V _{CM} = 1V, V _{PP} = 0.5V, f = 1GHz		70		ps
t _{aj} 附加相位抖动(1)	20kHz 至 20MHz 的积分带宽, f _{OUT} = 200MHz (25°C 时)		0.125	0.8	ps
f _(max) 最大频率(1)	V _{CM} = 1V, V _{PP} = 0.5V, f = 1GHz			3500	MHz
t _r /t _f 输出上升和下降时间 (20%、80%)	V _{CM} = 1V, V _{PP} = 0.5V, f = 1GHz			240	ps

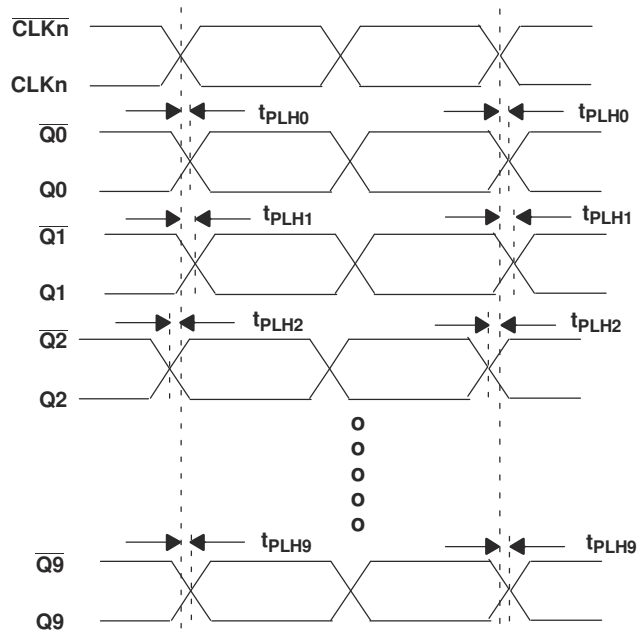
(1) 根据台座特征指定, 而未经生产测试



D001

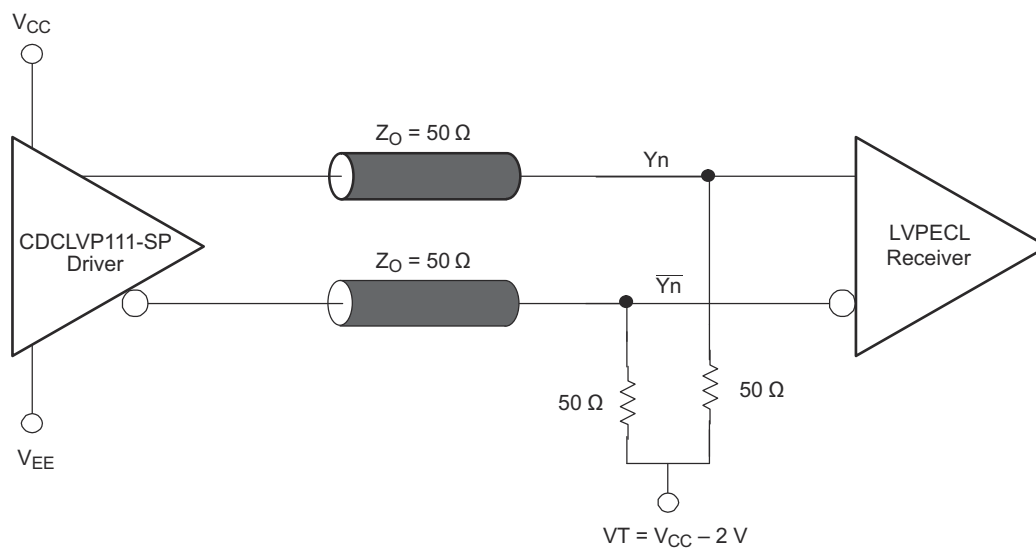
- A. 如需绝对最高和最低推荐运行条件，请参阅数据表。
B. 在 105°C 结温条件下，器件使用寿命设计目标为 10 年（不包括封装互连寿命）。

图 5-1. CDCLVP111-SP 工作寿命降额表



- A. 输出偏斜为以下两者中的较大者：最快和最慢 t_{PLHn} 之间的差值 ($n = 0, 1, \dots, 9$)，或最快和最慢 t_{PHLn} 之间的差值 ($n = 0, 1, \dots, 9$)。
B. 器件间延迟为以下两者中的较大者：多个器件上最快和最慢 t_{PLHn} 之间的差值 ($n = 0, 1, \dots, 9$)，或者多个器件上最快和最慢 t_{PHLn} 之间的差值 ($n = 0, 1, \dots, 9$)。
C. 在时钟输入为 155.52MHz 且积分带宽为 20kHz 至 5MHz 的环境下，测得典型值。
D. 输入条件： $V_{CM} = 1V$ 、 $V_{ID} = 0.5V$ 以及 $F_{IN} = 1GHz$ 。

图 5-2. 用于计算输出和器件间延迟的波形

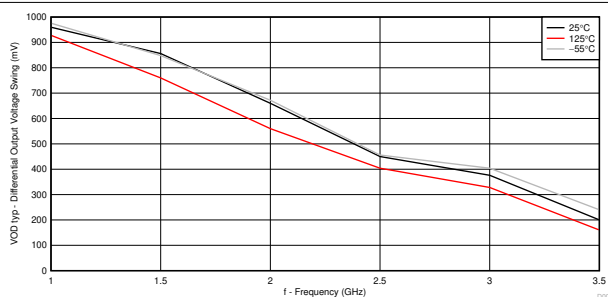


Copyright © 2016, Texas Instruments Incorporated

请参阅 [LVPECL](#)、[LVDS](#) 和 [CML](#) 之间的接合。

图 5-3. 输出驱动器的典型端接

5.8 典型特性



差分输出电压摆幅与频率间的关系

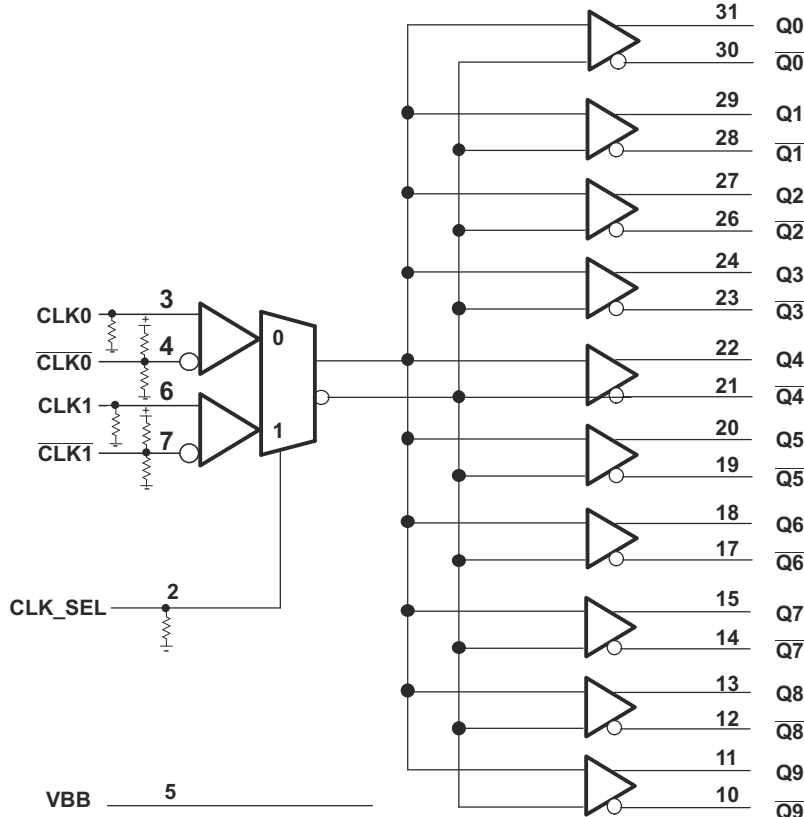
图 5-4. 使用 CLK0 对的 LVPECL 输入

6 详细说明

6.1 概述

CDCLVP111-SP 是一个开路发射极，可提供 LVPECL 输出。因此，需通过适当的偏置和端接，使器件正常运行并最大程度地降低信号完整性。LVPECL 输出的正确端接为通过 $50\ \Omega$ 连接至 $(V_{CC} - 2)$ ，但 PCB 上不容易获得该直流电压。因此，在直接耦合（直流）和交流耦合配置中，LVPECL 端接采用了戴维南等效电路。图 7-2（a 和 b）和图 7-3（a 和 b）分别显示了在 $V_{CC} = 2.5V$ 和 $V_{CC} = 3.3V$ 条件下的上述配置。TI 建议将所有电阻元件放置在靠近驱动器端或接收器端的位置。如果驱动器和接收器的电源电压不同，则需要交流耦合。

6.2 功能方框图



6.3 特性说明

CDCLVP111-SP 是一款具有 2 个可选输入的低附加抖动、通用转 LVPECL 扇出缓冲器。该器件采用小型封装，并具有低输出延迟和低附加抖动，因此适用于具有灵活性要求的应用。

6.4 器件功能模式

通过 CLK_SEL 引脚选择输入端子。

表 6-1. 功能表

CLK_SEL	有效时钟输入
0	CLK0, $\overline{\text{CLK0}}$
1	CLK1, $\overline{\text{CLK1}}$

CDCLVP111-SP 的两个输入在内部多路复用在一起，并可通过控制引脚进行选择。未使用的输入和输出可以保持悬空，以降低总体元件成本。交流和直流耦合方案均可与 CDCLVP111-SP 配合使用，以提供更大的系统灵活性。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

CDCLVP111-SP 是一款低附加抖动 LVPECL 扇出缓冲器，可通过两个可选的 LVDS、CML 或 SSTL 输入生成 5 个输出。CDCLVP111-SP 可以接受高达 3.5GHz 的参考时钟频率，同时提供低输出延迟。

7.2 典型应用

7.2.1 用于线路卡应用的扇出缓冲器

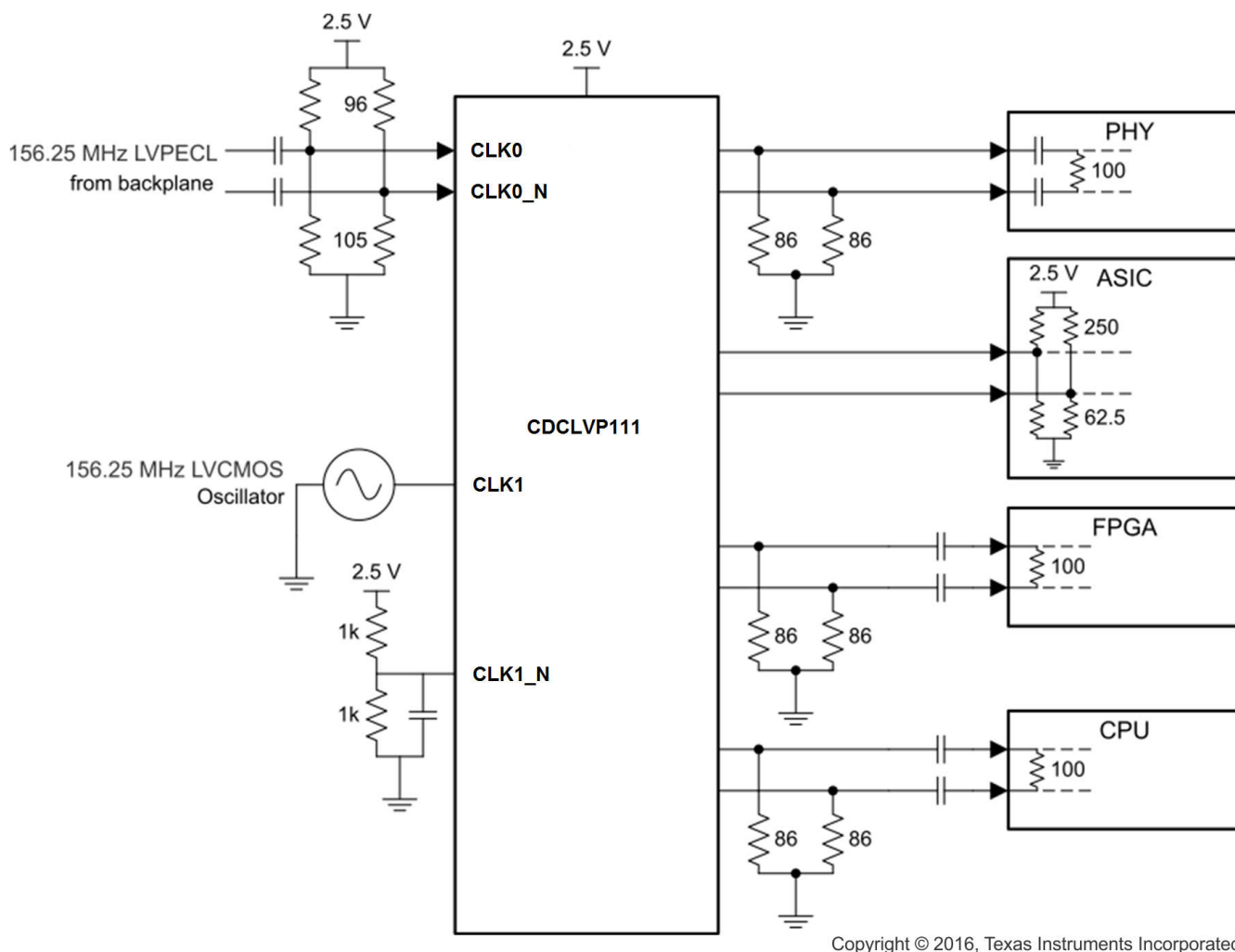


图 7-1. CDCLVP111-SP 方框图

7.2.1.1 设计要求

图 7-1 中所示的 CDCLVP111-SP 配置为能够选择两个输入，一个输入是来自背板的 156.25MHz LVPECL 时钟，另一个输入是 156.25MHz LVCMOS 2.5V 辅助振荡器。然后，可以将任一信号扇出到所需的器件，如图所示。

配置示例是在具有以下属性的线路卡应用中驱动 4 个 LVPECL 接收器：

- PHY 器件具有内部交流耦合以及适当的端接和偏置。需要在驱动器附近为 CDCLVP111-SP 提供 $86\ \Omega$ 发射极电阻器，以确保正常运行。
- ASIC 能够与 2.5V LVPECL 驱动器（如 CDCLVP111-SP）进行直流耦合。此 ASIC 具有内部端接功能，因此无需其他元件。
- FPGA 需要外部交流耦合，但具有内部端接。同样， $86\ \Omega$ 发射器电阻器放置在 CDCLVP111-SP 附近，并放置 $0.1\ \mu\text{F}$ 电容器以提供交流耦合。同样，CPU 在内部端接，并需要外部交流耦合电容器。

7.2.1.2 详细设计过程

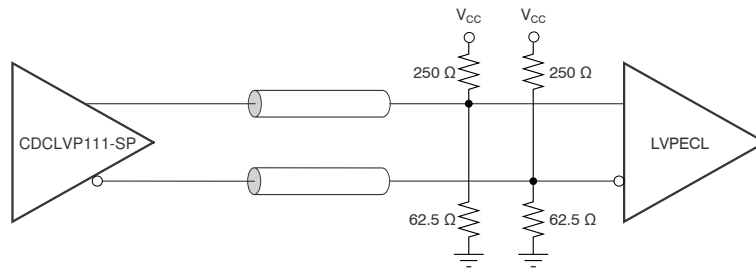
未使用的输出可以保持悬空状态。

在此示例中，PHY、ASIC 和 FPGA/CPU 需要不同的方案。电源滤波和旁路对于低噪声应用至关重要。

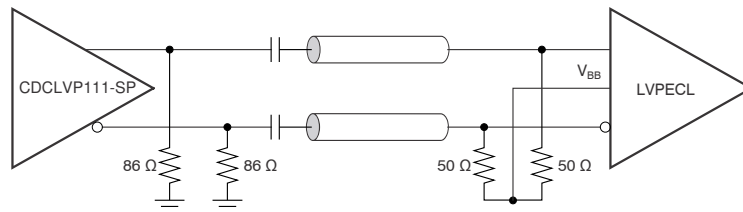
有关建议的滤波技术，请参阅图 7-12。

7.2.1.2.1 LVPECL 输出端接

请参阅图 7-2，根据接收器应用选择输出端接方案。



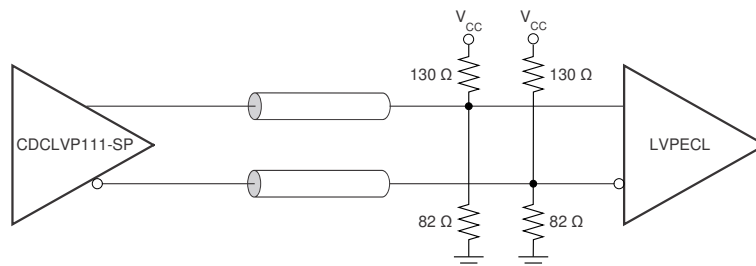
(a) Output DC Termination



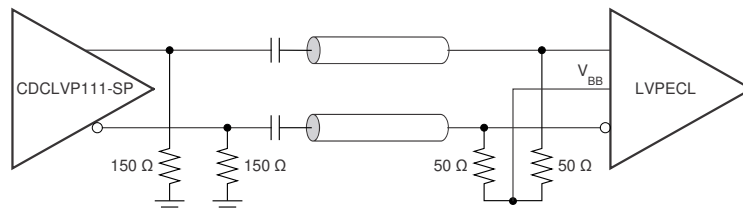
(b) Output AC Termination

Copyright © 2016, Texas Instruments Incorporated

图 7-2. $V_{CC} = 2.5V$ 时的 LVPECL 输出直流和交流端接



(a) Output DC Termination



(b) Output AC Termination

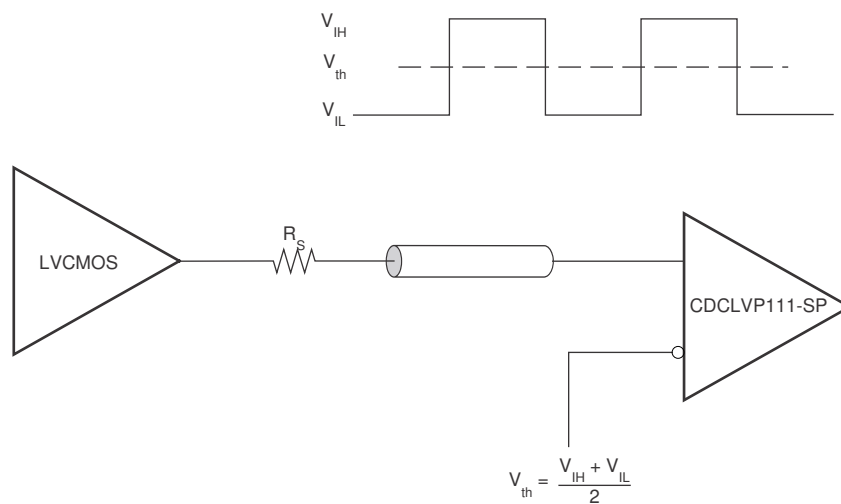
Copyright © 2016, Texas Instruments Incorporated

图 7-3. $V_{CC} = 3.3V$ 时的 LVPECL 输出直流和交流端接

7.2.1.2.2 输入端接

CDCLVP111-SP 输入可与 LVPECL、LVDS 或 LVCMOS 驱动器连接。图 7-4 说明了如何将 LVCMOS 输入直流耦合至 CDCLVP111-SP。串联电阻 (R_S) 必须靠近 LVCMOS 驱动器；其阻值为传输线路阻抗与驱动器输出阻抗之差。

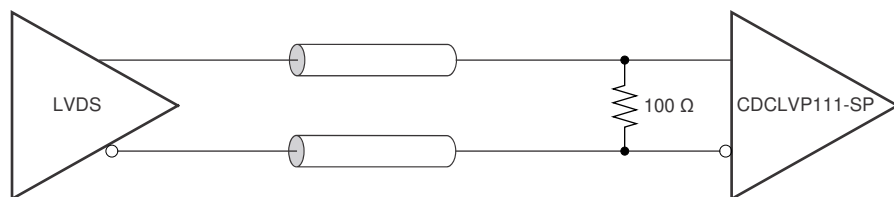
参阅图 7-4，根据是单端还是差分输入来实现正确的输入端接。



Copyright © 2016, Texas Instruments Incorporated

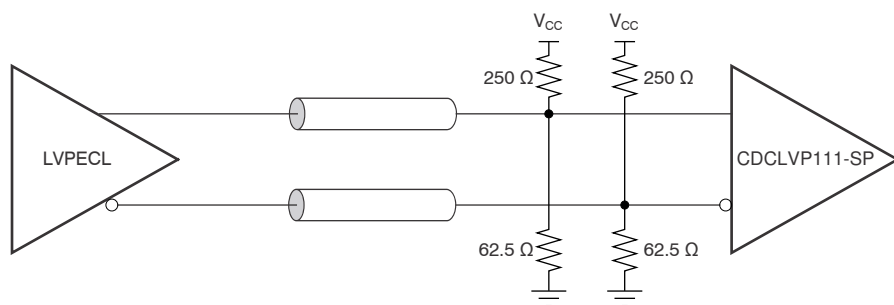
图 7-4. LVCMOS 输入直流耦合至 CDCLVP111-SP

图 7-5 展示了如何将 LVDS 输入直流耦合至 CDCLVP111-SP。图 7-6 和图 7-7 介绍了在 $V_{CC} = 2.5V$ 和 $V_{CC} = 3.3V$ 时分别将 LVPECL 输入直流耦合至 CDCLVP111-SP 的方法。



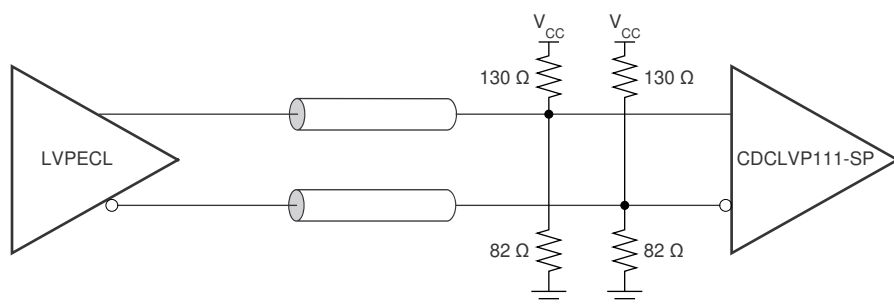
Copyright © 2016, Texas Instruments Incorporated

图 7-5. LVDS 输入直流耦合至 CDCLVP111-SP



Copyright © 2016, Texas Instruments Incorporated

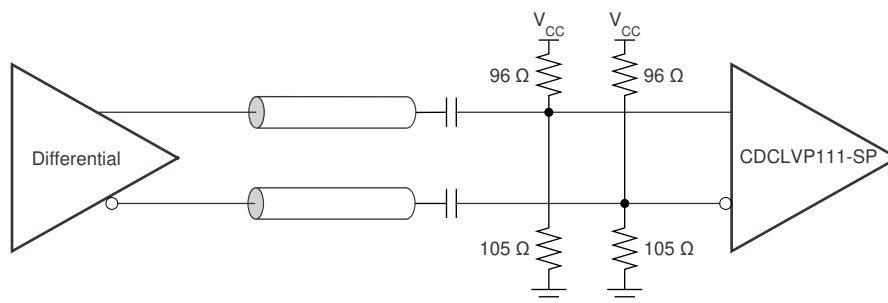
图 7-6. LVPECL 输入直流耦合至 CDCLVP111-SP ($V_{CC} = 2.5V$)



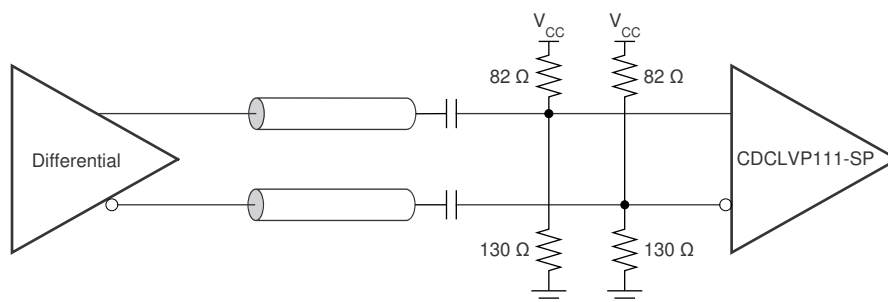
Copyright © 2016, Texas Instruments Incorporated

图 7-7. LVPECL 输入直流耦合至 CDCLVP111-SP ($V_{CC} = 3.3V$)

图 7-8 和图 7-9 展示了在 $V_{CC} = 2.5V$ 和 $V_{CC} = 3.3V$ 时分别将差分输入交流耦合至 CDCLVP111-SP 的技术。TI 建议将所有电阻元件放置在靠近驱动器端或接收器端的位置。如果驱动器和接收器的电源电压不同，则需要交流耦合。



Copyright © 2016, Texas Instruments Incorporated

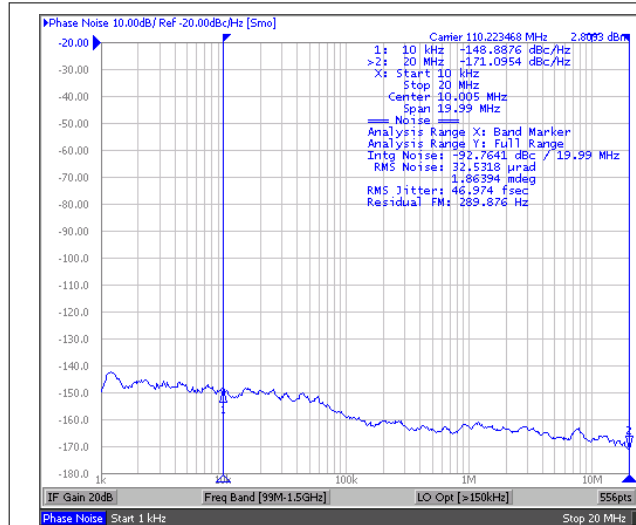
图 7-8. 差分输入交流耦合至 CDCLVP111-SP ($V_{CC} = 2.5V$)

Copyright © 2016, Texas Instruments Incorporated

图 7-9. 差分输入交流耦合至 CDCLVP111-SP ($V_{CC} = 3.3V$)

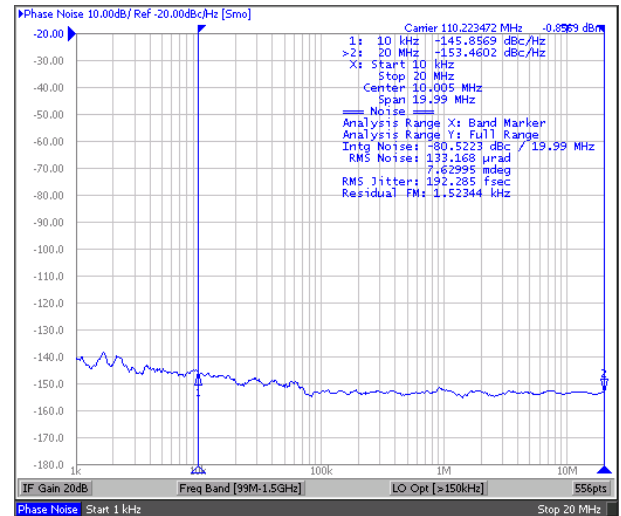
7.2.1.3 应用曲线

在此线路卡应用对 CDCLVP111-SP 的低附加噪声进行了展示。CDCLVP111-SP 由具有 47fs RMS 抖动的低噪声 110.22MHz 信号驱动，因此当在 10kHz 至 20MHz 范围内积分时，抖动为 192fs RMS。对于此配置，产生的附加抖动较低，大小为 186fs RMS。



基准信号来自低噪声信号发生器

**图 7-10. CDCLVP111-SP 参考相位噪声，47fs RMS
(10kHz 至 20MHz)**



**图 7-11. CDCLVP111-SP 输出相位噪声，192fs RMS
(10kHz 至 20MHz)**

7.3 电源相关建议

7.3.1 电源滤波

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。降低系统电源的噪声至关重要，尤其是当抖动和相位噪声对于应用至关重要时。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供超低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。为了正确使用旁路电容器，必须将电容器放置在非常靠近电源端子的位置，并使用短环路布局来尽可能减小电感。TI 建议添加尽可能多的高频 (例如 0.1 μF) 旁路电容器，因为封装中有电源端子。

TI 建议但不要求在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟驱动器产生的高频开关噪声；这些磁珠可防止开关噪声泄漏到电路板电源中。必须选择具有很低直流电阻的合适铁氧体磁珠，在电路板电源和芯片电源之间提供充分的隔离，并保持电源端子上的电压大于正常运行所需的最小电压。

图 7-12 展示了这种推荐的电源去耦方法。

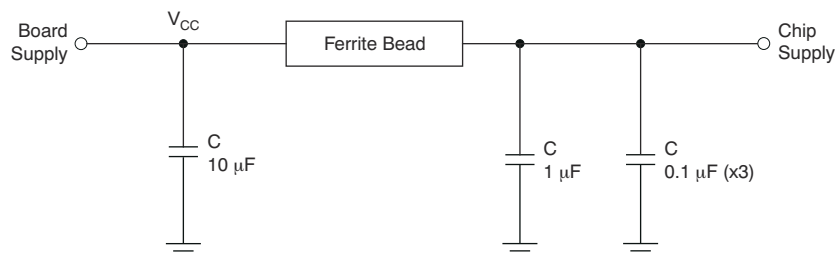


图 7-12. 电源去耦

7.4 布局

7.4.1 布局指南

差分输出必须长度匹配并通过 $50\ \Omega$ 至 $(V_{CC} - 2)$ 或 $100\ \Omega$ 差分 (使用适当的端点 LVPECL 终端) 控制阻抗。必须在器件引脚附近偏置时钟输入。

7.4.2 布局示例

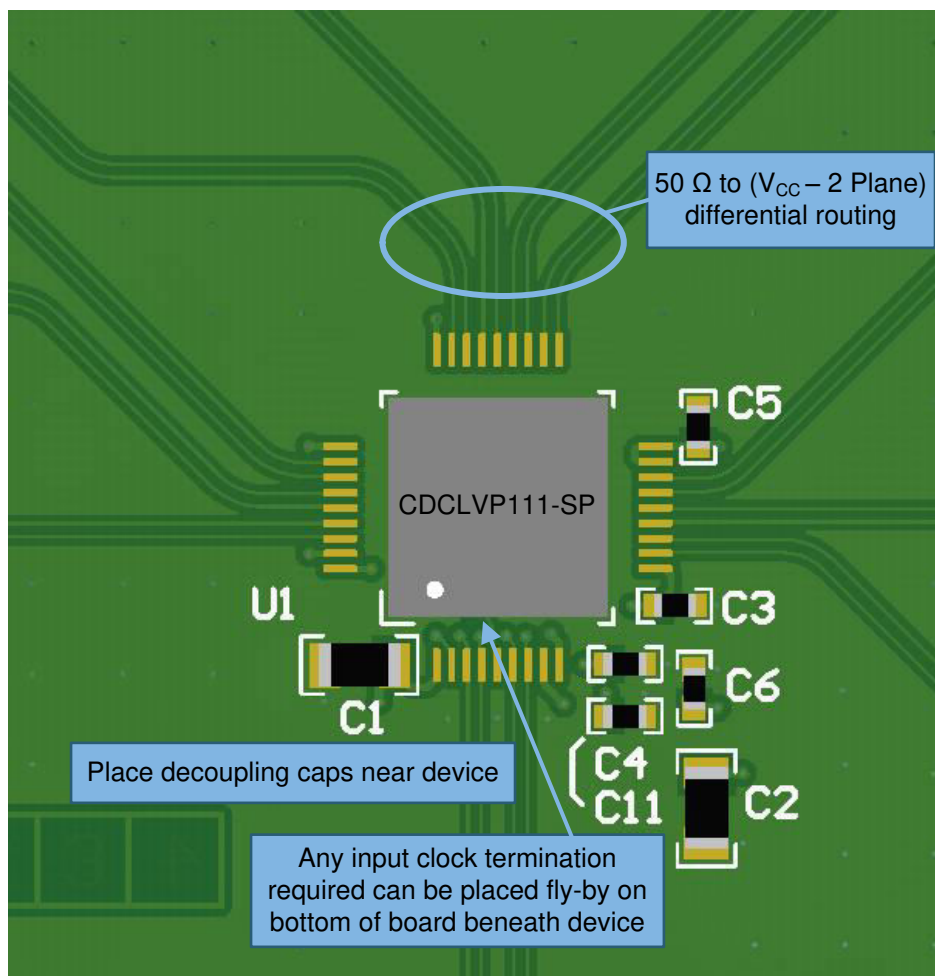


图 7-13. CDCLVP111-SP 布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

- 德州仪器 (TI), [CDCLVP111-SP 评估模块 \(CDCLVP111EVM-CVAL\)](#), EVM 用户指南

8.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision A (January 2017) to Revision B (March 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了 热性能信息 部分中的热指标.....	4

Changes from Revision * (November 2016) to Revision A (January 2017)	Page
• 向 应用 部分添加了工程评估样片要点和脚注.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-1620701VXC	Active	Production	CFP (HFG) 36	10 JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	-55 to 125	5962-1620701VXC CDCLVP111HFG-V
CDCLVP111HFG/EM	Active	Production	CFP (HFG) 36	10 JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	25 to 25	CDCLVP111HFG/EM EVAL ONLY

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

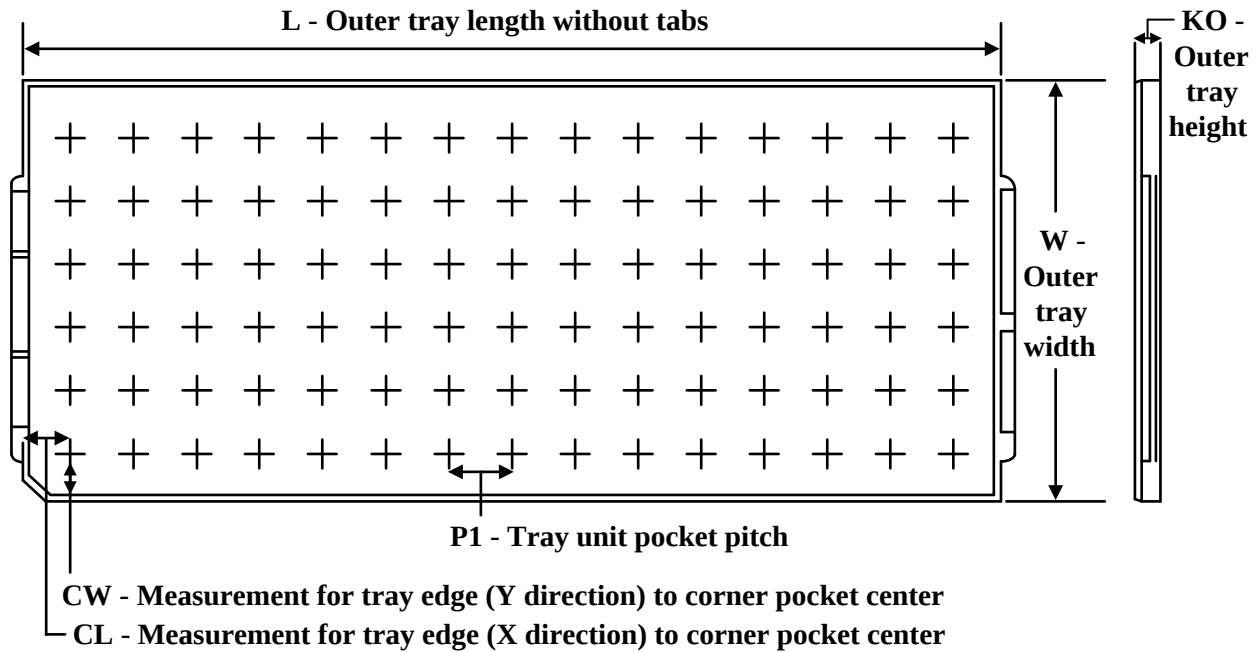
OTHER QUALIFIED VERSIONS OF CDCLVP111-SP :

- Catalog : [CDCLVP111](#)
- Enhanced Product : [CDCLVP111-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
5962-1620701VXC	HFG	CFP	36	10	2 x 5	75	315	135.9	13000	60.96	35.58	37.47
CDCLVP111HFG/EM	HFG	CFP	36	10	2 x 5	75	315	135.9	13000	60.96	35.58	37.47

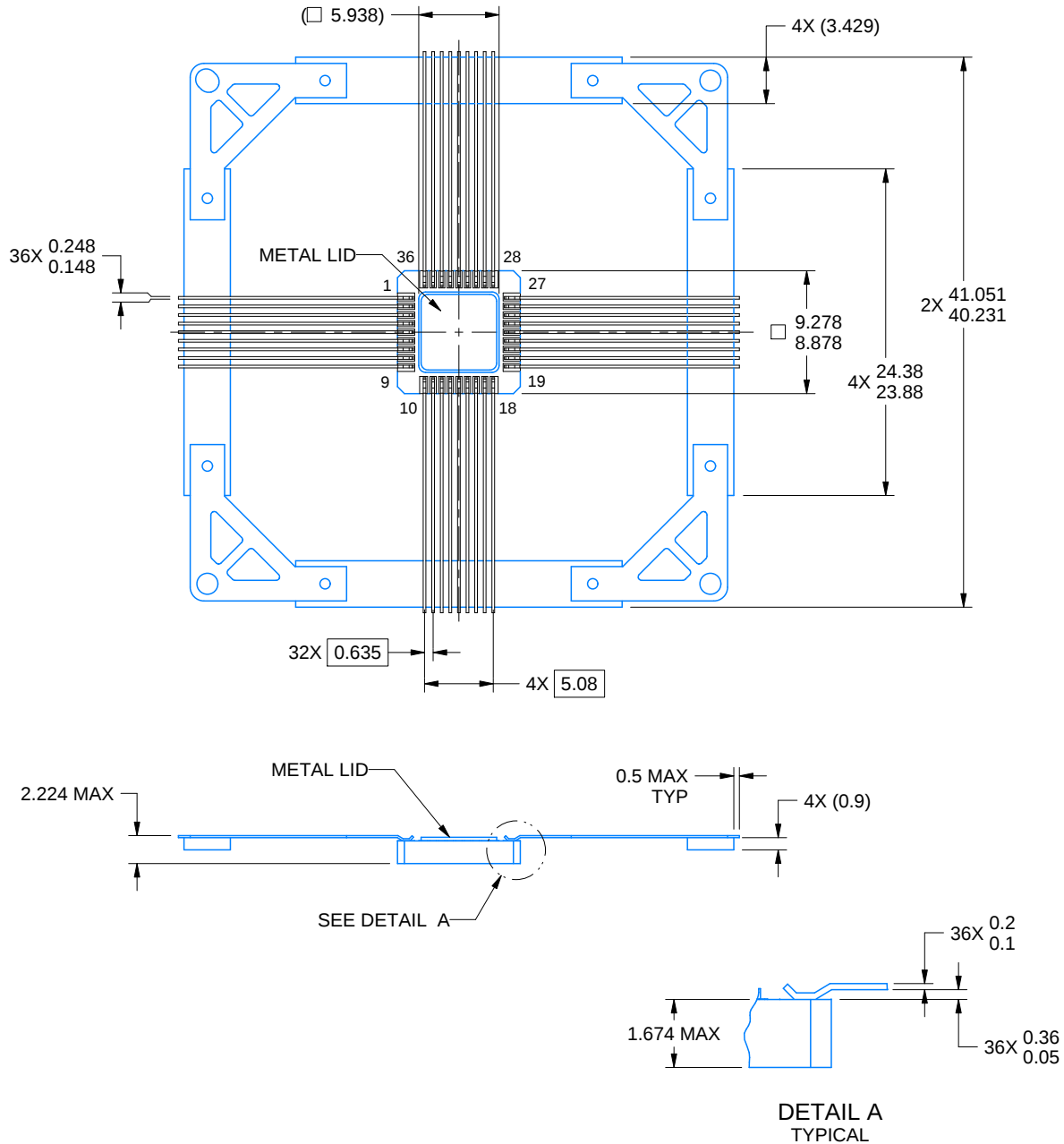


PACKAGE OUTLINE

HFG0036A

CFP - 2.224 mm max height

CERAMIC FLATPACK



4222963/B 03/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid.
4. The lid is connected to Pin 8.
5. The leads are gold plated and can be solder dipped.
6. The leads on the top of the package near the lid are showing.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司