

CDx4AC257、CDx4ACT257、CD74ACT258 具有三态输出的四路双输入多路复用器

1 特性

- ' AC257、' ACT257……………同相输出
- CD74ACT258 ……………反相输出
- 缓冲输入
- 典型传播延迟
 - 4.4ns ($V_{CC} = 5V$ 、 $T_A = 25^\circ C$ 且 $C_L = 50pF$ 时)
- ESD 保护超过 2kV (根据 MIL-STD-883 方法 3015)
- 防 SCR 闩锁 CMOS 工艺和电路设计
- 双极 FAST™/AS/S 的速度，同时功耗显著降低
- 平衡传播延迟
- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- $\pm 24mA$ 输出驱动电流
 - 扇出到 15 个 FAST™ IC
- 驱动 50 Ω 传输线

2 说明

' AC257、' ACT257 和 CD74ACT258 是采用高级 CMOS 逻辑技术、具有三态输出的四路双输入多路复用器。

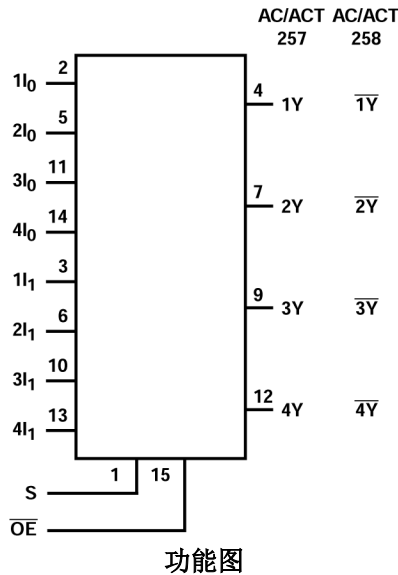
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
CDx4AC257、 CDx4ACT257、 CD74ACT258	D (SOIC , 16)	9.9mm × 6mm	9.9mm × 3.9mm
	N (PDIP , 16)	19.3mm × 9.4mm	19.3mm × 6.35mm
	PW (TSSOP , 16)	5mm × 6.4mm	5mm × 4.4mm
	BQB (WQFN , 16)	3.5mm × 2.5mm	3.5mm × 2.5mm

(1) 有关更多信息，请参阅 节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



内容

1 特性	1	6.3 器件功能模式	10
2 说明	1	7 应用和实施	11
3 引脚配置和功能	3	7.1 电源相关建议.....	11
4 规格	4	7.2 布局.....	11
4.1 绝对最大额定值.....	4	8 器件和文档支持	12
4.2 建议运行条件.....	4	8.1 文档支持 (模拟)	12
4.3 热性能信息.....	4	8.2 接收文档更新通知.....	12
4.4 电气特性.....	5	8.3 支持资源.....	12
4.5 开关规格.....	6	8.4 商标.....	12
5 参数测量信息	8	8.5 静电放电警告.....	12
6 详细说明	10	8.6 术语表.....	12
6.1 概述.....	10	9 修订历史记录	12
6.2 功能方框图.....	10	10 机械、封装和可订购信息	13

3 引脚配置和功能

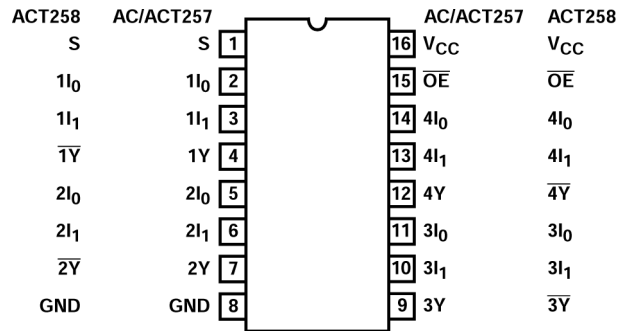


图 3-1. CD54AC257、CD54ACT257 J 封装；
CD74AC257、CD74ACT257、CD74ACT258 D、N 或
PW 封装；16 引脚 SOIC PDIP 或 TSSOP (顶视图)

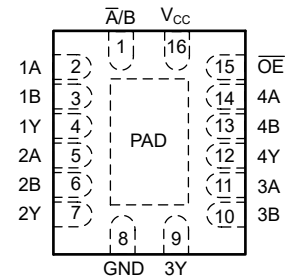


图 3-2. CD74AC257、CD74ACT257、CD74ACT258
BQB 封装；16 引脚 WQFN (顶视图)

表 3-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
S	1	I	选择
1I ₀	2	I	通道 1, 输入 0
1I ₁	3	I	通道 1, 输入 1
1Y	4	O	通道 1, 输出
2I ₀	5	I	通道 2, 输入 0
2I ₁	6	I	通道 2, 输入 1
2Y	7	O	通道 2, 输出
GND	8	G	接地
3Y	9	O	通道 3, 输出
3I ₁	10	I	通道 3, 输入 1
3I ₀	11	I	通道 3, 输入 0
4Y	12	O	通道 4, 输出
4I ₁	13	I	通道 4, 输入 1
4I ₀	14	I	通道 4, 输入 0
OE	15	I	输出使能
V _{CC}	16	P	正电源
散热焊盘 ⁽²⁾		-	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

(2) 仅限 BQB 封装

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6	V
I_{IK}	输入二极管电流	$V_I < -0.5V$ 或 $V_I > V_{CC} + 0.5V$		± 20	mA
I_{OK}	输出二极管电流	$V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$		± 50	mA
I_O	每个输出引脚的输出拉电流或灌电流	$V_O > -0.5V$ 或 $V_O < V_{CC} + 0.5V$		± 50	mA
I_{CC} 或 I_{GND} ⁽²⁾	V_{CC} 或接地电流			± 100	mA
T_{stg}	最高存储温度		-65	150	°C

(1) 超出那些“绝对最大额定值”下列出的应力值可能会对器件造成永久损坏。这些仅为应力等级，并不表明器件在这些额定值下或者任何其他超过此规格运行条件中所标明的条件下可正常工作。

(2) 如果每个器件最多有 4 个输出，则每增加一个输出会增加 $\pm 25mA$ 。

4.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
T_A	温度范围	-55	125	°C
V_{CC} ⁽¹⁾	电源电压范围			
	AC 类型	1.5	5.5	V
	ACT 类型	4.5	5.5	V
V_I 、 V_O	直流输入或输出电压	0	V_{CC}	V
dt/dv	输入上升和下降压摆率			
1.5V 至 3V	AC 类型		50	ns
3.6V 至 5.5V	AC 类型		20	ns
4.5V 至 5.5V	ACT 类型		10	ns

(1) 除非另有说明，否则所有电压均以接地为基准。

4.3 热性能信息

热指标 ⁽¹⁾		D (SOIC)	PW (TSSOP)	BQB (WQFN)	单位
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	119.9 ⁽²⁾	139.5	98.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	—	74.8	94.6	°C/W
$R_{\theta JB}$	结至电路板热阻	—	97.7	67.7	°C/W
Ψ_{JT}	结至顶部特征参数	—	17.8	15.6	°C/W
Ψ_{JB}	结至电路板特征参数	—	96.6	67.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	45.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

(2) θ_{JA} 是自然通风环境下在 PC 评估板上安装的元件中测得的。

4.4 电气特性

参数	符号	测试条件		V _{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V _I (V)	I _O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
AC 类型											
高电平输入电压	V _{IH}	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
低电平输入电压	V _{IL}	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
高电平输出电压	V _{OH}	V _{IH} 或 V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1), (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1), (2)}	5.5	-	-	-	-	3.85	-	V
低电平输出电压	V _{OL}	V _{IH} 或 V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1), (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1), (2)}	5.5	-	-	-	-	-	1.65	V
输入漏电流	I _I	V _{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μ A
三态漏电流	I _{OZ}	V _{IH} 或 V _{IL} V _O V _{CC} 或 GND	-	5.5	-	±0.5	-	±5	-	±10	μ A
静态电源电流 MSI	I _{CC}	V _{CC} 或 GND	0	5.5	-	8	-	80	-	160	μ A
ACT 类型											
高电平输入电压	V _{IH}	-	-	4.5 至 5.5	2	-	2	-	2	-	V
低电平输入电压	V _{IL}	-	-	4.5 至 5.5	-	0.8	-	0.8	-	0.8	V
高电平输出电压	V _{OH}	V _{IH} 或 V _{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1), (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1), (2)}	5.5	-	-	-	-	3.85	-	V
低电平输出电压	V _{OL}	V _{IH} 或 V _{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1), (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1), (2)}	5.5	-	-	-	-	-	1.65	V
输入漏电流	I _I	V _{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μ A

参数	符号	测试条件		V _{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V _I (V)	I _O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
三态或漏电流	I _{OZ}	V _{IH} 或 V _{IL} V _O V _{CC} 或 GND	-	5.5	-	±0.5	-	±5	-	±10	μA
静态电源电流 MSI	I _{CC}	V _{CC} 或 GND	0	5.5	-	8	-	80	-	160	μA
每个输入引脚 TTL 输入高电平 1 单位负载的额外电源电流	Δ I _{CC}	V _{CC} - 2.1	-	4.5 至 5.5	-	2.4	-	2.8	-	3	mA

(1) 一次测试一个输出，最大持续时间为 1 秒。为了尽可能减少功率耗散，测量方法是强制施加电流并测量电压。

(2) 测试证实，传输线驱动能力在 85°C 时至少为 50 Ω，在 125°C 下至少为 75 Ω。

表 4-1. ACT 输入负载表

输入	单位负载
数据	0.83
S	1.27
OE	1.27

备注

单位负载为直流电气规格表中指定的 Δ I_{CC} 限值 (例如，25°C 时最大值为 2.4mA)。

4.5 开关规格

输入 t_r、t_f = 3ns、C_L = 50pF (最差情况)

参数	符号	V _{CC} (V)	-40°C 至 85°C			-55°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
AC 类型									
传播延迟，输入到 Y AC/ACT257	t _{PLH} 、 t _{PHL}	1.5	-	-	106	-	-	117	ns
		3.3 ⁽¹⁾	3.3	-	11.8	3.3	-	13	ns
		5 ⁽²⁾	2.4	-	8.5	2.3	-	9.3	ns
传播延迟，S 到 Y AC/ACT257	t _{PLH} 、 t _{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
传播延迟， $\overline{\text{OE}}$ 到 Y AC/ACT257	t _{PLZ} 、 t _{PHZ} 、 t _{PZL} 、 t _{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
传播延迟，输入到 $\overline{\text{Y}}$ 'AC/CD74ACT258	t _{PLH} 、 t _{PHL}	1.5	-	-	91	-	-	100	ns
		3.3	2.9	-	10.2	2.8	-	11.2	ns
		5	2.1	-	7.3	2	-	8	ns
传播延迟，S 到 $\overline{\text{Y}}$ 'AC/CD74ACT258	t _{PLH} 、 t _{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
传播延迟， $\overline{\text{OE}}$ 到 $\overline{\text{Y}}$ 'AC/CD74ACT258	t _{PLZ} 、 t _{PHZ} 、 t _{PZL} 、 t _{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
三态输出电容	C _O	-	-	-	15	-	-	15	pF
输入电容	C _I	-	-	-	10	-	-	10	pF
功率耗散电容	C _{PD} ⁽³⁾	-	-	130	-	-	130	-	pF

输入 t_r 、 t_f = 3ns、 C_L = 50pF (最差情况)

参数	符号	V _{CC} (V)	-40°C 至 85°C			-55°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
ACT 类型									
传播延迟, 输入到 Y AC/ACT257	t _{PLH} 、 t _{PHL}	5 ⁽²⁾	2.8	-	9.7	2.7	-	10.7	ns
传播延迟, S 到 Y AC/ACT257	t _{PLH} 、 t _{PHL}	5	4	-	14	3.9	-	15.4	ns
传播延迟, $\overline{OE}$ 到 Y AC/ACT257	t _{PLZ} 、 t _{PHZ} 、 t _{PZL} 、 t _{PZH}	5	4.1	-	14.6	4	-	16.1	ns
传播延迟, 输入到 $\overline{Y}$ 'AC/CD74ACT258	t _{PLH} 、 t _{PHL}	5	2.4	-	8.5	2.3	-	9.3	ns
传播延迟, S 到 $\overline{Y}$ 'AC/CD74ACT258	t _{PLH} 、 t _{PHL}	5	4	-	14	3.9	-	15.4	ns
传播延迟, $\overline{OE}$ 到 $\overline{Y}$ 'AC/CD74ACT258	t _{PLZ} 、 t _{PHZ} 、 t _{PZL} 、 t _{PZH}	5	4.1	-	14.6	4	-	16.1	ns
三态输出电容	C _O	-	-	-	15	-	-	15	pF
输入电容	C _i	-	-	-	10	-	-	10	pF
功率耗散电容	C _{PD} ⁽³⁾	-	-	130	-	-	130	-	pF

(1) 3.6V 时最小值为 3.3V, 3V 时为最大值。

(2) 5.5V 时最小值为 5V, 4.5V 时为最大值。

(3) C_{PD} 用于确定每个多路复用器的动态功耗。

备注

$$AC: P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o)$$

ACT: $P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o) + V_{CC} \Delta I_{CC}$ 、其中 f_i = 输入频率、 f_o = 输出频率、 C_L = 输出负载电容、 V_{CC} = 电源电压。

5 参数测量信息

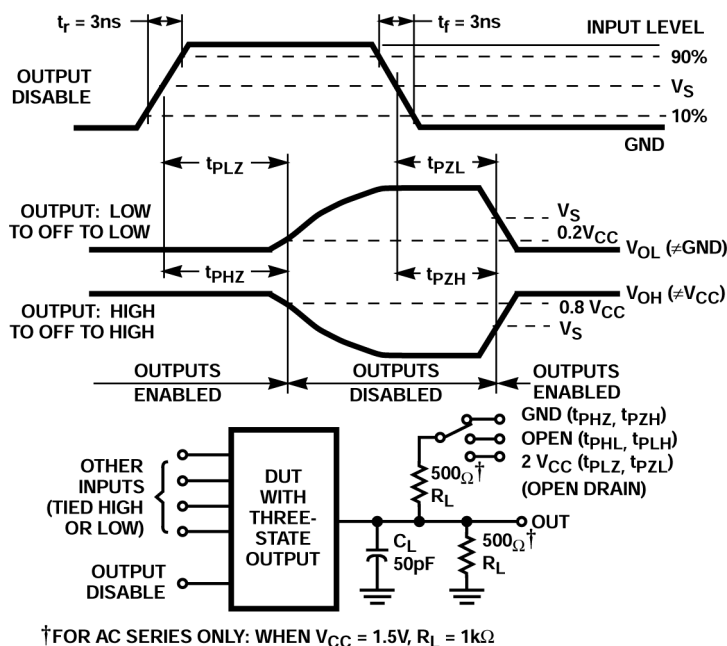


图 5-1. 三态传播延迟时间和测试电路

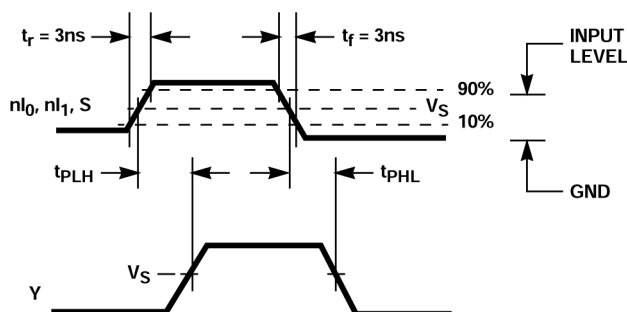


图 5-2. 输入或选择输出传播延迟 (ac/act257)

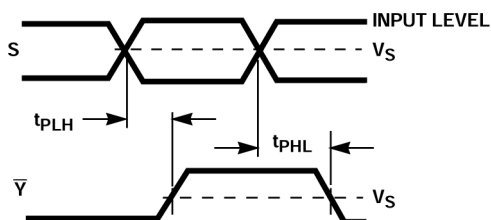


图 5-3. 选择输出传播延迟 (CD74ACT258)

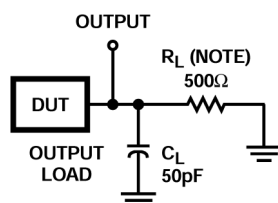


图 5-4.

仅适用于交流系列：当 $V_{CC} = 1.5V$ 时， $R_L = 1k\Omega$ 。

测试	S1
t_{PLH}/t_{PHL}	开路
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

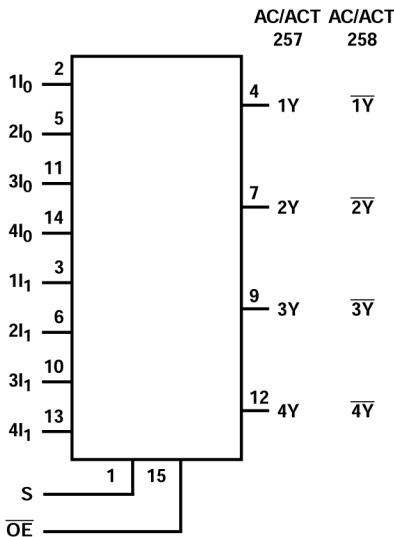
6 详细说明

6.1 概述

这些器件中的每一个都在公共选择输入 (S) 的控制下，从两个源中选择四位数据。输出使能 ($\overline{OE}$) 为低电平有效。当 $\overline{OE}$ 为高电平时，无论其它输入条件如何，所有输出 (Y 或 $\overline{Y}$) 都将处于高阻抗状态。

将数据从两组寄存器移动到四条公共输出总线是 'AC257、'ACT257 和 CD74ACT258 的一种常见用法。选择输入状态决定了数据来自哪个寄存器。'AC257、'ACT257 和 CD74ACT258 也可用作函数发生器。

6.2 功能方框图



6.3 器件功能模式

表 6-1. 真值表

输出使能	选择输入	数据输入		257 输出	258 输出
$\overline{OE}$	S	I_0	I_1	Y	$\overline{Y}$
H	X	X	X	Z	Z
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

8 器件和文档支持

8.1 文档支持 (模拟)

8.1.1 相关文档

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54AC257	点击此处	点击此处	点击此处	点击此处	点击此处
CD54ACT257	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC257	点击此处	点击此处	点击此处	点击此处	点击此处
CD74ACT257	点击此处	点击此处	点击此处	点击此处	点击此处
CD74ACT258	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

FAST™ is a trademark of Fairchild Semiconductor.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision B (August 2024) to Revision C (April 2025)	Page
--	------

- | | |
|----------------------------|---|
| • 向数据表添加了 PW 和 BQB 封装..... | 1 |
|----------------------------|---|

Changes from Revision A (May 2000) to Revision B (August 2024)	Page
--	------

- | | |
|--|---|
| • 添加了封装信息表、引脚功能表、ESD 等级表、热性能信息表、器件功能模式、“应用和实施”部分、器件和文档支持部分以及机械、封装和可订购信息部分..... | 1 |
|--|---|

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC257F3A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC257F3A
CD54AC257F3A.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC257F3A
CD54ACT257F3A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT257F3A
CD54ACT257F3A.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT257F3A
CD74AC257BQBR	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257
CD74AC257E	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC257E
CD74AC257E.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC257E
CD74AC257M	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-55 to 125	AC257M
CD74AC257M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257M
CD74AC257M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257M
CD74AC257PWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AC257
CD74AC257PWR.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257
CD74ACT257BQBR	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT257E	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257E.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257EE4	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257M	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-55 to 125	ACT257M
CD74ACT257M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT257M
CD74ACT257M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT257M
CD74ACT257PWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT257PWR.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT258M	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-55 to 125	ACT258M
CD74ACT258M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ACT258M
CD74ACT258M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ACT258M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC257, CD54ACT257, CD74AC257, CD74ACT257 :

- Catalog : [CD74AC257](#), [CD74ACT257](#)
- Military : [CD54AC257](#), [CD54ACT257](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC257BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
CD74AC257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74AC257PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT257BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT258M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC257BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
CD74AC257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74AC257PWR	TSSOP	PW	16	3000	353.0	353.0	32.0
CD74ACT257BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
CD74ACT257M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74ACT257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74ACT257PWR	TSSOP	PW	16	3000	353.0	353.0	32.0
CD74ACT258M96	SOIC	D	16	2500	340.5	336.1	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32

GENERIC PACKAGE VIEW

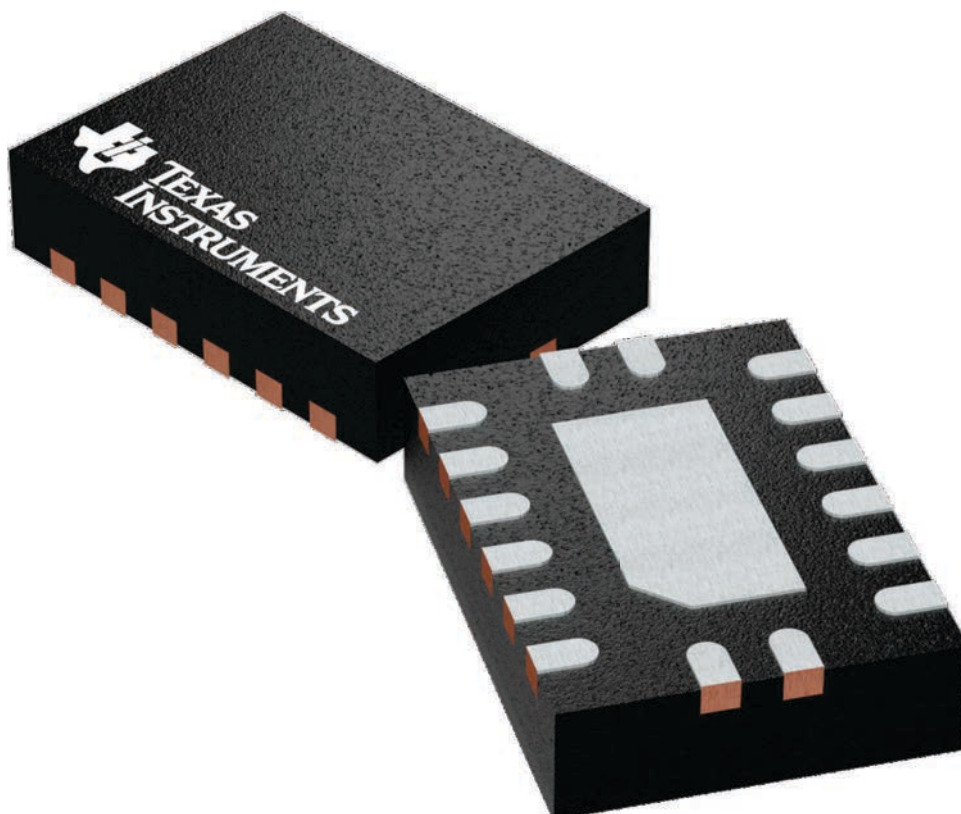
BQB 16

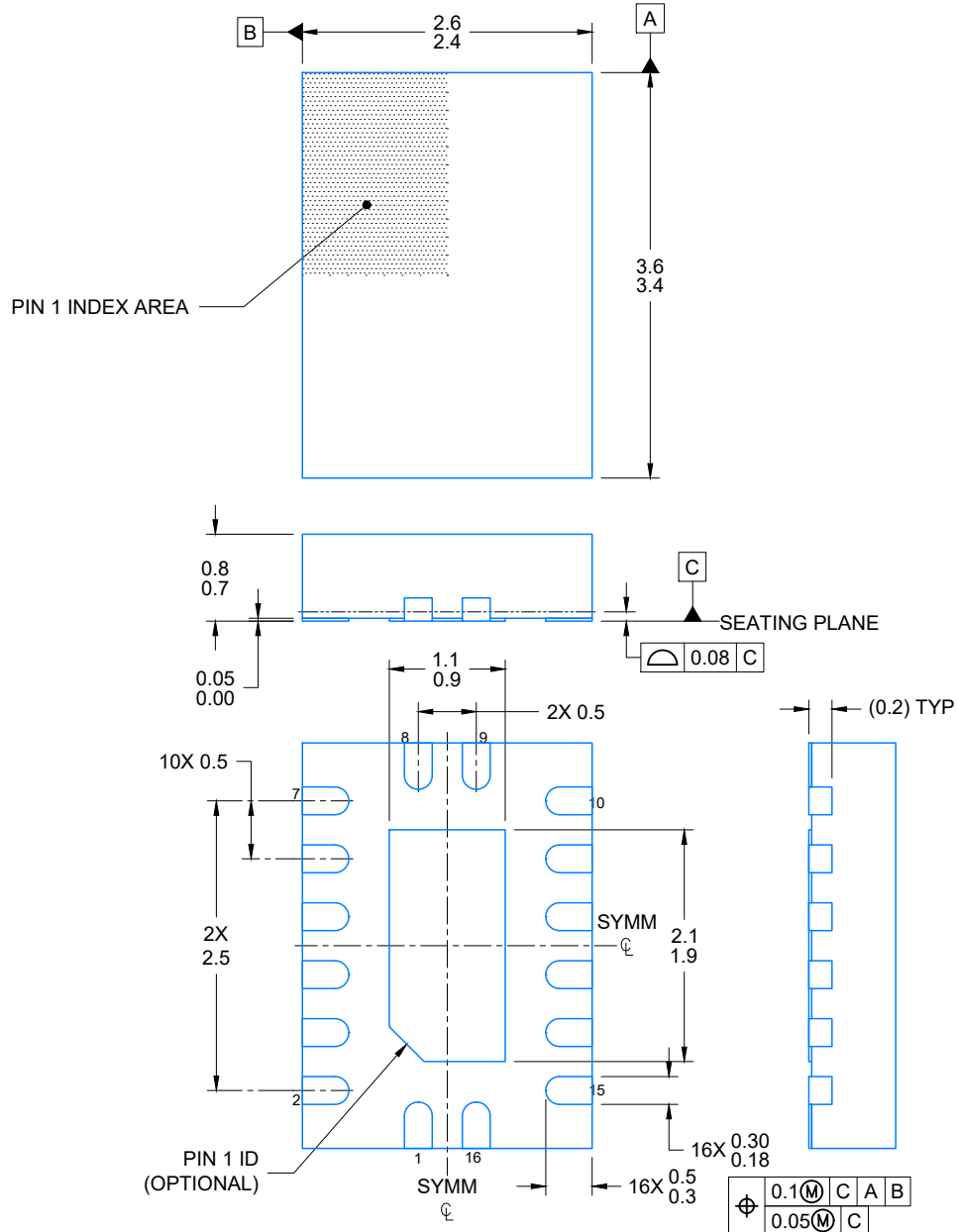
WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

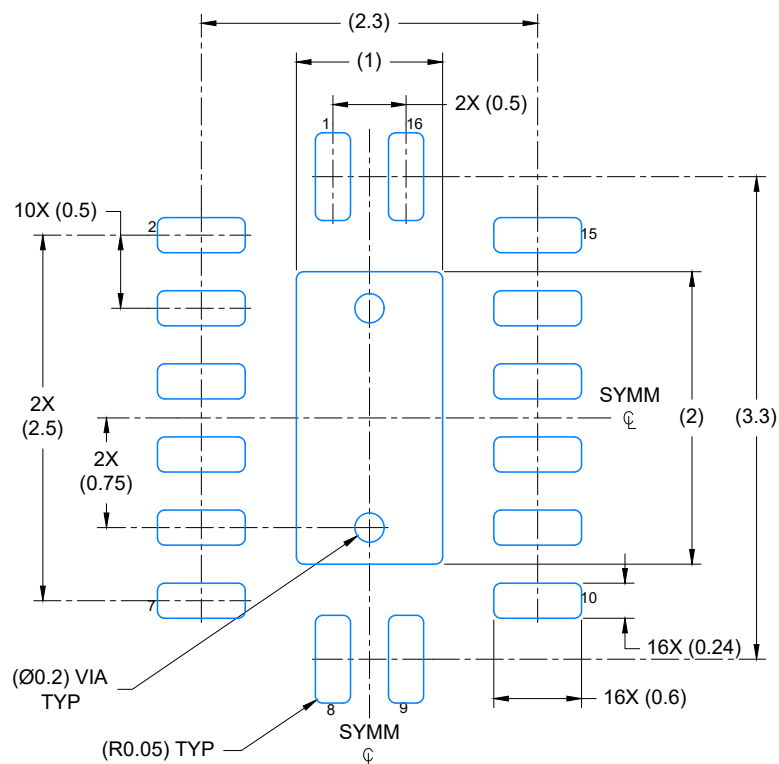




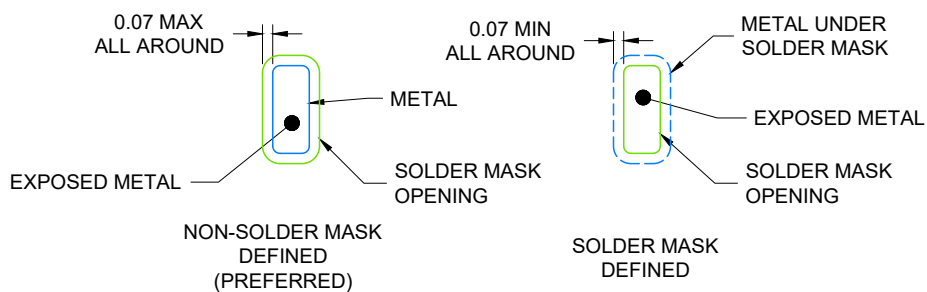
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.



PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



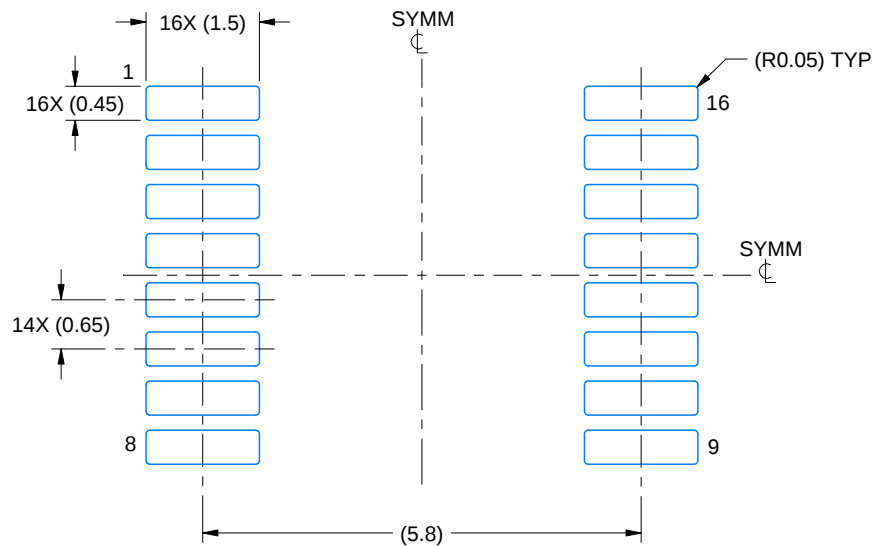
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

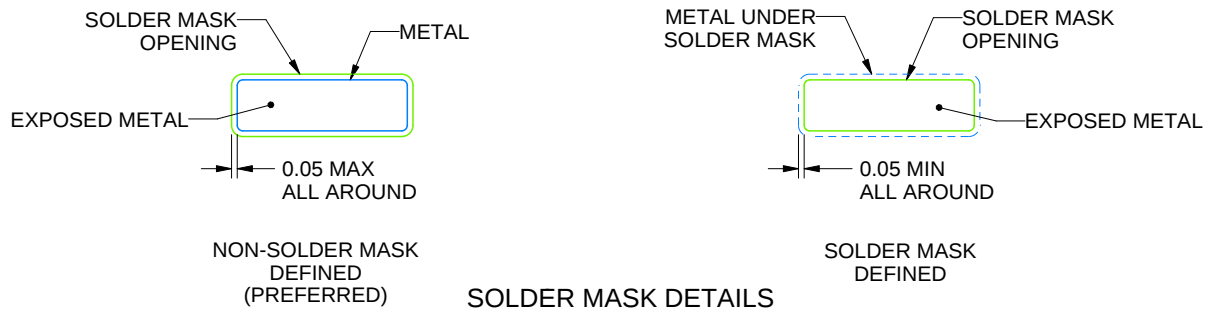
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

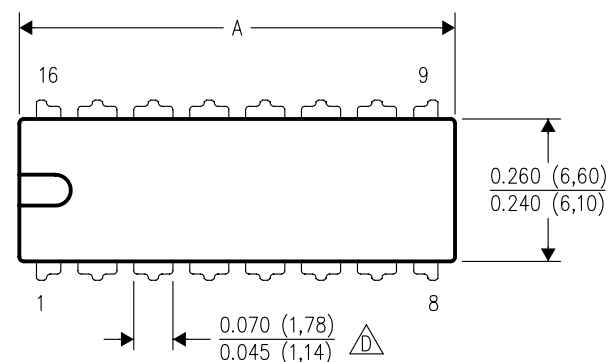
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

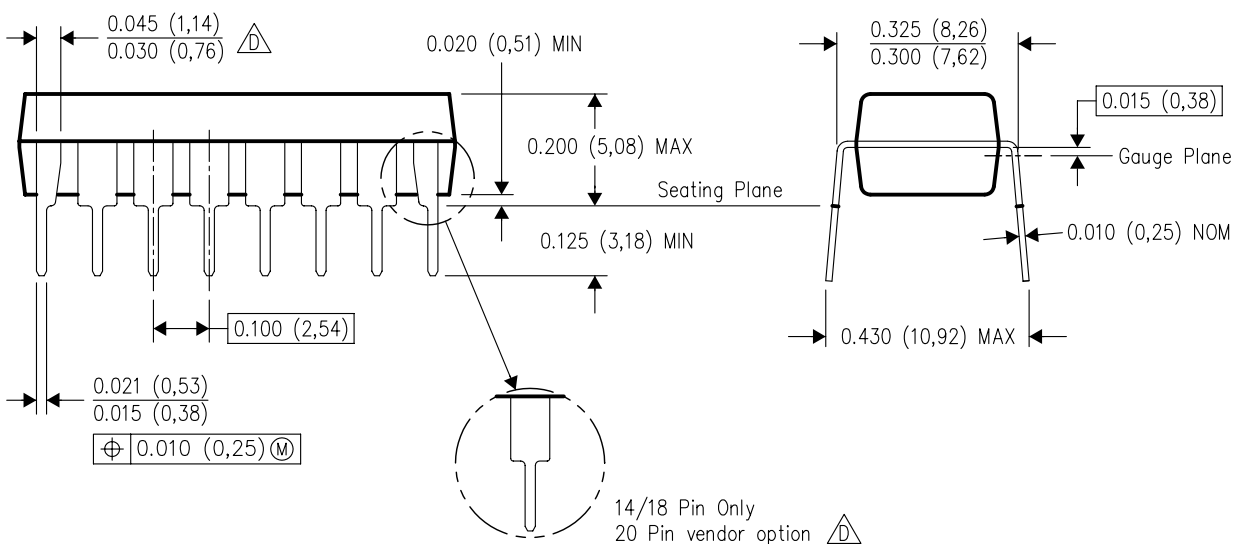
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



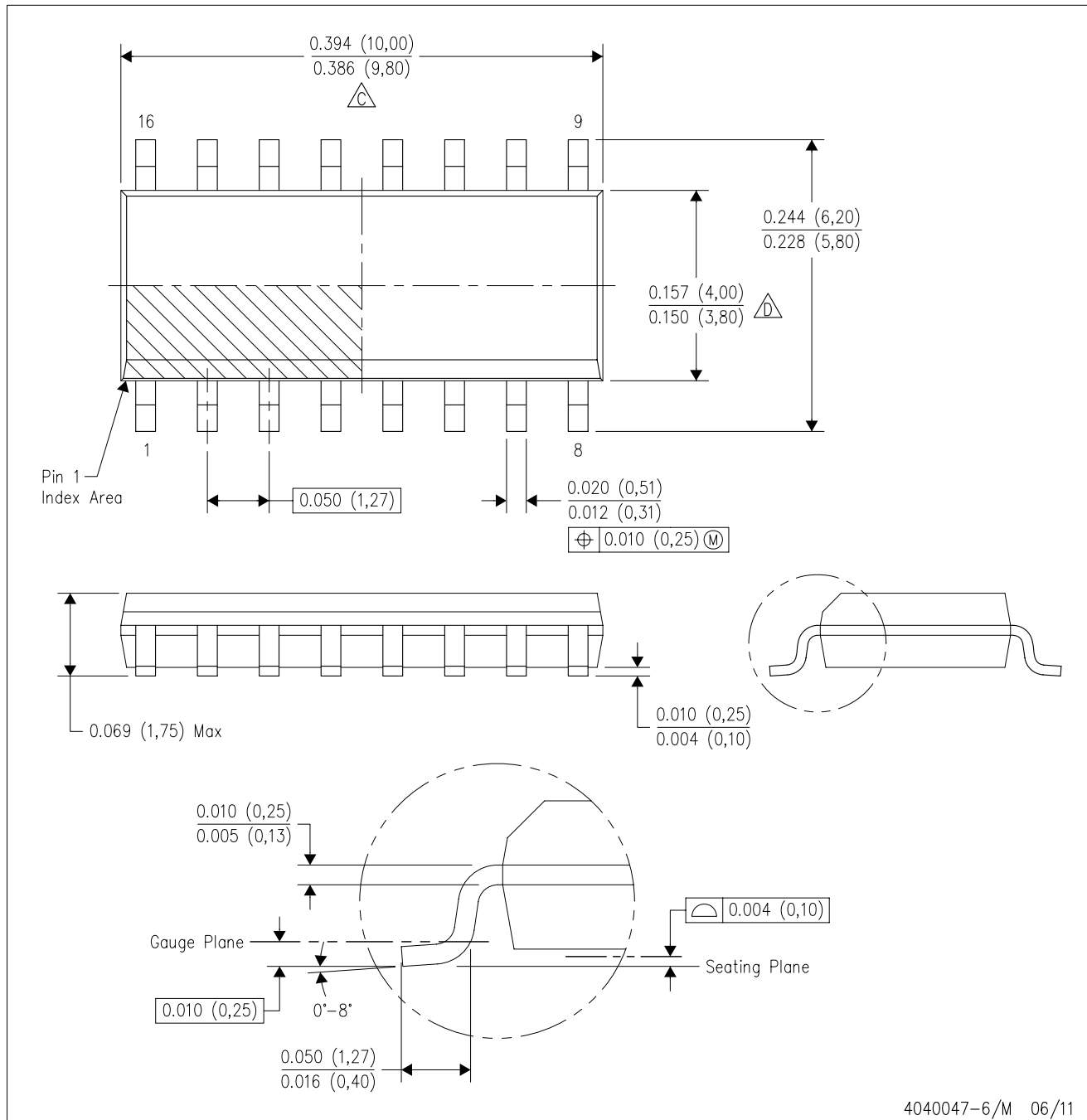
4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司