

CDx4AC164、CDx4ACT164 8 位串行输入/并行输出移位寄存器

1 特性

- 缓冲输入
- 典型传播延迟
 - 6ns ($V_{CC} = 5V$ 、 $T_A = 25^{\circ}C$ 且 $C_L = 50pF$ 时)
- 防 SCR 闩锁 CMOS 工艺和电路设计
- 具有双极 FAST™/AS/S 的速度，同时功耗显著降低
- 平衡传播延迟
- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- $\pm 24mA$ 输出驱动电流
 - 扇出到 15 个 FAST™ IC
 - 驱动 50 Ω 传输线

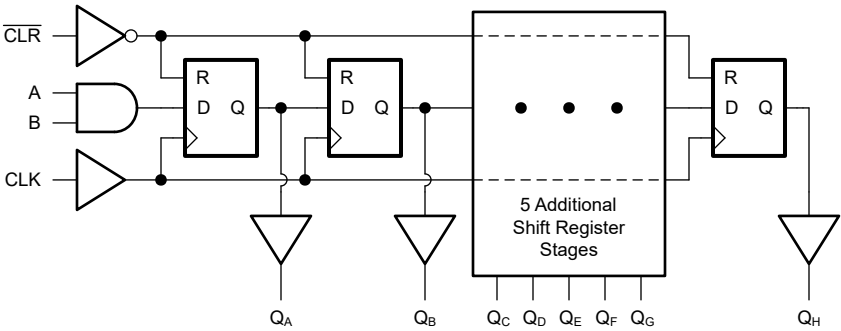
2 说明

' AC164 和 ' ACT164 是采用高级 CMOS 逻辑技术并具有异步复位功能的 8 位串行输入/并行输出移位寄存器。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
CDx4AC(T)164	BQA (WQFN , 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC , 14)	8.65mm × 6mm	8.65mm × 3.9mm
	N (PDIP , 14)	19.3mm × 9.4mm	19.3mm × 6.35mm
	PW (TSSOP , 14)	5mm × 6.4mm	5mm × 4.4mm

- (1) 如需了解更多信息，请参阅第 10 节。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
(3) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



功能图

内容

1 特性.....	1	7.2 典型应用.....	11
2 说明.....	1	7.3 电源相关建议.....	13
3 引脚配置和功能.....	3	7.4 布局.....	14
4 规格.....	4	8 器件和文档支持.....	16
4.1 绝对最大额定值.....	4	8.1 文档支持.....	16
4.2 ESD 等级.....	4	8.2 接收文档更新通知.....	16
4.3 建议运行条件.....	4	8.3 支持资源.....	16
4.4 热性能信息.....	4	8.4 商标.....	16
4.5 DC 电气规格.....	5	8.5 静电放电警告.....	16
4.6 开关功能的先决条件.....	6	8.6 术语表.....	16
4.7 开关规格.....	7	9 器件和文档支持.....	17
5 参数测量信息.....	8	9.1 文档支持 (模拟)	17
6 详细说明.....	9	9.2 接收文档更新通知.....	17
6.1 概述.....	9	9.3 支持资源.....	17
6.2 功能方框图.....	9	9.4 商标.....	17
6.3 特性说明.....	9	9.5 静电放电警告.....	17
6.4 器件功能模式.....	10	9.6 术语表.....	17
7 应用和实施.....	11	10 修订历史记录.....	17
7.1 应用信息.....	11	11 机械、封装和可订购信息.....	18

3 引脚配置和功能

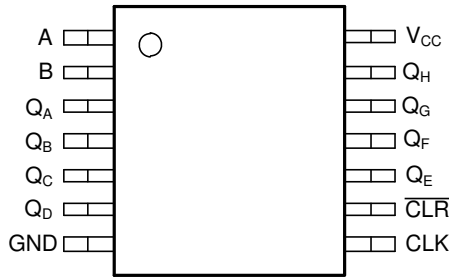


图 3-1. CD54AC(T)164 J 封装；14 引脚 CDIP；
CD74AC(T)164 D、N 或 PW 封装；14 引脚 SOIC、
PDIP 或 TSSOP (顶视图)

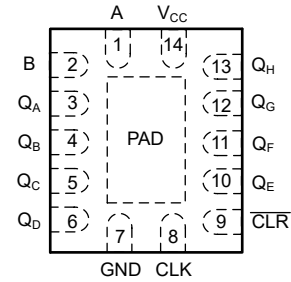


图 3-2. CD74AC(T)164 BQA 封装；14 引脚 WQFN
(顶视图)

表 3-1. 引脚功能

引脚		类型 ¹	说明
名称	编号		
A	1	I	门控串行输入 A
B	2	I	门控串行输入 B
Q _A	3	O	并行输出 A
Q _B	4	O	并行输出 B
Q _C	5	O	并行输出 C
Q _D	6	O	并行输出 D
GND	7	G	接地
CLK	8	I	时钟输入，上升沿触发
CLR	9	I	异步寄存器清零输入，低电平有效
Q _E	10	O	并行输出 E
Q _F	11	O	并行输出 F
Q _G	12	O	并行输出 G
Q _H	13	O	并行输出 H
V _{CC}	14	P	正电源
散热焊盘 ²		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

1. 信号类型：I = 输入，O = 输出，P = 电源，G = 地。
2. 仅限 BQA 封装。

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			最小值	最大值	单位
V_{CC}	DC 电源电压		-0.5	6	V
I_{IK}	直流输入二极管电流	($V_I < -0.5V$ 或 $V_I > V_{CC} + 0.5V$)		± 20	mA
I_{OK}	直流输出二极管电流	($V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$)		± 50	mA
I_O	每个输出引脚的直流输出拉电流或灌电流	($V_O > -0.5V$ 或 $V_O < V_{CC} + 0.5V$)		± 50	mA
I_{CC} 或 I_{GND} (2)	直流 V_{CC} 或接地电流			± 100	mA

- (1) 超出那些“绝对最大额定值”下列出的应力值可能会对器件造成永久损坏。这些仅为应力等级，并不表明器件在这些额定值下或者任何其他超过此规格运行条件中所标明的条件下可正常工作。
- (2) 如果每个器件最多有 4 个输出，则每增加一个输出会增加 $\pm 25mA$ 。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	± 2000	V

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	最大值	单位
T_A	温度范围		-55	125	$^{\circ}C$
V_{CC} (1)	电源电压范围				
	AC 类型		1.5	5.5	V
	ACT 类型		4.5	5.5	V
V_I 、 V_O	直流输入或输出电压		0	V_{CC}	V
dt/dv	输入上升和下降压摆率				
	AC 类型	1.5V 至 3V		50	ns
	AC 类型	3.6V 至 5.5V		20	ns
	ACT 类型	4.5V 至 5.5V		10	ns

- (1) 除非另有说明，否则所有电压均以接地为基准。

4.4 热性能信息

热指标(1)		CD74AC(T)164				单位
		BQA (WQFN)	D (SOIC)	N (PDIP)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	105.3	106.6	90	148.0	$^{\circ}C/W$

- (1) θ_{JA} 是自然通风环境下在 PC 评估板上安装的元件中测得的。

4.5 DC 电气规格

参数		测试条件		V _{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V _I (V)	I _O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
AC 类型											
V _{IH}	高电平输入电压	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
V _{IL}	低电平输入电压	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
V _{OH}	高电平输出电压	V _{IH} 或 V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1) (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1) (2)}	5.5	-	-	-	-	3.85	-	V
V _{OL}	低电平输出电压	V _{IH} 或 V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1) (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1) (2)}	5.5	-	-	-	-	-	1.65	V
I _I	输入漏电流	V _{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μ A
I _{CC}	静态电源电流 MSI	V _{CC} 或 GND	0	5.5	-	8	-	80	-	160	μ A
ACT 类型											
V _{IH}	高电平输入电压	-	-	4.5 至 5.5	2	-	2	-	2	-	V
V _{IL}	低电平输入电压	-	-	4.5 至 5.5	-	0.8	-	0.8	-	0.8	V
V _{OH}	高电平输出电压	V _{IH} 或 V _{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1) (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1) (2)}	5.5	-	-	-	-	3.85	-	V
V _{OL}	低电平输出电压	V _{IH} 或 V _{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1) (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1) (2)}	5.5	-	-	-	-	-	1.65	V
I _I	输入漏电流	V _{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μ A
I _{CC}	静态电源电流 MSI	V _{CC} 或 GND	0	5.5	-	8	-	80	-	160	μ A

参数		测试条件		V _{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V _I (V)	I _O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
ΔI _{CC}	每个输入引脚 TTL 输入高电平 1 单位负载的额外电源电流	V _{CC} - 2.1	-	4.5 至 5.5	-	2.4	-	2.8	-	3	mA

- (1) 一次测试一个输出，最大持续时间为 1 秒。为了尽可能减少功率耗散，测量方法是强制施加电流并测量电压。
(2) 测试验证了 85°C 下的最小传输线路驱动能力为 50 Ω，而 125°C 下则为 75 Ω。

表 4-1. ACT 输入负载表

输入	单位负载
A、B	0.5
CLR	0.74
CLK	0.71

单位负载为直流电气规格表中指定的 ΔI_{CC} 限值（例如，25°C 时最大值为 2.4mA）。

4.6 开关功能的先决条件

参数		V _{CC} (V)	-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	
AC 类型							
f _{MAX}	最大时钟频率	1.5	7	-	6	-	MHz
		3.3 ⁽¹⁾	62	-	54	-	MHz
		5 ⁽²⁾	86	-	75	-	MHz
t _W	$\overline{\text{MR}}$ 脉度	1.5	49	-	56	-	ns
		3.3	5.5	-	6.3	-	ns
		5	3.9	-	4.5	-	ns
t _W	CP 脉宽	1.5	73	-	84	-	ns
		3.3	8.2	-	9.4	-	ns
		5	5.9	-	6.7	-	ns
t _{SU}	建立时间	1.5	27	-	31	-	ns
		3.3	3.1	-	3.5	-	ns
		5	2.2	-	2.5	-	ns
t _H	保持时间	1.5	27	-	31	-	ns
		3.3	3.1	-	3.5	-	ns
		5	2.2	-	2.5	-	ns
t _{REM}	$\overline{\text{MR}}$ 至 CP 移除时间	1.5	1	-	1	-	ns
		3.3	1	-	1	-	ns
		5	1	-	1	-	ns
ACT 类型							
f _{MAX}	最大时钟频率	5 ⁽²⁾	80	-	70	-	MHz
t _W	$\overline{\text{MR}}$ 脉度	5	3.9	-	4.5	-	ns
t _W	CP 脉宽	5	6.2	-	7.1	-	ns
t _{SU}	建立时间	5	2.2	-	2.5	-	ns
t _H	保持时间	5	2.6	-	3	-	ns
t _{REM}	$\overline{\text{MR}}$ 至 CP 移除时间	5	0	-	0	-	ns

- (1) 9.3.6V 时最小值为 3.3V，3V 时为最大值。
(2) 10.5.5V 时最小值为 5V，4.5V 时为最大值。

4.7 开关规格

输入 t_r 、 $t_f=3\text{ns}$ 、 $C_L=50\text{pF}$ (最差情况)

参数	V _{CC} (V)	-40°C 至 85°C			-55°C 至 125°C			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
AC 类型								
t _{PLH} 、 t _{PHL} 传播延迟, CP 到 Qn	1.5	-	-	143	-	-	157	ns
	3.3 ⁽¹⁾	4.5	-	15.9	4.4	-	17.5	ns
	5 ⁽²⁾	3.2	-	11.4	3.1	-	12.5	ns
t _{PLH} 、 t _{PHL} 传播延迟, $\overline{MR}$ 到 Qn	1.5	-	-	158	-	-	174	ns
	3.3	5	-	17.7	4.9	-	19.5	ns
	5	3.6	-	12.6	3.5	-	13.9	ns
C _I 输入电容	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ 功率耗散电容	-	-	150	-	-	150	-	pF
ACT 类型								
t _{PLH} 、 t _{PHL} 传播延迟, CP 到 Qn	5 ⁽²⁾	3.8	-	13.5	3.7	-	14.9	ns
t _{PLH} 、 t _{PHL} 传播延迟, $\overline{MR}$ 到 Qn	5	4.1	-	14.4	4	-	15.8	ns
C _I 输入电容	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ 功率耗散电容	-	-	150	-	-	150	-	pF

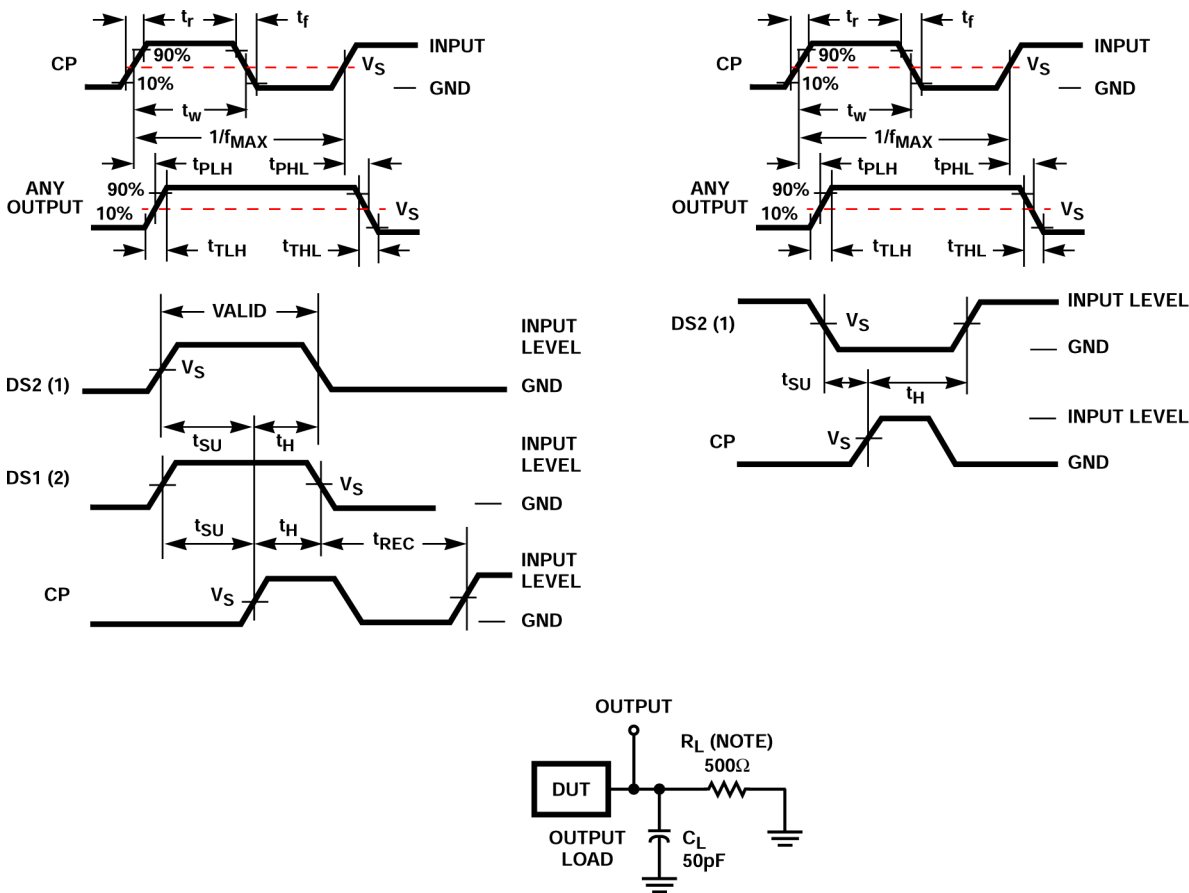
(1) 3.6V 时最小值为 3.3V, 3V 时为最大值。

(2) 5.5V 时最小值为 5V, 4.5V 时为最大值。

(3) C_{PD} 用于确定每个器件的动态功耗。

5 参数测量信息

负载电路和电压波形



仅适用于交流系列：当 $V_{CC} = 1.5V$ 时， $R_L = 1k\Omega$ 。仅适用于交流系列：当 $V_{CC} = 1.5V$ 时， $R_L = 1k\Omega$ 。仅适用于交流系列：当 $V_{CC} = 1.5V$ 时， $R_L = 1k\Omega$ 。

图 5-1. 传播延迟时间

表 5-1. 传播延迟时间

	AC	ACT
输入电平	V_{CC}	3V
输入开关电压 V_S	$0.5V_{CC}$	1.5V
输出开关电压 V_S	$0.5V_{CC}$	$0.5V_{CC}$

6 详细说明

6.1 概述

CDx4AC(T)164 是一款 8 位移位寄存器，具有 2 个通过与门连接的串行输入 (A 和 B) 以及一个异步清零 ($\overline{\text{CLR}}$) 输入。该器件需要 A 和 B 上的高电平信号来将输入数据线路设置为高电平；任一输入上的低电平信号都会将输入数据线路设置为低电平。如果满足最短设置时间要求，则可以在 CLK 为高电平或低电平时更改 A 和 B 上的数据。

CDx4AC(T)164 的 CLK 引脚为上升沿触发，在从低电平到高电平转换时激活。在上升沿触发时，器件会将 (A 和 B) 输入数据线的结果存储在第一个寄存器中，并将每个寄存器的数据传播到下一个寄存器。最后一个寄存器 Q_H 的数据将在每个时钟触发时丢弃。对 CLR 引脚施加低电平信号后，CDx4AC(T)164 会立即将所有寄存器设置为逻辑低电平值。

6.2 功能方框图

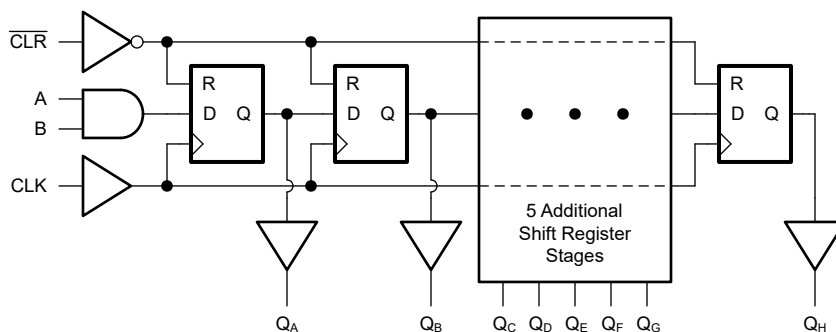


图 6-1. CDx4AC(T)164 的逻辑图 (正逻辑)

6.3 特性说明

6.3.1 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

6.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议的工作条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\ \Omega$ 电阻器，这通常可以满足所有要求。

6.4 器件功能模式

表 6-1 列出了 CDx4AC(T)164 的功能模式。

表 6-1. 功能表

输入 ⁽¹⁾				功能
A	B	CLR	CLK	
X	X	L	X	移位寄存器清零。
L	X	H	↑	移位寄存器的第一级变为低电平。 其他级分别存储前一级的数据。
X	L	H	↑	移位寄存器的第一级变为低电平。 其他级分别存储前一级的数据。
H	H	H	↑	移位寄存器的第一级变为高电平。 其他级分别存储前一级的数据。

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

在此应用中，CDx4AC(T)164 用于控制七段显示器。与其他 I/O 扩展器不同，CDx4AC(T)164 不需要使用通信接口来进行控制。它可以通过简单的 GPIO 引脚轻松操作。此外，还通过馈入与门的两个串行输入提供额外控制。

上电时，移位寄存器的初始状态是未知的。要提供一个定义的状态，需要同时将两个移位寄存器清零。RC 可以连接到 CLR 引脚（如图 7-1 所示），将移位寄存器初始化为全零。

7.2 典型应用

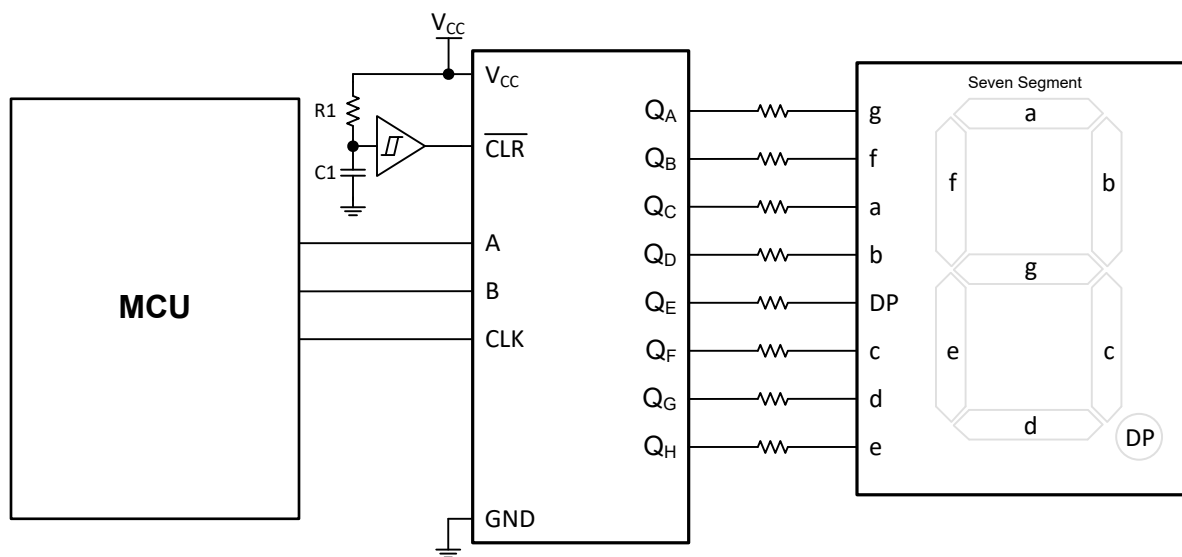


图 7-1. 典型应用框图

7.2.1 设计要求

7.2.1.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 CDx4AC(T)164 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

CDx4AC(T)164 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

CDx4AC(T)164 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

7.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 CDx4AC(T)164 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

CDx4AC(T)164 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 *建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅 *特性说明* 部分。

7.2.1.3 输出注意事项

接地电压用于产生低电平输出电压。根据 *电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出其他信息，请参阅 *特性说明* 部分。

7.2.1.4 应用曲线

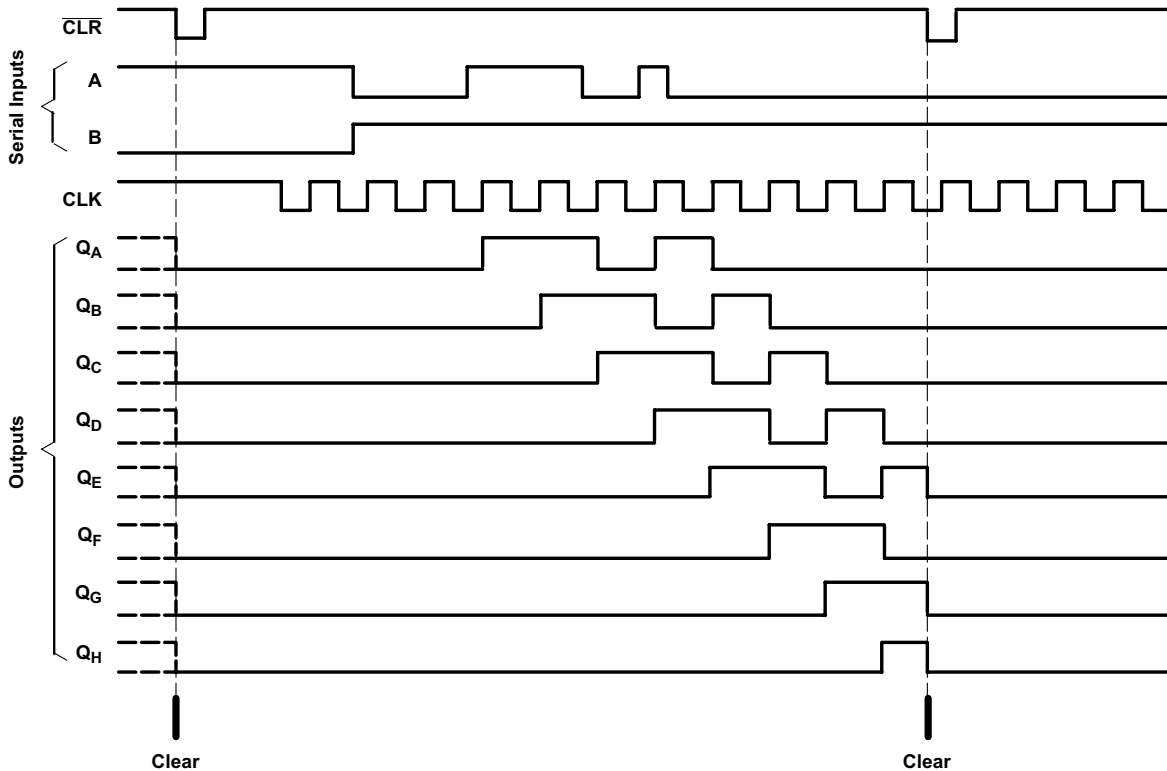


图 7-2. 应用时序图

7.3 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\mu F$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu F$ 和 $1\mu F$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.4 布局

7.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 对信号布线周围的区域进行泛洪填充
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的信号进行缓冲

7.4.2 布局示例

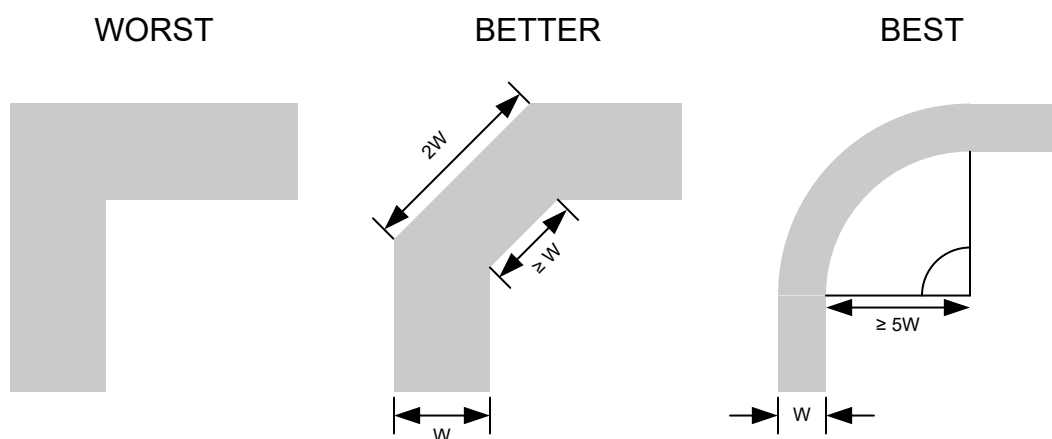


图 7-3. 可改善信号完整性的布线转角示例

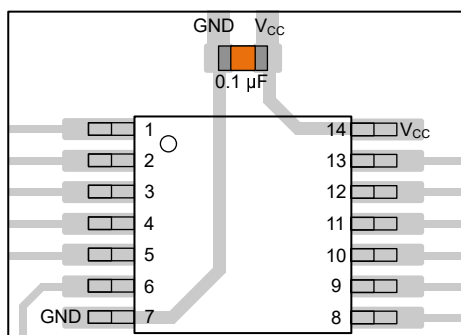


图 7-4. TSSOP 和类似封装的旁路电容器放置示例

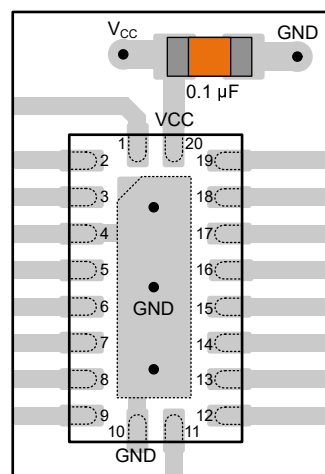


图 7-5. WQFN 和类似封装的旁路电容器放置示例

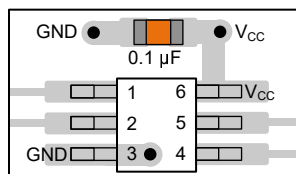


图 7-6. SOT、SC70 和类似封装的旁路电容器放置示例

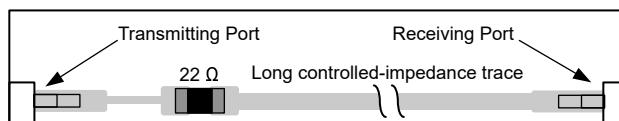


图 7-7. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持 (模拟)

9.1.1 相关文档

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 9-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54AC164	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC164	点击此处	点击此处	点击此处	点击此处	点击此处
CD54ACT164	点击此处	点击此处	点击此处	点击此处	点击此处
CD74ACT164	点击此处	点击此处	点击此处	点击此处	点击此处

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (April 2024) to Revision D (October 2024)	Page
• 向 器件信息表 、 引脚配置和功能 部分以及 热性能信息表 中添加了 BQA 和 PW 封装.....	1
• 添加了 特性说明 部分、 典型应用 部分和 布局示例图	1
• 更改了整个数据表中的引脚名称：DS1 → A、DS2 → B、Q0 → Q _A 、Q1 → Q _B 、Q2 → Q _C 、Q3 → Q _D 、CP → CLK、!MR → $\overline{\text{CLR}}$ 、Q4 → Q _E 、Q5 → Q _F 、Q7 → Q _G 、→ Q _H 、→ V _{CC}	1

Changes from Revision B (November 2023) to Revision C (April 2024)**Page**

- 更新了 $R_{\theta JA}$ 值：D 封装从 175 更新至 106.6，所有值均以 $^{\circ}\text{C/W}$ 为单位.....4

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC164F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC164F3A
CD54AC164F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC164F3A
CD54ACT164F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT164F3A
CD54ACT164F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT164F3A
CD74AC164BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164E	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC164E
CD74AC164E.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC164E
CD74AC164M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	AC164M
CD74AC164M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96G4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164M96G4.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164M
CD74AC164PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AC164
CD74AC164PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC164
CD74ACT164BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD164
CD74ACT164BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD164
CD74ACT164E	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT164E
CD74ACT164E.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT164E
CD74ACT164M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	ACT164M
CD74ACT164M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96G4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164M96G4.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT164M
CD74ACT164PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	AD16
CD74ACT164PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD16

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC164, CD54ACT164, CD74AC164, CD74ACT164 :

- Catalog : [CD74AC164](#), [CD74ACT164](#)
- Military : [CD54AC164](#), [CD54ACT164](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC164BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
CD74AC164M96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
CD74AC164PWR	TSSOP	PW	14	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
CD74AC164PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT164BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
CD74ACT164M96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
CD74ACT164PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT164PWR	TSSOP	PW	14	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC164BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
CD74AC164M96	SOIC	D	14	2500	353.0	353.0	32.0
CD74AC164PWR	TSSOP	PW	14	3000	366.0	364.0	50.0
CD74AC164PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
CD74ACT164BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
CD74ACT164M96	SOIC	D	14	2500	353.0	353.0	32.0
CD74ACT164PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
CD74ACT164PWR	TSSOP	PW	14	3000	366.0	364.0	50.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT164E.A	N	PDIP	14	25	506	13.97	11230	4.32

J 14

GENERIC PACKAGE VIEW

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G



J0014A

PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 -  The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

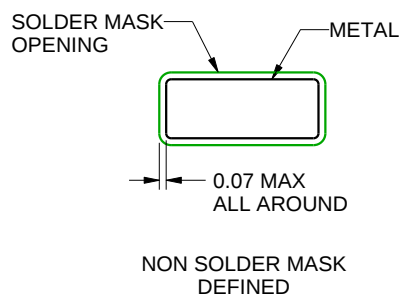
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

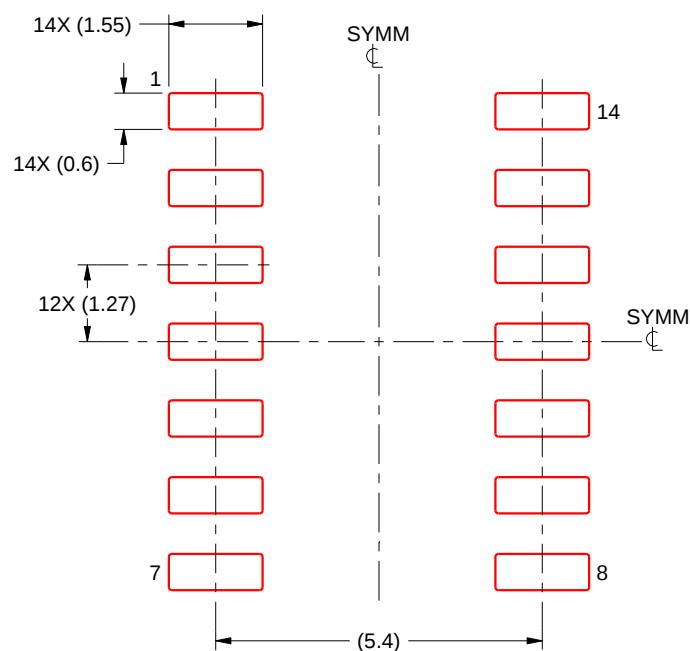
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

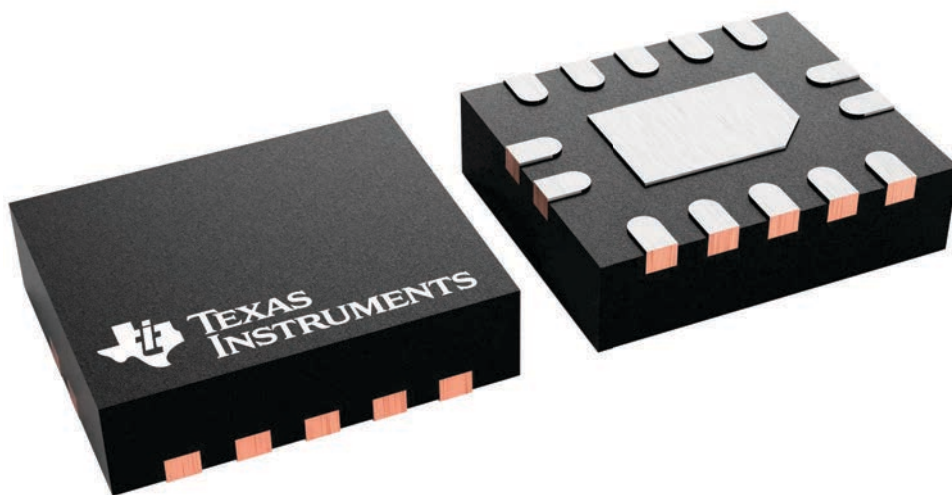
BQA 14

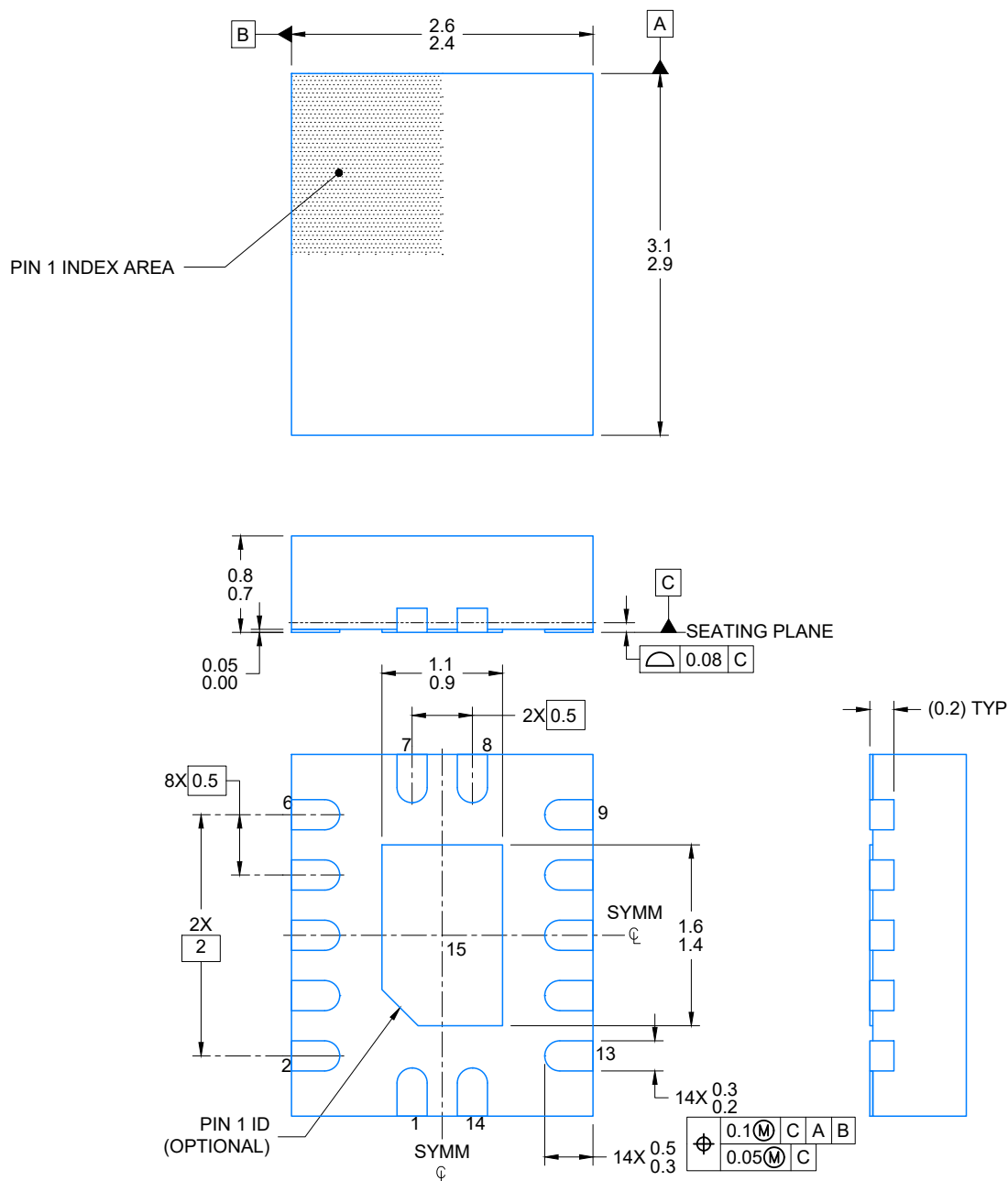
WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

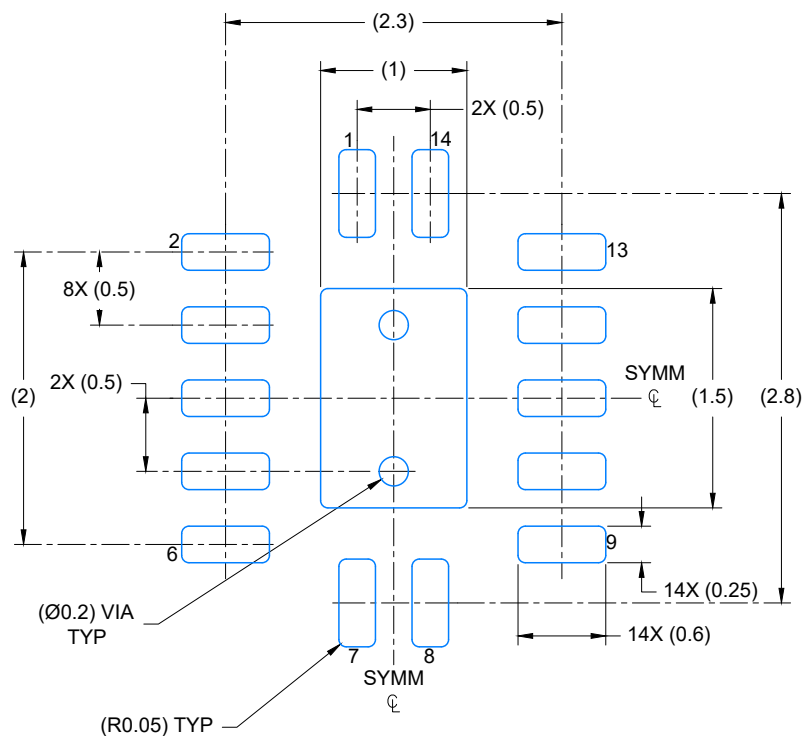




4224636/A 11/2018

NOTES:

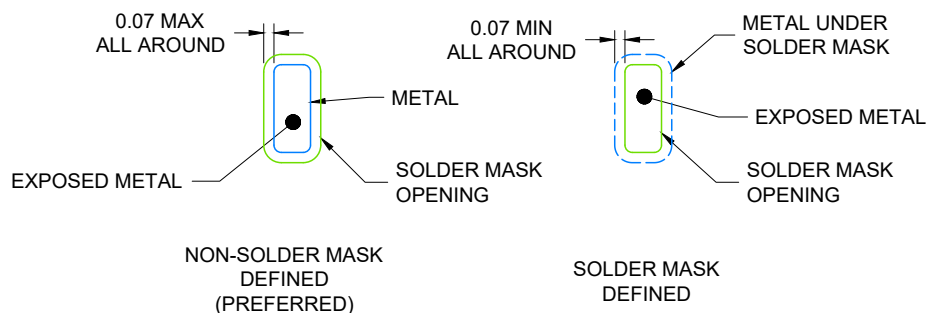
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

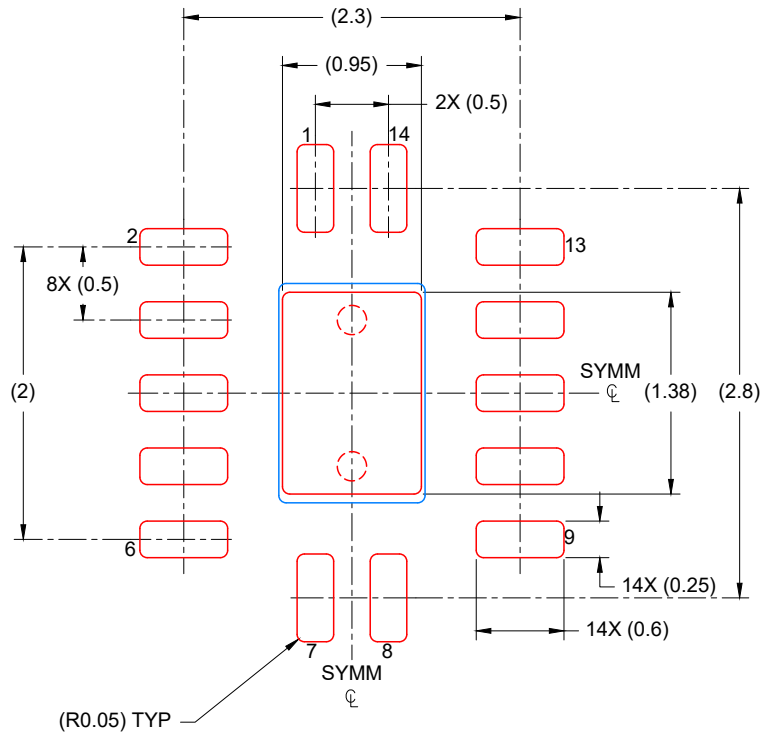
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司