BUF802 宽带宽、2.3nV/√Hz、高输入阻抗缓冲器

1 特性

- 大信号带宽 (1V_{PP})：3.1GHz
- 压摆率：7000V/μs
- 输入电压噪声：2.3nV/√Hz
- 1% 稳定时间：0.7ns
- 输入阻抗： 50GΩ || 2.4pF
- 能够驱动 50Ω 负载
- 可调静态电流，用于功率和性能权衡
- 具有快速过驱恢复功能的集成输入和输出钳位
- 电压电源：±4.5V 至 ±6.5V

2 应用

- 示波器前端
- 高频数据采集
- 高输入阻抗和高压摆率 T&M 系统
- 示波器编码器和前端附加卡
- 有源探头
- 无损测试 (NDT)

3 说明

BUF802 器件是一款具有 JFET 输入级的开环、单位增益缓冲器，能够为数据采集系统 (DAQ) 前端提供低噪声、高阻抗缓冲。BUF802 支持直流至 -3.1GHz 的带宽，同时在整个频率范围内提供出色的失真和噪声性能。

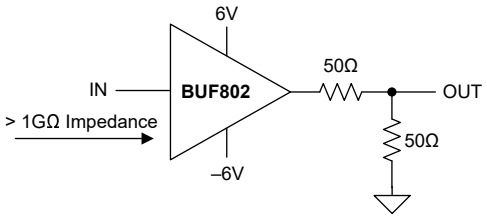
BUF802 可在需要更高精度性能的应用中与精密放大器一同用于复合环路。BUF802 采用创新架构来简化高精度、宽带宽复合环路的设计。

BUF802 具有可调节静态电流引脚，使设计人员能够在带宽与失真性能之间进行权衡，以降低静态电流。此特性使得该器件成为宽频率范围内的理想选择。BUF802 具有集成的输入和输出钳位，能够保护器件及其后续信号链免受过驱电压的影响。

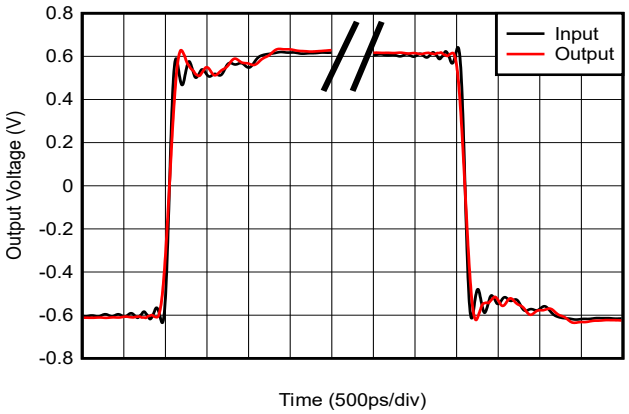
器件信息

器件型号	封装(1)	封装尺寸(2)
BUF802	RGT（VQFN，16）	3mm × 3mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



使用 BUF802 的阻抗变换电路



瞬态响应

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性 - 宽带宽模式.....5
5.6 电气特性 - 低静态电流模式.....7
5.7 典型特性.....8
6 参数测量信息.....14
7 详细说明.....15
7.1 概述.....15
7.2 功能方框图.....15
7.3 特性说明.....16
7.4 器件功能模式.....19
8 应用和实施.....22
8.1 应用信息.....22
8.2 典型应用.....22
8.3 电源相关建议.....28
8.4 布局.....28
9 器件和文档支持.....31
9.1 文档支持.....31
9.2 接收文档更新通知.....31
9.3 支持资源.....31
9.4 商标.....31
9.5 静电放电警告.....31
9.6 术语表.....31
10 修订历史记录.....31
11 机械、封装和可订购信息.....32

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

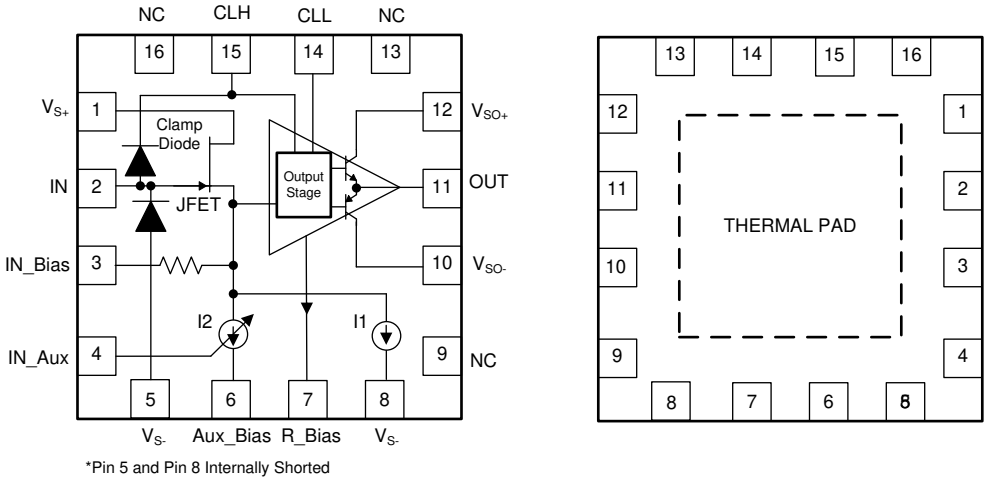


图 4-1. RGT 封装、16 引脚 VQFN
（顶视图和底视图）

表 4-1. 引脚功能

引脚		类型(1)	运行模式(2) (3)	说明
名称	编号			
Aux_Bias	6	P	CL	连接到 V_{S-}，以启用通过 In_Aux 控制输出的功能
CLH	15	I	BF、CL	用于设置正钳位电压的输入引脚
CLL	14	I	BF、CL	用于设置负钳位电压的输入引脚
IN	2	I	BF、CL	信号输入
In_Aux	4	I	CL	用于通过外部放大器控制输出的辅助输入
In_Bias	3	I	CL	JFET 偏置引脚
NC	16、13、9	NC	—	不连接
OUT	11	O	BF、CL	信号输出
R_Bias	7	I	BF、CL	输出级偏置电流设置引脚
V_{S+}	1	P	BF、CL	输入级的正电源连接
V_{S-}	5、8	P	BF、CL	输入级的负电源连接；引脚 5 和引脚 8 在内部短接
V_{SO+} (4)	12	P	BF、CL	输出级的正电源连接
V_{SO-} (4)	10	P	BF、CL	输出级的负电源连接
散热焊盘		—	—	散热焊盘在电气上与裸片和引脚隔离；将散热焊盘连接到任何电势

(1) I = 输入，O = 输出，P = 电源，NC = 无连接。
(2) 有关*缓冲模式 (BF)* 和*复合环路模式 (CL)* 功能模式的更多信息，请参阅节 7.4。
(3) 仅在*复合环路模式*下运行时使用指定为 *CL* 的引脚，在*缓冲模式*下运行时将这些引脚悬空。
(4) 将 V_{SO} 和 V_S 连接到相同电势，因为这两个引脚在内部通过背靠背二极管相连。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[1]

		最小值	最大值	单位
V_S	输入级电源电压，$V_S = (V_{S+}) - (V_{S-})$[2]		14	V
V_{SO}	输出级电源电压，$V_{SO} = (V_{SO+}) - (V_{SO-})$[2]		14	V
IN	输入电压	$(V_{S-}) - 0.5$	(V_{S+})	V
CLH	正钳位电压	1/2 Vs	V_{S+}	V
CLL	负钳位电压	V_{S-}	1/2 Vs	V
	输入钳位二极管		100	mA
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 将 V_{SO} 和 V_S 连接到相同的电势。V_{SO} 和 V_S 通过背对背二极管在内部连接在一起。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[2]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，$V_S = (V_{S+}) - (V_{S-})$[1]	双电源电压	±4.5	±5	±6.5	V
		单电源电压	9	10	13	
T_A	环境温度		-40	25	85	°C

(1) BUF802 可与 V_{S+} 和 V_{S-} 的任意可能组合一起使用，但不得超过*建议运行条件*。

5.4 热性能信息

热指标[1]		BUF802 RGT (VQFN) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	53	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	61	°C/W
$R_{\theta JB}$	结至电路板热阻	27	°C/W
Ψ_{JT}	结至顶部特征参数	2.7	°C/W
Ψ_{JB}	结至电路板特征参数	27	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标* 应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性 - 宽带宽模式

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	V_{OUT} = 100 mV_{PP}			3.1		GHz
LSBW	大信号带宽	V_{OUT} = 1 V_{PP}			3.1		GHz
		V_{OUT} = 2 V_{PP}			1.6		
	0.1dB 平坦度带宽	V_{OUT} = 1V_{PP}，R_L = 100Ω			0.6		GHz
	−1-dB 平坦度带宽	V_{OUT} = 1V_{PP}，R_L = 100Ω			1.8		GHz
	−2-dB 平坦度带宽	V_{OUT} = 1V_{PP}，R_L = 50Ω			2.4		GHz
SR	压摆率	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			7000		V/μs
	上升和下降时间	V_{OUT} = 1.2V 阶跃（10% 至 90%）			0.16		ns
		V_{OUT} = 0.25V 阶跃（10% 至 90%）			0.15		
	精度达 0.1% 的稳定时间	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			1.3		ns
	精度达 1% 的稳定时间	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			0.7		ns
e_n	电压噪声	1/f 转角频率			18		kHz
		在 BF 模式和 CL 模式下，f = 100MHz			2.3		nV/√Hz
i_n	电流噪声	f = 10kHz			1.5		fA/√Hz
HD2/HD3	谐波失真	V_{OUT} = 2 V_{PP}	f = 500MHz		-68/-58		dBc
		V_{OUT} = 1 V_{PP}	f = 1GHz		-55/-59		
			f = 2GHz		-45/-49		
			f = 2GHz，R_L = 50Ω		-43/-41		
直流性能							
V_{OS}	输入失调电压	V_{OUT} - V_{IN}			-600	-800	mV
		T_A = -40°C 至 +85°C				-900	
dV_{OS}/dT	输入失调电压漂移	T_A = -40°C 至 +85°C			±700	±1330	μV/℃
I_B	输入偏置电流				3	25	pA
		T_A = -40°C 至 +85°C				220	
I_{AB}	辅助输入偏置电流				44	140	μA
		T_A = -40°C 至 +85°C				200	
G	直流增益	V_{OUT} = ±0.5V	R_L = 200Ω	0.97	0.978	0.99	V/V
			R_L = 100Ω	0.96	0.971	0.98	
			R_L = 50Ω	0.95	0.961	0.97	
		V_{OUT} = ± 0.5V，T_A = －40℃ 至 +85℃	R_L = 200Ω	0.97		0.99	
			R_L = 100Ω	0.96		0.98	
			R_L = 50Ω	0.94		0.97	

5.5 电气特性 - 宽带宽模式（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
输入							
Z_{IN}	输入阻抗	f = 100MHz			50 || 2.4		GΩ || pF
	输入钳位电流额定值	连续电流额定值			100		mA
V_{CLH}	高侧钳位电压(1)			0		V_{S+}	V
V_{CLL}	低侧钳位电压(1)			V_{S-}		0	V
	CLH 钳位时间	在过驱期间，将 V_{OUT} 钳位到 V_{CLH} 所需的时间			0.2		ns
	CLL 钳位时间	在过驱期间，将 V_{OUT} 钳位到 V_{CLL} 所需的时间			0.2		ns
	输入电压	THD = –40dBc	f = 500MHz		4.5		V_{PP}
			f = 1GHz		2.1		V_{PP}
			f = 2GHz		1.2		V_{PP}
输出							
	输出摆幅	T_A = 25°C		V_{S+} – 1.9		V_S - +3.4	V
		T_A = -40°C 至 +85°C		V_{S+} – 2.0		V_S - +3.4	V
Z_O	输出阻抗	f = 100MHz			1.2		Ω
辅助输入							
G_{AUX}	V_{OUT}/In_Aux 增益	在低频率下（V_{IN} 保持悬空）		6.15		20	V/V
		在交叉频率下（V_{IN} 短接至 GND）		0.18	0.26		V/V
	In_Aux 处的默认电压	将 In_Aux 驱动至默认电压 会导致 V_{OUT} = 1/2 Vs		V_{S-} + 2.3	V_{S-} + 3	V_{S-} + 3.8	V
	In_Aux 输入电压	在交叉频率下		V_{S-} + 1.0		V_{S-} + 5.0	V
G_{AUX} BW	V_{OUT}/In_Aux 带宽				800		MHz
	RHF	In_Bias 与 JFET 源之间的电阻			100		kΩ
电源							
I_Q	静态电流	I_{OUT} = 0mA (R_bias = 17.8kΩ)			34	37	mA
			T_A = -40°C 至 +85°C		35.5		mA
			CL 模式已启用		36	40	mA
PSRR	电源抑制比	100kHz 时 V_{S+} 上的 PSRR			49		dB
		100kHz 时 V_{S-} 上的 PSRR			38		dB

(1) 0V 限制适用于双极性和平衡电源。对于其他电源配置，1/2 Vs 可设置 V_{CLH} 的最小限制和 V_{CLL} 的最大限制。

Copyright © 2025 Texas Instruments Incorporated

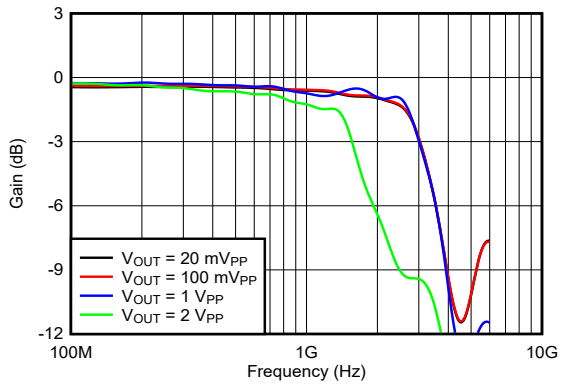
5.6 电气特性 - 低静态电流模式

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 35.7kΩ 且处于低静态电流模式的情况下测得（除非另有规定）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	V_{OUT} = 100 mV_{PP}			2.6		GHz
LSBW	大信号带宽	V_{OUT} = 1 V_{PP}			2		GHz
		V_{OUT} = 2 V_{PP}			0.7		
	0.1dB 平坦度带宽	V_{OUT} = 1 V_{PP}			0.45		GHz
	-1dB 平坦度带宽	V_{OUT} = 1 V_{PP}			1.4		GHz
SR	压摆率	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			5500		V/μs
	上升和下降时间	V_{OUT} = 1.2V 阶跃（10% 至 90%）			0.3		ns
		V_{OUT} = 0.25V 阶跃（10% 至 90%）			0.16		
	精度达 0.1% 的稳定时间	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			1.4		ns
	精度达 1% 的稳定时间	V_{OUT} = 1.2V 阶跃，V_{IN} 转换率 = 13000V/μs			0.8		
e_n	电压噪声	1/f 转角频率			10		kHz
		f = 100MHz			2.2		nV/√Hz
i_n	电流噪声	f = 10kHz			1.5		fA/√Hz
HD2/HD3	谐波失真	V_{OUT} = 2 V_{PP}	f = 500MHz		-35/-32		dBc
		V_{OUT} = 1 V_{PP}	f = 100MHz		-80/-77		
			f = 500MHz		-56/-54		
直流性能							
G	直流增益	V_{OUT} = ±0.5V	R_L = 200Ω	0.96	0.975	0.99	V/V
			R_L = 100Ω	0.95	0.963	0.98	
		V_{OUT} = ±0.5V，T_A = –40℃ 至 +85℃	R_L = 200Ω	0.96		0.99	
			R_L = 100Ω	0.95		0.98	
输入							
	CLH 钳位时间	在过驱期间，将 V_{OUT} 钳位到 V_{CLH} 所需的时间			0.3		ns
	CLL 钳位时间	在过驱期间，将 V_{OUT} 钳位到 V_{CLL} 所需的时间			0.7		
输出							
Z_O	输出阻抗	f = 100MHz			1.2		Ω
电源							
I_Q	静态电流	I_{OUT} = 0mA (R_bias = 35.7 kΩ)			21	24	mA
			T_A = -40°C 至 +85°C		22		

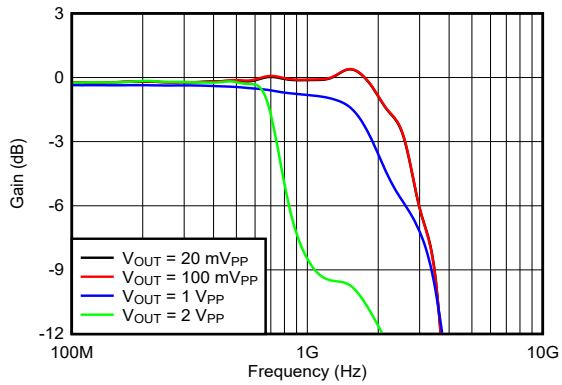
5.7 典型特性

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）



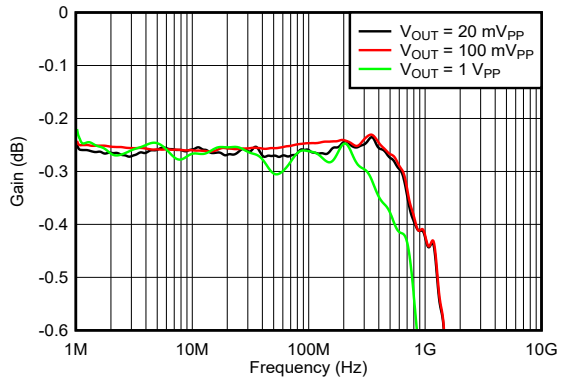
宽带宽模式

图 5-1. 频率响应与输出电压间的关系



低静态电流模式

图 5-2. 频率响应与输出电压间的关系



宽带宽模式

图 5-3. 频率响应与输出电压间的关系，0.1dB 平坦度

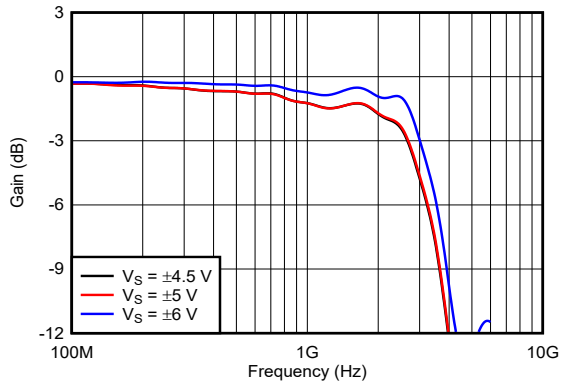


图 5-4. 频率响应与电源电压间的关系

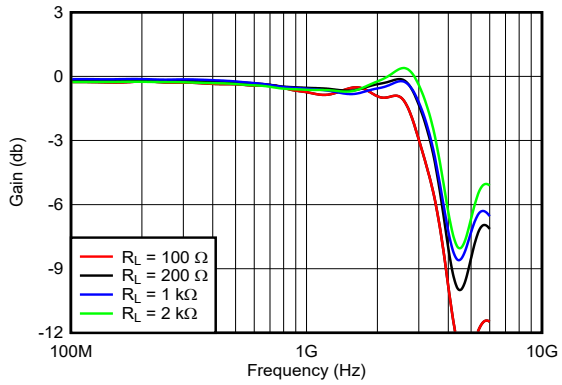


图 5-5. 频率响应与输出负载间的关系

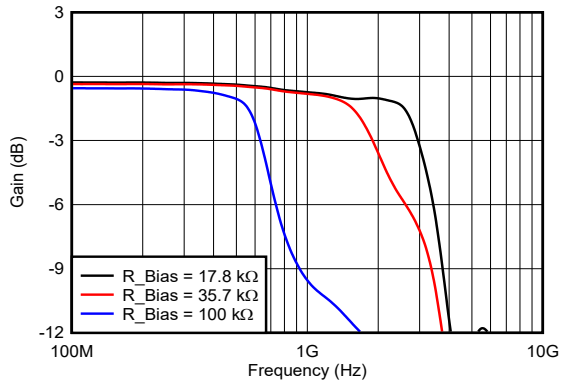


图 5-6. 频率响应与 R_Bias 电阻间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）

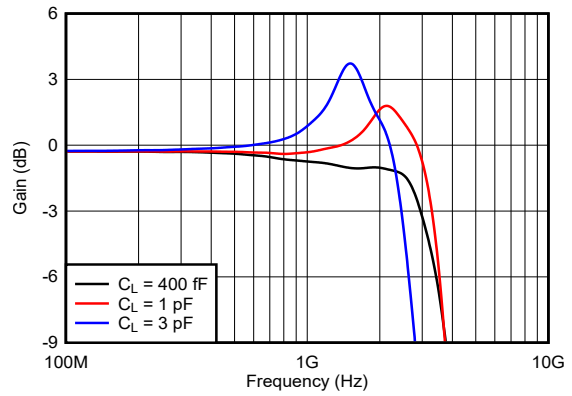


图 5-7. 频率响应与容性负载间的关系

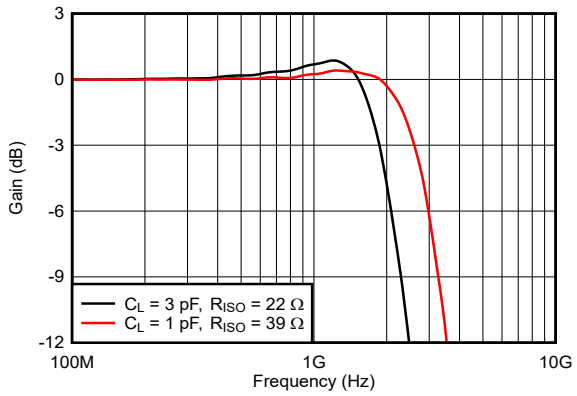
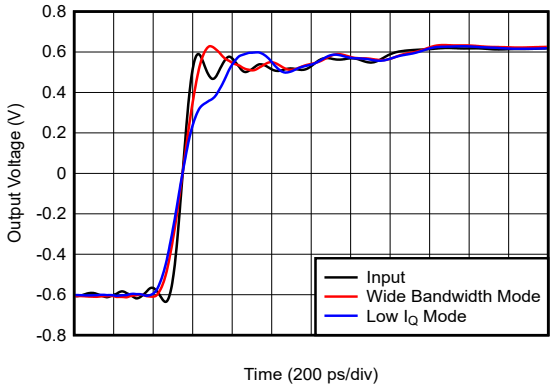
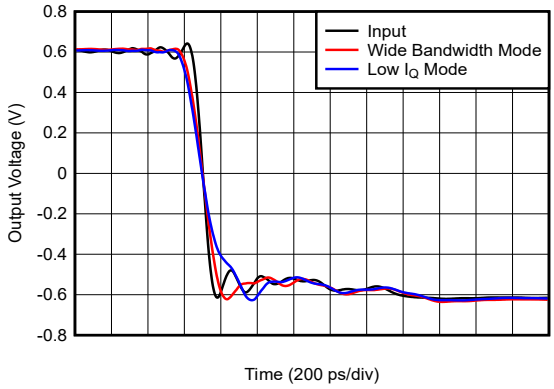


图 5-8. 使用建议 R_{ISO} 时频率响应与电容负载间的关系



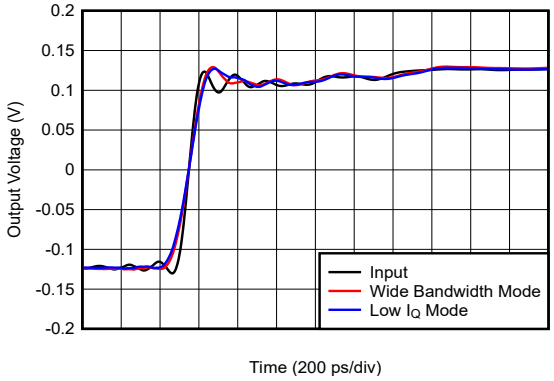
上升沿，V_{OUT} = 1.2V_{PP}

图 5-9. 大信号瞬态响应



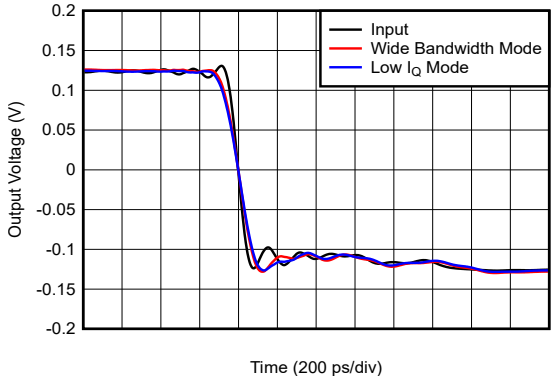
下降沿，V_{OUT} = 1.2V_{PP}

图 5-10. 大信号瞬态响应



上升沿，V_{OUT} = 250mV_{PP}

图 5-11. 小信号瞬态响应

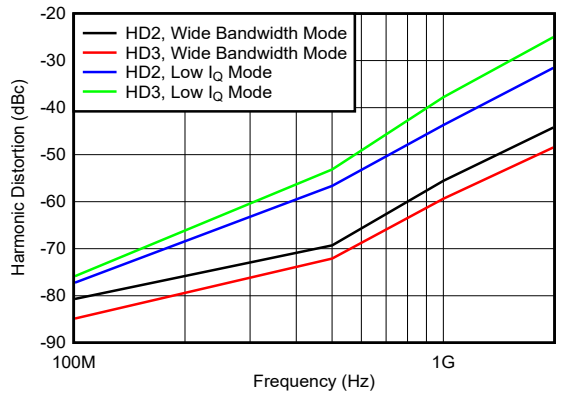


下降沿，V_{OUT} = 250mV_{PP}

图 5-12. 小信号瞬态响应

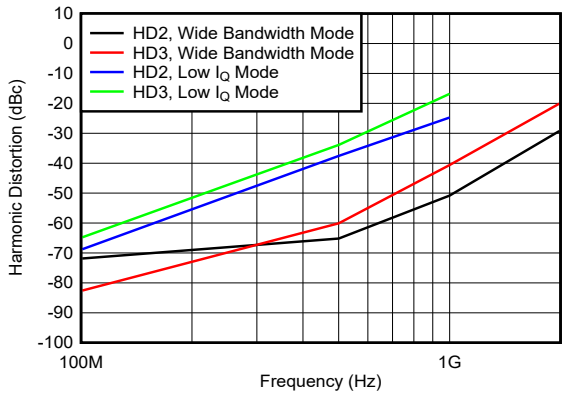
5.7 典型特性（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）



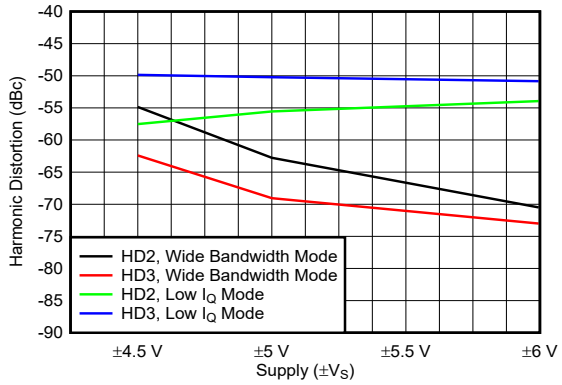
V_{OUT} = 1V_{PP}

图 5-13. 谐波失真与频率间的关系



V_{OUT} = 2V_{PP}

图 5-14. 谐波失真与频率间的关系



f = 500MHz

图 5-15. 谐波失真与电源电压间的关系

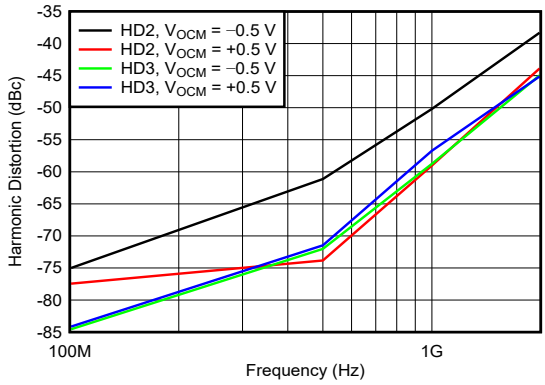
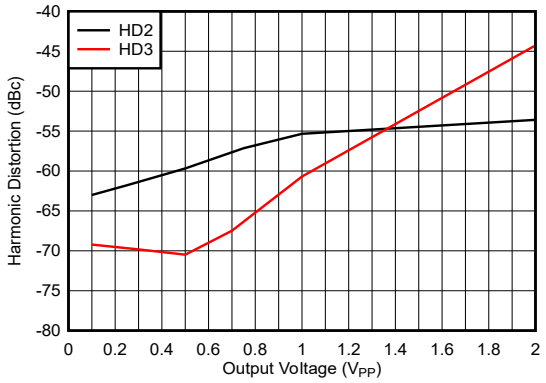
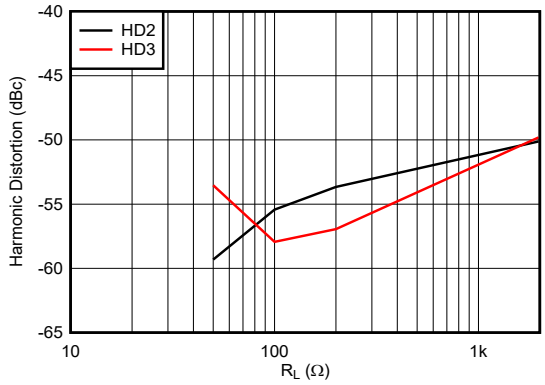


图 5-16. 谐波失真与输出共模电压间的关系



f = 1GHz

图 5-17. 谐波失真与输出电压间的关系



f = 1GHz

图 5-18. 谐波失真与输出负载间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）

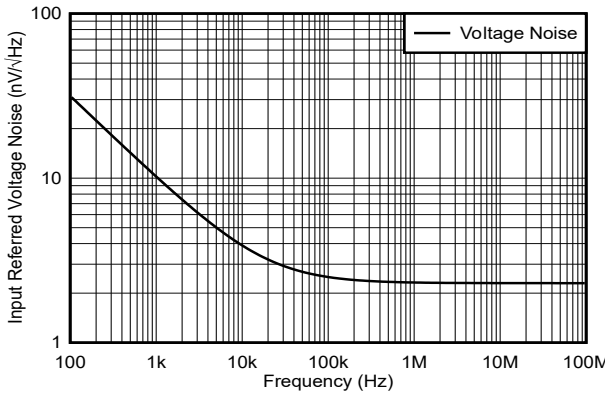


图 5-19. 电压噪声密度与频率间的关系

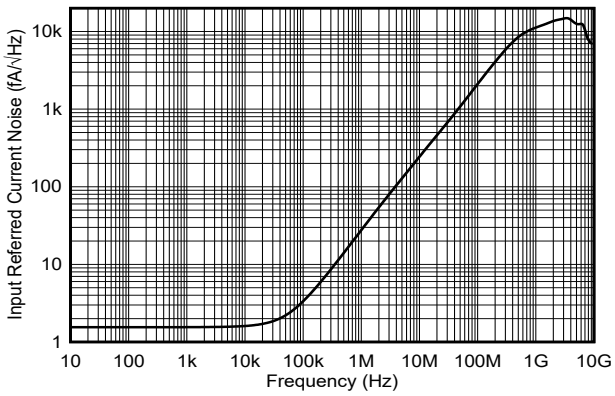
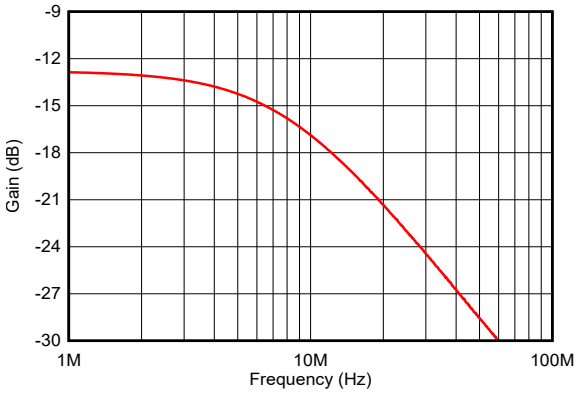


图 5-20. 电流噪声密度与频率间的关系



在 IN_Aux 引脚处使用 2kΩ 和 10pF 的 RC 极

图 5-21. 辅助路径频率响应

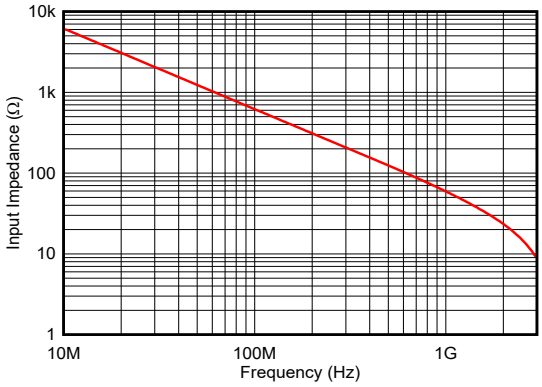


图 5-22. 输入阻抗与频率间的关系

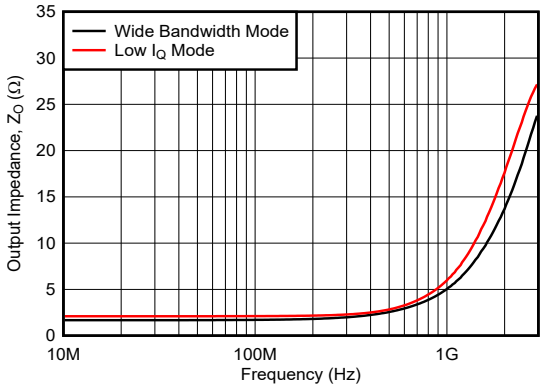
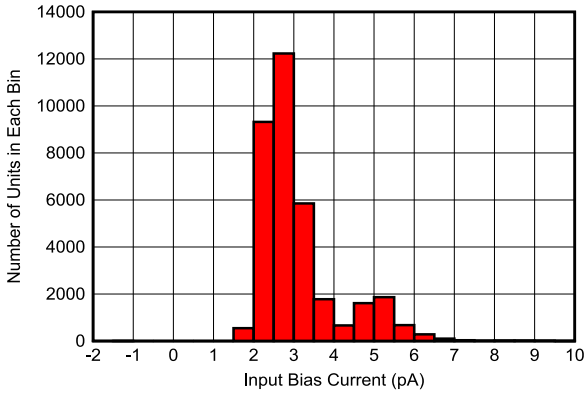


图 5-23. 输出阻抗与频率间的关系

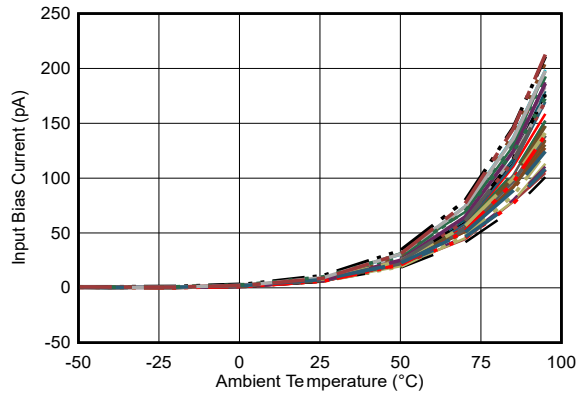


μ = 3.1pA，σ = 1.03pA

图 5-24. 输入偏置电流分布

5.7 典型特性（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）



40 个单元

图 5-25. 输入偏置电流与温度间的关系

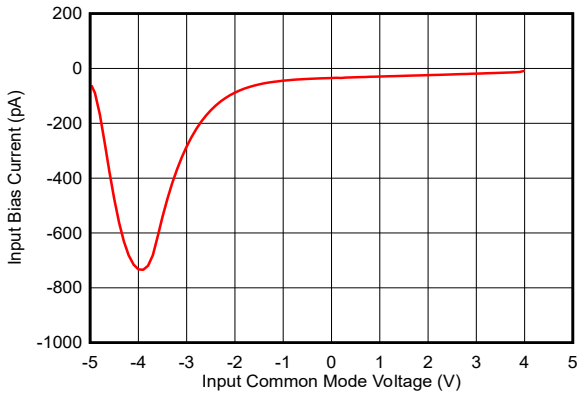
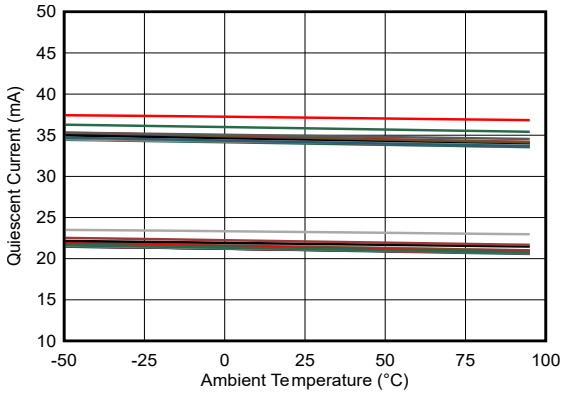
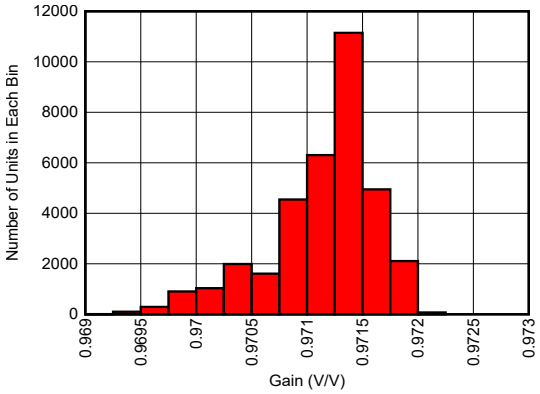


图 5-26. 输入偏置电流与输入共模电压间的关系



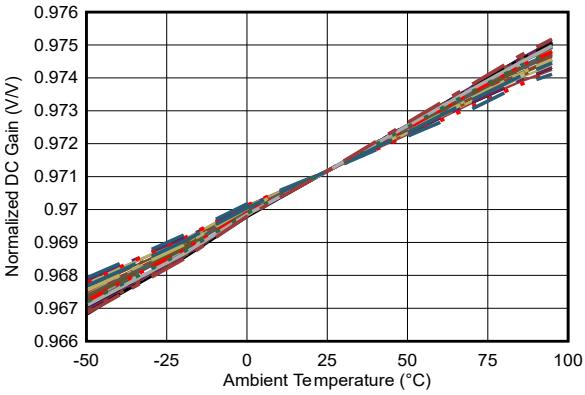
高带宽模式和低 I_Q 模式

图 5-27. 静态电流与温度间的关系



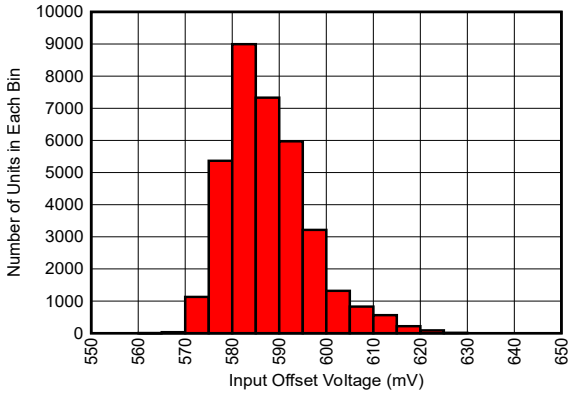
μ = 0.971V/V，σ = 0.000485V/V

图 5-28. 直流增益直方图



标准化为 25°C 值，40 个单位

图 5-29. DC 增益与温度间的关系



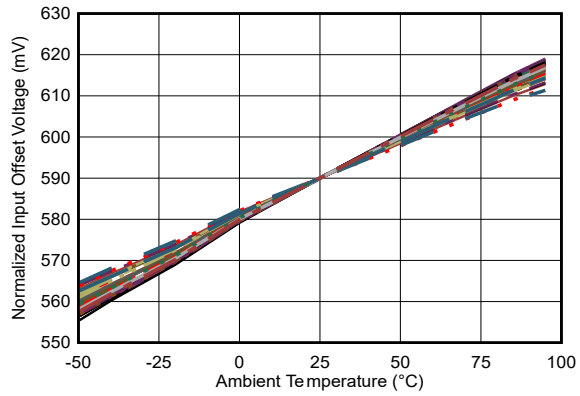
μ = 587.668mV，σ = 8.80778mV

图 5-30. 偏移电压直方图

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V_S = ±6V、R_L = 100Ω || 400 fF、R_S = 25Ω、V_{OCM} = 0V (1/2 Vs)、CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-}、R_Bias = 17.8kΩ 且处于宽带宽模式的情况下测得（除非另有说明）



标准化为 25°C 值，40 个单位

图 5-31. 失调电压与温度间的关系

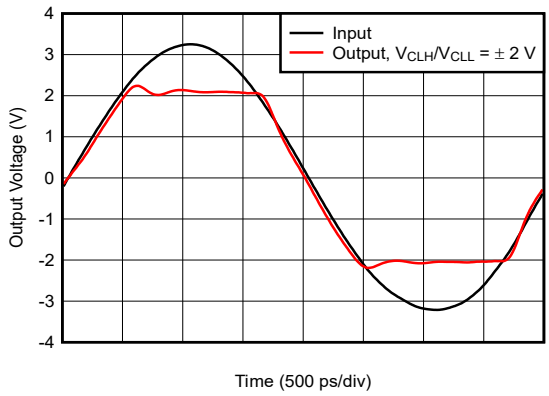


图 5-32. 瞬态钳位响应

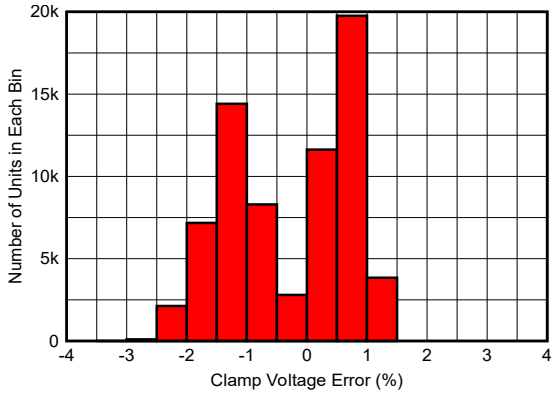


图 5-33. 钳位电压误差直方图

6 参数测量信息

图 6-1 至图 6-3 显示了 BUF802 的各种测试设置配置。

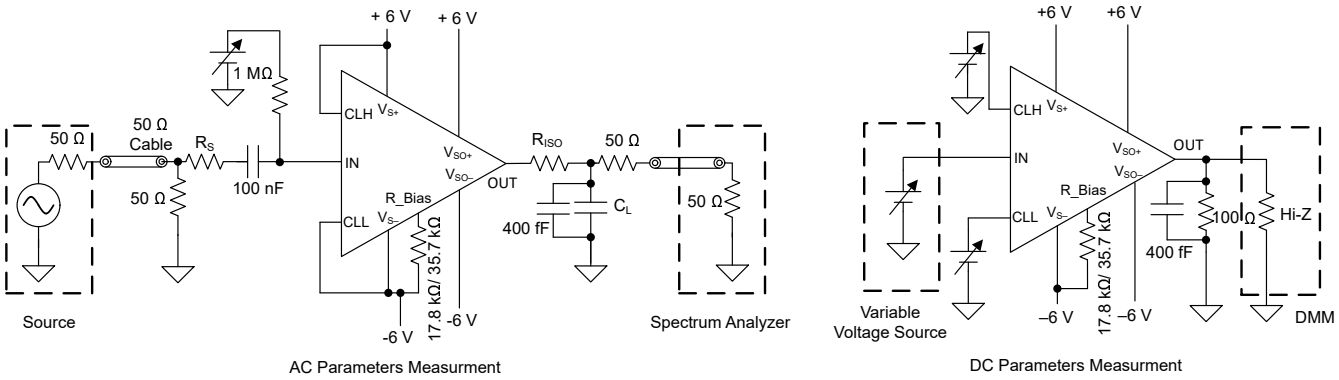


图 6-1. 主路径电气特性测量

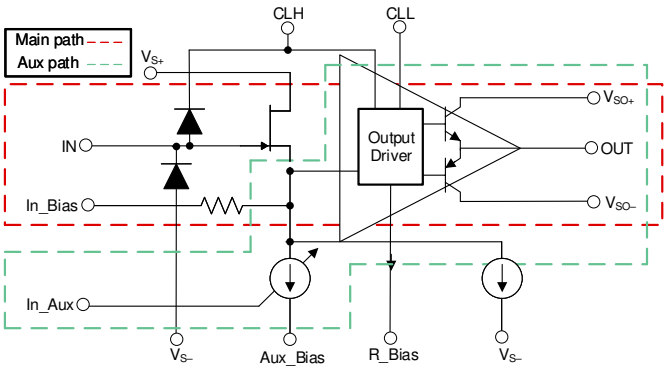


图 6-2. 主路径和辅助路径

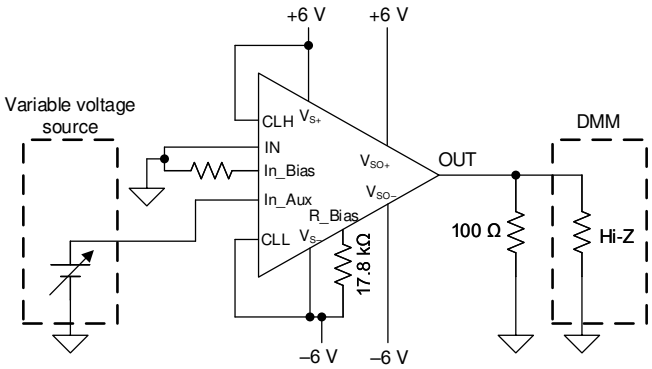


图 6-3. 辅助路径电气特性测量

图 6-2 展示了控制输出的两种 BUF802 输入（IN 和 In_Aux）。IN 引脚控制通过主路径的 BUF802 输出，而 In_Aux 引脚通过辅助路径控制输出。主路径或辅助路径均可用于控制输出。节 5.7 中规定了主路径和辅助路径的电气特性。

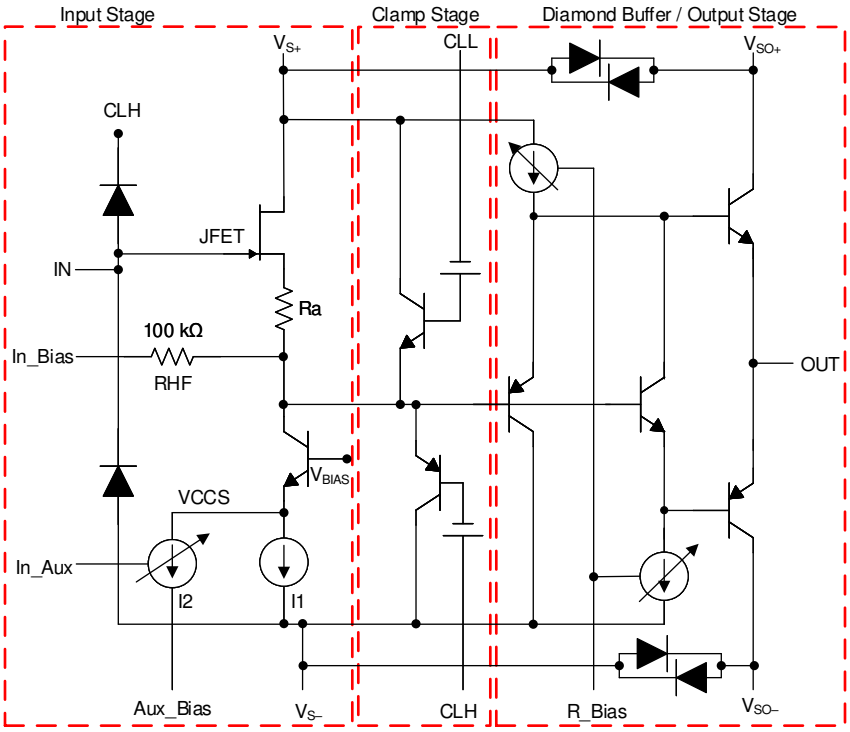
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

BUF802 器件是一款用于信号采集前端应用的高输入阻抗开环缓冲器。BUF802 可用作*缓冲模式（BF 模式）*下的独立缓冲器，也可在*复合环路模式（CL 模式）*下用于具有精密放大器的复合环路，以实现直流精度和宽大信号宽带宽。低输出阻抗和高输出电流驱动强度使 BUF802 能够驱动最大 50Ω 的负载。BUF802 随附可调静态电流，用于定制系统级功率和性能权衡。

7.2 功能方框图



功能方框图显示了 BUF802 的内部结构概览。BUF802 的内部原理图分为以下三部分：

- **输入级**：由低噪声 JFET 及偏置电路组成。输入级可以配置为两种模式：*BF 模式*和 *CL 模式*。选择两种模式之一会影响输入级的电路运行方式。钳位电路和输出级的运行方式不受模式选择的影响。节 7.4 更详细地说明了这两种模式。
- **钳位级**：提供以下功能：
  1. 通过分别连接至 V_{S-} 和 CLH 的二极管钳位，BUF802 的输入端可免受大幅度瞬态信号的冲击。
  2. 防止 BUF802 的输出电压超过 CLH 和 CLL 处的电压。
- **输出级**：跟踪 JFET 源极电压，并经过优化，可驱动 50Ω 和 100Ω 负载，同时保持信号保真度。

7.3 特性说明

7.3.1 输入和输出过压钳位

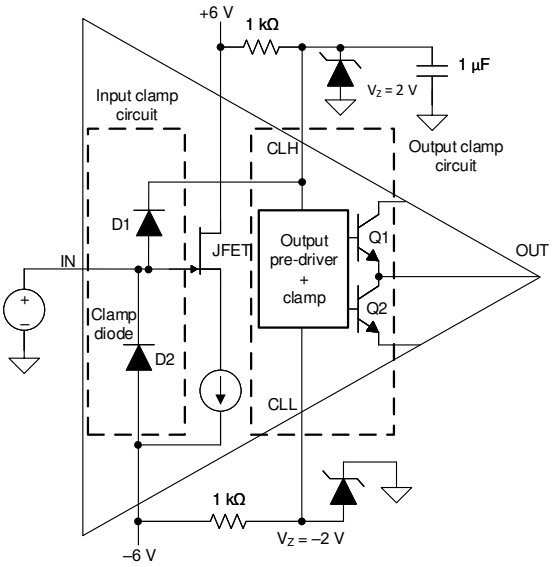


图 7-1. 内部输入和输出过压钳位

BUF802 器件集成了一个输入和输出钳位电路。输入钳位可保护 BUF802 免受大输入瞬态的影响，而输出钳位可保护后续级免于过驱。

- 输入钳位电路：
  - 图 7-1 展示了通过两个内部钳位二极管 D1 和 D2 连接到引脚 CLH 和 V_{S-} 的 BUF802 的输入。这些二极管额定连续电流为 100mA，但可以承受更高的瞬态电流。如果 JFET 输入电压超过 CLH 或 V_{S-} 处的电压，二极管会被正向偏置，将 JFET 钳位到 CLH 和 V_{S-}。与齐纳二极管并联的 1 µF 电容器有助于吸收通过 D1 二极管传导的瞬态电流。
  - 图 7-2 显示了在 D1 和 D2 的 100mA 额定电流不足的情况下，如何使用外部钳位二极管。使用外部钳位时，通过将 CLH 和 CLL 连接到 V_{S+}和 V_{S-} 来禁用 BUF802 的内部保护。

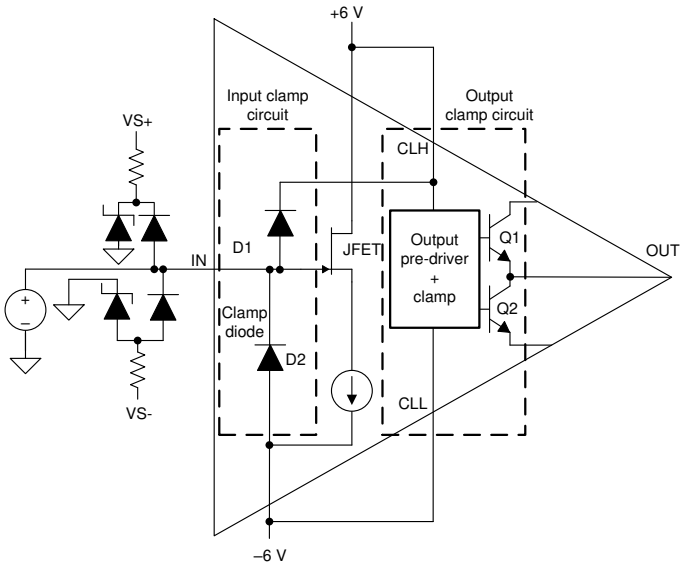


图 7-2. 外部输入钳位电路

Copyright © 2025 Texas Instruments Incorporated

- 输出钳位电路：
  - 输出保护电路可防止 BUF802 后面的级被过驱。此电路还有助于 BUF802 从由输入过驱或输出过驱条件导致的饱和状态中快速恢复。在典型数据采集系统中，BUF802 后接一个可变增益放大器 (VGA)。高速 VGA 通常采用 5V 工艺设计，因此该器件很容易受到 12V BUF802 造成的潜在损坏。向 CLH 和 CLL 引脚施加的电压决定了 BUF802 的最大输出摆幅。
  - 图 7-2 展示了通过将 CLH 和 CLL 分别连接到 V_{S+} 和 V_{S-} 来禁用内部钳位。钳位被禁用时，最大输出摆幅受 节 5.5 中所述输出摆幅规格的限制。节 5.7 显示了输出钳位的响应时间和精度。
  - 当 V_{CLH} 和 V_{CLL} 设置为接近预期的 V_{OUT} 峰值时，BUF802 的输出 THD 会降低。为了防止信号降低，请确保预期峰值输出电压与施加在 CLH 和 CLL 引脚上的钳位电压之间至少保持 1.5V 的差值。图 7-3 显示了 $1V_{PP}$ 输出下绝对钳位电压值与 THD 之间的关系。

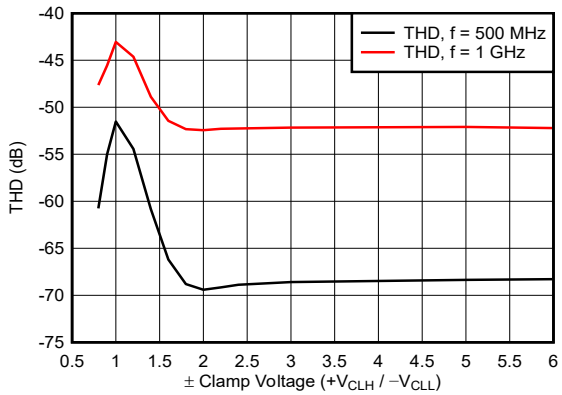


图 7-3. V_{OUT} = $1V_{PP}$ 时，THD 与 V_{CLH}/V_{CLL} 间的关系

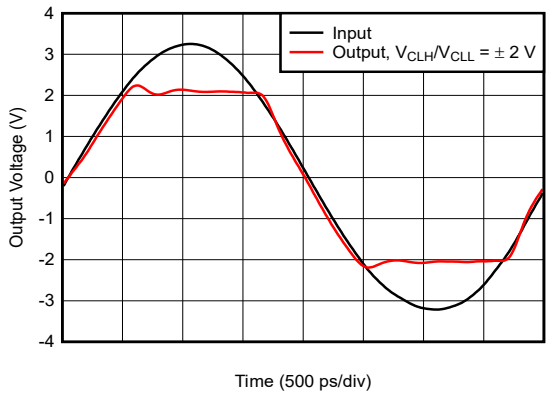


图 7-4. 瞬态钳位响应

7.3.2 可调节静态电流

BUF802 包括可调节静态电流特性，使系统设计人员能够在功耗与所获得的失真性能之间进行权衡。节 7.2 显示了在 R_Bias 和 V_{S-} 之间连接一个电阻器，以设置输出级的偏置点工作电流。图 7-5 展示了静态电流变化与 R_Bias 值的函数关系。

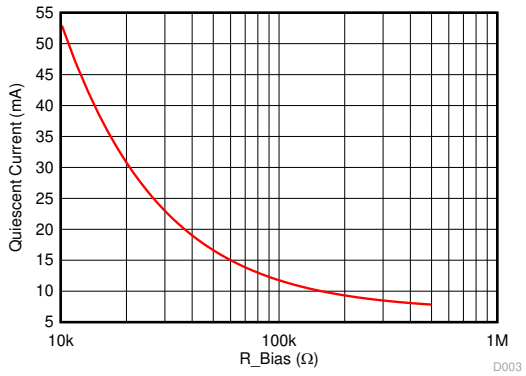


图 7-5. 静态电流与 R_Bias 间的关系

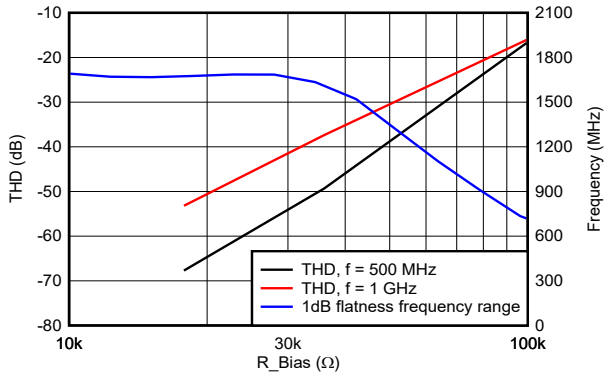


图 7-6. THD 和带宽与 R_Bias 间的关系

图 7-6 显示，更改 R_Bias 和 V_{S-} 之间的电阻主要会影响输出信号的 THD。节 5.5 和 节 5.6 指定了在两个不同 R_Bias 值下的 BUF802 交流和直流参数。直流参数与静态电流设置无关。

7.3.3 ESD 结构

图 7-7 显示了 BUF802 的 ESD 结构。V_{SO} 和 V_S 电源引脚通过背对背二极管在内部相互短接。另请参阅节 8.3。输入 ESD 二极管 D1 和 D2 经过优化，可承载 100mA 的连续电流，而其余 ESD 二极管的额定值为 10mA。

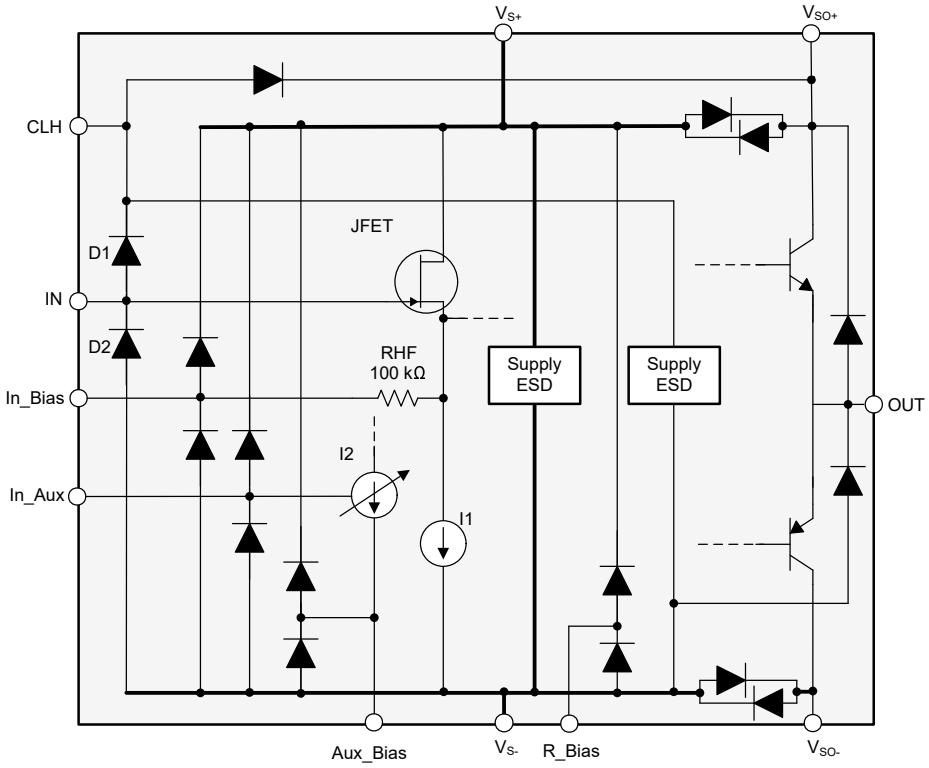


图 7-7. 内部 ESD 结构

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

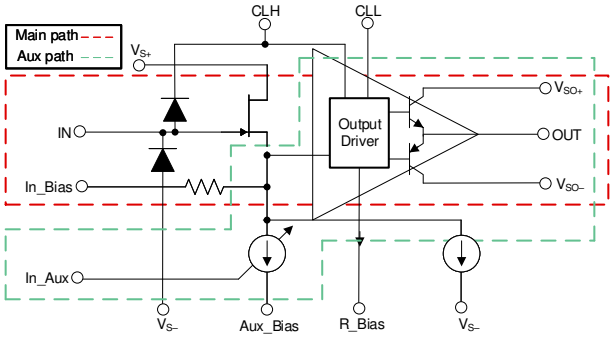


图 7-8. 主路径和辅助路径

BUF802 设计为在两种不同的模式下工作：*缓冲模式（BF 模式）*和*复合环路模式（CL 模式）*。

在 *BF 模式* 下，BUF802 在主路径中使用 JFET、输出驱动器和双极晶体管，以在 BUF802 的输出端再现为 IN 施加的信号。图 7-8 显示了 BUF802 的主路径和辅助路径。BUF802 可在直流至高频率范围内运行，因此可用作独立缓冲器。在 *BF 模式* 下使用时，仅使用 BUF802 的主路径。

在 *CL 模式* 下，BUF802 使用辅助信号路径和主路径来控制输出电压。顾名思义，在*复合环路* 模式下，BUF802 与高精度运算放大器组成复合环路，以同时实现直流精度和较宽的大信号带宽。复合环路将施加的信号拆分为低频率和高频率分量，并使用适当的传递函数将信号传递到不同的电路。低频率和高频率信号分量在 BUF802 内部重新组合，并在 OUT 引脚上重新呈现。

7.4.1 缓冲器模式（BF 模式）

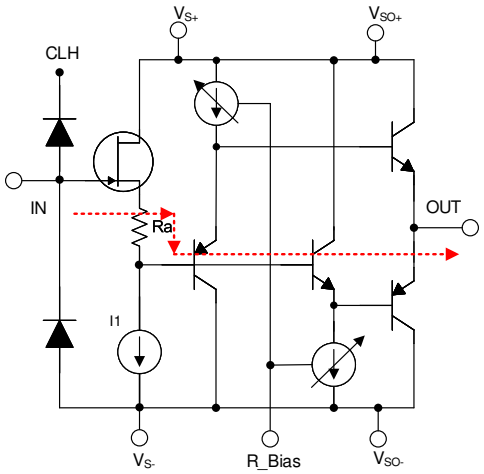


图 7-9. 内部原理图 - *BF 模式*

BUF802 的宽大信号带宽和快速转换率再加上 Hi-Z 输入，适用于各种高频信号链应用。图 7-9 显示 BUF802 使用主路径，并将 JFET 和晶体管作为源极跟随器和发射极跟随器运行，在 BUF802 的输出端再现施加在 IN 上的信号。仅与 *CL 模式*（引脚 6、4 和 3）关联的引脚在 *BF 模式* 下工作时保持悬空。

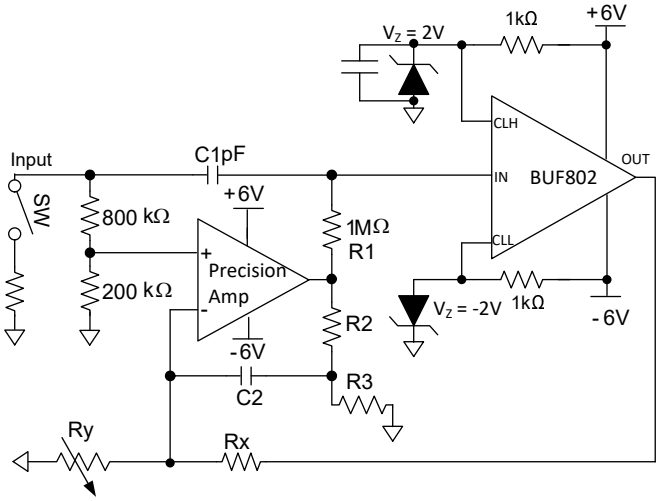


图 7-10. 采用 *BF 模式* 的复合环路

图 7-10 显示了 BUF802 在 *BF 模式* 下运行时，也可用于复合环路的方式。由于信号仅通过主路径传输，因此 BUF802 在图 7-10 中的运行仍称为 *BF 模式*。辅助路径以及与辅助路径和 *CL 模式* 关联的引脚保持禁用状态。低频率和高频率信号分量在施加到 IN 引脚之前，通过分立式元件 R1 和 C1 在外部进行组合。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 复合环路模式（CL 模式）

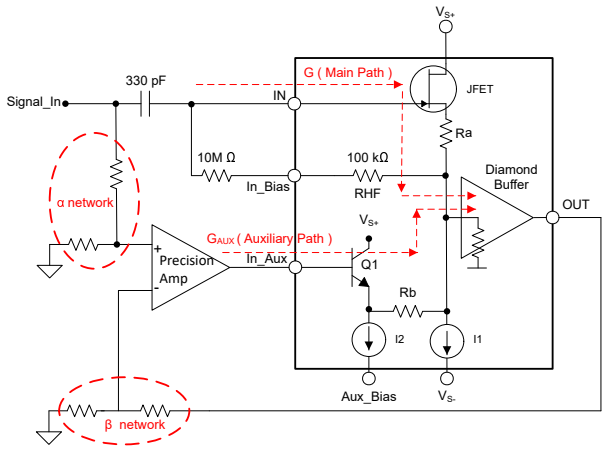


图 7-11. 内部原理图 - *CL 模式*

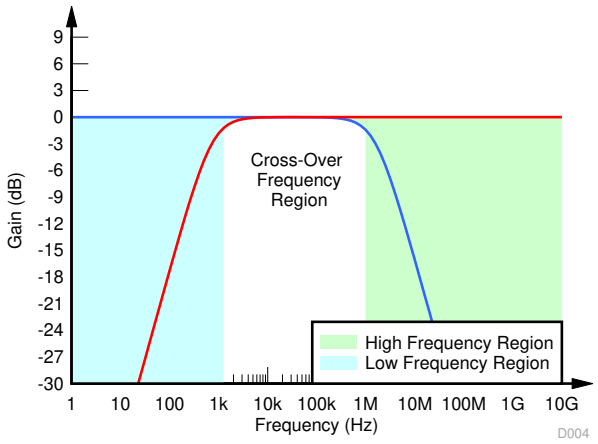


图 7-12. *CL 模式*频率响应

图 7-11 所示的 330pF 输入串联电容器将输入信号分离为低频率和高频率分量。这些信号分别施加到 In_Aux 和 IN。IN 引脚通过主路径控制 BUF802 的输出，而 In_Aux 引脚则通过辅助路径控制输出。

*CL 模式*下，复合环路的传递函数可分为以下 3 个频率区域：

1. **低频率区域**：复合环路在低频率区域的增益为 α / β（由 α 和 β 网络决定）。在低频率区域，330pF 输入电容器在主路径中呈现高阻抗，导致信号通过精密放大器和 In_Aux 引脚流动。该区域的范围从直流到 f_{LF}。f_{LF} 是由精密放大器的增益带宽、辅助路径带宽以及路径中元件的寄生电容共同决定的极点。
2. **高频率区域**：在高频率区域，精密放大器和辅助路径会耗尽带宽。复合环路在该区域的净增益仅由 BUF802 的主路径增益决定，它以 G 表示。该区域从在 f_{HF} 产生的极点到 BUF802 的 LSBW。f_{HF} 是由 In_Bias 引脚上的 330pF 串联电容器与 10MΩ 电阻共同形成的极点。
3. **交叉频率区域**：主路径与辅助路径协同工作，共同决定该区域的增益。为了在该区域保持平坦的频率响应，必须满足以下条件：
   a. α / β = G
   b. 高频率响应极点 f_{HF} << 低频率极点 f_{LF}

   关于选择分立元件以实现平坦频率响应的详细分析，请参阅节 8.1。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

BUF802 器件提供了宽大信号带宽和高转换率以及高输入阻抗，因此是数据采集系统的理想选择。在不需要直流精度的应用中，或在输入为交流耦合的情况下，BUF802 可在 *BF 模式* 下用作独立的输入缓冲器。如果所需精度大于 BUF802 所提供的精度，则 BUF802 在 *CL 模式* 下配合复合环路中的精密放大器工作。

8.2 典型应用

8.2.1 示波器前端放大器设计

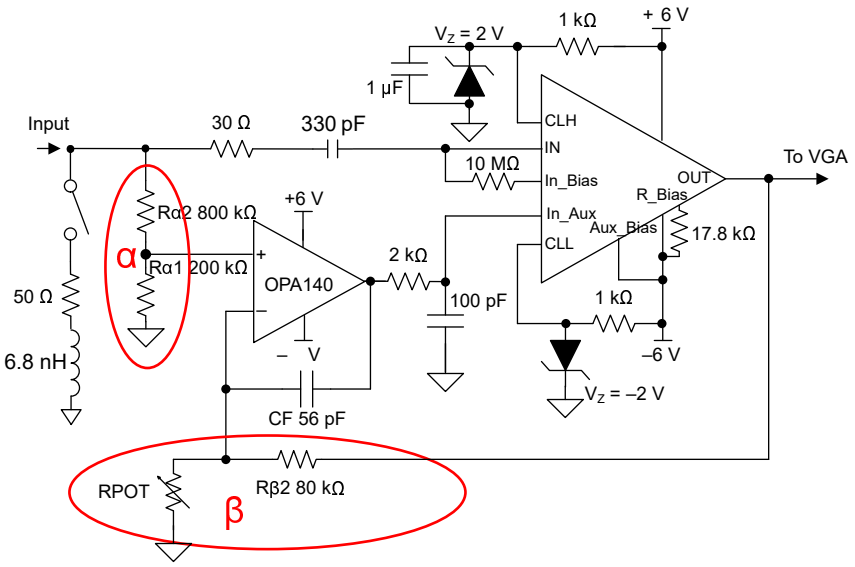


图 8-1. 示波器前端放大器

8.2.1.1 设计要求

下表显示了 1GHz 示波器前端和精密放大器的目标规格。

规格	值
输入阻抗	1MΩ/50Ω
S 参数 (f = 1GHz)	S11 = –15dB，S21 = –1.5dB
偏移漂移	1 µV/°C，最大值
最高分辨率下的噪声（50Ω 输入）	80 μV_{RMS}

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 详细设计过程

- **输入阻抗**：BUF802 的 JFET 输入级提供千兆欧的输入阻抗，因此可使前端与 1MΩ 电阻器端接，同时确保不影响性能。实现出色的精度。还可以接入一个 50Ω 电阻，为高频率信号提供匹配端接。BUF802 使设计人员能够在同一信号链中同时使用 1MΩ 和 50Ω 端接。
- **噪声**：前端放大器的总噪声是 BUF802、OPA140 的电压和电流噪声以及电阻器热噪声的函数。然而，主要的噪声源是 BUF802 的电压噪声造成的，这是由于其在整个带宽范围内的噪声分布所致。因此，前端放大器的总 RMS 噪声约等于 BUF802 在 1GHz 带宽内的电压噪声。

  BUF802（请参阅节 5.5）的指定输入基准电压噪声为 2.3nV/√Hz。输入端在 1GHz 带宽内的总输入参考 RMS 噪声由以下公式计算得出：

  $$En_{RMS} = 2.3\ nV/\sqrt{Hz} \times \sqrt{(1\ GHz \times 1.22)} = 80\ \mu V_{RMS}. \quad (1)$$

  1.22 = Brickwall 校正因数。请参阅 TI 精密实验室 - 运算放大器：噪声 - 频谱密度，了解详细计算过程。

  图 8-3 展示了以频率为函数的总输入参考点噪声。假设示波器屏幕上有 8 个分段，最高分辨率为 1mV，满量程读数为 $8mV_{PP}$ 或 $2.82mV_{RMS}$。因此，前端放大器级在最高分辨率设置下的 SNR 为：

  $$20 \times \log (2.82\ mV_{RMS} / 80\ \mu V_{RMS}) = 31\ dB. \quad (2)$$

- **S11 优化器**：前端放大器电路需要精确的 50Ω 端接，以在整个频率范围内实现所需的 –15dB S11 参数。尽管可以在前端复合环路电路的输入端安装精确的 50Ω 电阻，但 BUF802 的寄生电容似乎会与该 50Ω 电阻并联，从而导致端接不理想。

  BUF802 的寄生输入电容（IN 引脚）为 2.4pF。在 1GHz 频率下，此寄生电容对应的阻抗会降低至 66.3Ω。因此，输入端信号看到的净输入阻抗如下：

  $$66.3\ \Omega \parallel 50\ \Omega = 28.5\ \Omega \quad (3)$$

  这导致对 50Ω 源极的端接不理想，从而造成较差的 S11。在输入走线上串联一个 30Ω 电阻，并在板载 50Ω 端接处串联一个 6.8nH 感应器，有助于隔离输入寄生电容。此配置还有助于将净输入阻抗维持在 50Ω。图 8-4 展示了此改进电路的 S11 响应。

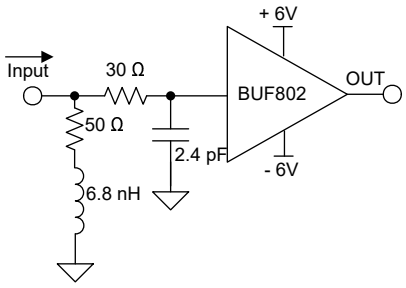


图 8-2. 净输入阻抗

- **整个频率范围内的均匀增益**：前端放大器电路设计为将 BUF802 和 OPA140 连接在复合环路中。该环路将输入信号分成低频率和高频率分量，通过两个不同的电路（传递函数）将每个信号分量分别传输到输出端，并将它们重新组合以再现净输出信号。最终目标是实现两个电路之间的平滑过渡，并在从直流到目标频率范围内保持平坦的频率响应。

  BUF802 的 *CL 模式* 简化了此设计，可实现从直流到目标频率（本例中为 1GHz）的平坦频率响应。为了实现平坦响应，请满足以下两个条件：

  1. 高频率响应极点 f_{HF} << 低频极点 f_{LF}
  2. $\alpha / \beta = G$

  其中 α 是输入衰减因子，β 是精密放大器同相增益的倒数，G 是 BUF802 主路径的直流增益。G 因器件而异；因此可通过修整 α 或 β 来实现平坦的频率响应。在图 8-1 中，使用 RPOT 修整 β。

  G 是节 5.5 中的典型值 (G = 0.971V/V)，而 α 为 1/5 (200kΩ/(200kΩ + 800kΩ))；因此，调整 RPOT 以使 β ≈ 1/5。

  在 β 网络中，所用电阻值应比 α 网络中的电阻低一个量级。因此，选择了 80kΩ 和约 20kΩ 的 β 电阻值。

  f_{HF} 是由 In_Bias 引脚上的 330pF 串联电容与 10MΩ 电阻构成的极点。将 10MΩ 电阻值减小有助于缩短复合环路的过驱恢复时间，但会提高 f_{HF} 极点频率。

  $$f_{HF} = 1 / (2 \times pi \times R \times C) = 1 / (2 \times 3.14 \times 10\ M\Omega \times 330\ pF) = 48\ Hz \quad (4)$$

  f_{LF} 是由精密放大器 (OPA140) 的增益带宽、辅助路径带宽以及电阻网络的其他寄生电容共同决定的极点。

  $$f_{LF1} \text{ of precision amplifier} = GBW \times G_{AUX} \times \beta = 440\ kHz \quad (5)$$

  其中

  - GBW 为精密放大器 (OPA140) 的增益带宽积，等于 11MHz
  - G_{AUX} 是从 In_Aux 到 OUT 的增益，等于 0.2V/V
  - 1/β 是为精密放大器设置的外部同相增益，等于 5V/V

  精密放大器的共模输入电容器 (C_{INPA}) 与 Rα2 构成一个极点，得出的极点频率为：

  $$f_{LF2} \text{ of } R\alpha 2 \text{ and } C_{INPA} \text{ of amplifier} = 1 / (2 \times pi \times R\alpha 2 \times C_{INPA}) = 28.4\ kHz \quad (6)$$

  由于 $f_{LF2} < f_{LF1}$，f_{LF2} 被视为辅助路径带宽的主极点。根据上述 f_{HF} 和 f_{LF2} 的值，满足 $f_{HF} << f_{LF2}$ 的必要条件。

  CF 连接在精密放大器两端，是补偿寄生电容所必需的，并使整体极点与零点相互抵消。使用以下公式来计算 CF 值：

  $$CF = C_{INPA} \times ((G \times R_{\alpha 2} / R_{\beta 2}) - 1)). \quad (7)$$

  其中

  - C_{INPA} 是精密放大器（本例中为 OPA140）的共模输入电容
  - G 是 节 5.5 中的典型值 (G = 0.971V/V)

  代入这些元件的值后，CF = 61pF，四舍五入为最接近的标准电容值 CF = 56pF。在最终系统中，根据所需的平带响应质量，CF 可在最终生产流程中与 RPOT 一起进行修整。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.3 应用曲线

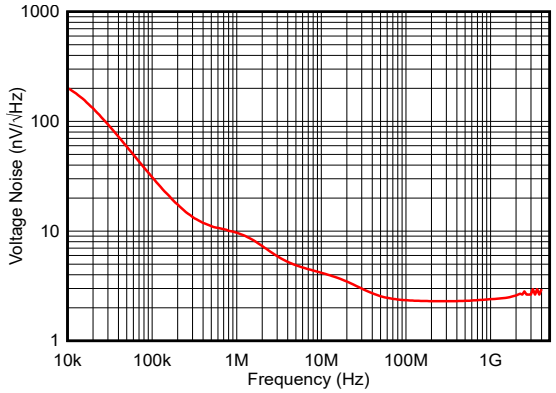


图 8-3. 前端复合环路噪声

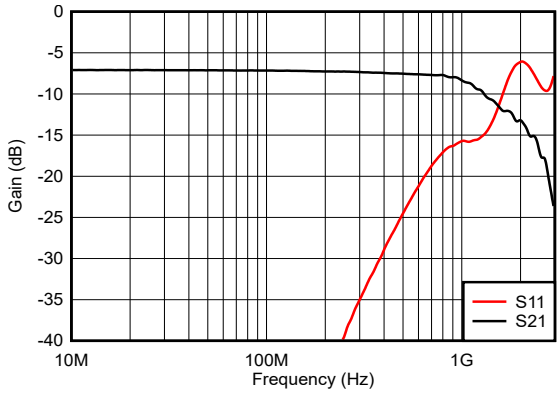


图 8-4. S11 和 S21 响应

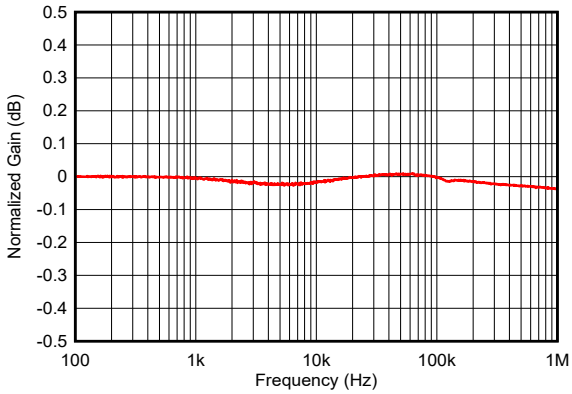


图 8-5. 频率响应平坦度：交叉频率区域

8.2.2 将宽带宽 50 Ω 输入信号链转为高输入阻抗

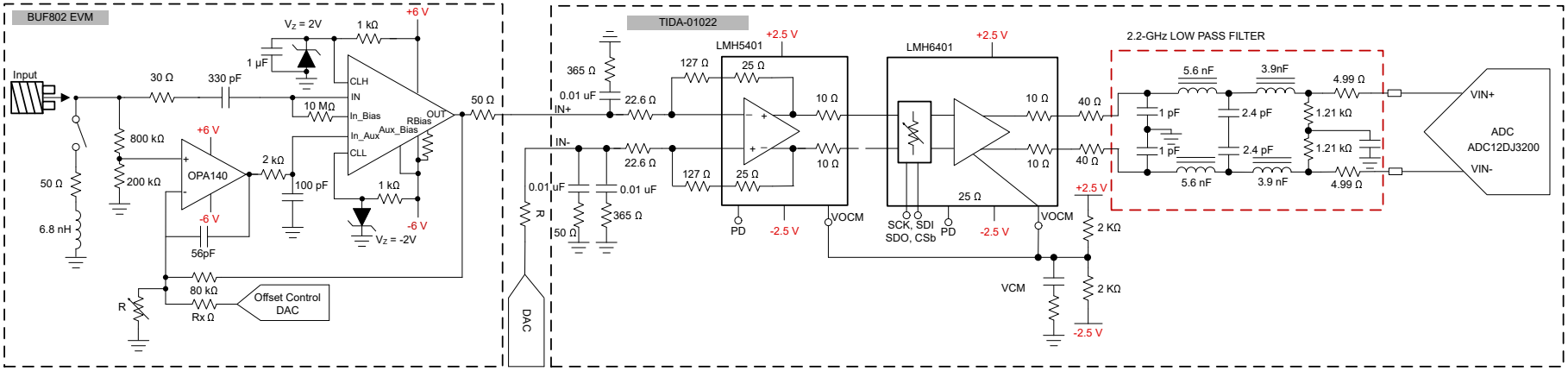


图 8-6. BUF802 + TIDA-01022：信号链

Copyright © 2025 Texas Instruments Incorporated

8.2.2.1 详细设计过程

TIDA-01022 参考设计主要侧重于多通道高速模拟前端，该前端通常用于数字存储示波器 (DSO)、无线通信测试设备 (WCTE) 和雷达等终端设备。通过在前端插入 BUF802，像 TIDA-01022 这样的 50Ω 输入数据采集 (DAQ) 信号链可转换为高输入阻抗的 DAQ 系统。

TIDA-01022 具有以下特性：

- LMH5401 是一款高性能差分放大器，具有从直流到 2 GHz 的可用带宽。该器件用作该信号链中的单端转差分转换放大器。该器件在固定 12dB 增益下具有出色的线性性能。
- LMH6401LMH6401 是一款宽带、数字控制的可变增益放大器，具有差分输入和差分输出。该器件的噪声和失真性能经过优化，可用于驱动超宽带模数转换器 (ADC)。该器件提供直流至 4.5GHz 带宽，增益范围为 –6dB 至 26dB，步长为 1dB。增益通过标准串行外设接口 (SPI) 进行控制。
- ADC12DJ5200RF 是一款 12 位、千兆采样率的 ADC，可直接采样从直流到超过 10GHz 的输入频率。ADC12DJ5200RF 可配置为双通道 5.2GSPS ADC 或单通道 10.4GSPS ADC。

BUF802 除了为前端放大器提供高输入阻抗和低噪声性能外，还具备驱动 50Ω 匹配负载的能力，因此该器件可以轻松集成到已有的模拟前端信号链中。图 8-7 至 图 8-9 比较了 TI 设计 TIDA-01022 的原生性能和在前端添加 BUF802 后所实现的性能。在 TIDA-01022 的输入端添加 BUF802，可将原始的 50Ω 输入阻抗 TI 设计转换为高输入阻抗 DAQ 信号链。图 8-6 展示了 BUF802 + TIDA-01022 的简化原理图。

8.2.2.2 应用曲线

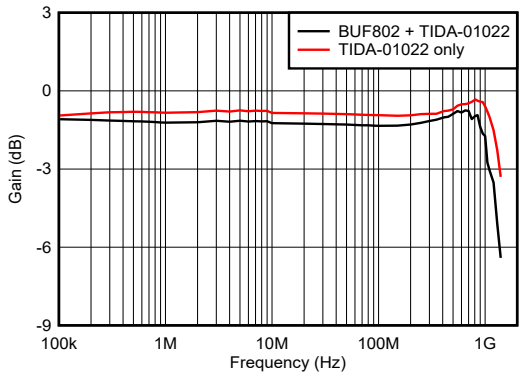


图 8-7. 增益与频率间的关系

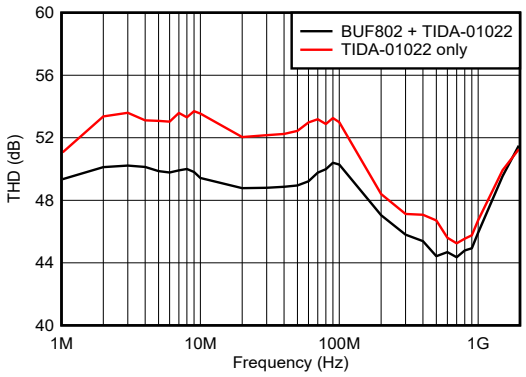


图 8-8. 总谐波失真 (THD) 与频率间的关系

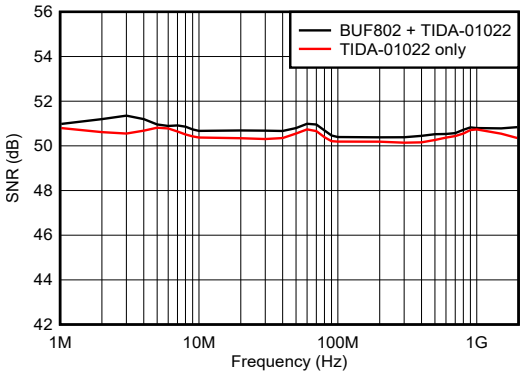


图 8-9. 信噪比 (SNR) 与频率间的关系

8.3 电源相关建议

BUF802 可在 ±4.5V 至 ±6.5V 的电源电压范围内运行。BUF802 采用单侧电源或拆分电源供电。当使用拆分电源时，电源可以相对于地线 (GND) 呈对称或非对称分布。为了获得最佳交流性能，应将输入和输出信号居中于 1/2 Vs。

尽量缩短电源引脚与去耦电容器之间的距离。将高频率电容器 (< 0.1μF) 靠近电源引脚放置，并与 BUF802 位于 PCB 的同一侧。将较大的电容器 (> 1μF) 放置在距离器件较远的位置。节 8.4 中提供了有关去耦电容器布局和布线的其他详细信息。

BUF802 具有两组电源引脚：

- V_{S+} 和 V_{S-}
- V_{SO+} 和 V_{SO}

通过分离输入级电源引脚和输出级电源引脚，可最大限度地减少杂散串扰，并增强两个级之间的瞬态去耦效果。节 7.2 显示了两组电源引脚如何通过背对背二极管在内部进行连接。因此，请将输入和输出级的电源引脚连接到相同的电势。为所有电源引脚分别配置独立的去耦电容器；另请参阅 节 8.4。

8.4 布局

8.4.1 布局指南

为了使用 BUF802 实现出色性能，需要特别注意电路板布局、寄生效应和无源元件的选择。请考虑以下情况：

- **S21 传递函数中的峰值**：保持最小布线迹线长度对于防止 BUF802 的 S21 传递函数中的峰值至关重要。跟踪电感会与 BUF802 的输入电容形成谐振电路，从而在 S21 响应中产生峰值。添加一个与直流阻断电容器串联的小电阻器（图 8-10 中的 R5），以抑制跟踪电感和 BUF802 的输入电容产生的 LC 谐振。选择具有低等效串联电感 (ESL) 的串联电容器（图 8-10 中的 C7），以更大限度地降低总电感。
- **电源旁路电容器**：将电源旁路电容器安装在尽可能靠近电源引脚的位置，并与 BUF802 安装在 PCB 的同一侧。如图 8-10 中所示，选择低电感 LICC 电容器（C5、C6、C13 和 C10）以最大限度地减小 BUF802 与旁路电容器之间的高频率阻抗。在旁路电容器与 GND 之间使用多个过孔，以减少串联电感。如图 8-10 中所示，还应在 50Ω 输入终端电阻 (R3) 上使用多个过孔连接到 GND。将旁路和端接过孔连接到实心的 GND 平面。
- **高精度信号路径**：由精密运算放大器和分立式元件组成，信号路径可以调整和移动，以优先满足前述两点。在图 8-12 中，精密元件放置在 PCB 的另一侧，如 BUF802 所示。
- **散热焊盘**：具有良好的导热性，但与芯片电气绝缘。这种配置使电路设计人员可以灵活地将散热焊盘连接到任意电压。选择热容量最大的电源平面或接地平面，以实现高效散热。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

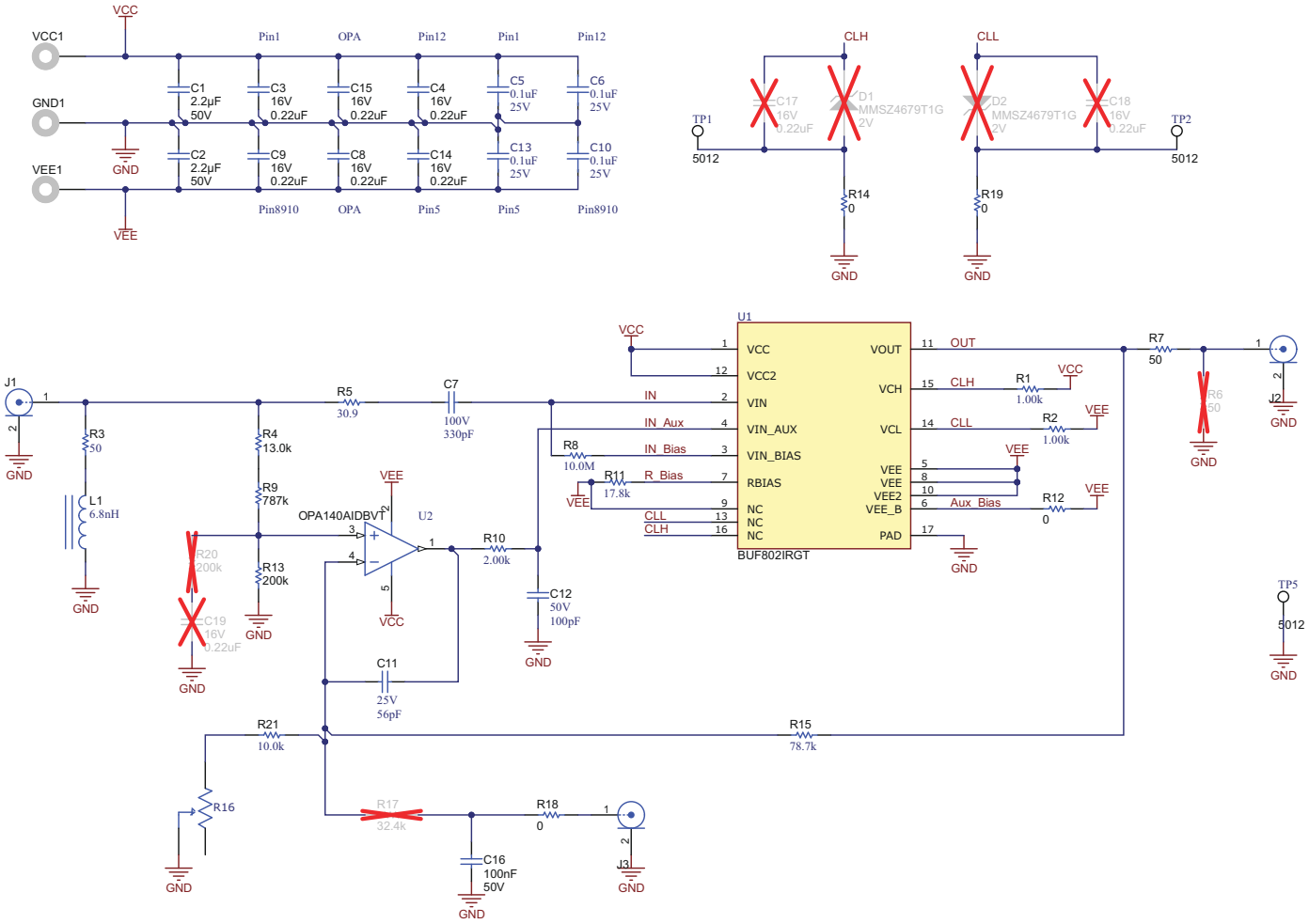


图 8-10. 布局示例：布局参考原理图

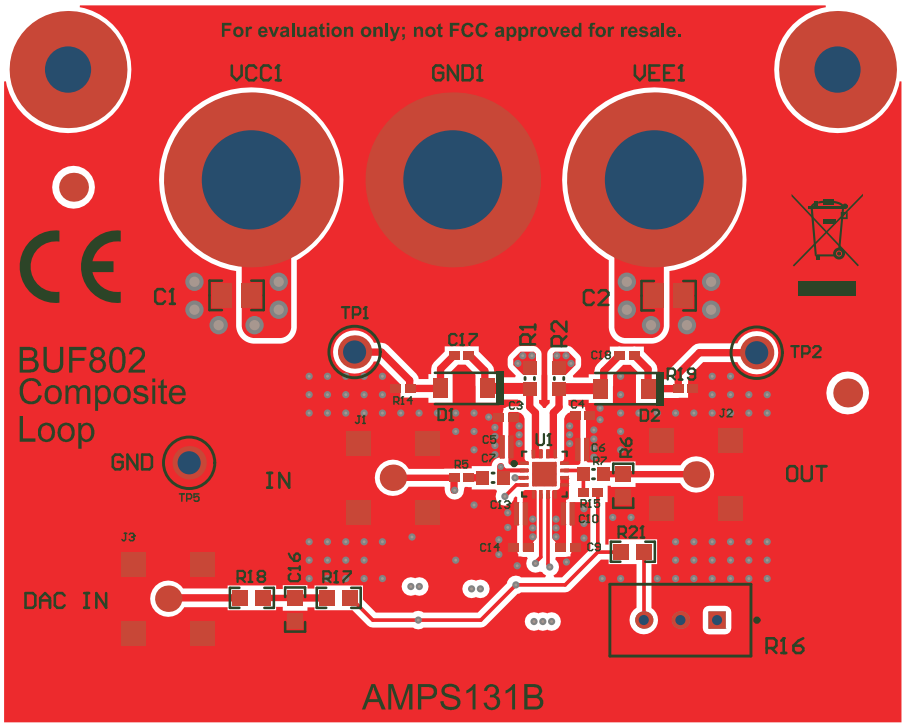


图 8-11. 布局示例：顶层

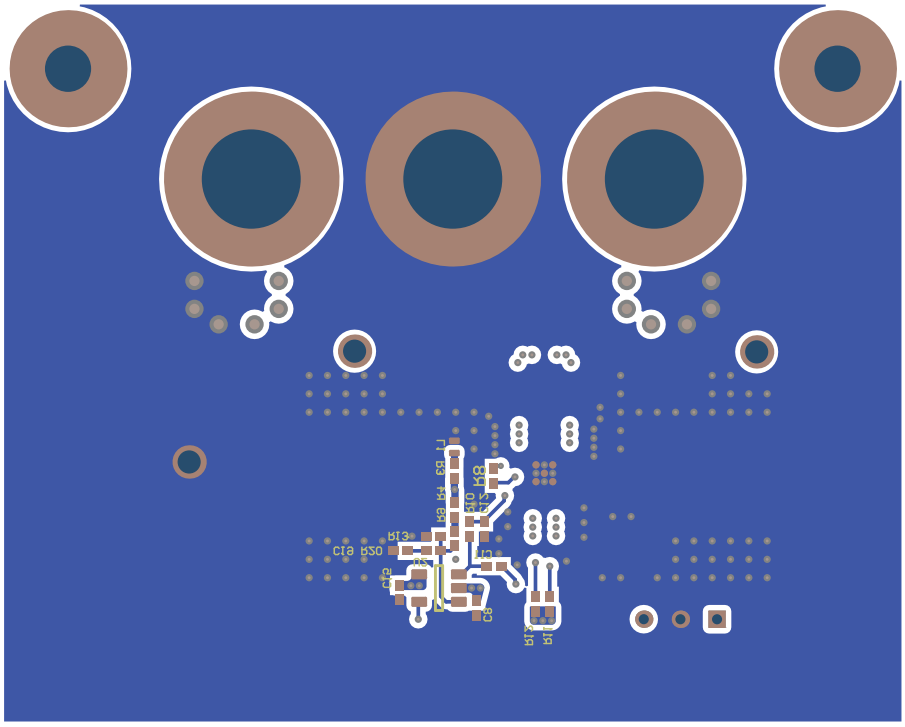


图 8-12. 布局示例：底层

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*适用于 DSO、雷达和 5G 无线测试系统的灵活 3.2GSPS 多通道 AFE 参考设计*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (March 2022) to Revision D (July 2025) **Page**

- 从*绝对最大额定值* 中删除了电源导通和关断时的最大 dVS/dT 4
- 将两个*电气特性* 中的电流噪声单位从 pA/√Hz 更改为了 fA/√Hz 5
- 为确保清晰，将 V_{CLH} 和 V_{CLL} 移至符号列并扩展了文本 5
- 从 G_{AUX} 中删除了跨温度数据 5
- 为确保清晰，将 G_{AUX} 参数名称中的“to”更改为了“/” 5
- 为 G_{AUX} 添加了新的低频率区域行 5
- 为 G_{AUX} 添加了交叉文本 5
- 为确保清晰，为 In_Aux 输入电压添加了测试条件 5
- 为 V_{OUT}/In_Aux 带宽添加了 G_{AUX} BW 符号 5
- 为确保清晰，将 G_{AUX} BW 更新为了比率 5
- 将工作电压移到了*建议运行条件* 5
- 在*典型特性* 中更新了电压噪声和电流噪声密度与频率间的关系图 8
- 在*典型特性* 中更改了电流噪声密度与频率间的关系图的单位 8
- 更新了*详细设计过程*，以更准确地反映极频率，并使用*电气特性：宽带宽模式* 中的 G 值，并明确 CF 值 23

Changes from Revision B (February 2022) to Revision C (March 2022)	Page
• 放宽了直流增益规格	5
• 放宽了直流增益规格	7

Changes from Revision A (December 2021) to Revision B (February 2022)	Page
• 更新了*应用和实施* 部分	25

Changes from Revision * (June 2021) to Revision A (December 2021)	Page
• 将数据表的状态从*预告信息* 更改为*量产数据*	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BUF802IRGTR	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BUF802
BUF802IRGTR.B	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BUF802

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

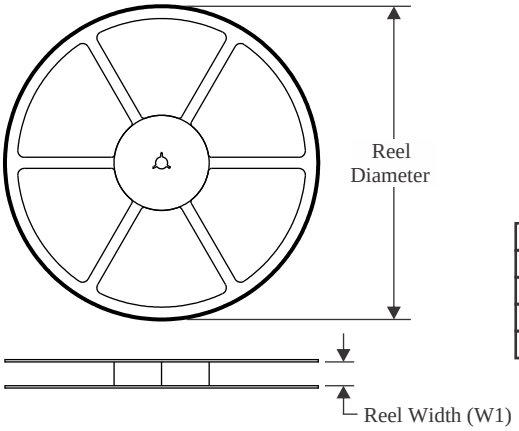
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

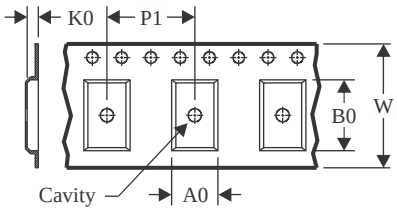
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

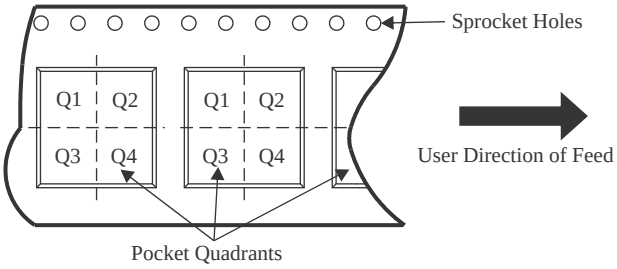


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

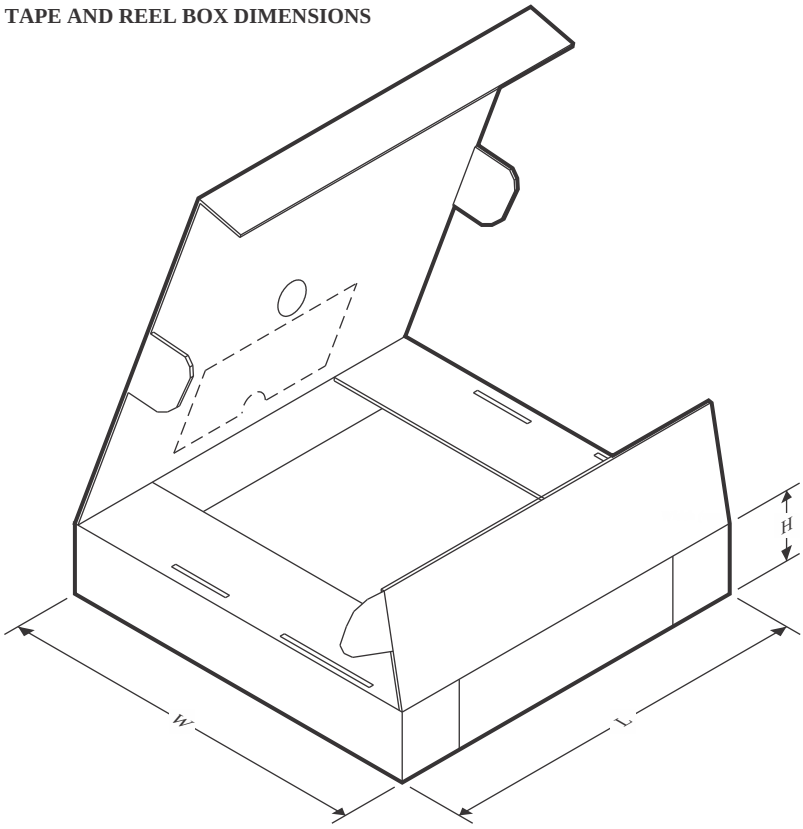
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BUF802IRGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



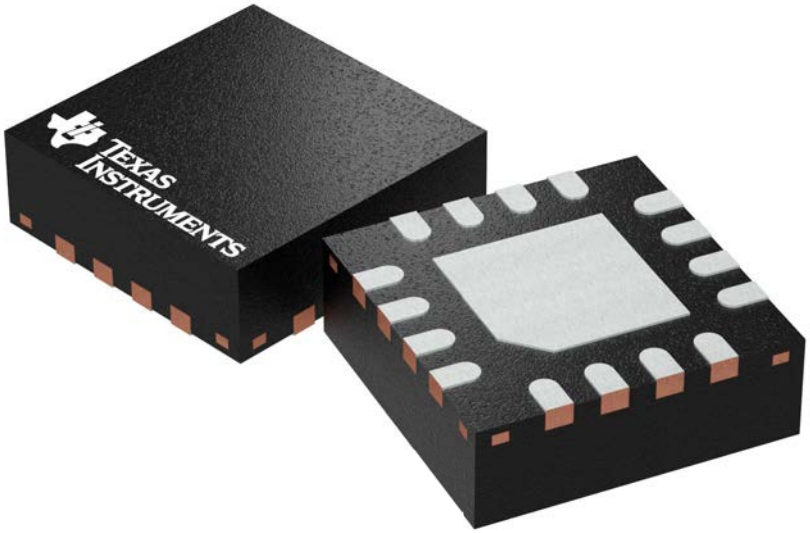
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BUF802IRGTR	VQFN	RGT	16	3000	367.0	367.0	35.0

RGT 16

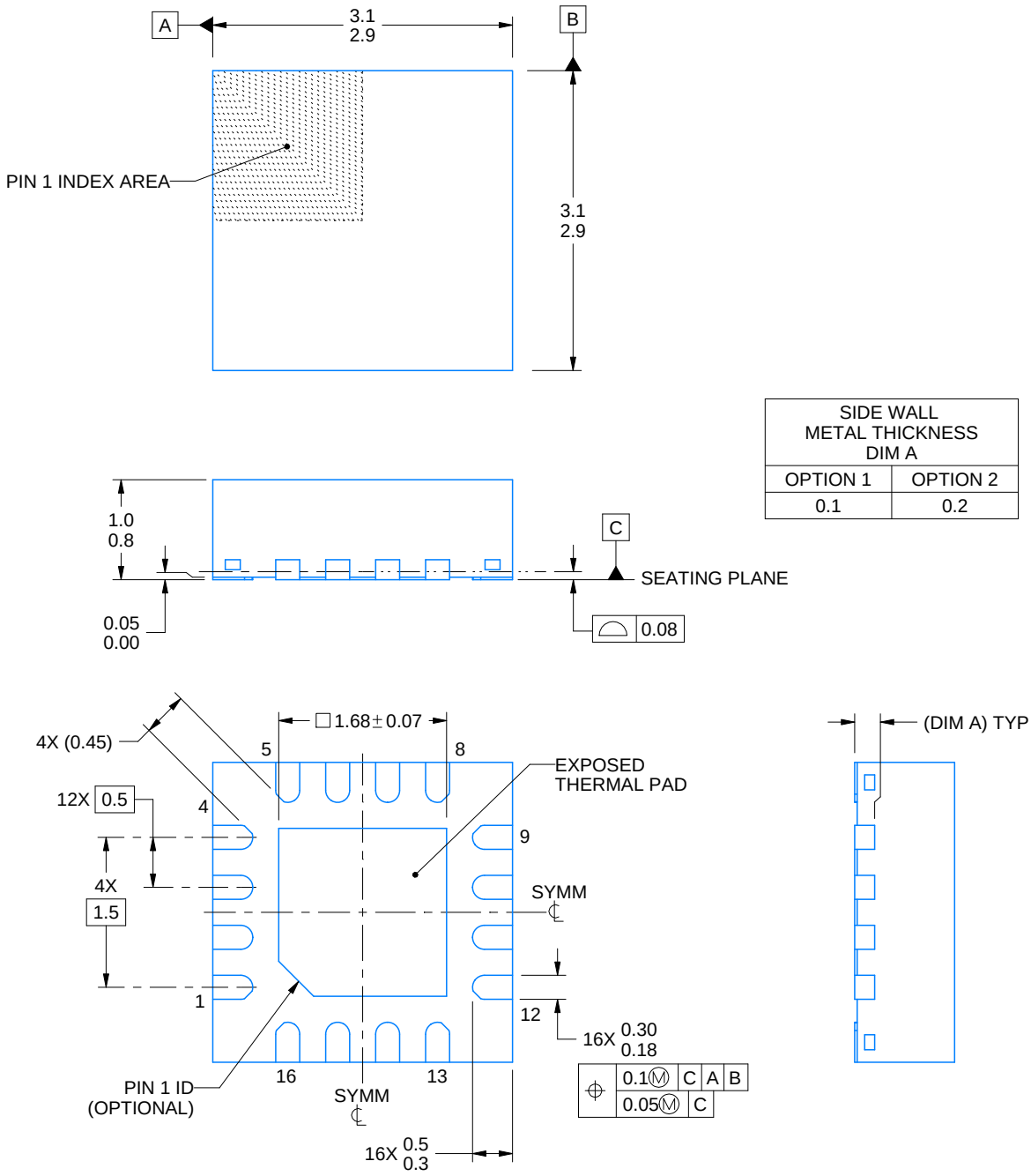
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/I

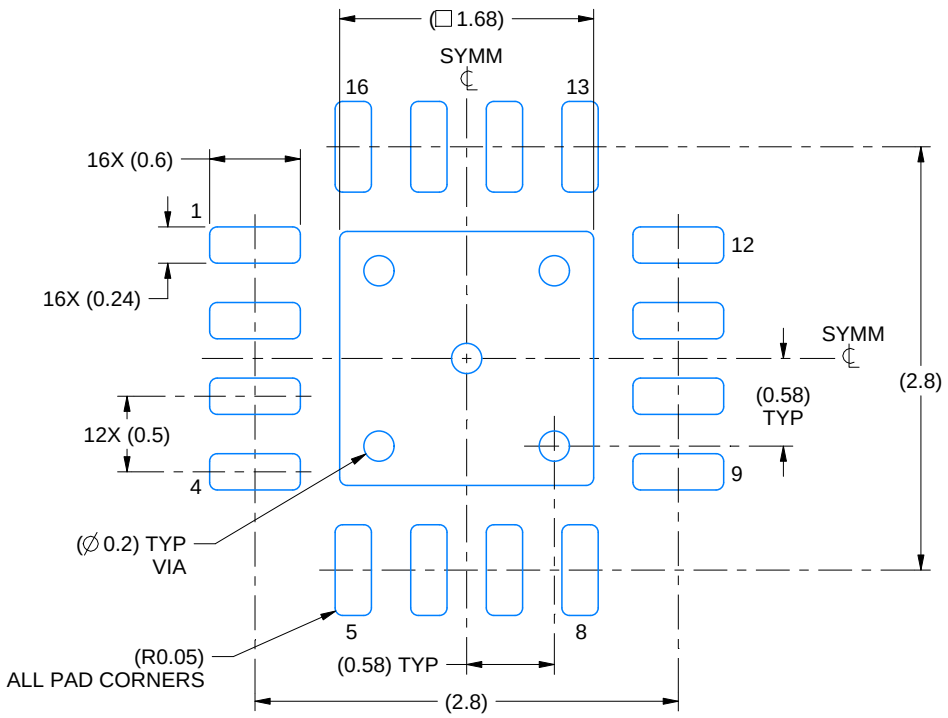


SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

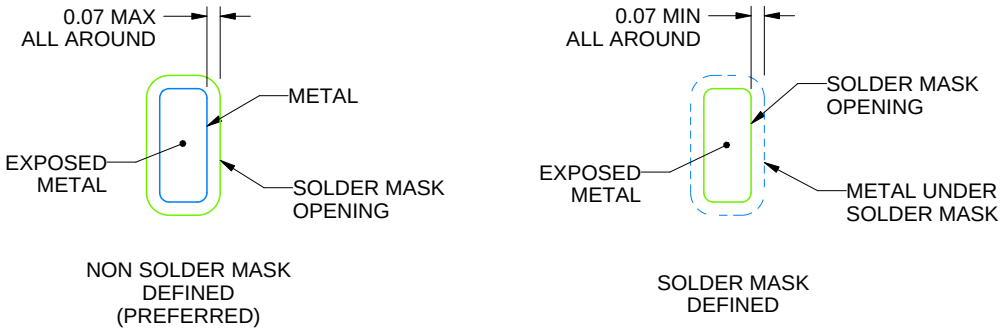
4222419/E 07/2025

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

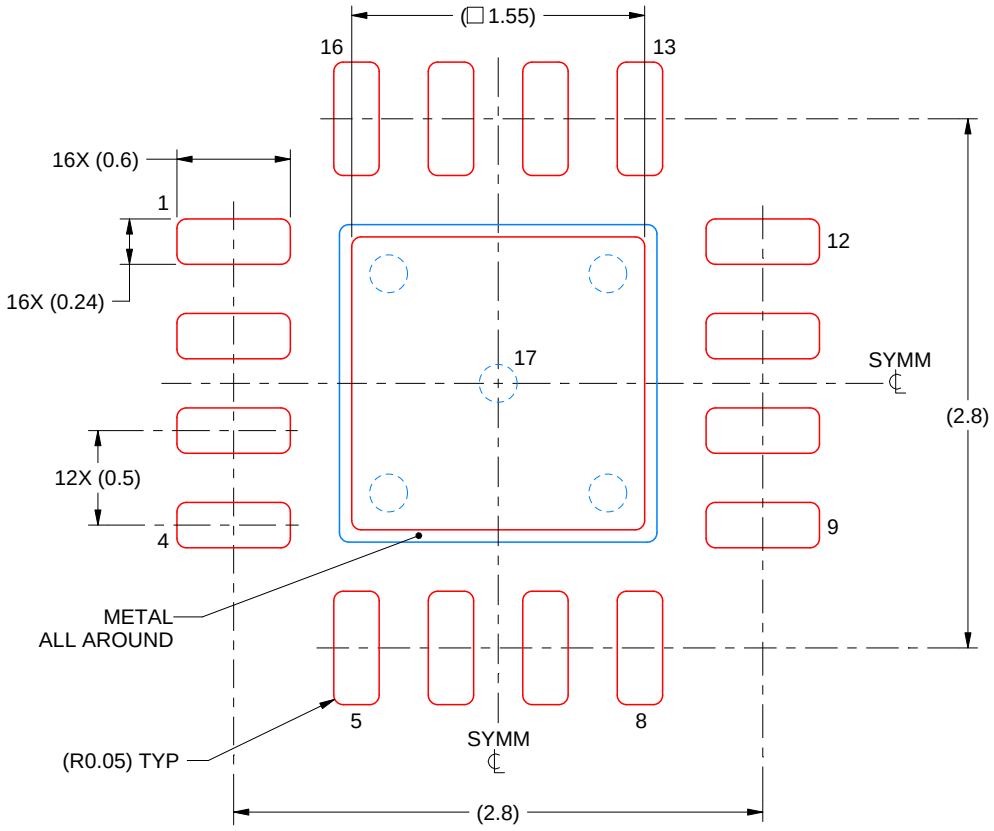


SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司