

AMC21C12 具有可调阈值和锁存功能的快速响应、 功能隔离式窗口比较器

1 特性

- 高侧电源具有宽电压范围：3V 至 27V
- 低侧电源电压范围：2.7V 至 5.5V
- 可调节阈值：
 - 窗口比较器模式：±20mV 至 ±300mV
 - 正比较器模式：600mV 至 2.7V
- 阈值调整基准：100μA, ±1%
- 跳变阈值误差：250mV 时为 ±1% (最大值)
- 具有可选锁存模式的开漏输出
- 传播延迟：280 ns (典型值)
- 高 CMTI：55V/ns (最小值)
- 功能隔离：
 - 工作电压：200V_{RMS}, 280V_{DC}
 - 瞬态过压 (60s)：570V_{RMS}, 800V_{DC}
- 小型 0.65mm 间距无引线封装，爬电距离和间隙为 1mm
- 可在更大的工业级温度范围内正常工作：-40°C 至 +125°C

2 应用

- 在下述器件中进行过流或过压检测：
 - 电信电源
 - 模拟 I/O 模块
 - 电机驱动器
 - 变频器

3 说明

AMC21C12 是一款响应时间短的隔离式窗口比较器。开漏输出与输入电路之间由抗电磁干扰性能极强的隔离栅进行电隔离。隔离栅支持高达 200V_{RMS} 或 280V_{DC} 的工作电压，以及高达 570V_{RMS} 或 800V_{DC} 的瞬态电压。

比较器的窗口电压以 0V 为中心，这表示如果输入电压的绝对值超出跳变阈值，则比较器就会跳变。可通过单个外部电阻器在 ±20mV 至 ±300mV 之间调节跳变阈值，因此，该比较器窗口的阈值范围为 ±20mV 至 ±300mV。REF 引脚上的电压大于 550mV 时，负比较器会被禁用，仅正比较器正常运行。该模式下的基准电压可高达 2.7V。该模式对于监控电压电源特别有用。

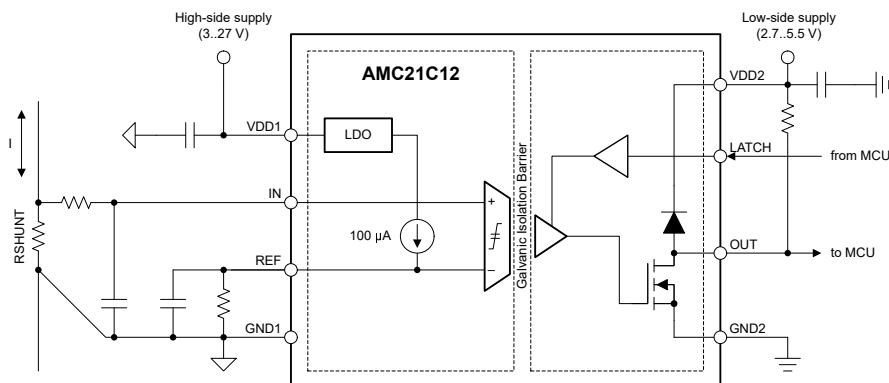
器件上的开漏输出支持输出状态与输入状态保持一致的透明模式（锁存输入连接至 GND2）或在锁存输入信号的下降沿上清除输出的锁存模式。

AMC21C12 采用 8 引脚 0.65mm 间距的 VSON 封装，其额定工业级工作温度范围为 -40°C 至 +125°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AMC21C12	DEN (VSON, 8)	3.5mm x 2.7mm

- (1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 x 宽) 为标称值，并包括引脚 (如适用)。



典型应用



内容

1 特性	1	6.3 特性说明.....	18
2 应用	1	6.4 器件功能模式.....	25
3 说明	1	7 应用和实施	26
4 引脚配置和功能	3	7.1 应用信息.....	26
5 规格	4	7.2 典型应用	26
5.1 绝对最大额定值.....	4	7.3 优秀设计实践.....	30
5.2 ESD 等级.....	4	7.4 电源相关建议.....	31
5.3 建议运行条件.....	5	7.5 布局.....	31
5.4 热性能信息	6	8 器件和文档支持	32
5.5 封装特性	6	8.1 文档支持.....	32
5.6 电气特性	7	8.2 接收文档更新通知.....	32
5.7 开关特性	9	8.3 支持资源.....	32
5.8 时序图.....	9	8.4 商标.....	32
5.9 典型特性.....	10	8.5 静电放电警告.....	32
6 详细说明	17	8.6 术语表.....	32
6.1 概述.....	17	9 修订历史记录	32
6.2 功能方框图.....	17	10 机械、封装和可订购信息	32

4 引脚配置和功能

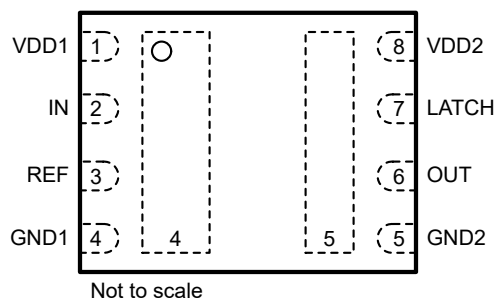


图 4-1. DEN 封装，8 引脚 VSON（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	VDD1	高侧电源	高侧电源。 ⁽¹⁾
2	IN	模拟输入	窗口比较器的模拟输入引脚。
3	REF	模拟输入	定义跳变阈值的基准引脚。此引脚上的电压也会影响比较器 Cmp0 的迟滞，正如 基准输入 部分所述。此引脚在内部链接至 100μA 电流源。在 REF 和 GND1 之间连接一个电阻器来定义跳变阈值，而在 REF 和 GND1 之间连接一个电容器来对基准电压进行滤波。为了获得最佳的高瞬态噪声抗扰度，应将电容器尽可能靠近引脚放置。此引脚也可以由外部电压源驱动。
4	GND1	高侧接地端	高侧接地端。
5	GND2	低侧接地端	低侧接地端。
6	OUT	数字输出	窗口比较器的开漏输出。连接至一个外部上拉电阻器。
7	锁存	数字输入	用于选择开漏输出的锁存模式（高电平）或透明模式（低电平）的数字输入。请勿使输入引脚处于未连接状态（悬空）。不使用时连接至 GND2。
8	VDD2	低侧电源	低侧电源。 ⁽¹⁾

(1) 有关电源去耦方面的建议，请参阅 [电源相关建议](#) 部分。

5 规格

5.1 绝对最大额定值

请参阅⁽¹⁾

		最小值	最大值	单位
电源电压	VDD1 至 GND1	-0.3	30	V
	VDD2 至 GND2	-0.3	6.5	
模拟输入电压	REF 至 GND1	-0.5	6.5	V
	IN 至 GND1	-6	5.5	
数字输入电压	LATCH 至 GND1	-0.5	VDD2 + 0.5	V
数字输出电压	OUT 至 GND2	-0.5	VDD2 + 0.5	V
瞬态隔离电压 ⁽²⁾	交流电压, $t = 60\text{s}^{(3)}$		570	V_{RMS}
	直流电压, $t = 60\text{s}^{(3)}$		800	V_{DC}
输入电流	连续, 除电源引脚外的任何引脚	-10	10	mA
温度	结温, T_{J}		150	$^{\circ}\text{C}$
	贮存温度, T_{stg}	-65	150	

- (1) 超出绝对最大额定值的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能会影响器件的可靠性、功能性和性能, 并缩短器件的寿命。
- (2) 封装左侧 (引脚 1-4) 到右侧 (引脚 5-8) 的共模电压。
- (3) 累计值

5.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
V _{VDD1}	高侧电源电压	VDD1 至 GND1	3.0	5	27	V
V _{VDD2}	低侧电源电压	VDD2 至 GND2	2.7	3.3	5.5	V
模拟输入						
V _{IN}	输入电压	IN 至 GND1，VDD1 ≤ 4.3V	−0.4	VDD1 − 0.3		V
		IN 至 GND1，VDD1 > 4.3V	−0.4	4		
V _{REF}	基准电压，窗口比较器模式	REF 至 GND1	20 ⁽²⁾	300		mV
	基准电压，正比较器模式	低迟滞模式	20 ⁽²⁾	450		
		高迟滞模式 (仅 Cmp0)	600	2700 ⁽¹⁾		
	基准电压余量	VDD1 − V _{REF}	1.4			V
	REF 引脚上的滤波器电容		20	100	nF	
数字输入/输出						
	数字输入电压	LATCH 引脚	GND2	VDD2		V
	数字输出电压	OUT 至 GND2	GND2	VDD2		V
	灌电流	OUT	0	4		mA
隔离栅						
V _{IOWM}	功能隔离工作电压 ⁽³⁾	交流电压 (正弦波)			200	V _{RMS}
		直流电压			280	V _{DC}
温度范围						
T _A	额定环境温度		−40	25	125	°C

- (1) 基准电压 (V_{REF}) > 1.6V 要求 $V_{VDD1} > V_{VDD1,MIN}$ 以保持 1.4V 的最小余量 ($V_{VDD1} - V_{REF}$)。
- (2) 该器件已使用低至 5mV 的 V_{REF} 进行了测试。该器件仍可正常工作, 但由于偏移误差, 相对开关阈值精度可能会降低。
- (3) 封装左侧 (引脚 1-4) 到右侧 (引脚 5-8) 的共模电压。

5.4 热性能信息

热指标 ⁽¹⁾		DEN (VSON)	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	64.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	53.7	°C/W
$R_{\theta JB}$	结至电路板热阻	29.6	°C/W
Ψ_{JT}	结至顶部特征参数	10.1	°C/W
Ψ_{JB}	结至电路板特征参数	29.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	23.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 封装特性

参数		测试条件	值	单位
CLR	外部间隙	引脚间的最短空间距离	≥ 1	mm
CPG	外部爬电距离	引脚间的最短封装表面距离	≥ 1	mm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	≥ 600	V
	材料组别	符合 IEC 60664-1	I	
C_{IO}	电容，输入至输出 ⁽¹⁾	$V_{IO} = 0.5V_{PP}$ (1MHz)	~1.5	pF
R_{IO}	电阻，输入至输出 ⁽¹⁾	$T_A = 25^\circ\text{C}$	$> 10^{12}$	Ω

(1) 将隔离栅每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.6 电气特性

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 125°C ， $V_{DD1} = 3.0\text{V}$ 至 27V ， $V_{DD2} = 2.7\text{V}$ 至 5.5V ， $V_{REF} = 20\text{mV}$ 至 2.7V ⁽¹⁾ 且 $V_{IN} = -400\text{mV}$ 至 4V ⁽³⁾；典型值规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $V_{DD1} = 5\text{V}$ ， $V_{DD2} = 3.3\text{V}$ 且 $V_{REF} = 250\text{mV}$ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
R _{IN}	输入电阻	IN 引脚，0V ≤ V _{IN} ≤ 4V	1			GΩ
I _{BIAS}	输入偏置电流	IN 引脚，0V ≤ V _{IN} ≤ 4V ⁽⁴⁾	0.1			25 nA
		IN 引脚，−400mV ≤ V _{IN} ≤ 0V ⁽⁵⁾	−310	−0.5		
C _{IN}	输入电容	IN 引脚	4			pF
基准引脚						
I _{REF}	基准电流	REF 至 GND1，20mV < V _{REF} ≤ 2.7V	99	100	101	μA
V _{MSEL}	模式选择阈值 ⁽²⁾	V _{REF} 上升	500	550	600	mV
		V _{REF} 下降	450	500	550	
	模式选择阈值迟滞		50			mV
比较器						
V _{IT+}	正向跳变阈值	Cmp0	V _{REF} + V _{HYS}			mV
E _{IT+}	正向跳变阈值误差	Cmp0，(V _{IT+} − V _{REF} − V _{HYS})， V _{REF} = 20mV，V _{HYS} = 4mV	-2			2 2 5 mV
		Cmp0，(V _{IT+} − V _{REF} − V _{HYS})， V _{REF} = 250mV，V _{HYS} = 4mV	-2			
		Cmp0，(V _{IT+} − V _{REF} − V _{HYS})， V _{REF} = 2V，V _{HYS} = 25mV	-5			
V _{IT-}	负向跳变阈值	Cmp0	V _{REF}			mV
E _{IT-}	负向跳变阈值误差	Cmp0，(V _{IT-} − V _{REF})，V _{REF} = 20mV	-2.5			2.5 2.5 5 mV
		Cmp0，(V _{IT-} − V _{REF})，V _{REF} = 250mV	-2.5			
		Cmp0，(V _{IT-} − V _{REF})，V _{REF} = 2V	-5			
V _{IT-}	负向跳变阈值	Cmp1	−V _{REF} − V _{HYS}			mV
E _{IT-}	负向跳变阈值误差	Cmp1，(V _{IT-} + V _{REF} + V _{HYS})， V _{REF} = 20mV，V _{HYS} = 4mV	-3			3 3 mV
		Cmp1，(V _{IT-} + V _{REF} + V _{HYS})， V _{REF} = 250mV，V _{HYS} = 4mV	-3			
V _{IT+}	正向跳变阈值	Cmp1	−V _{REF}			mV
E _{IT+}	正向跳变阈值误差	Cmp1，(V _{IT+} + V _{REF})，V _{REF} = 20mV	-3.5			3.5 3.5 mV
		Cmp1，(V _{IT+} + V _{REF})，V _{REF} = 250mV	-3.5			
V _{HYS}	跳变阈值迟滞	Cmp0 和 Cmp1，(V _{IT+} − V _{IT-})，V _{REF} ≤ 450mV	4			mV
		仅 Cmp0，(V _{IT+} − V _{IT-})，V _{REF} ≥ 600mV	25			
数字输入/输出						
V _{IH}	高电平输入电压	LATCH 引脚	0.7 x VDD2	VDD2 + 0.3		V
V _{IL}	低电平输入电压	LATCH 引脚	-0.3	0.3 x VDD2		V
C _{IN}	输入电容	LATCH 引脚	4			pF
V _{OL}	低电平输出电压	I _{SINK} = 4mA	80			250 mV
I _{LKG}	开漏输出漏电流	VDD2 = 5V，V _{OUT} = 5V	5			100 nA
CMTI	共模瞬态抗扰度	V _{IN} − V _{REF} ≥ 4mV，R _{PULLUP} = 10kΩ	55	110	V/ns	

5.6 电气特性 (续)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 125°C ， $V_{DD1} = 3.0\text{V}$ 至 27V ， $V_{DD2} = 2.7\text{V}$ 至 5.5V ， $V_{REF} = 20\text{mV}$ 至 2.7V ⁽¹⁾ 且 $V_{IN} = -400\text{mV}$ 至 4V ⁽³⁾；典型值规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $V_{DD1} = 5\text{V}$ ， $V_{DD2} = 3.3\text{V}$ 且 $V_{REF} = 250\text{mV}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
$V_{DD1_{UV}}$	VDD1 欠压检测阈值	VDD1 上升			3	V
		VDD1 下降			2.9	
$V_{DD1_{POR}}$	VDD1 上电复位阈值	VDD1 下降			2.3	V
$V_{DD2_{UV}}$	VDD2 欠压检测阈值	VDD2 上升			2.7	V
		VDD2 下降			2.1	
I_{DD1}	高侧电源电流	$3.0\text{V} \leq V_{DD1} \leq 3.4\text{V}$			4.0	mA
		$3.4\text{V} < V_{DD1} \leq 27\text{V}$		3.2	4.3	
I_{DD2}	低侧电源电流			1.8	2.2	mA

- (1) 基准电压 $>1.6\text{V}$ 要求 $V_{DD1} > V_{DD1_{MIN}}$ 。有关详细信息，请参阅 [建议工作条件](#) 表。
- (2) 电压电平 V_{REF} 确定该器件是作为具有正负阈值的窗口比较器工作，还是作为仅具有正阈值的简易比较器工作。有关更多详细信息，请参阅 [基准输入](#) 部分。
- (3) 但请勿超过 [建议工作条件](#) 表中指定的最大输入电压。
- (4) 典型值是在 $V_{IN} = 0.4\text{V}$ 下测量的。
- (5) 典型值是在 $V_{IN} = -400\text{mV}$ 下测量的。

5.7 开关特性

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
锁存输入						
	抗尖峰脉冲时间	下降沿	1.8	3.2		μs
开漏输出						
t _{pH}	传播延迟时间, V _{IN} 上升	VDD2 = 3.3V, V _{REF} = 250mV, V _{OVERDRIVE} = 10mV, C _L = 15pF	280	410		ns
		VDD2 = 3.3V, V _{REF} = 2V, V _{OVERDRIVE} = 50mV, C _L = 15pF	240	370		
t _{pL}	传播延迟时间, V _{IN} 下降	VDD2 = 3.3V, V _{REF} = 250mV, V _{OVERDRIVE} = 10mV, C _L = 15pF	280	410		ns
		VDD2 = 3.3V, V _{REF} = 2V, V _{OVERDRIVE} = 50mV, C _L = 15pF	240	370		
t _f	输出信号下降时间	R _{PULLUP} = 4.7kΩ, C _L = 15pF	2			ns
模式选择						
t _{HSEL}	比较器迟滞选择抗尖峰脉冲时间	Cmp0, V _{REF} 上升或下降	10			μs
t _{DIS13}	比较器禁用抗尖峰脉冲时间	Cmp1, V _{REF} 上升	10			μs
t _{EN13}	比较器启用抗尖峰脉冲时间	Cmp1, V _{REF} 下降	100			μs
启动时序						
t _{LS,STA}	低侧启动时间	VDD2 步进至 2.7V, VDD1 ≥ 3.0V	40			μs
t _{HS,STA}	高侧启动时间	VDD1 步进至 3.0V, VDD2 ≥ 2.7V	45			μs
t _{HS,BLK}	高侧消隐时间		200			μs
t _{HS,FLT}	高侧故障检测延迟时间		100			μs

5.8 时序图

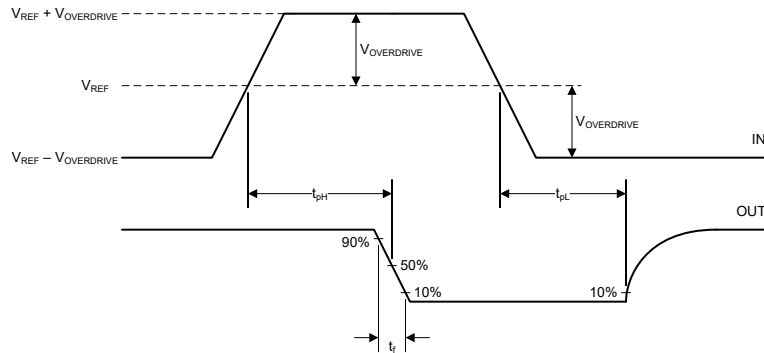


图 5-1. 上升、下降和延迟时间定义 (LATCH = 低电平)

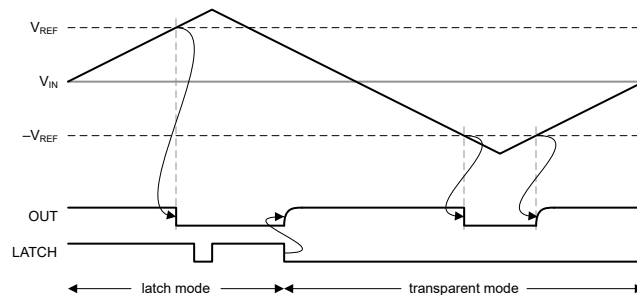


图 5-2. 功能时序图

5.9 典型特性

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

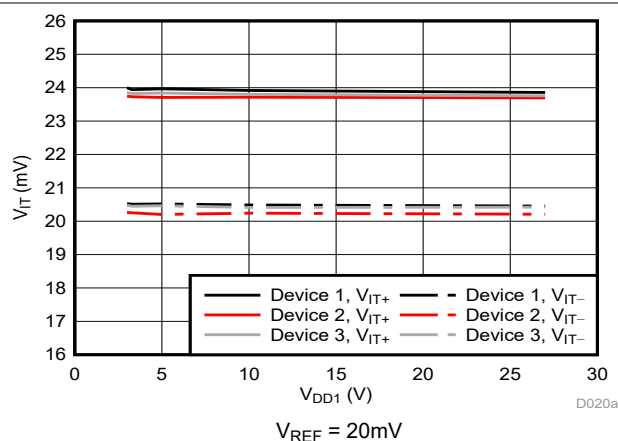


图 5-3. Cmp0 跳变阈值与电源电压间的关系

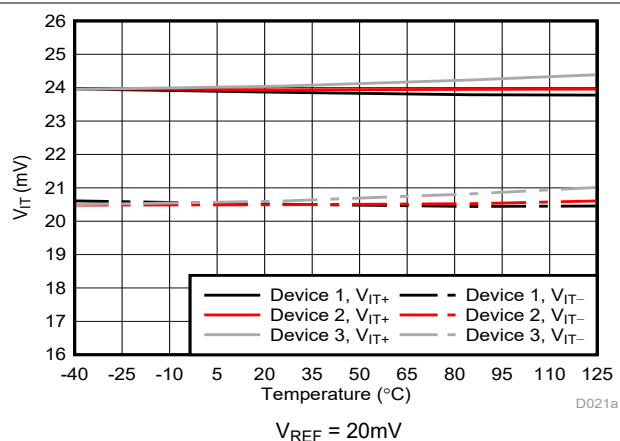


图 5-4. Cmp0 跳变阈值与温度间的关系

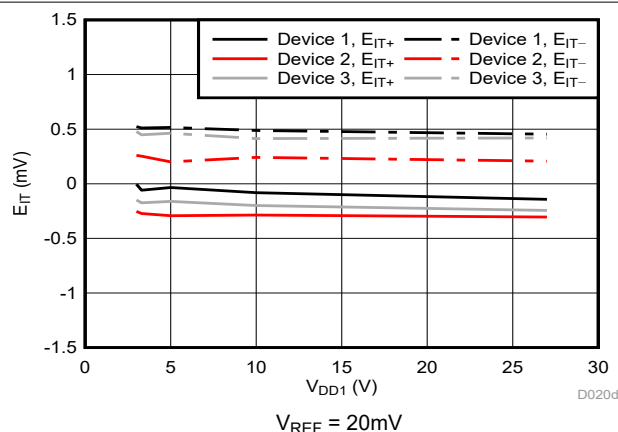


图 5-5. Cmp0 跳变阈值误差与电源电压间的关系

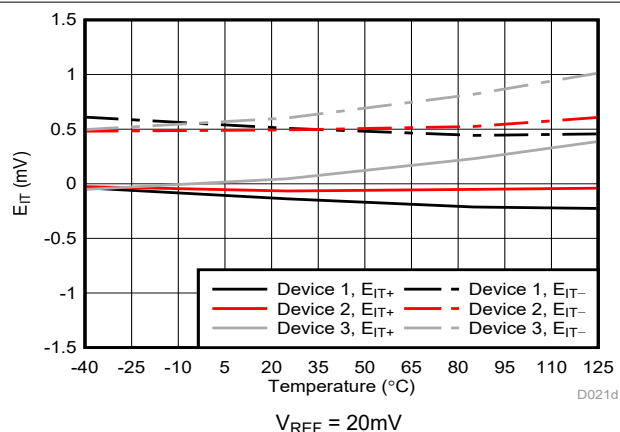


图 5-6. Cmp0 跳变阈值误差与温度间的关系

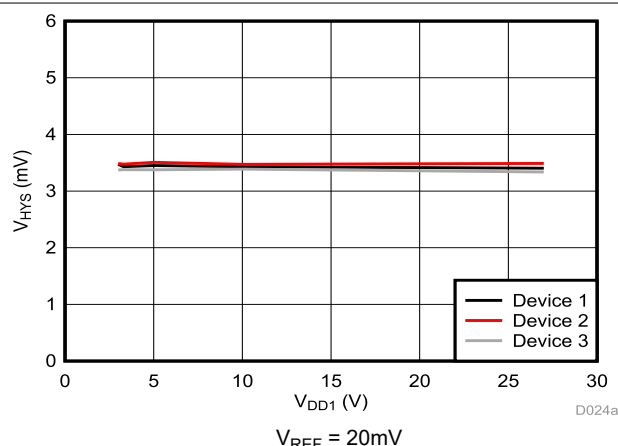


图 5-7. Cmp0 跳变阈值迟滞与电源电压间的关系

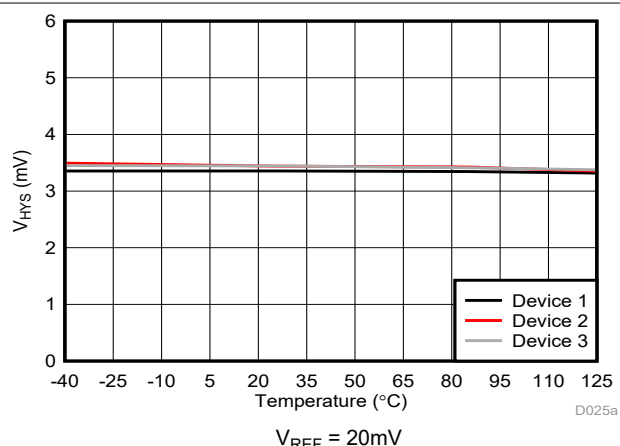


图 5-8. Cmp0 跳变阈值迟滞与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

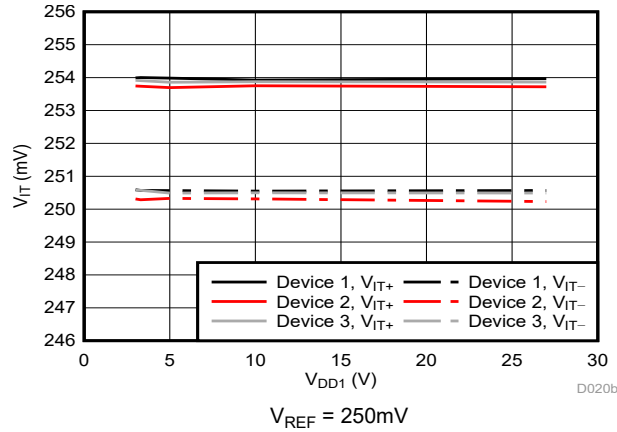


图 5-9. Cmp0 跳变阈值与电源电压间的关系

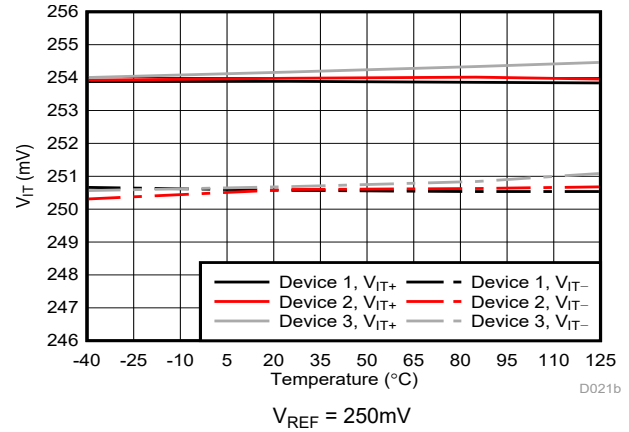


图 5-10. Cmp0 跳变阈值与温度间的关系

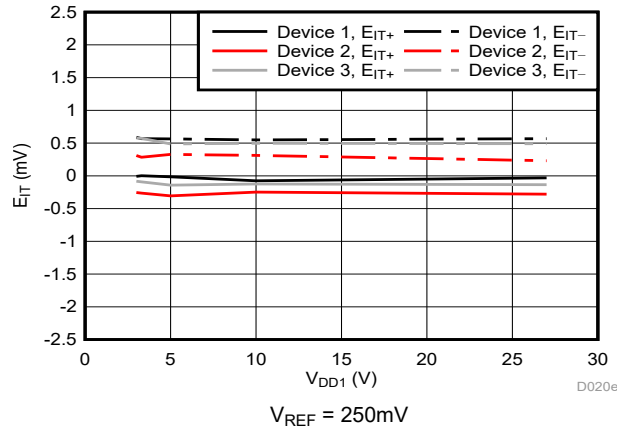


图 5-11. Cmp0 跳变阈值误差与电源电压间的关系

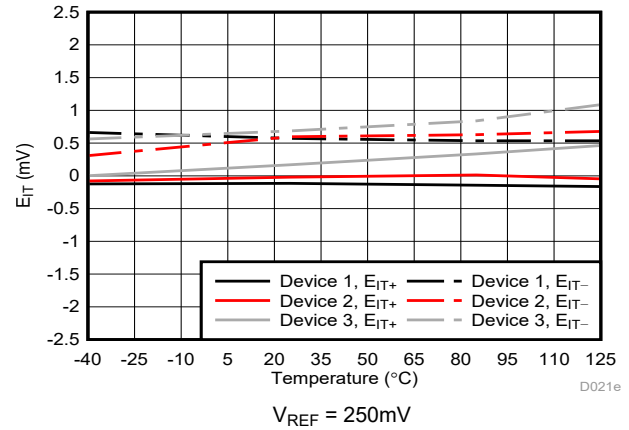


图 5-12. Cmp0 跳变阈值误差与温度间的关系

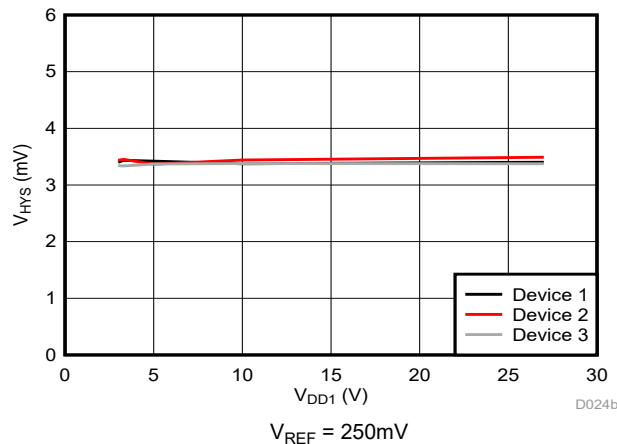


图 5-13. Cmp0 跳变阈值迟滞与电源电压间的关系

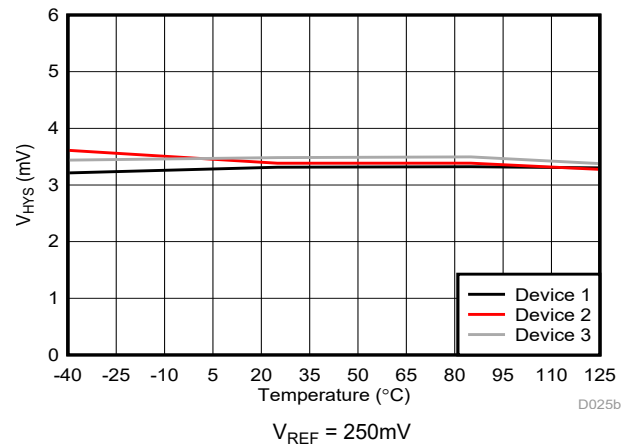


图 5-14. Cmp0 跳变阈值迟滞与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

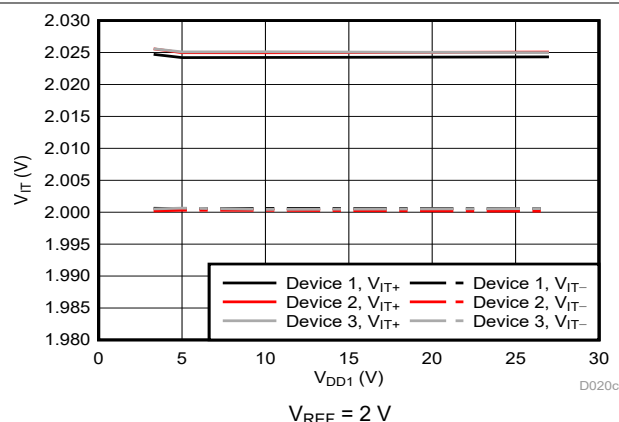


图 5-15. Cmp0 跳变阈值与电源电压间的关系

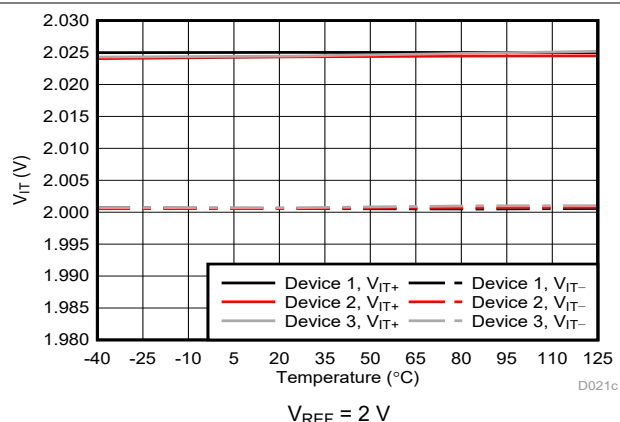


图 5-16. Cmp0 跳变阈值与温度间的关系

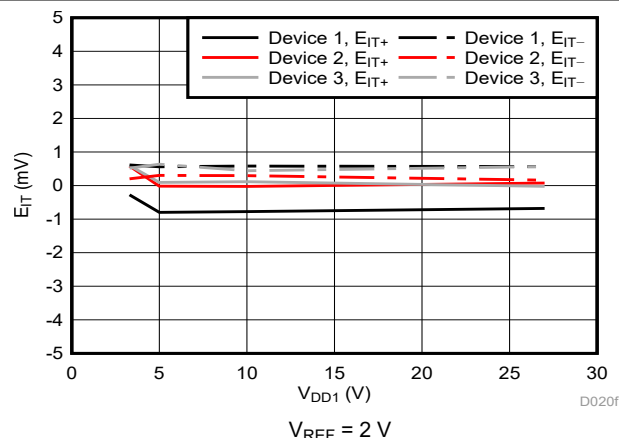


图 5-17. Cmp0 跳变阈值误差与电源电压间的关系

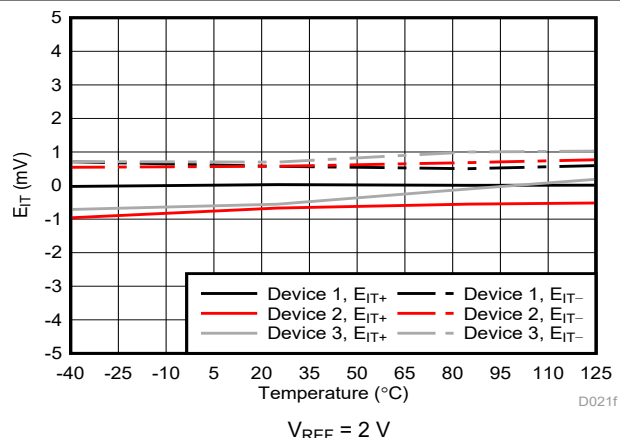


图 5-18. Cmp0 跳变阈值误差与温度间的关系

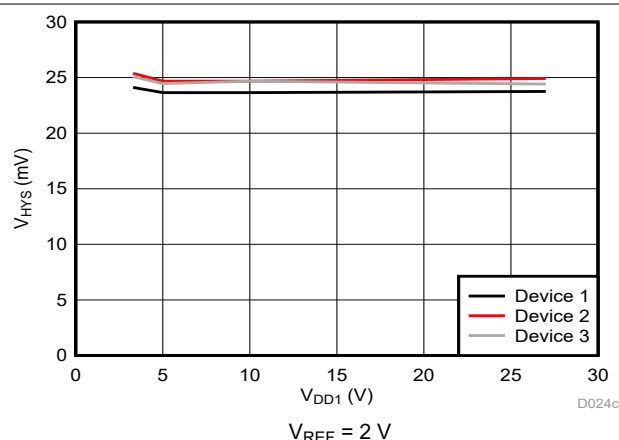


图 5-19. Cmp0 跳变阈值迟滞与电源电压间的关系

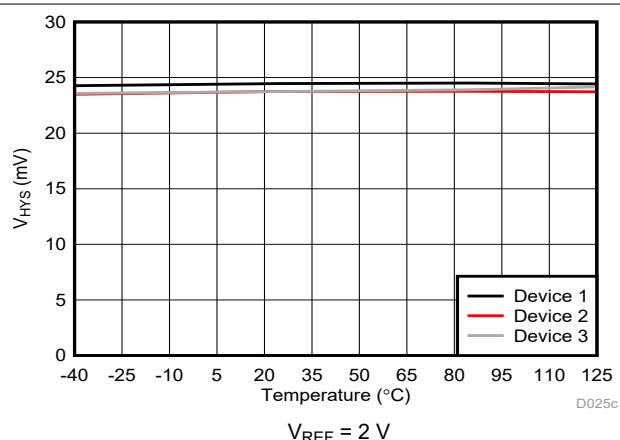


图 5-20. Cmp0 跳变阈值迟滞与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

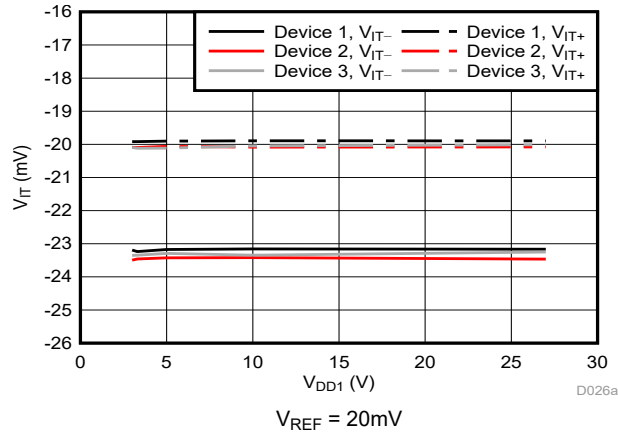


图 5-21. Cmp1 跳变阈值与电源电压间的关系

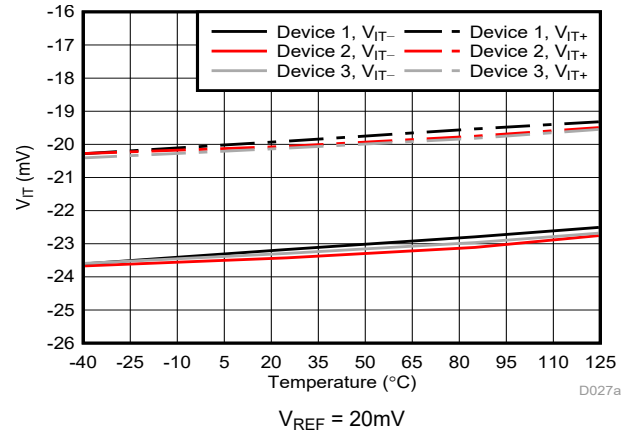


图 5-22. Cmp1 跳变阈值与温度间的关系

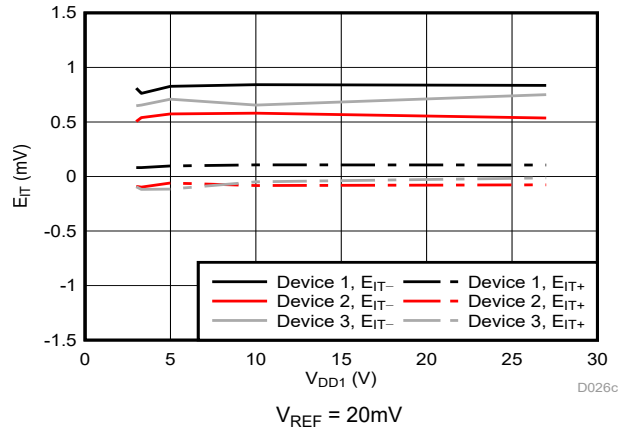


图 5-23. Cmp1 跳变阈值误差与电源电压间的关系

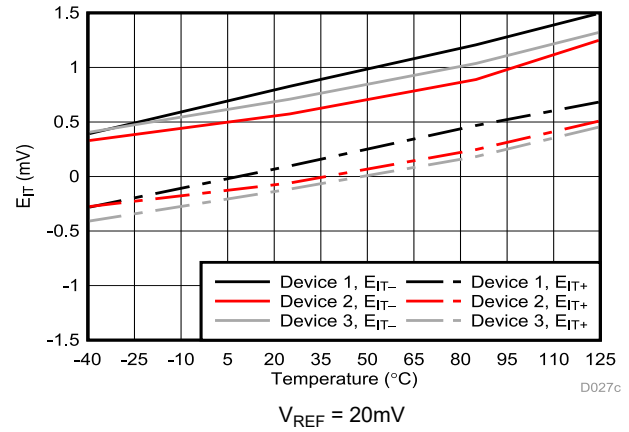


图 5-24. Cmp1 跳变阈值误差与温度间的关系

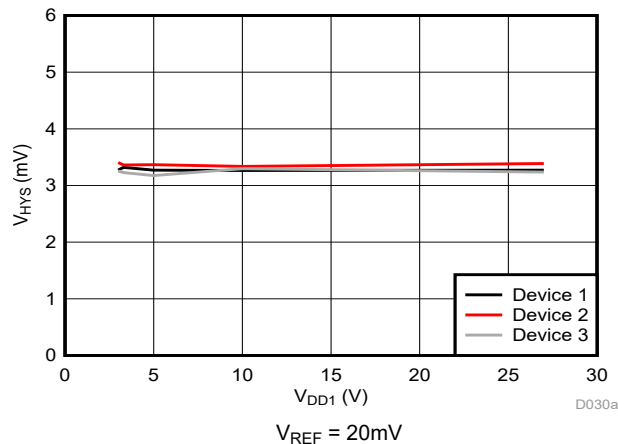


图 5-25. Cmp1 跳变阈值迟滞与电源电压间的关系

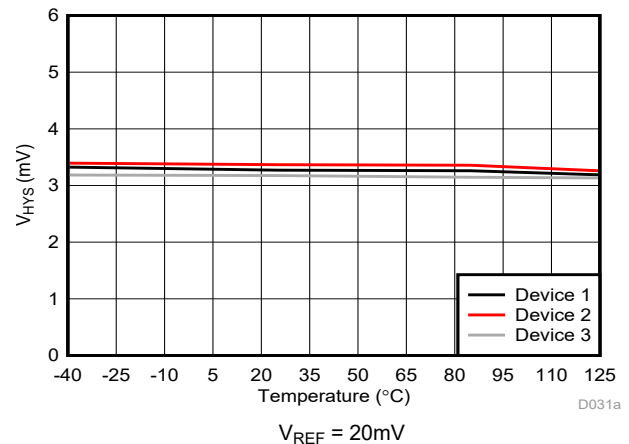


图 5-26. Cmp1 跳变阈值迟滞与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

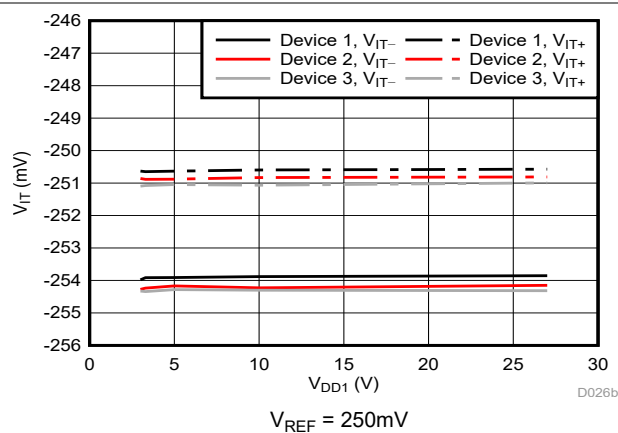


图 5-27. Cmp1 跳变阈值与电源电压间的关系

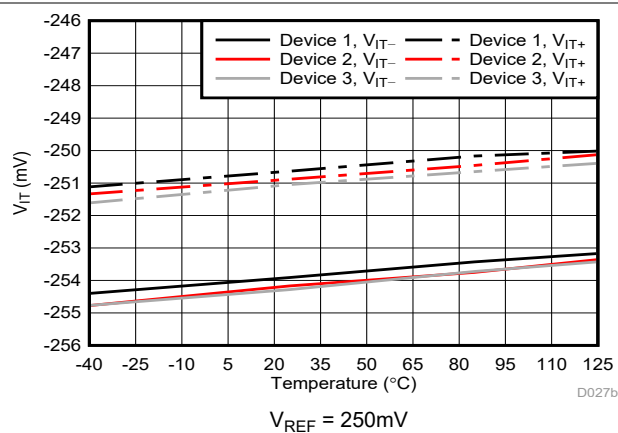


图 5-28. Cmp1 跳变阈值与温度间的关系

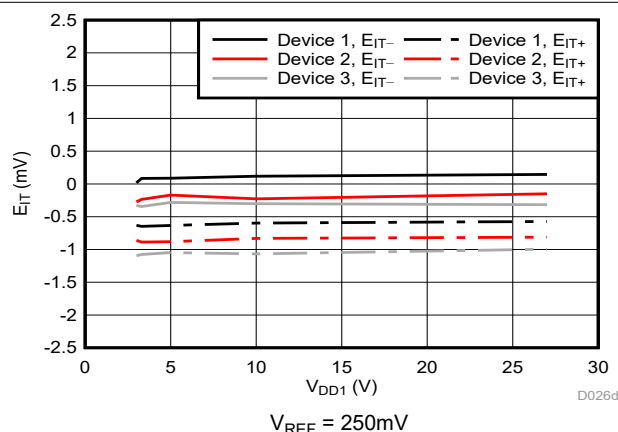


图 5-29. Cmp1 跳变阈值误差与电源电压间的关系

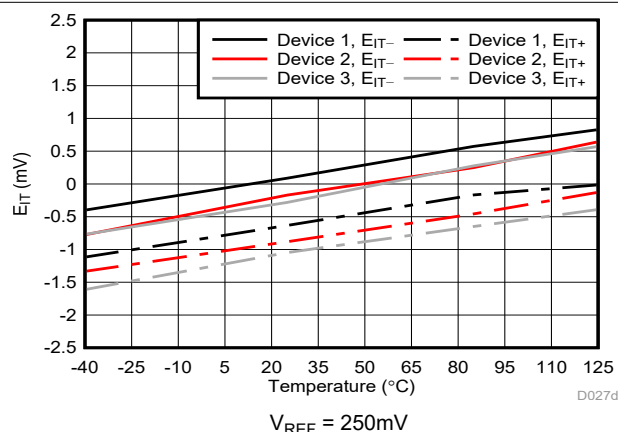


图 5-30. Cmp1 跳变阈值误差与温度间的关系

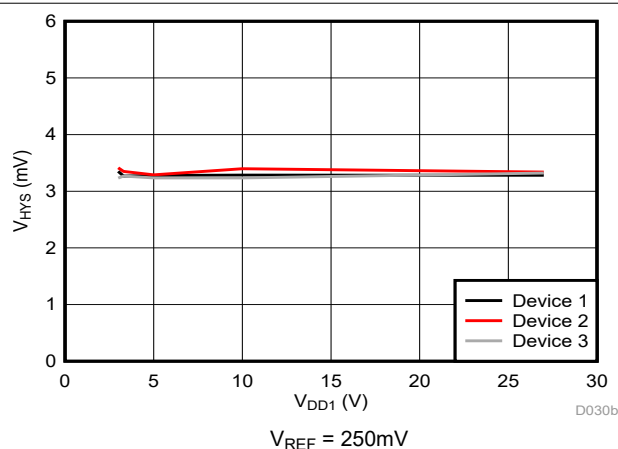


图 5-31. Cmp1 跳变阈值迟滞与电源电压间的关系

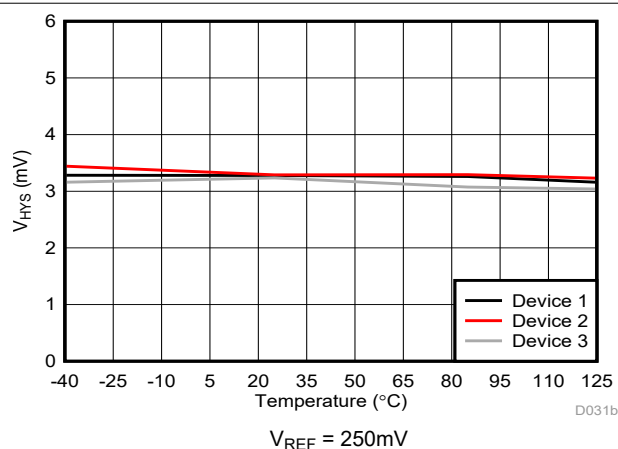


图 5-32. Cmp1 跳变阈值迟滞与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

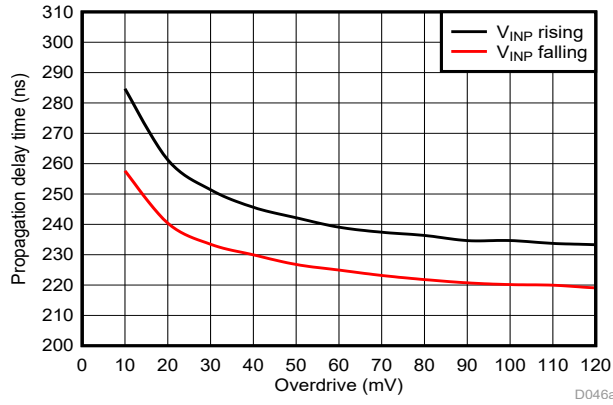


图 5-33. Cmp0 传播延迟与过驱间的关系

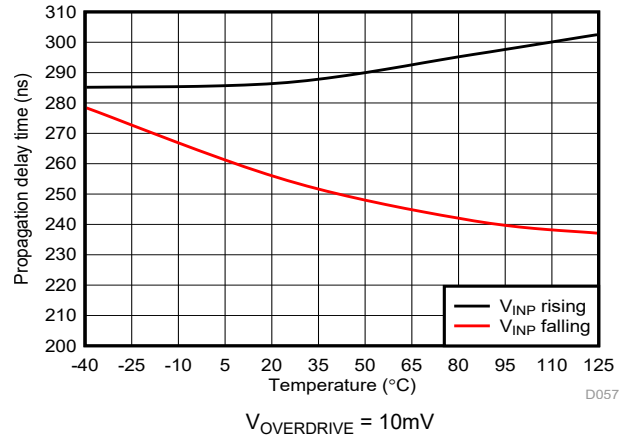


图 5-34. Cmp0 传播延迟与温度间的关系

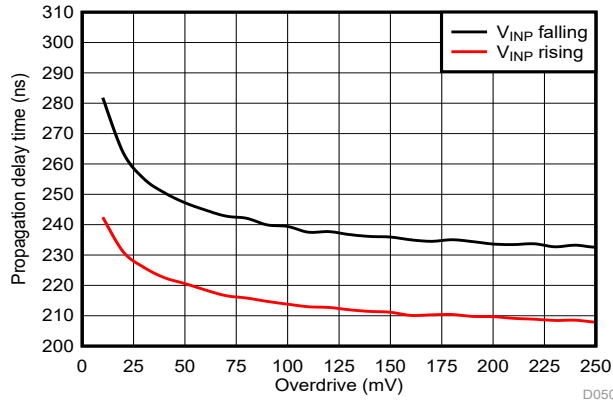


图 5-35. Cmp1 传播延迟与过驱间的关系

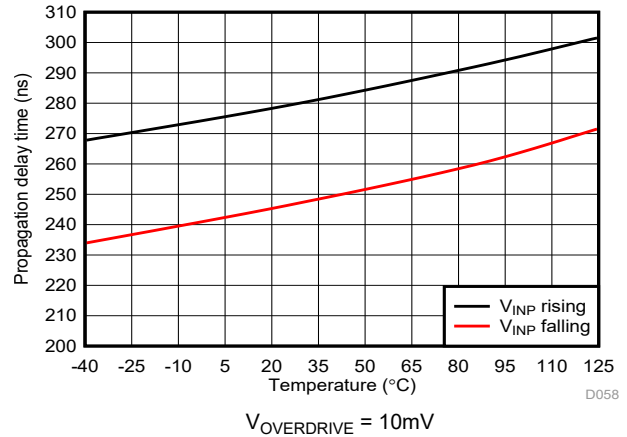


图 5-36. Cmp1 传播延迟与温度间的关系

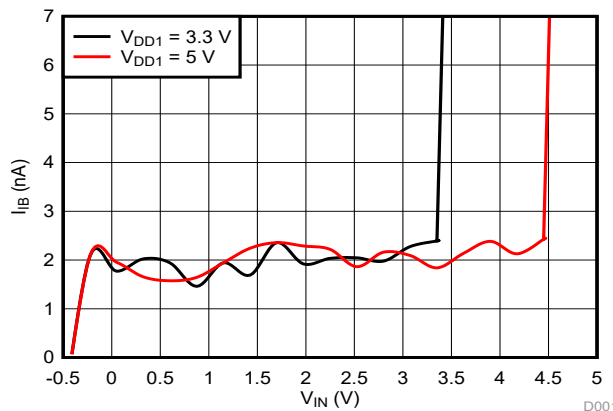


图 5-37. 输入偏置电流与输入电压间的关系

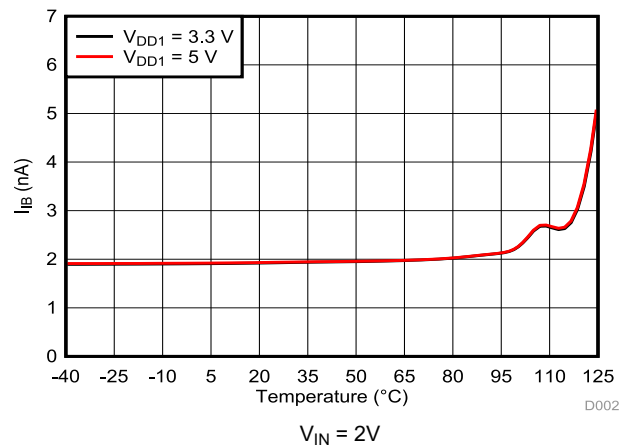


图 5-38. 输入偏置电流与温度间的关系

5.9 典型特性 (续)

在 $V_{DD1} = 5V$ 且 $V_{DD2} = 3.3V$ 时 (除非另有说明)

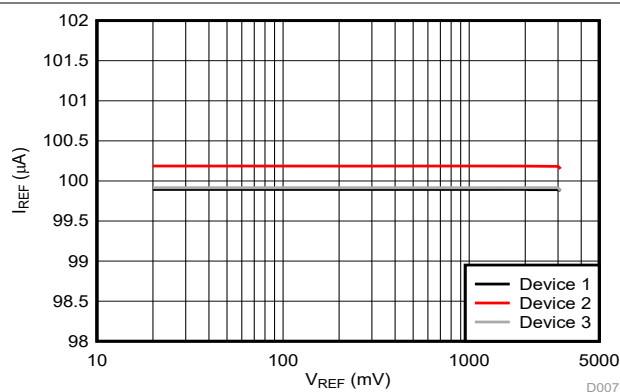


图 5-39. 基准电流与基准电压间的关系

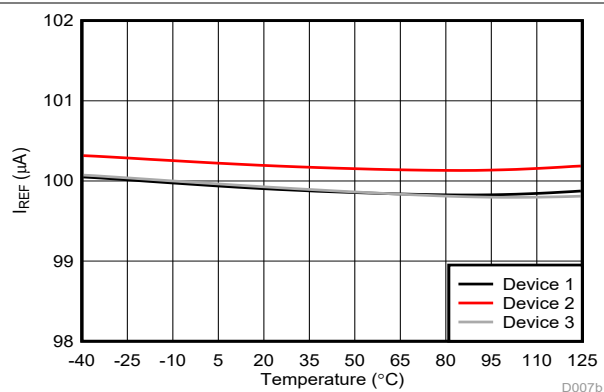


图 5-40. 基准电流与温度间的关系

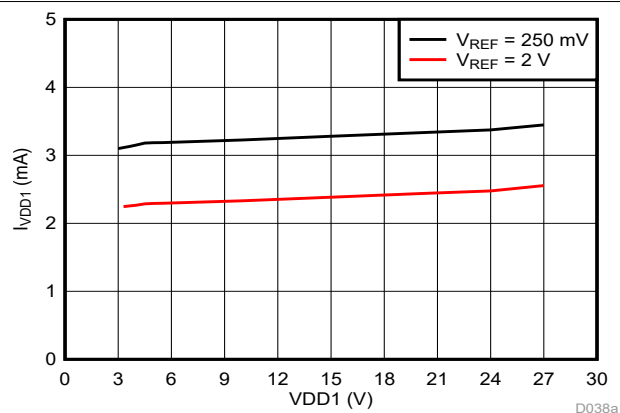


图 5-41. 高侧电源电流与电源电压间的关系

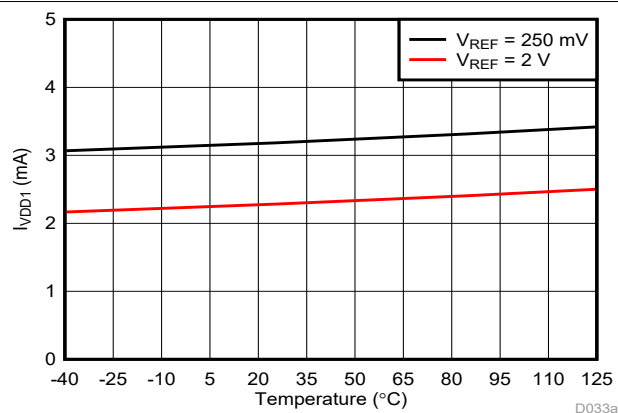


图 5-42. 高侧电源电流与温度间的关系

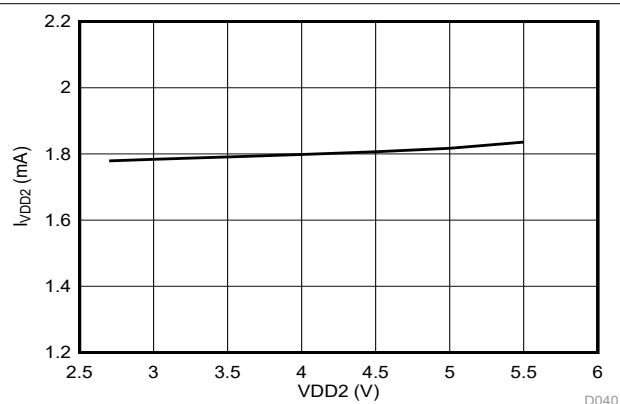


图 5-43. 低侧电源电流与电源电压间的关系

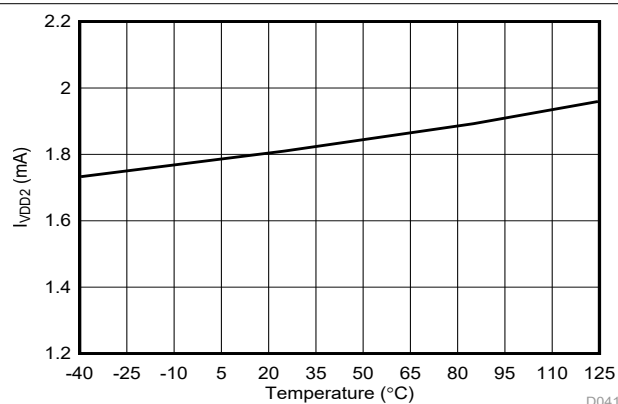


图 5-44. 低侧电源电流与温度间的关系

6 详细说明

6.1 概述

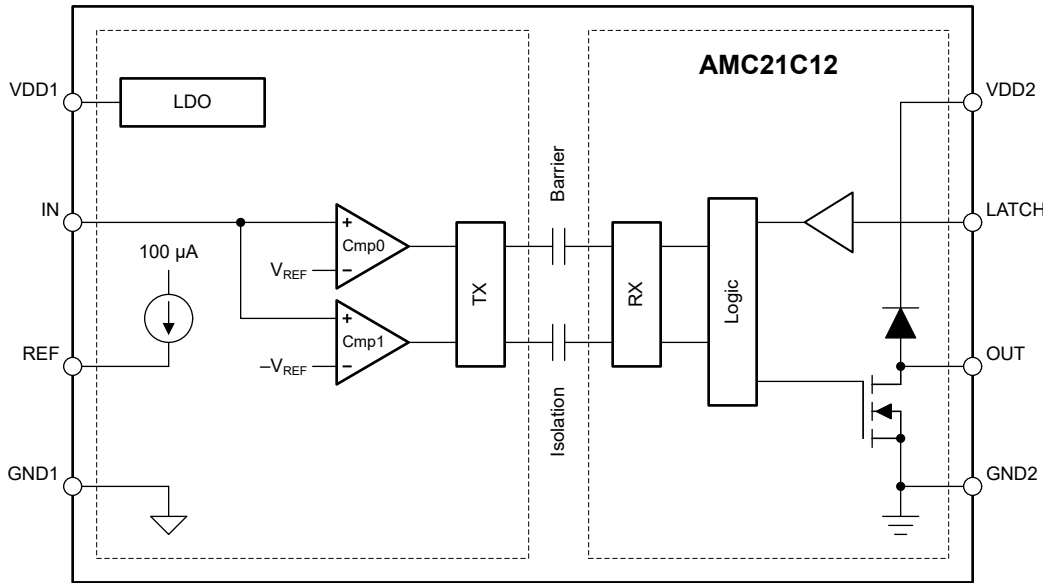
AMC21C12 是一款具有开漏输出和可选锁存功能的隔离式窗口比较器。该窗口比较器由比较器 Cmp0 和 Cmp1 构成。Cmp0 将输入电压 (V_{IN}) 与正阈值 (V_{IT+}) 进行比较, 而 Cmp1 将输入电压 (V_{IN}) 与负阈值 (V_{IT-}) 进行比较。 V_{IT+} 和 V_{IT-} 具有相同的幅度, 但符号相反, 因此比较窗口的电压以 0V 为中心。比较阈值可通过一个内部生成的 100 μ A 基准电流和一个外部电阻器在 ± 20 mV 至 ± 300 mV 之间调节。

当输入电压 (V_{IN}) 超出比较窗口时, 开漏输出主动拉至低电平。 V_{IN} 返回窗口内时的行为由 LATCH 引脚决定, 具体如 [开漏数字输出](#) 一节所述。

当 REF 引脚上的电压大于 V_{MSEL} 时, 该器件在正比较器模式下工作。此模式对监测正电压时尤其有用。负比较器 (Cmp1) 处于禁用状态, 只有正比较器 (Cmp0) 正常运行。此模式中的基准电压可高达 2.7V。

该器件高压侧与低压侧之间的电气隔离通过跨过基于 SiO_2 的电容式隔离栅发送比较器状态来实现。此隔离栅支持高水平的磁场抗扰度, 如 [ISO72x 数字隔离器磁场抗扰度应用手册](#) 所述。由于 AMC21C12 采用数字调制方案来跨过隔离栅发送数据, 另外再加上隔离栅的特性, 该器件具有高可靠性和共模瞬态抗扰度。

6.2 功能方框图



6.3 特性说明

6.3.1 模拟输入

当输入电压 (V_{IN}) 上升到 V_{IT+} 阈值以上时，正比较器会发生跳变，其中该阈值被定义为基准值加上内部迟滞电压。当 V_{IN} 降至 V_{IT-} 阈值以下时，正比较器会释放，其中该阈值等于基准值。当 V_{IN} 降至 V_{IT-} 阈值以下时，该负比较器会跳变，其中该阈值定义为负基准值减去内部迟滞电压。当 V_{IN} 上升到 V_{IT+} 阈值以上时，该负比较器会释放，其中该阈值等于负基准值。

V_{IT+} 与 V_{IT-} 之间的差值被称为 *比较器迟滞*，对于小于 450mV 的基准电压，该差值为 4mV。由于存在集成迟滞，AMC21C12 对输入噪声不那么敏感，无需添加外部正反馈来产生迟滞，即可在高噪声环境中稳定工作。当基准值 (V_{REF}) 大于 600mV 时，Cmp0 的迟滞会增加到 25mV。更多详细信息，请参阅[基准输入](#)说明。

图 6-1 展示了迟滞与开关阈值之间关系的时序图。

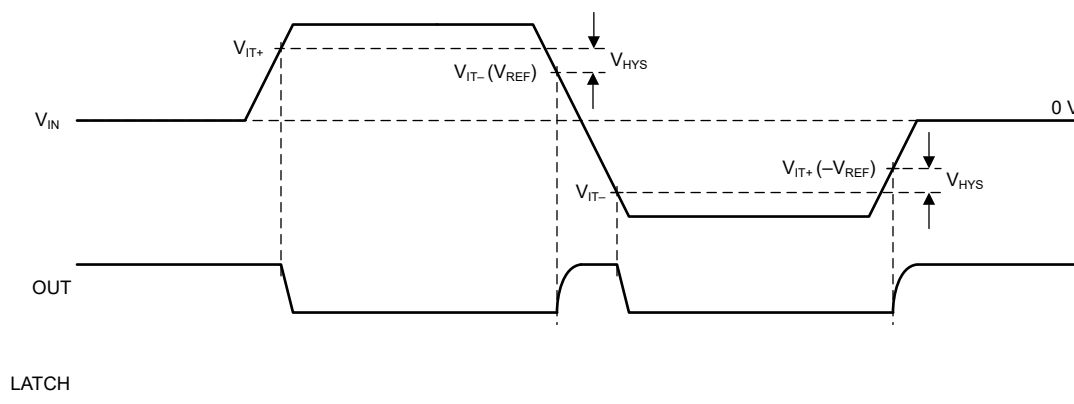


图 6-1. 开关阈值与迟滞

6.3.2 基准输入

REF 引脚上的电压决定窗口比较器的跳变阈值。内部精密电流源会强制 $100\mu\text{A}$ 的电流流过从 REF 引脚连接到 GND1 的外部电阻器。电阻器上产生的电压 (V_{REF}) 等于正负跳变阈值的幅度；请参阅图 6-1。将一个 100nF 电容器与电阻器并联放置，以对基准电压进行滤波。在上电期间，此电容器必须由 $100\mu\text{A}$ 电流源充电，且充电时间可能超过高侧消隐时间 ($t_{\text{HS,BLK}}$)。在这种情况下，如图 6-2 所示，比较器可能会在高侧消隐时间结束后输出错误的状态，直到 V_{REF} 达到最终值。有关上电行为的更多详细信息，请参阅 [上电和断电行为](#) 一节。

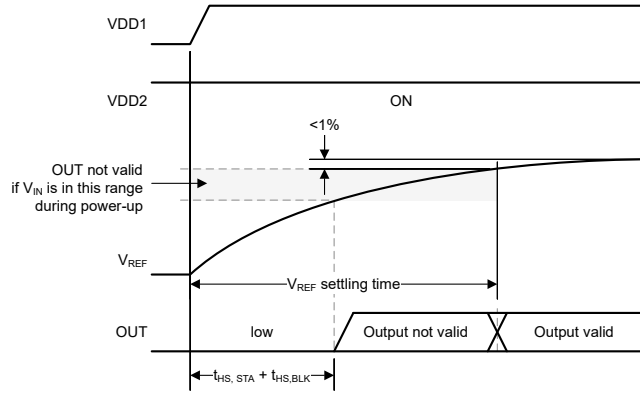


图 6-2. 导致基准电压趋稳时间过长的输出行为

REF 引脚上的电压还决定负比较器 (Cmp1) 的功能和正比较器 (Cmp0) 的迟滞，如 [功能方框图](#) 所示。如果 V_{REF} 超过 [电气特征](#) 表中定义的 V_{MSEL} 阈值，Cmp1 会被禁用，而 Cmp0 的迟滞会从 4mV (典型值) 增加到 25mV 。正比较器模式适用于需要更高输入电压和更高抗噪性能的电压监测应用。

该基准引脚可由外部电压源驱动以在工作期间更改比较器阈值。不过，在正常工作期间，请勿动态驱动 V_{REF} 越过 V_{MSEL} 阈值，因为这样做会改变 Cmp0 比较器的迟滞，并可能导致输出的意外切换。

图 6-3 显示了模式选择时序图。

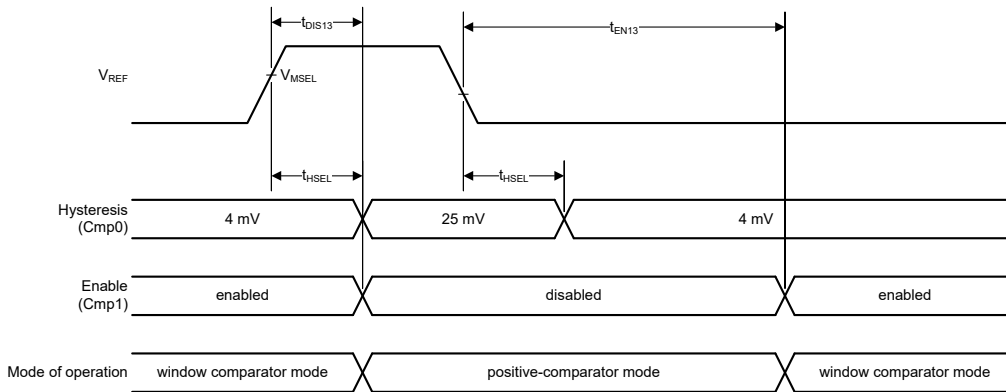


图 6-3. 模式选择

6.3.3 隔离通道信号传输

AMC21C12 使用开关键控 (OOK) 调制方案 (如图 6-4 所示)，跨过基于 SiO_2 的隔离栅来传输比较器输出状态。[功能方框图](#) 所示发送驱动器 (TX) 跨过隔离栅发送一个内部生成的高频载波来表示数字一，不发送信号则指示数字零。

隔离栅另一端的接收器 (RX) 会恢复并解调信号，然后向驱动开漏输出缓冲器的逻辑提供数据。AMC21C12 传输通道经过优化，可实现最高的共模瞬态抗扰度 (CMTI) 和最小的辐射发射 (高频载波和 RX/TX 缓冲器开关所致)。

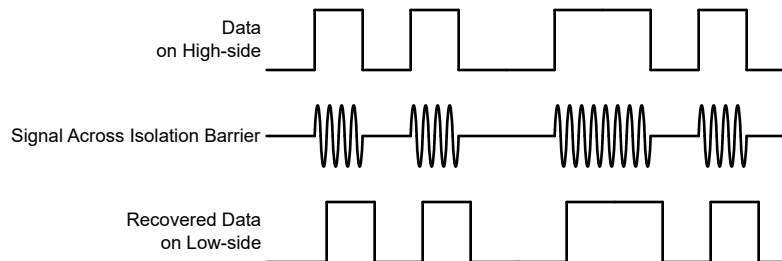


图 6-4. 基于 OOK 的调制方案

6.3.4 开漏数字输出

AMC21C12 提供了一个具有可选锁存功能的开漏输出。当 $|V_{IN}|$ 超过 REF 引脚上的电压定义的阈值时，该输出主动拉至低电平，具体请参阅图 6-1。

开漏输出通过二极管连接到 VDD2 电源（请参阅 [功能方框图](#)），这意味着，在较大的电流开始流向 OUT 引脚前，不能将该输出拉高到超过 VDD2 电源 500mV。特别是，如果 VDD2 为 GND2 电平，该开漏输出会被钳位至一个高于地的二极管电压。这种行为由图 6-5 至图 6-10 中的灰色阴影表示。

在系统级别上，开漏信号线的 CMTI 性能取决于上拉电阻的值。在具有高压摆率（高 dV/dt ）的共模瞬态事件期间，由于印刷电路板 (PCB) 高侧和低侧之间的寄生电容耦合，开漏信号线可能被拉至低电平。寄生耦合对信号电平的影响是上拉强度的函数，上拉电阻值越小，CMTI 性能越好。AMC21C12 的特点是上拉电阻值较弱，为 10k Ω ，以确保在具有 4.7k Ω 或更低的上拉电阻的典型应用中满足指定的 CMTI 性能。

6.3.4.1 透明输出模式

当 LATCH 引脚被拉至低电平时，器件被设置为透明模式，从而允许输出状态发生变化并跟随输入信号相对于编程跳变阈值的情况。例如，当输入信号上升到跳变阈值以上时，OUT 引脚会被拉至低电平。当输入信号降至跳变阈值以下时，输出会返回到默认的高电平输出状态。在透明模式下使用该器件的一个常见实现是将 OUT 引脚连接到控制器上的硬件中断输入。一旦器件检测到存在超出范围的情况并且 OUT 引脚被拉至低电平，控制器中断端子会检测到输出状态变化并开始更改系统工作情况来解决超出范围问题。

6.3.4.2 锁存输出模式

一些应用不具备通过持续检测 OUT 引脚状态来检测过流状况的能力。此应用的典型示例是，系统仅能够定期轮询 OUT 端子状态来确定该系统是否正常运行。在此类应用中，将器件设置为透明模式后，如果超出范围的情况未在定期轮询期间出现，则可能会错过 OUT 引脚的状态变化。

锁存模式专用于此类应用。通过将 LATCH 端子上的电压设置为逻辑高电平，可将该器件置于锁存模式。锁存模式和透明模式之间的区别在于，输出在超出范围事件结束时的响应方式不同。在透明模式中，当输入信号降至跳变阈值以下时，输出状态会返回默认高电平设置，以指示超出范围事件已结束。

在锁存模式下，检测到超出范围事件且 OUT 引脚被拉至低电平后，如果输入信号降至跳变阈值电平以下，则 OUT 引脚不会恢复到默认的高电平状态。若要清除该事件，必须将 LATCH 端子拉至低电平，并至少持续 4 μ s。只有输入信号降至跳变阈值以下，通过将 LATCH 引脚拉至低电平，OUT 引脚可以返回到默认的高电平状态。如果将 LATCH 引脚拉至低电平时输入信号仍高于阈值，则 OUT 端子会保持低电平。当系统控制器检测到超出范围事件时，LATCH 引脚可以恢复到高电平状态，以使器件恢复到锁存模式。

6.3.5 上电和断电行为

当低侧电源 (VDD2) 开启时, 开漏输出以高阻抗状态 (高阻态) 上电。上电后, 如果高侧还未正常运行, 输出会主动拉至低电平。这种情况在低侧启动时间加上高侧故障检测延迟时间 ($t_{LS,STA} + t_{HS,FLT}$) 之后发生, 如图 6-5 所示。类似地, 如果正常工作期间高侧电源电压降至欠压阈值 ($VDD1_{UV}$) 以下并且持续时间超过高侧故障检测延迟时间, 则开漏输出被拉至低电平, 如图 6-8 所述。此延迟让系统能够在高侧电源缺失时可靠地关断。

比较器高侧和低侧之间的通信具有一定的延迟, 即高侧消隐时间 ($t_{HS,BLK}$, 在高压侧实现的时间常数), 以便 REF 引脚的电压能够建立, 同时避免在上电期间意外切换比较器输出。

图 6-5 至图 6-10 展示了典型的上电和断电情况。

在图 6-5 中, 低侧电源 (VDD2) 开启, 但高侧电源 (VDD1) 保持关闭。输出以高阻态上电。经过 $t_{HS,FLT}$ 后, OUT 被拉至低电平, 指示高侧出现无电源故障。

在图 6-6 中, 高侧电源 (VDD1) 在低侧电源 (VDD2) 开启很长时间后开启。输出最初处于低电平有效状态; 请参阅图 6-5。在高侧电源启用后, 需要保持一段时间 ($t_{HS,STA} + t_{HS,BLK}$), 器件才会正常运行, 并且输出会反映比较器的当前状态。

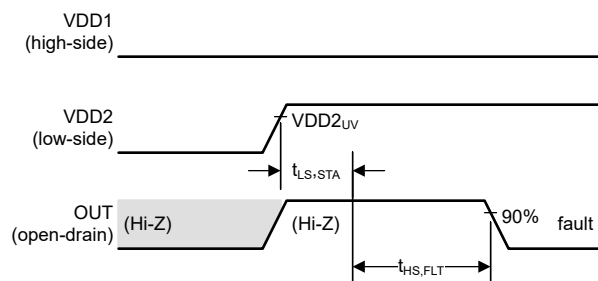


图 6-5. VDD2 开启且 VDD1 保持关闭

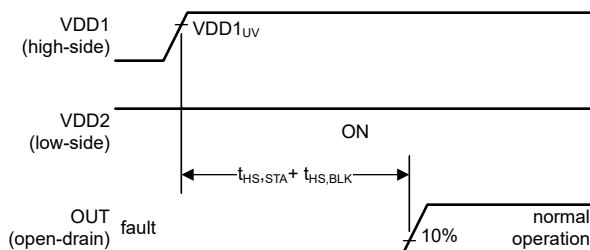


图 6-6. VDD2 保持开启; VDD1 开启
(长延迟)

在图 6-7 中, 低侧电源 (VDD2) 开启, 然后在短暂延迟后, 高侧电源 (VDD1) 开启。输出最初处于高阻态。高侧故障检测延迟 ($t_{HS,FLT}$) 短于高侧消隐时间 ($t_{HS,BLK}$), 因此在经过 $t_{HS,FLT}$ 后, 输出被拉至低电平, 指示高侧还未正常工作。经过高侧消隐时间 ($t_{HS,BLK}$) 后, 器件才会正常运行, 并且输出会反映比较器的当前状态。

在图 6-8 中, 高侧电源 (VDD1) 关闭, 接着低侧电源 (VDD2) 关闭。经过高侧故障检测延迟时间 ($t_{HS,FLT}$) 后, 输出主动拉至低电平。一旦 VDD2 降至 $VDD2_{UV}$ 阈值以下, 输出便会进入高阻态。

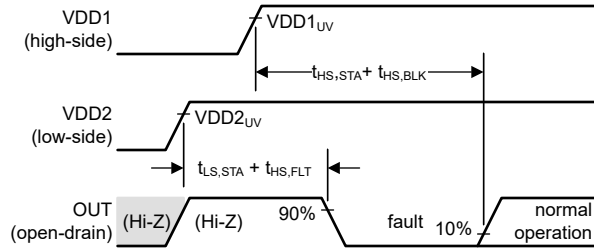


图 6-7. VDD2 和 VDD1 先后开启
(短暂延迟)

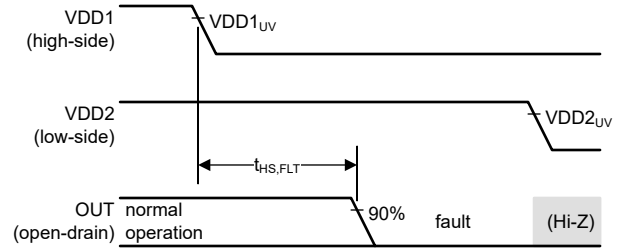


图 6-8. VDD1 和 VDD2 先后关闭

在图 6-9 中，低侧电源 (VDD2) 会在高侧完全上电后 (VDD1 与 VDD2 之间的延迟大于 $(t_{HS,STA} + t_{HS,BLK})$) 开启。输出以高阻态启动。经过低侧启动时间 ($t_{LS,STA}$) 后，器件会进入正常工作状态。

在图 6-10 中，低侧电源 (VDD2) 会关闭，接着高侧电源 (VDD1) 会关闭。一旦 VDD2 降至 VDD2_{UV} 阈值以下，输出会进入高阻态。

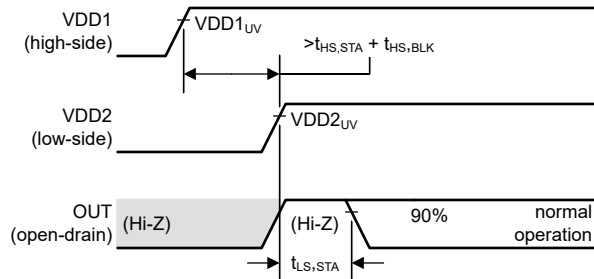


图 6-9. VDD1 和 VDD2 先后开启
(长延迟)

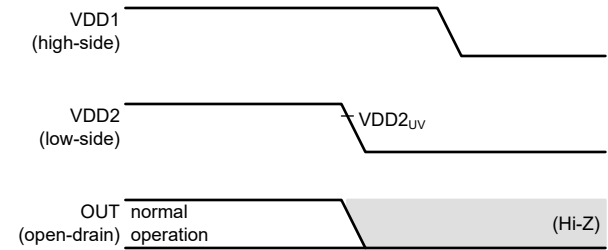


图 6-10. VDD2 和 VDD1 先后关闭

6.3.6 VDD1 欠压和失去电源行为

欠压是指这样一种情况：VDD1 电源电压降至规定的工作电压范围以下，但器件仍工作正常。失去电源是指这样一种情况：VDD1 电源电压降至某个电平以下，此时器件将停止工作。根据持续时间和电压电平，在器件的输出端可能会也可能不会注意到欠压情况。失去电源情况则始终会体现在隔离比较器的输出端。

图 6-11 至图 6-13 显示了典型的欠压和失去电源情况。

在图 6-11 中，VDD1 降至欠压检测阈值 ($VDD1_{UV}$) 以下，但在高侧故障检测延迟时间 ($t_{HS,FLT}$) 过期之前恢复正常。该欠压事件对比较器输出没有影响。

在图 6-12 中，VDD1 降至欠压检测阈值 ($VDD1_{UV}$) 以下并且持续时间超过高侧故障检测延迟时间 ($t_{HS,FLT}$)。欠压情况被检测为故障，同时在经过 $t_{HS,FLT}$ 的延迟后，输出会被拉至低电平。一旦 VDD1 恢复到 $VDD1_{UV}$ 阈值以上，器件就会恢复正常工作。

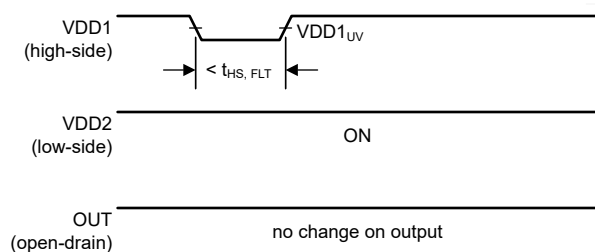


图 6-11. VDD1 上短暂欠压事件的输出响应

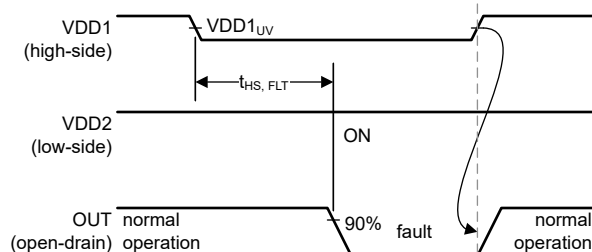


图 6-12. VDD1 上较长欠压事件的输出响应

在图 6-13 中，VDD1 降至上电复位 (POR) 阈值 ($VDD1_{POR}$) 以下。失去电源情况被检测为故障，同时在经过 $t_{HS,FLT}$ 延迟后，输出会被拉至低电平。VDD1 恢复到 $VDD1_{UV}$ 阈值以上后，器件会在经过 $t_{HS,STA} + t_{HS,BLK}$ 延迟后恢复正常运行。

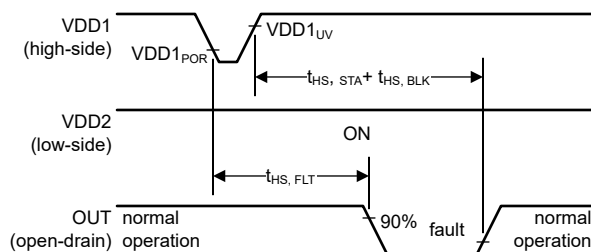


图 6-13. VDD1 上失去电源事件的输出响应

6.4 器件功能模式

施加电源电压 VDD1 和 VDD2 时，AMC21C12 器件可正常运行，如 [建议运行条件](#) 表中所述。

当 REF 引脚上的电压低于 V_{MSEL} 阈值时，高侧的两个比较器一同用作一个窗口比较器。如果 REF 引脚上的电压超过 V_{MSEL} 阈值，负比较器 (Cmp0) 将被禁用，而 Cmp1 用作一个具有更高迟滞的正比较器，如 [基准输入](#) 一节中所述。

该器件具有透明模式和锁存模式这两种输出工作模式，具体根据 LATCH 输入引脚设置来选择。这两个模式会影响 OUT 引脚对输入信号条件变化的响应方式。详细信息，请参阅 [开漏数字输出](#) 一节。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

AMC21C12 具有低响应时间、高共模瞬态抗扰度 (CMTI) 和电隔离栅，能够在恶劣和嘈杂的环境中提供快速可靠的过流和过压检测。

7.2 典型应用

7.2.1 过流检测

直流链路过流检测是直流/直流转换器和电机控制应用的一项常见要求，可以使用 AMC21C12 隔离式窗口比较器来实现，如图 7-1 所示。

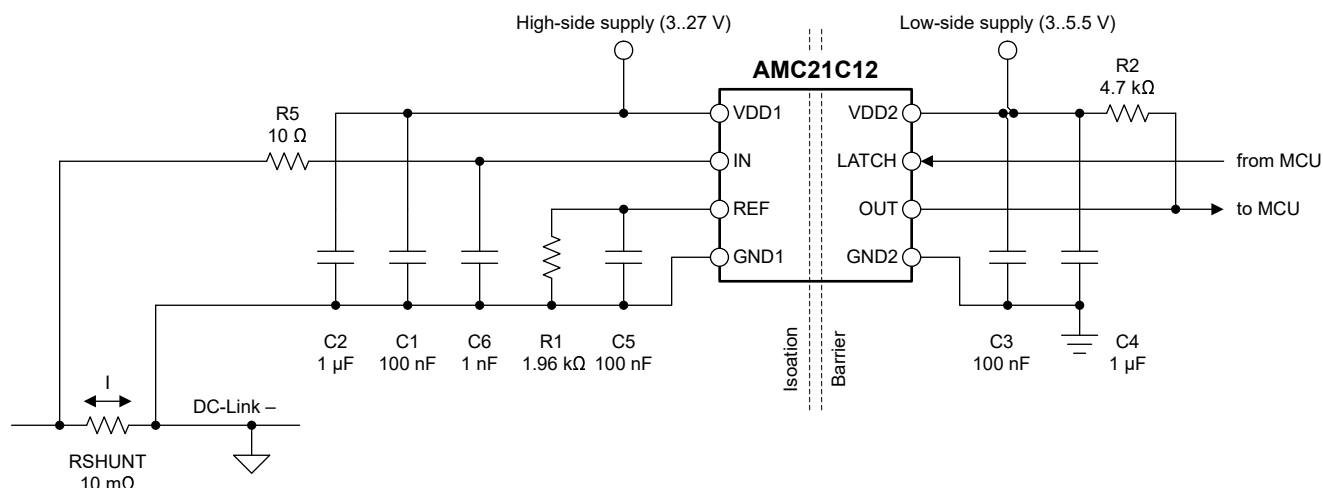


图 7-1. 使用 AMC21C12 进行过流检测

流经外部分流电阻器 RSHUNT 的负载电流会产生压降，该压降与过流检测阈值（通过外部电阻 R1 进行设置）进行比较。每当分流电阻器上的压降在正向或负向上超过阈值 (V_{REF}) 时，AMC21C12 就会通过拉低开漏输出 OUT 来发出过流事件的信号。

高侧的集成低压差 (LDO) 稳压器允许将 VDD1 输入直接连接到常用的栅极驱动器电源。AMC21C12 具有快速响应时间和高共模瞬态抗扰度 (CMTI)，即使在高噪声环境中，也能可靠、准确地工作。

7.2.1.1 设计要求

表 7-1 列出了图 7-1 中应用示例的参数。

表 7-1. 设计要求

参数	值
高侧电源电压	3V 至 27V
低侧电源电压	2.7V 至 5.5V
最大峰值电机电流	±25A
过流检测阈值	±20A
电机电流峰值时分流电阻器上的压降	±250mV
分流电阻器值	10mΩ

7.2.1.2 详细设计过程

本例中的分流电阻值为 10mΩ，并且该值取决于峰值电机电流下的目标压降（±25A 时为 ±250mV）。虽然 ±250mV 这个值有点武断，但对于可用于测量同一分流电阻器上的电流的隔离式电流检测放大器，这个值与该放大器的线性输入电压范围非常吻合。

在所需的 20A 过流检测电平条件下，分流电阻器上的压降为 $10\text{m}\Omega \times 20\text{A} = 200\text{mV}$ 。窗口比较器的正向跳变阈值为 $V_{\text{REF}} + V_{\text{HYS}}$ ，其中 V_{HYS} 为 4mV（如 [电气特性](#) 表中所示），而 V_{REF} 为连接在 REF 与 GND1 引脚之间的 R1 上的电压。R1 的计算公式为 $(V_{\text{TRIP}} - V_{\text{HYS}}) / I_{\text{REF}} = (200\text{mV} - 4\text{mV}) / 100\mu\text{A} = 1.96\text{k}\Omega$ ，并与 E96 系列中的值匹配（1% 准确度）。

比较器的输入端放置了一个 10Ω、1nF RC 滤波器（R5、R6），用于过滤输出信号并降低噪声敏感度。该滤波器增加了 $10\Omega \times 1\text{nF} = 10\text{ns}$ 的传播延迟，在计算保护电路的总体响应时间时必须考虑该延迟。如果系统可以承受额外的延迟，那么最好使用较大的滤波常数有助于提高噪声抗扰度。

表 7-2 汇总了该设计的关键参数。

表 7-2. 过流检测设计示例

参数	值
基准电阻值 (R1)	1.96kΩ
基准电容值 (C5)	100nF
基准电压	196mV
上电时的基准电压稳定时间 ⁽¹⁾	470μs
过流跳变阈值（上升）	200mV/20.0A
过流跳变阈值（下降）	196mV/19.6A

(1) 达到最终值的 90% 所需要的稳定时间。通过仿真确定。上电期间必须考虑稳定时间，如 [基准输入](#) 一节所述。

7.2.1.3 应用曲线

图 7-2 展示了 AMC21C12 对振幅为 720mV_{PP} 的双极三角输入波形的典型响应。当 V_{IN} 超过由 REF 引脚电压 (在本示例中偏置至 250mV) 确定的 $\pm 250\text{mV}$ 电平时, 输出 (OUT) 将切换。

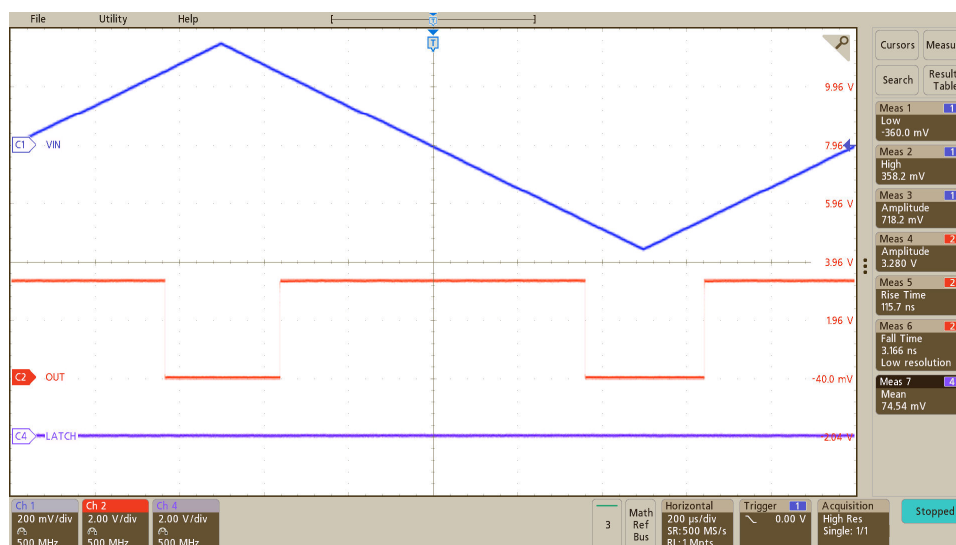
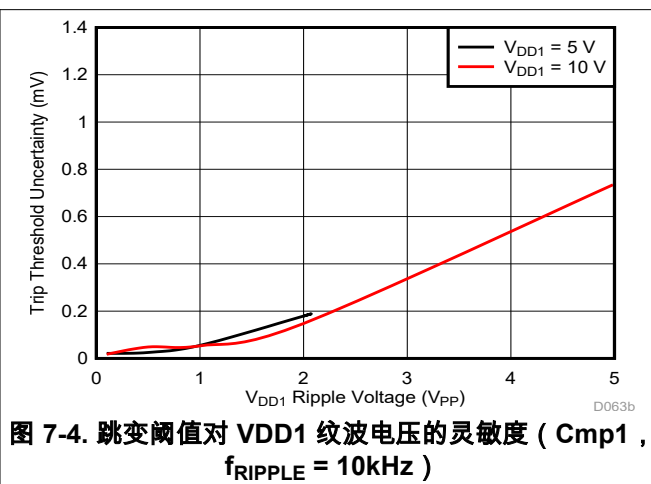
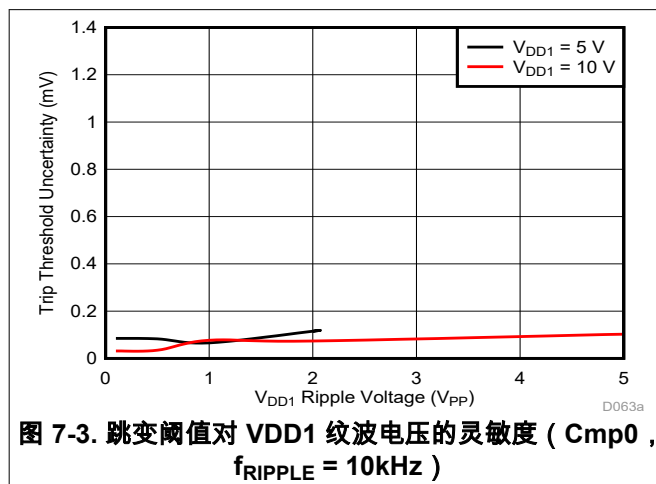


图 7-2. AMC21C12 对三角输入波形的输出响应

AMC21C12 的集成 LDO 极大地放宽了高压侧的电源要求, 并允许通过非稳压变压器、电荷泵和自举电源为器件供电。如下图所示, 内部 LDO 为内部电路提供稳定的工作电压, 即使在 $2V_{\text{PP}}$ 及更高的纹波电压下, 跳变阈值也能保持基本不受干扰。



7.2.2 过压检测

图 7-5 展示了 AMC21C12 在监测 48V 电源这种典型应用中可以检查输出是高于还是低于电源正常阈值。分压器 (R5 和 R6) 的大小设定为可以在 48V 电源超过电源正常阈值时让隔离式比较器跳变。

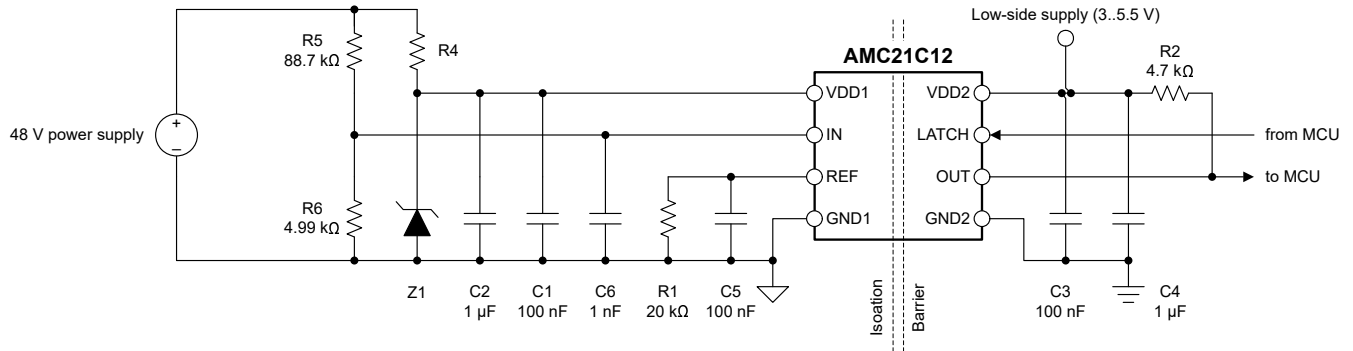


图 7-5. 使用 AMC21C12 监测 48V 电源

7.2.2.1 设计要求

表 7-3 列出了图 7-5 中应用示例的参数。

表 7-3. 设计要求

参数	值
低侧电源电压	3V 至 5.5V
48V 电源的电源正常阈值	38V
在标称电源电压 (48V) 时流经电阻分压器 (R5 + R6) 的电流	500μA
比较器跳变阈值 (V_{TRIP})	2V

7.2.2.2 详细设计过程

隔离式比较器的跳变阈值由外部电阻 R1 和 AMC21C12 的内部 100μA 电流源共同确定。R1 的计算方式为 $(V_{TRIP} - V_{HYS}) / I_{REF} = (2V - 25mV) / 100μA = 19.75kΩ$ 。从 V_{TRIP} 中减去比较器迟滞电压 (V_{HYS})，因为比较器在 $V_{REF} + V_{HYS}$ 处跳变，请参阅图 6-1。由于基准电压大于 550mV，迟滞值为 25mV，如 [基准输入](#) 章节中所述。R1 向上取整为 E96 系列下一个最接近的值，即 20kΩ，从而产生 2.025V 的跳变阈值 (输入上升)。该值是电源正常阈值为 38V 时 R6 上的目标电压值。

在标称电源电压 (48V) 下，通过电阻分压器 (R5 和 R6) 的 500μA 交叉电流要求决定了电阻分压器的总阻抗为 $48V / 500μA = 96kΩ$ 。在目标电源正常阈值为 38V 时，流经电阻分压器的电流为 $38V / 48V \times 500μA = 395.8μA$ ，R6 计算公式为 $2.025V / 395.8μA = 5.115kΩ$ 。E96 系列中最接近的值为 4.99kΩ。R5 的计算公式为 $96kΩ - 4.99kΩ = 91.01kΩ$ 。E96 系列中最接近的值为 88.7kΩ

表 7-4 汇总了该设计的关键参数。

表 7-4. 过压和欠压检测设计示例

参数	值
基准电阻值 (R1)	20.0kΩ
R5 电阻值	88.7kΩ
R6 电阻值	4.99kΩ
基准电压 (V _{REF})	2000mV
上电时的基准电压稳定时间 ⁽¹⁾	4.6ms
电源正常状态跳变阈值 (上升)	38.0V
电源正常状态跳变阈值 (下降)	37.5V

(1) 达到最终值的 90% 所需要的稳定时间。通过仿真确定。上电期间必须考虑稳定时间，如 [基准输入](#) 一节所述。

7.2.2.3 应用曲线

[过流检测](#) 一节中的 [应用曲线](#) 也适用于此应用。

7.3 优秀设计实践

检测电阻低侧与 AMC21C12 GND1 引脚之间应保持较短的低阻抗连接。接地线上的任何压降都会增加比较器输入端检测到的电压误差，并导致跳变阈值不准确。

为了获得最佳的共模瞬态抗扰度，应将滤波电容器 C5 尽可能靠近 REF 引脚放置，如 [图 7-7](#) 所示。如 [开漏数字输出](#) 一节所述，在开漏输出上使用低值上拉电阻 (<10kΩ)，以最大限度地减少共模瞬态事件期间电容耦合对开漏信号线的影响。

对于双向电流检测应用，请勿超过 [建议运行条件](#) 表中规定的 300mV V_{REF} 限值。请勿在 REF 引脚偏置接近 V_{MSEL} 阈值 (450mV 至 600mV 范围) 的情况下运行该器件，以避免 Cmp0 迟滞出现动态切换，如 [基准输入](#) 一节所述。

AMC21C12 提供了有限的 200μs 消隐时间 (t_{HS,BLK})，以便在启动期间使基准电压 (V_{REF}) 趋稳。对于许多应用而言，基准电压趋稳所需的时间都要超过 200μs 消隐时间，并且比较器的输出可能会在系统启动期间出现短时脉冲波干扰，如 [图 6-2](#) 所示。在整个系统启动设计中需要考虑基准电压建立时间。

7.4 电源相关建议

AMC21C12 无需任何特定的上电时序。高侧电源 (VDD1) 通过与低 ESR、1 μ F 电容器 (C2) 并联的低 ESR、100nF 电容器 (C1) 进行去耦。低侧电源 (VDD2) 同样通过与低 ESR、1 μ F 电容器 (C4) 并联的低 ESR、100nF 电容器 (C3) 进行去耦。将所有四个电容器 (C1、C2、C3 和 C4) 尽可能靠近器件放置。图 7-6 展示了 AMC21C12 的去耦示意图。

对于高 VDD1 电源电压 (>5.5V)，可将 VDD1 电源与 10 Ω 电阻器 (R4) 串联在一起以进行额外的滤波。

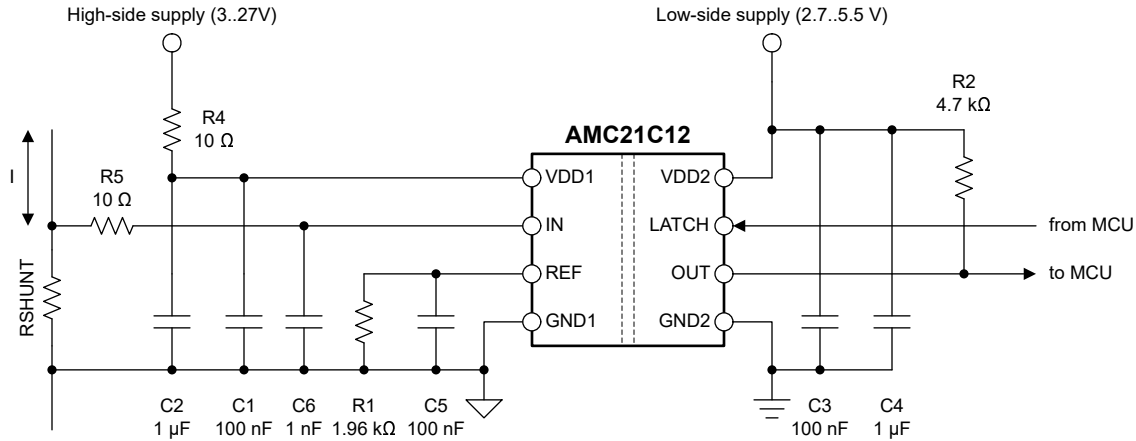


图 7-6. 去耦 AMC21C12

在应用中出现的适用直流偏置条件下，电容器必须能够提供足够的有效电容。在实际条件下，通常仅使用多层陶瓷电容器 (MLCC) 标称电容的一小部分，因此在选择这些电容器时，必须考虑到这个因素。此问题在低厚度电容器中尤为严重，在该类电容器中，电容器越薄，电介质电场强度越大。知名电容器制造商提供了电容与直流偏置关系曲线，这大大简化了元件的选型。

7.5 布局

7.5.1 布局指南

图 7-7 给出了布局建议，其中说明了去耦电容器的关键布局（尽可能靠近 AMC21C12 电源引脚放置）以及器件所需的其他组件的放置方式。

7.5.2 布局示例

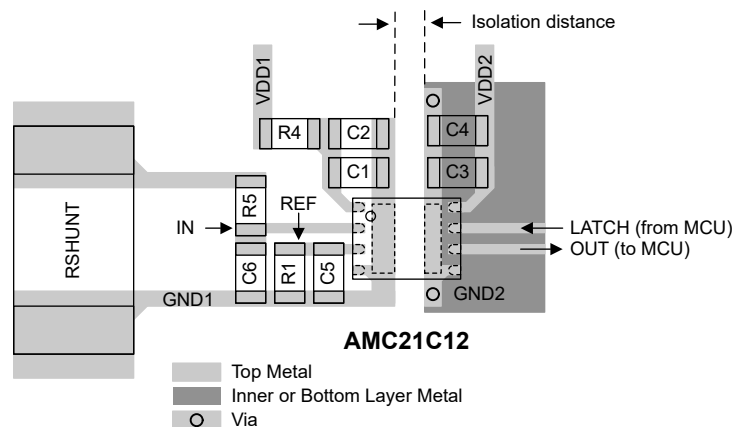


图 7-7. 建议布局 AMC21C12

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [隔离相关术语 应用手册](#)
- 德州仪器 (TI), [半导体和 IC 封装热指标 应用手册](#)
- 德州仪器 (TI), [ISO72x 数字隔离器磁场抗扰度 应用手册](#)
- 德州仪器 (TI), [隔离放大器电压检测 Excel 计算器设计工具](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (September 2023) to Revision A (December 2023)

Page

- | Changes from Revision * (September 2023) to Revision A (December 2023) | Page |
|--|------|
| • 将文档状态从 预告信息 更改为 量产数据 | 1 |

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC21C12DENR	Active	Production	VSON (DEN) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C21C12
AMC21C12DENR.A	Active	Production	VSON (DEN) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C21C12
AMC21C12DENR.B	Active	Production	VSON (DEN) 8	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C21C12

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

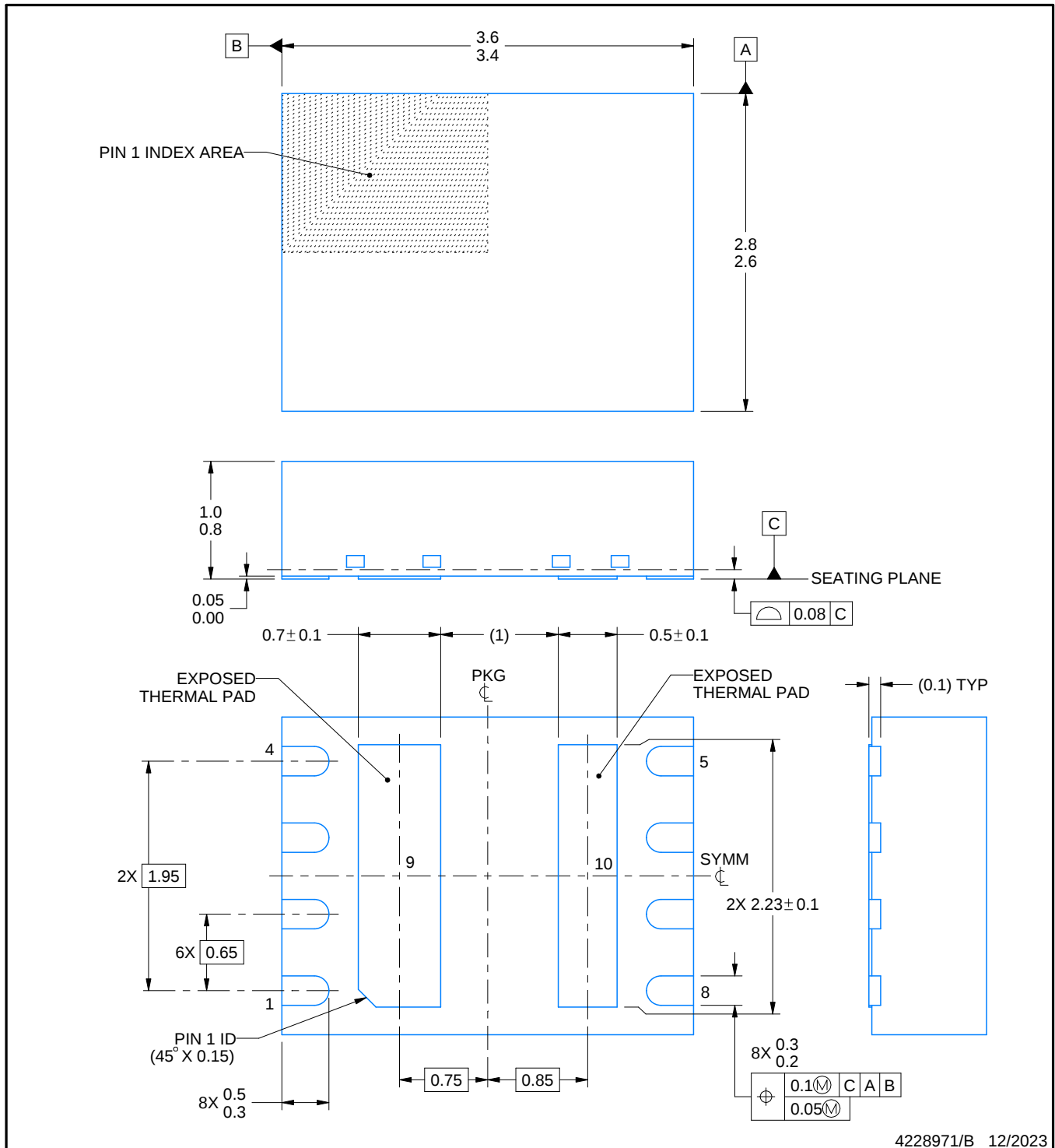
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC21C12DENR	VSON	DEN	8	1000	330.0	12.4	3.0	3.8	1.2	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC21C12DENR	VSON	DEN	8	1000	346.0	346.0	33.0



4228971/B 12/2023

NOTES:

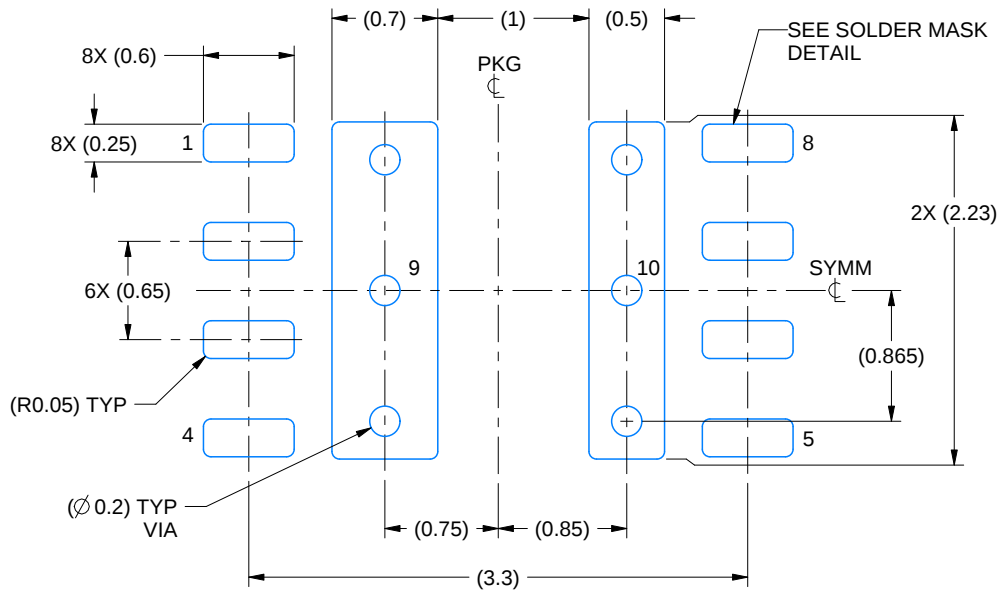
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

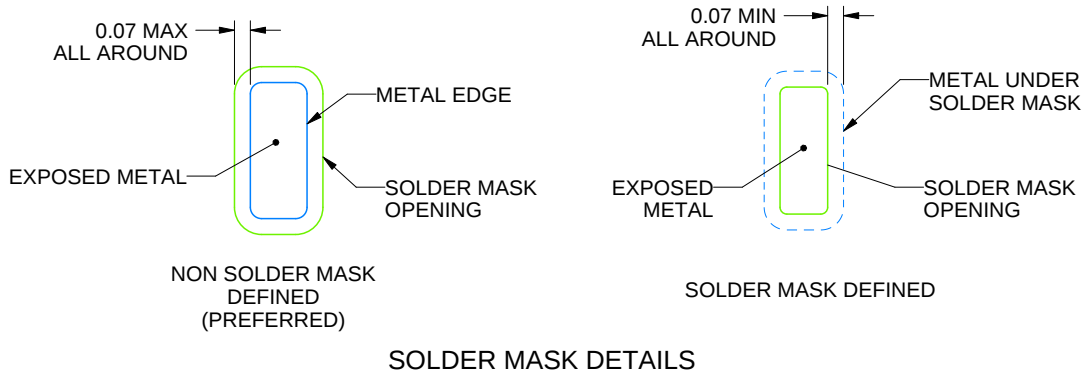
DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4228971/B 12/2023

NOTES: (continued)

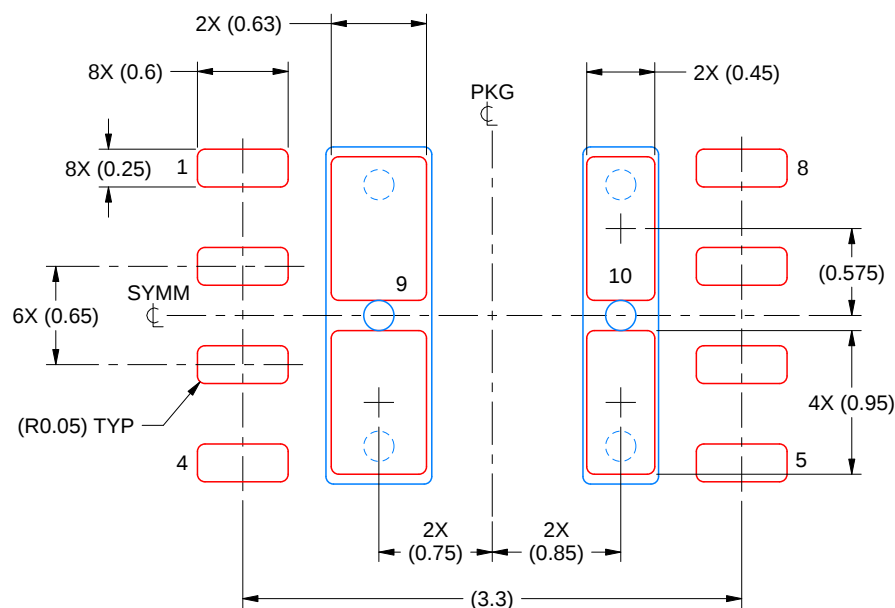
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 9 & 10: 77%

4228971/B 12/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司