TEXAS INSTRUMENTS
AMC131M02
ZHCST20 – SEPTEMBER 2023

AMC131M02 具有集成直流/直流转换器的 2 通道、64kSPS、同步采样、24 位增强型隔离式 Δ-Σ ADC

1 特性

- 两个具有差分输入的隔离式同步采样 Δ-Σ ADC
- 单电源运行（3.3V 或 5V），具有集成直流/直流转换器
- 低 EMI：符合 CISPR-11 和 CISPR-25 标准
- 可编程数据速率高达 64kSPS
- 可编程增益高达 128
- 低漂移内部电压基准
- 具有循环冗余校验 (CRC) 功能的 4 线 SPI 接口
- 安全相关认证：
  - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 7070V_{PEAK} 增强型隔离
  - 符合 UL1577 标准且长达 1 分钟的 5000V_{RMS} 隔离
- 封装：20 引脚宽体 SOIC

2 应用

- 电表：商业和住宅
- 断路器
- 电动汽车充电站
- 电池管理系统

3 说明

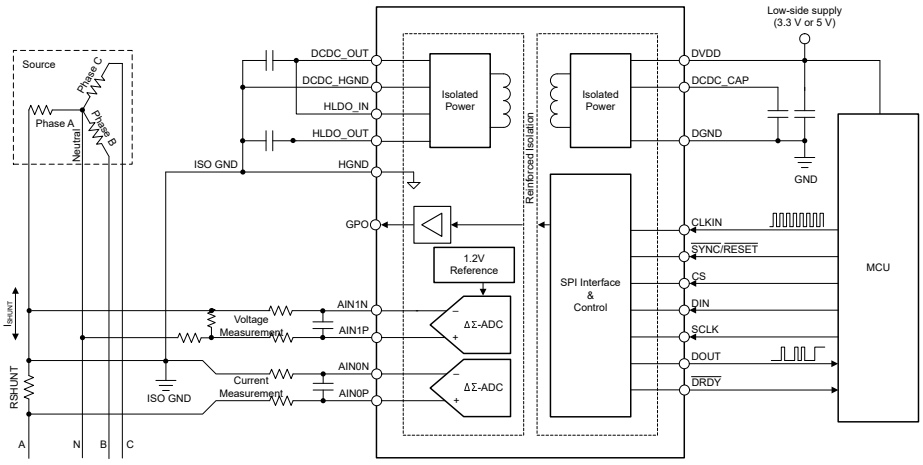
AMC131M02 是一款精密的双通道数据和电源隔离式同步采样 24 位 Δ-Σ 模数转换器 (ADC)。AMC131M02 具有宽动态范围、低功耗和特定于电能测量的功能，非常适合电能计量和功率计量应用。由于该器件具有高输入阻抗，因此 ADC 输入可直接连接到电阻分压器网络或分流传感器。

AMC131M02 具有完全集成的隔离式直流/直流转换器，能实现器件低侧的单电源运行。增强型电容隔离栅已通过 VDE 0884-17 和 UL1577 认证。该隔离栅将在不同共模电压电平下运行的系统器件分开，并保护低压器件免受损坏，使 AMC131M02 成为使用分流传感器的多相电能计量应用的理想选择。

封装信息

器件型号	封装(1)	封装尺寸(2)
AMC131M02	DFM（SOIC，20）	12.8mm x 10.3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



AMC131M02 在电能计量中的典型应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....5
6.5 绝缘规格.....6
6.6 安全相关认证.....7
6.7 安全限值.....7
6.8 电气特性.....8
6.9 时序要求.....11
6.10 开关特性.....11
6.11 时序图.....12
6.12 典型特性.....13
7 参数测量信息.....16
7.1 噪声测量.....16
8 详细说明.....18
8.1 概述.....18
8.2 功能方框图.....18
8.3 特性说明.....18
8.4 器件功能模式.....31
8.5 编程.....38
8.6 AMC131M02 寄存器.....50
9 应用和实现.....70
9.1 应用信息.....70
9.2 典型应用.....74
9.3 电源相关建议.....79
9.4 布局.....80
10 器件和文档支持.....82
10.1 文档支持.....82
10.2 接收文档更新通知.....82
10.3 支持资源.....82
10.4 商标.....82
10.5 静电放电警告.....82
10.6 术语表.....82
11 机械、封装和可订购信息.....82

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
2023 年 9 月	*	初始发行版

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

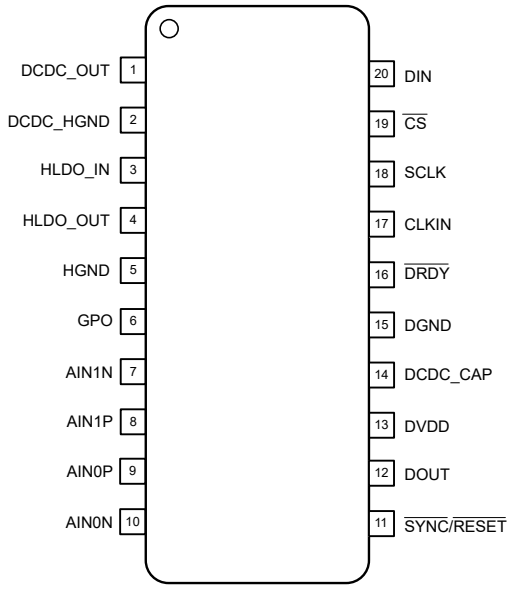


图 5-1. DFM 封装、 20 引脚 SOIC （ 顶视图 ）

表 5-1. 引脚功能

引脚		类型	说明(1)
编号	名称		
1	DCDC_OUT	电源	直流/直流转换器的高侧输出。将该引脚连接至 HLDO_IN 引脚。(2)
2	DCDC_HGND	电源	直流/直流转换器的高侧接地基准。将该引脚连接至 HGND 引脚。(2)
3	HLDO_IN	电源	高侧低压降 (LDO) 稳压器的输入。将该引脚连接至 DCDC_OUT 引脚。(2)
4	HLDO_OUT	电源	高侧 LDO 的输出。(2)
5	HGND	电源	高侧模拟信号接地。将该引脚连接至 DCDC_HGND 引脚。
6	GPO	数字输出	通用输出。
7	AIN1N	模拟输入	负模拟输入 1。
8	AIN1P	模拟输入	正模拟输入 1。
9	AIN0P(3)	模拟输入	正模拟输入 0。
10	AIN0N(3)	模拟输入	负模拟输入 0。
11	$\overline{SYNC/RESET}$	数字输入	转换同步或系统复位；低电平有效。
12	DOUT	数字输出	串行数据输出。
13	DVDD	电源	低侧模拟和数字电源。(2)
14	DCDC_CAP	电源	直流/直流转换器的低侧输入，在内部连接到初级侧 LDO 的输出。(2)
15	DGND	电源	低侧模拟和数字接地。(2)
16	$\overline{DRDY}$	数字输出	数据就绪；低电平有效。
17	CLKIN	数字输入	主时钟输入。
18	SCLK	数字输入	串行数据时钟。
19	$\overline{CS}$	数字输入	片选；低电平有效。
20	DIN	数字输入	串行数据输入。

(1) 有关如何连接未使用的引脚的详细信息，请参阅*未使用的输入和输出*一节。
(2) 有关电源去耦方面的建议，请参阅*电源相关建议*部分。
(3) 将 AIN0P 和 AIN0N 用于精度要求最严格的测量。

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

请参阅 (1)

		最小值	最大值	单位
电源电压	DVDD 至 DGND	–0.3	6.5	V
	DCDC_CAP 至 DGND	–0.3	3.5	
模拟输入电压	AINxP、AINxN	HGND – 1.6	HGND + 2.7	V
数字输入电压	$\overline{CS}$、CLKIN、DIN、SCLK、$\overline{SYNC}$/$\overline{RESET}$	DGND – 0.3	DVDD + 0.3	V
输入电流	连续，除电源引脚外的所有引脚	-10	10	mA
温度	结温，T_J		150	°C
	贮存温度，T_{stg}	–60	150	

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
V_{DVDD}	低侧电源	DVDD 至 GND	3	3.3	5.5	V
模拟输入						
V_{AINxP}、V_{AINxN}	绝对输入电压 (1)	增益 = 1、2 或 4	HGND – 1.3		HGND + 2.7	V
		增益 = 8、16、32、64 或 128	HGND – 1.3		HGND + 0.9	
V_{IN}	差分输入电压	$V_{IN} = V_{AINxP} – V_{AINxN}$	$–V_{REF}$/增益		V_{REF}/增益	V
外部时钟源						
N_{DIV}	时钟分频器比	CLKIN 上的信号进行 N_{DIV} 分频以生成调制器时钟	2		12	
f_{CLKIN}	CLKIN 引脚的外部时钟频率	高分辨率模式	$1.4 • N_{DIV}$	$4.096 • N_{DIV}$	$4.1 • N_{DIV}$	MHz
		低功耗模式	$1.4 • N_{DIV}$	$2.048 • N_{DIV}$	$2.05 • N_{DIV}$	
	占空比		40%	50%	60%	
数字输入						
	输入电压		DGND		DVDD	V
温度范围						
T_A	工作环境温度		-40		125	°C

(1) 下标“x”表示通道。例如，通道 0 的正模拟输入名为 AIN0P。有关引脚名称，请参阅*引脚配置和功能*一节。

Copyright © 2023 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		DFM (SOIC)	单位
		20 个引脚	
$R_{\theta JA}$	结至环境热阻	68.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	24.6	°C/W
$R_{\theta JB}$	结至电路板热阻	53.7	°C/W
Ψ_{JT}	结至顶部特征参数	17.1	°C/W
Ψ_{JB}	结至电路板特征参数	50.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2023 Texas Instruments Incorporated

6.5 绝缘规格

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	值	单位
常规				
CLR	外部间隙(1)	引脚间的最短空间距离	≥ 8.0	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	≥ 8.0	mm
DTI	绝缘穿透距离	双重绝缘层的最小内部缝隙（内部间隙）	≥ 0.021	mm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	≥ 600	V
	材料组别	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600 V_{RMS}	I-III	
		额定市电电压 ≤ 1000 V_{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大重复峰值隔离电压(2)	在交流电压下	1700	V_{PK}
V_{IOWM}	最大额定隔离工作电压(2)	在交流电压下（正弦波）	1200	V_{RMS}
		在直流电压下	1700	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7070	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中进行测试，符合 IEC 62368-1 的 1.2/50μs 方波	7700	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	在油中进行测试（合格测试） 符合 IEC 62368-1 的 1.2/50μs 方波	10000	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入/输出安全测试子组 2/3 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a，环境测试子组 1 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤ 5	
		方法 b1，预处理（类型测试）和常规测试， $V_{pd(ini)} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s，$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤ 5	
		方法 b2，常规测试（100% 生产）(7)， $V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$，$t_{ini} = t_m$ = 1s	≤ 5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.5V_{PP} (1MHz)	约 4.5	pF
R_{IO}	绝缘电阻，输入至输出(6)	V_{IO} = 500V (T_A = 25°C)	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≤ T_A ≤ 125°C)	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^9	
	污染等级		2	
	气候类别		40/125/21	
UL1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。务必使爬电距离和电气间隙一直符合电路板设计的要求，以确保在印刷电路板 (PCB) 上安装的隔离器焊盘不会缩短这一距离。在某些情况下，PCB 上的爬电距离和电气间隙相等。在 PCB 上插入坡口、肋或两者等技术可帮助提高这些规格。
(2) 该器件仅适用于安全等级范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全额定值。
(3) 在空气中进行测试，以确定封装的固有浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是由局部放电 (pd) 引起的电气放电。
(6) 将隔离栅每一侧的所有引脚都连在一起，构成一个双引脚器件。
(7) 生产中使用方法 b1 或 b2。

Copyright © 2023 Texas Instruments Incorporated

6.6 安全相关认证

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN IEC 62368-1 (VDE 0868-1)、 EN IEC 62368-1、 IEC 62368-1 条款：5.4.3；5.4.4.4；5.4.9	根据 1577 元件认证和 CSA 元件验收第 5 号计划进行了认证。
增强型绝缘	单一绝缘保护
证书编号：待定	文件编号：E181974

6.7 安全限值

安全限制(1)旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 73.5°C/W，DVDD = 5.5V，T_J = 150°C，T_A = 25°C			309	mA
		$R_{\theta JA}$ = 73.5°C/W，DVDD = 3.3V，T_J = 150°C，T_A = 25°C			472	
P_S	安全输入、输出或总电源	$R_{\theta JA}$ = 73.5°C/W，T_J = 150°C，T_A = 25°C			1700	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超过 I_S 和 P_S 的最大限值。这些限值随着环境温度 T_A 的变化而变化。
结至空气热阻 $R_{\theta JA}$ 是安装在引线式表面贴装封装高 K 测试板上的器件的热阻。可使用以下公式来计算各个参数的值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件上消耗的功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为最大结温。
$P_S = I_S \times VDD_{max}$，其中 VDD_{max} 为最大低侧电压。

Copyright © 2023 Texas Instruments Incorporated

6.8 电气特性

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C，且 DVDD = 3.0V 至 5.5V；典型值规格的条件为：T_A = 25°C，DVDD = 3.3V，并适用于通道 0；所有规格均在以下条件下测得：f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS，高分辨率模式，启用所有通道，禁用全局斩波模式，且增益 = 1（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
I_{IB}	输入偏置电流	AINxP = AINxN = HGND； $I_{IB} = (I_{IBP} + I_{IBN})/2$，增益 = 1、2 或 4		0.65	0.9	μA
		AINxP = AINxN = HGND； $I_{IB} = (I_{IBP} + I_{IBN})/2$，增益 = 8 至 128	-1.0	–0.65		
TCI_{IB}	输入偏置电流漂移		-1	±0.35	1 (2)	nA/°C
I_{IO}	输入失调电流	$I_{IO} = I_{IBP} – I_{IBN}$		±15		nA
R_{IN}	单端输入阻抗	AINxN = HGND，增益 = 1、2 或 4		250		kΩ
		AINxN = HGND，增益 = 8 至 128		0.5		MΩ
Z_{IND}	差分输入阻抗	(AINxN + AINxP)/2 = HGND， 增益 = 1、2 或 4		275		kΩ
		(AINxN + AINxP)/2 = HGND， 增益 = 8 至 128		1		MΩ
ADC 特性						
	分辨率		24			位
	增益设置		1、2、4、8、16、32、64、128			
f_{DATA}	数据速率	高分辨率模式，f_{CLKIN} = 8.192MHz， N_{DIV} = 2	250		64k	SPS
		低功耗模式，f_{CLKIN} = 4.096MHz， N_{DIV} = 2	125		32k	
	SPI 启动时间	在电源电压为 90% 至 SPI 接口为接受数据做好准备的范围内测量		0.3		ms
	转换器启动时间	在设置 DCDC 启用位至第一个 $\overline{DRDY}$ 下降沿（数据稳定至 0.1%，CLKIN 运行）的范围内测量		1.0		ms
ADC 性能						
INL	积分非线性	终点拟合		6		FSR 的 ppm 值
E_O	偏移误差（以输入为基准）	外部短路，T_A = 25°C	–100	±100	330	μV
		全局斩波模式， 默认全局斩波延迟，外部短路， T_A = 25°C	–100	6	100	
TCE_O	偏移误差漂移与温度之间的关系	外部短路	–0.5	±0.1	0.5 (3)	μV/°C
		全局斩波模式，外部短路	–0.3	±0.1	0.3 (3)	
E_G	增益误差	通道 0，T_A = 25°C，终点拟合	–0.2	±0.025	0.2	%
		通道 1，T_A = 25°C，终点拟合	-1	±0.1	1	
TCE_G	增益误差漂移与温度之间的关系	包括内部基准误差		8	25 (3)	ppm/°C
CMRR	共模抑制比	f_{IN} = 0Hz，$V_{CM\ min} \leqslant V_{IN} \leqslant V_{CM\ max}$		110		dB
		f_{IN} = 50Hz 或 60Hz， $V_{CM\ min} \leqslant V_{IN} \leqslant V_{CM\ max}$，$V_{AINP} = V_{AINN}$		110		
E_N	输入参考噪声			10		μV_{RMS}

Copyright © 2023 Texas Instruments Incorporated

6.8 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C，且 DVDD = 3.0V 至 5.5V；典型值规格的条件为：T_A = 25°C，DVDD = 3.3V，并适用于通道 0；所有规格均在以下条件下测得：f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS，高分辨率模式，启用所有通道，禁用全局斩波模式，且增益 = 1（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
DR	动态范围	增益 = 1		98		dB
		增益 = 32，通道 0		80		
		所有其他增益设置		请参阅表 7-2		
	串扰	从一个通道到其他任一通道；AINxP 上的 f_{IN} = 50Hz 或 60Hz，AINxN = HGND		–120		dB
SNR	信噪比	f_{IN} = 50Hz 或 60Hz，增益 = 1，V_{IN} = –0.5dBFS，归一化		98		dB
		f_{IN} = 50Hz 或 60Hz，增益 = 32，通道 0，V_{IN} = –0.5dBFS，归一化		80		
THD	总谐波失真	f_{IN} = 50Hz 或 60Hz（高达 5 个谐波），V_{IN} = –0.5dBFS		-102	–94 (3)	dB
SFDR	无杂散动态范围	f_{IN} = 50Hz 或 60Hz，V_{IN} = -0.5dBFS		105		dB
CMTI	共模瞬态抗扰度		100	150		V/ns
内部电压基准						
V_{REF}	内部基准电压			1.2		V
数字输入/输出						
V_{IL}	逻辑输入电平，低		DGND		0.2 DVDD	V
V_{IH}	逻辑输入电平，高		0.8 DVDD		DVDD	V
V_{OL}	逻辑输出电平，低	I_{OL} = -1mA			0.2 DVDD	V
V_{OH}	逻辑输出电平，高	I_{OH} = 1mA	0.8 DVDD			V
I_{IN}	输入电流	DGND < $V_{Digital\ Input}$ < DVDD	-1		1	µA
C_{IN}	输入电容			1		pF
C_{LOAD}	输出负载电容			15	30	pF
高侧数字输出						
R_{GPO}	高侧 GPO 输出阻抗	驱动 0		100		Ω
		驱动 1		115		
I_{GPO}	高侧 GPO 负载电流				1	mA
电源						
I_{DVDD}	低侧电源电流(1)	高分辨率模式		18	23	mA
		低功耗模式		15.5	20	
		待机模式，禁用所有通道，不应用时钟		160	210	µA
P_D	功率耗散	高分辨率模式		60		mW
		低功耗模式，f_{CLKIN} = 4.096MHz		51		
		待机模式，禁用所有通道，不应用时钟		525		µW
V_{DCDC_OUT}	直流/直流输出电压	DCDC_OUT 至 HGND，启用所有通道，T_A = 25°C		3.0		V
V_{HLDO_OUT}	高侧 LDO 输出电压	HLDO_OUT 至 HGND，无外部负载，启用任何通道	2.6	2.9	3.2	V
		HLDO_OUT 至 HGND，HLDO_OUT 上有 1mA 外部负载，启用任何通道	2.4	2.8	3.1	

Copyright © 2023 Texas Instruments Incorporated

6.8 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C，且 DVDD = 3.0V 至 5.5V；典型值规格的条件为：T_A = 25°C，DVDD = 3.3V，并适用于通道 0；所有规格均在以下条件下测得：f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS，高分辨率模式，启用所有通道，禁用全局斩波模式，且增益 = 1（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_H	辅助电路的高侧电源电流	负载从 HLDO_OUT 连接到 HGND			1	mA

(1) SPI 空闲时测量的电流。
(2) 根据设计和特征确定；未经生产测试。

Copyright © 2023 Texas Instruments Incorporated

6.9 时序要求

在工作环境温度范围内，DOUT 负载：20pF || 100kΩ（除非另有说明）

		最小值	最大值	单位
3.0V ≤ DVDD ≤ 5.5V				
$t_{w(CLL)}$	脉冲持续时间，CLKIN 低电平	49		ns
$t_{w(CLH)}$	脉冲持续时间，CLKIN 高电平	49		ns
$t_{c(SC)}$	SCLK 周期	40		ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 为低电平	20		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 为高电平	20		ns
$t_{d(CSSC)}$	延时时间，$\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	16		ns
$t_{d(SCCS)}$	延时时间，最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间，$\overline{CS}$ 为高电平	15		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 DIN 有效	5		ns
$t_{h(DI)}$	保持时间，DIN 在 SCLK 下降沿后有效	8		ns
$t_{w(SYL)}$	脉冲持续时间，$\overline{SYNC}/\overline{RESET}$ 低电平以进行同步	1	2047	t_{CLKIN}
$t_{w(RSL)}$	脉冲持续时间，$\overline{SYNC}/\overline{RESET}$ 低电平以生成器件复位	2048		t_{CLKIN}
$t_{su(SY)}$	建立时间，CLKIN 下降边沿前的 $\overline{SYNC}/\overline{RESET}$ 有效	10		ns

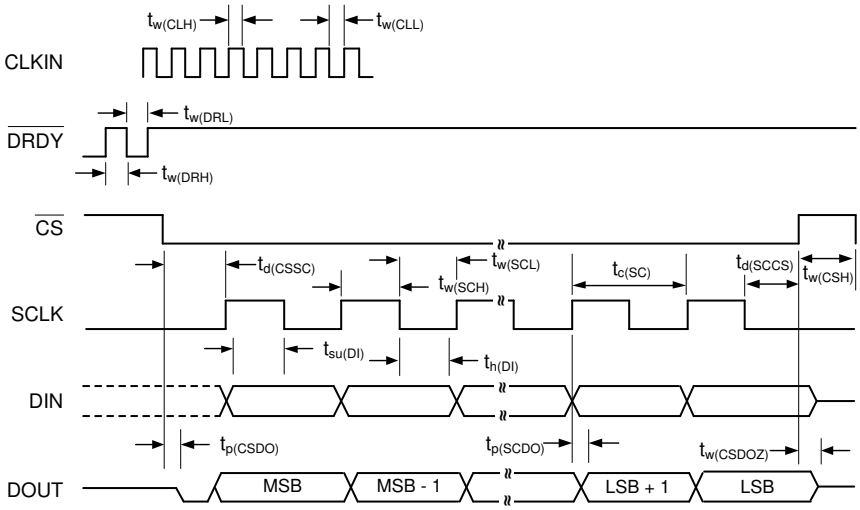
6.10 开关特性

在工作环境温度范围内，DOUT 负载：20pF || 100kΩ（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
3.0V ≤ DVDD ≤ 5.5V						
$t_{p(CSDO)}$	传播延迟时间，$\overline{CS}$ 下降沿至 DOUT 驱动				50	ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至新的有效 DOUT				20	ns
$t_{p(CSDOZ)}$	传播延迟时间，$\overline{CS}$ 上升沿至 DOUT 高阻抗				75	ns
$t_{w(DRH)}$	脉冲持续时间，$\overline{DRDY}$ 为高电平			4		t_{CLKIN}
$t_{w(DRL)}$	脉冲持续时间，$\overline{DRDY}$ 低电平			4		t_{CLKIN}
t_{POR}	上电复位时间	从电源 90% 时测得		250		μs
	SPI 超时		32768			t_{CLKIN}
t_{REGACQ}	寄存器默认采集时间			5		μs

Copyright © 2023 Texas Instruments Incorporated

6.11 时序图



SPI 设置为 CPOL = 0 且 CPHA = 1。$\overline{CS}$ 转换必须在 SCLK 为低电平时发生。

图 6-1. SPI 时序图

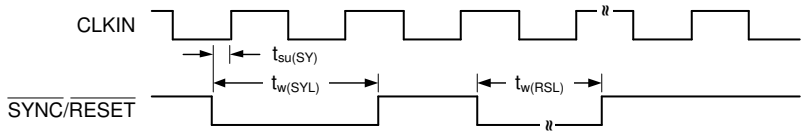


图 6-2. $\overline{SYNC}/\overline{RESET}$ 时序要求

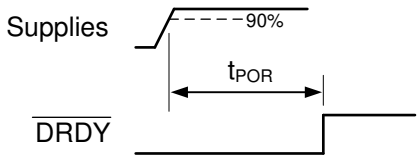


图 6-3. 上电复位时序

Copyright © 2023 Texas Instruments Incorporated

6.12 典型特性

对于通道 0，T_A = 25°C，DVDD = 3.3V，f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS（OSR = 1024，时钟分频器 N_{DIV} = 2），高分辨率模式，所有通道均启用，禁用全局斩波模式，增益 = 1（除非另有说明）

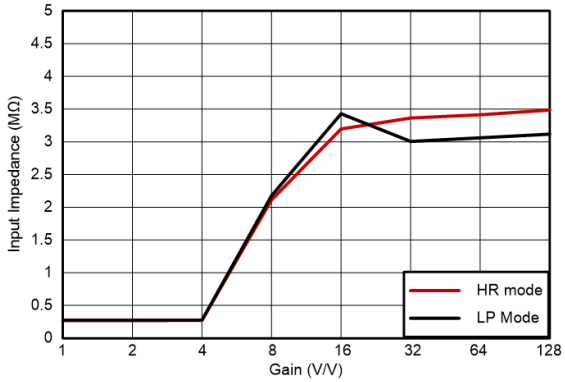


图 6-4. 输入阻抗与增益间的关系

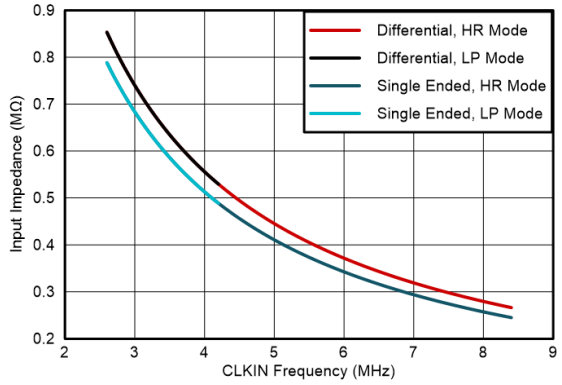


图 6-5. 输入阻抗与 CLKIN 频率间的关系

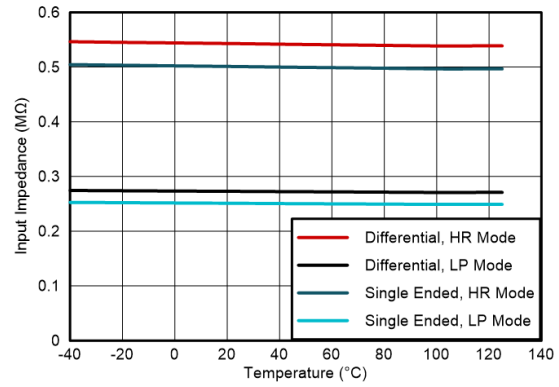


图 6-6. 输入阻抗与温度间的关系

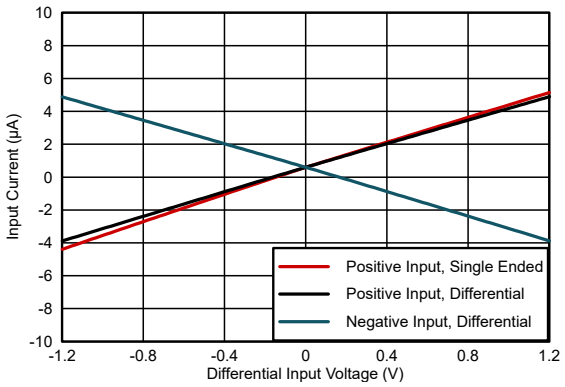


图 6-7. 输入电流与差分输入电压间的关系

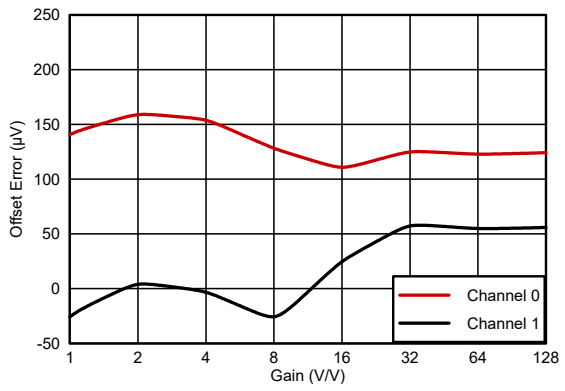


图 6-8. 偏移误差与增益间的关系

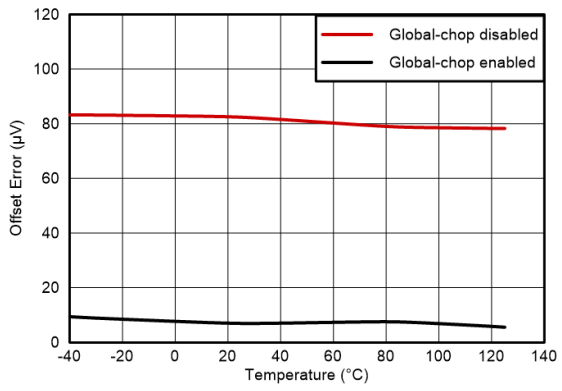
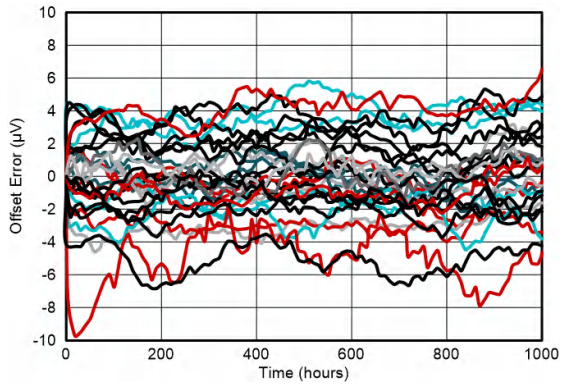


图 6-9. 偏移误差与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

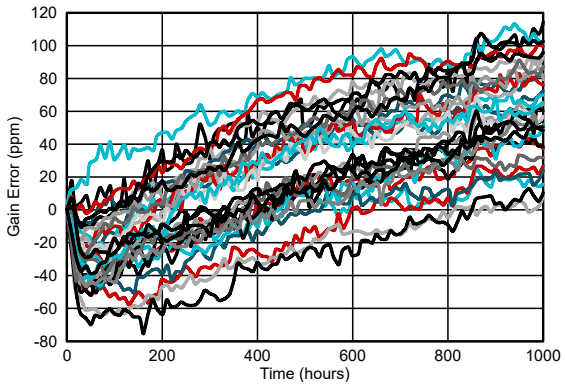
6.12 典型特性（续）

对于通道 0，T_A = 25°C，DVDD = 3.3V，f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS（OSR = 1024，时钟分频器 N_{DIV} = 2），高分辨率模式，所有通道均启用，禁用全局斩波模式，增益 = 1（除非另有说明）



30 个单位，85°C

图 6-10. 偏移误差与时间的关系



30 个单位，85°C

图 6-11. 增益误差与时间的关系

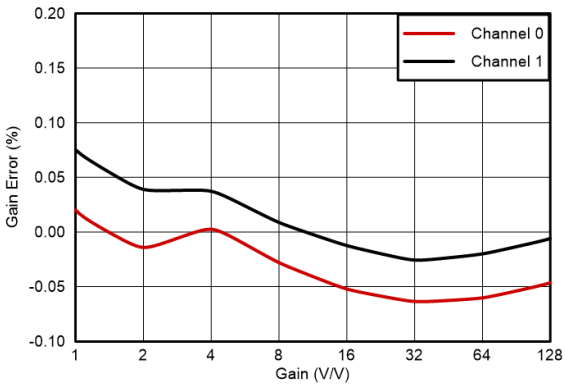


图 6-12. 增益误差与增益间的关系

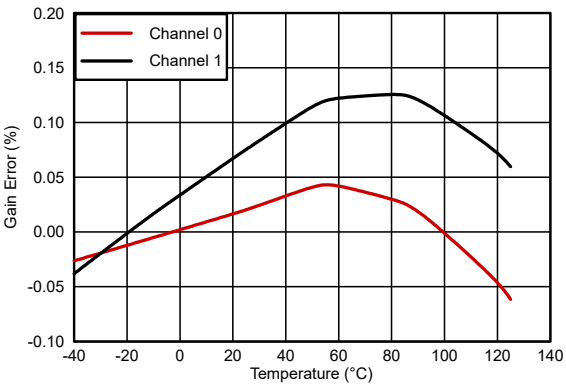


图 6-13. 增益误差与温度间的关系

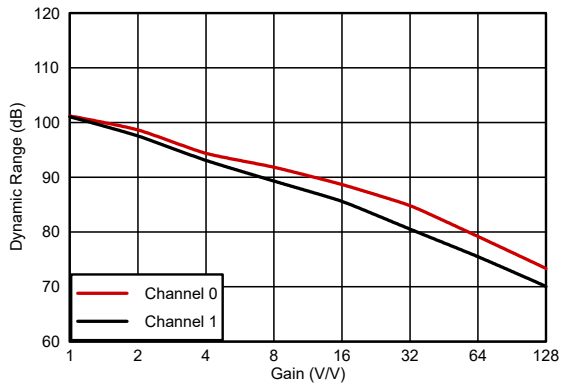


图 6-14. 动态范围与增益间的关系

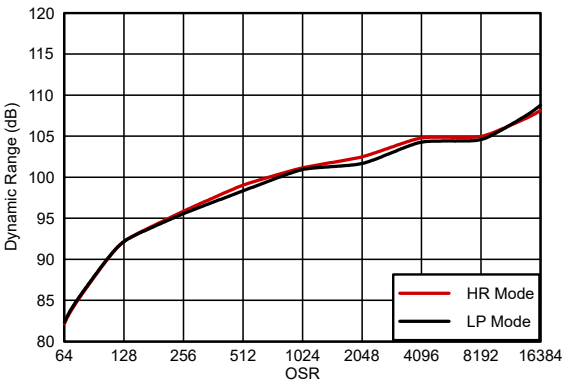
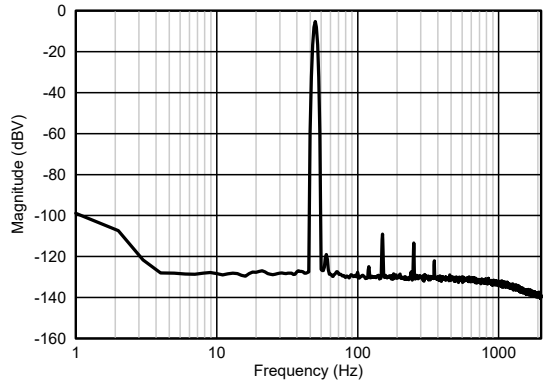


图 6-15. 动态范围与 OSR 间的关系

Copyright © 2023 Texas Instruments Incorporated

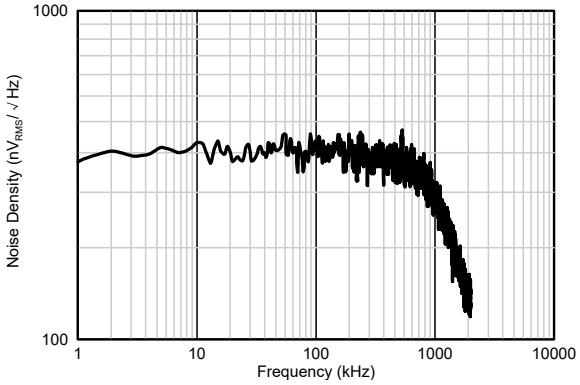
6.12 典型特性（续）

对于通道 0，T_A = 25°C，DVDD = 3.3V，f_{CLKIN} = 8.192MHz，数据速率 = 4kSPS（OSR = 1024，时钟分频器 N_{DIV} = 2），高分辨率模式，所有通道均启用，禁用全局斩波模式，增益 = 1（除非另有说明）



平均 FFT，频率段宽度等于 1Hz

图 6-16. 50Hz 输入信号时的频谱



平均 FFT，频率段宽度等于 1Hz

图 6-17. 噪声频谱密度与频率间的关系

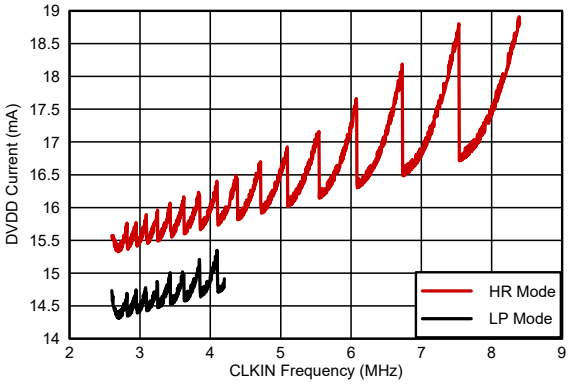


图 6-18. DVDD 电流与 CLKIN 频率间的关系

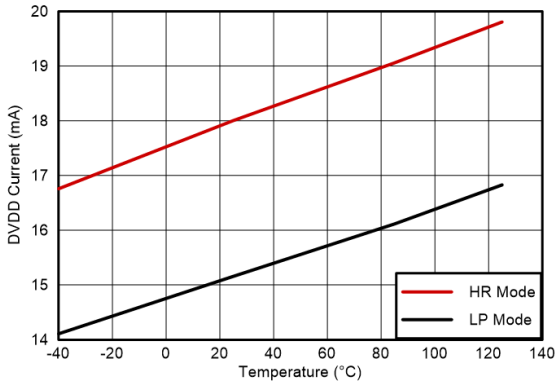


图 6-19. DVDD 电流与温度间的关系

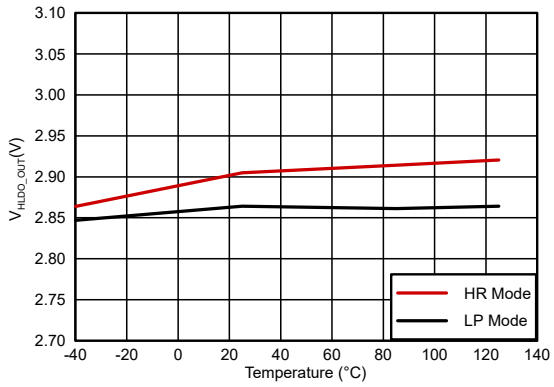


图 6-20. HLDO 输出电压与温度间的关系

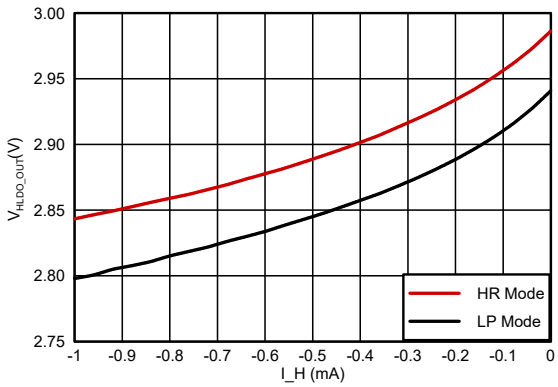


图 6-21. HLDO 输出电压与负载电流间的关系

Copyright © 2023 Texas Instruments Incorporated

7 参数测量信息

7.1 噪声测量

可通过调整数据速率和增益来优化 AMC131M02 噪声性能。当通过降低数据速率来增加平均值时，噪声会相应地下降。表 7-1 总结了 AMC131M02 在 DVDD 引脚上使用 1.2V 内部基准和 3.3V 电源的噪声性能。这些数据代表 T_A = 25°C、f_{CLKIN} = 8.192MHz 时的典型噪声性能。时钟分频器配置为默认设置（即 CLOCK 寄存器中的 CLK_SEL[1:0] 位设置为 00b），因此调制器时钟频率 (f_{MOD}) 等于 $f_{CLKIN}/2$。显示的数据是典型的以输入为基准的噪声结果，其中模拟输入短接在一起并取通道 0 的多个读数的平均值。至少使用了 1 秒的连续读数来计算每个读数的 RMS 噪声。表 7-2 列出了动态范围，表 7-3 列出了根据噪声数据计算得出的有效分辨率。方程式 1 用于计算动态范围。方程式 2 用于计算有效分辨率。在每种情况下，V_{REF} 对应于内部 1.2V 基准。在全局斩波模式下，噪声得到改善，降低为原来的 $1/\sqrt{2}$。

噪声性能与 OSR 和增益设置成比例，但独立于配置的功耗模式。因此，当选择相同的 OSR 和增益设置时，该器件在不同的功率模式下表现出相同的噪声性能。但是，OSR 设置下的数据速率根据不同功耗模式应用的时钟频率进行调节。

$$\text{Dynamic Range} = 20 \times \log\left(\frac{V_{REF}}{\sqrt{2} \times \text{Gain} \times V_{RMS}}\right) \quad (1)$$

$$\text{Effective Resolution} = \log_2\left(\frac{2 \times V_{REF}}{\text{Gain} \times V_{RMS}}\right) \quad (2)$$

表 7-1. T_A = 25°C 时的噪声 (μV_{RMS})，通道 0

OSR	数据速率 (kSPS)，f_{CLKIN} = 8.192MHz	增益							
		1	2	4	8	16	32	64	128
16384	0.25	3.92	2.15	1.69	0.97	0.84	0.47	0.57	0.51
8192	0.5	4.55	3.16	2.91	2.23	1.67	1.55	1.07	0.92
4096	1	6.35	3.85	3.17	2.43	1.76	1.56	1.53	1.67
2048	2	7.55	4.92	3.92	2.94	2.46	1.68	1.56	1.85
1024	4	8.43	6.06	5.04	4.03	3.39	1.75	2.03	2.86
512	8	12.26	9.21	7.60	6.34	5.15	4.22	4.63	4.36
256	16	17.45	11.88	10.51	8.39	7.10	6.35	5.58	4.75
128	32	26.24	17.20	14.68	10.44	7.75	7.72	8.35	7.87
64	64	77.32	42.11	28.44	16.83	10.89	9.94	9.06	8.99

表 7-2. T_A = 25°C 时的动态范围 (dB)，通道 0

OSR	数据速率 (kSPS)，f_{CLKIN} = 8.192MHz	增益							
		1	2	4	8	16	32	64	128
16384	0.25	107	106	102	101	96	95	87	82
8192	0.5	105	103	97	94	90	85	82	77
4096	1	103	101	97	93	90	85	79	72
2048	2	101	99	95	91	87	84	79	71
1024	4	100	97	92	88	84	84	76	67
512	8	97	93	89	84	80	76	69	64
256	16	94	91	86	82	77	72	68	63
128	32	90	88	83	80	77	71	64	59
64	64	81	80	77	76	74	69	63	57

Copyright © 2023 Texas Instruments Incorporated

表 7-3. T_A = 25°C 时的有效分辨率（位），通道 0

OSR	数据速率 (kSPS)，f_{CLKIN} = 8.192MHz	增益							
		1	2	4	8	16	32	64	128
16384	0.25	19.2	19.1	18.4	18.2	17.4	17.3	16.0	15.2
8192	0.5	19.0	18.5	17.7	17.0	16.5	15.6	15.1	14.3
4096	1	18.5	18.2	17.5	16.9	16.4	15.5	14.6	13.5
2048	2	18.3	17.9	17.2	16.6	15.9	15.4	14.6	13.3
1024	4	18.1	17.6	16.9	16.2	15.4	15.4	14.2	12.7
512	8	17.6	17.0	16.3	15.5	14.8	14.1	13.0	12.1
256	16	17.1	16.6	15.8	15.1	14.4	13.5	12.7	11.9
128	32	16.5	16.1	15.3	14.8	14.2	13.2	12.1	11.2
64	64	14.9	14.8	14.4	14.1	13.7	12.9	12.0	11.0

Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

AMC131M02 是一款隔离式、低功耗、两通道、simultaneous-sampling, 24 位、ΔΣ 模数转换器 (ADC)，具有低漂移内部电压基准和集成直流/直流转换器，允许器件由初级（低）侧的单个 3.3V 或 5V 电压电源供电。动态范围、尺寸、功能集和功耗针对需要同步采样的成本敏感型应用进行了优化。

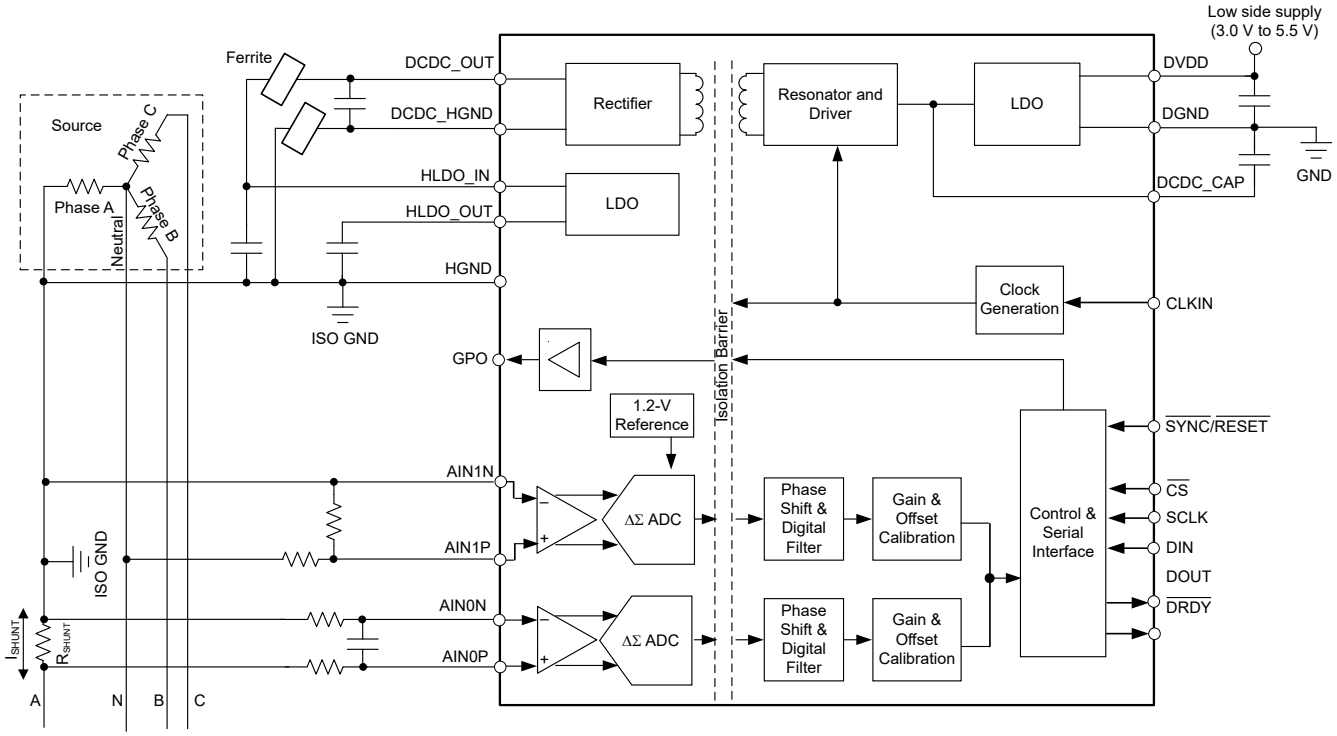
基于二氧化硅 (SiO_2) 的电容隔离栅支持高水平的磁场抗扰度，如 *ISO72x 数字隔离器磁场抗扰度 应用手册* 中所述。

集成式负电荷泵允许绝对输入电压低至 HGND 以下 1.3V，从而能够测量围绕接地变化的输入信号（采用单端电源）。该器件具有增益高达 128 的可编程增益放大器 (PGA)。在增益大于 4 时启用的集成输入预充电缓冲器可在高 PGA 增益设置下提供高输入阻抗。ADC 从集成式 1.2V 基准接收基准电压。该器件允许差分输入电压与基准一样大。利用两种功耗调节模式，设计人员能够以功耗换取 ADC 动态范围。

AMC131M02 上的每个 ADC 通道都包含一个数字抽取滤波器，用于调制 ΔΣ 调制器的输出。该滤波器可在高分辨率模式下实现高达每通道 64kSPS 的数据速率。可以在通道之间配置样本的相对相位，从而实现对传感器相位响应的精确补偿。可以对偏移和增益校准寄存器进行编程，以针对测得的偏移和增益误差自动调整输出样本。*功能方框图* 提供了 AMC131M02 的详细图。

该器件通过与串行编程接口 (SPI) 兼容的接口进行通信。多个 SPI 命令和内部寄存器控制 AMC131M02 的运行。通过添加分立式 $\overline{CS}$ 控制线路，可以向同一 SPI 总线中添加其他器件。$\overline{SYNC}$/$\overline{RESET}$ 引脚可以在多个 AMC131M02 器件之间同步转换，并与外部事件保持同步。

8.2 功能方框图



8.3 特性说明

8.3.1 隔离式直流/直流转换器

AMC131M02 提供了一个完全集成的隔离式直流/直流转换器级，其中包括*功能方框图* 中所示的以下元件：

- 初级侧的低压降稳压器 (LDO)，用于稳定驱动初级侧转换器的电源电压。

Copyright © 2023 Texas Instruments Incorporated

- 初级全桥逆变器和驱动器
- 基于层压板的空心变压器，具有很高的磁场抗扰度
- 次级全桥整流器
- 次级 LDO，用于稳定直流/直流转换器的输出电压，以实现信号路径的高模拟性能

直流/直流转换器使用展频时钟生成技术来降低电磁辐射的频谱密度。谐振器频率与 Δ Σ 调制器的操作同步，以更大限度地减少对数据传输的干扰并支持器件的高模拟性能。

8.3.1.1 直流/直流转换器故障检测

通过读取 STATUS 寄存器中 SEC_FAIL 位的逻辑高电平来指示直流/直流转换器中的故障。该位是一个锁存位。如果在器件运行期间内部直流/直流转换器发生任何故障，但直流/直流转换器从故障中恢复并在此实例后正常运行，则 SEC_FAIL 位保持逻辑高电平状态，直到读取 STATUS 寄存器。读取状态寄存器会清除 SEC_FAIL 位。如*上电后的启动行为*一节中所述，可以使用两个连续的 STATUS 寄存器读取命令来验证直流/直流转换器在给定时间点（例如在器件上电时）是否正常运行。

8.3.2 高侧电流驱动能力

直流/直流转换器的架构经过优化，可驱动 AMC131M02 的高侧电路，并可为外部电路（例如有源滤波器、前置放大器或比较器）提供高达 I_H 的额外直流电流。使用 HLDO_OUT 引脚作为该外部电路的电源。由于 HLDO_OUT 引脚上的输出阻抗，HLDO_OUT 上的电压取决于驱动电流的大小和所选的功耗模式。为了能够在所有温度和功耗模式下运行，外部电路的元件必须在低电源电压（例如 2.7V）下运行。 有关可用功耗模式的详细信息，请参阅*时钟和功耗模式*一节。

8.3.3 隔离通道信号传输

AMC131M02 使用开关键控 (OOK) 调制方案跨过基于 SiO_2 的电容性隔离栅传输调制器输出位流。通过隔离栅传输后，使用 sinc 滤波器对调制器输出位流进行抽取以重建 ADC 转换数据，然后传输到数字控制，以便可以通过 SPI 接口访问数据。图 8-1 展示了隔离通道的方框图。发送器使用内部生成的 480MHz 载波来调制 TX IN 上的位流，并通过隔离栅发送突发来表示数字 *1*，发送*无信号*来表示数字 *0*。接收器在高级信号调节后对信号进行解调并产生输出。每个隔离通道的对称设计可提高共模瞬态抗扰度 (CMTI) 性能，并降低高频载波引起的辐射发射。

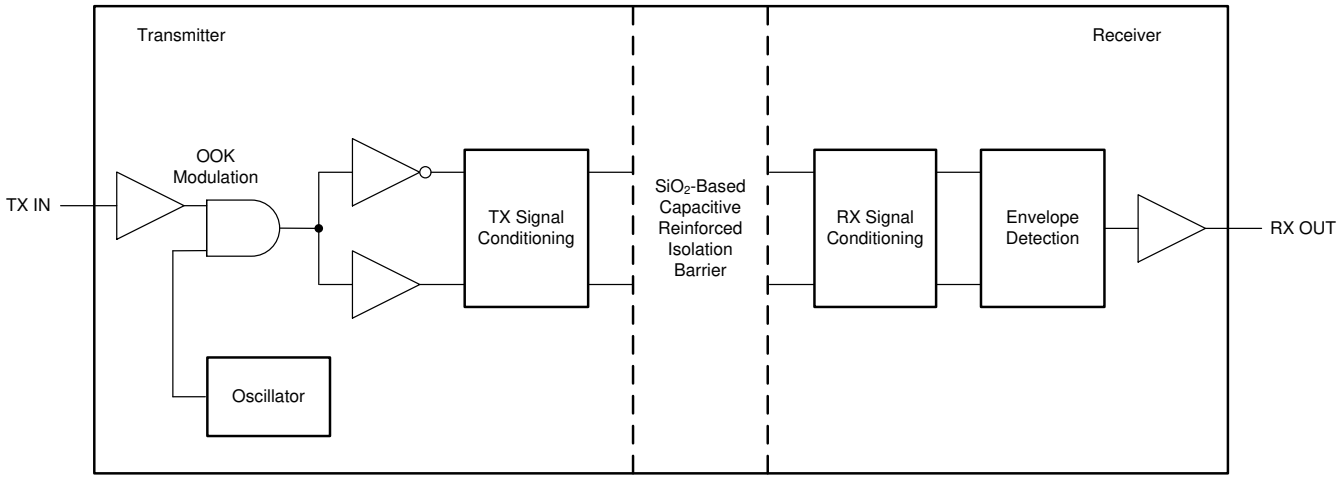


图 8-1. 隔离通道的框图

图 8-2 展示了开关键控方案的概念。

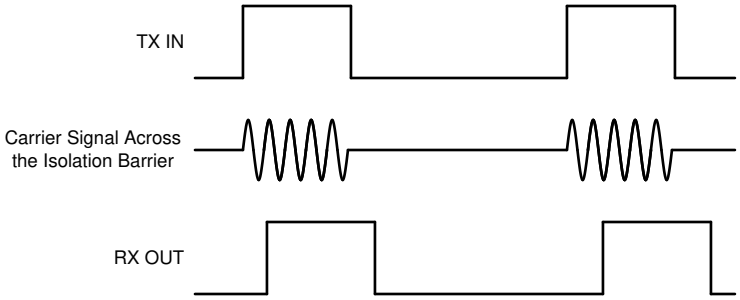


图 8-2. 基于 OOK 的调制方案

8.3.4 输入 ESD 保护电路

基本静电放电 (ESD) 电路可保护 AMC131M02 输入免受与外部电路和组件相关的 ESD 和过压事件的影响。图 8-3 展示了简化版的 ESD 电路。输入电压超过 V_{HLDO_OUT} 的保护可以建模为一个简单的二极管。

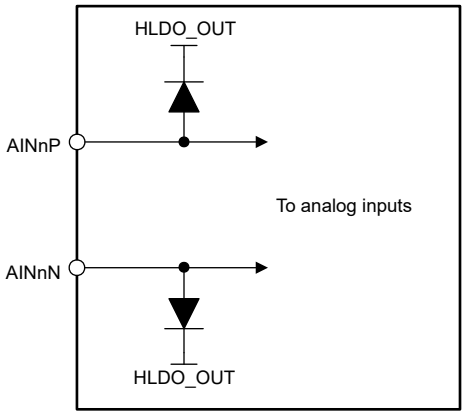


图 8-3. 输入 ESD 保护电路

AMC131M02 有一个集成的负电荷泵，允许使用单极电源提供低于 HGND 的输入电压。因此，输入和 HGND 之间的分流二极管无法用于钳制过大的负输入电压。相反，钳制过压的同一个二极管也将欠压钳制在反向击穿电压。注意防止输入电压或电流超过*绝对最大额定值*表中提供的限值。

8.3.5 输入多路复用器

AMC131M02 的每个通道都具有一个专用输入多路复用器。该多路复用器控制将哪些信号路由到 ADC 通道。可以使用 CHn_CFG 寄存器中的 MUXn[1:0] 位来配置输入多路复用器。输入多路复用器允许将以下输入连接到 ADC 通道：

- 与给定通道相对应的模拟输入引脚
- HGND，用于偏移校准
- 正直流测试信号
- 负直流测试信号

有关测试信号的更多信息，请参阅*内部测试信号*一节。图 8-4 展示了 AMC131M02 上的输入多路复用器图。

Copyright © 2023 Texas Instruments Incorporated

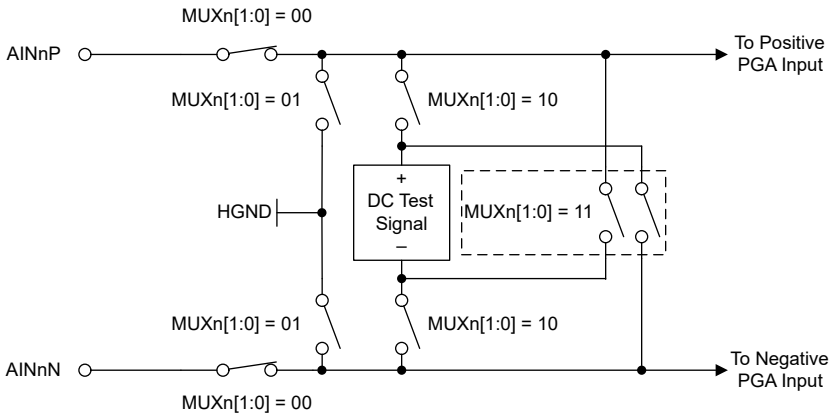


图 8-4. 输入多路复用器

8.3.6 可编程增益放大器 (PGA)

AMC131M02 的每个通道都具有一个集成可编程增益放大器 (PGA)，可提供 1、2、4、8、16、32、64 和 128 的增益。所有通道的增益均由 GAIN 寄存器中每个通道的 PGAGAINx[2:0] 位单独控制。

更改 PGA 增益可调节 ADC 的差分满量程输入电压范围 (FSR)。方程式 3 描述了 FSR 和增益之间的关系。方程式 3 使用内部基准电压 1.2V 作为比例因子，未考虑基准电压容差引起的增益误差。

$$FSR = \pm 1.2V / Gain \quad (3)$$

表 8-1 展示了每个增益设置对应的满量程范围。

表 8-1. 满量程范围

增益设置	FSR
1	±1.2V
2	±600mV
4	±300mV
8	±150mV
16	±75mV
32	±37.5mV
64	±18.75mV
128	±9.375mV

PGA 的输入阻抗决定了 AMC131M02 的输入阻抗特性。增益设置高达 4 的 PGA 输入阻抗符合方程式 4，不考虑器件容差和随温度的变化。将驱动 AMC131M02 输入的电路的输出阻抗降至最低，以获得最佳的增益误差、INL 和失真性能。

$$275k\Omega \times 4.096MHz / f_{MOD} \quad (4)$$

其中：

- f_{MOD} 是 Δ-Σ 调制器频率 f_{CLKIN}/N_{DIV}

默认情况下，N_{DIV} = 2。N_{DIV} 由可编程时钟分频器设置，请参阅*时钟和功耗模式*一节。

对于 8 或更高的 PGA 增益设置，该器件使用输入预充电缓冲器。这些增益设置下的输入阻抗非常高。因此，为这些增益设置指定输入偏置电流更有用。

Copyright © 2023 Texas Instruments Incorporated

8.3.7 电压基准

AMC131M02 使用内部生成的低漂移带隙电压为 ADC 提供基准。该基准的标称电压为 1.2V，允许差分输入电压在 –1.2V 至 1.2V 之间摆动。基准电路启动非常快，以适应此器件的快速启动特性。该器件会一直等到基准电路完全稳定，然后才会生成转换数据。

8.3.8 内部测试信号

AMC131M02 具有内部模拟测试信号，可用于故障排除和诊断。可通过输入多路复用器将正或负直流测试信号施加于通道输入。可以通过 CHn_CFG 寄存器中的 MUXn[1:0] 位来控制该多路复用器。测试信号是通过对基准电压进行内部分压产生的。所有通道共享同一信号。

测试信号的标称值为 $2/15 \times V_{REF}$。测试信号使用增益设置自动调整电压电平，以便 ADC 始终测量 $2/15 \times V_{Diff\ Max}$ 信号。例如，增益为 1 时，该电压等于 160mV。增益为 2 时，该电压为 80mV。

Copyright © 2023 Texas Instruments Incorporated

8.3.9 时钟和功耗模式

当 AMC131M02 正常运行时，必须在 CLKIN 引脚上持续提供 LVCMOS 时钟。时钟频率可以与功耗模式一起调节，以实现功耗和动态范围之间的权衡。

CLOCK 寄存器中的 PWR[1:0] 位允许将器件配置为两种功耗模式之一：高分辨率 (HR) 或低功耗 (LP) 模式。更改 PWR[1:0] 位可调节内部偏置电流以达到预期的功耗水平。外部时钟频率必须遵循*建议运行条件*表中提供的对应于器件的预期功耗模式的指南，以按照规格运行。

必须在 CLKIN 引脚上从外部提供主时钟。如图 8-5 所示，用户可编程时钟分频器对主时钟进行分频以获得内部调制器时钟 (MOD_CLK)。默认情况下，在 CLKIN 引脚上提供的主时钟除以 N_{DIV} = 2，以生成占空比为 50% 的内部调制器时钟。如表 8-2 所示，可以使用 CLOCK 寄存器中的 CLK_DIV[1:0] 位将分频器比率 N_{DIV} 更改为值 4、8 和 12。

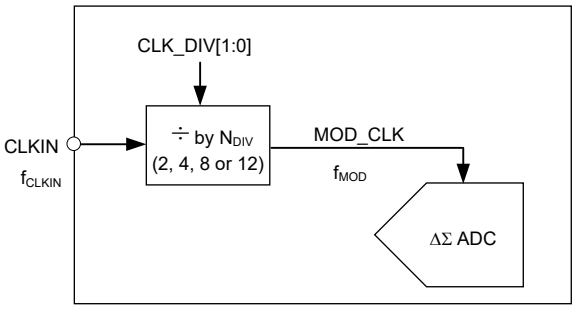


图 8-5. 可编程时钟分频器方框图

表 8-2. 调制器时钟分频器选择

CLK_DIV[1:0]	所有通道上 MOD_CLK 的 N_{DIV}
00b	2
01b	4
10b	8
11b	12

内部直流/直流转换器的时钟频率范围必须与调制器时钟同步，以尽量减少干扰。要优化直流/直流转换器内部时钟，调制器时钟的实际频率值必须在器件上电后立即写入 DCDC_CTRL 寄存器。调制器时钟频率是 CLKIN 引脚提供的频率除以所选分频器比率的结果（例如，如果 CLKIN 引脚提供 4MHz 时钟频率，分频器比率设置为 4，则调制器时钟 MOD_CLK 的频率为 1MHz）。必须在 DCDC_CTRL 寄存器中配置正确的调制器时钟频率值（如表 8-3 所示），方法是在启动后立即写入 DCDC_FREQ[3:0] 寄存器位。

以下是一个示例计算：

- 主时钟：f_{CLKIN} = 8.192MHz
- 分频器比率：N_{DIV}= 4
- 产生的调制器时钟：f_{CLKIN}/N_{DIV} = 2.048MHz
- 调制器时钟频率处于以下范围之内：1.926MHz 至 2.051MHz；请参阅表 8-3
- 所需的 DCDC_FREQ[3:0] 位设置：1000b；请参阅表 8-3

表 8-3. 用于直流/直流同步的调制器时钟频率范围选择

调制器时钟频率 (MHz)	DCDC_FREQ[3:0] 位设置
3.768MHz 至 4.100MHz	0000b
3.366MHz 至 3.768MHz	0001b
3.041MHz 至 3.366MHz	0010b
2.773MHz 至 3.041MHz	0011b

Copyright © 2023 Texas Instruments Incorporated

表 8-3. 用于直流/直流同步的调制器时钟频率范围选择（续）

调制器时钟频率 (MHz)	DCDC_FREQ[3:0] 位设置
2.549MHz 至 2.773MHz	0100b
2.358MHz 至 2.549MHz	0101b
2.194MHz 至 2.358MHz	0110b
2.051MHz 至 2.194MHz	0111b
1.926MHz 至 2.051MHz	1000b
1.815MHz 至 1.926MHz	1001b
1.716MHz 至 1.815MHz	1010b
1.627MHz 至 1.716MHz	1011b
1.547MHz 至 1.627MHz	1100b
1.475MHz 至 1.547MHz	1101b
1.409MHz 至 1.475MHz	1110b
1.400MHz 至 1.409MHz	1111b

8.3.10 Δ Σ 调制器

AMC131M02 使用 Δ Σ 调制器将模拟输入电压转换为 1 密度调制数字位流。Δ Σ 调制器以比输出数据速率高很多倍的频率对输入电压进行过采样。AMC131M02 的调制器频率 f_{MOD} 来自主时钟频率（在 CLKIN 引脚上提供）和用户可编程时钟分频器；请参阅*时钟和功耗模式*一节。

调制器的输出通过数模转换器 (DAC) 反馈到调制器输入，这用作一种纠错方式。该反馈机制在频域中对调制器量化噪声进行整形，使噪声在较高频率处更加密集，而在相关的频带中变得不那么密集。Δ Σ 调制器之后的数字抽取滤波器可显著衰减带外调制器量化噪声，使器件能够提供出色的动态范围。

8.3.11 数字滤波器

Δ Σ 调制器位流馈入数字滤波器。数字滤波器是线性相位、有限脉冲响应 (FIR)、低通、sinc 型滤波器，可衰减 Δ Σ 调制器的带外量化噪声。数字滤波器通过均值计算来解调 Δ Σ 调制器的输出。通过滤波器的数据被抽取和下采样，以将数据从调制器输出的速率 (f_{MOD}) 降低至输出数据速率 (f_{DATA})。抽取因子根据方程式 5 定义，称为*过采样率 (OSR)*。

$$OSR = f_{MOD}/f_{DATA} \quad (5)$$

可通过 CLOCK 寄存器中的 OSR[2:0] 位来配置和设置 OSR。通过设置 OSR[2:0] 位，能够以二进制阶跃将 OSR 配置为 128 至 16384 范围内的值。此外，可通过设置 CLOCK 寄存器中的 TURBO 位（涡轮模式）将 OSR 配置为值 64。因此，AMC131M02 中总共有九种 OSR 设置，允许针对任何给定的主时钟频率进行九种不同的数据速率设置。表 8-4 列出了上述标称 CLKIN 频率的 OSR 设置和相应的输出数据速率（假设可编程时钟分频器设置为 $N_{DIV} = 2$）。

OSR 决定了数字滤波器中调制器输出的平均值，因此也决定了滤波器带宽。滤波器带宽直接影响 ADC 的噪声性能，因为较低的带宽会产生较低的噪声，而较高的带宽会产生较高的噪声。有关各种 OSR 设置的噪声规格，请参阅表 7-1。

更改 OSR 时，器件必须处于待机模式。在 ADC 生成转换数据时将 OSR[2:0] 位设置为新值可能导致 ADC 输出出现意外行为。

Copyright © 2023 Texas Instruments Incorporated

表 8-4. 标称主时钟频率的 OSR 设置和数据速率

功耗模式	标称主时钟频率	f_{MOD}(1)	OSR	输出数据速率
高分辨率 (HR)	8.192MHz	4.096MHz	64	64kSPS
			128	32kSPS
			256	16kSPS
			512	8kSPS
			1024	4kSPS
			2048	2kSPS
			4096	1kSPS
			8192	500SPS
			16384	250SPS
低功耗 (LP)	4.096MHz	2.048MHz	64	32kSPS
			128	16kSPS
			256	8kSPS
			512	4kSPS
			1024	2kSPS
			2048	1kSPS
			4096	500SPS
			8192	250SPS
			16384	125SPS

(1) 可编程时钟分频器设置为 N_{DIV} = 2。

8.3.11.1 数字滤波器实现

图 8-6 显示了 AMC131M02 的数字滤波器实现。调制器位流馈送两个并行滤波器路径：一个 sinc^3 滤波器路径和一个快速稳定滤波器路径。

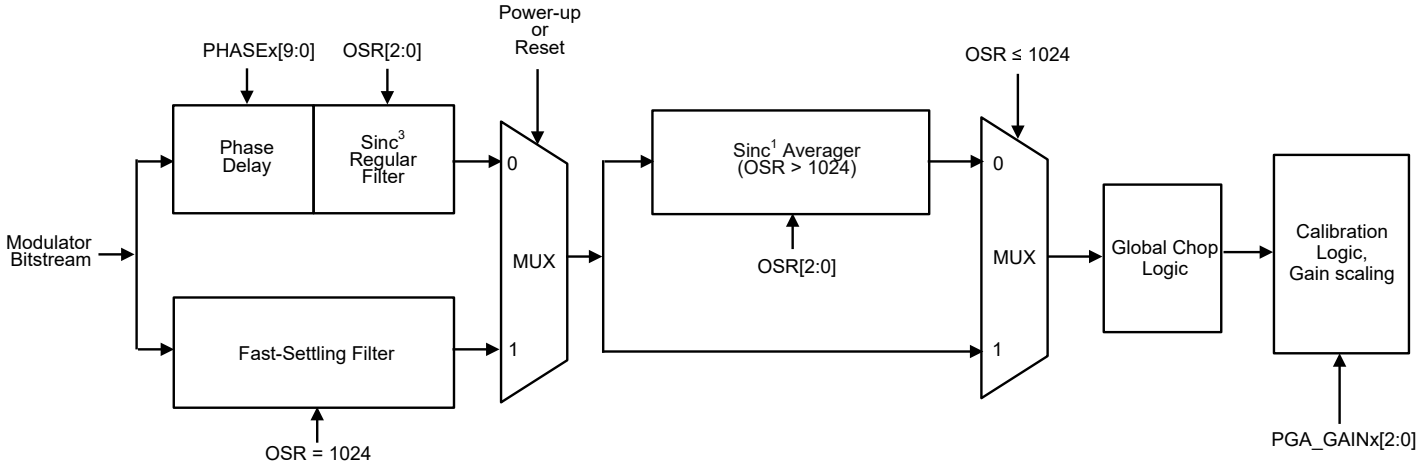


图 8-6. 数字滤波器实现

8.3.11.1.1 快速稳定滤波器

在上电时或器件复位之后，AMC131M02 选择快速稳定滤波器，以便能够以极小的延迟生成稳定的输出数据。快速稳定滤波器具有一阶正弦滤波器 (sinc^1) 的特性。两次转换后，器件切换至 sinc^3 滤波器路径并保持，直到器件下一次断电或复位。

与 sinc^3 滤波器相比，快速稳定滤波器具有更宽的带宽和更小的阻带衰减。因此，使用快速稳定滤波器时的噪声性能不如 sinc^3 滤波器高。电源电压改变或复位后 AMC131M02 提供的前两个样本具有与快速稳定滤波器对应的噪

Copyright © 2023 Texas Instruments Incorporated

声性能和频率响应，而后续样本具有与 sinc^3 滤波器一致的噪声性能和频率响应。有关 AMC131M02 的启动功能的更多详细信息，请参阅*上电后的启动行为*一节。

8.3.11.1.2 SINC^3 和 SINC^3 + SINC^1 滤波器

AMC131M02 会选择 sinc^3 滤波器路径，在上电或器件复位后发生两次转换。如果 OSR 设置为 64 到 1024，sinc^3 滤波器输出直接馈入全局斩波和校准逻辑。如果 OSR 设置为 2048 及更高，sinc^3 滤波器后跟一个 sinc^1 滤波器。在这种情况下，sinc^3 滤波器以 1024 的固定 OSR 运行，而 sinc^1 滤波器实现了 2 至 16 的额外 OSR。因此，当选择 4096（示例）的 OSR 时，sinc^3 滤波器会以 1024 的 OSR 运行，而 sinc^1 滤波器以 4 的 OSR 运行。

滤波器在数据速率的整数倍上具有无限衰减，但 f_{MOD} 的整数倍除外。与所有数字滤波器一样，AMC131M02 的数字滤波器响应以调制器频率 f_{MOD} 的整数倍重复。数据速率和滤波器陷波频率随 f_{MOD} 而变化。

在可能的情况下，为应用中的不相关周期性过程规划数据速率整数倍的频率，以便数字滤波器的陷波有效地消除对数据采集的任何寄生效应。尽可能避免使用接近 f_{MOD} 整数倍的频率，因为这些频带中的音调可能会混叠到目标频带。

给定通道的 sinc^3 和 sinc^3 + sinc^1 滤波器在启用通道、更改通道多路复用器或增益设置或发生重新同步事件后，需要时间来稳定。有关重新同步的更多详细信息，请参阅*同步*部分。表 8-5 列出了 sinc^3 和 sinc^3 + sinc^1 滤波器在每种 OSR 设置下需要的稳定时间。AMC131M02 不会选通未稳定的数据。因此，主机必须考虑滤波器稳定时间，并忽略未稳定的数据（如果读取了任何数据）。等待表 8-5 中列出的稳定时间加上一个额外的转换周期后，读取的数据才会被视为有效。

表 8-5. 数字滤波器稳定时间

OSR（总体）	OSR (SINC^3)	OSR (SINC^1)	详细稳定时间 (t_{CLKIN})	总稳定时间 (t_{CLKIN})
64	64	不适用	3 × 64 + 44 + 4	240
128	128	不适用	3 × 128 + 44 + 4	432
256	256	不适用	3 × 256 + 44 + 4	816
512	512	不适用	3 × 512 + 44 + 4	1584
1024	1024	不适用	3 × 1024 + 44 + 4	3120
2048	1024	2	6 × 1024 + 44 + 4	6192
4096	1024	4	10 × 1024 + 44 + 4	10288
8192	1024	8	18 × 1024 + 44 + 4	18480
16384	1024	16	34 × 1024 + 44 + 4	34864

8.3.11.2 数字滤波器特性

方程式 6 可计算用于 1024 或更低 OSR 的 sinc^3 滤波器的 z 域传递函数。

$$\left|H(z)\right| = \left|\frac{1 - Z^{-N}}{N\left(1 - Z^{-1}\right)}\right|^{3} \tag{6}$$

其中：

- N 是 OSR

方程式 7 根据连续时间频率参数 *f* 计算 sinc^3 滤波器的传递函数。

Copyright © 2023 Texas Instruments Incorporated

$$|H(f)| = \left| \frac{\sin\left(\frac{N\pi f}{f_{MOD}}\right)}{N \times \sin\left(\frac{\pi f}{f_{MOD}}\right)} \right|^3 \quad (7)$$

其中：

- N 是 OSR

图 8-7 和图 8-8 展示了 OSR 为 1024 及更低值的快速稳定滤波器和 sinc^3 滤波器的数字滤波器响应。图 8-9 和图 8-10 展示了 OSR 为 4096 的 sinc^3 + sinc^1 滤波器的数字滤波器响应。

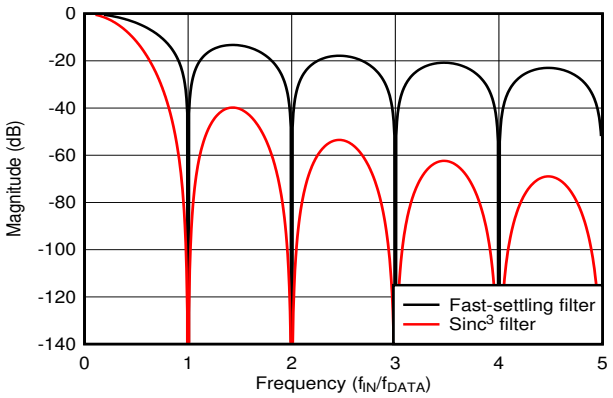


图 8-7. 快速稳定和 Sinc^3 数字滤波器响应

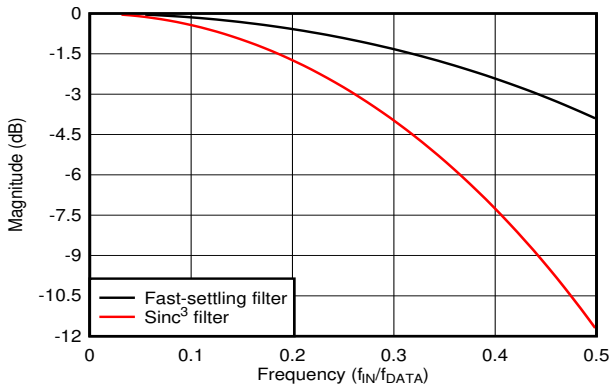


图 8-8. 快速稳定和 Sinc^3 数字滤波器响应，通带详细信息

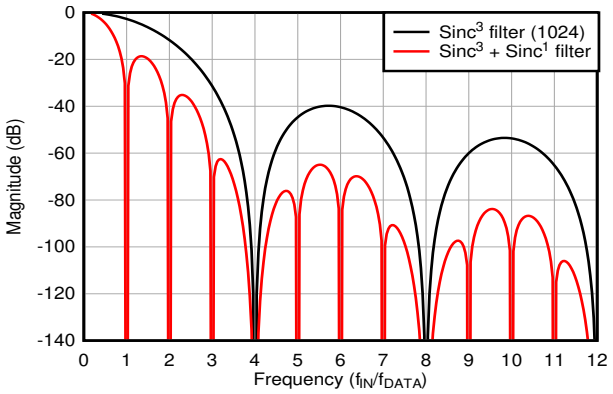


图 8-9. OSR = 4096 时的数字滤波器响应，作为 Sinc^3 + Sinc^1 组合

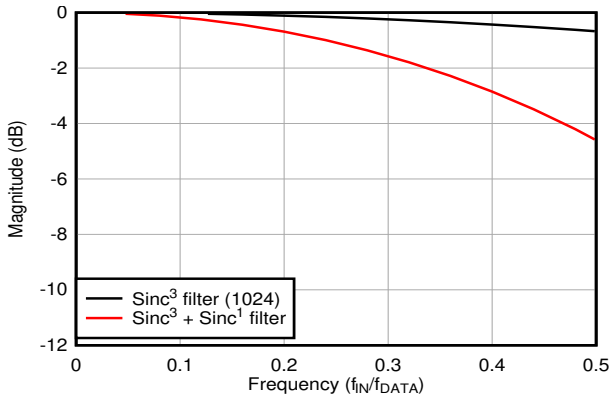


图 8-10. OSR = 4096 时的 Sinc^3 + Sinc^1 数字滤波器响应，通带详细信息

8.3.12 通道相位校准

AMC131M02 允许使用通道相位校准对通道之间的采样相位进行微调。当不同通道测量具有不同相位响应的不同类型传感器的输出时，该功能很有用。例如，在功率计量应用中，电压可以通过分压器测量，而电流是使用电流互感器测量的，电流互感器的输入和输出信号之间存在相位差。必须补偿电压和电流测量之间的相位差异，以准确测量功率和相关参数。

不同通道的相位设置通过 CHn_CFG 寄存器中对应于需要进行相位调整的通道的 PHASEn[9:0] 位进行配置。寄存器值是一个 10 位二进制补码值，对应于与零度基准相位相比相位偏移的调制器时钟周期数。

Copyright © 2023 Texas Instruments Incorporated

实现相位调整的机制源自 ΔΣ 架构。ΔΣ 调制器以调制器频率 f_{MOD} 连续产生样本。这些样本由数字滤波器进行滤波并抽取，实现输出数据速率。f_{MOD} 与数据速率之间的比率是过采样率 (OSR)。每个转换结果对应于提供给数字滤波器的调制器样本的 OSR 数。当 AMC131M02 的不同通道之间没有编程的相位偏移时，不同通道的转换结果对应的调制器时钟周期在时域中对齐。图 8-11 显示了一个示例场景，其中通道 1 的电压输入现对于通道 0 没有相位偏移。

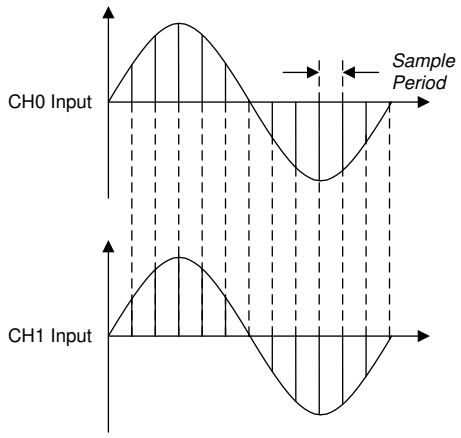


图 8-11. 两个具有相同相位设置的通道输出

然而，一个通道的采样周期可以相对于另一个通道发生偏移。如果两个通道的输入是具有相同频率的正弦波，并且主机同时检索这些通道的样本，则结果是采样周期经过修改的通道的相位发生*偏移*。图 8-12 显示了与样本对应的周期如何在通道之间发生偏移。图 8-13 说明了样本在被主机检索时如何显示为已产生相移。

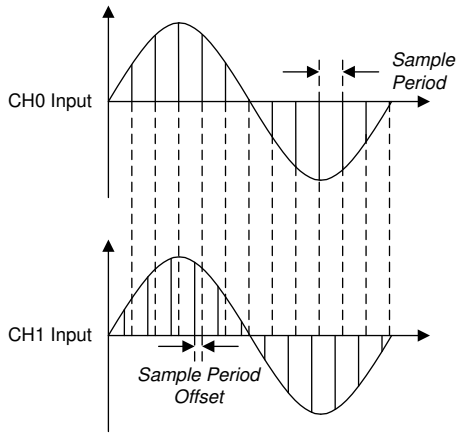


图 8-12. 相对于通道 0 具有正样本相移的通道 1

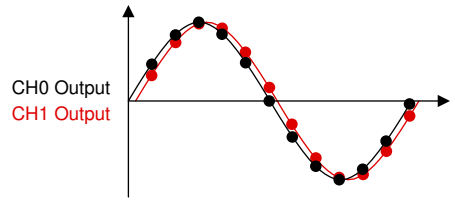


图 8-13. 从主机的角度看到的通道 1 和通道 0

Copyright © 2023 Texas Instruments Incorporated

有效设置范围为 –OSR/2 至 (OSR/2) – 1，但高于 1024 的 OSR 除外，此时相位校准设置限制为 –512 至 511。如果对 –OSR/2 至 (OSR/2) – 1 范围之外的值进行编程，则器件会在内部将该值裁剪到最接近的限值。例如，如果 OSR 设置被编程为 128 并且 PHASEn[9:0] 位被编程为对应于 100 个调制器时钟周期的 0001100100b，则器件将通道的相位设置为 63，因为该值是此 OSR 设置的相位校准上限。表 8-6 给出了各种 OSR 设置的相位校准设置范围。

表 8-6. 不同 OSR 设置的相位校准设置限值

OSR 设置	相位偏移范围 (t_{MOD})	PHASEn[9:0] 位范围
64	-32 至 31	11 1110 0000b 至 00 0001 1111b
128	-64 至 63	11 1100 0000b 至 00 0011 1111b
256	-128 至 127	11 1000 0000b 至 00 0111 1111b
512	-256 至 255	11 0000 0000b 至 00 1111 1111b
1024	-512 至 511	10 0000 0000b 至 01 1111 1111b
2048	-512 至 511	10 0000 0000b 至 01 1111 1111b
4096	-512 至 511	10 0000 0000b 至 01 1111 1111b
8192	-512 至 511	10 0000 0000b 至 01 1111 1111b
16384	-512 至 511	10 0000 0000b 至 01 1111 1111b

按照以下步骤为小于 2048 的 OSR 创建大于采样周期一半的相移：

- 通过在软件中修改通道数据之间的索引，创建与整数个采样周期相对应的相移
- 使用 AMC131M02 的相位校准功能创建剩余分数采样周期相移

例如，要在通道 0 和 1 之间创建 2.25 个样本的相移，可以通过在主机软件中将通道 0 输出数据流中的样本 N 与通道 1 输出数据流中的样本 N+2 对齐来创建两个样本的相移。使用 AMC131M02 相位校准功能进行剩余的 0.25 个样本调整。

通道的相位校准设置会影响数据就绪中断信号 $\overline{\text{DRDY}}$ 的时序。有关相位校准如何影响 $\overline{\text{DRDY}}$ 信号的更多详细信息，请参阅*数据就绪 ($\overline{\text{DRDY}}$)* 一节。

8.3.13 校准寄存器

校准寄存器允许根据预编程值自动计算校准后的 ADC 转换结果。在将纠错项编程到相应的器件寄存器中后，主机可以依靠器件自动纠正系统增益和偏移。每次 AMC131M02 加电时，测得的校准系数必须存储在外部非易失性存储器中并编程到寄存器中，因为 AMC131M02 寄存器是易失性的。

偏移校准寄存器用于校正系统偏移误差，该误差也称为*零点误差*。当系统输入为零时，偏移误差对应于 ADC 输出。在输出之前，AMC131M02 通过从该通道的转换结果中减去 CHn_OCAL_MSB 和 CHn_OCAL_LSB 寄存器中 OCALn[23:0] 寄存器位的内容来校正偏移误差。每个通道都有单独的 CHn_OCAL_MSB 和 CHnOCAL_LSB 寄存器，这允许为每个通道编程单独的偏移校准系数。OCALn[23:0] 位的内容被器件解释为 24 位二进制补码值。

增益校准寄存器用于校正消除系统增益误差。增益误差对应于系统增益相对于理想值的偏差。在输出之前，AMC131M02 通过将 ADC 转换结果乘以 CHn_GCAL_MSB 和 CHn_GCAL_LSB 寄存器中 GCALn[23:0] 寄存器位的内容给出的值来校正增益误差。每个通道都有单独的 CHn_GCAL_MSB 和 CHn_GCAL_LSB 寄存器，这允许为每个通道编程单独的增益校准系数。GCALn[23:0] 位的内容被器件解释为 24 位无符号值，对应于从 0 到 $2 - (1 / 2^{23})$ 的增益范围的线性步长。表 8-7 介绍了 GCALn[23:0] 位值与增益校准系数之间的关系。

表 8-7. GCALn[23:0] 位映射

GCALn[23:0] 值	增益校准系数
000000h	0
000001h	1.19×10^{-7}
800000h	1
FFFFFEh	$2 - 2.38 \times 10^{-7}$

Copyright © 2023 Texas Instruments Incorporated

表 8-7. GCALn[23:0] 位映射 （续）

GCALn[23:0] 值	增益校准系数
FFFFFFh	$2 - 1.19 \times 10^{-7}$

不需要启用校准寄存器，因为这些寄存器始终在使用中。OCALn[23:0] 位的默认值为 000000h，因此不会进行偏移校正。同样，GCALn[23:0] 位默认为 800000h，因此增益校准系数为 1。

图 8-14 展示了一个方框图，说明了 AMC131M02 的一个通道上的校准寄存器机制。

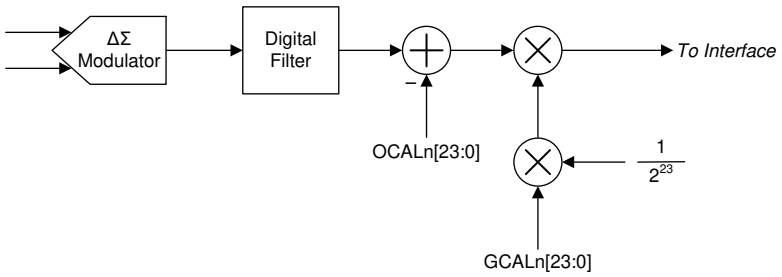


图 8-14. 校准方框图

8.3.14 寄存器映射 CRC

AMC131M02 对器件寄存器映射执行 CRC，以此检查寄存器是否发生意外的更改。可以通过设置 MODE 寄存器中的 REG_CRC_EN 位来启用寄存器映射 CRC。启用后，器件会使用可写寄存器空间中的每个位不断计算寄存器映射 CRC。AMC131M02 上的寄存器映射 CRC 涵盖的寄存器地址为 02h 至 31h。可以使用在 MODE 寄存器的 CRC_TYPE 位中选择的多项式来计算 CRC，从寄存器 02h 的 MSB 开始，到寄存器 31h 的 LSB 结束。

计算得出的 CRC 是一个 16 位值，存储在 REGMAP_CRC 寄存器中。STATUS 寄存器中的 REG_MAP 位会进行相应的设置，以在寄存器映射 CRC 更改（包括寄存器写入引起的更改）时标记主机。可以通过读取 STATUS 寄存器或输出 STATUS 寄存器作为对 NULL 命令的响应来清除该位。

CRC 计算使用种子值 FFFFh 进行初始化。

8.3.15 通用数字输出 (GPO)

通过将 CFG 寄存器中的 GPO_EN 位设置为 1b，可以将 GPO 引脚配置为通用输出。GPO 引脚使用基于 HLDO_OUT 电源的逻辑电平。有关逻辑高电平和低电平的详细信息，请参阅*电气特性*表。

配置为数字输出时，可以使用 CFG 寄存器中的 GPO_DAT 位在 GPO 引脚上驱动逻辑高电平或低电平。GPO 输出是推挽式的。

Copyright © 2023 Texas Instruments Incorporated

8.4 器件功能模式

图 8-15 显示的状态图描述了 AMC131M02 的主要功能模式以及这些模式之间的转换。

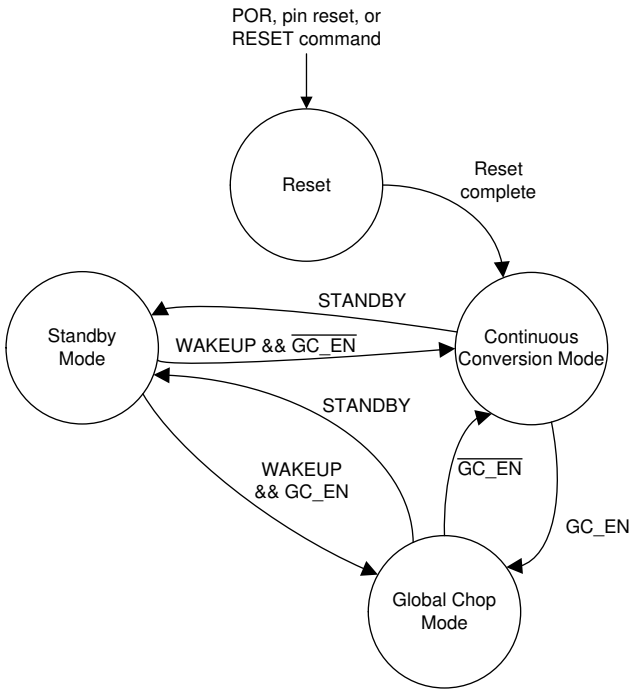


图 8-15. 描述器件功能模式的状态图

8.4.1 上电和复位

可通过三种方式之一将 AMC131M02 复位：上电复位 (POR)、$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚或 RESET 命令。发生复位后，配置寄存器将重置为默认值。因此，当发生复位时，直流/直流转换器被禁用。必须在任何类型的复位后启用内部直流/直流转换器，才能使器件开始生成转换数据，例如上电复位、使用 RESET 命令进行复位、或使用 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚进行复位。

8.4.1.1 上电复位

上电复位 (POR) 是在首次施加有效电源电压时发生的复位。从电源电压达到标称值的 90% 开始，POR 过程需要 t_{POR} 的时间。在此期间，内部电路上电，寄存器被设置为默认状态。$\overline{\text{DRDY}}$ 引脚在 t_{POR} 后立即从低电平转换为高电平，表明 SPI 接口已为通信做好准别。在此之前，器件会忽略任何 SPI 通信。

为了确保上电时具有正确的启动行为，请参阅*上电后的启动行为*一节以了解建议的过程。

8.4.1.2 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚

$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚是低电平有效的双功能引脚，如果该引脚保持低电平的时间长于 $t_{w(RSL)}$，则会生成复位。器件会保持复位状态，直到 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 恢复为高电平。在 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 变为高电平后，主机必须等待至少 t_{REGACQ}，然后才能通过 SPI 与器件通信。器件复位后，请按照*引脚复位或 RESET 命令后的启动行为*部分中所述的步骤操作。

Copyright © 2023 Texas Instruments Incorporated

8.4.1.3 RESET 命令

可以通过 SPI RESET 命令 (0011h) 对 AMC131M02 进行复位。

该器件以固定长度的帧进行通信。有关 AMC131M02 上 SPI 数据组帧的详细信息，请参阅 *SPI 通信帧* 一节。RESET 命令在 DIN 上的数据帧的第一个字中传输，但直到整个帧完成后才由器件锁存和执行该命令。提前终止帧会导致 RESET 命令被忽略。在 AMC131M02 上完成一个帧需要五个字。

该命令被锁存后会立即发生复位。主机在与器件通信之前必须等待 t_{REGACQ}，以确保寄存器采用默认设置。器件复位后，请按照 *引脚复位或 RESET 命令后的启动行为* 一节中所述的步骤操作。

8.4.2 上电后的启动行为

AMC131M02 上电后不会自动生成转换数据，因为集成式直流/直流转换器最初处于禁用状态。为了使该 ADC 运行，必须在上电后启用直流/直流转换器，并且必须在 HLDO_OUT 引脚上形成一个稳定的电源电压，用作次级（高）侧电路的电源。

本节介绍了 AMC131M02 上电的推荐步骤。图 8-16 所示为使用此建议序列时器件行为的时序图。图 8-17 以图形方式提供了建议序列的流程图。

请按照以下步骤操作，确保上电时具有正确启动行为：

- 给 DVDD 电源上电。
- $\overline{\text{DRDY}}$ 从低电平转换到高电平表示初级侧上已形成有效的电源电压，并且还表示 SPI 接口已准备好进行通信。
- 根据需要通过设置 CLOCK 寄存器中的 CLK_DIV[1:0] 位来配置时钟分频器。
- 通过设置 DCDC_CTRL 寄存器中的 DCDC_FREQ[3:0] 位来配置调制器时钟频率；有关详细信息，请参阅*时钟和功耗模式* 部分。
- 通过将 DCDC_CTRL 寄存器中的 DCDC_EN 位设置为 1b 来启用直流/直流转换器。
- 在向 CLKIN 引脚施加外部时钟之前，配置 AMC131M02 的所有其他寄存器。
- 在 CLKIN 输入端提供主时钟，以启动集成直流/直流转换器的运行，并确保在 HLDO_OUT 引脚处生成次级电源。
- STATUS 寄存器中的 SEC_FAIL 位从高电平转换为低电平表示在 HLDO_OUT 引脚上形成了次级电源并且 ADC 转换数据输出有效。在从 ADC 读取任何转换数据之前，通过读取 SEC_FAIL 位并验证该位是否设置为 0b 来确认器件运行。读取 STATUS 寄存器中的 SEC_FAIL 位的方法有两种：发送 NULL 命令来生成包含 STATUS 字的响应，或发送寄存器读取命令来读取 STATUS 寄存器。SEC_FAIL 位是一个锁存位；因此，至少需要两条读取命令来确认该位从高电平转换为低电平；第一条读取命令清除器件上电期间锁存的逻辑高电平值。使用第二个读取命令来验证 SEC_FAIL 位是否设置为 0b，表示辅助电源有效。如果第二个读取命令时 SEC_FAIL 位仍然读取 1b，则继续读取 SEC_FAIL 位，直到该位读取为 0b，然后再从 ADC 读取任何转换数据。

Copyright © 2023 Texas Instruments Incorporated

关于上电后的转换数据，请注意以下几点：

- $\overline{\text{DRDY}}$ 从高电平转换到低电平表示新的转换数据可用。如图 8-16 所示，只有 SEC_FAIL 在转换期间读取为 0b 时，ADC 数据才有效。图 8-16 中显示的前两个转换结果表示无效数据。
- 当 ADC 生成有效数据时，数字滤波器必须稳定，如 *SINC^3 和 SINC^3 + SINC^1 滤波器* 部分所述。图 8-16 中展示的两个后续转换结果是未稳定的结果（假设 OSR 等于 1024），而显示的最后一个转换结果提供了有效的稳定数据。
- 为了更好地控制转换时序，尤其是在使用多个 AMC131M02 器件的系统中，请在主机从 ADC 收集转换数据之前使用 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚触发同步。有关如何同步器件的更多详细信息，请参阅*同步* 部分。

在图 8-16 中，t_{POR_SEC} 是从启用直流/直流转换器到 SEC_FAIL 位的第一个下降沿的时间，其中后者表示 HLDO_OUT 引脚上的次级电源已稳定。t_{POR_DVDD} 是从 DVDD 电源 90% 到 $\overline{\text{DRDY}}$ 第一个上升沿的时间。

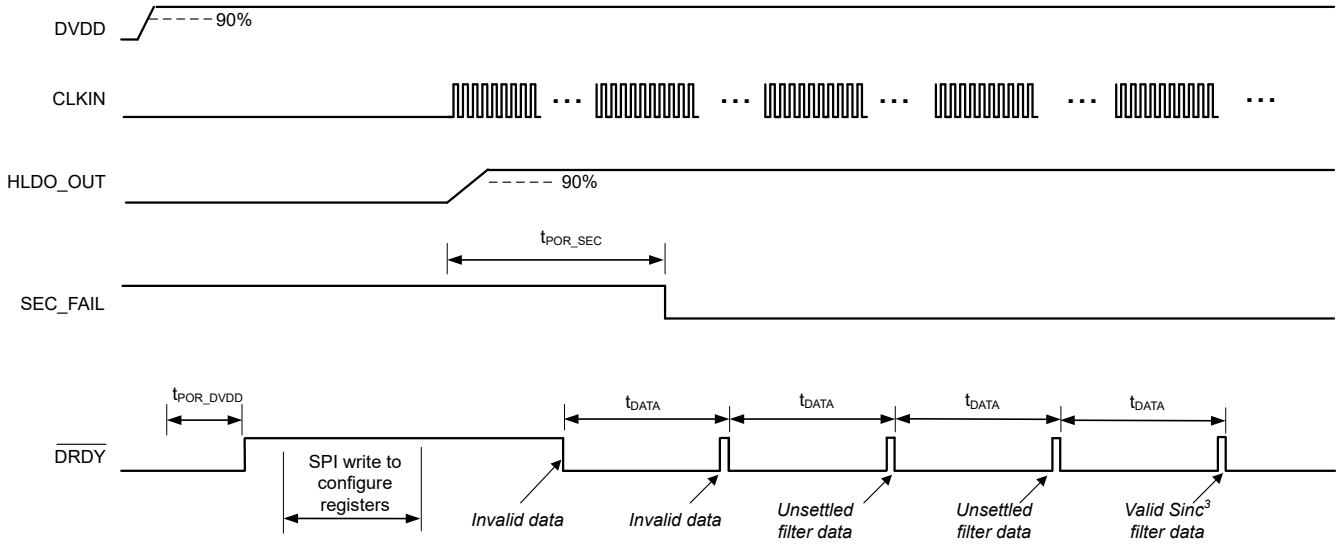


图 8-16. 上电启动行为和稳定时间，OSR = 1024

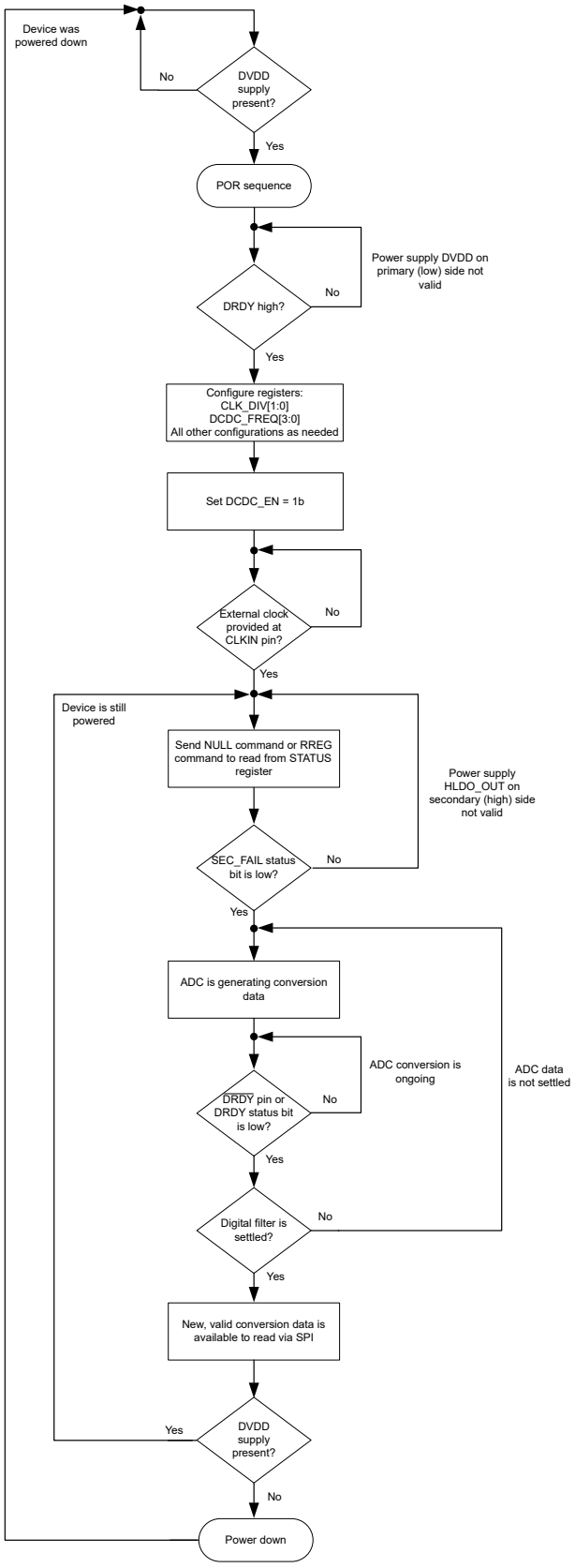


图 8-17. 上电启动过程的流程图

Copyright © 2023 Texas Instruments Incorporated

8.4.3 引脚复位或 RESET 命令后的启动行为

发送 RESET 命令或使用 SYNC/RESET 引脚执行引脚复位，会将 DCDC_EN 位复位为 0b，从而禁用直流/直流转换器。因此，RESET 命令或使用 SYNC/RESET 引脚进行引脚复位之后的启动过程与上电后发生的过程类似。但是，在发送命令或引脚复位的情况下没有 t_{POR_DVDD}，因为 DVDD 电源已经斜升。

图 8-18 展示了使用 SYNC/RESET 引脚进行复位引脚后的行为。只有当 SYNC/RESET 引脚保持低电平的时间长于 $t_{W(RSL)}$ 时，才会生成复位。如果引脚保持低电平的时间小于 $t_{W(RSL)}$ 但大于 CLKIN 周期，则会发生同步而不是复位。

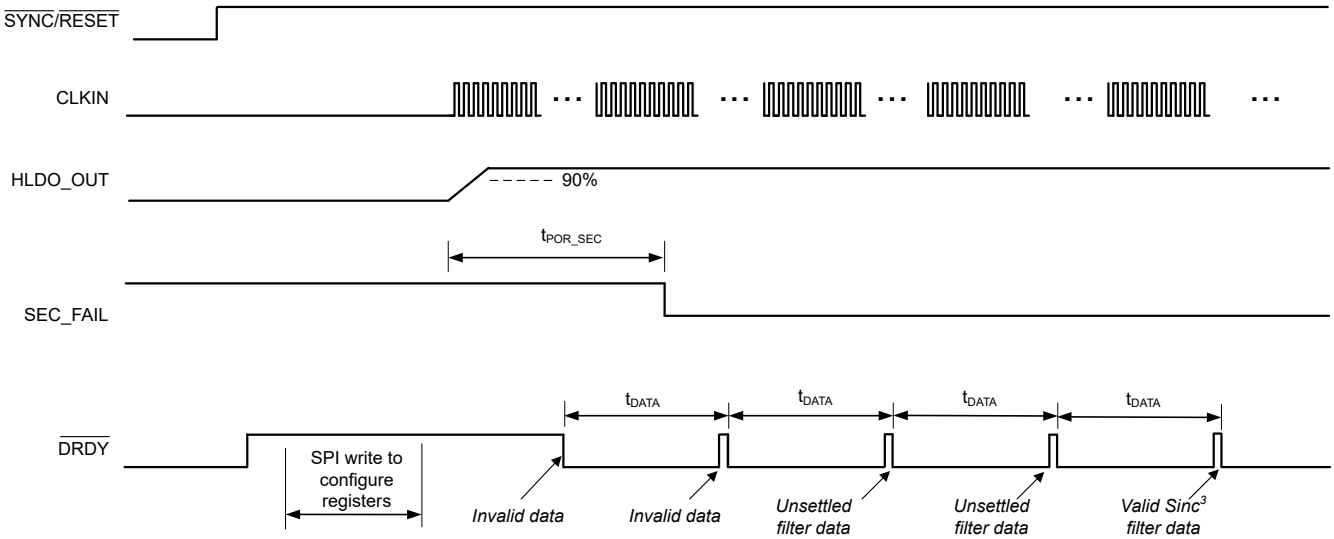


图 8-18. 引脚复位和稳定时间后的启动行为

如图 8-18 所示，按照*上电后的启动行为* 部分中所述的相同顺序配置器件并读取 STATUS 寄存器中的 SEC_FAIL 位，以便在执行 RESET 命令或使用 SYNC/RESET 引脚进行引脚复位后接收有效的转换数据。

8.4.4 在 CLKIN 中暂停后的启动行为

CLKIN 引脚上提供的时钟信号暂停会导致次级（高）侧上由直流/直流转换器生成的电源出现电压下降，并会阻止次级侧上的 ADC 电路运行。当 CLKIN 引脚上的时钟恢复时，直流/直流转换器会自动重新启用，并且无需重新配置 AMC131M02 寄存器。但是，在 STATUS 寄存器中的 SEC_FAIL 位设置为 0b 之前，次级（高）侧的电源电压不稳定。

按照*上电后的启动行为* 部分所述的顺序读取 STATUS 寄存器中的 SEC_FAIL 位，以便在 CLKIN 引脚上的时钟暂停并重新启动后接收有效的转换数据。

8.4.5 同步

主机可以执行同步，以确保 ADC 转换与外部事件同步。例如，如果时钟上的干扰导致主机和器件不同步，同步可以将数据捕获重新对齐到主机的预期时序。

SYNC/RESET 引脚是一个多功能数字输入引脚，允许主机将转换同步至外部事件或复位器件。有关如何将器件复位的更多详细信息，请参阅 *SYNC/RESET 引脚* 部分。

通过向 SYNC/RESET 引脚提供负脉冲并且持续时间小于 $t_{W(RSL)}$ 但大于 CLKIN 周期，可以触发同步。该器件会在内部将 SYNC/RESET 脉冲的前负边沿与跟踪数据速率的内部时钟进行比较。如果配置为使用相位校准设置 0b 置为有效，则内部数据速率时钟具有与 DRDY 引脚等效的时序。如果 SYNC/RESET 上的负边沿与内部数据速率时钟对齐，则器件被确定为同步，因此不采取任何操作。如果不对齐，器件上的数字滤波器会复位，以便与 SYNC/RESET 脉冲同步。

Copyright © 2023 Texas Instruments Incorporated

图 8-19 展示了 OSR = 1024 时向 SYNC/RESET 引脚上施加同步脉冲后的行为。如 *SINC³ 和 SINC³ + SINC¹ 滤波器* 部分所述，由于数字滤波器需要时间稳定，前两个转换结果是不稳定的数据，必须予以忽略。

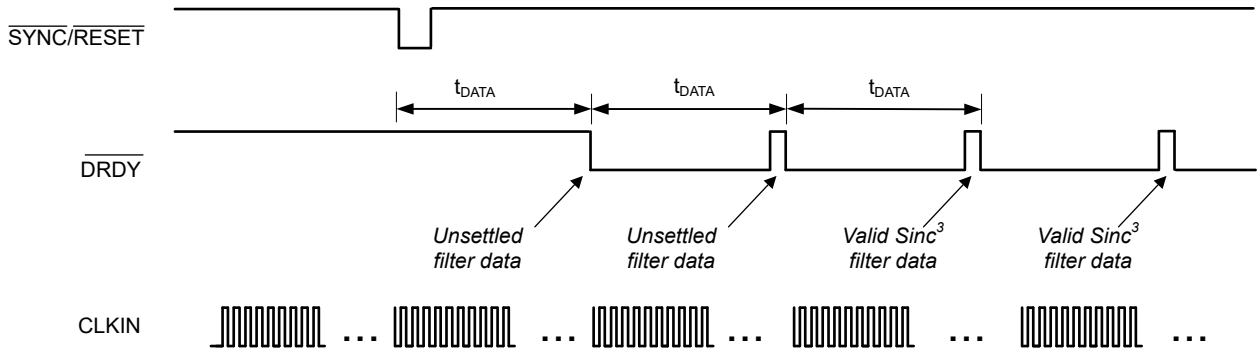


图 8-19. OSR = 1024 时的同步时序

在全局斩波模式下，转换始终在 SYNC/RESET 引脚的下降沿立即重新启动。

同步期间会保留所有通道上的相位校准设置。因此，具有非零相位校准设置的通道会在同步事件发生后不到一个数据速率周期生成转换结果。但是，直到相应通道至少有三个转换周期使 $sinc^3$ 滤波器稳定后，结果才会稳定。

8.4.6 转换模式

AMC131M02 上有两种 ADC 转换模式：连续转换模式和全局斩波模式。在连续转换模式下，ADC 以 f_{MOD}/OSR 定义的速率不断生成 ADC 转换。全局斩波模式不同于连续转换模式，因为全局斩波会定期对输入进行斩波（或交换），这会以交换输入时点之间的稳定时间为代价减少系统偏移误差。在连续转换或全局斩波模式下，有两种功率模式可提供灵活的选项以根据带宽和动态范围调整功耗。*电源模式* 一节更详细地讨论了这些功耗模式。

8.4.6.1 连续转换模式

连续转换模式是指以 f_{MOD}/OSR 的速率不断生成 ADC 数据的模式。新数据以该速率由 DRDY 下降沿指示。连续转换模式用于测量交流信号，因为该模式支持比全局斩波模式更高的输出数据速率。

8.4.6.2 全局斩波模式

AMC131M02 包含一个全局斩波模式选项，可将由于内部电路不匹配而导致的器件固有偏移误差和温漂降低到非常低的水平。当通过设置 GLOBAL_CHOP_CFG 寄存器中的 GC_EN 位启用全局斩波模式时，器件使用来自输入极性相反的两次连续内部转换的转换结果来抵消器件失调电压。转换 *n* 采用正常输入极性。然后器件针对转换 $\overline{n+1}$ 反转内部输入极性。两次连续转换（*n* 和 $\overline{n+1}$、$\overline{n+1}$ 和 *n* + 2，依此类推）的平均值产生最终的失调电压补偿结果。

Copyright © 2023 Texas Instruments Incorporated

图 8-20 展示了全局斩波模式实现的方框图。组合的 PGA 和 ADC 内部失调电压建模为 V_{OFS}。全局斩波模式仅降低该器件固有的失调电压。连接到模拟输入的外部电路中的失调电压不受全局斩波模式的影响。

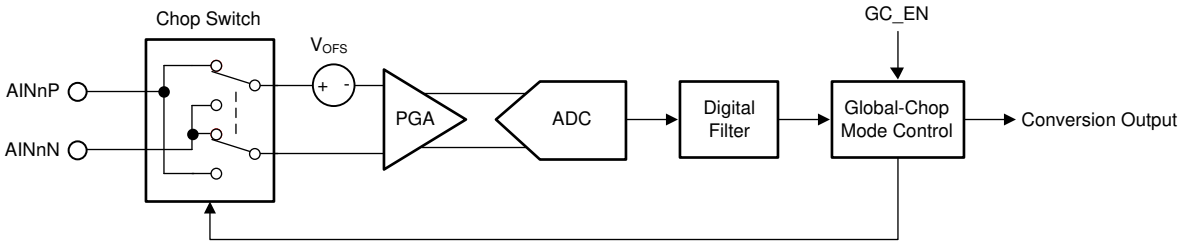


图 8-20. 全局斩波模式实现

全局斩波模式下的转换周期与禁用全局斩波模式时的转换时间不同 (t_{DATA} = OSR × t_{MOD})。图 8-21 展示了使用全局斩波模式的 ADC 通道的转换时序。

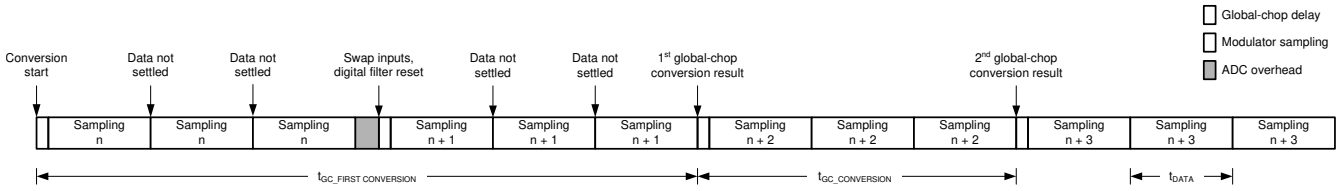


图 8-21. 启用全局斩波模式时的转换时序

每次器件交换输入极性时，数字滤波器都会复位。然后，ADC 始终进行三次内部转换以生成一个稳定的全局斩波转换结果。

在交换输入极性后，AMC131M02 在前一个转换周期结束和后续转换周期开始之间提供可编程延迟 (t_{GC_DLY})。该延迟使外部输入电路能够稳定下来，因为斩波开关直接连接到模拟输入。GLOBAL_CHOP_CFG 寄存器中的 GC_DLY[3:0] 位配置输入斩波后的延迟。全局斩波延迟是按照调制器时钟周期来选择的，其范围为 2 至 65,536 个 t_{MOD}。

可以使用方程式 8 来计算全局斩波模式下的有效转换周期。每次新的全局斩波转换对主机可用时，都会生成 $\overline{DRDY}$ 下降沿。

全局斩波模式下所有 ADC 通道的转换过程在以下两种情况下重新启动，以便所有通道同时开始采样：

- $\overline{SYNC}/\overline{RESET}$ 引脚的下降沿
- OSR 设置更改

ADC 通道复位后第一次转换的转换周期比方程式 8 中提到的所有后续转换的转换周期长得多，因为器件必须首先执行两次完全稳定的内部转换并交换输入极性。可以通过方程式 9 来计算全局斩波模式下首次转换的转换周期。

$$t_{GC_CONVERSION} = t_{GC_DLY} + 3 \times OSR \times t_{MOD} \quad (8)$$

$$t_{GC_FIRST_CONVERSION} = t_{GC_DLY} + 3 \times OSR \times t_{MOD} + t_{GC_DLY} + 3 \times OSR \times t_{MOD} + 44 \times t_{MOD} \quad (9)$$

在给定 OSR 下，使用全局斩波模式可将表 7-1 中列出的 ADC 噪声降低为原来的 $1/\sqrt{2}$，因为会对两个连续的内部转换求平均值以产生一个全局斩波转换结果。无法在全局斩波模式下测量直流测试信号。

在全局斩波模式下会自动禁用相位校准。

8.4.7 电源模式

在连续转换和全局斩波模式下，有两种可选的功耗模式允许功耗随带宽和性能进行调节：高分辨率 (HR) 模式和低功耗 (LP) 模式。可以通过 CLOCK 寄存器中的 PWR[1:0] 位来选择模式。更改 PWR[1:0] 位可调节内部偏置电流以达到预期的功耗水平。有关每种功耗模式的 CLKIN 频率限制，请参阅*建议运行条件*表。

Copyright © 2023 Texas Instruments Incorporated

8.4.8 待机模式

待机模式是一种低功耗状态，在该状态下，所有通道会被禁用，并且基准和其他非必要电路都会断电。该模式与完全关断器件不同，因为器件会保留寄存器设置。将 DCDC_CTRL 寄存器中的 DCDC_EN 位设置为 0b 可以在进入待机模式之前禁用直流/直流转换器。发送 STANDBY 命令 (0022h) 可以进入待机模式。当器件处于待机模式时，会停止切换 CLKIN，以更大限度地降低器件功耗。发送 WAKEUP 命令 (0033h) 可以退出待机模式。

8.5 编程

8.5.1 串行接口

AMC131M02 使用与 SPI 兼容的接口来配置器件和检索转换数据。该器件始终充当 SPI 外设；SCLK 和 $\overline{\text{CS}}$ 是接口的输入。该接口在 SPI 模式 1 下工作，其中 CPOL = 0 且 CPHA = 1。在 SPI 模式 1 下，SCLK 在空闲状态下保持低电平，并且数据仅在 SCLK 上升沿进行传输或更改；控制器和外设在 SCLK 下降沿锁存或读取数据。该接口是全双工的，也就是说该接口可以同时发送和接收数据。该器件包括典型的 SPI 信号：SCLK、$\overline{\text{CS}}$、DIN 和 DOUT。此外，还有另外两个提供功能的数字引脚。$\overline{\text{DRDY}}$ 引脚用作主机的标志，以指示新的转换数据可用。$\overline{\text{SYNC/RESET}}$ 引脚是一个双功能引脚，可将转换与外部事件同步，并可实现硬件器件复位。

8.5.1.1 片选 ($\overline{\text{CS}}$)

$\overline{\text{CS}}$ 引脚是一个低电平有效输入信号，用于选择要进行通信的器件。当 $\overline{\text{CS}}$ 保持高电平时，器件会忽略任何通信并且 DOUT 为高阻抗。在通信帧的持续时间内将 $\overline{\text{CS}}$ 保持为低电平，以确保正常通信。每次 $\overline{\text{CS}}$ 被设置为高电平时，接口都会复位。

8.5.1.2 串行数据时钟 (SCLK)

SCLK 引脚是用作接口串行时钟的输入。DOUT 引脚上的输出数据在 SCLK 的上升沿转换，DIN 上的输入数据在 SCLK 的下降沿锁存。

8.5.1.3 串行数据输入 (DIN)

DIN 引脚是器件的外设输入、控制器输出 (PICO) 引脚。当 $\overline{\text{CS}}$ 引脚为低电平时，器件在每个 SCLK 下降沿通过 DIN 引脚移入串行命令。

8.5.1.4 串行数据输出 (DOUT)

DOUT 引脚是器件的外设输出、控制器输入 (POCI) 引脚。当 $\overline{\text{CS}}$ 引脚为低电平时，器件在每个 SCLK 上升沿以串行方式移出命令响应和 ADC 转换数据。当 $\overline{\text{CS}}$ 处于高电平时，此引脚呈现高阻抗状态。

8.5.1.5 数据就绪 ($\overline{\text{DRDY}}$)

$\overline{\text{DRDY}}$ 引脚是低电平有效输出，指示新转换数据何时在转换模式下准备就绪。将 $\overline{\text{DRDY}}$ 引脚连接到主机上的输入以在转换模式下触发定期数据检索。每个 $\overline{\text{DRDY}}$ 下降沿之间的周期是数据速率周期。

$\overline{\text{DRDY}}$ 相对于 AMC131M02 上给定通道采样的时序取决于该通道的相位校准设置和 MODE 寄存器中 DRDY_SEL[1:0] 位的状态。将 DRDY_SEL[1:0] 位设置为 00b 会将 $\overline{\text{DRDY}}$ 配置为在具有最大正相位校准设置或最滞后的通道具有新的转换结果时生效。当这些位为 01b 时，每次任何通道数据准备就绪时，器件都会使 $\overline{\text{DRDY}}$ 生效。最后，将这些位设置为 10b 或 11b 可将器件配置为在具有最负相位校准设置或最重要的通道具有新的转换数据时使 $\overline{\text{DRDY}}$ 生效。更改 DRDY_SEL[1:0] 位对全局斩波模式下的 $\overline{\text{DRDY}}$ 行为没有影响，因为相位校准在全局斩波模式下自动禁用。

启用通道后或提供同步脉冲后的第一次 $\overline{\text{DRDY}}$ 生效时间取决于相位校准设置。如果导致 $\overline{\text{DRDY}}$ 生效的通道的相位校准设置小于零，则第一次 $\overline{\text{DRDY}}$ 生效可以小于通道启用或同步脉冲出现后的一个采样周期。但是，如果相位设置使输出时序过于接近采样周期的开始时间，则 $\overline{\text{DRDY}}$ 会在下一个采样周期生效。

表 8-8 列出了 $\overline{\text{DRDY}}$ 在采样周期内或在下一个采样周期中首次生效的相位校准设置边界。如果配置为控制 $\overline{\text{DRDY}}$ 生效的通道的设置大于表 8-8 中针对每个 OSR 列出的值，则 $\overline{\text{DRDY}}$ 在通道启用或同步脉冲的采样周期内首次生效。如果相位设置值等于或大于表 8-8 中的值，则 $\overline{\text{DRDY}}$ 在随后的采样周期中生效。更多有关同步的信息，请参阅*同步*一节。

Copyright © 2023 Texas Instruments Incorporated

表 8-8. 相位设置首次 $\overline{\text{DRDY}}$ 生效边界

OSR	相位设置边界	PHASEn[9:0] 位设置边界
128	–19	3EDh
256	-83	3ADh
512	–211	32Dh
1024	-467	22Dh
>1024	无	N/A

MODE 寄存器中的 DRDY_HIZ 位配置 $\overline{\text{DRDY}}$ 引脚在被设置为无效时的状态。默认情况下，该位为 0b，这意味着该引脚使用推挽输出级主动驱动为高电平。当该位为 1b 时，$\overline{\text{DRDY}}$ 的行为类似于开漏数字输出。当 $\overline{\text{DRDY}}$ 未生效时，使用 10kΩ 上拉电阻器将该引脚拉至高电平。

MODE 寄存器中的 DRDY_FMT 位决定了 $\overline{\text{DRDY}}$ 信号的格式。当该位为 0b 时，通过以下方式来指示新数据：$\overline{\text{DRDY}}$ 从高电平变为低电平并保持低电平直到所有转换数据移出器件，或者保持低电平并在下一次 $\overline{\text{DRDY}}$ 转换为低电平之前短暂变为高电平。当 DRDY_FMT 位为 1b 时，新数据由 $\overline{\text{DRDY}}$ 引脚上的短负脉冲指示。如果在 DRDY_FMT 为 1b 时主机在 $\overline{\text{DRDY}}$ 脉冲后没有读取转换数据，由于脉冲的生成方式，器件会在数据就绪时跳过一个转换结果并且不提供另一个 $\overline{\text{DRDY}}$ 脉冲，直到出现下一个实例。更多有关未持续读取数据时 $\overline{\text{DRDY}}$ 行为的信息，请参阅*第一次或数据收集暂停后收集数据*一节。

8.5.1.6 转换同步或系统复位 ($\overline{\text{SYNC}}$/$\overline{\text{RESET}}$)

$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚是一个多功能数字输入引脚，主要用于允许主机将转换同步到外部进程或将器件复位。有关同步功能的更多详细信息，请参阅*同步*一节。有关如何将器件复位的更多详细信息，请参阅 *$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚*一节。

8.5.1.7 SPI 通信帧

AMC131M02 上的 SPI 通信以帧为单位进行。每个 SPI 通信帧由多个字组成。通过对 MODE 寄存器中的 WLENGTH[1:0] 位进行编程，可将字大小配置为 16、24 或 32 位。

该接口是全双工的，也就是说该接口能够在 DOUT 上发送数据，同时在 DIN 上接收数据。主机在 DIN 上发送的输入帧始终以命令开头。器件在 DOUT 上发送的输出帧中的第一个字始终以响应开头，用于响应前一个输入帧中发送的命令。

命令中的字数取决于提供的命令。对于大多数命令，一个帧中有四个字。在 DIN 上，主机提供命令、命令 CRC（如果启用了输入 CRC）或零字（如果禁用了输入 CRC），以及两个额外的零字。同时在 DOUT 上，该器件输出对前一帧命令的响应、两个 ADC 数据字（代表两个 ADC 通道）以及一个 CRC 字。如果一个或多个 ADC 通道被禁用，这四个字的帧结构仍然适用，且被禁用通道的数据读取值为全零。图 8-22 展示了典型的命令帧结构。

Copyright © 2023 Texas Instruments Incorporated

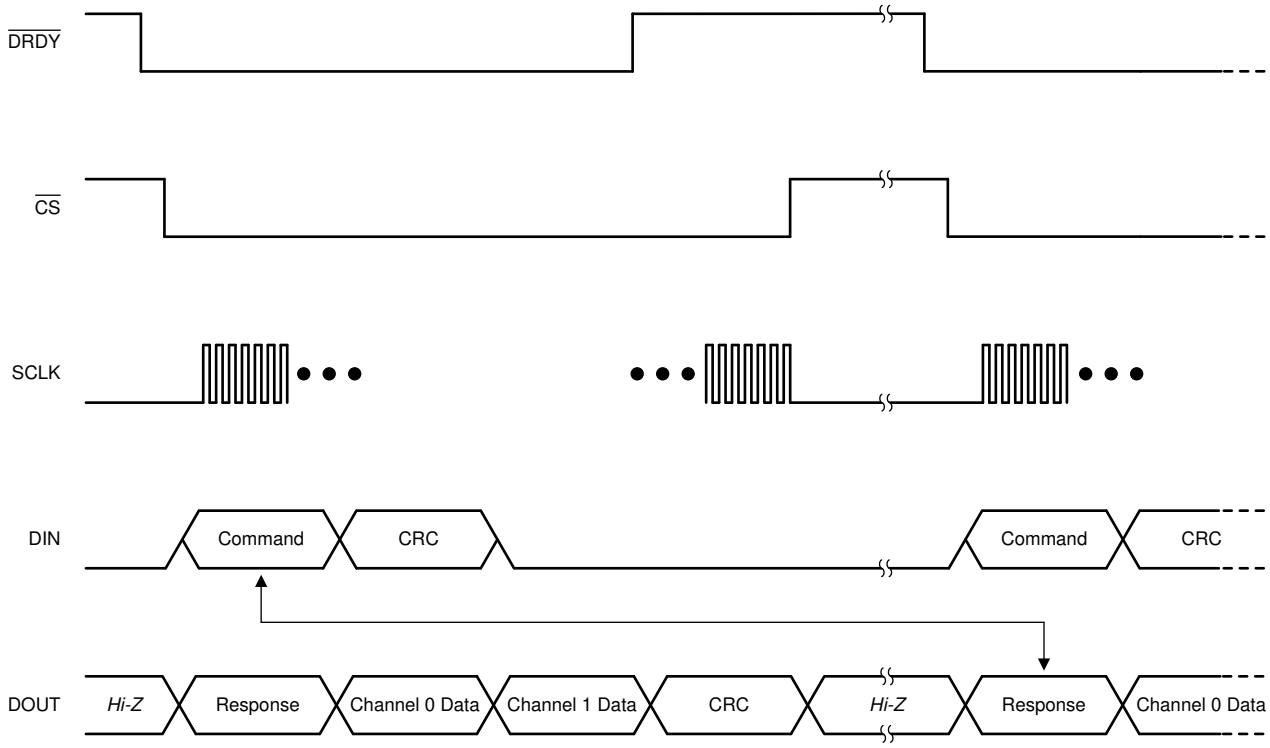


图 8-22. 典型通信帧

有些命令需要四个以上的字。当读取寄存器 (RREG) 命令读取多个寄存器时，命令响应会包含对命令的确认，后跟请求的寄存器内容，这可能需要更大的帧，具体取决于读取的寄存器数量。有关 RREG 命令的更多详细信息，请参阅 *RREG* 部分。

当写入寄存器 (WREG) 命令写入多个寄存器时，则帧会进行扩展以容纳额外的数据。有关 WREG 命令的更多详细信息，请参阅 *WREG* 部分。

有关 AMC131M02 上所有有效命令和相应响应的列表，请参阅*命令* 部分。

在特殊情况下，主机可以缩短数据帧。有关手动缩短通信帧的更多信息，请参阅*短 SPI 帧* 部分。

8.5.1.8 SPI 通信字

与 AMC131M02 的 SPI 通信帧由多个字组成。DIN 上的字可以包含命令、寄存器写入期间的寄存器设置或输入数据的 CRC。DOUT 上的字可以包含命令响应、寄存器读取期间的寄存器设置、ADC 转换数据或输出数据的 CRC。

字可以是 16、24 或 32 位。字大小由 MODE 寄存器中的 WLENGTH[1:0] 位配置。该器件默认为 24 位字大小。命令、响应、CRC 和寄存器始终包含 16 位实际数据。这些字始终是最高有效位 (MSB) 对齐，因此最低有效位 (LSB) 用零填充，以适应 24 位或 32 位字大小。ADC 转换数据的标称大小为 24 位。当器件配置为 16 位字大小时，ADC 会截断八个 LSB。该器件可以通过 MODE 寄存器中的 WLENGTH[1:0] 位配置两个 32 位 ADC 数据通信选项。ADC 数据可以用零填充 LSB，也可以用符号扩展 MSB。

8.5.1.9 短 SPI 帧

如果禁用了 ADC 且器件未输出 ADC 数据，则可以将 SPI 帧缩短为仅发送命令和接收响应。如果启用了 ADC，则从每个采样周期中读出所有预期的输出数据字。读取每个帧的所有数据输出可确保 $\overline{\text{DRDY}}$ 引脚的行为是可预测的。如果无法在每个输出数据周期读取所有数据，请参阅*第一次或数据收集暂停后收集数据* 部分，了解如何在暂停后从 ADC 上次启用时再次开始读取数据。

使用 RESET 命令时，不能使用短帧。在提供 RESET 命令时，必须提供整个帧才能进行器件复位。

Copyright © 2023 Texas Instruments Incorporated

8.5.1.10 通信循环冗余校验 (CRC)

AMC131M02 在输入和输出数据上都具有循环冗余校验 (CRC) 引擎，以减少 SPI 通信错误。对于输入或输出 CRC，CRC 字的宽度为 16 位。覆盖范围包括启用 CRC 的 SPI 帧中的所有字，包括零填充位或符号扩展位。

SPI 输入上的 CRC 是可选的，可以通过写入 MODE 寄存器中的 RX_CRC_EN 位来启用和禁用。默认情况下禁用输入 CRC。器件会根据基于输入数据生成的 CRC 检查提供的输入 CRC。如果 CRC 字不匹配，则会发生 CRC 错误。如果输入 CRC 校验失败，则器件不执行任何命令，WREG 命令除外。即使 CRC 校验失败，WREG 命令也始终执行。对于所有 CRC 错误，该器件都会设置 STATUS 寄存器中的 CRC_ERR 位。发生 CRC 错误的帧之后的 SPI 帧中输出的响应是 NULL 命令的响应，这意味着 STATUS 寄存器加上转换数据在随后的 SPI 帧中输出。CRC_ERR 位在 STATUS 寄存器输出时清除。

输出 CRC 不是可选的，始终显示在输出帧的末尾。如果未使用输出 CRC，主机可以忽略该数据。

有两种类型的 CRC 多项式可用：CCITT CRC 和 ANSI CRC (CRC-16)。CRC 设置决定了输入和输出 CRC 的算法。CRC 类型由 MODE 寄存器中的 CRC_TYPE 位进行编程。表 8-9 列出了两种 CRC 类型的详细信息。

CRC 计算使用 FFFFh 的种子值进行初始化，以在 DIN 或 DOUT 始终为低电平时检测错误。

表 8-9. CRC 类型

CRC 类型	多项式	二进制多项式
CCITT CRC	$x^{16} + x^{12} + x^5 + 1$	0001 0000 0010 0001
ANSI CRC	$x^{16} + x^{15} + x^2 + 1$	1000 0000 0000 0101

8.5.1.11 SPI 超时

AMC131M02 具有 SPI 超时功能，可用于恢复 SPI 通信，尤其是在 $\overline{CS}$ 一直连接低电平的情况下。SPI 超时通过设置 MODE 寄存器中的 TIMEOUT 位来启用。启用后，整个 SPI 帧（第一个 SCLK 到最后一个 SCLK）必须在 2^{15} 个 MCLK 周期内完成，否则 SPI 逻辑会复位。如果发生超时，器件开始将从下一个 SCLK 开始的数据解释为新的 SPI 帧。

Copyright © 2023 Texas Instruments Incorporated

8.5.2 ADC 转换数据

该器件以 CLOCK 寄存器 OSR 位设置的数据速率为每个通道提供转换数据。相对于 $\overline{DRDY}$ 生效的数据可用时间由通道相位校准设置和 MODE 寄存器中的 DRDY_SEL[1:0] 位（处于连续转换模式）决定。在全局斩波模式下，所有数据在 $\overline{DRDY}$ 生效后立即可用。 所有通道的转换状态可通过 STATUS 寄存器中的 DRDY[1:0] 位获得。STATUS 寄存器的内容作为对 NULL 命令的响应自动输出。

转换数据为 24 位。当器件以 16 位字大小运行时，数据 LSB 被截断。当使用 32 位字大小时，根据 MODE 寄存器中 WLENGTH[1:0] 位的设置，LSB 进行零填充或 MSB 进行符号扩展。

数据以二进制补码格式给出。可以使用方程式 10 来计算一个代码的大小 (LSB)。

$$1\ LSB = (2.4V/增益)/2^{24} = +FSR/2^{23} \quad (10)$$

正满量程输入 $V_{IN} \geq +FSR - 1LSB = 1.2V/增益 - 1LSB$ 可产生 7FFFFFh 的输出代码，负满量程输入（$V_{IN} \leq -FSR = -1.2V/增益$）可产生 800000h 的输出代码。输出在这些代码处针对超出满量程范围的信号进行削波。

表 8-10 总结了不同输入信号的理想输出代码。

表 8-10. 理想输出代码与输入信号间的关系

输入信号，$V_{IN} = V_{AINP} - V_{AINN}$	理想输出代码
$\geq FSR\ (2^{23} - 1)/2^{23}$	7FFFFFh
$FSR/2^{23}$	000001h
0	000000h
$-FSR/2^{23}$	FFFFFFh
$\leq -FSR$	800000h

图 8-23 展示了模拟输入信号到输出代码的映射。

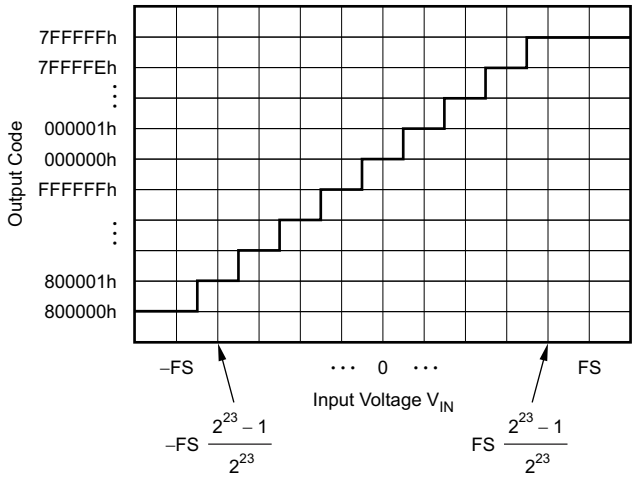


图 8-23. 代码转换图

Copyright © 2023 Texas Instruments Incorporated

8.5.3 命令

表 8-11 列出了所有有效命令、功能的简短描述、二进制命令字以及出现在下一个帧中的预期响应。

表 8-11. 命令定义

命令	说明	命令字	响应
NULL	无操作	0000 0000 0000 0000	STATUS 寄存器
RESET	复位器件	0000 0000 0001 0001	1111 1111 0010 0011
STANDBY	将器件置于待机模式	0000 0000 0010 0010	0000 0000 0010 0010
WAKEUP	将器件从待机模式唤醒至转换模式	0000 0000 0011 0011	0000 0000 0011 0011
LOCK	锁定接口，只有 NULL、UNLOCK 和 RREG 命令有效	0000 0101 0101 0101	0000 0101 0101 0101
UNLOCK	接口锁定后解锁接口	0000 0110 0101 0101	0000 0110 0101 0101
RREG	从地址 *a aaaa a* 开始读取 *nnn nnnn* 加 1 个寄存器	101*a aaaa annn nnnn*	*dddd dddd dddd dddd* 或 111*a aaa annn nnnn* (1)
WREG	从地址 *a aaaa a* 开始对 *nnn nnnn* 加 1 个寄存器进行写入	011*a aaaa annn nnnn*	010*a aaaa ammm mmmm* (2)

(1) 当 *nnn nnnn* 为 0 时，响应为请求的寄存器数据 *dddd dddd dddd dddd*。当 *nnn nnnn* 大于 0 时，响应以 111*a aaaa annn nnnn* 开头，后跟寄存器数据。
(2) 在这种情况下，*mmm mmmm* 表示实际写入的寄存器数量减一。在某些情况下，该值可以小于 *nnn nnnn*。

8.5.3.1 NULL (0000 0000 0000 0000)

NULL 命令是*无操作* 命令，不对任何寄存器进行读取或写入，器件状态保持不变。NULL 命令专门用于从 ADC 读取转换数据。NULL 命令的命令响应是 STATUS 寄存器的内容。任何无效命令也会给出 NULL 响应。

8.5.3.2 RESET (0000 0000 0001 0001)

RESET 命令将 ADC 重置为寄存器默认值。该命令在帧结束时由器件锁存。该命令被锁存后会立即发生复位。在复位之后，主机必须等待 t_{REGACQ} 才能与器件通信，以确保寄存器采用默认设置。当 ADC 正确复位后，器件会发送 FF23h 确认。如果命令字已发送但帧未完成，那么器件会以 0011h 响应，因此器件不会复位。更多有关复位命令操作的信息，请参阅 *RESET 命令* 一节。图 8-24 说明了正确发送的 RESET 命令帧。

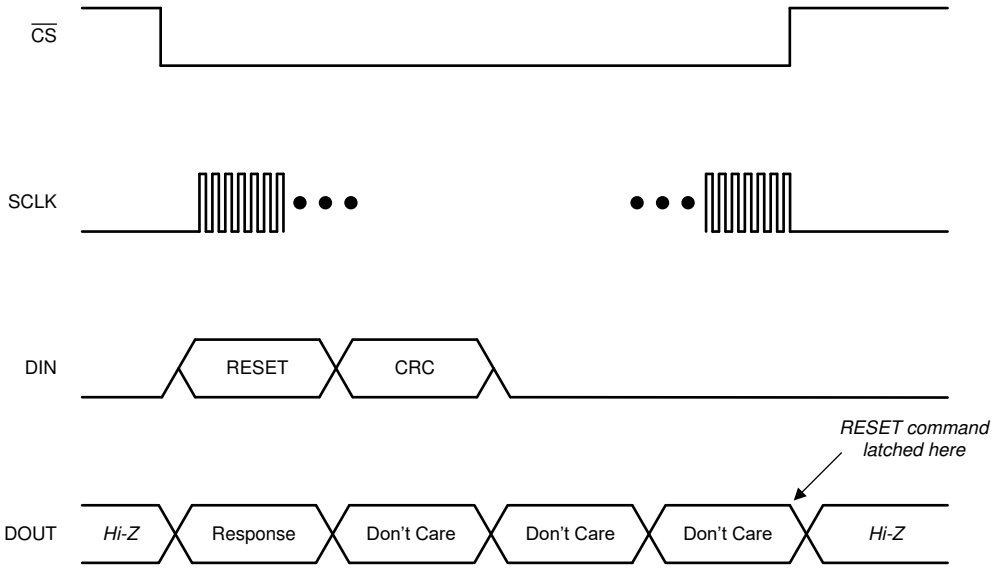


图 8-24. RESET 命令帧

8.5.3.3 STANDBY (0000 0000 0010 0010)

STANDBY 命令会将器件置于低功耗待机模式。该命令在帧结束时由器件锁存。该命令锁存后，器件会立即进入待机模式。将 DCDC_CTRL 寄存器中的 DCDC_EN 位设置为 0b 可以在进入待机模式之前禁用直流/直流转换器。更多信息请参阅*待机模式*部分。如果器件已处于待机模式，则此命令无效。

8.5.3.4 WAKEUP (0000 0000 0011 0011)

WAKEUP 命令会使器件从待机模式返回到转换模式。如果器件已处于转换模式，则此命令无效。

将 DCDC_CTRL 寄存器中的 DCDC_EN 位设置为 1b，以在发送 WAKEUP 命令后启用直流/直流转换器。

8.5.3.5 LOCK (0000 0101 0101 0101)

LOCK 命令锁定接口，从而防止器件意外锁存可能更改器件状态的不需要的命令。当接口被锁定时，器件只响应 NULL、RREG 和 UNLOCK 命令。即使锁定，器件也会继续输出转换数据。

8.5.3.6 UNLOCK (0000 0110 0101 0101)

如果之前由 LOCK 命令锁定，UNLOCK 命令将解锁接口。

8.5.3.7 RREG (101a aaaa annn nnnn)

RREG 命令读取器件寄存器。命令字的二进制格式为 101*a aaaa annn nnnn*，其中 *a aaaa a* 是要开始读取的寄存器的二进制地址，*nnn nnnn* 是要读取的连续寄存器的无符号二进制数减 1。在两种情况下会读取 AMC131M02 上的寄存器。当读取单个寄存器 (*nnn nnnn* = 000 0000b) 时，器件在下一帧的命令响应字中输出寄存器内容。如果使用单个命令读取多个寄存器 (*nnn nnnn* > 000 0000b)，则器件按地址顺序输出请求的寄存器数据。

Copyright © 2023 Texas Instruments Incorporated

8.5.3.7.1 读取单个寄存器

可以通过在 RREG 命令字中将 *nnn nnnn* 指定为零来从器件中读取单个寄存器。与 AMC131M02 上的所有 SPI 命令一样，响应在命令后帧中的输出上发生。响应字不是唯一的确认字，而是寄存器的内容，其地址在命令字中指定。图 8-25 展示了一个读取单个寄存器的示例。

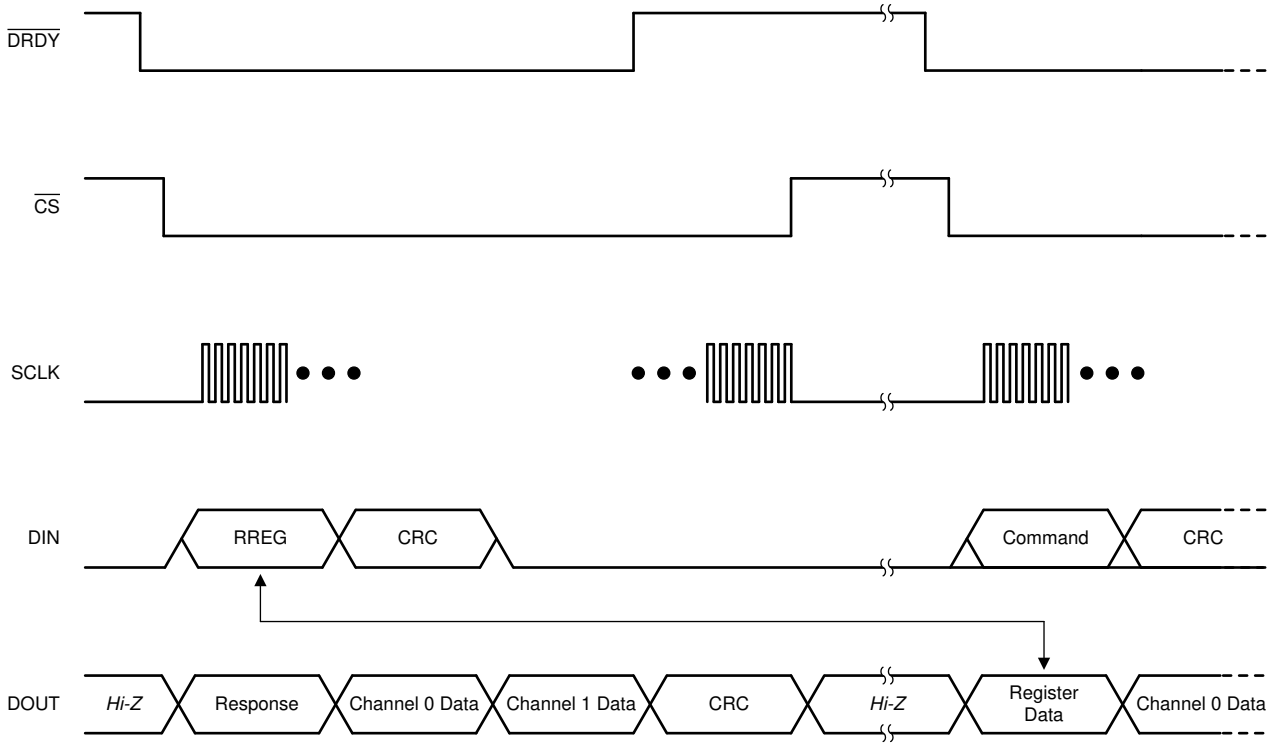


图 8-25. 读取单个寄存器

8.5.3.7.2 读取多个寄存器

当在 RREG 命令字中将 *nnn nnnn* 指定为大于零的数字时，会从器件中读取多个寄存器。与 AMC131M02 上的所有 SPI 命令一样，响应在命令后帧中的输出上发生。响应跨越多个确认字，而不是单个确认字，以移出所有请求的寄存器。继续切换 SCLK 以适应输出整个数据流。ADC 转换数据不会在 RREG 命令读取多个寄存器后的帧中输出。图 8-26 展示了一个读取多个寄存器的示例。

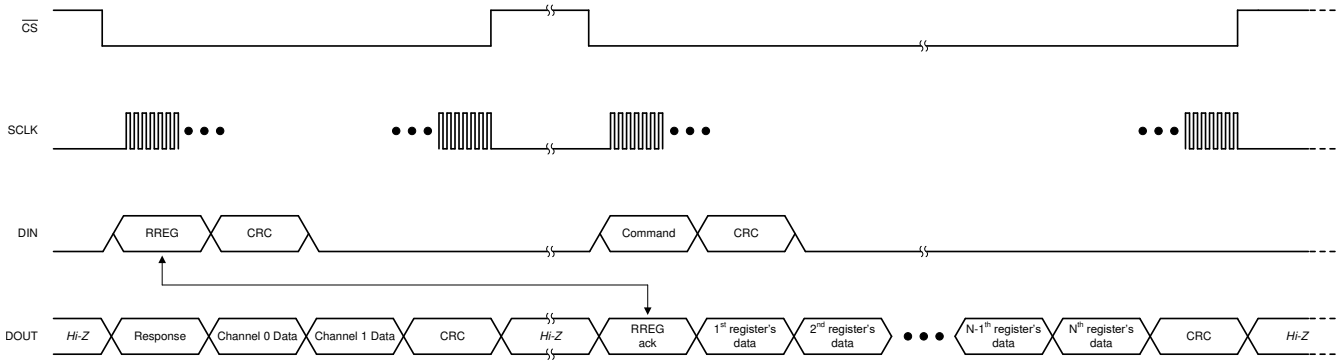


图 8-26. 读取多个寄存器

Copyright © 2023 Texas Instruments Incorporated

8.5.3.8 WREG (011a aaaa annn nnnn)

WREG 命令允许写入任意数量的连续器件寄存器。命令字的二进制格式为 011*a aaaa annn nnnn*，其中 *a aaaa a* 是要开始写入的寄存器的二进制地址，*nnn nnnn* 是要写入的连续寄存器的无符号二进制数减 1。在命令字之后立即发送要写入的数据。以 MSB 对齐方式将每个寄存器的预期内容写入单独的字中。

如果启用了输入 CRC，则在寄存器数据之后写入该 CRC。当寄存器内容被移入 DIN 时，它们会被写入器件。因此，CRC 错误不会阻止错误值被写入寄存器。WREG 命令期间的输入 CRC 错误会设置 STATUS 寄存器中的 CRC_ERR 位。

器件会忽略对只读寄存器或越界地址的写入。寄存器映射地址空间中的间隙仍包含在参数 *nnn nnnn*，但不可写，因此不会对它们进行任何更改。对 WREG 命令的响应发生在下一个帧中并显示为 010*a aaaa ammm mmmm*，其中 *mmm mmmm* 是实际写入的寄存器数减 1。主机可以根据 *nnn nnnn* 来检查此数值，以确保写入预期数量的寄存器。

图 8-27 展示了一个典型的 WREG 序列。在此示例中，要写入的寄存器数量大于 ADC 通道的数量，因此帧扩展到 ADC 通道之外并输出 CRC 字。确保所有 ADC 数据和输出 CRC 均在新数据可用的每个事务期间移出。

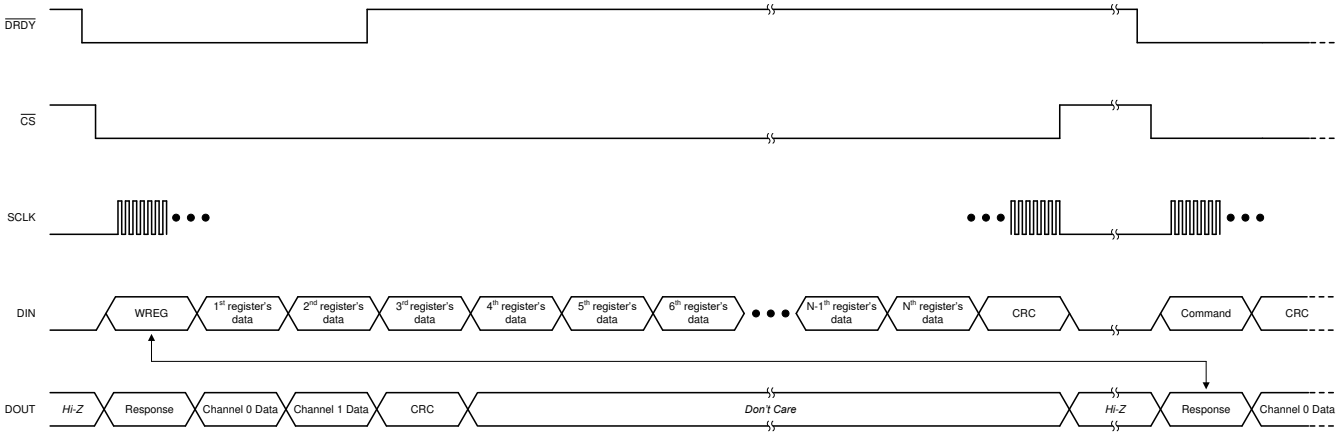


图 8-27. 写入寄存器

8.5.4 ADC 输出缓冲器和 FIFO 缓冲器

如图 8-28 所示，AMC131M02 的每个 ADC 通道都有两个用于保存转换数据的内部数据缓冲器：一个 *ADC 输出缓冲器* 和一个 *FIFO 缓冲器*。每个缓冲器一次只能保存一个转换结果。DOUT 上的数据输出始终来自 FIFO 缓冲器。

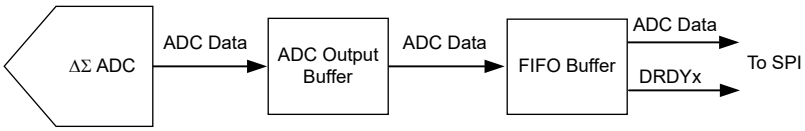


图 8-28. ADC 数据输出缓冲器结构

每当 ADC 通道生成新的转换数据时，该通道的 ADC 输出缓冲器都会立即用新数据进行更新。然而，FIFO 缓冲器更新取决于主机的前一次转换数据检索。有三种情况：

- 如果在新的转换数据 (N+1) 可用时存储在 FIFO 缓冲器中的转换数据 (N) 已被主机读取，则 FIFO 缓冲器将更新为新的转换数据 (N+1)。在这种情况下，ADC 输出缓冲器和 FIFO 缓冲器中的数据同时更新（即，两个缓冲器现在保存相同的转换数据 N+1）。
- 如果在新的转换数据 (N+1) 可用时存储在 FIFO 缓冲器中的转换数据 (N) 尚*未*被主机读取，则 FIFO 缓冲器*不*会更新并仍然保存先前的转换数据 (N)，而 ADC 输出缓冲器现在保存新的转换数据 (N+1)。在这种情况下，ADC 输出缓冲器 (N+1) 和 FIFO 缓冲器 (N) 之间的数据内容不同。主机从 FIFO 缓冲器读取转换数据 N 后，FIFO 缓冲器将更新为转换数据 N+1。然后主机可以检索转换数据 N+1。

Copyright © 2023 Texas Instruments Incorporated

- 如果存储在 FIFO 缓冲器中的转换数据 (N) 尚*未*被主机读取，但同时有*两个*新的转换数据可用（即 ADC 输出缓冲器已使用转换数据 N+2 更新），则存在一种特殊情况。在这种情况下，在 ADC 输出缓冲器用转换结果 N+2 更新的同时，FIFO 缓冲器用转换结果 N+2 更新（即两个缓冲器现在保存相同的转换数据 N+2）。这意味着转换数据 N 和 N+1 丢失，主机无法再检索这些数据。

表 8-12 总结了新转换数据 (N+1) 可用时的 ADC 输出缓冲器和 FIFO 缓冲器操作。

表 8-12. 新的转换数据可用：ADC 输出缓冲器和 FIFO 缓冲器的操作

SPI 历史记录	在时间 $t = t_S$ 时可用的新转换数据	ADC 输出缓冲器内容 ($t < t_S$)	FIFO 缓冲器内容 ($t < t_S$)	ADC 输出缓冲器内容 ($t > t_S$)	FIFO 缓冲器内容 ($t > t_S$)
FIFO 数据 N 已被主机读取	N+1	否	否	N+1	N+1
FIFO 数据 N 尚未被主机读取	N+1	否	否	N+1	否
FIFO 数据 N 尚未被主机读取	N+2	N+1	N	N+2	N+2

以下三个示例使用简化符号说明了 ADC 输出和 FIFO 缓冲器的行为，以指示每个缓冲器中存储了哪些转换数据：[ADC 输出缓冲器中的样本数 | FIFO 缓冲器中的样本数]。

示例 1：主机在结果可用后立即读取转换结果

- 当第一次转换（结果 1）完成时，该结果将同时置于 ADC 输出缓冲器和 FIFO 缓冲器中 [1 | 1]。
- 如果主机在转换完成后立即读取转换结果 1，则缓冲器的内容保持为 [1 | 1]。如果需要，主机可以在转换结果 2 完成之前多次从 FIFO 缓冲器读取转换结果 1。
- 当转换结果 2 完成时，结果再次置于 ADC 输出缓冲器和 FIFO 缓冲器中 [2 | 2]。
- 如果主机在第三次转换完成之前读取结果，则会读取结果 2，缓冲器保持为 [2 | 2]。

示例 2：主机错过读取一个转换结果

- 当第一次转换（结果 1）完成时，结果将同时置于 ADC 输出缓冲器和 FIFO 缓冲器中 [1 | 1]。
- 如果主机在第二次转换完成之前错过了从 FIFO 缓冲器读取结果 1，则 ADC 输出缓冲器保存结果 2，FIFO 缓冲器仍然保存结果 1 [2 | 1]。
- 如果主机现在在第三次转换完成之前读取数据，则会读取结果 1。缓冲器的内容随后更新为 [2 | 2]。
- 主机的另一个转换数据读取请求会在 DOUT 上移出结果 2。缓冲器保持为 [2 | 2]。
- 现在，当第三次转换完成时，两个缓冲器都会使用结果 3 进行更新 [3 | 3]。

示例 3：主机错过读取两个连续的转换结果

- 当第一次转换（结果 1）完成时，结果将同时置于 ADC 输出缓冲器和 FIFO 缓冲器中 [1 | 1]。
- 如果主机在第二次转换完成之前错过了从 FIFO 缓冲器读取结果 1，则 ADC 输出缓冲器保存结果 2，FIFO 缓冲器仍然保存结果 1 [2 | 1]。
- 现在，如果第三次转换完成但主机仍未从 FIFO 缓冲器检索数据，则结果 3 将覆盖 ADC 输出和 FIFO 缓冲器中的数据 [3 | 3]。
- 在这种情况下，转换结果 1 和结果 2 都会丢失，无法再被主机读取。

根据 ADC 的内部结构（包括 ADC 输出缓冲器和 FIFO 缓冲器），$\overline{\text{DRDY}}$ 引脚的行为如下所述：

- 如果主机在每次新转换数据可用时读取转换数据，则 $\overline{\text{DRDY}}$ 将遵循*数据就绪 ($\overline{\text{DRDY}}$)* 部分中所述的格式，具体取决于 MODE 寄存器中的 DRDY_FMT 位：当 DRDY_FMT 位为 0b 时，通过以下方式来指示新数据：$\overline{\text{DRDY}}$ 从高电平变为低电平并保持低电平直到所有转换数据移出器件，或者保持低电平并在下一次 $\overline{\text{DRDY}}$ 转换为低电平之前短暂变为高电平。当 DRDY_FMT 位为 1b 时，新数据由 $\overline{\text{DRDY}}$ 引脚上的短负脉冲指示。
- 如果 DRDY_FMT 位为 0b 并且主机在下一次转换完成之前没有从 FIFO 缓冲器读取转换数据，则 $\overline{\text{DRDY}}$ 保持低电平，并在 $\overline{\text{DRDY}}$ 下一次转换为低电平之前短暂变为高电平（表示新的转换）。

Copyright © 2023 Texas Instruments Incorporated

- 如果 DRDY_FMT 位为 1b 并且主机在下一次转换完成之前没有从 FIFO 缓冲器读取转换数据，则器件会跳过一个 $\overline{\text{DRDY}}$ 脉冲，并且在数据就绪后的第二个实例之前不提供另一个 $\overline{\text{DRDY}}$ 脉冲。因此，如果 DRDY_FMT 位为 1b 并且主机根本不读取转换数据，则 $\overline{\text{DRDY}}$ 引脚将以转换速率一半的速率进行切换。

8.5.5 第一次或数据收集暂停后收集数据

第一次收集数据或暂停后再次开始收集数据时要特别小心。如 *ADC 输出缓冲器和 FIFO 缓冲器* 一节所述，除了 ADC 输出缓冲器外，该器件还包含一个先进先出 (FIFO) 缓冲器。当主机从器件中读取每个连续样本时，每次生成新数据时都会更新两个缓冲器，因此每次读取都会清除 STATUS 寄存器中的 DRDY 标志。但是，如果一段时间内未读取数据，则之前的样本可能会丢失，如 *ADC 输出缓冲器和 FIFO 缓冲器* 一节所述。选通 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚以重新同步转换并清除缓冲区，或者在第一次读取数据时或在读取数据间隙后快速读取两个数据包。该过程可确保 $\overline{\text{DRDY}}$ 引脚行为是可预测的。有关同步功能的信息，请参阅 *同步* 一节。如果从 ADC 启用时开始的每个输出数据周期读取每个通道数据，则不需要采用这些方法。

图 8-29 展示了一个示例，说明如何在 ADC 运行一段时间后收集数据，但没有数据被检索到。在这种情况下，$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚会清除内部缓冲区并将 AMC131M02 输出数据与主机重新对齐。

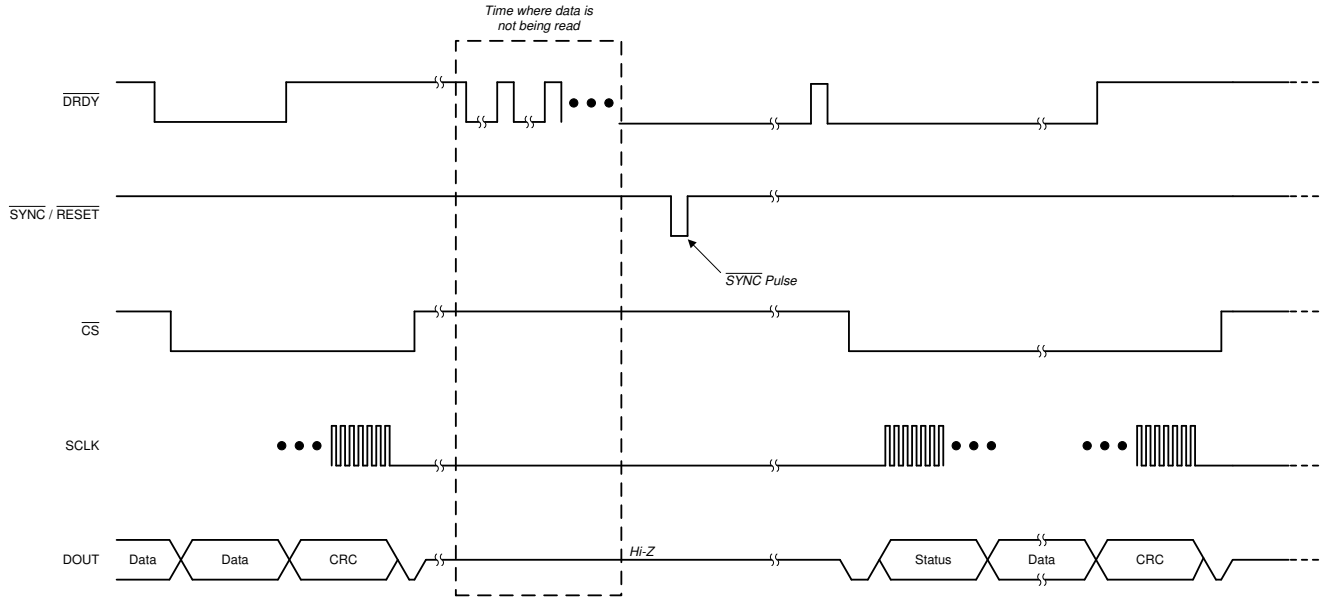


图 8-29. 使用 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚在暂停后收集数据

在暂停收集数据后清除 FIFO 的另一种功能等效方法是从快速连续读取两个样本开始。图 8-30 展示了该方法。该示例显示当 MODE 寄存器中的 DRDY_FMT 位设置为 0b 时 $\overline{\text{DRDY}}$ 为电平输出。在第一组数据移出器件后，$\overline{\text{DRDY}}$ 上立即出现一个非常窄的脉冲。该脉冲可能太窄，某些微控制器无法检测到。因此，不要依赖这个脉冲，而是在第一个数据集之后立即读出第二个数据集。从器件读取第二个字后，主机与器件同步运行。

Copyright © 2023 Texas Instruments Incorporated

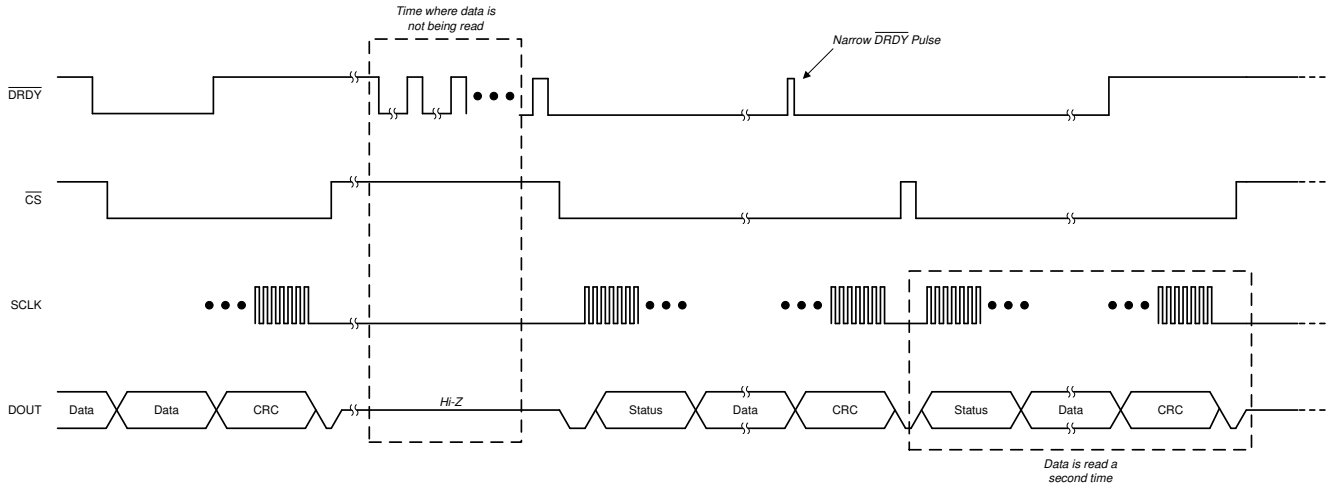


图 8-30. 通过两次读取数据在暂停后收集数据

8.6 AMC131M02 寄存器

表 8-13 列出了 AMC131M02 寄存器的存储器映射寄存器。表 8-13 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-13. 寄存器映射

地址	首字母缩写	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	ID	Xb	RESERVED				CHANCNT[3:0]			
			RESERVED							
01h	STATUS	0540h	LOCK	F_RESYNC	REG_MAP	CRC_ERR	CRC_TYPE	复位	WLENGTH[1:0]	
			FUSE_FAIL	SEC_FAIL	RESERVED				DRDY1	DRDY0
02h	模式	0510h	RESERVED		REG_CRC_EN	RX_CRC_EN	CRC_TYPE	复位	WLENGTH[1:0]	
			RESERVED			TIMEOUT	DRDY_SEL[1:0]		DRDY_HiZ	DRDY_FMT
03h	时钟	030Eh	RESERVED						CH1_EN	CH0_EN
			CLK_DIV[1:0]		TURBO	OSR[2:0]			PWR[1:0]	
04h	GAIN	0000h	保留							
			RESERVED	PGAGAIN1[2:0]			RESERVED	PGAGAIN0[2:0]		
06h	CFG	0600h	RESERVED	GPO_EN	GPO_DAT	GC_DLY[3:0]				GC_EN
			RESERVED							
09h	CH0_CFG	0000h	PHASE0[9:0]							
			PHASE0[9:0]		RESERVED				MUX0[1:0]	
0Ah	CH0_OCAL_MSB	0000h	OCAL0_MSB[15:0]							
			OCAL0_MSB[15:0]							
0Bh	CH0_OCAL_LSB	0000h	OCAL0_LSB[7:0]							
			RESERVED							
0Ch	CH0_GCAL_MSB	8000h	GCAL0_MSB[15:0]							
			GCAL0_MSB[15:0]							
0Dh	CH0_GCAL_LSB	0000h	GCAL0_LSB[7:0]							
			RESERVED							
0Eh	CH1_CFG	0000h	PHASE1[9:0]							
			PHASE1[9:0]		RESERVED				MUX1[1:0]	
0Fh	CH1_OCAL_MSB	0000h	OCAL1_MSB[15:0]							
			OCAL1_MSB[15:0]							
10h	CH1_OCAL_LSB	0000h	OCAL1_LSB[7:0]							
			RESERVED							
11h	CH1_GCAL_MSB	8000h	GCAL1_MSB[15:0]							
			GCAL1_MSB[15:0]							
12h	CH1_GCAL_LSB	0000h	GCAL1_LSB[7:0]							
			RESERVED							
31h	DCDC_CTRL	0000h	保留				DCDC_FREQ[3:0]			
			RESERVED							DCDC_EN
3Eh	REGMAP_CRC	0000h	REG_CRC[15:0]							
			REG_CRC[15:0]							

复杂的位访问类型经过编码可适应小型表单元。表 8-14 展示了适用于此部分中访问类型的代码。

表 8-14. AMC131M02 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		

Copyright © 2023 Texas Instruments Incorporated

表 8-14. AMC131M02 访问类型代码（续）

访问类型	代码	说明
-n		复位后的值或默认值

8.6.1 ID 寄存器（地址 = 00h）[复位 = 22XXh]

返回到汇总表。

图 8-31. ID 寄存器

15	14	13	12	11	10	9	8
保留				CHANCNT[3:0]			
R-0010b				R-0010b			
7	6	5	4	3	2	1	0
保留							
R-X							

表 8-15. ID 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0010b	保留 始终读为 0010b
11:8	CHANCNT[3:0]	R	0010b	通道数 始终读为 0010b
7:0	RESERVED	R	X	保留 值如有变更，恕不另行通知。

Copyright © 2023 Texas Instruments Incorporated

8.6.2 STATUS 寄存器（地址 = 01h）[复位 = 0540h]

返回到汇总表。

图 8-32. STATUS 寄存器

15	14	13	12	11	10	9	8
LOCK	F_RESYNC	REG_MAP	CRC_ERR	CRC_TYPE	复位	WLENGTH[1:0]	
R-0b	R-0b	R-0b	R-0b	R-0b	R-1b	R-01b	
7	6	5	4	3	2	1	0
FUSE_FAIL	SEC_FAIL	RESERVED				DRDY1	DRDY0
R-0b	R-1b	R-0000b				R-0b	R-0b

表 8-16. 状态寄存器字段说明

位	字段	类型	复位	说明
15	LOCK	R	0b	SPI 接口锁定指示器 表示 SPI 接口已通过锁定命令锁定。该位通过解锁命令重置为 0b。 0b = 未锁定 1b = 锁定
14	F_RESYNC	R	0b	ADC 重新同步指示器 每次 ADC 重新同步时都会设置该位。可以通过执行 NULL 命令或访问 STATUS 寄存器的 RREG 命令读取 STATUS 寄存器来清除该位。 0b = 未发生重新同步 1b = 发生了重新同步
13	REG_MAP	R	0b	寄存器映射 CRC 故障指示器 指示发生了寄存器映射 CRC 错误。可以通过执行 NULL 命令或访问 STATUS 寄存器的 RREG 命令读取 STATUS 寄存器来清除该位。 0b = 未发生寄存器映射 CRC 故障 1b = 发生了寄存器映射 CRC 故障
12	CRC_ERR	R	0b	SPI 输入 CRC 错误指示器 指示发生了 SPI 输入 CRC 故障。可以通过执行 NULL 命令或访问 STATUS 寄存器的 RREG 命令读取 STATUS 寄存器来清除该位。 0b = 无 CRC 错误 1b = 发生了输入 CRC 错误
11	CRC_TYPE	R	0b	CRC 类型指示器 指示 CRC 类型。可以通过器件复位来清除该位。 0b = 16 位 CCITT 1b = 16 位 ANSI
10	复位	R	1b	复位状态指示 器件复位指示器由 $\overline{\text{RESET}}$ 引脚、上电复位或 RESET 命令触发。可以通过向 MODE 寄存器中的 RESET 位写入 0b 来清除该位。 0b = 未复位 1b = 发生了复位
9:8	WLENGTH[1:0]	R	01b	数据字长指示器 指示数据字帧长度。可以通过器件复位来清除该位。 00b = 16 位 01b = 24 位 10b = 32 位；补零 11b = 32 位；MSB 符号扩展
7	FUSE_FAIL	R	0b	保险丝奇偶校验故障指示器 指示内部存储器故障。可以通过执行 NULL 命令或访问 STATUS 寄存器的 RREG 命令读取 STATUS 寄存器来清除该位。如果物理故障仍然存在，指示器将自动重新设置。 0b = 保险丝奇偶校验正常 1b = 保险丝奇偶校验不正常
6	SEC_FAIL	R	1b	高侧电源故障指示器 指示直流/直流转换器的高侧输出故障或在通过隔离栅进行数据传输期间出现的通信错误。可以通过执行 NULL 命令或访问 STATUS 寄存器的 RREG 命令读取 STATUS 寄存器来清除该位。 0b = 高侧电源正常 1b = 高侧电源不正常
5:2	RESERVED	R	0000b	保留 始终读为 0000b
1	DRDY1	R	0b	通道 1 ADC 数据可用指示器 0b = 无新数据可用 1b = 有新数据可用
0	DRDY0	R	0b	通道 0 ADC 数据可用指示器 0b = 无新数据可用 1b = 有新数据可用

Copyright © 2023 Texas Instruments Incorporated

8.6.3 MODE 寄存器（地址 = 02h）[复位 = 0510h]

返回到汇总表。

图 8-33. MODE 寄存器

15	14	13	12	11	10	9	8
保留		REG_CRC_EN	RX_CRC_EN	CRC_TYPE	复位	WLENGTH[1:0]	
R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-01b	
7	6	5	4	3	2	1	0
RESERVED			TIMEOUT	DRDY_SEL[1:0]		DRDY_HiZ	DRDY_FMT
R/W-000b			R/W-1b	R/W-00b		R/W-0b	R/W-0b

表 8-17. MODE 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	读/写	00b	保留 始终写入 00b
13	REG_CRC_EN	R/W	0b	启用寄存器映射 CRC 0b = 禁用 1b = 启用
12	RX_CRC_EN	R/W	0b	启用 SPI 输入 CRC 0b = 禁用 1b = 启用
11	CRC_TYPE	R/W	0b	SPI 输入和输出，寄存器映射 CRC 类型 0b = 16 位 CCITT 1b = 16 位 ANSI
10	复位	R/W	1b	复位 写入 0b 以清除 STATUS 寄存器中的 RESET 位 0b = 无复位 1b = 发生了复位
9:8	WLENGTH[1:0]	读/写	01b	数据字长选择 00b = 16 位 01b = 24 位 10b = 32 位；LSB 补零 11b = 32 位；MSB 符号扩展
7:5	RESERVED	读/写	000b	保留 始终写入 000b
4	TIMEOUT	R/W	1b	启用 SPI 超时 0b = 禁用 1b = 启用
3:2	DRDY_SEL[1:0]	读/写	00b	$\overline{\text{DRDY}}$ 引脚信号源选择 00b = 启用最滞后的通道 01b = 对所有已启用的通道进行逻辑或运算 10b = 启用最领先的通道 11b = 启用最领先的通道
1	DRDY_HiZ	R/W	0b	转换数据不可用时 $\overline{\text{DRDY}}$ 引脚的状态 0b = 逻辑高电平 1b = 高阻抗
0	DRDY_FMT	R/W	0b	转换数据可用时 $\overline{\text{DRDY}}$ 信号的格式 0b = 逻辑低电平 1b = 具有固定持续时间的低电平脉冲

Copyright © 2023 Texas Instruments Incorporated

8.6.4 CLOCK 寄存器（地址 = 03h）[复位 = 030Eh]

返回到汇总表。

图 8-34. CLOCK 寄存器

15	14	13	12	11	10	9	8
保留						CH1_EN	CH0_EN
R/W-000000b						R/W-1b	R/W-1b
7	6	5	4	3	2	1	0
CLK_DIV[1:0]		TURBO	OSR[2:0]			PWR[1:0]	
R/W-00b		R/W-0b	R/W-011b			R/W-10b	

表 8-18. CLOCK 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留 始终写入 000000b
9	CH1_EN	R/W	1b	启用通道 1 ADC 0b = 禁用 1b = 启用
8	CH0_EN	R/W	1b	启用通道 0 ADC 0b = 禁用 1b = 启用
7:6	CLK_DIV[1:0]	读/写	00b	时钟分频器比选择 00b = 2 分频 01b = 4 分频 10b = 8 分频 11b = 12 分频
5	TURBO	R/W	0b	涡轮模式 (OSR = 64) 通过将该位设置为 1b 来选择过采样率 64。如果该位设置为 1b，则忽略 OSR[2:0] 位。 0b = 禁用 1b = 启用
4:2	OSR[2:0]	R/W	011b	调制器过采样率选择 000b = 128 001b = 256 010b = 512 011b = 1024 100b = 2048 101b = 4096 110b = 8192 111b = 16384
1:0	PWR[1:0]	读/写	10b	功耗模式选择 00b = 保留。请勿使用。 01b = 低功耗 10b = 高分辨率 11b = 保留。请勿使用。

Copyright © 2023 Texas Instruments Incorporated

8.6.5 GAIN 寄存器（地址 = 04h）[复位 = 0000h]

返回到汇总表。

图 8-35. GAIN 寄存器

15	14	13	12	11	10	9	8
保留							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED	PGAGAIN1[2:0]			RESERVED	PGAGAIN0[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-19. GAIN 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R/W	00000000b	始终写入 00000000b
7	RESERVED	读/写	0b	始终写入 0b
6:4	PGAGAIN1[2:0]	读/写	000b	通道 1 的 PGA 增益选择 000b = 1 001b = 2 010b = 4 011b = 8 100b = 16 101b = 32 110b = 64 111b = 128
3	RESERVED	读/写	0b	保留 始终写入 0b
2:0	PGAGAIN0[2:0]	读/写	000b	通道 0 的 PGA 增益选择 000b = 1 001b = 2 010b = 4 011b = 8 100b = 16 101b = 32 110b = 64 111b = 128

Copyright © 2023 Texas Instruments Incorporated

8.6.6 CFG 寄存器（地址 = 06h）[复位 = 0600h]

返回到汇总表。

图 8-36. CFG 寄存器

15	14	13	12	11	10	9	8
保留	GPO_EN	GPO_DAT	GC_DLY[3:0]				GC_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0011b				R/W-0b
7	6	5	4	3	2	1	0
RESERVED							
R/W-00000000b							

表 8-20. CFG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	读/写	0b	保留 始终写入 0b
14	GPO_EN	R/W	0b	启用数字输出 在 AIN2P 引脚上启用数字输出 (GPO) 功能。 0b = 禁用数字输出 1b = 启用数字输出
13	GPO_DAT	R/W	0b	数字输出数据 GPO_EN = 1b 时的数字输出 (GPO) 数据。 0b = 零输出 1b = 一个输出
12:9	GC_DLY[3:0]	R/W	0011b	全局斩波延迟选择 测量开始前的延迟（以调制器时钟周期为单位）。 0000b = 2 0001b = 4 0010b = 8 0011b = 16 0100b = 32 0101b = 64 0110b = 128 0111b = 256 1000b = 512 1001b = 1024 1010b = 2048 1011b = 4096 1100b = 8192 1101b = 16384 1110b = 32768 1111b = 65536
8	GC_EN	R/W	0b	启用全局斩波 0b = 禁用 1b = 启用
7:0	RESERVED	R/W	00000000b	保留 始终写入 00000000b

Copyright © 2023 Texas Instruments Incorporated

8.6.7 CH0_CFG 寄存器（地址 = 09h）[复位 = 0000h]

返回到汇总表。

图 8-37. CH0_CFG 寄存器

15	14	13	12	11	10	9	8
PHASE0[9:0]							
R/W-0000000000b							
7	6	5	4	3	2	1	0
PHASE0[9:0]		RESERVED				MUX0[1:0]	
R/W-0000000000b		R-0000b				R/W-00b	

表 8-21. CH0_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:6	PHASE0[9:0]	R/W	0000000000b	通道 0 相位延迟选择 以二进制补码格式提供的相位延迟（以调制器时钟周期为单位）。
5:2	RESERVED	R	0000b	保留 始终读为 0000b
1:0	MUX0[1:0]	读/写	00b	通道 0 输入选择 通道 0 的输入多路复用器 00b = AIN0P 和 AIN0N 01b = 断开 AIN0（短接 ADC 输入） 10b = 直流诊断信号 11b = 交流诊断信号

Copyright © 2023 Texas Instruments Incorporated

8.6.8 CH0_OCAL_MSB 寄存器（地址 = 0Ah）[复位 = 0000h]

返回到汇总表。

图 8-38. CH0_OCAL_MSB 寄存器

15	14	13	12	11	10	9	8
OCAL0_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
OCAL0_MSB[15:0]							
R/W-0000000000000000b							

表 8-22. CH0_OCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	OCAL0_MSB[15:0]	R/W	0000000000000000b	通道 0 偏移校准寄存器位 [23:8] 以二进制补码格式提供值。

Copyright © 2023 Texas Instruments Incorporated

8.6.9 CH0_OCAL_LSB 寄存器（地址 = 0Bh）[复位 = 0000h]

返回到汇总表。

图 8-39. CH0_OCAL_LSB 寄存器

15	14	13	12	11	10	9	8
OCAL0_LSB[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
保留							
R-00000000b							

表 8-23. CH0_OCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	OCAL0_LSB[7:0]	R/W	00000000b	通道 0 偏移校准寄存器位 [7:0] 以二进制补码格式提供值。
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b

Copyright © 2023 Texas Instruments Incorporated

8.6.10 CH0_GCAL_MSB 寄存器（地址 = 0Ch）[复位 = 8000h]

返回到汇总表。

图 8-40. CH0_GCAL_MSB 寄存器

15	14	13	12	11	10	9	8
GCAL0_MSB[15:0]							
R/W-1000000000000000b							
7	6	5	4	3	2	1	0
GCAL0_MSB[15:0]							
R/W-1000000000000000b							

表 8-24. CH0_GCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	GCAL0_MSB[15:0]	R/W	1000000000000000b	通道 0 增益校准寄存器位 [23:8] 增益的无符号数范围为 0.0 至 2.0 x (2^{24} – 1)/2^{24}

Copyright © 2023 Texas Instruments Incorporated

8.6.11 CH0_GCAL_LSB 寄存器（地址 = 0Dh）[复位 = 0000h]

返回到汇总表。

图 8-41. CH0_GCAL_LSB 寄存器

15	14	13	12	11	10	9	8
GCAL0_LSB[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
保留							
R-00000000b							

表 8-25. CH0_GCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	GCAL0_LSB[7:0]	R/W	00000000b	通道 0 增益校准寄存器位 [7:0] 增益的无符号数范围为 0.0 至 2.0 x (2^{24} – 1)/2^{24}
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b

Copyright © 2023 Texas Instruments Incorporated

8.6.12 CH1_CFG 寄存器（地址 = 0Eh）[复位 = 0000h]

返回到汇总表。

图 8-42. CH1_CFG 寄存器

15	14	13	12	11	10	9	8
PHASE1[9:0]							
R/W-0000000000b							
7	6	5	4	3	2	1	0
PHASE1[9:0]			RESERVED			MUX1[1:0]	
R/W-0000000000b			R-0000b			R/W-00b	

表 8-26. CH1_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:6	PHASE1[9:0]	R/W	0000000000b	通道 1 相位延迟选择 以二进制补码格式提供的相位延迟（以调制器时钟周期为单位）。
5:2	RESERVED	R	0000b	保留 始终读为 0000b
1:0	MUX1[1:0]	读/写	00b	通道 1 输入选择 通道 1 的输入多路复用器 00b = AIN1P 和 AIN1N 01b = 断开 AIN1（短接 ADC 输入） 10b = 直流诊断信号 11b = 交流诊断信号

Copyright © 2023 Texas Instruments Incorporated

8.6.13 CH1_OCAL_MSB 寄存器（地址 = 0Fh）[复位 = 0000h]

返回到汇总表。

图 8-43. CH1_OCAL_MSB 寄存器

15	14	13	12	11	10	9	8
OCAL1_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
OCAL1_MSB[15:0]							
R/W-0000000000000000b							

表 8-27. CH1_OCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	OCAL1_MSB[15:0]	R/W	0000000000000000b	通道 1 偏移校准寄存器位 [23:8] 以二进制补码格式提供值。

Copyright © 2023 Texas Instruments Incorporated

8.6.14 CH1_OCAL_LSB 寄存器（地址 = 10h）[复位 = 0000h]

返回到汇总表。

图 8-44. CH1_OCAL_LSB 寄存器

15	14	13	12	11	10	9	8
OCAL1_LSB[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
保留							
R-00000000b							

表 8-28. CH1_OCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	OCAL1_LSB[7:0]	R/W	00000000b	通道 1 偏移校准寄存器位 [7:0] 以二进制补码格式提供值。
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b

Copyright © 2023 Texas Instruments Incorporated

8.6.15 CH1_GCAL_MSB 寄存器（地址 = 11h）[复位 = 8000h]

返回到汇总表。

图 8-45. CH1_GCAL_MSB 寄存器

15	14	13	12	11	10	9	8
GCAL1_MSB[15:0]							
R/W-1000000000000000b							
7	6	5	4	3	2	1	0
GCAL1_MSB[15:0]							
R/W-1000000000000000b							

表 8-29. CH1_GCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	GCAL1_MSB[15:0]	R/W	1000000000000000b	通道 1 增益校准寄存器位 [23:8] 增益的无符号数范围为 0.0 至 2.0 x (2^{24} – 1)/2^{24}

Copyright © 2023 Texas Instruments Incorporated

8.6.16 CH1_GCAL_LSB 寄存器（地址 = 12h）[复位 = 0000h]

返回到汇总表。

图 8-46. CH1_GCAL_LSB 寄存器

15	14	13	12	11	10	9	8
GCAL1_LSB[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
保留							
R-00000000b							

表 8-30. CH1_GCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	GCAL1_LSB[7:0]	R/W	00000000b	通道 1 增益校准寄存器位 [7:0] 增益的无符号数范围为 0.0 至 2.0 x (2^{24} – 1)/2^{24}
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b

Copyright © 2023 Texas Instruments Incorporated

8.6.17 DCDC_CTRL 寄存器（地址 = 31h）[复位 = 0000h]

返回到汇总表。

图 8-47. DCDC_CTRL 寄存器

15	14	13	12	11	10	9	8
保留				DCDC_FREQ[3:0]			
R/W-0000b				R/W-0000b			
7	6	5	4	3	2	1	0
RESERVED							DCDC_EN
R/W-0000000b							R/W-0b

表 8-31. DCDC_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0000b	保留 始终写入 0000b
11:8	DCDC_FREQ[3:0]	R/W	0000b	直流/直流频率范围选择 根据 CLKIN 引脚上的频率和时钟分频器比来选择调制器时钟频率范围。 0000b = 3.76MHz 至 4.10MHz 0001b = 3.52MHz 至 3.84MHz 0010b = 3.30MHz 至 3.59MHz 0011b = 3.09MHz 至 3.36MHz 0100b = 2.89MHz 至 3.15MHz 0101b = 2.71MHz 至 2.95MHz 0110b = 2.53MHz 至 2.76MHz 0111b = 2.37MHz 至 2.59MHz 1000b = 2.22MHz 至 2.42MHz 1001b = 2.08MHz 至 2.27MHz 1010b = 1.95MHz 至 2.12MHz 1011b = 1.82MHz 至 1.99MHz 1100b = 1.71MHz 至 1.86MHz 1101b = 1.60MHz 至 1.74MHz 1110b = 1.50MHz 至 1.63MHz 1111b = 1.40MHz 至 1.53MHz
7:1	RESERVED	R/W	0000000b	保留 始终写入 0000000b
0	DCDC_EN	R/W	0b	启用直流/直流 启用集成直流/直流转换器。 0b = 禁用 1b = 启用

Copyright © 2023 Texas Instruments Incorporated

8.6.18 REGMAP_CRC 寄存器（地址 = 3Eh）[复位 = 0000h]

返回到汇总表。

图 8-48. REGMAP_CRC 寄存器

15	14	13	12	11	10	9	8
REG_CRC[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
REG_CRC[15:0]							
R-0000000000000000b							

表 8-32. REGMAP_CRC 寄存器字段说明

位	字段	类型	复位	说明
15:0	REG_CRC[15:0]	R	0000000000000000b	寄存器映射 CRC 值

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

9.1.1 未使用的输入和输出

将任何未使用的模拟输入保持悬空或将其连接至 HGND。

不要将未使用的数字输入悬空，因为会导致电源漏电流过大。请将所有未使用的数字输入连接至相应电平（DVDD 或 DGND）。如果未使用 $\overline{\text{DRDY}}$ 引脚，请将其保持未连接状态。

9.1.2 抗混叠

每个通道输入前都需要一个模拟低通滤波器，以防止带外噪声和干扰体耦合到相关频带中。由于 AMC131M02 是 Δ-Σ ADC，因此集成数字滤波器为相关频带（直至与 f_{MOD} 相邻的频率）外的频率提供了大量衰减。因此，单阶 RC 滤波器可在绝大多数应用中提供足够的抗混叠保护。

选择电阻器和电容器的值取决于所需的截止频率、限制 ADC 输入的源阻抗以及通过滤波电容器为 ADC 输入采样电路提供足够的瞬时电荷。图 9-1 展示了建议的滤波器元件值。

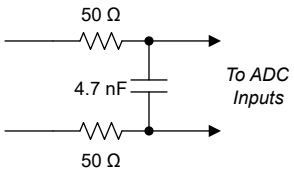


图 9-1. 建议的抗混叠电路

9.1.3 最小接口连接

图 9-2 展示了如何针对最少数量的接口引脚配置 AMC131M02。当使用数据隔离来尽可能地减少所需隔离通道的数量或微控制器 (MCU) 引脚受限时，该配置非常有用。

CLKIN 引脚需要一个 LVCMOS 时钟，该时钟可以由 MCU 生成或使用本地 LVCMOS 输出器件生成。请将 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚（如果未使用）连接到硬件中的 DVDD。如果 $\overline{\text{DRDY}}$ 引脚未使用，则可以将其保持悬空。将 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 或 $\overline{\text{DRDY}}$ 连接到 MCU 以确保 MCU 与 ADC 转换保持同步。如果 MCU 提供 CLKIN，则可以计算 CLKIN 周期以确定采样周期，而不是使用 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚强制同步或监测 $\overline{\text{DRDY}}$ 引脚。如果时钟发生位错误，则无法恢复同步，如果未使用 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 或 $\overline{\text{DRDY}}$ 引脚，则样本可能会丢失。如果 AMC131M02 是 SPI 总线上的唯一器件，则可以在硬件中将 $\overline{\text{CS}}$ 连接至低电平。确保数据输入和输出 CRC 已启用，以防止在 $\overline{\text{CS}}$ 持久连接至低电平时发生错误的寄存器读取和写入。

在读取操作期间，如果 $\overline{\text{CS}}$ 持久连接至低电平，则必须从器件中提取所有数据字，不能跳过任何 SPI 字。

Copyright © 2023 Texas Instruments Incorporated

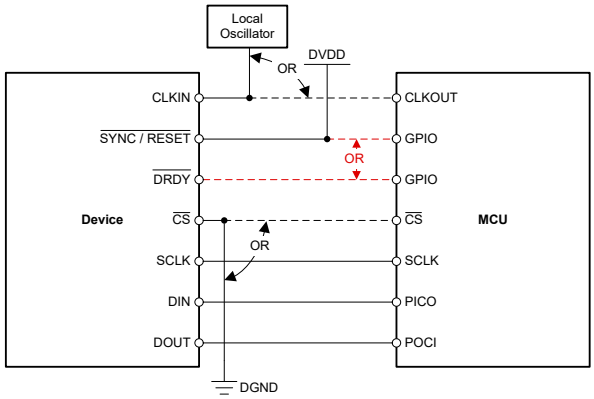


图 9-2. 所需的最小连接数 - 用于运行 AMC131M02

9.1.4 多器件配置

可以布置多个 AMC131M02 器件以扩展用于同布数据采集的通道数量。必须为所有器件提供相同的时钟，并且 $\overline{\text{SYNC/RESET}}$ 引脚必须同时选通至少一次，以在内部在器件之间对齐采样周期。每个器件的相位设置可以唯一更改，但主机必须注意记录器件组中的哪个通道代表零相位。

这些器件还可以共享 SPI 总线，其中只有每个器件的 $\overline{\text{CS}}$ 引脚是唯一的。可以使主机要与之通信的器件的 $\overline{\text{CS}}$ 生效来依次对每个器件进行寻址。当 $\overline{\text{CS}}$ 引脚为高电平时，DOUT 引脚保持高阻抗，从而允许在器件之间共享 DOUT 线路，只要共享总线的两个器件没有同时将 $\overline{\text{CS}}$ 引脚设置为低电平即可。图 9-3 展示了多个配置为在共享 SPI 总线的同时进行同步数据采集的器件。

Copyright © 2023 Texas Instruments Incorporated

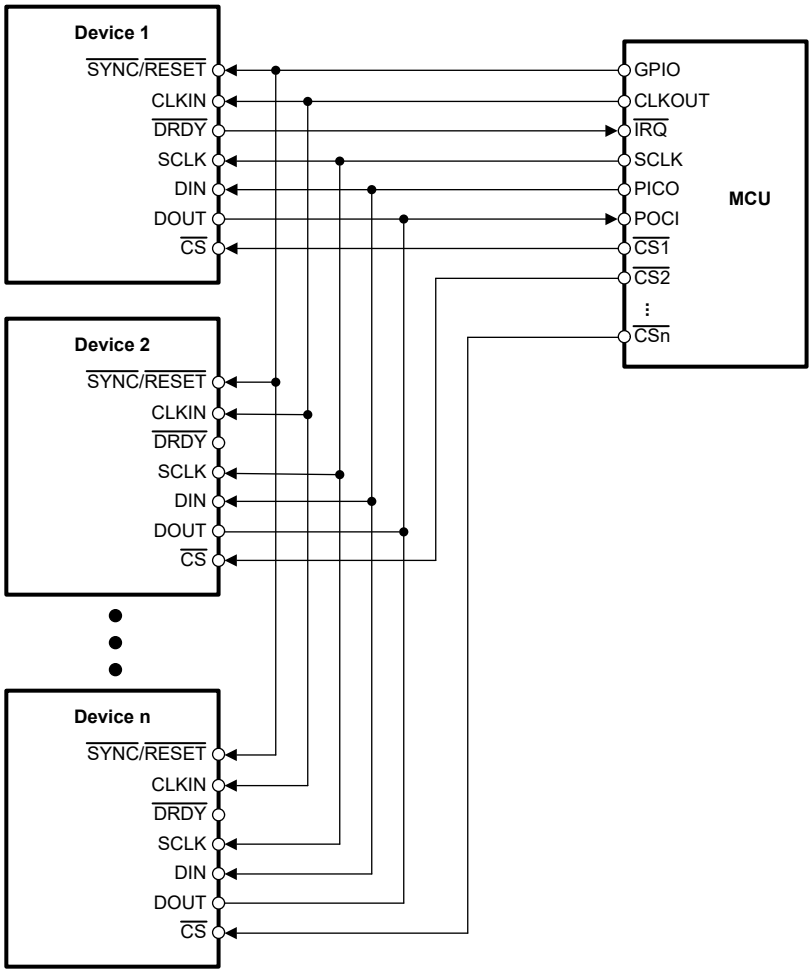


图 9-3. 多器件配置

9.1.5 Calibration

某些信号链错误可以通过单次室温校准来纠正。AMC131M02 可以存储校准值并使用这些值实时校正结果。可以使用 AMC131M02 实时校正的误差包括偏移误差、增益误差和相位误差。

当输入为零电压（对于电压通道）或零电流（对于电流通道）时，通过确定信号链的测量输出来执行偏移校准。可以针对每个通道测量零输入的 ADC 转换结果并将其记录在外部非易失性存储器中。部署系统后，可以将这些值提供给相应通道的 CHn_OCAL_MSB 和 CHn_OCAL_LSB 寄存器。然后，AMC131M02 在将这些值提供给主机之前从转换结果中减去这些值。

与偏移误差校正类似，系统增益误差可在部署前确定，并可用于实时校正每个通道上的增益误差。增益误差定义为 ADC 传递函数相对于 PGA 增益校正理想值 1 的百分比差异。可以通过测量最大和最小输入信号的结果，找出这些结果之间的差异并除以理想差值来确定该误差。方程式 11 介绍了如何计算增益误差。

$$\text{Gain Error} = 1 - \frac{V,I_{\text{Max,Measured}} - V,I_{\text{Min,Measured}}}{V,I_{\text{Max}} - V,I_{\text{Min}}} \tag{11}$$

要校正增益误差，请将每个偏移校正转换结果除以测得的增益。AMC131M02 根据*校准寄存器*一节中所述的方法将每个转换结果乘以存储在 CHn_GCAL_MSB 和 CHn_GCAL_LSB 寄存器中的增益校准系数。主机可以将每个通道的测量反相增益值编程到这些寄存器中，以便针对每个样本自动校正这些值。

Copyright © 2023 Texas Instruments Incorporated

AMC131M02 还可以校正传感器引入的系统相位误差。对于该设计，从分流器到 ADC 输入（以及从电压测量电阻分压器）的 PCB 布线会在系统中引入一些相位误差。一些设计使用软件方法进行相位校正，但 AMC131M02 可以实时执行该功能。系统必须首先测量各个通道之间的相位关系。然后 AMC131M02 将一个通道定义为*相位 0*。随后，可以编辑 CHn_CFG 寄存器中对应于各种其他通道的 PHASEn 位，以校正相对于相位 0 通道的相位关系。

9.1.6 疑难解答

表 9-1 列出了使用 AMC131M02 进行设计时面临的常见问题和相应的解决方案。此列表并不全面。

表 9-1. 使用以下器件时的常见问题疑难解答： AMC131M02

问题	可能的根本原因	可能的解决方案
$\overline{\text{DRDY}}$ 引脚以预期频率的一半切换。	DRDY_FMT 位设置为 1b 并且不读取 ADC 转换数据。FIFO 缓冲区中转换数据的更新会驱动 $\overline{\text{DRDY}}$ 引脚。如果主机未读取转换数据，则 FIFO 缓冲区中的数据每隔一次转换更新一次。此更新会导致 $\overline{\text{DRDY}}$ 引脚以输出数据速率的一半进行切换。有关详细说明，请参阅 *ADC 输出缓冲器和 FIFO 缓冲器* 部分。	按照*第一次或数据收集暂停后收集数据* 部分给出的建议，在每个 $\overline{\text{DRDY}}$ 下降沿后读取数据。
即使该位已清除，也会在 STATUS 字中设置 F_RESYNC 位。	$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚被异步切换至 CLKIN。	$\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚用作持续同步检查，而不是*转换开始* 引脚。有关 $\overline{\text{SYNC}}$/$\overline{\text{RESET}}$ 引脚预期用法的更多详细信息，请参阅*同步* 部分。
相同的 ADC 转换数据在改变前输出多次。	ADC 不会将数据识别为正在读取，因为并非所有 ADC 通道数据都由主机读取。	读取输出数据帧中的所有数据字，包括已禁用通道的数据字。
STATUS 寄存器中的 SEC_FAIL 位会置位，即使次级侧的电源看起来稳定也是如此，例如在 SPI 写入操作之后。	向高侧的任何 ADC 配置寄存器写入数据也会设置 SEC_FAIL 位，直到通过隔离栅完成传输。	反复读取 STATUS 寄存器中的 SEC_FAIL 位，直到该位清零为 0b，然后再读取 ADC 转换数据。

Copyright © 2023 Texas Instruments Incorporated

9.2 典型应用

本节介绍了使用 AMC131M02 的典型三相电能测量前端。该 ADC 对电阻电流传感器（分流器）和分压器的输出进行采样，以测量主交流电源各分支的电流和电压。该设计在宽输入电流范围 (0.05A – 100A) 内能达到很高的精度，在必要时还支持高采样频率，以实现独立谐波分析等高级电能质量功能。与集成片上系统 (SoC) 和应用特定的专用产品相比，通过使用 AMC131M02 对每相电压和电流进行采样，可以让设计人员更加灵活地选择计量微控制器 (MCU)。

图 9-4 展示了三相电能测量设计的前端。在此设计中，每相一个 AMC131M02 测量相应相位的电流和电压，从而提供相间电隔离。这种隔离非常重要，因为在典型情况下，一个相位上的电压电平可能为 220V，另一个相位上的电压电平可能为 –220V。如果多个相位使用一个 ADC，则可能会在两个相邻 ADC 输入之间出现大约 440V 的电压差，从而可能损坏器件。

该设计还包括第四个 ADC，用于监控中性线中的电流。假设计量前端的系统接地连接到中性线，则该 ADC 可以是 ADS131M02 等非隔离器件。这第四个器件是可选的，通常在需要进行篡改检测的情况下使用。

为了简单起见，图 9-4 中未显示 RC 抗混叠滤波器，但建议将其用于所有通道。

微控制器使用 SPI 端口与四个 ADC 器件通信，并在相应的 CLKIN 引脚上为所有 ADC 器件提供时钟。四个微控制器 I/O 引脚（CS_A、CS_B、CS_C 和 CS_D）生成 SPI $\overline{CS}$ 信号。SCLK、DIN 和 DOUT 连接在所有 ADC 器件之间共享。为了简化图示，这里未详细显示这些连接。

Copyright © 2023 Texas Instruments Incorporated

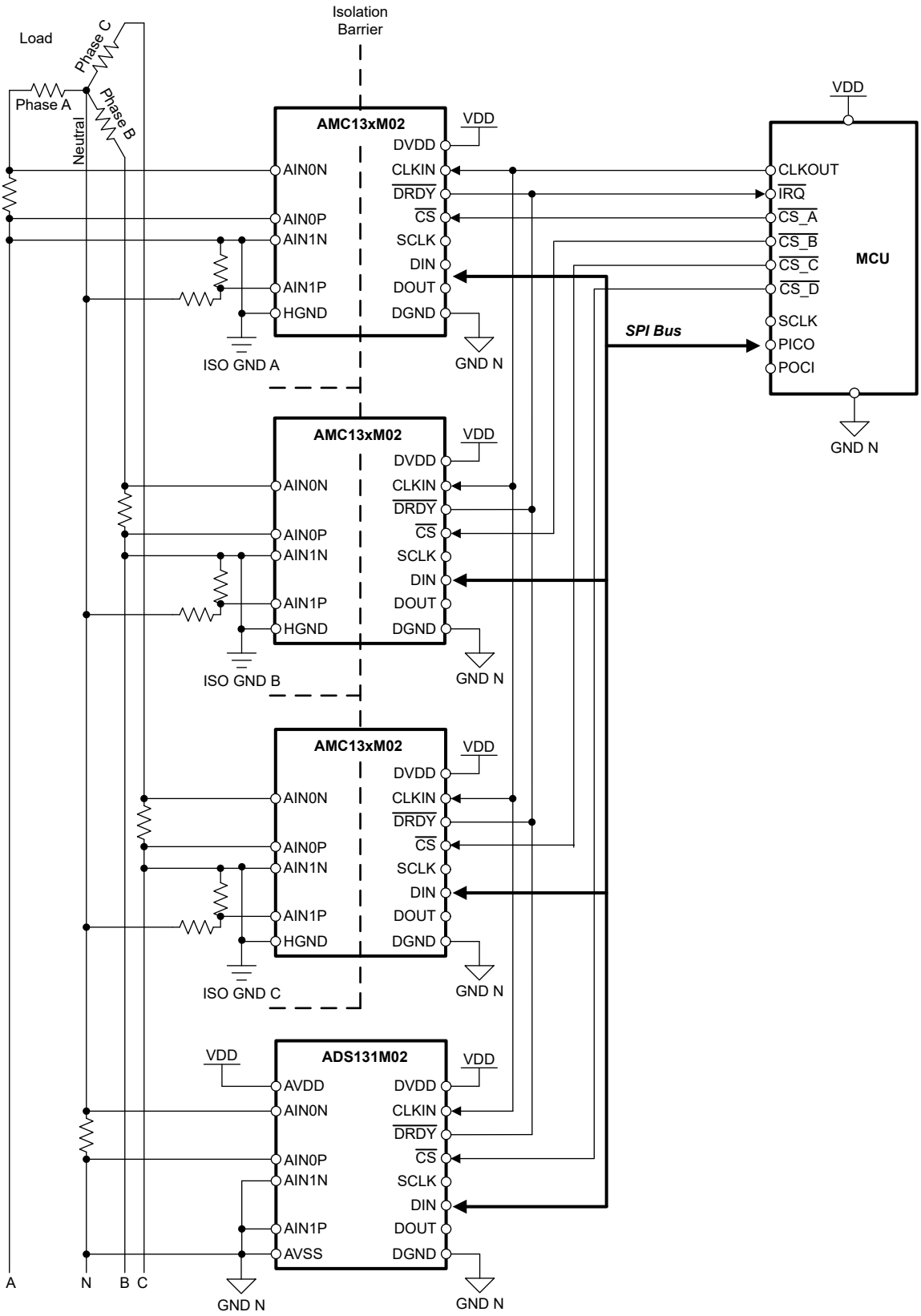


图 9-4. 使用以下器件的三相计量设计前端： AMC131M02

9.2.1 设计要求

表 9-2 列出了三相计量应用的设计要求。

表 9-2. 关键系统规格

特性	说明
相位数	三相（需要测量三个电压和三个电流）
电表精度等级	0.1 级
电流传感器	分流电阻器
电流范围	0.05A – 100A
系统标称频率	50Hz 或 60Hz
测量的参数	• 有功功率、无功功率、视在功率和电能 • 均方根 (RMS) 电流和电压 • 功率因数 • 线频率

9.2.2 详细设计过程

图 9-5 说明了三相电能表的 A 相。其他监测 B 相和 C 相的 AMC131M02 器件以类似的方式连接。可以使用 ADC 的通道 0（AIN0N、AIN0P）通过分流电阻器 (R_{SHUNT}) 来检测 A 相电流 I_{SHUNT}。分流器的一个端子成为电路的隔离接地 ISO_GND，连接到 AMC131M02 隔离侧的接地引脚 HGND（引脚 5）。可以通过连接到通道 1 的电阻分压器来检测 A 相到中性点电压 V_{PHASEA}，AIN1N 引脚也连接到 ISO_GND 节点。电阻分压器的高侧连接到中性线，电阻分压器的中点连接到正 ADC 输入 AIN1P，电阻分压器的低侧（检测 ISO_GND 节点）连接到通道 1 的负输入 AIN1N；因此，在通道 1 上测量负相电压。因此，AMC131M02 的通道 1 测量的电压与相电压 V_{PHASEA} 和相电流 I_{SHUNT} 相反，这是单相和多相计量中的经典方法。

分流电阻器阻值的选择基于制造商和电能测量所需的电流范围。在选择电压通道的分压电阻器时，需要确保对市电电压进行分压后符合 AMC131M02 的正常输入电压范围。

在该设计中，AMC131M02 按以下方式连接到 MCU：

- MCU 提供 CLKIN 时钟给 AMC131M02
- 当新的 ADC 转换数据就绪时，AMC131M02 使 $\overline{\text{DRDY}}$ 引脚生效，从而通知 MCU 新样本可用
- 在收到新转换数据通知后，MCU 通过 SPI 接口从 AMC131M02 检索电压和电流样本

Copyright © 2023 Texas Instruments Incorporated

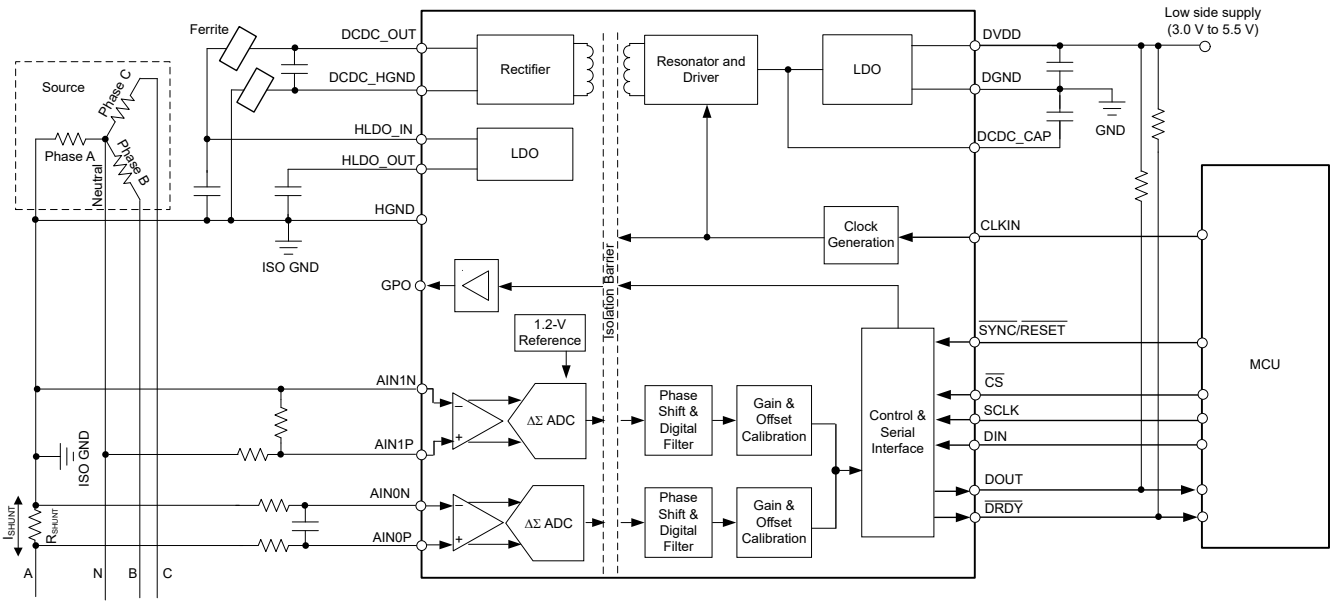


图 9-5. 电流和电压检测 - 使用 AMC131M02

9.2.2.1 电压测量

市电的标称电压范围为 100V 至 240V，因此必须按比例缩小该电压，才能被 ADC 检测到。图 9-5 展示了 ADC 通道 1 上用于此电压调节的模拟前端。

电压测量模拟前端由分压器网络（R_{HI} 和 R_{LO}）以及 RC 低通滤波器（R_{FILT} 和 C_{FILT}）组成。通常还会放置其他保护元件（例如尖峰保护压敏电阻），但为了简单起见，此电路中未显示这些元件。

方程式 12 展示了在给定的市电电压和选定的分压器电阻值下，如何计算馈入 ADC 电压通道的差分电压范围。

$$V_{ADC} = \pm V_{RMS} \times \sqrt{2} \times \frac{R_{LO}}{3R_{HI} + R_{LO}} \tag{12}$$

在典型设计中，R_{HI} 为 300kΩ，R_{LO} 为 750Ω。根据方程式 12 和选定电阻值，对于 240V 的市电电压（在相线及中性线间测得），电压检测 ADC 的输入信号电压摆幅为 ±256mV (182mV_{RMS})。该电压完全在 ±1.2V 输入电压范围内，因此，当为电压通道选择的 PGA 增益值为 1 时，AMC131M02 可以检测到该电压范围。此外，还可以根据选定的电阻值和增益设置组合来测量高达主电压四倍（高达 1000V）的过压。

ADC 通道 1 的有限输入阻抗会导致因 R_{LO} 的非理想分压而产生的增益误差和偏移误差。如*具有 ±250mV 输入和差分输出的隔离式电压测量电路 应用手册*中所述，与 ADC 的反相输入串联的电阻器可以减少偏移和增益误差。建议附加串联电阻的值近似为 R_{LO}，设计步骤记录在*具有 ±250mV 输入和差分输出的隔离式电压测量电路 应用手册*中。

9.2.2.2 分流测量

用于电流测量的模拟前端不同于用于电压测量的模拟前端。 图 9-5 展示了用于 ADC 通道 0 电流测量的模拟前端，该模拟前端由分流电阻器 R_{SHUNT} 和 RC 低通抗混叠滤波器（R_{FILT} 和 C_{FILT}）组成。

对于 200 μΩ 的分流值和 I_{MAX} = 100A 的最大电流，分流器上的最大压降为 $V_{SHUNT} = R_{SHUNT} \times I_{MAX}$ = 200 μΩ x ±100A = ±20mV。

要测量该分流电压，请将 AMC131M02 的通道 0 配置为增益 = 32，这样就可以测量 $V_{IN1} = V_{AIN1P} - V_{AIN1N}$ = $\pm V_{REF}/8$ = ±1.2V/32 = ±37.5mV 的差分电压。器件中的集成电荷泵允许在使用单极模拟电源时测量比 HGND 低

Copyright © 2023 Texas Instruments Incorporated

1.3V 的电压。这种双极性电压测量功能很重要，因为分流器的一侧连接到与 AMC131M02 的 HGND 引脚相同的 ISO_GND 电位，这意味着器件在电流测量期间必须测量的绝对电压最多比 HGND 低 37.5mV。

9.2.3 应用曲线

电磁干扰 (EMI) 测试在许多使用 AMC131M02 的应用中很常见，用以验证系统不会产生超过规定水平的辐射发射，而超过规定水平的辐射发射可能会对系统中的其他元件或电路产生不良影响。请参 *了解数字隔离器中的电磁合规性测试* 白皮书，更深入地了解 EMI。可接受的辐射量和辐射发射测试程序由国际无线电干扰特别委员会 (又称为 CISPR) 制定。工业应用根据 CISPR 11 标准进行测量，而汽车应用则根据 CISPR 25 标准进行测量。更多有关 CISPR 标准及相应频率范围的信息，请参阅 *电源的辐射 EMI 规格概述* 白皮书。

图 9-6 和图 9-7 展示了使用 AMC131M03EVM 提供的评估模块对 AMC131M02 进行的辐射发射测量。

测量是按照 CISPR 11 的要求进行的，即在半电波暗室中使用宽带天线配置为 3 米距离的水平和垂直极化。ADC 在 CLKIN 引脚上接收到连续时钟，并生成转换结果，但在对发射曲线进行表征期间没有 SPI 通信。

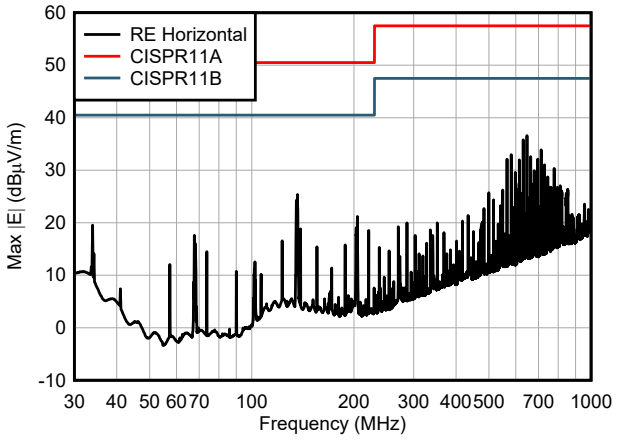


图 9-6. AMC131M02 水平辐射发射 CISPR11 测量

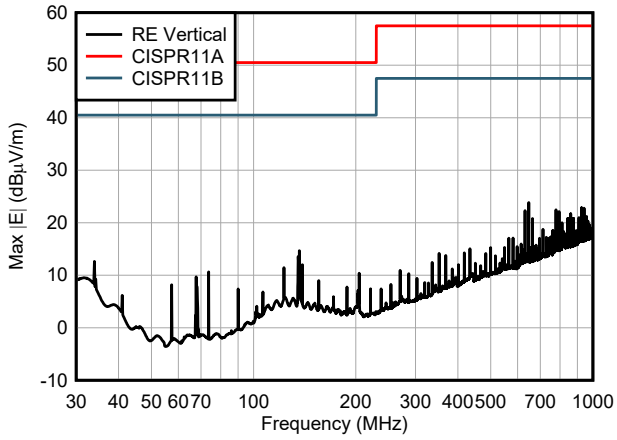


图 9-7. AMC131M02 垂直辐射发射 CISPR11 测量

Copyright © 2023 Texas Instruments Incorporated

9.3 电源相关建议

AMC131M02 由标称值为 3.3V（或 5V）±10% 的低侧电源 (DVDD) 供电。在尽可能靠近 DVDD 引脚的位置放置一个 1nF 的低 ESR 去耦电容器（图 9-8 中的 C15），然后放置一个 1µF 电容器 (C16) 以对该电源路径进行滤波。

低侧电源 (DVDD) 是运行 AMC131M02 所需的唯一外部电源。所有内部电压电源和次级（高侧）电源均由集成直流/直流转换器和高侧 LDO 生成，例如输出引脚 DCDC_OUT 和 HLDO_OUT 上的电源电压。

直流/直流转换器的初级侧通过靠近器件且位于 DCDC_CAP 和 DGND 引脚之间的低 ESR 100nF 电容器 (C17) 去耦。除了尽可能靠近器件放置并连接在 DCDC_OUT 和 DCDC_HGND 引脚之间的低 ESR、1nF 电容器 (C1) 之外，使用 1µF 电容器 (C6) 对高侧去耦。

为改善 EMI 性能，分别在 DCDC_OUT 和 HLDO_IN 引脚之间 (F1) 与 DCDC_HGND 和 HGND 引脚之间 (F2) 放置一个铁氧体磁珠。

对于高侧 LDO，使用 1nF 的低 ESR 电容器 (C11)，尽可能靠近 AMC131M02 放置，然后在 HLDO_OUT 和 HGND 引脚之间连接一个 100nF 去耦电容器 (C13)。

高侧接地基准 (HGND) 由连接到器件负输入端 (AIN0N) 的分流电阻器端子提供。为获得更高直流精度，请使用单独的引线进行此连接，而不是直接在器件输入端将 HGND 短接至 AIN0N。

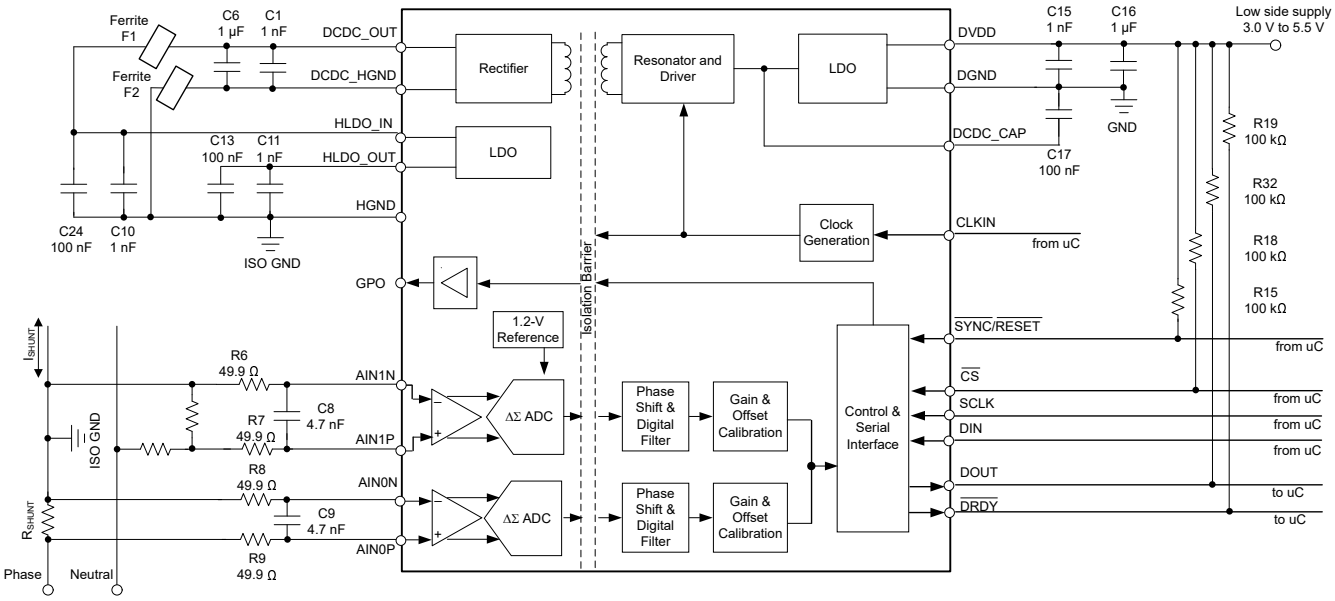


图 9-8. 电源去耦 AMC131M02

在应用中出现的适用直流偏置条件下，电容器必须能够提供足够的*有效*电容。在实际条件下，通常仅使用 MLCC 标称电容的一小部分，因此在选择这些电容器时，必须考虑到这个因素。此问题在低厚度电容器中尤为严重，在该类电容器中，电容器越薄，电介质电场强度越大。知名电容器制造商提供了电容与直流偏置关系曲线，这大大简化了元件选型过程。

表 9-3 列出了适用于 AMC131M02 的元件。此列表并不是详尽无遗。可能存在同样合适（或更好）的其他元件，但这些列出的元件已在 AMC131M02 的开发过程中得到验证。

表 9-3. 推荐的外部元件

COMP	说明	器件型号	制造商	大小（EIA，L x W）
DVDD				
C15	1nF ± 10%，X7R，50V	12065C102KAT2A	AVX	1206，3.2mm x 1.6mm
C16	1µF ± 10%，X7R，25V	12063C105KAT2A	AVX	1206，3.2mm x 1.6mm

Copyright © 2023 Texas Instruments Incorporated

表 9-3. 推荐的外部元件（续）

COMP	说明	器件型号	制造商	大小（EIA，L x W）
直流/直流转换器				
C17	100nF ± 10%，X7R，50V	C0603C104K5RACAUTO	Kemet（基美）	0603，1.6mm x 0.8mm
C1	1nF ± 10%，X7R，50V	C0603C102K5RACTU	Kemet（基美）	0603，1.6mm x 0.8mm
C6	1µF ± 10%，X7R，25V	CGA3E1X7R1E105K080AC	TDK	0603，1.6mm x 0.8mm
F1、F2	铁氧体磁珠	74269244182	Wurth Elektronik（伍尔特电子）	0402，1.0mm x 0.5mm
HLDO				
C24	100nF ± 10%，X7R，50V	C0603C104K5RACAUTO	Kemet（基美）	0603，1.6mm x 0.8mm
C10	1nF ± 10%，X7R，50V	12065C102KAT2A	AVX	1206，3.2mm x 1.6mm
C13	100nF ± 5%，NP0，50V	C3216NP01H104J160AA	TDK	1206，3.2mm x 1.6mm
C11	1nF ± 10%，X7R，50V	12065C102KAT2A	AVX	1206，3.2mm x 1.6mm

9.4 布局

9.4.1 布局指南

图 9-9 说明了有关去耦电容器关键布局的布局建议。*电源相关建议* 一节中使用了相同的元件引用标识符。

为获得最佳 EMI 性能，请勿在高侧使用专用的接地平面，而是使用单独的引线连接高侧 (HGND) 的接地基准，如图 9-9 所示。

使数字引线远离所有模拟输入和相关元件，以尽可能地减少干扰。

在模拟输入端使用 C0G 电容器。对电源去耦电容器使用陶瓷电容器（例如 X7R 级）。不建议使用高 K 电容器 (Y5V)。使用短而直接的引线将所需的电容器放置在尽可能靠近器件引脚的位置。为了实现最佳性能，请在旁路电容器的接地侧接头上使用低阻抗连接。

应用外部时钟时，确保时钟没有过冲和干扰。放置在时钟缓冲器上的拉电流终端电阻器通常有助于减少过冲。时钟输入上的干扰可能会导致转换数据中出现噪声。

Copyright © 2023 Texas Instruments Incorporated

9.4.2 布局示例

图 9-9 显示了 AMC131M02 的一个示例布局，该布局至少两个 PCB 层。通常，初级（低）侧的模拟和数字信号分在右侧，次级（高）侧的模拟和数字信号分在左侧。

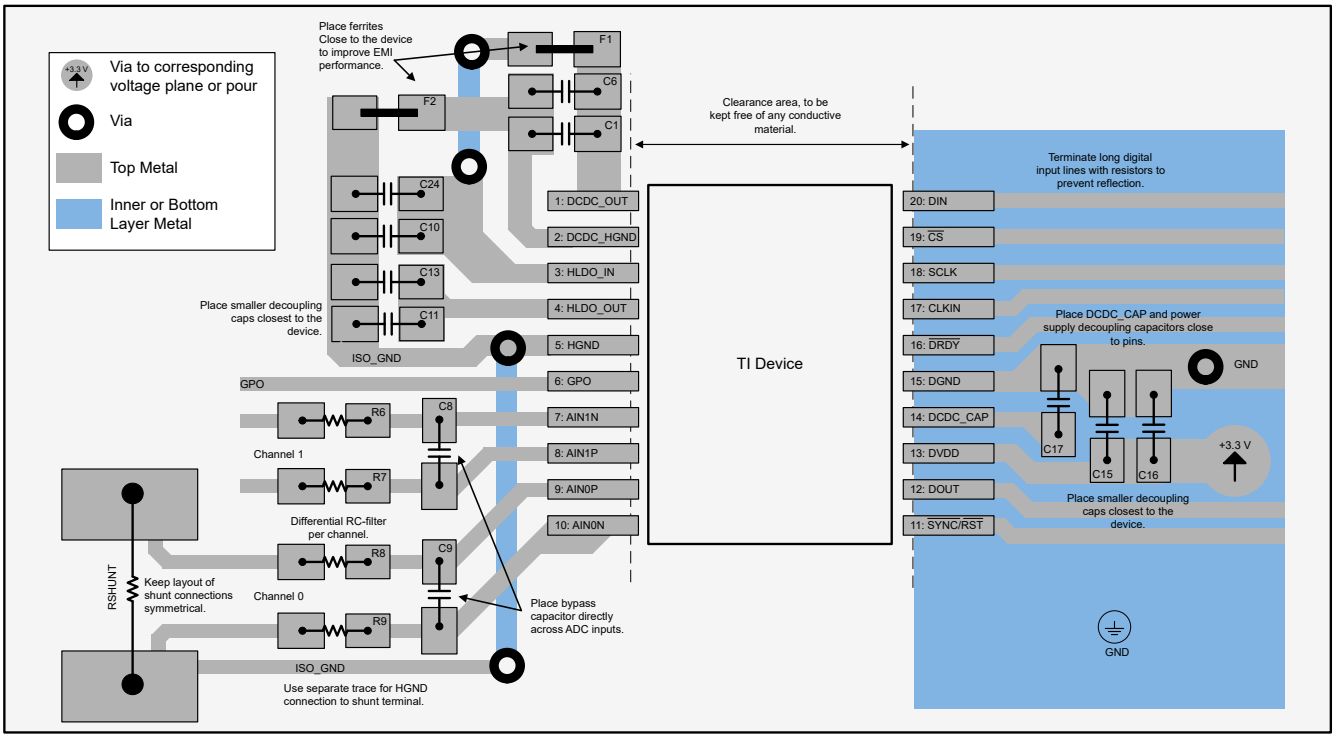


图 9-9. 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TIDA-010243 使用独立 ADC 且具有成本效益的三相 CT 电表参考设计* 设计指南
- 德州仪器 (TI)，*TIDA-010036 使用独立 ADC 的单相并联电表参考设计* 设计指南
- 德州仪器 (TI)，*TIDA-010037 使用独立 ADC 的高精度分相 CT 电表参考设计* 设计指南
- 德州仪器 (TI)，*具有 ±250mV 输入和差分输出的隔离式电压测量电路* 应用手册

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC131M02DFMR	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	AMC131M02
AMC131M02DFMR.A	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	AMC131M02
AMC131M02DFMR.B	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

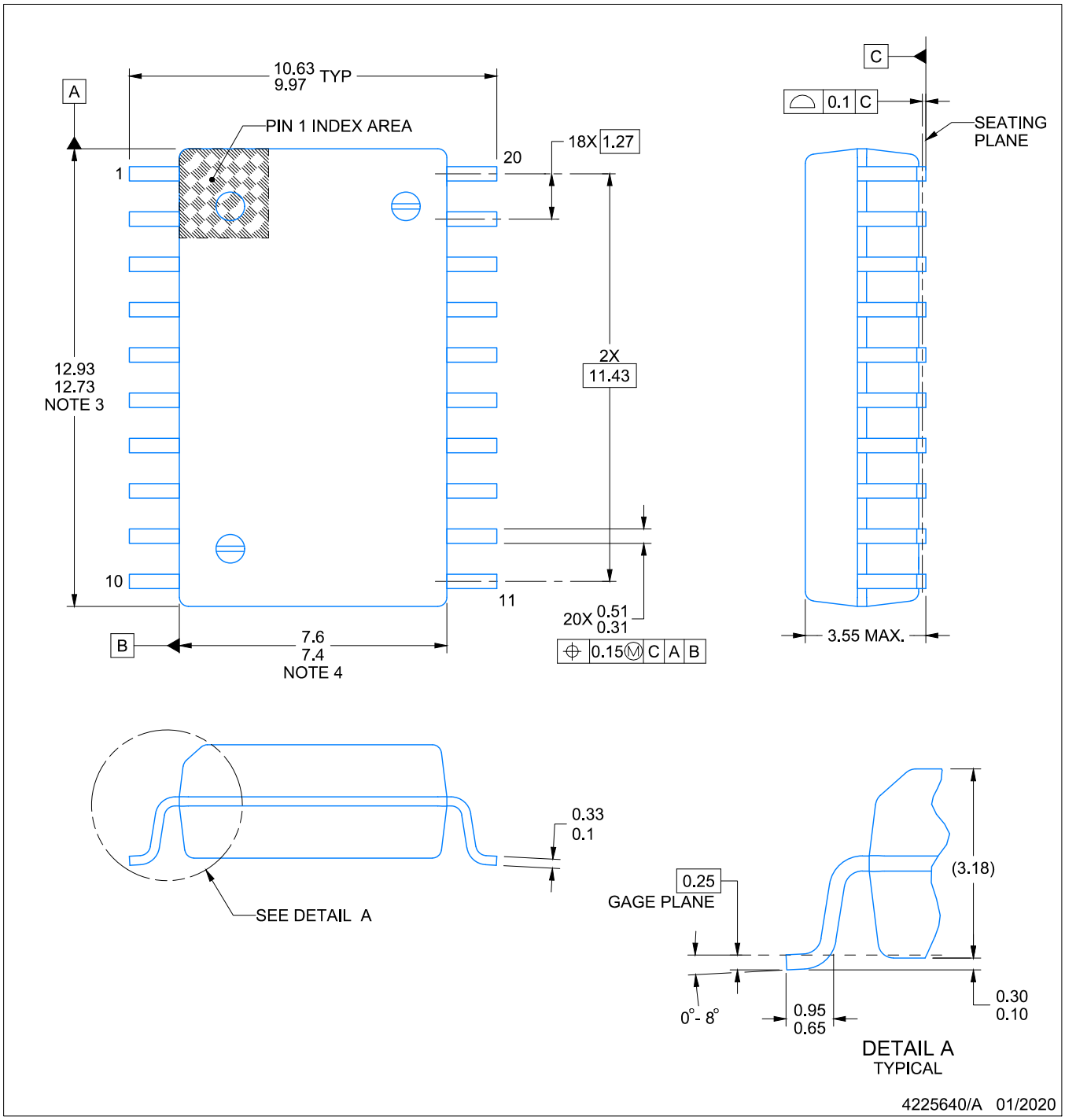
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DFM0020A

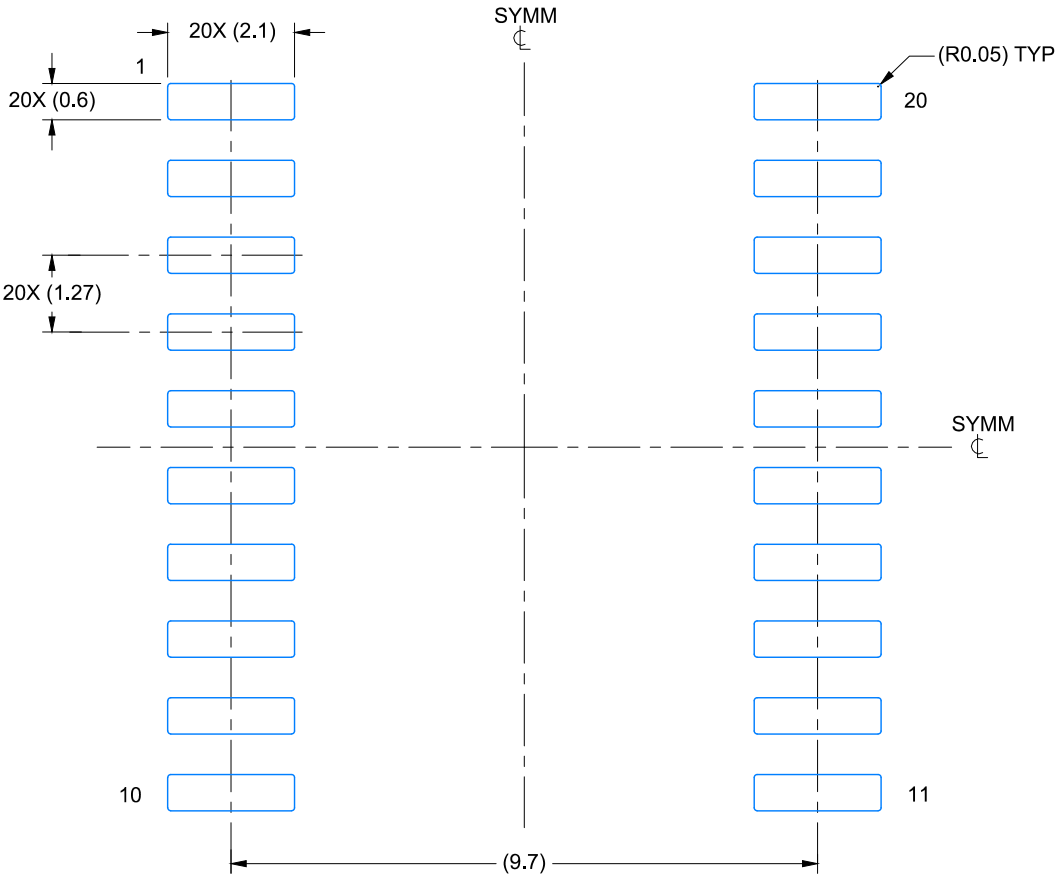
SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

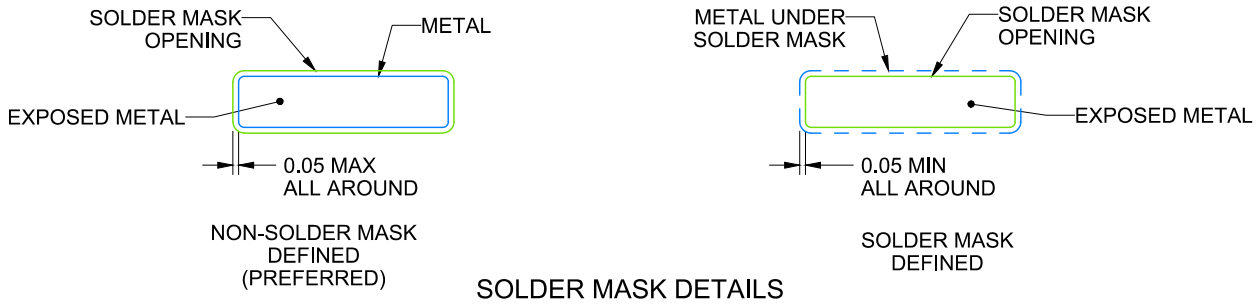


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

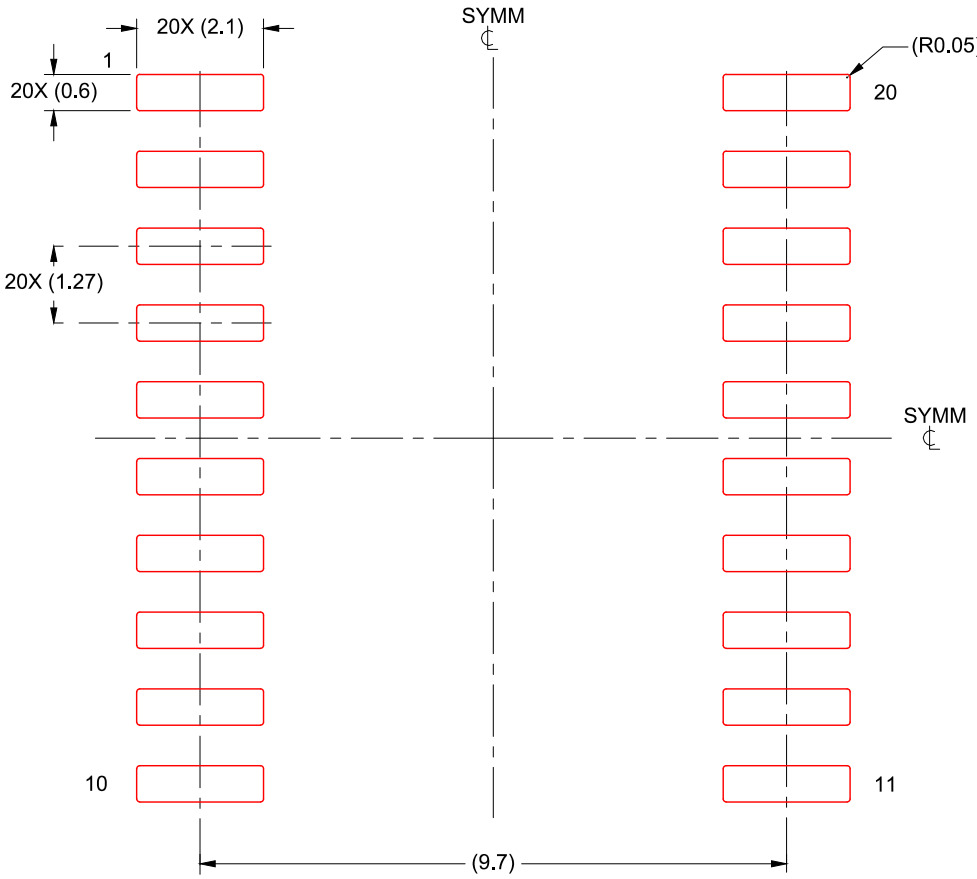


SOLDER MASK DETAILS

4225640/A 01/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225640/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月