AMC0x30D-Q1 具有固定增益差分输出的汽车级 ±1V 输入、基础型隔离和增强型隔离精密放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 线性输入电压范围：±1V
- 高输入阻抗：1GΩ（典型值）
- 电源电压范围：
  - 高侧 (VDD1)：3.0V 至 5.5V
  - 低侧 (VDD2)：3.0V 至 5.5V
- 固定增益：2V/V
- 差分输出
- 低直流误差：
  - 失调电压误差：±1.5mV（最大值）
  - 温漂：±10μV/°C（最大值）
  - 增益误差：±0.25%（最大值）
  - 增益漂移：±40ppm/°C（最大值）
  - 非线性度：0.05%（最大值）
- 高 CMTI：50V/ns（最小值）
- 低 EMI：符合 CISPR-11 和 CISPR-25 标准
- 隔离等级：
  - AMC0230D-Q1：基础型隔离
  - AMC0330D-Q1：增强型隔离
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL1577

2 应用

- 牵引逆变器
- 车载充电器
- 直流/直流转换器

3 说明

AMC0x30D-Q1 是一款精密的电隔离放大器，具有 ±1V 高阻抗输入和固定增益差分输出。高阻抗输入针对与高阻抗电阻分压器或具有高输出电阻的其他电压信号源的连接进行了优化。

隔离栅将在不同共模电压电平下运行的系统器件隔开。该隔离栅抗电磁干扰性能极强。该隔离栅经过认证，可提供高达 $5kV_{RMS}$ 的增强型隔离（DWV 封装）和高达 $3kV_{RMS}$ 的基础型隔离（D 封装）(60s)。

AMC0x30D-Q1 输出与输入电压成正比的差分信号。差分输出对接地漂移不敏感，这使得可以将输出信号进行远距离传输。

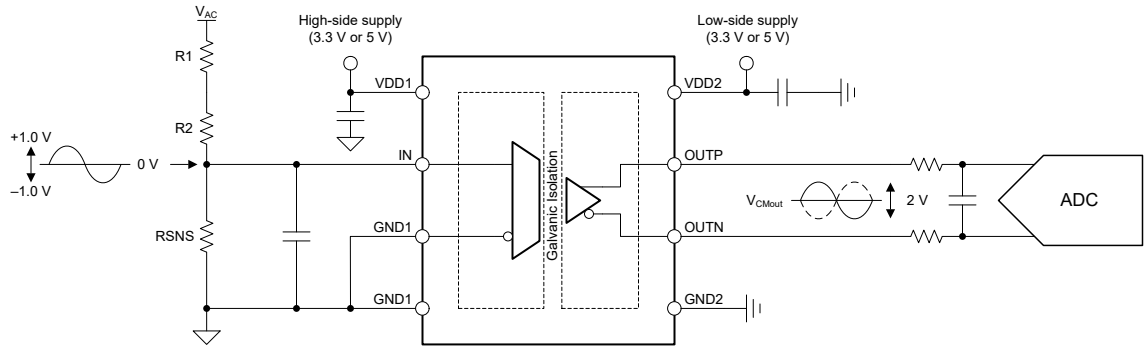
AMC0x30D-Q1 器件采用 8 引脚、宽体和窄体 SOIC 封装，额定温度范围为 –40°C 至 +125°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
AMC0230D-Q1 (3)	D (SOIC 8)	4.9mm × 6.0mm
AMC0330D-Q1	DWV (SOIC 8)	5.85mm × 11.5mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 产品预发布

ADVANCE INFORMATION



典型应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 器件比较表.... 3
5 引脚配置和功能.... 4
6 规格.... 5
6.1 绝对最大额定值.... 5
6.2 ESD 等级.... 5
6.3 建议运行条件.... 5
6.4 热性能信息（D 封装）.... 6
6.5 热性能信息（DWV 封装）.... 7
6.6 额定功率.... 7
6.7 绝缘规格（基本隔离）.... 8
6.8 绝缘规格（增强型隔离）.... 9
6.9 安全相关认证（基本隔离）.... 10
6.10 安全相关认证（增强型隔离）.... 11
6.11 安全限值（D 封装）.... 12
6.12 安全限值（DWV 封装）.... 13
6.13 电气特性.... 14
6.14 开关特性.... 15
6.15 时序图.... 15
7 详细说明.... 16
7.1 概述.... 16
7.2 功能方框图.... 16
7.3 特性说明.... 16
7.4 器件功能模式.... 19
8 应用和实施.... 20
8.1 最佳设计实践.... 20
9 电源相关建议.... 21
10 布局.... 22
10.1 布局指南.... 22
10.2 布局示例.... 22
11 器件和文档支持.... 23
11.1 文档支持.... 23
11.2 接收文档更新通知.... 23
11.3 支持资源.... 23
11.4 商标.... 23
11.5 静电放电警告.... 23
11.6 术语表.... 23
12 修订历史记录.... 23
13 机械、封装和可订购信息.... 23
13.1 机械数据.... 24

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

参数	AMC0230D-Q1 (1)	AMC0330D-Q1
符合 VDE 0884-17 的隔离等级	基本	增强型
封装	窄体 SOIC (D)	宽体 SOIC (DWV)

(1) 产品预发布

ADVANCE INFORMATION

5 引脚配置和功能

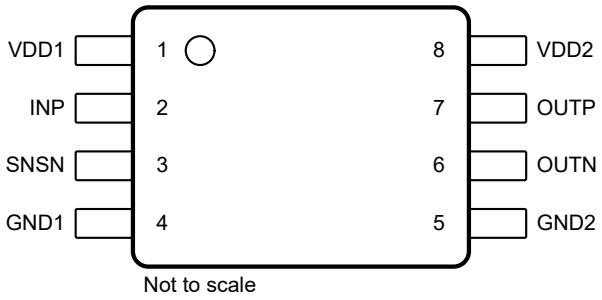


图 5-1. DWV 和 D 封装，8 引脚 SOIC（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
1	VDD1	高侧电源	高侧电源[(1)]
2	INP	模拟输入	模拟输入
3	SNSN	模拟输入	调制器的 GND1 检测引脚和反相模拟输入。连接至 GND1。
4	GND1	高侧接地端	高侧模拟地
5	GND2	低侧接地端	低侧模拟地
6	OUTN	模拟输出	反相模拟输出
7	OUTP	模拟输出	同相模拟输出
8	VDD2	低侧电源	低侧电源[(1)]

(1) 有关电源去耦方面的建议，请参阅 *电源相关建议* 部分。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

请参阅[(1)]

		最小值	最大值	单位
电源电压	高侧 VDD1 至 GND1	-0.3	6.5	V
	低侧 VDD2 至 GND2	-0.3	6.5	
模拟输入电压	INP、SNSN 至 GND1	GND1 – 3	VDD1 + 0.5	V
模拟输出电压	OUTP、OUTN 至 GND2	GND2 – 0.5	VDD2 + 0.5	V
输入电流	连续，除电源引脚外的任何引脚	-10	10	mA
温度	结温，T_J		150	°C
	贮存温度，T_{stg}	-65	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C6	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
VDD1	高侧电源	VDD1 至 GND1	3	5.0	5.5	V
VDD2	低侧电源	VDD2 至 GND2	3	3.3	5.5	V
模拟输入						
$V_{Clipping}$	削波输出前的标称输入电压	INP 至 SNSN	-1.28		1.28	V
V_{FSR}	额定线性输入电压	INP 至 SNSN	-1		1	V
模拟输出						
C_{LOAD}	容性负载	OUTP 或 OUTN 至 GND2			500	pF
		OUTP 至 OUTN			250	
R_{LOAD}	电阻负载	OUTP 或 OUTN 至 GND2		10	1	kΩ
数字 I/O						
温度范围						
T_A	额定环境温度		-40		125	°C

ADVANCE INFORMATION

6.4 热性能信息（D 封装）

热指标[1]		D (SOIC)	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	116.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	52.8	°C/W
$R_{\theta JB}$	结至电路板热阻	58.9	°C/W
Ψ_{JT}	结至顶部特征参数	19.4	°C/W
Ψ_{JB}	结至电路板特征参数	58.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6.5 热性能信息（DWV 封装）

热指标[1]		DWV (SOIC)	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	102.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45.1	°C/W
$R_{\theta JB}$	结至电路板热阻	63.0	°C/W
Ψ_{JT}	结至顶部特征参数	14.3	°C/W
Ψ_{JB}	结至电路板特征参数	61.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.6 额定功率

参数		测试条件	值	单位
P_D	最大功耗（两侧）	AVDD = DVDD = 5.5V	待定	mW
P_{D1}	最大功耗（高侧）	AVDD = 3.6V	待定	mW
		AVDD = 5.5V	待定	
P_{D2}	最大功耗（低侧）	DVDD = 3.6V	待定	mW
		DVDD = 5.5V	待定	

ADVANCE INFORMATION

ADVANCE INFORMATION

6.7 绝缘规格（基本隔离）

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	值	单位
一般				
CLR	外部间隙(1)	引脚间的最短空间距离	≥ 4	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	≥ 4	mm
DTI	绝缘穿透距离	绝缘层的最小内部缝隙（内部间隙）	≥ 15.4	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	≥ 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 300V_{RMS}	I-IV	
		额定市电电压 ≤ 600V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	在交流电压下	1130	V_{PK}
V_{IOWM}	最大额定隔离工作电压	在交流电压下（正弦波）	800	V_{RMS}
		在直流电压下	1130	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	4250	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50μs 波形	5000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	在油中进行测试（合格测试） 符合 IEC 62368-1 的 1.2/50μs 方波	10000	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入/输出安全测试子组 2 和 3 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a，环境测试子组 1 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.3 \times V_{IORM}$，$t_m$ = 10s	≤ 5	
		方法 b1，预处理（类型测试）和常规测试， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 1s，$V_{pd(m)} = 1.5 \times V_{IORM}$，$t_m$ = 1s	≤ 5	
		方法 b2，常规测试（100% 生产）(7)， $V_{pd(ini)} = V_{IOTM} = V_{pd(m)}$，$t_{ini} = t_m$ = 1s	≤ 5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.5V_{PP} (1MHz)	约 1.5	pF
R_{IO}	绝缘电阻，输入至输出(6)	V_{IO} = 500V (T_A = 25°C)	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≤ T_A ≤ 125°C)	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^{9}	
	污染等级		2	
	气候类别		55/125/21	
UL1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（鉴定测试）； $V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	3000	V_{RMS}

(1) 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。保持电路板设计的爬电距离和间隙，从而确保印刷电路板 (PCB) 上隔离器的安装焊盘不会导致此距离缩短。在某些情况下，PCB 上的爬电距离和电气间隙相等。在 PCB 上插入坡口、肋或两者等技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离栅每一侧的所有引脚都连在一起，构成一个双引脚器件。
(7) 生产中使用方法 b1 或 b2。

Copyright © 2024 Texas Instruments Incorporated

6.8 绝缘规格（增强型隔离）

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	值	单位
一般				
CLR	外部间隙(1)	引脚间的最短空间距离	≥ 8.5	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	≥ 8.5	mm
DTI	绝缘穿透距离	双重绝缘层的最小内部缝隙（内部间隙）	≥ 15.4	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	≥ 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 300V_{RMS}	I-IV	
		额定市电电压 ≤ 6000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	在交流电压下	1410	V_{PK}
V_{IOWM}	最大额定隔离工作电压	在交流电压下（正弦波）	1000	V_{RMS}
		在直流电压下	1410	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7000	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50μs 波形	7700	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	在油中进行测试（鉴定测试）， 符合 IEC 62368-1 的 1.2/50μs 波形	10000	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入/输出安全测试子组 2 和 3 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a，环境测试子组 1 后， $V_{pd(ini)} = V_{IOTM}$，t_{ini} = 60s，$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤ 5	
		方法 b1，预处理（类型测试）和常规测试， $V_{pd(ini)} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s，$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤ 5	
		方法 b2，常规测试（100% 生产）(7) $V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$，$t_{ini} = t_m$ = 1s	≤ 5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.5V_{PP} (1MHz)	约 1.5	pF
R_{IO}	绝缘电阻，输入至输出(6)	V_{IO} = 500V (T_A = 25°C)	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≤ T_A ≤ 125°C)	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^9	
	污染等级		2	
	气候类别		55/125/21	
UL1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。保持电路板设计的爬电距离和间隙，从而确保印刷电路板 (PCB) 上隔离器的安装焊盘不会导致此距离缩短。在某些情况下，PCB 上的爬电距离和电气间隙相等。在 PCB 上插入坡口、肋或两者等技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离栅每一侧的所有引脚都连在一起，构成一个双引脚器件。
(7) 生产中使用方法 b1 或 b2。

ADVANCE INFORMATION

6.9 安全相关认证（基本隔离）

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN 61010-1 (VDE 0411-1) 条款：6.4.3；6.7.1.3；6.7.2.1；6.7.2.2；6.7.3.4.2；6.8.3.1	根据 1577 元件认证和 CSA 元件验收第 5 号计划进行了认证
基础型绝缘	单一绝缘保护
证书编号：待定	文件编号：待定

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6.10 安全相关认证（增强型隔离）

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN IEC 62368-1 (VDE 0868-1)、 EN IEC 62368-1、 IEC 62368-1 条款：5.4.3；5.4.4.4；5.4.9	根据 1577 元件认证和 CSA 元件验收第 5 号计划进行了认证
增强型绝缘	单一绝缘保护
证书编号：待定	文件编号：待定

ADVANCE INFORMATION

6.11 安全限值（D 封装）

安全限制[(1)]旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = TBD°C/W，VDDx = 5.5V，T_J = 150°C，T_A = 25°C			待定	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = TBD°C/W，VDDx = 3.6V，T_J = 150°C，T_A = 25°C			待定	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = TBD°C/W，T_J = 150°C，T_A = 25°C			待定	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超过 I_S 和 P_S 的最大限值。这些限值随着环境温度 T_A 的变化而变化。
“热性能信息”表中的结至空气热阻 $R_{\theta JA}$ 是安装在含引线的表面贴装封装的高 K 测试板上的器件的热阻。可使用以下公式来计算各个参数的值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件上消耗的功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为最大结温。
$P_S = I_S \times VDD_{max}$，其中 VDD_{max} 为最大低侧电压。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6.12 安全限值（DWV 封装）

安全限制[(1)]旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = TBD°C/W，VDDx = 5.5V，T_J = 150°C，T_A = 25°C			待定	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = TBD°C/W，VDDx = 3.6V，T_J = 150°C，T_A = 25°C			待定	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = TBD°C/W，T_J = 150°C，T_A = 25°C			待定	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超过 I_S 和 P_S 的最大限值。这些限值随着环境温度 T_A 的变化而变化。
“热性能信息”表中的结至空气热阻 $R_{\theta JA}$ 是安装在含引线的表面贴装封装的高 K 测试板上的器件的热阻。可使用以下公式来计算各个参数的值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件上消耗的功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为最大结温。
$P_S = I_S \times VDD_{max}$，其中 VDD_{max} 为最大低侧电压。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.13 电气特性

典型规格条件为 T_A = 25°C、VDD1 = 5V 和 VDD2 = 3.3V

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
C_{IN}	输入电容			待定		pF
R_{INP}	输入阻抗	INP 引脚，T_A = 25°C		1		GΩ
I_{IB}	输入偏置电流	INP = GND1，T_A = 25°C	-15	3.5	15	nA
CMTI	共模瞬态抗扰度		50			V/ns
模拟输出						
	标称增益			2		V/V
V_{CMout}	输出共模电压		1.39	1.44	1.49	V
$V_{CLIPout}$	削波差分输出电压	V_{OUT} = (V_{OUTP} – V_{OUTN})； V_{INP} > $V_{Clipping}$		2.49		V
$V_{FAILSAFE}$	失效防护差分输出电压	VDD1 欠压或 VDD1 缺失		-2.6	-2.5	V
R_{OUT}	输出电阻	OUTP 或 OUTN		<0.2		Ω
	输出短路电流	在 OUTP 或 OUTN 上，拉出或灌入， INP = GND1，输出短接到 GND2 或 VDD2		11		mA
直流精度						
V_{OS}	输入失调电压(1) (2)	T_A = 25°C	-1.5	±0.2	1.5	mV
TCV_{OS}	输入失调电压热漂移(1) (2) (4)		-10	±3	10	μV/°C
E_G	增益误差(1)	T_A = 25°C	-0.25%	±0.05%	0.25%	
TCE_G	增益误差漂移(1) (5)		-40	±5	40	ppm/°C
	非线性(1)		-0.05%	±0.01%	0.05%	
	输出噪声	INP = GND1，BW = 50kHz		待定		μVrms
PSRR	电源抑制比(2)	VDD1 直流 PSRR，INP = GND1， VDD1 为 3V 至 5.5V		-80		dB
		VDD1 交流 PSRR，INP = GND1， VDD1 具有 10kHz/100mV 纹波		-80		
		VDD2 直流 PSRR，INP = GND1， VDD2 为 3V 至 5.5V		-100		
		VDD2 交流 PSRR，INP = GND1， VDD2 具有 10kHz/100mV 纹波		-86		
交流精度						
BW	输出带宽		90	110		kHz
THD	总谐波失真(3)	V_{INP} = $2V_{PP}$，V_{INP} > 0V， f_{IN} = 10kHz		-80		dB
SNR	信噪比	V_{INP} = $2V_{PP}$，f_{INP} = 1kHz，BW = 10kHz	79	85		dB
		V_{INP} = $2V_{PP}$，f_{INP} = 10kHz，BW = 10kHz		76		
电源						
I_{DD1}	高侧电源电流			4.2	6.0	mA
I_{DD2}	低侧电源电流			6.0	9.9	mA
$VDD1_{UV}$	高侧欠压检测阈值	VDD1 上升	2.5	2.6	2.7	V
		VDD1 下降	1.9	2.0	2.1	
$VDD2_{UV}$	低侧欠压检测阈值	VDD2 上升	2.5	2.6	2.7	V
		VDD2 下降	1.9	2.0	2.1	

(1) 典型值包括标称运行条件下的一个标准偏差（σ）。

Copyright © 2024 Texas Instruments Incorporated

(2) 此参数以输入为基准。
(3) THD 是前五个高次谐波幅度的均方根和与基波幅度之比。
(4) 使用框方法计算失调电压误差温漂，如以下公式所示：
$TCV_{OS} = (Value_{MAX} - Value_{MIN}) / TempRange$
(5) 使用框方法计算增益误差温漂，如以下公式所示：
$TCE_G\ (ppm) = (Value_{MAX} - Value_{MIN}) / (Value_{(T=25℃)} \times TempRange) \times 10^6$

6.14 开关特性

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_r	输出信号上升时间			1.8		μs
t_f	输出信号下降时间			1.8		μs
	从 V_{INP} 到 V_{OUTx} 的信号延迟 (50% - 10%)	非滤波输出		2.4		μs
	从 V_{INP} 到 V_{OUTx} 的信号延迟 (50% - 50%)	非滤波输出		3.0	3.2	μs
	从 V_{INP} 到 V_{OUTx} 的信号延迟 (50% - 90%)	非滤波输出		4.2		μs
t_{AS}	模拟稳定时间	AVDD 阶跃至 3.0V，DVDD ≥ 3.0V，V_{OUTP}、V_{OUTN} 有效，0.1% 稳定时间		50	100	μs

6.15 时序图

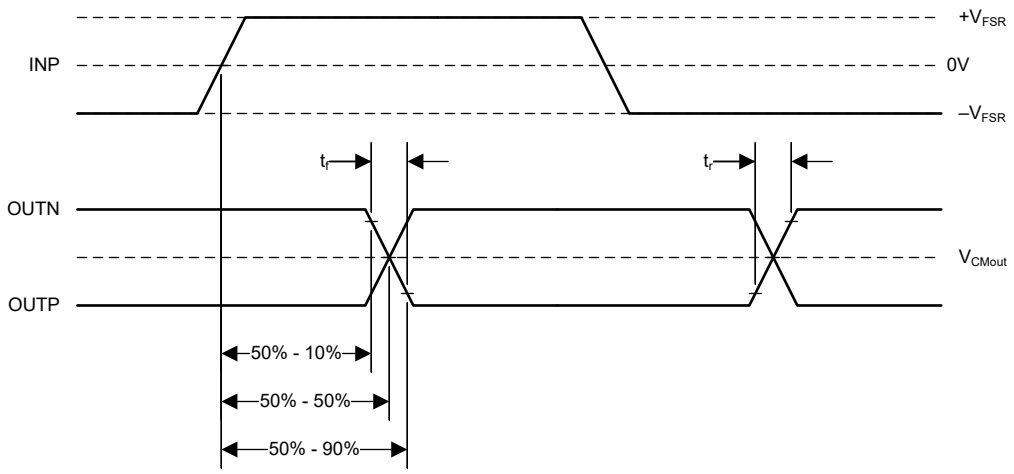


图 6-1. 上升、下降和延迟时间定义

ADVANCE INFORMATION

7 详细说明

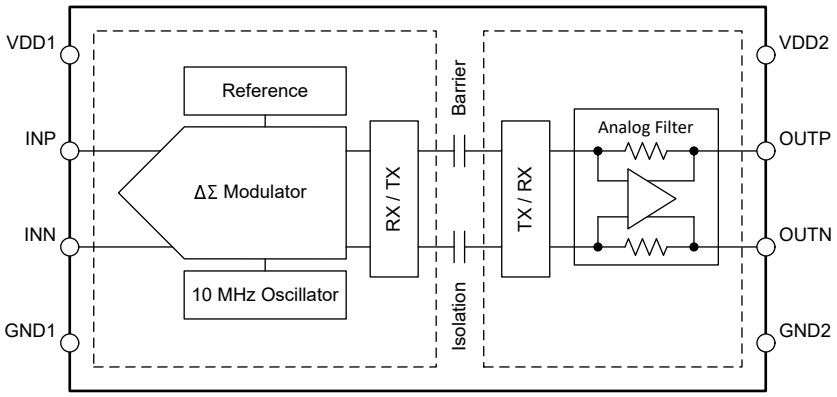
7.1 概述

AMC0x30D-Q1 是一款精密的电隔离放大器，具有 ±1V 高阻抗输入和固定增益差分输出。该器件的输入级驱动一个二阶 Δ-Σ 调制器。调制器将模拟输入信号转换为数字位流，该位流可跨过用于隔离高侧和低侧的隔离栅进行传输。

在低侧，接收到的位流由四阶模拟滤波器处理，该滤波器在 OUTP 和 OUTN 引脚输出差分信号。这个差分输出信号与输入信号成正比。

基于 SiO_2 的电容隔离栅支持高水平的磁场抗扰度，如 *ISO72x 数字隔离器磁场抗扰度 应用手册*中所述。AMC0x30D-Q1 中使用的数字调制跨过隔离栅传输数据。这种调制方案加上隔离栅的特性，可确保实现高可靠性，并具有高共模瞬态抗扰度。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

AMC0x30D-Q1 的输入级为二阶开关电容器前馈 Δ-Σ 调制器供电。调制器将模拟信号转换为通过隔离栅传输的比特流，如 *隔离通道信号传输* 部分所述。

模拟输入信号受到以下两种限制。首先，如果输入电压超出 *绝对最大额定值* 表中指定的输入电压范围，则输入电流必须限制为 10mA。该限制是器件输入静电放电 (ESD) 二极管导通所致。其次，只有当输入电压保持在线性满标量程范围 (V_{FSR}) 内时，才能指定线性度和噪声性能。V_{FSR} 在 *建议运行条件* 表中提供。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7.3.2 隔离通道信号传输

AMC0x30D-Q1 使用开关键控 (OOK) 调制方案（如图 7-1 所示），跨过基于 SiO_2 的隔离栅来传输调制器输出比特流。 *功能方框图* 中所示的发送驱动器 (TX) 跨过隔离栅发送一个内部生成的高频载波来表示数字一，而 TX 不发送信号则表示数字零。AMC0x30D-Q1 内使用的载波标称频率为 480MHz。

隔离栅另一侧的接收器 (RX) 恢复和解调信号，并将输入提供给四阶模拟滤波器。AMC0x30D-Q1 传输通道经过优化，可实现超高共模瞬态抗扰度 (CMTI) 和超低辐射发射。高频载波和 RX/TX 缓冲器开关会导致这些发射。

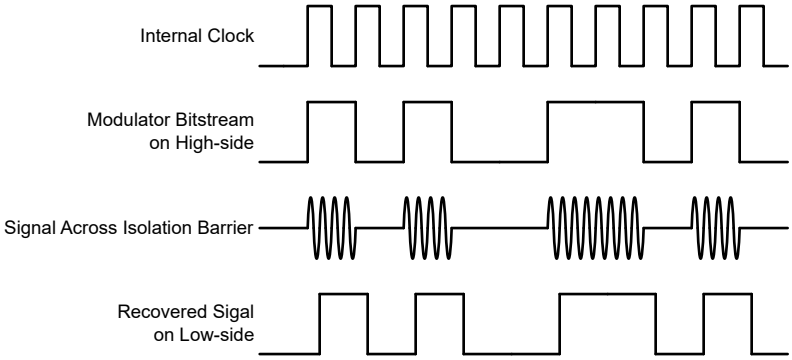


图 7-1. 基于 OOK 的调制方案

ADVANCE INFORMATION

7.3.3 模拟输出

AMC0x30D-Q1 在 OUTP 和 OUTN 引脚上提供与输入电压成正比的差分模拟输出电压。对于 $V_{FSR, MIN}$ 至 $V_{FSR, MAX}$ 范围内的输入电压，该器件具有线性响应，输出电压等于：

$$V_{OUT} = 2 \times V_{IN} = 2 \times (V_{INP} - V_{SNSN}) \quad (1)$$

在零输入端，两个引脚输出相同的共模输出电压 V_{CMout}，如*电气特性* 表中所指定。对于大于 $|V_{FSR}|$ 但小于 $|V_{Clipping}|$ 的绝对输入电压，差分输出电压的幅度会继续增加，但线性性能会降低。输出在 $V_{CLIPout}$ 的差分输出电压处饱和，如图 7-2 所示（如果输入电压超过 $V_{Clipping}$ 值）。

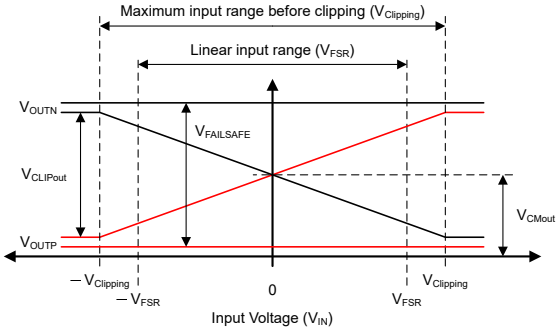


图 7-2. AMC0x30D-Q1 的输入到输出传递曲线

AMC0x30D-Q1 输出提供失效防护功能，可简化系统级诊断。图 7-2 展示了失效防护模式中的行为，其中 AMC0x30D-Q1 输出在正常工作条件下不会出现的负差分输出电压。在以下情况下，失效防护输出激活：

- 当 AMC0x30D-Q1 器件的高侧电源 VDD1 缺失时
- 当高侧电源 VDD1 降至低于欠压阈值 $VDD1_{UV}$ 时

使用最大 $V_{FAILSAFE}$ 电压（在*电气特性* 表中指定）作为系统级失效防护检测的基准值。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

AMC0x30D-Q1 在以下其中一种状态下运行：

- 关断状态：低侧电源 (VDD2) 低于 $VDD2_{UV}$ 阈值。器件无响应。OUTP 和 OUTN 处于高阻态状态。在内部，OUTP 和 OUTN 由 ESD 保护二极管钳位到 VDD2 和 GND2。
- 高侧电源缺失：器件的低侧 (VDD2) 已供电并在 *建议运行条件* 部分所述范围内。高侧电源 (VDD1) 低于 $VDD1_{UV}$ 阈值。器件输出 $V_{FAILSAFE}$ 电压。
- 模拟输入超范围（正满标量程输入）：VDD1 和 VDD2 处于建议运行条件下，但模拟输入电压 V_{IN} 高于最大削波电压 $V_{Clipping, MAX}$。器件输出正 $V_{CLIPout}$。
- 模拟输入欠范围（负满标量程输入）：VDD1 和 VDD2 处于建议运行条件下，但模拟输入电压 V_{IN} 低于最小削波电压 $V_{Clipping, MIN}$。器件输出负 $V_{CLIPout}$。
- 正常运行：VDD1、VDD2 和 V_{IN} 处于建议运行条件内。器件输出与输入电压成正比的差分电压。

表 7-1 列出了运行模式。

表 7-1. 器件运行模式

运行条件	VDD1	VDD2	V_{IN}	器件响应
OFF	无关	$VDD2 < VDD2_{UV}$	无关	OUTP 和 OUTN 处于高阻态状态。在内部，OUTP 和 OUTN 由 ESD 保护二极管钳位到 VDD2 和 GND2。
高侧电源缺失	$VDD1 < VDD1_{UV}$	有效(1)	无关	器件输出 $V_{FAILSAFE}$ 电压。
输入超范围	有效(1)	有效(1)	$V_{IN} > V_{Clipping, MAX}$	器件输出正 $V_{CLIPout}$。
输入欠范围	有效(1)	有效(1)	$V_{IN} < V_{Clipping, MIN}$	器件输出负 $V_{CLIPout}$。
正常运行	有效(1)	有效(1)	有效(1)	器件输出与输入电压成正比的差分电压。

(1) “有效”表示在建议运行条件内。

ADVANCE INFORMATION

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 最佳设计实践

AMC0x30D-Q1 器件通电时，请勿使其模拟输入端（INP 引脚）保持断开（悬空）状态。如果该器件的输入保持悬空，则该器件的输出无效。

请勿将保护二极管连接到 AMC0x30D-Q1 的输入端（INP 引脚）。二极管漏电流可能会引入显著的测量误差，尤其是在高温下。输入引脚由 ESD 保护电路和外部电阻分压器的高阻抗实施保护，防止受高电压损坏。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

9 电源相关建议

在典型应用中，AMC0x30D-Q1 的高侧电源 (VDD1) 由隔离式直流/直流转换器从低侧电源 (VDD2) 生成。一种低成本的方案基于推挽式驱动器 SN6501-Q1 和支持所需隔离电压额定值的变压器。

AMC0x30D-Q1 无需任何特定的上电时序。高侧电源 (VDD1) 通过与低 ESR、1μF 电容器 (C2) 并联的低 ESR、100nF 电容器 (C1) 进行去耦。低侧电源 (VDD2) 同样通过与低 ESR、1μF 电容器 (C4) 并联的低 ESR、100nF 电容器 (C3) 进行去耦。将所有四个电容器（C1、C2、C3 和 C4）尽可能靠近器件放置。图 9-1 展示了 AMC0x30D-Q1 的去耦图。

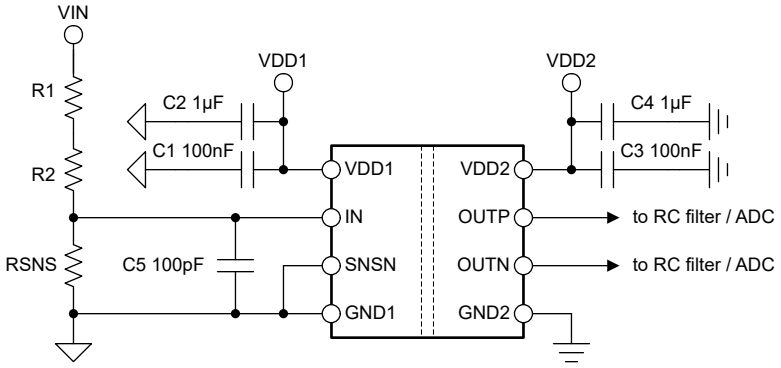


图 9-1. AMC0x30D-Q1 去耦

在应用中出现的适用直流偏置条件下，电容器提供了足够的有效电容。在实际条件下，通常仅使用多层陶瓷电容器 (MLCC) 标称电容的一小部分。在选择这些电容器时，应考虑到这个因素。此问题在低厚度电容器中尤为严重，在该类电容器中，电容器越薄，电介质电场强度越大。知名电容器制造商提供了电容与直流偏置关系曲线，这大大简化了元件的选型。

ADVANCE INFORMATION

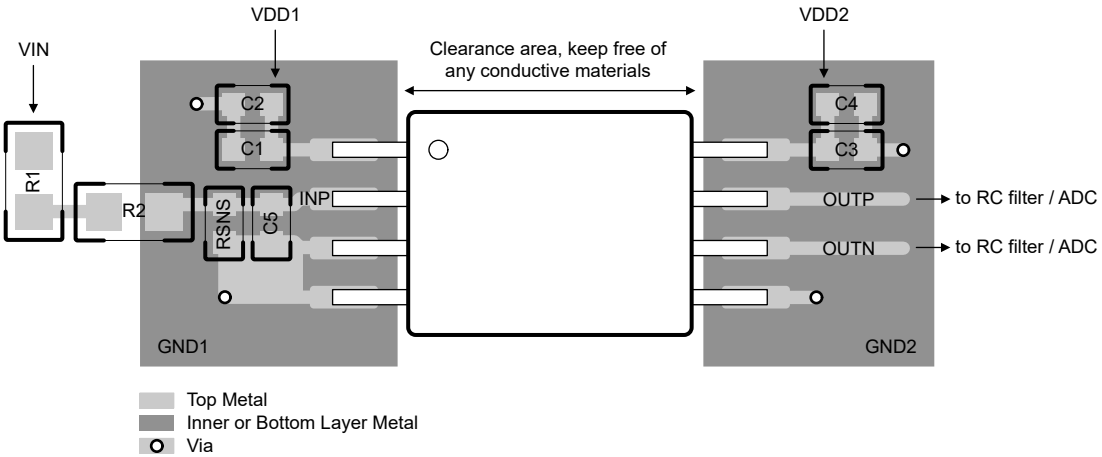
10 布局

10.1 布局指南

布局 部分详细说明了布局建议，其中去耦电容器的放置尤为关键（尽可能靠近 AMC0x30D-Q1 电源引脚）。这个示例还说明了器件所需的其他元件的放置方式。为获得更佳性能，请将检测电阻放置在靠近器件输入引脚 (INP) 的位置。

10.2 布局示例

图 10-1. AMC0x30D-Q1 的建议布局



ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*隔离相关术语*应用报告
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用报告
- 德州仪器 (TI)，*ISO72x 数字隔离器磁场抗扰度*应用报告
- 德州仪器 (TI)，*SN6501-Q1 用于隔离式电源的变压器驱动器* 数据表
- 德州仪器 (TI)，*隔离放大器电压检测 Excel 计算器* 设计工具

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2024	*	初始发行版

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

ADVANCE INFORMATION

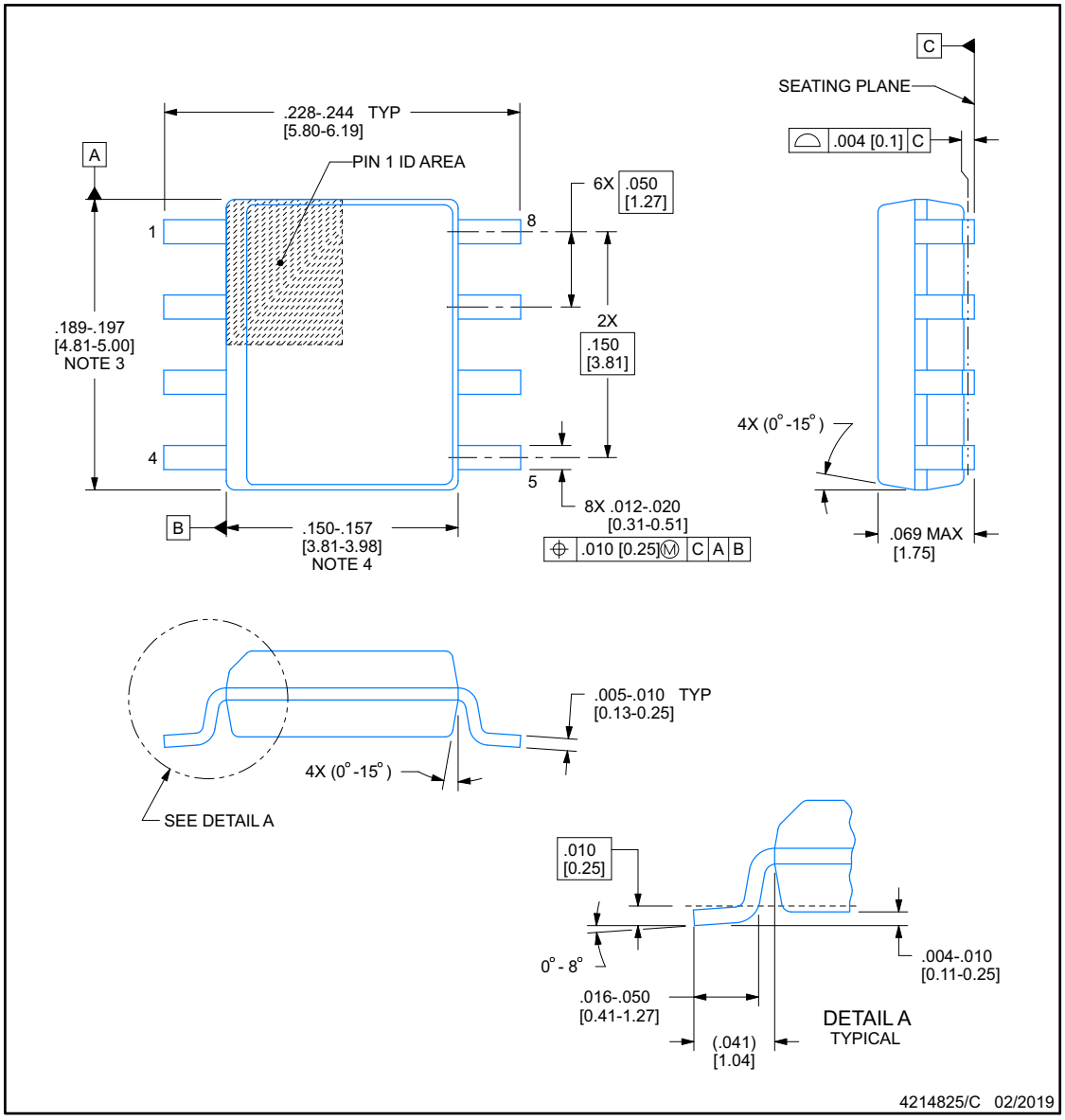
13.1 机械数据

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

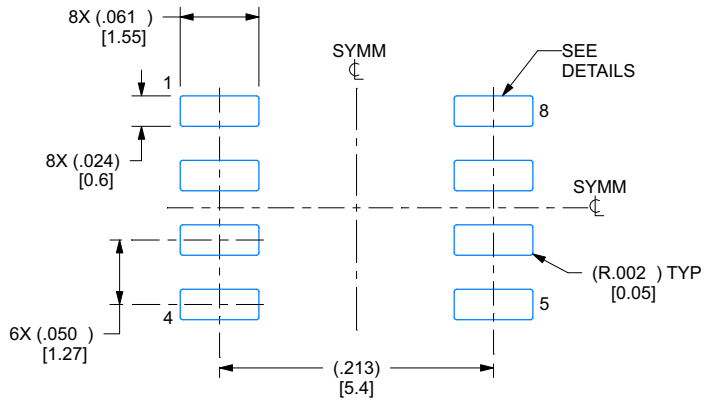
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

Copyright © 2024 Texas Instruments Incorporated

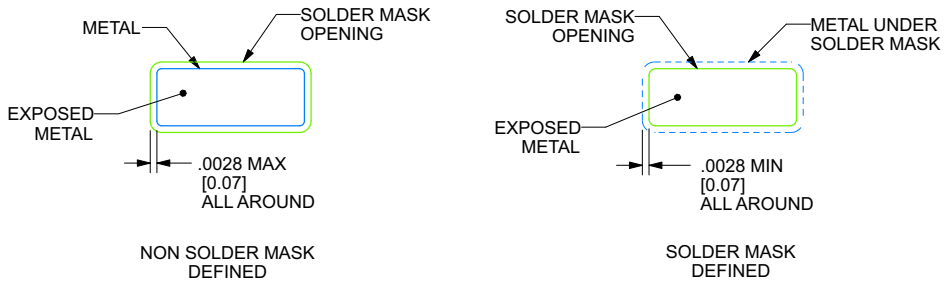
EXAMPLE BOARD LAYOUT

D0008A **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

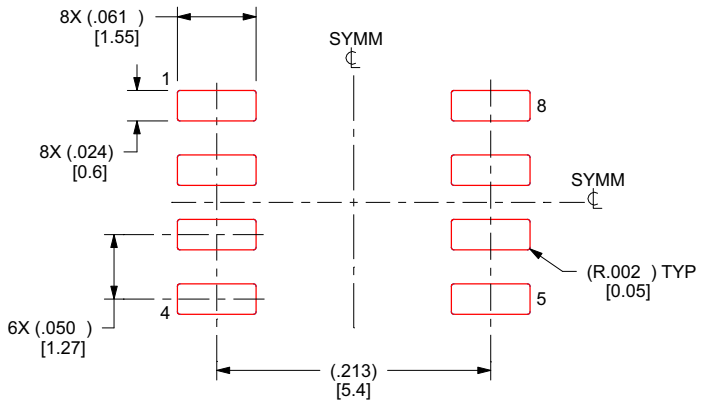
Copyright © 2024 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

D0008A **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

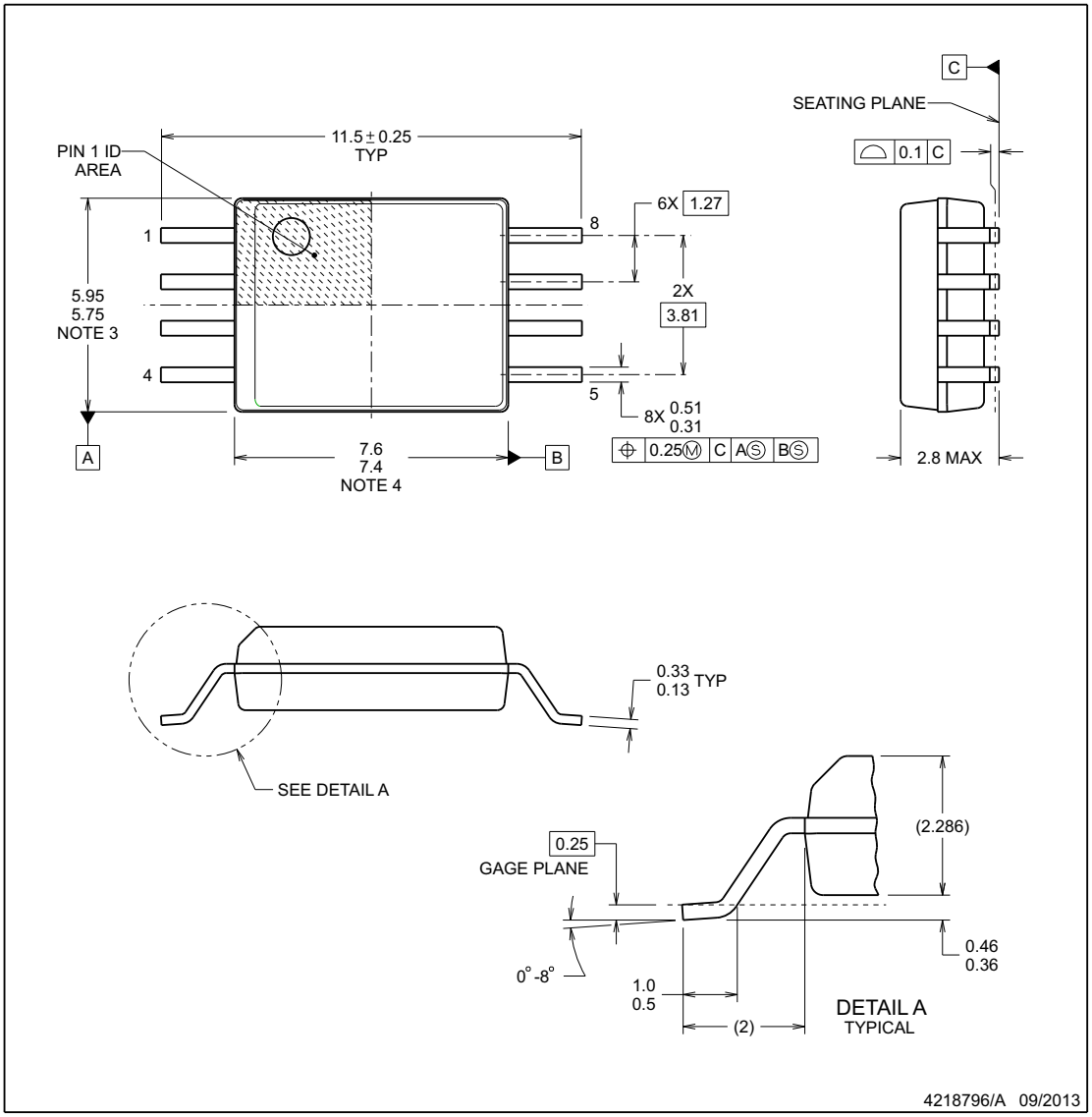
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

DWV0008A

SOIC - 2.8 mm max height

SOIC



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

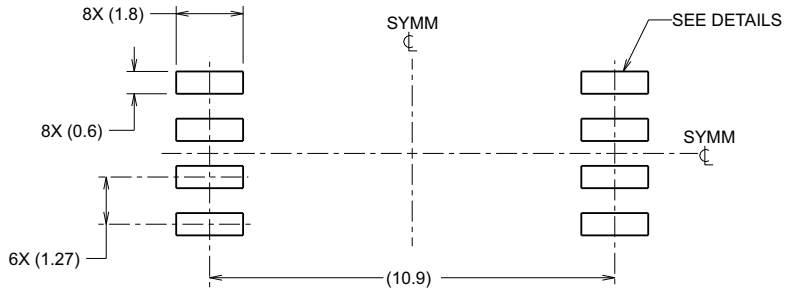
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

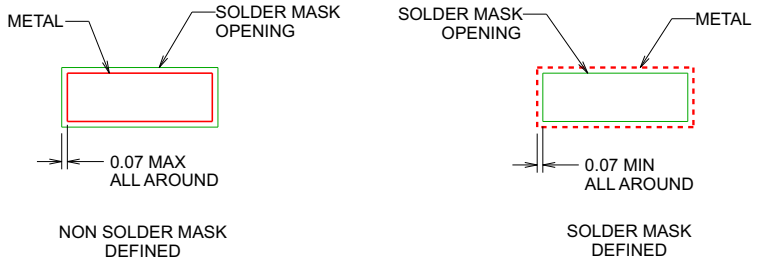
DWV0008A

SOIC - 2.8 mm max height

SOIC



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

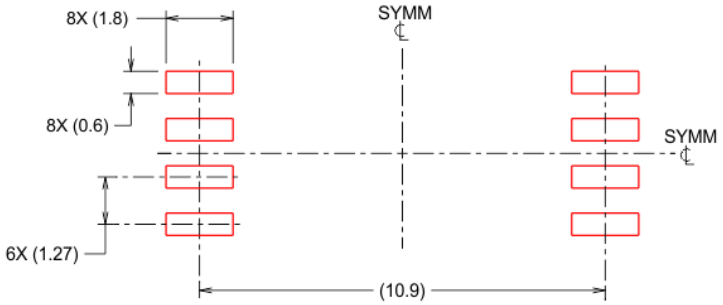
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DWV0008A — SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC0330DQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C0330D-Q
PAMC0330DQDWVRQ1	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PAMC0330DQDWVRQ1.A	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	See PAMC0330DQDWVRQ1	
PAMC0330DQDWVRQ1.B	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	See PAMC0330DQDWVRQ1	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AMC0330D-Q1 :

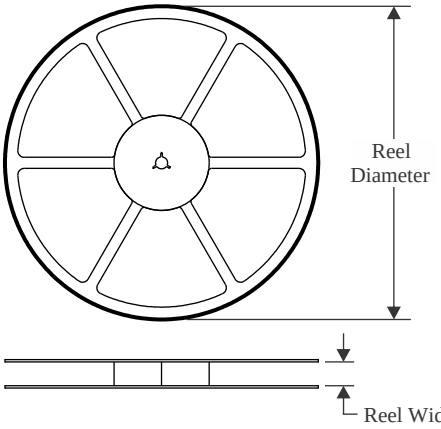
- Catalog : AMC0330D

NOTE: Qualified Version Definitions:

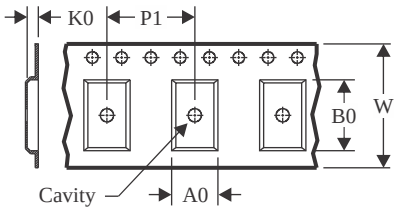
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

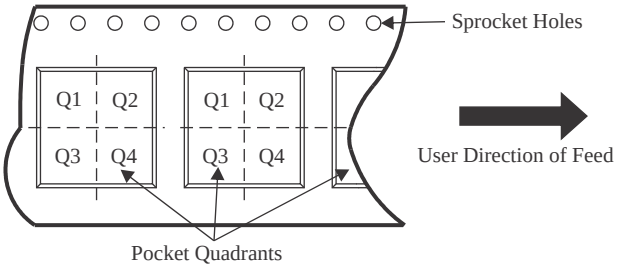


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

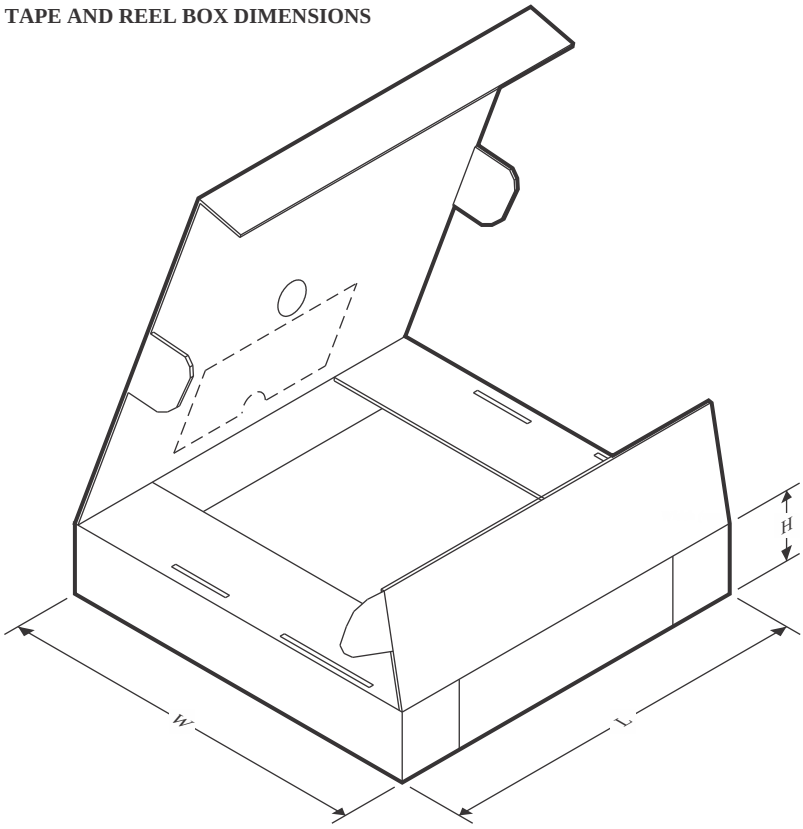
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

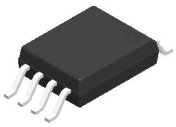
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC0330DQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

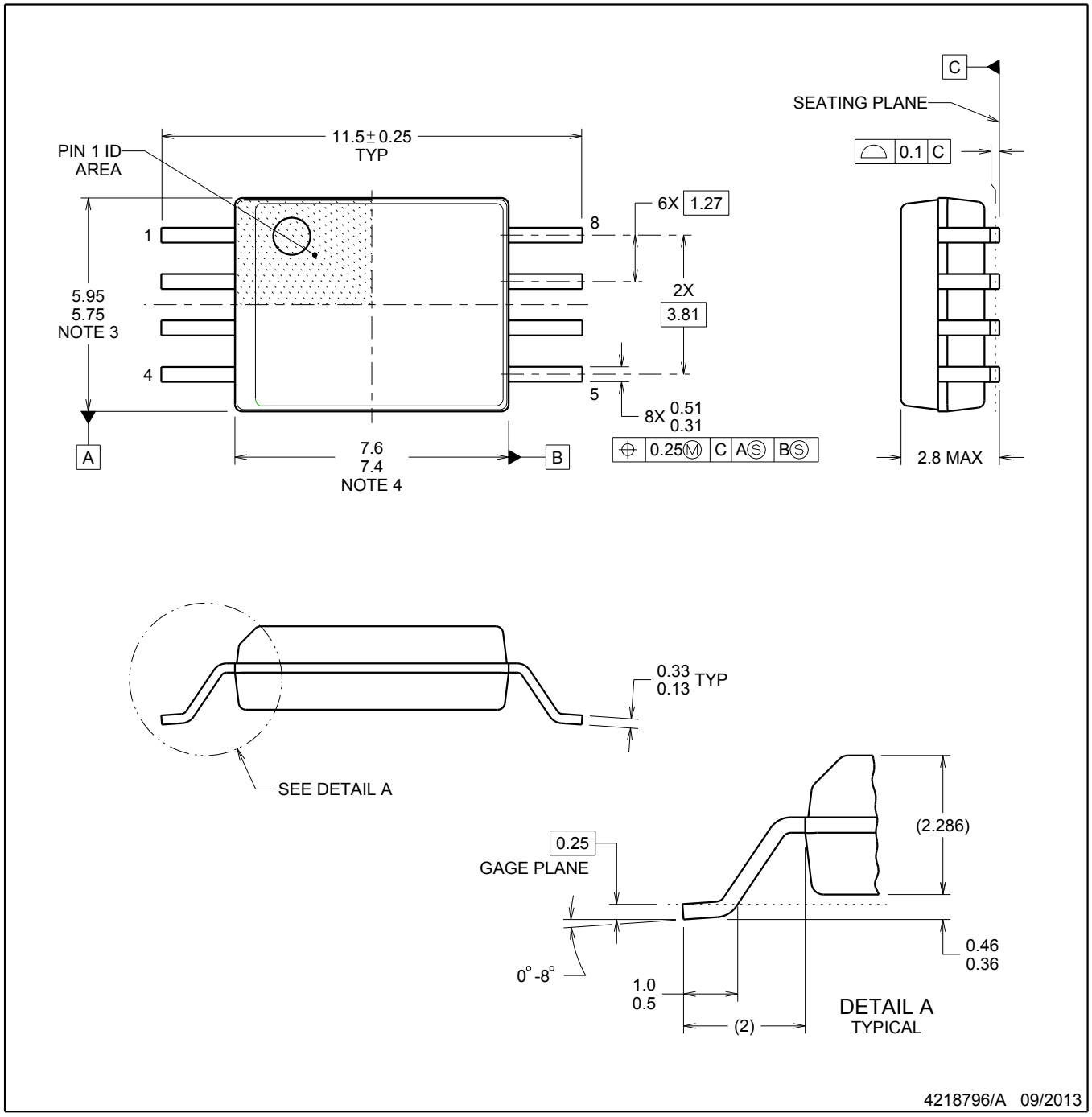
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC0330DQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0



DWV0008A

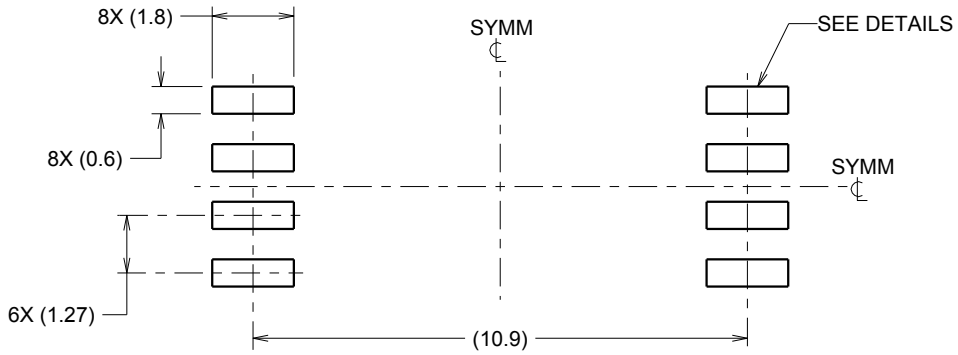
SOIC - 2.8 mm max height

SOIC

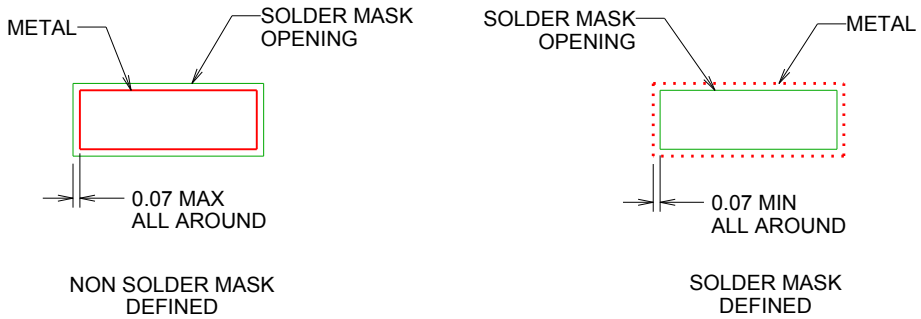


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

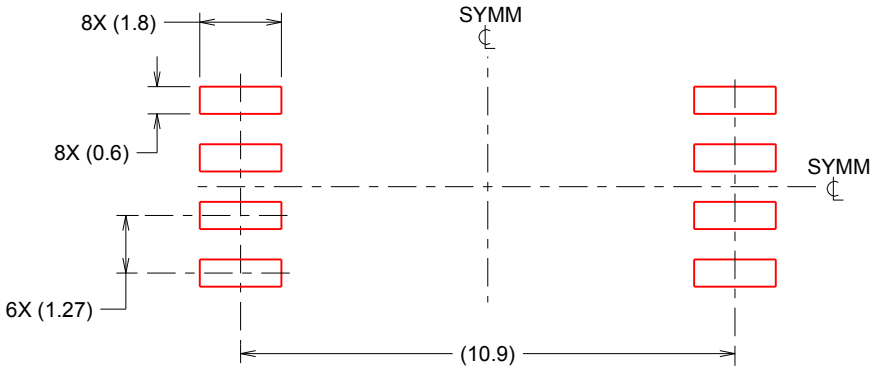


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司