AM62Dx Sitara™ 处理器

1 特性

处理器内核：

- 多达四核 Arm® Cortex®-A53 微处理器子系统（频率高达 1.4GHz）
  - 四核 Cortex-A53 集群（具有 512KB L2 共享缓存，包括 SECDED ECC）
  - 每个 A53 内核包含具有 SECDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
- 单核 Arm® Cortex®-R5F（频率高达 800MHz），作为具有 FFI 的 MCU 通道的一部分进行集成
  - 32KB ICache、32KB L1 DCache 和 64KB TCM，所有存储器上都有 SECDED ECC
  - 具有 SECDED ECC 的 512KB SRAM
- 单核 Arm® Cortex®-R5F（频率高达 800MHz），可进行集成以支持器件管理
  - 32KB ICache、32KB L1 DCache 和 64KB TCM，所有存储器上都有 SECDED ECC
- 基于单核 C7x 且带矩阵乘法加速器的 DSP
  - 运算能力高达 40GFLOPS 且频率为 1.0GHz 的 C7x 浮点、256 位矢量 DSP
  - 矩阵乘法加速器 (MMA)，性能高达 2TOPS (8b)（频率为 1.0GHz）
  - 具有 SECDED ECC 功能的 64KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
  - 具有 SECDED ECC 的 1.25MB L2 SRAM

存储器子系统：

- 高达 2.29MB 的片上 RAM
  - 具有 SECDED ECC 的 64KB 片上 RAM (OCRAM)，可以分为更小的存储器组，以 32KB 为增量递增，最多可支持 2 个独立的存储器组
  - SMS 子系统中具有 SECDED ECC 的 256KB 片上 RAM
  - SMS 子系统中具有 SECDED ECC 的 176KB 片上 RAM，用于 TI 安全固件
  - Cortex-R5F MCU 子系统中具有 SECDED ECC 的 512KB 片上 RAM
  - 器件/电源管理器子系统中具有 SECDED ECC 的 64KB 片上 RAM
  - 带矩阵乘法加速器的 C7x DSP 中具有 SECDED ECC 的 1.25MB L2 SRAM
- DDR 子系统 (DDRSS)
  - 支持 LPDDR4
  - 具有内联 ECC 的 32 位数据总线
  - 支持高达 3733MT/s 的速度
  - 最大可寻址范围为 8GB

功能安全：

- 以符合功能安全标准为目标 [汽车]
  - 专为功能安全应用开发
  - 将提供相关文档来协助进行符合 ISO 26262 标准的功能安全系统设计
  - 系统可满足 ASIL D 等级要求
  - 以硬件完整性高达 ASIL B 级为目标
- 安全相关认证
  - 计划通过 TÜV SÜD 的 ISO 26262 认证
- 符合 AEC-Q100 标准 [汽车类]

安全性：

- 支持安全启动
  - 硬件强制可信根 (RoT)
  - 支持通过备用密钥转换 RoT
  - 支持接管保护、IP 保护和防回滚保护
- 支持可信执行环境 (TEE)
  - 基于 Arm TrustZone® 的 TEE
  - 可实现隔离的广泛防火墙支持
  - 安全看门狗/计时器/IPC
  - 安全存储支持
  - 支持回放保护内存块 (RPMB)
- 具有用户可编程 HSM 内核的专用安全控制器以及用于隔离式处理的专用安全 DMA 和 IPC 子系统
- 支持加密加速
  - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
    - 支持加密内核
  - AES – 128/192/256 位密钥大小
  - SHA2 – 224/256/384/512 位密钥大小
  - 具有真随机数生成器的 DRBG
  - 可在 RSA/ECC 处理中提供帮助的 PKA（公钥加速器），支持安全启动
- 调试安全性
  - 受安全软件控制的调试访问
  - 安全感知调试

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

高速接口：

- 支持集成以太网交换机（总共 2 个外部端口）
  - RMII (10/100) 或 RGMII (10/100/1000)
  - IEEE1588（附件 D、E 和 F，及 802.1AS PTP）
  - 第 45 条 MDIO PHY 管理规范
  - 基于 ALE 引擎的数据包分类器，具有 512 个分类器
  - 基于优先级的流量控制
  - 时间敏感型网络 (TSN) 支持
  - 四个 CPU 硬件中断节奏
  - 硬件中的 IP/UDP/TCP 校验和卸载
- 两个 USB2.0 端口
  - 可配置为 USB 主机、USB 外设或 USB 双角色器件（DRD 模式）的端口
  - 集成了 USB VBUS 检测
- 一个具有 4 通道 D-PHY 的摄像头串行接口 (CSI-2) 接收器
  - 通过 CSI-2 和 MIPI D-PHY 实现的高速外部处理器数据接收接口

通用连接：

- 9 个通用异步接收器/发送器 (UART)
- 5 个串行外设接口 (SPI) 控制器
- 6 个内部集成电路 (I^2C) 端口
- 3 个多通道音频串行端口 (McASP)
  - 高达 50MHz 的发送和接收时钟
  - 3 个 McASP 上具有多达 4/6/16 个串行数据引脚并具有独立的 TX 和 RX 时钟
  - 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式
  - 支持数字音频接口传输（SPDIF、IEC60958-1 和 AES-3 格式）
  - 用于发送和接收的 FIFO 缓冲器（256 字节）
  - 支持音频基准输出时钟
- 3 个增强型 PWM 模块 (ePWM)
- 3 个增强型正交编码器脉冲模块 (eQEP)
- 3 个增强型捕捉模块 (eCAP)
- 通用 I/O (GPIO)，所有 LVCMOS I/O 均可配置为 GPIO
- 3 个支持 CAN-FD 的控制器局域网 (CAN) 模块
  - 符合 CAN 协议 2.0A、B 和 ISO 11898-1 标准
  - 完全支持 CAN-FD（多达 64 个数据字节）
  - 消息 RAM 的奇偶校验/ECC 检查
  - 速度高达 8Mbps

媒体和数据存储：

- 3 个多媒体卡/安全数字® (MMC/SD®/SDIO) 接口
  - 1 个 8 位 eMMC 接口，速度高达 HS200
  - 2 个高达 UHS-I 的 4 位 SD/SDIO 接口
  - 符合 eMMC 5.1、SD 3.0 和 SDIO 3.0
- 1 个高达 133MHz 的通用存储器控制器 (GPMC)
  - 灵活的 8 位和 16 位异步存储器接口，具有多达四个芯片（22 位地址）选择（NAND、NOR、Muxed-NOR 和 SRAM）
  - 使用 BCH 码来支持 4 位、8 位或 16 位 ECC
  - 使用海明码来支持 1 位 ECC
  - 错误定位器模块 (ELM)
    - 与 GPMC 一起使用，可通过 BCH 算法确定所生成的伴随多项式中数据错误的地址
    - 根据 BCH 算法，每 512 字节的块错误单元支持 4 位、8 位和 16 位
- 具有 DDR/SDR 支持的 OSPI/QSPI
  - 支持串行 NAND 和串行 NOR 闪存器件
  - 支持 4GB 存储器地址
  - 具有可选实时加密的 XIP 模式

电源管理：

- 器件/电源管理器支持多种低功耗模式
  - 部分 IO 支持 CAN/GPIO/UART 唤醒

引导选项：

- UART
- I^2C EEPROM
- OSPI/QSPI 闪存
- GPMC NOR/NAND 闪存
- NAND 串行闪存
- SD 卡
- eMMC
- USB（主机）大容量存储设备
- 从外部主机进行 USB（从设备）引导（DFU 模式）
- 以太网

技术/封装：

- 16nm FinFET 技术
- 18mm x 18mm、0.8mm 间距全阵列、484 引脚 FCCSP (ANF)

Copyright © 2025 Texas Instruments Incorporated

2 应用

- 汽车/高端音频放大器
- 工业/专业音频
- 航空航天与国防/雷达和无线电
- 船舶设备/声纳
- 医疗和保健/超声波扫描仪
- 测试和测量/仪表

3 说明

Sitara™ MPU 系列中的 AM62D 处理器面向需要高性能数字信号处理的应用。其中的一些应用包括：

- **音频**：汽车高端放大器和专业音频
- **雷达和无线电**：航空航天与国防
- **声纳**：船舶设备
- **超声波**：医疗设备
- **仪表**：电流、电压、其他信号：测试和测量

此器件上的关键内核包括德州仪器 (TI) 的 Arm® Cortex®-A53 和 C7000™（“C7x”）标量和矢量 DSP 内核、专用矩阵乘法加速器 (MMA) 以及隔离式 MCU 岛。所有这些都由工业和汽车级安全硬件加速器提供保护。

DSP 内核概述：C7x 系列的 C7504 内核提供高达 40GFLOPS 的 DSP 计算能力。与上一代 C66x DSP 内核相比，该内核可实现 4 倍到 8 倍或更强性能。其中一些关键特性包括：

- 256 位定点和浮点 DSP 矢量内核
- 通过流引擎访问 L2 存储器的单周期延迟
- 提高控制代码效率
- 具有 64 位存储器寻址和单周期 64 位基本算术运算的真正 64 位计算机

集成概述：除了 C7x DSP 内核外，AM62D SoC 还集成高达四核 Arm® Cortex®-A53，从而提供额外的 16.8KDMIPS 计算能力以及 Linux 或实时操作系统 (RTOS) 的 HLOS 灵活性。最多两个 Arm® Cortex®-R5F 子系统能够管理低级的时序关键型处理任务，使 Arm® Cortex®-A53 和 DSP 内核不受应用的影响。集成的诊断和安全功能可支持高达 SIL-2 和 ASIL-B 级别的运行，同时集成的安全功能可保护数据免受现代攻击。AM62D 器件还提供具有时间敏感网络 (TSN) 功能的 3 端口千兆位以太网交换机，从而实现以太网音频视频桥接 (eAVB) 和 Dante 等音频网络功能，而 McASP 等外设可支持多通道 I2S 和 TDM 音频输入和输出。

封装信息

器件型号	封装(1)	封装尺寸(2)
AM62Dx	ANF（FCCSP，484）	18mm x 18mm

(1) 如需更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

3.1 功能方框图

图 3-1 是器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请访问 **Processor-SDK-AM62D**，搜索位于“Downloads”选项卡选项中的 *AM62Dx Software Build Sheet*。

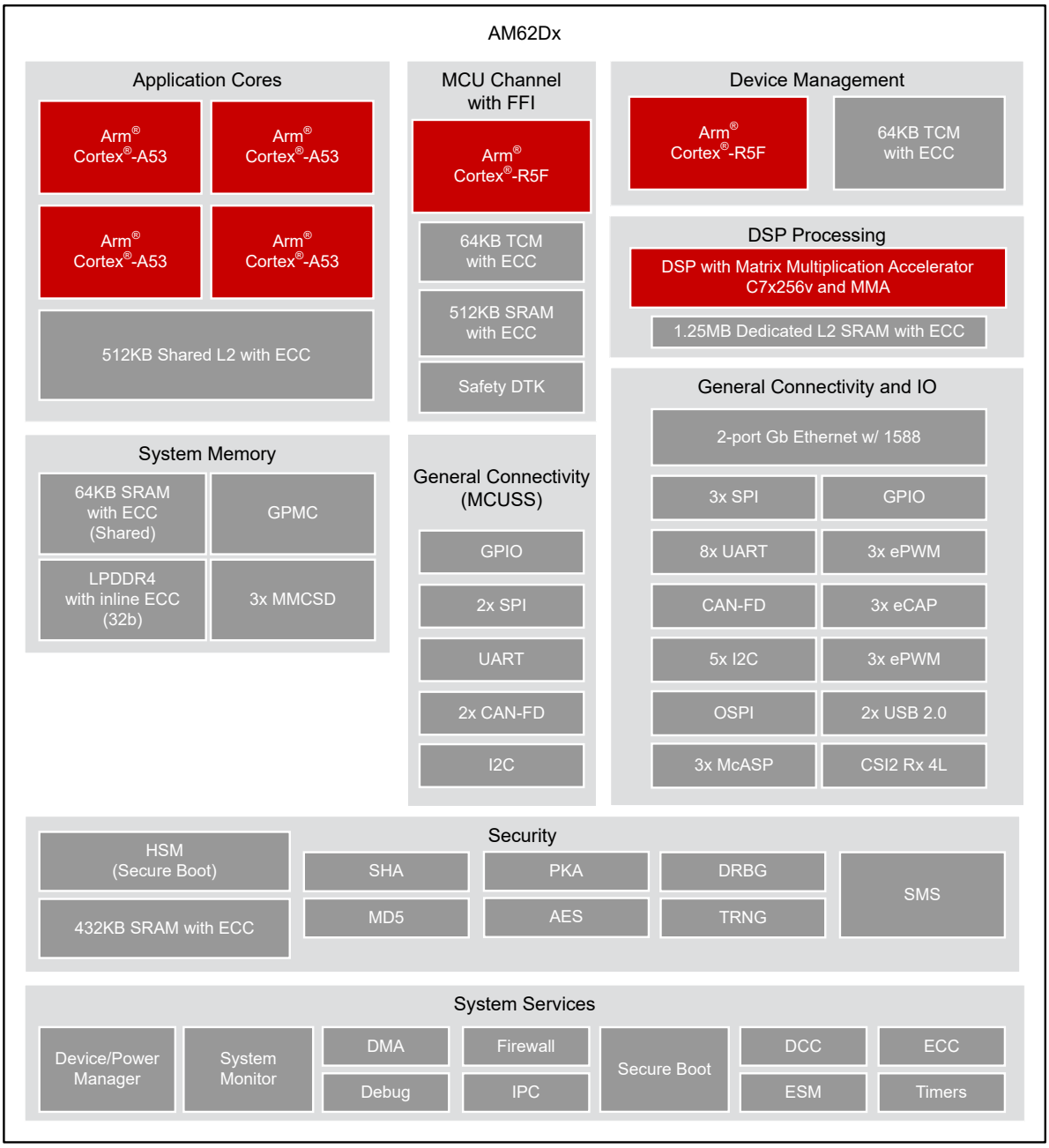


图 3-1. 功能方框图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性.....1
2 应用.....3
3 说明.....3
3.1 功能方框图.....4
4 器件比较.....6
4.1 相关产品.....7
5 端子配置和功能.....8
5.1 引脚图.....8
5.2 引脚属性.....9
5.3 信号说明.....43
5.4 引脚连接要求.....70
6 规格.....74
6.1 绝对最大额定值.....74
6.2 未通过 AEC - Q100 认证的器件的 ESD 等级.....76
6.3 符合 AEC - Q100 标准的器件的 ESD 等级.....76
6.4 上电小时数 (POH).....76
6.5 建议运行条件.....77
6.6 运行性能点.....79
6.7 功耗摘要.....79
6.8 电气特性.....80
6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....85
6.10 热阻特性.....86
6.11 温度传感器特性.....86
6.12 时序和开关特性.....87
7 详细说明.....202
7.1 概述.....202
7.2 处理器子系统.....203
7.3 加速器和协处理器.....204
7.4 其他子系统.....205
7.5 外设.....206
8 应用、实施和布局.....209
8.1 器件连接和布局基本准则.....209
8.2 外设和接口的相关设计信息.....210
8.3 时钟布线指南.....216
9 器件和文档支持.....217
9.1 器件命名规则.....217
9.2 工具与软件.....220
9.3 文档支持.....220
9.4 支持资源.....220
9.5 商标.....220
9.6 静电放电警告.....220
9.7 术语表.....221
10 修订历史记录.....222
11 机械、封装和可订购信息.....223
11.1 封装信息.....223

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 SysConfig 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请访问 **Processor-SDK-AM62D**，搜索位于“Downloads”选项卡选项中的 *AM62Dx Software Build Sheet*。

表 4-1. 器件比较

特性	参考名称	AM62D-Q1	
		AM62D24	AM62D22
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] [(1)] 按器件“特性”代码的寄存位值（有关器件特性的更多信息，请参阅命名规则说明表）			
G：		0x41167	0x41127
处理器和加速器			
速度等级		请参阅表 6-1 *器件速度等级*	
Arm Cortex-A53 微处理器子系统	Arm A53	四核	双核
带矩阵乘法加速器的 C7x256V DSP	C7x MMA	高达 1GHz	
MCU 域中的 Arm Cortex-R5F	MCU_R5F	单核 功能安全（可选）[(3)]	
器件管理子系统	WKUP_R5F	单核	
硬件安全模块	HSM	是	
加密加速器	安全性	是	
程序和数据存储			
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	64KB	
MCU 域中的片上共享存储器 (RAM)	MCU_MSRAM	512KB	
LPDDR4 DDR 子系统	DDRSS	具有内联 ECC 的 32 位数据，高达 8GB	
通用存储器控制器	GPMC	高达 128MB，具有 ECC	
外设			
模块化控制器局域网接口	MCAN	3	
完整 CAN-FD 支持	CAN-FD	是	
通用 I/O	GPIO	高达 168	
内部集成电路接口	I2C	6	
多通道音频串行端口	MCASP	3	
多通道串行外设接口	MCSPI	5	
多媒体卡/安全数字接口	MM/CSD	1x eMMC（8 位）	
		2x SD/SDIO（4 位）	
OSPI/QSPI/SPI[(2)] 闪存子系统	OSPI	是	
千兆位以太网接口	CPSW3G	是	
通用计时器	计时器	12 个（MCU 通道中 4 个）	
增强型脉宽调制器模块	EPWM	3	
增强型捕获模块	ECAP	3	
增强型正交编码器脉冲模块	EQEP	3	
通用异步接收器/发送器	UART	9	
具有 DPHY 的 CSI2-RX 控制器	CSI-RX	1	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性	参考名称	AM62D-Q1	
		AM62D24	AM62D22
具有 PHY 的 USB2.0 控制器	USB 2.0	2	

(1) 有关 CTRLMMR_WKUP_JTAG_DEVICE_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
(2) 配置为与 OSPI/QSPI/SPI 器件一起运行的 OSPI 闪存主机的单个实例。
(3) 当选择包含特性代码 S 至 Z 的可订购器件型号时，功能安全可用。有关特性代码的定义，请参阅器件命名约定。

4.1 相关产品

Sitara™ 处理器一系列品类齐全的基于 Arm® Cortex®-A 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara 处理器具有工业和汽车应用所需的可靠性和功能安全支持。

Sitara™ 微控制器是出色的基于 Arm® 的 32 位微控制器 (MCU)，可提供可扩展的高性能和高功效器件产品系列，以帮助满足您的系统需求。为您的设计提供功能安全、电源效率、实时控制、高级组网、分析和安全等功能。

AM64x Sitara™ 处理器面向工业应用，如工厂自动化与控制 (FAC) 和电机控制，这些应用利用 Linux 应用处理内核 (Cortex®-A53)、实时处理内核 (Cortex®-R5F) 和工业通信子系统 (PRU_ICSSGs) 来支持 EtherCAT、Profinet 或 EtherNet/IP 等协议。AM64x 采用一个 CPSW3G 和两个 PRU_ICSSG，最多可支持五个千兆位以太网端口。该器件还支持多种外设，包括 PCIe 第 2 代或 USB 超高速第 1 代单通道、功能安全选项、安全启动和运行时安全。

AM623 Sitara™ 处理器具有基于 Arm® Cortex®-A53 的对象和手势识别功能的物联网 (IoT) 和网关 SoC。低成本 AM623 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM623 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性以及一组广泛的外设，非常适合各种工业和汽车应用。

AM625 Sitara™ 处理器是具有 Arm® Cortex®-A53 和全高清双显示的人机交互 SoC。低成本 AM625 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM625 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性、3D 图形加速以及一组广泛的外设，非常适合各种工业和汽车应用。

AM62A3、**AM62A3-Q1**、**AM62A7** 和 **AM62A7-Q1** Sitara™ 处理器是一款嵌入式视觉 SoC，利用 1-4 个 Cortex A-53 ARM 内核以及 1TOPS 或 2TOPS 分析硬件加速器。这个可扩展的高性能 AM62Ax Sitara MPU 系列应用处理器专为 Linux 应用开发而构建。AM62Ax 非常适合具有嵌入式功能（例如 h.264/h.265 编码/解码、安全启动、图像信号处理和深度学习加速器）的各种工业和汽车应用。

帮助您完成设计的产品：

- 以太网 PHY
- 电源管理/PMIC
- 时钟和计时
- 电源开关
- CAN 收发器
- ESD 保护

有关如何在系统设计中实现这些器件以及特定器件型号建议的物料清单的详细信息，请参阅 AUDIO-AM62D-EVM 原理图。

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 484 焊球 Flip Chip Ball Grid Array (FCCSP BGA) 封装的焊球位置，HTML 版本会在光标悬停在某个焊球上时提供额外信息。该图应与表 5-1 至表 5-70（*引脚属性表和所有信号说明表，包括引脚连接要求表*）配合使用。

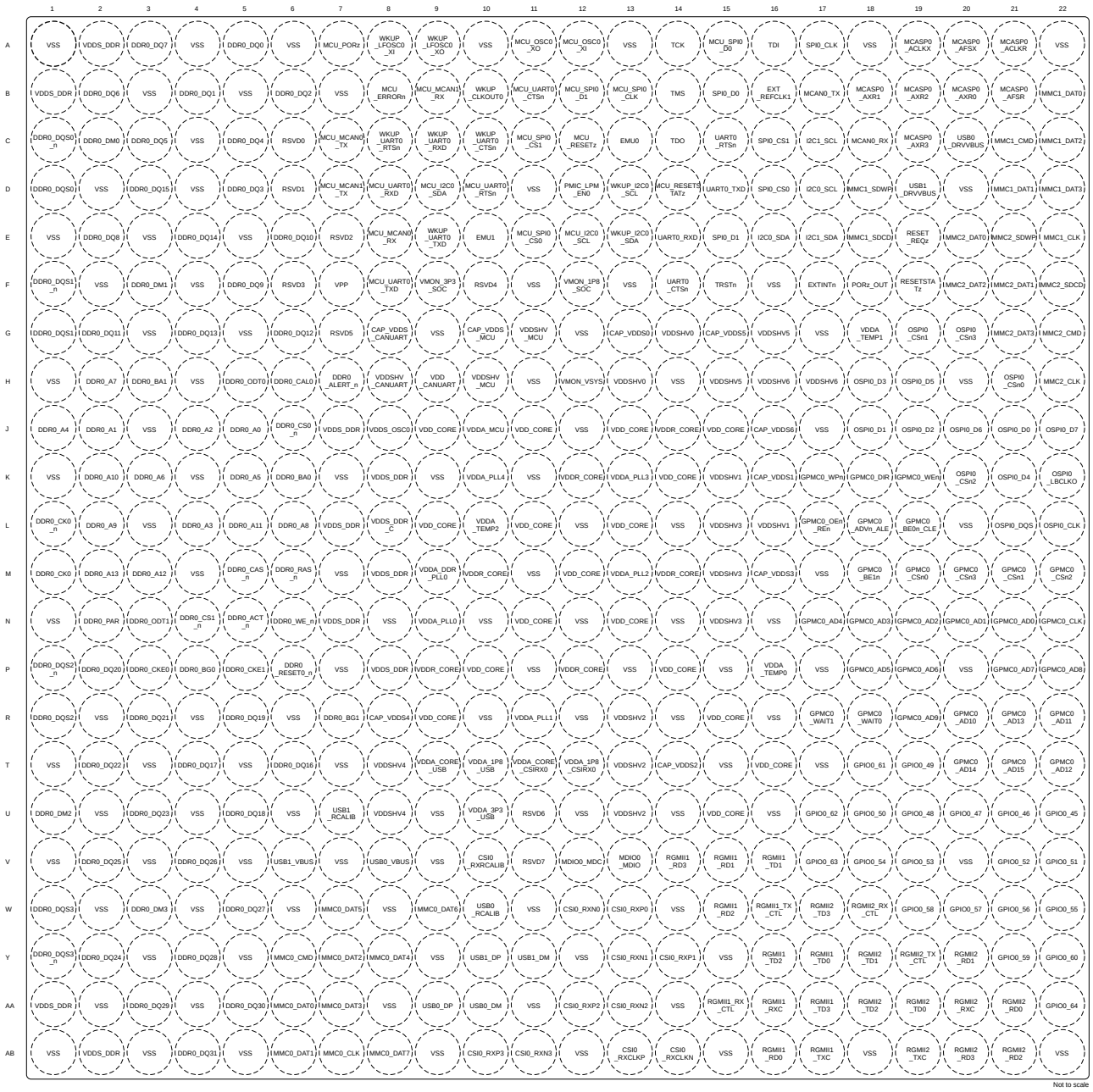


图 5-1. ANF FCCSP BGA 引脚图（顶视图）

Copyright © 2025 Texas Instruments Incorporated

5.2 引脚属性

以下列表介绍了表 5-1 *引脚属性（ANF 封装）*中每一列的内容：

1. **焊球编号：**分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称：**分配给 Ball Grid Array 封装每个端子的焊球名称（该名称通常取自主 MUXMODE 0 信号功能）。
3. **信号名称：**与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 *引脚属性（ANF 封装）*仅定义了引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

---

4. **多路复用模式：**与每个引脚多路复用信号功能相关的 MUXMODE 值：
   a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

备注

“复位之后的多路复用模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

---

   a. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
   b. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
   c. 空框表示不适用。

备注

为了使器件正常运行，必须避免以下 MUXMODE 配置。

- 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
- 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。

---

5. **类型：**信号类型和方向：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器。
6. **DSIS：**未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态（逻辑“0”、逻辑“1”或“焊盘”电平）。
   - 0：逻辑 0 被驱动至子系统输入。
   - 1：逻辑 1 被驱动至子系统输入。
   - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
   - 空框表示不适用。
7. **复位期间的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被禁用。
     - 亮：输入缓冲器被启用。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被禁用。
     - 低电平：输出缓冲器被启用并驱动 V_{OL}。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉动电阻器被关闭。
     - 上拉：内部上拉电阻器被开启。
     - 下拉：内部下拉电阻器被开启。
     - 不适用：不适用。
   - 空框表示不适用。
8. **复位之后的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被禁用。
     - 亮：输入缓冲器被启用。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被禁用。
     - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉动电阻器被关闭。
     - 上拉：内部上拉电阻器被开启。
     - 下拉：内部下拉电阻器被开启。
     - 不适用：不适用。
   - 空框表示不适用。

Copyright © 2025 Texas Instruments Incorporated

9. **复位之后的多路复用模式：**该列中的值定义了 MCU_PORz 被置为无效后的默认引脚多路复用信号功能。

   空框表示不适用。

10. **I/O 工作电压**：该列介绍了相应电源的 I/O 工作电压选项（如果适用）。

    空框表示不适用。

    有关更多信息，请参阅节 6.5 *建议运行条件* 中为每个电源定义的有效工作电压范围。

11. **电源：**相关 I/O 的电源（如果适用）。

    空框表示不适用。

12. **HYS：**指示与该 I/O 关联的输入缓冲器是否具有迟滞：
    - 是：具有迟滞
    - 否：不具有迟滞
    - 空框表示不适用。

    有关更多信息，请参阅节 6.8 *电气特性* 中的迟滞值。

13. **缓冲器类型：**该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。

    空框表示不适用。

    有关电气特性，请参阅节 6.8 *电气特性* 中相应的缓冲器类型表。

14. **上拉/下拉类型：**指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
    - PU：内部上拉
    - PD：内部下拉
    - PU/PD：内部上拉和下拉
    - 空框表示无内部拉动。

15. **PADCONFIG 寄存器：**与焊球关联的 IO 焊盘配置寄存器的名称。

16. **PADCONFIG 地址：**与焊球关联的 IO 焊盘配置寄存器的物理地址。

表 5-1. 引脚属性（ANF 封装）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
G13	CAP_VDDS0	CAP_VDDS0		CAP									
K16	CAP_VDDS1	CAP_VDDS1		CAP									
T14	CAP_VDDS2	CAP_VDDS2		CAP									
M16	CAP_VDDS3	CAP_VDDS3		CAP									
R8	CAP_VDDS4	CAP_VDDS4		CAP									
G15	CAP_VDDS5	CAP_VDDS5		CAP									
J16	CAP_VDDS6	CAP_VDDS6		CAP									
G8	CAP_VDDS_CANUART	CAP_VDDS_CANUART		CAP									
G10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
AB14	CSI0_RXCLKN	CSI0_RXCLKN		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AB13	CSI0_RXCLKP	CSI0_RXCLKP		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
V10	CSI0_RXRCALIB	CSI0_RXRCALIB		A					1.8V	VDDA_1P8_CSIRX		D-PHY	
W12	CSI0_RXN0	CSI0_RXN0		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
Y13	CSI0_RXN1	CSI0_RXN1		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AA13	CSI0_RXN2	CSI0_RXN2		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AB11	CSI0_RXN3	CSI0_RXN3		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
W13	CSI0_RXP0	CSI0_RXP0		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
Y14	CSI0_RXP1	CSI0_RXP1		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AA12	CSI0_RXP2	CSI0_RXP2		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AB10	CSI0_RXP3	CSI0_RXP3		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
N5	DDR0_ACT_n	DDR0_ACT_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
H7	DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
M5	DDR0_CAS_n	DDR0_CAS_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
N2	DDR0_PAR	DDR0_PAR		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
M6	DDR0_RAS_n	DDR0_RAS_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
N6	DDR0_WE_n	DDR0_WE_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
J5	DDR0_A0	DDR0_A0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
J2	DDR0_A1	DDR0_A1		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
J4	DDR0_A2	DDR0_A2		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L4	DDR0_A3	DDR0_A3		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
J1	DDR0_A4	DDR0_A4		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
K5	DDR0_A5	DDR0_A5		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
K3	DDR0_A6	DDR0_A6		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
H2	DDR0_A7	DDR0_A7		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
L6	DDR0_A8	DDR0_A8		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
L2	DDR0_A9	DDR0_A9		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
K2	DDR0_A10	DDR0_A10		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
L5	DDR0_A11	DDR0_A11		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
M3	DDR0_A12	DDR0_A12		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
M2	DDR0_A13	DDR0_A13		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
K6	DDR0_BA0	DDR0_BA0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
H3	DDR0_BA1	DDR0_BA1		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
P4	DDR0_BG0	DDR0_BG0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
R7	DDR0_BG1	DDR0_BG1		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
H6	DDR0_CAL0	DDR0_CAL0		A					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
M1	DDR0_CK0	DDR0_CK0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
L1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
P3	DDR0_CKE0	DDR0_CKE0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
P5	DDR0_CKE1	DDR0_CKE1		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
J6	DDR0_CS0_n	DDR0_CS0_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
N4	DDR0_CS1_n	DDR0_CS1_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
C2	DDR0_DM0	DDR0_DM0		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
F3	DDR0_DM1	DDR0_DM1		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
U1	DDR0_DM2	DDR0_DM2		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
W3	DDR0_DM3	DDR0_DM3		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
A5	DDR0_DQ0	DDR0_DQ0		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
B4	DDR0_DQ1	DDR0_DQ1		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
B6	DDR0_DQ2	DDR0_DQ2		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
D5	DDR0_DQ3	DDR0_DQ3		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
C5	DDR0_DQ4	DDR0_DQ4		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
C3	DDR0_DQ5	DDR0_DQ5		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
B2	DDR0_DQ6	DDR0_DQ6		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
A3	DDR0_DQ7	DDR0_DQ7		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
E2	DDR0_DQ8	DDR0_DQ8		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
F5	DDR0_DQ9	DDR0_DQ9		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
E6	DDR0_DQ10	DDR0_DQ10		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
G2	DDR0_DQ11	DDR0_DQ11		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
G6	DDR0_DQ12	DDR0_DQ12		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
G4	DDR0_DQ13	DDR0_DQ13		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
E4	DDR0_DQ14	DDR0_DQ14		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
D3	DDR0_DQ15	DDR0_DQ15		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
T6	DDR0_DQ16	DDR0_DQ16		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
T4	DDR0_DQ17	DDR0_DQ17		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
U5	DDR0_DQ18	DDR0_DQ18		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
R5	DDR0_DQ19	DDR0_DQ19		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
P2	DDR0_DQ20	DDR0_DQ20		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
R3	DDR0_DQ21	DDR0_DQ21		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
T2	DDR0_DQ22	DDR0_DQ22		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
U3	DDR0_DQ23	DDR0_DQ23		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
Y2	DDR0_DQ24	DDR0_DQ24		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
V2	DDR0_DQ25	DDR0_DQ25		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
V4	DDR0_DQ26	DDR0_DQ26		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
W5	DDR0_DQ27	DDR0_DQ27		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
Y4	DDR0_DQ28	DDR0_DQ28		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
AA3	DDR0_DQ29	DDR0_DQ29		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
AA5	DDR0_DQ30	DDR0_DQ30		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
AB4	DDR0_DQ31	DDR0_DQ31		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
D1	DDR0_DQS0	DDR0_DQS0		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
C1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
G1	DDR0_DQS1	DDR0_DQS1		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
F1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
R1	DDR0_DQS2	DDR0_DQS2		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
P1	DDR0_DQS2_n	DDR0_DQS2_n		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
W1	DDR0_DQS3	DDR0_DQS3		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
Y1	DDR0_DQS3_n	DDR0_DQS3_n		IO					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
H5	DDR0_ODT0	DDR0_ODT0		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
N3	DDR0_ODT1	DDR0_ODT1		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
P6	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V	VDDS_DDR、VDDS_DDR_C		DDR	
C13	EMU0 PADCONFIG：MCU_PADCONFIG30 0x04084078	EMU0	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
E10	EMU1 PADCONFIG：MCU_PADCONFIG31 0x0408407C	EMU1	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
F17	EXTINTn PADCONFIG：PADCONFIG125 0x000F41F4	EXTINTn	0	I	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8 V/3.3 V	VDDSHV0	是	I2C OD FS	
		GPIO1_31	7	IO	焊盘								
B16	EXT_REFCLK1 PADCONFIG：PADCONFIG124 0x000F41F0	EXT_REFCLK1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		SYSCLKOUT0	3	O									
		TIMER_IO4	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO1_30	7	IO	焊盘								
		ECAP0_IN_APWM_OUT	8	IO	0								
U22	GPIO0_45 PADCONFIG：PADCONFIG46 0x000F40B8	GPMC0_A0	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_RXD	4	I	1								
		GPIO0_45	7	IO	焊盘								
U21	GPIO0_46 PADCONFIG：PADCONFIG47 0x000F40BC	GPMC0_A1	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_TXD	4	O									
		GPIO0_46	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
U20	GPIO0_47 PADCONFIG：PADCONFIG48 0x000F40C0	GPMC0_A2	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_RXD	4	I	1								
		GPIO0_47	7	IO	焊盘								
U19	GPIO0_48 PADCONFIG：PADCONFIG49 0x000F40C4	GPMC0_A3	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_TXD	4	O									
		GPIO0_48	7	IO	焊盘								
T19	GPIO0_49 PADCONFIG：PADCONFIG50 0x000F40C8	GPMC0_A4	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_RXD	4	I	1								
		GPIO0_49	7	IO	焊盘								
U18	GPIO0_50 PADCONFIG：PADCONFIG51 0x000F40CC	GPMC0_A5	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_TXD	4	O									
		GPIO0_50	7	IO	焊盘								
V22	GPIO0_51 PADCONFIG：PADCONFIG52 0x000F40D0	GPMC0_A6	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_RXD	4	I	1								
		GPIO0_51	7	IO	焊盘								
V21	GPIO0_52 PADCONFIG：PADCONFIG53 0x000F40D4	GPMC0_A7	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_TXD	4	O									
		GPIO0_52	7	IO	焊盘								
V19	GPIO0_53 PADCONFIG：PADCONFIG54 0x000F40D8	GPMC0_A8	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART6_RXD	4	I	1								
		GPIO0_53	7	IO	焊盘								
V18	GPIO0_54 PADCONFIG：PADCONFIG55 0x000F40DC	GPMC0_A9	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART6_TXD	4	O									
		GPIO0_54	7	IO	焊盘								
W22	GPIO0_55 PADCONFIG：PADCONFIG56 0x000F40E0	GPMC0_A10	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART6_RTSn	4	O									
		GPIO0_55	7	IO	焊盘								
W21	GPIO0_56 PADCONFIG：PADCONFIG57 0x000F40E4	GPMC0_A11	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART6_CTSn	4	I	1								
		GPIO0_56	7	IO	焊盘								
W20	GPIO0_57 PADCONFIG：PADCONFIG58 0x000F40E8	GPMC0_A12	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_RTSn	4	O									
		GPIO0_57	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W19	GPIO0_58 PADCONFIG： PADCONFIG59 0x000F40EC	GPMC0_A13	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_CTSn	4	I	1								
		GPIO0_58	7	IO	焊盘								
Y21	GPIO0_59 PADCONFIG： PADCONFIG60 0x000F40F0	GPMC0_A14	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_RTSn	4	O									
		GPIO0_59	7	IO	焊盘								
Y22	GPIO0_60 PADCONFIG： PADCONFIG61 0x000F40F4	GPMC0_A15	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_CTSn	4	I	1								
		GPIO0_60	7	IO	焊盘								
T18	GPIO0_61 PADCONFIG： PADCONFIG62 0x000F40F8	GPMC0_A16	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_RTSn	4	O									
		GPIO0_61	7	IO	焊盘								
U17	GPIO0_62 PADCONFIG： PADCONFIG63 0x000F40FC	GPMC0_A17	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_CTSn	4	I	1								
		GPIO0_62	7	IO	焊盘								
V17	GPIO0_63 PADCONFIG： PADCONFIG64 0x000F4100	GPMC0_A18	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_RTSn	4	O									
		GPIO0_63	7	IO	焊盘								
AA22	GPIO0_64 PADCONFIG： PADCONFIG65 0x000F4104	GPMC0_A19	1	OZ		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_CTSn	4	I	1								
		GPIO0_64	7	IO	焊盘								
L18	GPMC0_ADVn_ALE PADCONFIG： PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR2	2	IO	0								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	焊盘								
N22	GPMC0_CLK PADCONFIG： PADCONFIG31 0x000F407C	GPMC0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		TRC_DATA6	6	O									
		GPIO0_31	7	IO	焊盘								
K18	GPMC0_DIR PADCONFIG： PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR13	3	IO	0								
		TRC_DATA14	6	O									
		GPIO0_40	7	IO	焊盘								
		EQEP2_S	8	IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L17	GPMC0_OEn_REn PADCONFIG：PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR1	2	IO	0								
		TRC_DATA8	6	O									
		GPIO0_33	7	IO	焊盘								
K19	GPMC0_WEn PADCONFIG：PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR0	2	IO	0								
		TRC_DATA9	6	O									
		GPIO0_34	7	IO	焊盘								
K17	GPMC0_WPn PADCONFIG：PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	1	IO	0								
		GPMC0_A22	2	OZ									
		UART6_TXD	3	O									
		TRC_DATA13	6	O									
		GPIO0_39	7	IO	焊盘								
N21	GPMC0_AD0 PADCONFIG：PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR4	3	IO	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	焊盘								
		BOOTMODE00	自举	I									
N20	GPMC0_AD1 PADCONFIG：PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR5	3	IO	0								
		TRC_CTL	6	O									
		GPIO0_16	7	IO	焊盘								
		BOOTMODE01	自举	I									
N19	GPMC0_AD2 PADCONFIG：PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR6	3	IO	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	焊盘								
		BOOTMODE02	自举	I									
N18	GPMC0_AD3 PADCONFIG：PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR7	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	焊盘								
		BOOTMODE03	自举	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
N17	GPMC0_AD4 PADCONFIG： PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR8	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	焊盘								
		BOOTMODE04	自举	I									
P18	GPMC0_AD5 PADCONFIG： PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR9	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	焊盘								
		BOOTMODE05	自举	I									
P19	GPMC0_AD6 PADCONFIG： PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR10	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	焊盘								
		BOOTMODE06	自举	I									
P21	GPMC0_AD7 PADCONFIG： PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR11	3	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	焊盘								
		BOOTMODE07	自举	I									
P22	GPMC0_AD8 PADCONFIG： PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		GPIO0_23	7	IO	焊盘								
		BOOTMODE08	自举	I									
R19	GPMC0_AD9 PADCONFIG： PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		GPIO0_24	7	IO	焊盘								
		BOOTMODE09	自举	I									
R20	GPMC0_AD10 PADCONFIG： PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		GPIO0_25	7	IO	焊盘								
		OBSCLK0	8	O									
		BOOTMODE10	自举	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
R22	GPMC0_AD11 PADCONFIG：PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	焊盘								
		BOOTMODE11	自举	I									
T22	GPMC0_AD12 PADCONFIG：PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	焊盘								
		BOOTMODE12	自举	I									
R21	GPMC0_AD13 PADCONFIG：PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	焊盘								
		BOOTMODE13	自举	I									
T20	GPMC0_AD14 PADCONFIG：PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	焊盘								
		UART2_CTSn	8	I	1								
		BOOTMODE14	自举	I									
T21	GPMC0_AD15 PADCONFIG：PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	焊盘								
		UART2_RTSn	8	O									
		BOOTMODE15	自举	I									
L19	GPMC0_BE0n_CLE PADCONFIG：PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_ACLKX	2	IO	0								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
M18	GPMC0_BE1n PADCONFIG： PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR12	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	焊盘								
M19	GPMC0_CSn0 PADCONFIG： PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR14	3	IO	0								
		TRC_DATA15	6	O									
		GPIO0_41	7	IO	焊盘								
M21	GPMC0_CSn1 PADCONFIG： PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR15	3	IO	0								
		TRC_DATA16	6	O									
		GPIO0_42	7	IO	焊盘								
M22	GPMC0_CSn2 PADCONFIG： PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	焊盘								
		MCASP1_AFSR	8	IO	0								
M20	GPMC0_CSn3 PADCONFIG： PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMC0_A20	2	OZ									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		TRC_DATA18	6	O									
		GPIO0_44	7	IO	焊盘								
		MCASP1_ACLKR	8	IO	0								
R18	GPMC0_WAIT0 PADCONFIG： PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AFSX	2	IO	0								
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	焊盘								
R17	GPMC0_WAIT1 PADCONFIG： PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A21	2	OZ									
		UART6_RXD	3	I	1								
		GPIO0_38	7	IO	焊盘								
		EQEP2_I	8	IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
D17	I2C0_SCL PADCONFIG： PADCONFIG120 0x000F41E0	I2C0_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBSCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCA	6	O									
		GPIO1_26	7	IO	焊盘								
		ECAP1_IN_APWM_OUT	8	IO	0								
		SPI2_CS0	9	IO	1								
E16	I2C0_SDA PADCONFIG： PADCONFIG121 0x000F41E4	I2C0_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS2	2	IO	1								
		TIMER_IO5	3	IO	0								
		UART1_DSRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
		GPIO1_27	7	IO	焊盘								
		ECAP2_IN_APWM_OUT	8	IO	0								
C17	I2C1_SCL PADCONFIG： PADCONFIG122 0x000F41E8	I2C1_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
		GPIO1_28	7	IO	焊盘								
		EHRPWM2_A	8	IO	0								
		MMC2_SDCD	9	I	0								
E17	I2C1_SDA PADCONFIG： PADCONFIG123 0x000F41EC	I2C1_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_TXD	1	O									
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		GPIO1_29	7	IO	焊盘								
		EHRPWM2_B	8	IO	0								
		MMC2_SDWP	9	I	0								

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
C18	MCAN0_RX PADCONFIG： PADCONFIG119 0x000F41DC	MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		GPIO1_25	7	IO	焊盘								
		MCASP2_AXR1	8	IO	0								
		EHRPWM_TZn_IN4	9	I	0								
B17	MCAN0_TX PADCONFIG： PADCONFIG118 0x000F41D8	MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		GPIO1_24	7	IO	焊盘								
		MCASP2_AXR0	8	IO	0								
		EHRPWM_TZn_IN3	9	I	0								
A21	MCASP0_ACLKR PADCONFIG： PADCONFIG108 0x000F41B0	MCASP0_ACLKR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		EHRPWM0_B	6	IO	0								
		GPIO1_14	7	IO	焊盘								
		EQEP1_I	8	IO	0								
A19	MCASP0_ACLKX PADCONFIG： PADCONFIG105 0x000F41A4	MCASP0_ACLKX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO1_11	7	IO	焊盘								
		EQEP1_A	8	I	0								
B21	MCASP0_AFSR PADCONFIG： PADCONFIG107 0x000F41AC	MCASP0_AFSR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		EHRPWM0_A	6	IO	0								
		GPIO1_13	7	IO	焊盘								
		EQEP1_S	8	IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
A20	MCASP0_AFSX PADCONFIG： PADCONFIG106 0x000F41A8	MCASP0_AFSX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO1_12	7	IO	焊盘								
		EQEP1_B	8	I	0								
B20	MCASP0_AXR0 PADCONFIG： PADCONFIG104 0x000F41A0	MCASP0_AXR0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	6	IO	0								
		GPIO1_10	7	IO	焊盘								
		EQEP0_I	8	IO	0								
B18	MCASP0_AXR1 PADCONFIG： PADCONFIG103 0x000F419C	MCASP0_AXR1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		EHRPWM1_A	6	IO	0								
		GPIO1_9	7	IO	焊盘								
		EQEP0_S	8	IO	0								
B19	MCASP0_AXR2 PADCONFIG： PADCONFIG102 0x000F4198	MCASP0_AXR2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO1_8	7	IO	焊盘								
		EQEP0_B	8	I	0								
C19	MCASP0_AXR3 PADCONFIG： PADCONFIG101 0x000F4194	MCASP0_AXR3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		GPIO1_7	7	IO	焊盘								
		EQEP0_A	8	I	0								
B8	MCU_ERRORn PADCONFIG： MCU_PADCONFIG24 0x04084060	MCU_ERRORn	0	IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V	VDDS_OSC0	是	LVCMOS	PU/PD
E12	MCU_I2C0_SCL PADCONFIG： MCU_PADCONFIG17 0x04084044	MCU_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8 V/3.3 V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_17	7	IO	焊盘								

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
D9	MCU_I2C0_SDA PADCONFIG：MCU_PADCONFIG18 0x04084048	MCU_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8 V/3.3 V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_18	7	IO	焊盘								
E8	MCU_MCAN0_RX PADCONFIG：MCU_PADCONFIG14 0x04084038	MCU_MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_14	7	IO	焊盘								
C7	MCU_MCAN0_TX PADCONFIG：MCU_PADCONFIG13 0x04084034	MCU_MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_13	7	IO	焊盘								
B9	MCU_MCAN1_RX PADCONFIG：MCU_PADCONFIG16 0x04084040	MCU_MCAN1_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_SPI1_CS2	3	IO	1								
		MCU_SPI1_CLK	4	IO	0								
		MCU_GPIO0_16	7	IO	焊盘								
D7	MCU_MCAN1_TX PADCONFIG：MCU_PADCONFIG15 0x0408403C	MCU_MCAN1_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI1_CS1	3	IO	1								
		MCU_EXT_REFCLK0	4	I	0								
		MCU_GPIO0_15	7	IO	焊盘								
A12	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDS_OSC0		HFOSC	
A11	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC0		HFOSC	
A7	MCU_PORz PADCONFIG：MCU_PADCONFIG22 0x04084058	MCU_PORz	0	I				0	1.8V	VDDS_OSC0	是	FS 复位	
D14	MCU_RESETSTATz PADCONFIG：MCU_PADCONFIG23 0x0408405C	MCU_RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	焊盘								
C12	MCU_RESETz PADCONFIG：MCU_PADCONFIG21 0x04084054	MCU_RESETz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
B13	MCU_SPI0_CLK PADCONFIG：MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	焊盘								
E11	MCU_SPI0_CS0 PADCONFIG：MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		WKUP_TIMER_IO1	4	IO	0								
		MCU_GPIO0_0	7	IO	焊盘								
C11	MCU_SPI0_CS1 PADCONFIG：MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_EXT_REFCLK0	3	I	0								
		MCU_TIMER_IO1	4	IO	0								
		MCU_GPIO0_1	7	IO	焊盘								
A15	MCU_SPI0_D0 PADCONFIG：MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	焊盘								
B12	MCU_SPI0_D1 PADCONFIG：MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_4	7	IO	焊盘								
B11	MCU_UART0_CTSn PADCONFIG：MCU_PADCONFIG7 0x0408401C	MCU_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_D0	3	IO	0								
		MCU_GPIO0_7	7	IO	焊盘								
D10	MCU_UART0_RTSn PADCONFIG：MCU_PADCONFIG8 0x04084020	MCU_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_D1	3	IO	0								
		MCU_GPIO0_8	7	IO	焊盘								
D8	MCU_UART0_RXD PADCONFIG：MCU_PADCONFIG5 0x04084014	MCU_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_5	7	IO	焊盘								
F8	MCU_UART0_TXD PADCONFIG：MCU_PADCONFIG6 0x04084018	MCU_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_6	7	IO	焊盘								
V12	MDIO0_MDC PADCONFIG：PADCONFIG88 0x000F4160	MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_86	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
V13	MDIO0_MDIO PADCONFIG： PADCONFIG87 0x000F415C	MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_85	7	IO	焊盘								
AB7	MMC0_CLK PADCONFIG： PADCONFIG134 0x000F4218	MMC0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		I2C3_SCL	1	IOD	1								
		EHRPWM2_A	2	IO	0								
		SPI1_CS1	5	IO	1								
		TIMER_IO4	6	IO	0								
		GPIO1_40	7	IO	焊盘								
Y6	MMC0_CMD PADCONFIG： PADCONFIG136 0x000F4220	MMC0_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		I2C3_SDA	1	IOD	1								
		EHRPWM2_B	2	IO	0								
		SPI1_CS2	5	IO	1								
		TIMER_IO5	6	IO	0								
		GPIO1_41	7	IO	焊盘								
E22	MMC1_CLK PADCONFIG： PADCONFIG141 0x000F4234	MMC1_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		TIMER_IO4	2	IO	0								
		UART3_RXD	3	I	1								
		GPIO1_46	7	IO	焊盘								
C21	MMC1_CMD PADCONFIG： PADCONFIG143 0x000F423C	MMC1_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		TIMER_IO5	2	IO	0								
		UART3_TXD	3	O									
		GPIO1_47	7	IO	焊盘								
E18	MMC1_SDCD PADCONFIG： PADCONFIG144 0x000F4240	MMC1_SDCD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART6_RXD	1	I	1								
		TIMER_IO6	2	IO	0								
		UART3_RTSn	3	O									
		GPIO1_48	7	IO	焊盘								
D18	MMC1_SDWP PADCONFIG： PADCONFIG145 0x000F4244	MMC1_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		UART6_TXD	1	O									
		TIMER_IO7	2	IO	0								
		UART3_CTSn	3	I	1								
		GPIO1_49	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
H22	MMC2_CLK PADCONFIG：PADCONFIG70 0x000F4118	MMC2_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_ACLKR	1	IO	0								
		MCASP1_AXR5	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_69	7	IO	焊盘								
G22	MMC2_CMD PADCONFIG：PADCONFIG72 0x000F4120	MMC2_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_70	7	IO	焊盘								
F22	MMC2_SDCD PADCONFIG：PADCONFIG73 0x000F4124	MMC2_SDCD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	LVCMOS	PU/PD
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		GPIO0_71	7	IO	焊盘								
E21	MMC2_SDWP PADCONFIG：PADCONFIG74 0x000F4128	MMC2_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		GPIO0_72	7	IO	焊盘								
AA6	MMC0_DAT0 PADCONFIG：PADCONFIG133 0x000F4214	MMC0_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART3_CTSn	1	I	1								
		EHRPWM_TZn_IN1	2	I	0								
		SPI2_CLK	6	IO	0								
		GPIO1_39	7	IO	焊盘								
AB6	MMC0_DAT1 PADCONFIG：PADCONFIG132 0x000F4210	MMC0_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART3_RTSn	1	O									
		EHRPWM1_B	2	IO	0								
		SPI1_CS3	5	IO	1								
		SPI2_CS0	6	IO	1								
		GPIO1_38	7	IO	焊盘								
Y7	MMC0_DAT2 PADCONFIG：PADCONFIG131 0x000F420C	MMC0_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART3_TXD	1	O									
		EHRPWM1_A	2	IO	0								
		SPI1_CLK	5	IO	0								
		TIMER_IO0	6	IO	0								
		GPIO1_37	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA7	MMC0_DAT3 PADCONFIG： PADCONFIG130 0x000F4208	MMC0_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART3_RXD	1	I	1								
		EHRPWM0_B	2	IO	0								
		SPI1_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
		GPIO1_36	7	IO	焊盘								
Y8	MMC0_DAT4 PADCONFIG： PADCONFIG129 0x000F4204	MMC0_DAT4	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART2_CTSn	1	I	1								
		EHRPWM0_A	2	IO	0								
		SPI2_D1	6	IO	0								
		GPIO1_35	7	IO	焊盘								
W7	MMC0_DAT5 PADCONFIG： PADCONFIG128 0x000F4200	MMC0_DAT5	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART2_RTSn	1	O									
		EHRPWM_TZn_IN2	2	I	0								
		SPI2_D0	6	IO	0								
		GPIO1_34	7	IO	焊盘								
W9	MMC0_DAT6 PADCONFIG： PADCONFIG127 0x000F41FC	MMC0_DAT6	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART2_TXD	1	O									
		EHRPWM0_SYNCO	2	O									
		SPI1_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
		GPIO1_33	7	IO	焊盘								
AB8	MMC0_DAT7 PADCONFIG： PADCONFIG126 0x000F41F8	MMC0_DAT7	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV4	是	SDIO	PU/PD
		UART2_RXD	1	I	1								
		EHRPWM0_SYNCI	2	I	0								
		SPI1_D0	5	IO	0								
		SPI2_CS1	6	IO	1								
		GPIO1_32	7	IO	焊盘								
B22	MMC1_DAT0 PADCONFIG： PADCONFIG140 0x000F4230	MMC1_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART2_CTSn	3	I	1								
		ECAP2_IN_APWM_OUT	4	IO	0								
		GPIO1_45	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
D21	MMC1_DAT1 PADCONFIG： PADCONFIG139 0x000F422C	MMC1_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART2_RTSn	3	O									
		ECAP1_IN_APWM_OUT	4	IO	0								
		GPIO1_44	7	IO	焊盘								
C22	MMC1_DAT2 PADCONFIG： PADCONFIG138 0x000F4228	MMC1_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		GPIO1_43	7	IO	焊盘								
D22	MMC1_DAT3 PADCONFIG： PADCONFIG137 0x000F4224	MMC1_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		GPIO1_42	7	IO	焊盘								
E20	MMC2_DAT0 PADCONFIG： PADCONFIG69 0x000F4114	MMC2_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR0	1	IO	0								
		GPIO0_68	7	IO	焊盘								
F21	MMC2_DAT1 PADCONFIG： PADCONFIG68 0x000F4110	MMC2_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR1	1	IO	0								
		GPIO0_67	7	IO	焊盘								
F20	MMC2_DAT2 PADCONFIG： PADCONFIG67 0x000F410C	MMC2_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR2	1	IO	0								
		UART5_TXD	3	O									
		GPIO0_66	7	IO	焊盘								
G21	MMC2_DAT3 PADCONFIG： PADCONFIG66 0x000F4108	MMC2_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR3	1	IO	0								
		UART5_RXD	3	I	1								
		GPIO0_65	7	IO	焊盘								
L22	OSPI0_CLK PADCONFIG： PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_0	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L21	OSPI0_DQS PADCONFIG： PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	焊盘								
K22	OSPI0_LBCLKO PADCONFIG： PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	焊盘								
H21	OSPI0_CSn0 PADCONFIG： PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_11	7	IO	焊盘								
G19	OSPI0_CSn1 PADCONFIG： PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_12	7	IO	焊盘								
K20	OSPI0_CSn2 PADCONFIG： PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		GPIO0_13	7	IO	焊盘								
G20	OSPI0_CSn3 PADCONFIG： PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
		GPIO0_14	7	IO	焊盘								
J21	OSPI0_D0 PADCONFIG： PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_3	7	IO	焊盘								
J18	OSPI0_D1 PADCONFIG： PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_4	7	IO	焊盘								
J19	OSPI0_D2 PADCONFIG： PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_5	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
H18	OSPI0_D3 PADCONFIG：PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_6	7	IO	焊盘								
K21	OSPI0_D4 PADCONFIG：PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	焊盘								
H19	OSPI0_D5 PADCONFIG：PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_8	7	IO	焊盘								
J20	OSPI0_D6 PADCONFIG：PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0								
		UART6_RTSn	3	O									
		GPIO0_9	7	IO	焊盘								
J22	OSPI0_D7 PADCONFIG：PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0								
		UART6_CTSn	3	I	1								
		GPIO0_10	7	IO	焊盘								
D12	PMIC_LPM_EN0 PADCONFIG：MCU_PADCONFIG32 0x04084080	PMIC_LPM_EN0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO	焊盘								
F18	PORz_OUT PADCONFIG：PADCONFIG148 0x000F4250	PORz_OUT	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
F19	RESETSTATz PADCONFIG：PADCONFIG147 0x000F424C	RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
E19	RESET_REQz PADCONFIG：PADCONFIG146 0x000F4248	RESET_REQz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA16	RGMII1_RXC PADCONFIG： PADCONFIG82 0x000F4148	RGMII1_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_80	7	IO	焊盘								
AA15	RGMII1_RX_CTL PADCONFIG： PADCONFIG81 0x000F4144	RGMII1_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_79	7	IO	焊盘								
AB17	RGMII1_TXC PADCONFIG： PADCONFIG76 0x000F4130	RGMII1_TXC	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_CRS_DV	1	I	0								
		GPIO0_74	7	IO	焊盘								
W16	RGMII1_TX_CTL PADCONFIG： PADCONFIG75 0x000F412C	RGMII1_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_73	7	IO	焊盘								
AA20	RGMII2_RXC PADCONFIG： PADCONFIG96 0x000F4180	RGMII2_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_REF_CLK	1	I	0								
		MCASP2_AXR1	2	IO	0								
		GPIO1_2	7	IO	焊盘								
W18	RGMII2_RX_CTL PADCONFIG： PADCONFIG95 0x000F417C	RGMII2_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_RX_ER	1	I	0								
		MCASP2_AXR3	2	IO	0								
		GPIO1_1	7	IO	焊盘								
AB19	RGMII2_TXC PADCONFIG： PADCONFIG90 0x000F4168	RGMII2_TXC	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_CRS_DV	1	I	0								
		MCASP2_AXR5	2	IO	0								
		GPIO0_88	7	IO	焊盘								
Y19	RGMII2_TX_CTL PADCONFIG： PADCONFIG89 0x000F4164	RGMII2_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_TX_EN	1	O									
		MCASP2_AXR4	2	IO	0								
		GPIO0_87	7	IO	焊盘								
AB16	RGMII1_RD0 PADCONFIG： PADCONFIG83 0x000F414C	RGMII1_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_81	7	IO	焊盘								
V15	RGMII1_RD1 PADCONFIG： PADCONFIG84 0x000F4150	RGMII1_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_82	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W15	RGMII1_RD2 PADCONFIG：PADCONFIG85 0x000F4154	RGMII1_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_83	7	IO	焊盘								
V14	RGMII1_RD3 PADCONFIG：PADCONFIG86 0x000F4158	RGMII1_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_84	7	IO	焊盘								
Y17	RGMII1_TD0 PADCONFIG：PADCONFIG77 0x000F4134	RGMII1_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_75	7	IO	焊盘								
V16	RGMII1_TD1 PADCONFIG：PADCONFIG78 0x000F4138	RGMII1_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII1_TXD1	1	O									
		GPIO0_76	7	IO	焊盘								
Y16	RGMII1_TD2 PADCONFIG：PADCONFIG79 0x000F413C	RGMII1_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_77	7	IO	焊盘								
AA17	RGMII1_TD3 PADCONFIG：PADCONFIG80 0x000F4140	RGMII1_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_78	7	IO	焊盘								
AA21	RGMII2_RD0 PADCONFIG：PADCONFIG97 0x000F4184	RGMII2_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_RXD0	1	I	0								
		MCASP2_AXR2	2	IO	0								
		GPIO1_3	7	IO	焊盘								
Y20	RGMII2_RD1 PADCONFIG：PADCONFIG98 0x000F4188	RGMII2_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_RXD1	1	I	0								
		MCASP2_AFSR	2	IO	0								
		MCASP2_AXR7	5	IO	0								
		GPIO1_4	7	IO	焊盘								
AB21	RGMII2_RD2 PADCONFIG：PADCONFIG99 0x000F418C	RGMII2_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AXR0	2	IO	0								
		GPIO1_5	7	IO	焊盘								
		EQEP2_A	8	I	0								
AB20	RGMII2_RD3 PADCONFIG：PADCONFIG100 0x000F4190	RGMII2_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		GPIO1_6	7	IO	焊盘								
		EQEP2_B	8	I	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA19	RGMII2_TD0 PADCONFIG：PADCONFIG91 0x000F416C	RGMII2_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_TXD0	1	O									
		MCASP2_AXR6	2	IO	0								
		GPIO0_89	7	IO	焊盘								
Y18	RGMII2_TD1 PADCONFIG：PADCONFIG92 0x000F4170	RGMII2_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		RMII2_TXD1	1	O									
		MCASP2_ACLKR	2	IO	0								
		MCASP2_AXR8	5	IO	0								
		GPIO0_90	7	IO	焊盘								
AA18	RGMII2_TD2 PADCONFIG：PADCONFIG93 0x000F4174	RGMII2_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AFSX	2	IO	0								
		GPIO0_91	7	IO	焊盘								
		EQEP2_I	8	IO	0								
W17	RGMII2_TD3 PADCONFIG：PADCONFIG94 0x000F4178	RGMII2_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV2	是	LVCMOS	PU/PD
		CLKOUT0	1	O									
		MCASP2_ACLKX	2	IO	0								
		GPIO1_0	7	IO	焊盘								
		EQEP2_S	8	IO	0								
C6	RSVD0	RSVD0		不适用									
D6	RSVD1	RSVD1		不适用									
E7	RSVD2	RSVD2		不适用									
F6	RSVD3	RSVD3		不适用									
F10	RSVD4	RSVD4		不适用									
G7	RSVD5	RSVD5		不适用									
U11	RSVD6	RSVD6		不适用									
V11	RSVD7	RSVD7		不适用									
A17	SPI0_CLK PADCONFIG：PADCONFIG111 0x000F41BC	SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		EHRPWM1_A	2	IO	0								
		GPIO1_17	7	IO	焊盘								
D16	SPI0_CS0 PADCONFIG：PADCONFIG109 0x000F41B4	SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		EHRPWM0_A	2	IO	0								
		GPIO1_15	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
C16	SPI0_CS1 PADCONFIG： PADCONFIG110 0x000F41B8	SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		EHRPWM0_B	2	IO	0								
		ECAP0_IN_APWM_OUT	3	IO	0								
		GPIO1_16	7	IO	焊盘								
		EHRPWM_TZn_IN5	9	I	0								
B15	SPI0_D0 PADCONFIG： PADCONFIG112 0x000F41C0	SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		EHRPWM1_B	2	IO	0								
		GPIO1_18	7	IO	焊盘								
E15	SPI0_D1 PADCONFIG： PADCONFIG113 0x000F41C4	SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		EHRPWM_TZn_IN0	2	I	0								
		GPIO1_19	7	IO	焊盘								
A14	TCK PADCONFIG： MCU_PADCONFIG25 0x04084064	TCK	0	I		开启/NA/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
A16	TDI PADCONFIG： MCU_PADCONFIG27 0x0408406C	TDI	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
C14	TDO PADCONFIG： MCU_PADCONFIG28 0x04084070	TDO	0	OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
B14	TMS PADCONFIG： MCU_PADCONFIG29 0x04084074	TMS	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
F15	TRSTn PADCONFIG： MCU_PADCONFIG26 0x04084068	TRSTn	0	I		开启/NA/下拉	开启/关闭/下拉	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
F14	UART0_CTSn PADCONFIG： PADCONFIG116 0x000F41D0	UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		GPIO1_22	7	IO	焊盘								
		MCASP2_AFSX	8	IO	0								
		MMC2_SDCD	9	I	0								
C15	UART0_RTSn PADCONFIG： PADCONFIG117 0x000F41D4	UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		GPIO1_23	7	IO	焊盘								
		MCASP2_ACLKX	8	IO	0								
		MMC2_SDWP	9	I	0								
E14	UART0_RXD PADCONFIG： PADCONFIG114 0x000F41C8	UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO1_20	7	IO	焊盘								
D15	UART0_TXD PADCONFIG： PADCONFIG115 0x000F41CC	UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO	0								
		SPI2_D1	2	IO	0								
		EHRPWM2_B	3	IO	0								
		GPIO1_21	7	IO	焊盘								
AA10	USB0_DM	USB0_DM		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
AA9	USB0_DP	USB0_DP		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
C20	USB0_DRVVBUS PADCONFIG： PADCONFIG149 0x000F4268	USB0_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_50	7	IO	焊盘								
W10	USB0_RCALIB	USB0_RCALIB		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
V8	USB0_VBUS	USB0_VBUS		A					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
Y11	USB1_DM	USB1_DM		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
Y10	USB1_DP	USB1_DP		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
D19	USB1_DRVVBUS	USB1_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8 V/3.3 V	VDDSHV0	是	LVCMOS	PU/PD
	PADCONFIG：PADCONFIG150 0x000F4280	GPIO1_51	7	IO	焊盘								
U7	USB1_RCALIB	USB1_RCALIB		IO					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
V6	USB1_VBUS	USB1_VBUS		A					1.8 V/3.3 V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
T10	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
T12	VDDA_1P8_CSIRX0	VDDA_1P8_CSIRX0		PWR									
U10	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
T11	VDDA_CORE_CSIRX0	VDDA_CORE_CSIRX0		PWR									
T9	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
M9	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
J10	VDDA_MCU	VDDA_MCU		PWR									
N9	VDDA_PLL0	VDDA_PLL0		PWR									
R11	VDDA_PLL1	VDDA_PLL1		PWR									
M13	VDDA_PLL2	VDDA_PLL2		PWR									
K13	VDDA_PLL3	VDDA_PLL3		PWR									
K10	VDDA_PLL4	VDDA_PLL4		PWR									
P16	VDDA_TEMP0	VDDA_TEMP0		PWR									
G18	VDDA_TEMP1	VDDA_TEMP1		PWR									
L10	VDDA_TEMP2	VDDA_TEMP2		PWR									
J14、K12、M10、M14、P12、P9	VDDR_CORE	VDDR_CORE		PWR									
G14、H13	VDDSHV0	VDDSHV0		PWR									
K15、L16	VDDSHV1	VDDSHV1		PWR									
R13、T13、U13	VDDSHV2	VDDSHV2		PWR									
L15、M15、N15	VDDSHV3	VDDSHV3		PWR									
T8、U8	VDDSHV4	VDDSHV4		PWR									
G16、H15	VDDSHV5	VDDSHV5		PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
H16、H17	VDDSHV6	VDDSHV6		PWR									
H8	VDDSHV_CANUART	VDDSHV_CANUART		PWR									
G11、H10	VDDSHV_MCU	VDDSHV_MCU		PWR									
A2、AA1、AB2、B1、J7、K8、L7、M8、N7、P8	VDDS_DDR	VDDS_DDR		PWR									
L8	VDDS_DDR_C	VDDS_DDR_C		PWR									
J8	VDDS_OSC0	VDDS_OSC0		PWR									
H9	VDD_CANUART	VDD_CANUART		PWR									
J11、J13、J15、J9、K14、L11、L13、L9、M12、N11、N13、P10、P14、R15、R9、T16、U15	VDD_CORE	VDD_CORE		PWR									
F12	VMON_1P8_SOC	VMON_1P8_SOC		A									
F9	VMON_3P3_SOC	VMON_3P3_SOC		A									
H12	VMON_VSYS	VMON_VSYS		A									
F7	VPP	VPP		PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
A1、A10、A13、A18、A22、A4、A6、AA11、AA14、AA2、AA4、AA8、AB1、AB12、AB15、AB18、AB22、AB3、AB5、AB9、B3、B5、B7、C4、D11、D2、D20、D4、E1、E3、E5、F11、F13、F16、F2、F4、G12、G17、G3、G5、G9、H1、H11、H14、H20、H4、J12、J17、J3、K1、K11、K4、K7、K9、L12、L14、L20、L3、M11、M17、M4、M7、N1、N10、N12、N14、N16、N8、P11、P13、P15、P17、P20、P7、R10、R12、R14、R16、R2、R4、R6、T1、T15、T17、T3、T5、T7、U12、U14、U16、U2、U4、U6、U9、V1、V20、V3、V5、V7、V9、W11、	VSS	VSS		PWR									

表 5-1. 引脚属性（ANF 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态（RX/TX/拉动）[7]	复位之后的焊球状态（RX/TX/拉动）[8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W14、W2、W4、W6、W8、Y12、Y15、Y3、Y5、Y9													
B10	WKUP_CLKOUT0 PADCONFIG：MCU_PADCONFIG33 0x04084084	WKUP_CLKOUT0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8 V/3.3 V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_23	7	IO	焊盘								
D13	WKUP_I2C0_SCL PADCONFIG：MCU_PADCONFIG19 0x0408404C	WKUP_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8 V/3.3 V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_19	7	IO	焊盘								
E13	WKUP_I2C0_SDA PADCONFIG：MCU_PADCONFIG20 0x04084050	WKUP_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8 V/3.3 V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_20	7	IO	焊盘								
A8	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI		I					1.8V	VDDS_OSC0		LFXOSC	
A9	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO		O					1.8V	VDDS_OSC0		LFXOSC	
C10	WKUP_UART0_CTSn PADCONFIG：MCU_PADCONFIG11 0x0408402C	WKUP_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS0	3	IO	1								
		MCU_GPIO0_11	7	IO	焊盘								
C8	WKUP_UART0_RTSn PADCONFIG：MCU_PADCONFIG12 0x04084030	WKUP_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO1	1	IO	0								
		MCU_SPI1_CLK	3	IO	0								
		MCU_GPIO0_12	7	IO	焊盘								
C9	WKUP_UART0_RXD PADCONFIG：MCU_PADCONFIG9 0x04084024	WKUP_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_SPI0_CS2	2	IO	1								
		MCU_GPIO0_9	7	IO	焊盘								
E9	WKUP_UART0_TXD PADCONFIG：MCU_PADCONFIG10 0x04084028	WKUP_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8 V/3.3 V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_SPI1_CS2	2	IO	1								
		MCU_GPIO0_10	7	IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称：**通过引脚的信号的名称。

> **备注**
>
> 每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。器件子系统可以提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型：**信号方向和类型：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器
3. **说明：**信号说明
4. **焊球：**与信号相关的球号

有关 IO 单元配置的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。

5.3.1 CPSW3G

5.3.1.1 MAIN 域

表 5-2. CPSW3G0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
RGMII1_RXC	I	RGMII 接收时钟	AA16
RGMII1_RX_CTL	I	RGMII 接收控制	AA15
RGMII1_TXC	IO	RGMII 发送时钟	AB17
RGMII1_TX_CTL	O	RGMII 发送控制	W16
RGMII1_RD0	I	RGMII 接收数据 0	AB16
RGMII1_RD1	I	RGMII 接收数据 1	V15
RGMII1_RD2	I	RGMII 接收数据 2	W15
RGMII1_RD3	I	RGMII 接收数据 3	V14
RGMII1_TD0	O	RGMII 发送数据 0	Y17
RGMII1_TD1	O	RGMII 发送数据 1	V16
RGMII1_TD2	O	RGMII 发送数据 2	Y16
RGMII1_TD3	O	RGMII 发送数据 3	AA17

表 5-3. CPSW3G0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
RGMII2_RXC	I	RGMII 接收时钟	AA20
RGMII2_RX_CTL	I	RGMII 接收控制	W18
RGMII2_TXC	IO	RGMII 发送时钟	AB19
RGMII2_TX_CTL	O	RGMII 发送控制	Y19
RGMII2_RD0	I	RGMII 接收数据 0	AA21
RGMII2_RD1	I	RGMII 接收数据 1	Y20
RGMII2_RD2	I	RGMII 接收数据 2	AB21
RGMII2_RD3	I	RGMII 接收数据 3	AB20
RGMII2_TD0	O	RGMII 发送数据 0	AA19
RGMII2_TD1	O	RGMII 发送数据 1	Y18
RGMII2_TD2	O	RGMII 发送数据 2	AA18
RGMII2_TD3	O	RGMII 发送数据 3	W17

表 5-4. CPSW3G0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	AB17
RMII1_REF_CLK	I	RMII 基准时钟	AA16
RMII1_RX_ER	I	RMII 接收数据错误	AA15
RMII1_TX_EN	O	RMII 发送使能	W16
RMII1_RXD0	I	RMII 接收数据 0	AB16
RMII1_RXD1	I	RMII 接收数据 1	V15
RMII1_TXD0	O	RMII 发送数据 0	Y17
RMII1_TXD1	O	RMII 发送数据 1	V16

表 5-5. CPSW3G0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	AB19
RMII2_REF_CLK	I	RMII 基准时钟	AA20
RMII2_RX_ER	I	RMII 接收数据错误	W18
RMII2_TX_EN	O	RMII 发送使能	Y19
RMII2_RXD0	I	RMII 接收数据 0	AA21
RMII2_RXD1	I	RMII 接收数据 1	Y20
RMII2_TXD0	O	RMII 发送数据 0	AA19
RMII2_TXD1	O	RMII 发送数据 1	Y18

5.3.2 CPTS

5.3.2.1 MAIN 域

表 5-6. CPTS 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基准时钟输入	B16
CP_GEMAC_CPTS0_TS_COMP	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器比较输出	C16、D22
CP_GEMAC_CPTS0_TS_SYNC	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器位输出	A17、C22

Copyright © 2025 Texas Instruments Incorporated

表 5-6. CPTS 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
CP_GEMAC_CPTS0_HW1TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	B15、D21
CP_GEMAC_CPTS0_HW2TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	B22、E15
SYNC0_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 0 输出	D17
SYNC1_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 1 输出	B16
SYNC2_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 2 输出	B17
SYNC3_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 3 输出	C18

5.3.3 CSI-2

5.3.3.1 MAIN 域

表 5-7. CSIRX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
CSI0_RXCLKN	I	CSI 差分接收时钟输入（负）	AB14
CSI0_RXCLKP	I	CSI 差分接收时钟输入（正）	AB13
CSI0_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器，用于片上电阻器校准	V10
CSI0_RXN0	I	CSI 差分接收输入（负）	W12
CSI0_RXN1	I	CSI 差分接收输入（负）	Y13
CSI0_RXN2	I	CSI 差分接收输入（负）	AA13
CSI0_RXN3	I	CSI 差分接收输入（负）	AB11
CSI0_RXP0	I	CSI 差分接收输入（正）	W13
CSI0_RXP1	I	CSI 差分接收输入（正）	Y14
CSI0_RXP2	I	CSI 差分接收输入（正）	AA12
CSI0_RXP3	I	CSI 差分接收输入（正）	AB10

(1) 必须在该引脚和 VSS 之间连接一个外部 499Ω ±1% 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

5.3.4 DDRSS

5.3.4.1 MAIN 域

表 5-8. DDRSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
DDR0_ACT_n	O	DDRSS 激活命令	N5
DDR0_ALERT_n	IO	DDRSS 警报	H7
DDR0_CAS_n (1)	O	DDR4 列地址选通/LPDDR4 片选 1B	M5
DDR0_PAR	O	DDRSS 命令和地址奇偶校验	N2
DDR0_RAS_n (1)	O	DDR4 行地址选通/LPDDR4 片选 0B	M6
DDR0_WE_n	O	DDRSS 写入使能	N6
DDR0_A0	O	DDRSS 地址总线	J5
DDR0_A1	O	DDRSS 地址总线	J2
DDR0_A2	O	DDRSS 地址总线	J4
DDR0_A3	O	DDRSS 地址总线	L4
DDR0_A4	O	DDRSS 地址总线	J1
DDR0_A5	O	DDRSS 地址总线	K5
DDR0_A6	O	DDRSS 地址总线	K3
DDR0_A7	O	DDRSS 地址总线	H2

表 5-8. DDRSS0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
DDR0_A8	O	DDRSS 地址总线	L6
DDR0_A9	O	DDRSS 地址总线	L2
DDR0_A10	O	DDRSS 地址总线	K2
DDR0_A11	O	DDRSS 地址总线	L5
DDR0_A12	O	DDRSS 地址总线	M3
DDR0_A13	O	DDRSS 地址总线	M2
DDR0_BA0	O	DDRSS 存储库地址	K6
DDR0_BA1	O	DDRSS 存储库地址	H3
DDR0_BG0	O	DDRSS 存储库组	P4
DDR0_BG1	O	DDRSS 存储库组	R7
DDR0_CAL0 (2)	A	IO 焊盘校准电阻	H6
DDR0_CK0	O	DDRSS 时钟	M1
DDR0_CK0_n	O	DDRSS 负时钟	L1
DDR0_CKE0	O	DDRSS 时钟使能	P3
DDR0_CKE1	O	DDRSS 时钟使能	P5
DDR0_CS0_n (1)	O	DDR4 片选 0/LPDDR4 片选 0A	J6
DDR0_CS1_n (1)	O	DDR4 片选 1/LPDDR4 片选 1A	N4
DDR0_DM0	IO	DDRSS 数据掩码	C2
DDR0_DM1	IO	DDRSS 数据掩码	F3
DDR0_DM2	IO	DDRSS 数据掩码	U1
DDR0_DM3	IO	DDRSS 数据掩码	W3
DDR0_DQ0	IO	DDRSS 数据	A5
DDR0_DQ1	IO	DDRSS 数据	B4
DDR0_DQ2	IO	DDRSS 数据	B6
DDR0_DQ3	IO	DDRSS 数据	D5
DDR0_DQ4	IO	DDRSS 数据	C5
DDR0_DQ5	IO	DDRSS 数据	C3
DDR0_DQ6	IO	DDRSS 数据	B2
DDR0_DQ7	IO	DDRSS 数据	A3
DDR0_DQ8	IO	DDRSS 数据	E2
DDR0_DQ9	IO	DDRSS 数据	F5
DDR0_DQ10	IO	DDRSS 数据	E6
DDR0_DQ11	IO	DDRSS 数据	G2
DDR0_DQ12	IO	DDRSS 数据	G6
DDR0_DQ13	IO	DDRSS 数据	G4
DDR0_DQ14	IO	DDRSS 数据	E4
DDR0_DQ15	IO	DDRSS 数据	D3
DDR0_DQ16	IO	DDRSS 数据	T6
DDR0_DQ17	IO	DDRSS 数据	T4
DDR0_DQ18	IO	DDRSS 数据	U5
DDR0_DQ19	IO	DDRSS 数据	R5
DDR0_DQ20	IO	DDRSS 数据	P2

Copyright © 2025 Texas Instruments Incorporated

表 5-8. DDRSS0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
DDR0_DQ21	IO	DDRSS 数据	R3
DDR0_DQ22	IO	DDRSS 数据	T2
DDR0_DQ23	IO	DDRSS 数据	U3
DDR0_DQ24	IO	DDRSS 数据	Y2
DDR0_DQ25	IO	DDRSS 数据	V2
DDR0_DQ26	IO	DDRSS 数据	V4
DDR0_DQ27	IO	DDRSS 数据	W5
DDR0_DQ28	IO	DDRSS 数据	Y4
DDR0_DQ29	IO	DDRSS 数据	AA3
DDR0_DQ30	IO	DDRSS 数据	AA5
DDR0_DQ31	IO	DDRSS 数据	AB4
DDR0_DQS0	IO	DDRSS 数据选通	D1
DDR0_DQS0_n	IO	DDRSS 互补数据选通	C1
DDR0_DQS1	IO	DDRSS 数据选通	G1
DDR0_DQS1_n	IO	DDRSS 互补数据选通	F1
DDR0_DQS2	IO	DDRSS 数据选通	R1
DDR0_DQS2_n	IO	DDRSS 互补数据选通	P1
DDR0_DQS3	IO	DDRSS 数据选通	W1
DDR0_DQS3_n	IO	DDRSS 互补数据选通	Y1
DDR0_ODT0	O	用于片选 0 的 DDRSS 片上端接	H5
DDR0_ODT1	O	用于片选 1 的 DDRSS 片上端接	N3
DDR0_RESET0_n	O	DDRSS 复位	P6

(1) DDRSS 根据连接的存储器器件类型对这些信号实现不同的信号功能。当 DDRSS 配置为与 DDR4 存储器器件一起运行时，这些信号充当列地址选通、行地址选通、片选 0 和片选 1。当 DDRSS 配置为与 LPDDR4 存储器器件一起运行时，这些信号分别充当片选 1B、片选 0B、片选 0A 和片选 1A。有关更多信息，请参阅 节 8.2.1 “*DDR 电路板设计和布局布线指南*”。
(2) 必须在该引脚和 VSS 之间连接一个外部 240Ω ±1% 电阻。不应向该引脚施加外部电压。

5.3.5 ECAP

5.3.5.1 MAIN 域

表 5-9. ECAP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	B16、C16

表 5-10. ECAP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	B18、C19、D17、D21、E14

表 5-11. ECAP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A19、B19、B22、D15、E16

5.3.6 仿真和调试

5.3.6.1 MAIN 域

表 5-12. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
TRC_CLK	O	跟踪时钟	N21
TRC_CTL	O	跟踪控制	N20
TRC_DATA0	O	跟踪数据 0	N19
TRC_DATA1	O	跟踪数据 1	N18
TRC_DATA2	O	跟踪数据 2	N17
TRC_DATA3	O	跟踪数据 3	P18
TRC_DATA4	O	跟踪数据 4	P19
TRC_DATA5	O	跟踪数据 5	P21
TRC_DATA6	O	跟踪数据 6	N22
TRC_DATA7	O	跟踪数据 7	L18
TRC_DATA8	O	跟踪数据 8	L17
TRC_DATA9	O	跟踪数据 9	K19
TRC_DATA10	O	跟踪数据 10	L19
TRC_DATA11	O	跟踪数据 11	M18
TRC_DATA12	O	跟踪数据 12	R18
TRC_DATA13	O	跟踪数据 13	K17
TRC_DATA14	O	跟踪数据 14	K18
TRC_DATA15	O	跟踪数据 15	M19
TRC_DATA16	O	跟踪数据 16	M21
TRC_DATA17	O	跟踪数据 17	M22
TRC_DATA18	O	跟踪数据 18	M20
TRC_DATA19	O	跟踪数据 19	T21
TRC_DATA20	O	跟踪数据 20	T20
TRC_DATA21	O	跟踪数据 21	R21
TRC_DATA22	O	跟踪数据 22	T22
TRC_DATA23	O	跟踪数据 23	R22

5.3.6.2 MCU 域

表 5-13. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EMU0	IO	仿真控制 0	C13
EMU1	IO	仿真控制 1	E10
TCK	I	JTAG 测试时钟输入	A14
TDI	I	JTAG 测试数据输入	A16
TDO	OZ	JTAG 测试数据输出	C14
TMS	I	JTAG 测试模式选择输入	B14
TRSTn	I	JTAG 复位	F15

Copyright © 2025 Texas Instruments Incorporated

5.3.7 EPWM

5.3.7.1 MAIN 域

表 5-14. EPWM 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EHRPWM_SOCA	O	EHRPWM 转换启动 A	D17
EHRPWM_SOCB	O	EHRPWM 转换启动 B	E16
EHRPWM_TZn_IN0	I	EHRPWM 触发区输入 0（低电平有效）	E15
EHRPWM_TZn_IN1	I	EHRPWM 触发区输入 1（低电平有效）	AA6
EHRPWM_TZn_IN2	I	EHRPWM 触发区输入 2（低电平有效）	W7
EHRPWM_TZn_IN3	I	EHRPWM 触发区输入 3（低电平有效）	B17
EHRPWM_TZn_IN4	I	EHRPWM 触发区输入 4（低电平有效）	C18
EHRPWM_TZn_IN5	I	EHRPWM 触发区输入 5（低电平有效）	C16

表 5-15. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EHRPWM0_A	IO	EHRPWM 输出 A	B21、D16、Y8
EHRPWM0_B	IO	EHRPWM 输出 B	A21、AA7、C16
EHRPWM0_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	AB8、C17
EHRPWM0_SYNCO	O	从 EHRPWM 模块到外部引脚的同步输出	E17、W9

表 5-16. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EHRPWM1_A	IO	EHRPWM 输出 A	A17、B18、Y7
EHRPWM1_B	IO	EHRPWM 输出 B	AB6、B15、B20

表 5-17. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EHRPWM2_A	IO	EHRPWM 输出 A	AB7、C17、E14
EHRPWM2_B	IO	EHRPWM 输出 B	D15、E17、Y6

5.3.8 EQEP

5.3.8.1 MAIN 域

表 5-18. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EQEP0_A (1)	I	EQEP 正交输入 A	C19
EQEP0_B (1)	I	EQEP 正交输入 B	B19
EQEP0_I (1)	IO	EQEP 索引	B20
EQEP0_S (1)	IO	EQEP 选通	B18

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-19. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EQEP1_A (1)	I	EQEP 正交输入 A	A19
EQEP1_B (1)	I	EQEP 正交输入 B	A20

表 5-19. EQEP1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EQEP1_I (1)	IO	EQEP 索引	A21
EQEP1_S (1)	IO	EQEP 选通	B21

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-20. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
EQEP2_A (1)	I	EQEP 正交输入 A	AB21、D17
EQEP2_B (1)	I	EQEP 正交输入 B	AB20、E16
EQEP2_I (1)	IO	EQEP 索引	AA18、B17、R17
EQEP2_S (1)	IO	EQEP 选通	C18、K18、W17

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.9 GPIO

5.3.9.1 MAIN 域

表 5-21. GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPIO0_0	IO	通用输入/输出	L22
GPIO0_1	IO	通用输入/输出	K22
GPIO0_2	IO	通用输入/输出	L21
GPIO0_3	IO	通用输入/输出	J21
GPIO0_4	IO	通用输入/输出	J18
GPIO0_5	IO	通用输入/输出	J19
GPIO0_6	IO	通用输入/输出	H18
GPIO0_7	IO	通用输入/输出	K21
GPIO0_8	IO	通用输入/输出	H19
GPIO0_9	IO	通用输入/输出	J20
GPIO0_10	IO	通用输入/输出	J22
GPIO0_11	IO	通用输入/输出	H21
GPIO0_12	IO	通用输入/输出	G19
GPIO0_13 (1)	IO	通用输入/输出	K20
GPIO0_14 (1)	IO	通用输入/输出	G20
GPIO0_15	IO	通用输入/输出	N21
GPIO0_16	IO	通用输入/输出	N20
GPIO0_17	IO	通用输入/输出	N19
GPIO0_18	IO	通用输入/输出	N18
GPIO0_19	IO	通用输入/输出	N17
GPIO0_20	IO	通用输入/输出	P18
GPIO0_21	IO	通用输入/输出	P19
GPIO0_22	IO	通用输入/输出	P21
GPIO0_23	IO	通用输入/输出	P22
GPIO0_24	IO	通用输入/输出	R19
GPIO0_25	IO	通用输入/输出	R20

Copyright © 2025 Texas Instruments Incorporated

表 5-21. GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPIO0_26	IO	通用输入/输出	R22
GPIO0_27	IO	通用输入/输出	T22
GPIO0_28	IO	通用输入/输出	R21
GPIO0_29	IO	通用输入/输出	T20
GPIO0_30	IO	通用输入/输出	T21
GPIO0_31	IO	通用输入/输出	N22
GPIO0_32	IO	通用输入/输出	L18
GPIO0_33	IO	通用输入/输出	L17
GPIO0_34	IO	通用输入/输出	K19
GPIO0_35	IO	通用输入/输出	L19
GPIO0_36	IO	通用输入/输出	M18
GPIO0_37	IO	通用输入/输出	R18
GPIO0_38	IO	通用输入/输出	R17
GPIO0_39	IO	通用输入/输出	K17
GPIO0_40	IO	通用输入/输出	K18
GPIO0_41	IO	通用输入/输出	M19
GPIO0_42	IO	通用输入/输出	M21
GPIO0_43 (1)	IO	通用输入/输出	M22
GPIO0_44 (1)	IO	通用输入/输出	M20
GPIO0_45	IO	通用输入/输出	U22
GPIO0_46	IO	通用输入/输出	U21
GPIO0_47	IO	通用输入/输出	U20
GPIO0_48	IO	通用输入/输出	U19
GPIO0_49	IO	通用输入/输出	T19
GPIO0_50	IO	通用输入/输出	U18
GPIO0_51	IO	通用输入/输出	V22
GPIO0_52	IO	通用输入/输出	V21
GPIO0_53	IO	通用输入/输出	V19
GPIO0_54	IO	通用输入/输出	V18
GPIO0_55	IO	通用输入/输出	W22
GPIO0_56	IO	通用输入/输出	W21
GPIO0_57	IO	通用输入/输出	W20
GPIO0_58	IO	通用输入/输出	W19
GPIO0_59	IO	通用输入/输出	Y21
GPIO0_60	IO	通用输入/输出	Y22
GPIO0_61	IO	通用输入/输出	T18
GPIO0_62	IO	通用输入/输出	U17
GPIO0_63	IO	通用输入/输出	V17
GPIO0_64	IO	通用输入/输出	AA22
GPIO0_65 (1)	IO	通用输入/输出	G21
GPIO0_66 (1)	IO	通用输入/输出	F20
GPIO0_67 (1)	IO	通用输入/输出	F21

表 5-21. GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPIO0_68 (1)	IO	通用输入/输出	E20
GPIO0_69 (1)	IO	通用输入/输出	H22
GPIO0_70 (1)	IO	通用输入/输出	G22
GPIO0_71 (1)	IO	通用输入/输出	F22
GPIO0_72 (1)	IO	通用输入/输出	E21
GPIO0_73	IO	通用输入/输出	W16
GPIO0_74	IO	通用输入/输出	AB17
GPIO0_75	IO	通用输入/输出	Y17
GPIO0_76	IO	通用输入/输出	V16
GPIO0_77	IO	通用输入/输出	Y16
GPIO0_78	IO	通用输入/输出	AA17
GPIO0_79	IO	通用输入/输出	AA15
GPIO0_80	IO	通用输入/输出	AA16
GPIO0_81	IO	通用输入/输出	AB16
GPIO0_82	IO	通用输入/输出	V15
GPIO0_83	IO	通用输入/输出	W15
GPIO0_84	IO	通用输入/输出	V14
GPIO0_85	IO	通用输入/输出	V13
GPIO0_86	IO	通用输入/输出	V12
GPIO0_87	IO	通用输入/输出	Y19
GPIO0_88	IO	通用输入/输出	AB19
GPIO0_89	IO	通用输入/输出	AA19
GPIO0_90	IO	通用输入/输出	Y18
GPIO0_91	IO	通用输入/输出	AA18

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-22. GPIO1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPIO1_0	IO	通用输入/输出	W17
GPIO1_1	IO	通用输入/输出	W18
GPIO1_2	IO	通用输入/输出	AA20
GPIO1_3	IO	通用输入/输出	AA21
GPIO1_4	IO	通用输入/输出	Y20
GPIO1_5	IO	通用输入/输出	AB21
GPIO1_6	IO	通用输入/输出	AB20
GPIO1_7	IO	通用输入/输出	C19
GPIO1_8	IO	通用输入/输出	B19
GPIO1_9	IO	通用输入/输出	B18
GPIO1_10	IO	通用输入/输出	B20
GPIO1_11	IO	通用输入/输出	A19
GPIO1_12	IO	通用输入/输出	A20
GPIO1_13	IO	通用输入/输出	B21

Copyright © 2025 Texas Instruments Incorporated

表 5-22. GPIO1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPIO1_14	IO	通用输入/输出	A21
GPIO1_15	IO	通用输入/输出	D16
GPIO1_16 (1)	IO	通用输入/输出	C16
GPIO1_17	IO	通用输入/输出	A17
GPIO1_18	IO	通用输入/输出	B15
GPIO1_19	IO	通用输入/输出	E15
GPIO1_20	IO	通用输入/输出	E14
GPIO1_21	IO	通用输入/输出	D15
GPIO1_22	IO	通用输入/输出	F14
GPIO1_23	IO	通用输入/输出	C15
GPIO1_24	IO	通用输入/输出	B17
GPIO1_25	IO	通用输入/输出	C18
GPIO1_26	IO	通用输入/输出	D17
GPIO1_27	IO	通用输入/输出	E16
GPIO1_28	IO	通用输入/输出	C17
GPIO1_29	IO	通用输入/输出	E17
GPIO1_30	IO	通用输入/输出	B16
GPIO1_31 (1)	IO	通用输入/输出	F17
GPIO1_32 (1)	IO	通用输入/输出	AB8
GPIO1_33 (1)	IO	通用输入/输出	W9
GPIO1_34 (1)	IO	通用输入/输出	W7
GPIO1_35 (1)	IO	通用输入/输出	Y8
GPIO1_36 (1)	IO	通用输入/输出	AA7
GPIO1_37 (1)	IO	通用输入/输出	Y7
GPIO1_38 (1)	IO	通用输入/输出	AB6
GPIO1_39 (1)	IO	通用输入/输出	AA6
GPIO1_40 (1)	IO	通用输入/输出	AB7
GPIO1_41 (1)	IO	通用输入/输出	Y6
GPIO1_42 (1)	IO	通用输入/输出	D22
GPIO1_43 (1)	IO	通用输入/输出	C22
GPIO1_44 (1)	IO	通用输入/输出	D21
GPIO1_45 (1)	IO	通用输入/输出	B22
GPIO1_46 (1)	IO	通用输入/输出	E22
GPIO1_47 (1)	IO	通用输入/输出	C21
GPIO1_48 (1)	IO	通用输入/输出	E18
GPIO1_49 (1)	IO	通用输入/输出	D18
GPIO1_50	IO	通用输入/输出	C20
GPIO1_51	IO	通用输入/输出	D19

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.9.2 MCU 域

表 5-23. MCU_GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_GPIO0_0 (1)	IO	通用输入/输出	E11
MCU_GPIO0_1 (1)	IO	通用输入/输出	C11
MCU_GPIO0_2	IO	通用输入/输出	B13
MCU_GPIO0_3	IO	通用输入/输出	A15
MCU_GPIO0_4	IO	通用输入/输出	B12
MCU_GPIO0_5	IO	通用输入/输出	D8
MCU_GPIO0_6	IO	通用输入/输出	F8
MCU_GPIO0_7 (1)	IO	通用输入/输出	B11
MCU_GPIO0_8 (1)	IO	通用输入/输出	D10
MCU_GPIO0_9	IO	通用输入/输出	C9
MCU_GPIO0_10	IO	通用输入/输出	E9
MCU_GPIO0_11 (1)	IO	通用输入/输出	C10
MCU_GPIO0_12 (1)	IO	通用输入/输出	C8
MCU_GPIO0_13	IO	通用输入/输出	C7
MCU_GPIO0_14	IO	通用输入/输出	E8
MCU_GPIO0_15 (1)	IO	通用输入/输出	D7
MCU_GPIO0_16 (1)	IO	通用输入/输出	B9
MCU_GPIO0_17	IO	通用输入/输出	E12
MCU_GPIO0_18	IO	通用输入/输出	D9
MCU_GPIO0_19	IO	通用输入/输出	D13
MCU_GPIO0_20	IO	通用输入/输出	E13
MCU_GPIO0_21	IO	通用输入/输出	D14
MCU_GPIO0_22	IO	通用输入/输出	D12
MCU_GPIO0_23	IO	通用输入/输出	B10

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.10 GPMC

5.3.10.1 MAIN 域

表 5-24. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效（低电平有效）或地址锁存使能	L18
GPMC0_CLK	O	GPMC 时钟	N22
GPMC0_DIR	O	GPMC 数据总线信号方向控制	K18
GPMC0_FCLK_MUX	O	GPMC 功能时钟输出	N22
GPMC0_OEn_REn	O	GPMC 输出使能（低电平有效）或读取使能（低电平有效）	L17
GPMC0_WEn	O	GPMC 写入使能（低电平有效）	K19
GPMC0_WPn	O	GPMC 闪存写保护（低电平有效）	K17
GPMC0_A0	OZ	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	U22
GPMC0_A1	OZ	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	U21

Copyright © 2025 Texas Instruments Incorporated

表 5-24. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPMC0_A2	OZ	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	U20
GPMC0_A3	OZ	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	U19
GPMC0_A4	OZ	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	T19
GPMC0_A5	OZ	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	U18
GPMC0_A6	OZ	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	V22
GPMC0_A7	OZ	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	V21
GPMC0_A8	OZ	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	V19
GPMC0_A9	OZ	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	V18
GPMC0_A10	OZ	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	W22
GPMC0_A11	OZ	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	W21
GPMC0_A12	OZ	A/D 非多路复用模式下为 GPMC 地址 12 输出，A/D 多路复用模式下未使用	W20
GPMC0_A13	OZ	A/D 非多路复用模式下为 GPMC 地址 13 输出，A/D 多路复用模式下未使用	W19
GPMC0_A14	OZ	A/D 非多路复用模式下为 GPMC 地址 14 输出，A/D 多路复用模式下未使用	Y21
GPMC0_A15	OZ	A/D 非多路复用模式下为 GPMC 地址 15 输出，A/D 多路复用模式下未使用	Y22
GPMC0_A16	OZ	A/D 非多路复用模式下为 GPMC 地址 16 输出，A/D 多路复用模式下未使用	T18
GPMC0_A17	OZ	A/D 非多路复用模式下为 GPMC 地址 17 输出，A/D 多路复用模式下未使用	U17
GPMC0_A18	OZ	A/D 非多路复用模式下为 GPMC 地址 18 输出，A/D 多路复用模式下未使用	V17
GPMC0_A19	OZ	A/D 非多路复用模式下为 GPMC 地址 19 输出，A/D 多路复用模式下未使用	AA22
GPMC0_A20	OZ	A/D 非多路复用模式下为 GPMC 地址 20 输出，A/D 多路复用模式下未使用	M20
GPMC0_A21	OZ	A/D 非多路复用模式下为 GPMC 地址 21 输出，A/D 多路复用模式下未使用	R17
GPMC0_A22	OZ	A/D 非多路复用模式下为 GPMC 地址 22 输出，A/D 多路复用模式下未使用	K17
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	N21
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	N20
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	N19
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	N18

表 5-24. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	N17
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P18
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P19
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P21
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P22
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	R19
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出， A/D 多路复用模式下为附加的地址 11 输出	R20
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出， A/D 多路复用模式下为附加的地址 12 输出	R22
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出， A/D 多路复用模式下为附加的地址 13 输出	T22
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出， A/D 多路复用模式下为附加的地址 14 输出	R21
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出， A/D 多路复用模式下为附加的地址 15 输出	T20
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出， A/D 多路复用模式下为附加的地址 16 输出	T21
GPMC0_BE0n_CLE	O	GPMC 低位字节使能（低电平有效）或命令锁存使能	L19
GPMC0_BE1n	O	GPMC 高位字节使能（低电平有效）	M18
GPMC0_CSn0	O	GPMC 片选 0（低电平有效）	M19
GPMC0_CSn1	O	GPMC 片选 1（低电平有效）	M21
GPMC0_CSn2	O	GPMC 片选 2（低电平有效）	M22
GPMC0_CSn3	O	GPMC 片选 3（低电平有效）	M20
GPMC0_WAIT0	I	GPMC 外部等待指示	R18
GPMC0_WAIT1	I	GPMC 外部等待指示	R17

5.3.11 I2C

5.3.11.1 MAIN 域

表 5-25. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
I2C0_SCL	IOD	I2C 时钟	D17
I2C0_SDA	IOD	I2C 数据	E16

表 5-26. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
I2C1_SCL	IOD	I2C 时钟	C17
I2C1_SDA	IOD	I2C 数据	E17

Copyright © 2025 Texas Instruments Incorporated

表 5-27. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
I2C2_SCL	IOD	I2C 时钟	M22
I2C2_SDA	IOD	I2C 数据	M20

表 5-28. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
I2C3_SCL	IOD	I2C 时钟	AB7、F14
I2C3_SDA	IOD	I2C 数据	C15、Y6

5.3.11.2 MCU 域

表 5-29. MCU_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_I2C0_SCL	IOD	I2C 时钟	E12
MCU_I2C0_SDA	IOD	I2C 数据	D9

5.3.11.3 WKUP 域

表 5-30. WKUP_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
WKUP_I2C0_SCL	IOD	I2C 时钟	D13
WKUP_I2C0_SDA	IOD	I2C 数据	E13

5.3.12 MCAN

5.3.12.1 MAIN 域

表 5-31. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	C18
MCAN0_TX	O	MCAN 发送数据	B17

5.3.12.2 MCU 域

表 5-32. MCU_MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_MCAN0_RX	I	MCAN 接收数据	E8
MCU_MCAN0_TX	O	MCAN 发送数据	C7

表 5-33. MCU_MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_MCAN1_RX	I	MCAN 接收数据	B9
MCU_MCAN1_TX	O	MCAN 发送数据	D7

5.3.13 MCASP

5.3.13.1 MAIN 域

表 5-34. MCASP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCASP0_ACLKR	IO	MCASP 接收位时钟	A21

表 5-34. MCASP0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCASP0_ACLKX	IO	MCASP 发送位时钟	A19
MCASP0_AFSR	IO	MCASP 接收帧同步	B21
MCASP0_AFSX	IO	MCASP 发送帧同步	A20
MCASP0_AXR0	IO	MCASP 串行数据（输入/输出）	B20
MCASP0_AXR1	IO	MCASP 串行数据（输入/输出）	B18
MCASP0_AXR2	IO	MCASP 串行数据（输入/输出）	B19
MCASP0_AXR3	IO	MCASP 串行数据（输入/输出）	C19

表 5-35. MCASP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCASP1_ACLKR	IO	MCASP 接收位时钟	G20、H22、M20
MCASP1_ACLKX	IO	MCASP 发送位时钟	F22、J20、L19
MCASP1_AFSR	IO	MCASP 接收帧同步	G22、K20、M22
MCASP1_AFSX	IO	MCASP 发送帧同步	E21、J22、R18
MCASP1_AXR0	IO	MCASP 串行数据（输入/输出）	E20、H19、K19
MCASP1_AXR1	IO	MCASP 串行数据（输入/输出）	F21、K21、L17
MCASP1_AXR2	IO	MCASP 串行数据（输入/输出）	F20、K20、L18
MCASP1_AXR3	IO	MCASP 串行数据（输入/输出）	G20、G21、N22
MCASP1_AXR4	IO	MCASP 串行数据（输入/输出）	G22、M22
MCASP1_AXR5	IO	MCASP 串行数据（输入/输出）	H22、M20

表 5-36. MCASP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCASP2_ACLKR	IO	MCASP 接收位时钟	T21、Y18
MCASP2_ACLKX	IO	MCASP 发送位时钟	C15、R21、W17
MCASP2_AFSR	IO	MCASP 接收帧同步	T20、Y20
MCASP2_AFSX	IO	MCASP 发送帧同步	AA18、F14、T22
MCASP2_AXR0	IO	MCASP 串行数据（输入/输出）	AB21、B17、P22
MCASP2_AXR1	IO	MCASP 串行数据（输入/输出）	AA20、C18、R19
MCASP2_AXR2	IO	MCASP 串行数据（输入/输出）	AA21、R20
MCASP2_AXR3	IO	MCASP 串行数据（输入/输出）	R22、W18
MCASP2_AXR4	IO	MCASP 串行数据（输入/输出）	N21、Y19
MCASP2_AXR5	IO	MCASP 串行数据（输入/输出）	AB19、N20
MCASP2_AXR6	IO	MCASP 串行数据（输入/输出）	AA19、N19
MCASP2_AXR7	IO	MCASP 串行数据（输入/输出）	N18、Y20
MCASP2_AXR8	IO	MCASP 串行数据（输入/输出）	N17、Y18
MCASP2_AXR9	IO	MCASP 串行数据（输入/输出）	P18
MCASP2_AXR10	IO	MCASP 串行数据（输入/输出）	P19
MCASP2_AXR11	IO	MCASP 串行数据（输入/输出）	P21
MCASP2_AXR12	IO	MCASP 串行数据（输入/输出）	M18

Copyright © 2025 Texas Instruments Incorporated

表 5-36. MCASP2 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCASP2_AXR13	IO	MCASP 串行数据（输入/输出）	K18
MCASP2_AXR14	IO	MCASP 串行数据（输入/输出）	M19
MCASP2_AXR15	IO	MCASP 串行数据（输入/输出）	M21

5.3.14 MCSPI

5.3.14.1 MAIN 域

表 5-37. MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
SPI0_CLK	IO	SPI 时钟	A17
SPI0_CS0	IO	SPI 片选 0	D16
SPI0_CS1	IO	SPI 片选 1	C16
SPI0_CS2	IO	SPI 片选 2	F14
SPI0_CS3	IO	SPI 片选 3	C15
SPI0_D0	IO	SPI 数据 0	B15
SPI0_D1	IO	SPI 数据 1	E15

表 5-38. MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
SPI1_CLK	IO	SPI 时钟	H19、Y7
SPI1_CS0	IO	SPI 片选 0	AA7、K21
SPI1_CS1	IO	SPI 片选 1	AB7、K20
SPI1_CS2	IO	SPI 片选 2	Y6
SPI1_CS3	IO	SPI 片选 3	AB6
SPI1_D0	IO	SPI 数据 0	AB8、J20
SPI1_D1	IO	SPI 数据 1	J22、W9

表 5-39. MCSPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
SPI2_CLK	IO	SPI 时钟	A21、AA6、E17
SPI2_CS0	IO	SPI 片选 0	AB6、B21、D17
SPI2_CS1	IO	SPI 片选 1	A19、AB8、C17
SPI2_CS2	IO	SPI 片选 2	AA7、B18、E16
SPI2_CS3	IO	SPI 片选 3	A20、B16、W9
SPI2_D0	IO	SPI 数据 0	C19、E14、W7
SPI2_D1	IO	SPI 数据 1	B19、D15、Y8

5.3.14.2 MCU 域

表 5-40. MCU_MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_SPI0_CLK	IO	SPI 时钟	B13
MCU_SPI0_CS0	IO	SPI 片选 0	E11
MCU_SPI0_CS1	IO	SPI 片选 1	C11
MCU_SPI0_CS2	IO	SPI 片选 2	B9、C9

表 5-40. MCU_MCSPI0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_SPI0_CS3	IO	SPI 片选 3	C7
MCU_SPI0_D0	IO	SPI 数据 0	A15
MCU_SPI0_D1	IO	SPI 数据 1	B12

表 5-41. MCU_MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_SPI1_CLK	IO	SPI 时钟	B9、C8
MCU_SPI1_CS0	IO	SPI 片选 0	C10
MCU_SPI1_CS1	IO	SPI 片选 2	D7
MCU_SPI1_CS2	IO	SPI 片选 2	B9、E9
MCU_SPI1_CS3	IO	SPI 片选 3	E8
MCU_SPI1_D0	IO	SPI 数据 0	B11
MCU_SPI1_D1	IO	SPI 数据 1	D10

5.3.15 MDIO

5.3.15.1 MAIN 域

表 5-42. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	V12
MDIO0_MDIO	IO	MDIO 数据	V13

5.3.16 MMC

5.3.16.1 MAIN 域

表 5-43. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MMC0_CLK	IO	MMC/SD/SDIO 时钟	AB7
MMC0_CMD	IO	MMC/SD/SDIO 命令	Y6
MMC0_DAT0	IO	MMC/SD/SDIO 数据	AA6
MMC0_DAT1	IO	MMC/SD/SDIO 数据	AB6
MMC0_DAT2	IO	MMC/SD/SDIO 数据	Y7
MMC0_DAT3	IO	MMC/SD/SDIO 数据	AA7
MMC0_DAT4	IO	MMC/SD/SDIO 数据	Y8
MMC0_DAT5	IO	MMC/SD/SDIO 数据	W7
MMC0_DAT6	IO	MMC/SD/SDIO 数据	W9
MMC0_DAT7	IO	MMC/SD/SDIO 数据	AB8

表 5-44. MMC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MMC1_CLK	IO	MMC/SD/SDIO 时钟	E22
MMC1_CMD	IO	MMC/SD/SDIO 命令	C21
MMC1_SDCD	I	SD 卡检测	E18
MMC1_SDWP	I	SD 写保护	D18
MMC1_DAT0	IO	MMC/SD/SDIO 数据	B22

Copyright © 2025 Texas Instruments Incorporated

表 5-44. MMC1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MMC1_DAT1	IO	MMC/SD/SDIO 数据	D21
MMC1_DAT2	IO	MMC/SD/SDIO 数据	C22
MMC1_DAT3	IO	MMC/SD/SDIO 数据	D22

表 5-45. MMC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MMC2_CLK (1)	IO	MMC/SD/SDIO 时钟	H22
MMC2_CMD	IO	MMC/SD/SDIO 命令	G22
MMC2_SDCD	I	SD 卡检测	C17、F14、F22
MMC2_SDWP	I	SD 写保护	C15、E17、E21
MMC2_DAT0	IO	MMC/SD/SDIO 数据	E20
MMC2_DAT1	IO	MMC/SD/SDIO 数据	F21
MMC2_DAT2	IO	MMC/SD/SDIO 数据	F20
MMC2_DAT3	IO	MMC/SD/SDIO 数据	G21

(1) 为了使 MMC2 正常工作，必须将 CTRLMMR_PADCONFIG71 寄存器配置为设置 (1) RXACTIVE 位和复位 (0) TX_DIS 位。

5.3.17 OSPI

5.3.17.1 MAIN 域

表 5-46. OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
OSPI0_CLK	O	OSPI 时钟	L22
OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	L21
OSPI0_ECC_FAIL	I	OSPI ECC 状态	G20
OSPI0_LBCLKO	IO	OSPI 环回时钟输出	K22
OSPI0_CSn0	O	OSPI 片选 0（低电平有效）	H21
OSPI0_CSn1	O	OSPI 片选 1（低电平有效）	G19
OSPI0_CSn2	O	OSPI 片选 2（低电平有效）	K20
OSPI0_CSn3	O	OSPI 片选 3（低电平有效）	G20
OSPI0_D0	IO	OSPI 数据 0	J21
OSPI0_D1	IO	OSPI 数据 1	J18
OSPI0_D2	IO	OSPI 数据 2	J19
OSPI0_D3	IO	OSPI 数据 3	H18
OSPI0_D4	IO	OSPI 数据 4	K21
OSPI0_D5	IO	OSPI 数据 5	H19
OSPI0_D6	IO	OSPI 数据 6	J20
OSPI0_D7	IO	OSPI 数据 7	J22
OSPI0_RESET_OUT0	O	OSPI 复位	G20
OSPI0_RESET_OUT1	O	OSPI 复位	K20

5.3.18 电源

表 5-47. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
CAP_VDDS0 (1)	CAP	IO 组 0 的外部电容器连接	G13
CAP_VDDS1 (1)	CAP	IO 组 1 的外部电容器连接	K16
CAP_VDDS2 (1)	CAP	IO 组 2 的外部电容器连接	T14
CAP_VDDS3 (1)	CAP	IO 组 3 的外部电容器连接	M16
CAP_VDDS4 (1)	CAP	IO 组 4 的外部电容器连接	R8
CAP_VDDS5 (1)	CAP	IO 组 5 的外部电容器连接	G15
CAP_VDDS6 (1)	CAP	IO 组 6 的外部电容器连接	J16
CAP_VDDS_CANUART (1)	CAP	IO CANUART 的外部电容器连接	G8
CAP_VDDS_MCU (1)	CAP	IO MCU 的外部电容器连接	G10
VDDA_1P8_USB	PWR	USB0 和 USB1 1.8V 模拟电源	T10
VDDA_1P8_CSIRX0	PWR	CSIRX0 1.8V 模拟电源	T12
VDDA_3P3_USB	PWR	USB0 和 USB1 3.3V 模拟电源	U10
VDDA_CORE_CSIRX0	PWR	CSIRX0 内核电源	T11
VDDA_CORE_USB	PWR	USB0 和 USB1 内核电源	T9
VDDA_DDR_PLL0	PWR	DDR 校正 PLL 电源	M9
VDDA_MCU	PWR	RCOSC、POR、POK 和 MCU_PLL0 模拟电源	J10
VDDA_PLL0	PWR	MAIN_PLL0 和 MAIN_PLL5 模拟电源	N9
VDDA_PLL1	PWR	MAIN_PLL1 和 MAIN_PLL2 模拟电源	R11
VDDA_PLL2	PWR	MAIN_PLL7 和 MAIN_PLL17 模拟电源	M13
VDDA_PLL3	PWR	MAIN_PLL8 和 MAIN_PLL15 模拟电源	K13
VDDA_PLL4	PWR	MAIN_PLL12 模拟电源	K10
VDDA_TEMP0	PWR	TEMP0 模拟电源	P16
VDDA_TEMP1	PWR	TEMP1 模拟电源	G18
VDDA_TEMP2	PWR	TEMP2 模拟电源	L10
VDDR_CORE	PWR	RAM 电源	J14、K12、M10、M14、P12、P9
VDDSHV0	PWR	IO 组 0 的 IO 电源	G14、H13
VDDSHV1	PWR	IO 组 1 的 IO 电源	K15、L16
VDDSHV2	PWR	IO 组 2 的 IO 电源	R13、T13、U13
VDDSHV3	PWR	IO 组 3 的 IO 电源	L15、M15、N15
VDDSHV4	PWR	IO 组 4 的 IO 电源	T8、U8
VDDSHV5	PWR	IO 组 5 的 IO 电源	G16、H15
VDDSHV6	PWR	IO 组 6 的 IO 电源	H16、H17
VDDSHV_CANUART	PWR	IO CANUART 的 IO 电源	H8
VDDSHV_MCU	PWR	IO MCU 的 IO 电源	G11、H10
VDDS_DDR	PWR	DDR PHY IO 电源	A2、AA1、AB2、B1、J7、K8、L7、M8、N7、P8
VDDS_DDR_C	PWR	DDR 时钟 IO 电源	L8
VDDS_OSC0	PWR	MCU_OSC0 电源	J8

Copyright © 2025 Texas Instruments Incorporated

表 5-47. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
VDD_CANUART	PWR	CANUART 内核电源	H9
VDD_CORE	PWR	内核电源	J11、J13、J15、J9、K14、L11、L13、L9、M12、N11、N13、P10、P14、R15、R9、T16、U15
VPP	PWR	电子保险丝 ROM 编程电源	F7
VSS	PWR	接地	A1、A10、A13、A18、A22、A4、A6、AA11、AA14、AA2、AA4、AA8、AB1、AB12、AB15、AB18、AB22、AB3、AB5、AB9、B3、B5、B7、C4、D11、D2、D20、D4、E1、E3、E5、F11、F13、F16、F2、F4、G12、G17、G3、G5、G9、H1、H11、H14、H20、H4、J12、J17、J3、K1、K11、K4、K7、K9、L12、L14、L20、L3、M11、M17、M4、M7、N1、N10、N12、N14、N16、N8、P11、P13、P15、P17、P20、P7、R10、R12、R14、R16、R2、R4、R6、T1、T15、T17、T3、T5、T7、U12、U14、U16、U2、U4、U6、U9、V1、V20、V3、V5、V7、V9、W11、W14、W2、W4、W6、W8、Y12、Y15、Y3、Y5、Y9

(1) 如果相应的 VDDSHVx 引脚在 3.3V 电压下运行，该引脚必须始终通过 6.3V 或更高电压的 0.8uF 至 1.5μF 电容器连接到 VSS。所选的电容器必须能够在因直流偏置、工作温度和老化效应而降额后提供规定范围内的电容。如果相应的 VDDSHVx 引脚仅在 1.8V 电压下运

行，则有三个连接选项。该引脚可以连接到 3.3V 运行条件下所需的同一去耦电容器，可以保持未连接状态，也可以连接到与相应 VDDSHVx 引脚相同的 1.8V 电源。

5.3.19 保留

表 5-48. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
RSVD0	不适用	保留，必须保持未连接状态	C6
RSVD1	不适用	保留，必须保持未连接状态	D6
RSVD2	不适用	保留，必须保持未连接状态	E7
RSVD3	不适用	保留，必须保持未连接状态	F6
RSVD4	不适用	保留，必须保持未连接状态	F10
RSVD5	不适用	保留，必须保持未连接状态	G7
RSVD6	不适用	保留，必须保持未连接状态	U11
RSVD7	不适用	保留，必须保持未连接状态	V11

5.3.20 系统和其他

5.3.20.1 启动模式配置

5.3.20.1.1 MAIN 域

表 5-49. Sysboot 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
BOOTMODE00	I	引导模式引脚 0	N21
BOOTMODE01	I	引导模式引脚 1	N20
BOOTMODE02	I	引导模式引脚 2	N19
BOOTMODE03	I	引导模式引脚 3	N18
BOOTMODE04	I	引导模式引脚 4	N17
BOOTMODE05	I	引导模式引脚 5	P18
BOOTMODE06	I	引导模式引脚 6	P19
BOOTMODE07	I	引导模式引脚 7	P21
BOOTMODE08	I	引导模式引脚 8	P22
BOOTMODE09	I	引导模式引脚 9	R19
BOOTMODE10	I	引导模式引脚 10	R20
BOOTMODE11	I	引导模式引脚 11	R22
BOOTMODE12	I	引导模式引脚 12	T22
BOOTMODE13	I	引导模式引脚 13	R21
BOOTMODE14	I	引导模式引脚 14	T20
BOOTMODE15	I	引导模式引脚 15	T21

5.3.20.2 时钟

5.3.20.2.1 MCU 域

表 5-50. MCU 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_OSC0_XI	I	高频振荡器输入	A12
MCU_OSC0_XO	O	高频振荡器输出	A11

Copyright © 2025 Texas Instruments Incorporated

5.3.20.2.2 WKUP 域

表 5-51. WKUP 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
WKUP_LFOSC0_XI	I	低频 (32.768kHz) 振荡器输入	A8
WKUP_LFOSC0_XO	O	低频 (32.768KHz) 振荡器输出	A9

5.3.20.3 系统

5.3.20.3.1 MAIN 域

表 5-52. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
AUDIO_EXT_REFCLK0	IO	McASP 的外部时钟输入或 McASP 的输出	AB20、B20、F14
AUDIO_EXT_REFCLK1	IO	McASP 的外部时钟输入或 McASP 的输出	A20、C15、K17
CLKOUT0	O	RMII 时钟输出 (50MHz)。该引脚用作外部 RMII PHY 的时钟源，并且还必须路由回相应的 RMII[x]_REF_CLK 引脚以确保器件正常运行。	AA17、B16、W17
EXTINTn	I	外部中断	F17
EXT_REFCLK1	I	主域的外部时钟输入	B16
OBSCLK0	O	主域观察时钟输出，仅用于测试和调试目的	R20
OBSCLK1	O	主域观察时钟输出，仅用于测试和调试目的	D17
PORz_OUT	O	主域 POR 状态输出	F18
RESETSTATz	O	主域热复位状态输出	F19
RESET_REQz	I	主域外部热复位请求输入	E19
SYSCLKOUT0	O	主域系统时钟输出（4 分频），仅用于测试和调试目的	B16

5.3.20.3.2 MCU 域

表 5-53. MCU 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_ERRORn	IO	MCU 域 ESM 的错误信号输出	B8
MCU_EXT_REFCLK0	I	MCU 域的外部输入	C11、D7
MCU_OBSCLK0	O	MCU 域观察时钟输出，仅用于测试和调试目的	C11
MCU_PORz	I	MCU 和主域冷复位	A7
MCU_RESETSTATz	O	MCU 域热复位状态输出	D14
MCU_RESETz	I	MCU 和主域热复位	C12
MCU_SYSCLKOUT0	O	MCU 域系统时钟输出（除以 4），仅用于测试和调试目的	C11

5.3.20.3.3 WKUP 域

表 5-54. WKUP 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
PMIC_LPM_EN0	O	双功能 PMIC 控制输出，低功耗模式（低电平有效）或 PMIC 使能（高电平有效）	D12
WKUP_CLKOUT0	O	WKUP 域 CLKOUT0 输出	B10

5.3.20.4 VMON

表 5-55. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
VMON_1P8_SOC	A	1.8V SoC 电源的电压监测输入	F12
VMON_3P3_SOC	A	3.3V SoC 电源的电压监测输入	F9
VMON_VSYS	A	电压监控输入，0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用，以监控更高的电压轨，例如 PMIC 输入电源。	H12

5.3.21 计时器

5.3.21.1 MAIN 域

表 5-56. 计时器信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
TIMER_IO0	IO	计时器输入和输出（未连接到单个计时器实例）	C17、D22、Y7
TIMER_IO1	IO	计时器输入和输出（未连接到单个计时器实例）	C22、E17
TIMER_IO2	IO	计时器输入和输出（未连接到单个计时器实例）	B17、D21
TIMER_IO3	IO	计时器输入和输出（未连接到单个计时器实例）	B22、C18
TIMER_IO4	IO	计时器输入和输出（未连接到单个计时器实例）	AB7、B16、E22
TIMER_IO5	IO	计时器输入和输出（未连接到单个计时器实例）	C21、E16、Y6
TIMER_IO6	IO	计时器输入和输出（未连接到单个计时器实例）	E18、F14
TIMER_IO7	IO	计时器输入和输出（未连接到单个计时器实例）	C15、D18

5.3.21.2 MCU 域

表 5-57. MCU_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_TIMER_IO0	IO	计时器输入和输出（未连接到单个计时器实例）	B11、E8
MCU_TIMER_IO1	IO	计时器输入和输出（未连接到单个计时器实例）	C11、D10
MCU_TIMER_IO2	IO	计时器输入和输出（未连接到单个计时器实例）	D7
MCU_TIMER_IO3	IO	计时器输入和输出（未连接到单个计时器实例）	B9

5.3.21.3 WKUP 域

表 5-58. WKUP_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
WKUP_TIMER_IO0	IO	计时器输入和输出（未连接到单个计时器实例）	C10、C7
WKUP_TIMER_IO1	IO	计时器输入和输出（未连接到单个计时器实例）	C8、E11

5.3.22 UART

5.3.22.1 MAIN 域

表 5-59. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART0_CTSn	I	UART 允许发送（低电平有效）	F14
UART0_RTSn	O	UART 请求发送（低电平有效）	C15
UART0_RXD	I	UART 接收数据	E14
UART0_TXD	O	UART 发送数据	D15

Copyright © 2025 Texas Instruments Incorporated

表 5-60. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART1_CTSn	I	UART 允许发送（低电平有效）	C19
UART1_DCDn	I	UART 允许发送（低电平有效）	D17
UART1_DSRn	I	UART 数据集就绪（低电平有效）	E16
UART1_DTRn	O	UART 数据终端就绪（低电平有效）	B17
UART1_RIn	I	UART 振铃指示器	C18
UART1_RTSn	O	UART 请求发送（低电平有效）	B19
UART1_RXD	I	UART 接收数据	B21、C17
UART1_TXD	O	UART 发送数据	A21、E17

表 5-61. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART2_CTSn	I	UART 允许发送（低电平有效）	AA22、B22、T20、Y8
UART2_RTSn	O	UART 请求发送（低电平有效）	D21、T21、V17、W7
UART2_RXD	I	UART 接收数据	AB8、D22、F14、P22、U22
UART2_TXD	O	UART 发送数据	C15、C22、R19、U21、W9

表 5-62. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART3_CTSn	I	UART 允许发送（低电平有效）	AA6、D18、U17
UART3_RTSn	O	UART 请求发送（低电平有效）	AB6、E18、T18
UART3_RXD	I	UART 接收数据	AA7、E22、R20、U20
UART3_TXD	O	UART 发送数据	C21、R22、U19、Y7

表 5-63. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART4_CTSn	I	UART 允许发送（低电平有效）	Y22
UART4_RTSn	O	UART 请求发送（低电平有效）	Y21
UART4_RXD	I	UART 接收数据	F22、M22、T19、T22
UART4_TXD	O	UART 发送数据	E21、M20、R21、U18

表 5-64. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART5_CTSn	I	UART 允许发送（低电平有效）	L21、W19
UART5_RTSn	O	UART 请求发送（低电平有效）	K22、W20
UART5_RXD	I	UART 接收数据	B17、G21、K20、T20、V22

表 5-64. UART5 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART5_TXD	O	UART 发送数据	C18、F20、G20、T21、V21

表 5-65. UART6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
UART6_CTSn	I	UART 允许发送（低电平有效）	J22、W21
UART6_RTSn	O	UART 请求发送（低电平有效）	J20、W22
UART6_RXD	I	UART 接收数据	C19、E18、H22、K21、R17、V19
UART6_TXD	O	UART 发送数据	B19、D18、G22、H19、K17、V18

5.3.22.2 MCU 域

表 5-66. MCU_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
MCU_UART0_CTSn	I	UART 允许发送（低电平有效）	B11
MCU_UART0_RTSn	O	UART 请求发送（低电平有效）	D10
MCU_UART0_RXD	I	UART 接收数据	D8
MCU_UART0_TXD	O	UART 发送数据	F8

5.3.22.3 WKUP 域

表 5-67. WKUP_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
WKUP_UART0_CTSn	I	UART 允许发送（低电平有效）	C10
WKUP_UART0_RTSn	O	UART 请求发送（低电平有效）	C8
WKUP_UART0_RXD	I	UART 接收数据	C9
WKUP_UART0_TXD	O	UART 发送数据	E9

5.3.23 USB

5.3.23.1 MAIN 域

表 5-68. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
USB0_DM	IO	USB 2.0 差分数据（负）	AA10
USB0_DP	IO	USB 2.0 差分数据（正）	AA9
USB0_DRVVBUS	O	USB VBUS 控制输出（高电平有效）	C20
USB0_RCALIB (1)	IO	连接到校准电阻的引脚	W10
USB0_VBUS (2)	A	USB 电平转换的 VBUS 输入	V8

(1) 必须在该引脚和 VSS 之间连接一个外部 499Ω ±1% 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB VBUS 设计指南*。

Copyright © 2025 Texas Instruments Incorporated

表 5-69. USB1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANF 引脚 [4]
USB1_DM	IO	USB 2.0 差分数据（负）	Y11
USB1_DP	IO	USB 2.0 差分数据（正）	Y10
USB1_DRVVBUS	O	USB VBUS 控制输出（高电平有效）	D19
USB1_RCALIB (1)	IO	连接到校准电阻的引脚	U7
USB1_VBUS (2)	A	USB 电平转换的 VBUS 输入	V6

(1) 必须在该引脚和 VSS 之间连接一个外部 499Ω ±1% 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB VBUS 设计指南*。

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源引脚提供节 6.5 *建议运行条件* 中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC) 表示这些器件焊球编号不能连接任何信号布线。

表 5-70. 连接要求

ANF 焊球编号	焊球名称	连接要求
B8 F15	MCU_ERRORn TRSTn	这些焊球均必须通过单独的外部拉电阻器连接到 VSS，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，与这些焊球关联的输入会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
C13 E10 C12 E19 A14 A16 B14	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源[(1)]，以确保如果信号布线 PCB 已连接并且未由连接的器件主动驱动，则与这些焊球相关的输入保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
E12 D9 D13 E13	MCU_I2C0_SCL MCU_I2C0_SDA WKUP_I2C0_SCL WKUP_I2C0_SDA	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源[(1)]或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而实现所选的信号功能。
N21 N20 N19 N18 N17 P18 P19 P21 P22 R19 R20 R22 T22 R21 T20 T21	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源[(1)]或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
A2 AA1 AB2 B1 J7 K8 L7 M8 N7 P8 L8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	如果不使用 DDRSS，则必须将这些焊球中的每一个直接连接到 VSS。

Copyright © 2025 Texas Instruments Incorporated

表 5-70. 连接要求（续）

ANF 焊球编号	焊球名称	连接要求
N5	DDR0_ACT_n	
H7	DDR0_ALERT_n	
M5	DDR0_CAS_n	
N2	DDR0_PAR	
M6	DDR0_RAS_n	
N6	DDR0_WE_n	
J5	DDR0_A0	
J2	DDR0_A1	
J4	DDR0_A2	
L4	DDR0_A3	
J1	DDR0_A4	
K5	DDR0_A5	
K3	DDR0_A6	
H2	DDR0_A7	
L6	DDR0_A8	
L2	DDR0_A9	
K2	DDR0_A10	
L5	DDR0_A11	
M3	DDR0_A12	
M2	DDR0_A13	
K6	DDR0_BA0	
H3	DDR0_BA1	
P4	DDR0_BG0	
R7	DDR0_BG1	
H6	DDR0_CAL0	
M1	DDR0_CK0	
L1	DDR0_CK0_n	
P3	DDR0_CKE0	
P5	DDR0_CKE1	
J6	DDR0_CS0_n	如果不使用 DDRSS，请保持未连接状态。 注意：仅当 VDDS_DDR 和 VDDS_DDR_C 连接到 VSS 时，此列表中的 DDR0 引脚才能保持未连接状态。当 VDDS_DDR 和 VDDS_DDR_C 连接到电源时，必须按照 DDR 电路板设计和布局布线指南中的定义来连接 DDR0 引脚。
N4	DDR0_CS1_n	
C2	DDR0_DM0	
F3	DDR0_DM1	
U1	DDR0_DM2	
W3	DDR0_DM3	
A5	DDR0_DQ0	
B4	DDR0_DQ1	
B6	DDR0_DQ2	
D5	DDR0_DQ3	
C5	DDR0_DQ4	
C3	DDR0_DQ5	
B2	DDR0_DQ6	
A3	DDR0_DQ7	
E2	DDR0_DQ8	
F5	DDR0_DQ9	
E6	DDR0_DQ10	
G2	DDR0_DQ11	
G6	DDR0_DQ12	
G4	DDR0_DQ13	
E4	DDR0_DQ14	
D3	DDR0_DQ15	
T6	DDR0_DQ16	
T4	DDR0_DQ17	
U5	DDR0_DQ18	
R5	DDR0_DQ19	
P2	DDR0_DQ20	
R3	DDR0_DQ21	
T2	DDR0_DQ22	
U3	DDR0_DQ23	
Y2	DDR0_DQ24	
V2	DDR0_DQ25	
V4	DDR0_DQ26	
W5	DDR0_DQ27	

Copyright © 2025 Texas Instruments Incorporated

表 5-70. 连接要求（续）

ANF 焊球编号	焊球名称	连接要求
Y4 AA3 AA5 AB4 D1 C1 G1 F1 R1 P1 W1 Y1 H5 N3 P6	DDR0_DQ28 DDR0_DQ29 DDR0_DQ30 DDR0_DQ31 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_DQS2 DDR0_DQS2_n DDR0_DQS2 DDR0_DQS2_n DDR0_ODT0 DDR0_ODT1 DDR0_RESET0_n	
T9 T10 U10	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 与 USB1 共享这些电源轨，因此在使用 USB0 或 USB1 时，这些焊球每一个均必须连接到有效的电源。 如果不使用 USB0 和 USB1，则这些焊球每一个均必须直接连接到 VSS。
AA10 AA9 W10 V8 Y11 Y10 U7 V6	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	如果不使用 USB0 或 USB1，请将相应的 DM、DP 和 VBUS 焊球保持未连接状态。 注意：仅当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到 VSS 时，USB0_RCALIB 和 USB1_RCALIB 引脚才能保持未连接状态。当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到电源时，USB0_RCALIB 和 USB1_RCALIB 引脚必须通过单独的适当外部电阻器连接到 VSS。
T11 T12	VDDA_CORE_CSIRX0 VDDA_1P8_CSIRX0	如果不使用 CSIRX0 并且需要器件边界扫描功能，这些焊球均必须连接至有效电源。 如果不使用 CSIRX0，并且不需要器件边界扫描功能，这些焊球均可以直接连接到 VSS。
AB14 AB13 W12 W13 Y13 Y14 AA13 AA12 AB11 AB10 V10	CSI0_RXCLKN CSI0_RXCLKP CSI0_RXN0 CSI0_RXP0 CSI0_RXN1 CSI0_RXP1 CSI0_RXN2 CSI0_RXP2 CSI0_RXN3 CSI0_RXP3 CSI0_RXRCALIB	如果不使用 CSIRX0，则保持未连接状态。
H12	VMON_VSYS	如果不使用 VMON_VSYS，这个焊球必须直接连接至 VSS。
F12	VMON_1P8_SOC	如果 VMON_1P8_SOC 未用于监控 SOC 电源轨，则此焊球必须保持连接到 1.8V 电源轨。
F9	VMON_3P3_SOC	如果 VMON_3P3_SOC 未用于监控 SOC 电源轨，则此焊球必须保持连接到 3.3V 电源轨，或者直接连接到 VSS。

(1) 要确定与任何 IO 关联的电源，请参阅 *引脚属性* 表中的“电源”一列。

Copyright © 2025 Texas Instruments Incorporated

备注

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态，并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态，直到软件初始化相应的 I/O。*引脚属性* 表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器（RX）关闭的 IO 都可以浮动，而不会损坏器件。但是，任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态，如果允许在这些电平之间浮动，则可能会损坏 IO 单元。

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）[(1) (2)]

参数		最小值	最大值	单位
VDD_CORE	内核电源	-0.3	1.05	V
VDDR_CORE	RAM 电源	-0.3	1.05	V
VDD_CANUART	CANUART 内核电源	-0.3	1.05	V
VDDA_CORE_CSIRX0	CSIRX0 内核电源	-0.3	1.05	V
VDDA_CORE_USB	USB0 和 USB1 内核电源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR 校正 PLL 电源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 电源	-0.3	1.57	V
VDDS_DDR_C	DDR 时钟 IO 电源	-0.3	1.57	V
VDDS_OSC0	MCU_OSC0 电源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源	-0.3	1.98	V
VDDA_PLL0	MAIN_PLL0 和 MAIN_PLL5 模拟电源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL1 和 MAIN_PLL2 模拟电源	-0.3	1.98	V
VDDA_PLL2	MAIN_PLL7 和 MAIN_PLL17 模拟电源	-0.3	2.2	V
VDDA_PLL3	MAIN_PLL8 和 MAIN_PLL15 模拟电源	-0.3	1.98	V
VDDA_PLL4	MAIN_PLL12 模拟电源	-0.3	1.98	V
VDDA_1P8_CSIRX0	CSIRX0 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 模拟电源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 模拟电源	-0.3	2.2	V
VDDA_TEMP2	TEMP2 模拟电源	-0.3	1.98	V
VPP	电子保险丝 ROM 编程电源	-0.3	1.98	V
VDDSHV_MCU	IO MCU 的 IO 电源	-0.3	3.63	V
VDDSHV_CANUART	IO CANUART 的 IO 电源	-0.3	3.63	V
VDDSHV0	IO 组 0 的 IO 电源	-0.3	3.63	V
VDDSHV1	IO 组 1 的 IO 电源	-0.3	3.63	V
VDDSHV2	IO 组 2 的 IO 电源	-0.3	3.63	V
VDDSHV3	IO 组 3 的 IO 电源	-0.3	3.63	V
VDDSHV4	IO 组 4 的 IO 电源	-0.3	3.63	V
VDDSHV5	IO 组 5 的 IO 电源	-0.3	3.63	V
VDDSHV6	IO 组 6 的 IO 电源	-0.3	3.63	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源	-0.3	3.63	V

Copyright © 2025 Texas Instruments Incorporated

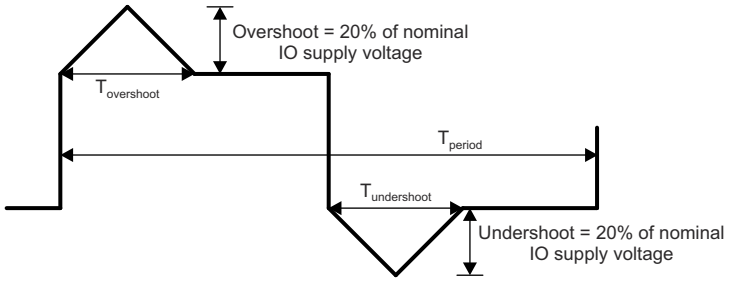
在工作结温范围内测得（除非另有说明）[(1) (2)]

参数		最小值	最大值	单位
所有失效防护 IO 引脚的稳态最大电压	MCU_PORz	-0.3	3.63	V
	以 1.8V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn	-0.3	1.98[(3)]	V
	以 3.3V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn	-0.3	3.63[(3)]	
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS[(4)]	-0.3	1.98	V
所有其他 IO 引脚的稳态最大电压[(5)]	USB0_VBUS、USB1_VBUS[(6)]	-0.3	3.6	V
	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压（请参阅图 6-1 *IO 瞬态电压范围*）		0.2 × VDD[(7)]	V
闩锁性能[(8)]	电流测试	-100	100	mA
	过压 (OV) 测试		1.5 x VDD[(7)]	V
T_{STG}	贮存温度	-55	+150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出节 6.5 *建议运行条件*，但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 这些失效防护引脚的绝对最大额定值取决于其 IO 电源工作电压。因此，该值也由 *I2C 开漏和失效防护 (I2C OD FS) 电气特性* 一节中的最大 V_{IH} 值定义，其中电气特性表分别具有针对 1.8V 模式和 3.3V 模式的参数值。
(4) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅节 8.2.4 *系统电源监测设计指南*。
(5) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 –0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。
(6) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB 设计指南*。
(7) VDD 是 IO 相应电源引脚上的电压。
(8) 对于电流脉冲注入（电流测试）：
- 引脚应力符合 JEDEC JESD78（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。

对于过压性能（过压 (OV) 测试）：
- 电源应力符合 JEDEC JESD78（II 级）并施加额定电压注入。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn、VMON_1P8_SOC、VMON_3P3_SOC 和 MCU_PORz 是仅有的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为节 6.1 中的所有 IO 引脚的稳态最大电压参数定义的值。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 未通过 AEC - Q100 认证的器件的 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 符合 AEC - Q100 标准的器件的 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC - Q100-002 标准(1)		±1000	V
		充电器件模型 (CDM)，符合 AEC - Q100-011 标准	转角引脚（A1、A22、AB1 和 AB22）	±750	
			所有其他引脚	±250	

(1) AEC - Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

6.4 上电小时数 (POH)

上电小时数 (POH)(1) (2) (3)		
结温范围 (T_J)		使用寿命 (POH)
扩展	-40°C 至 105°C	100000
汽车	-40°C 至 125°C	20000(4)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。
(3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。
(4) 汽车曲线定义为 20000 小时通电时间，此时结温如下所示：5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

Copyright © 2025 Texas Instruments Incorporated

6.5 建议运行条件

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值[1]	标称值	最大值[1]	单位
VDD_CORE[2] VDDA_CORE_CSIRX0[2] VDDA_CORE_USB[2] VDDA_DDR_PLL0[2]	内核电源 CSIRX0 内核电源 USB0 和 USB1 内核电源 DDR 偏斜消除 PLL 电源	0.75V 工作电压	0.715	0.75	0.79	V
		0.85V 工作电压	0.81	0.85	0.895	V
VDD_CANUART[3]	CANUART 内核电源	0.75V 工作电压	0.715	0.75	0.79	V
		0.85V 工作电压	0.81	0.85	0.895	V
VDDR_CORE	RAM 电源		0.81	0.85	0.895	V
VDDS_DDR[4] VDDS_DDR_C[4]	DDR PHY IO 电源 DDR 时钟 IO 电源	1.1V 工作电压	1.06	1.1	1.17	V
VDDS_OSC0	MCU_OSC0 电源		1.71	1.8	1.89	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源		1.71	1.8	1.89	V
VDDA_PLL0	MAIN_PLL0 和 MAIN_PLL5 模拟电源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL1 和 MAIN_PLL2 模拟电源		1.71	1.8	1.89	V
VDDA_PLL2	MAIN_PLL7 和 MAIN_PLL17 模拟电源		1.71	1.8	1.89	V
VDDA_PLL3	MAIN_PLL8 和 MAIN_PLL15 模拟电源		1.71	1.8	1.89	V
VDDA_PLL4	MAIN_PLL12 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_CSIRX0	CSIRX0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP2	TEMP2 模拟电源		1.71	1.8	1.89	V
VPP	电子保险丝 ROM 编程电源		请参阅[5]	请参阅[5]	请参阅[5]	V
VMON_1P8_SOC	1.8V SoC 电源的电压监测器		1.71	1.8	1.89	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 电源的电压监测器		3.135	3.3	3.465	V
VMON_VSYS	电压监测器引脚		0	请参阅[6]	1	V
USB0_VBUS	USB0 电平转换的 VBUS 输入		0	请参阅[7]	3.465	V
USB1_VBUS	USB1 电平转换的 VBUS 输入		0	请参阅[7]	3.465	V
VDDSHV_CANUART[8]	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV_MCU	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV0	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV1	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV2	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV3	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV4	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V

Copyright © 2025 Texas Instruments Incorporated

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值(1)	标称值	最大值(1)	单位
VDDSHV5	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV6	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
T_J	工作结温范围	汽车	-40		125	°C
		扩展工业级	-40		105	°C

(1) 在器件正常运行期间，器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
(2) VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自同一电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。
(3) 当使用部分 IO 低功耗模式时，VDD_CANUART 应连接到常开型电源。当不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
(4) VDDS_DDR 和 VDDS_DDR_C 应来自同一电源。
(5) 对于基于电子保险丝用法的 VPP 电源电压，请参阅 OTP 电子保险丝编程的建议运行条件表。
(6) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅节 8.2.4 *系统电源监测设计指南*。
(7) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB 设计指南*。
(8) 当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源。当不使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到任何有效的 IO 电源。

Copyright © 2025 Texas Instruments Incorporated

6.6 运行性能点

表 6-1 定义了每个器件速度等级的时钟的最大工作频率，表 6-2 定义了器件子系统和内核时钟的仅有有效运行性能点 (OPP)。

表 6-1. 器件速度等级

速度等级	VDD_CORE (V)[1]	最大工作频率 (MHz)						最大转换率 (MT/s)[2]
		A53SS (Cortex-A53x)	C7x	主 SYSCLK	MCU R5F / SYSCLK	设备管理器 R5F / CLK	HSM	LPDDR4
P	0.75/0.85	1000	500	500	800 / 400	800 / 400	400	3733
R	0.75	1000	850	500	800 / 400	800 / 400	400	3733
	0.85		1000					
V	0.75	1250	850	500	800 / 400	800 / 400	400	3733
	0.85	1400	1000					

(1) 额定工作电压，请参阅*建议运行条件*。
(2) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 DDR 电路板设计和布局布线指南。

表 6-2. 器件运行性能点

OPP	A53SS[1]	C7x	固定工作频率选项 (MHz)[2]				MT/s[3]
			主 SYSCLK	MCU R5F / SYSCLK	设备管理器 R5F / CLK	HSM	LPDDR4
高电平	从 ARM0 PLL 旁路至速度等级最大值	从 C7x PLL 旁路至速度等级最大值	500	800 / 400	800 / 400	400	从 DDR PLL 旁路[4]至速度等级最大值
低			250	400 / 200	400 / 133	133	

(1) 默认工作频率，在启动时由软件设置。支持启动后动态频率调节。
(2) 固定工作频率，在启动时由软件设置。
(3) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 DDR 电路板设计和布局布线指南。
(4) 源自 DDR0_CK0 和 DDR0_CK0_n 的 DDR PLL 输出，通常以频率单位定义。因此，在旁路模式下运行时，“DDR PLL 旁路”事务速率等于 DDR PLL 输出频率的 2 倍。

6.7 功耗摘要

有关器件功耗的更多信息，请与您的 TI 代表联系。

6.8 电气特性

备注

节 6.8 中所述的接口或信号对应于多路复用模式 0（主信号功能）中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式（功能）指定不同的直流电气特性。

6.8.1 I2C 开漏和失效防护 (I2C OD FS) 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.3 × VDD [(1)]	V
V_{ILSS}	输入低电压稳态				0.3 × VDD [(1)]	V
V_{IH}	输入高电压		0.7 × VDD [(1)]		1.98[(2)]	V
V_{IHSS}	输入高电压稳态		0.7 × VDD [(1)]			V
V_{HYS}	输入迟滞电压		0.1 × VDD [(1)]			mV
I_{IN} [(3)]	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA
V_{OL}	输出低电压				0.2 × VDD [(1)]	V
I_{OL} [(4)]	低电平输出电流	$V_{OL(MAX)}$	10			mA
SR_I [(6)]	输入压摆率		18f[(5)] 或 1.8E+6			V/s
3.3V 模式 [(7)]						
V_{IL}	输入低电压				0.3 × VDD [(1)]	V
V_{ILSS}	输入低电压稳态				0.25 × VDD [(1)]	V
V_{IH}	输入高电压		0.7 × VDD [(1)]		3.63[(2)]	V
V_{IHSS}	输入高电压稳态		0.7 × VDD [(1)]			V
V_{HYS}	输入迟滞电压		0.05 × VDD [(1)]			mV
I_{IN} [(3)]	输入漏电流。	V_I = 3.3V			10	µA
		V_I = 0V			-10	µA
V_{OL}	输出低电压				0.4	V
I_{OL} [(4)]	低电平输出电流	$V_{OL(MAX)}$	10			mA
SR_I [(6)]	输入压摆率		33f[(5)] 或 3.3E+6		8E+7	V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性* 表的 POWER 列。
(2) 该值还定义了 IO 的“绝对最大额定值”值。
(3) 此参数定义了将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(4) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 值。
(5) f = 输入信号的切换频率（以 Hz 为单位）。
(6) 此最小值参数仅适用于在相应的*时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。
(7) 在 3.3V 模式下操作 IO 时，不支持 I2C Hs 模式。

Copyright © 2025 Texas Instruments Incorporated

6.8.2 失效防护复位（FS 复位）电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.3 × VDDS_OSC0	V
V_{ILSS}	输入低电压稳态				0.3 × VDDS_OSC0	V
V_{IH}	输入高电压		0.7 × VDDS_OSC0			V
V_{IHSS}	输入高电压稳态		0.7 × VDDS_OSC0			V
V_{HYS}	输入迟滞电压		200			mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA
SR_I (3)	输入压摆率		18f(2) 或 1.8E+6			V/s

(1) 此参数定义了将端子用作输入时的漏电流。
(2) f = 输入信号的切换频率（以 Hz 为单位）。
(3) 此最小值参数仅适用于在相应的*时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.8.3 高频振荡器 (HFOSC) 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.35 × VDDS_OSC0	V
V_{IH}	输入高电压		0.65 × VDDS_OSC0			V
V_{HYS}	输入迟滞电压			49		mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA

(1) 此参数定义了将端子用作输入时的漏电流。

6.8.4 低频振荡器 (LFXOSC) 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.30 × VDDS_OSC0	V
V_{IH}	输入高电压		0.70 × VDDS_OSC0			V
V_{HYS}	输入迟滞电压	工作模式		85		mV
		旁路模式		324		mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA

(1) 此参数定义了将端子用作输入时的漏电流。

6.8.5 SDIO 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.58	V
V_{ILSS}	输入低电压稳态				0.58	V
V_{IH}	输入高电压		1.27			V
V_{IHSS}	输入高电压稳态		1.7			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD(2) - 0.45			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	4			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	4			mA
SR_I (5)	输入压摆率		18f(4) 或 1.8E+6			V/s
3.3V 模式						
V_{IL}	输入低电压				0.25 × VDD(2)	V
V_{ILSS}	输入低电压稳态				0.15 × VDD(2)	V
V_{IH}	输入高电压		0.625 × VDD(2)			V
V_{IHSS}	输入高电压稳态		0.625 × VDD(2)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (1)	输入漏电流。	V_I = 3.3V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.125 × VDD(2)	V
V_{OH}	输出高电压		0.75 × VDD(2)			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	6			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	10			mA
SR_I (5)	输入压摆率		33f(4) 或 3.3E+6			V/s

(1) 此参数定义了在未启用内部拉电阻的情况下将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(2) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。
(3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
(4) f = 输入信号的切换频率（以 Hz 为单位）。
(5) 此最小值参数仅适用于在相应的*时序和开关特性*部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

Copyright © 2025 Texas Instruments Incorporated

6.8.6 LVCMOS 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.35 × VDD[1]	V
V_{ILSS}	输入低电压稳态				0.3 × VDD[1]	V
V_{IH}	输入高电压		0.65 × VDD[1]			V
V_{IHSS}	输入高电压稳态		0.85 × VDD[1]			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} [2]	输入漏电流。	V_I = 1.8V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD[1] - 0.45			V
I_{OL} [3]	低电平输出电流	$V_{OL(MAX)}$	3			mA
I_{OH} [3]	高电平输出电流	$V_{OH(MIN)}$	3			mA
SR_I [5]	输入压摆率		18f[4] 或 1.8E+6			V/s
3.3V 模式						
V_{IL}	输入低电压				0.8	V
V_{ILSS}	输入低电压稳态				0.6	V
V_{IH}	输入高电压		2.0			V
V_{IHSS}	输入高电压稳态		2.0			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} [2]	输入漏电流。	V_I = 3.3V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.4	V
V_{OH}	输出高电压		2.4			V
I_{OL} [3]	低电平输出电流	$V_{OL(MAX)}$	5			mA
I_{OH} [3]	高电平输出电流	$V_{OH(MIN)}$	9			mA
SR_I [5]	输入压摆率		33f[4] 或 3.3E+6			V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性* 表的“电源”列。
(2) 此参数定义了在未启用内部拉电阻的情况下将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
(4) f = 输入信号的切换频率（以 Hz 为单位）。
(5) 此最小值参数仅适用于在相应的*时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.8.7 CSI-2 (D-PHY) 电气特性

备注

CSIRX0 符合 2014 年 8 月 1 日发布的 MIPI DPHY v1.2 标准，包括适用的 ECN 和勘误表。

6.8.8 USB2PHY 电气特性

备注

USB0 和 USB1 接口符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

6.8.9 DDR 电气特性

备注

DDR 接口与**符合 JESD209-4B 标准**的 LPDDR4 器件兼容

Copyright © 2025 Texas Instruments Incorporated

6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。

6.9.1 OTP 电子保险丝编程的建议运行条件

在工作结温范围内测得（除非另有说明）

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围；OPP NOM (BOOT)		请参阅 节 6.5		V
VPP	在没有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围		NC(1)		V
	在有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围		0		V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(2)	1.71	1.8	1.89	V
$I_{(VPP)}$	VPP 电流			400	mA
$SR_{(VPP)}$	VPP 上电压摆率			6E + 4	V/s
Tj	对电子保险丝 ROM 进行编程时的工作结温范围。	0	25	85	°C

(1) NC 表示无连接。
(2) 电源电压范围包括直流误差和峰峰值噪声。

6.9.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。
- 在执行正确的器件上电序列后，VPP 电源必须斜升（有关更多详细信息，请参阅节 6.12.2.2 *电源时序控制*）。

6.9.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电时序为电路板加电。上电和正常运行期间，VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据节 6.9.1 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP 端子上的电压。

6.9.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您承认，由于程序序列不正确或中止或者您省略了某个序列步骤等，电子保险丝可能会发生故障。此外，如果量产密钥的错误代码校正检查失败，或者映像未使用当前有效量产密钥进行签名和选择性加密，则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行，TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。因此，TI 对任何已使用安全密钥进行电子熔断的 TI 器件不承担任何责任（保修或其他责任）。

6.10 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.5 *建议运行条件* 中确定的 T_J 值。

6.10.1 ANF 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	ANF 封装	
			°C/W(1) (3)	气流 (m/s)(2)
T1	$R_{\Theta JC}$	结点到外壳	0.77	不适用
T2	$R_{\Theta JB}$	结点到电路板	3.3	不适用
T3	$R_{\Theta JA}$	结点到环境空气	12.5	0
T4		结至流动空气	8.6	1
T5			7.6	2
T6			7.0	3
T7	Ψ_{JT}	结至封装顶部	0.39	0
T8			0.41	1
T9			0.42	2
T10			0.43	3
T11	Ψ_{JB}	结点到电路板	3.1	0
T12			2.8	1
T13			2.7	2
T14			2.6	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) m/s = 米/秒。
(3) °C/W = 摄氏度/瓦。

6.11 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于操作和可靠性方面的考虑，器件的最高结温必须达到或低于*建议运行条件* 中确定的 T_J 值。

表 6-3. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40°C 至 125°C	-5		5	℃

Copyright © 2025 Texas Instruments Incorporated

6.12 时序和开关特性

备注

时序要求和开关特性值可能会根据器件表征结果而变化。

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来确保时序。

6.12.1 时序参数和信息

节 6.12 *时序和开关特性* 中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-4 中缩写了某些引脚名称和其他相关术语：

表 6-4. 时序参数下标

符号	参数
c	周期时间（周期）
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
START	起始位
t	转换时间
v	有效时间
W	脉冲持续时间（宽度）
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.12.2 电源要求

本节介绍了确保器件正常运行的电源要求。

备注

除非在*信号说明* 和*引脚连接要求* 中另有说明，否则必须使用*建议运行条件* 一节中指定的电压为所有电源焊球供电。

6.12.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 18mV/μs。例如，如图 6-2 所示，对于高于 100μs 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。

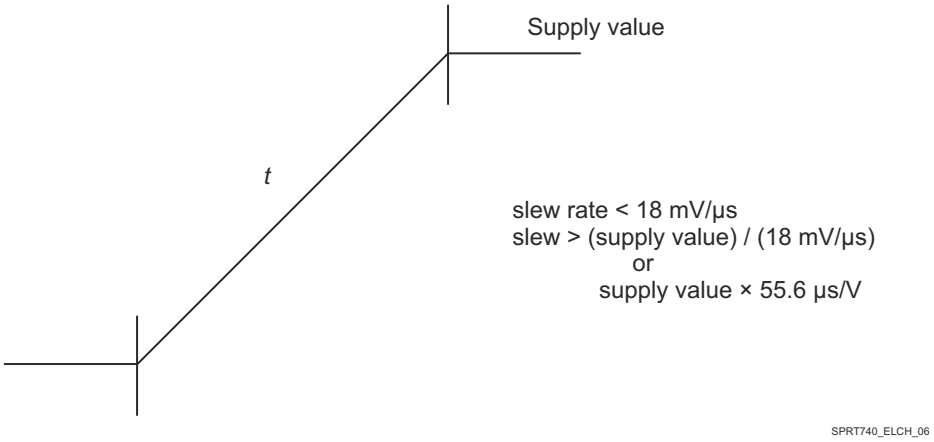


图 6-2. 电源电压转换时间和压摆率

Copyright © 2025 Texas Instruments Incorporated

6.12.2.2 电源时序

本节使用电源序列图和相关注释来介绍电源序列要求。每个电源序列图都展示了每个器件电源轨的预期顺序。这是通过将每个器件电源轨分配给一个或多个波形来完成的。双电压电源轨可能与多个波形相关联，相关注释将说明哪种波形适用。每个波形定义了相关电源轨的转换区域，并显示其与其他电源轨的转换区域的顺序关系。与电源时序图相关的注释提供了这些要求的更多详细信息。有关上电要求的详细信息，请参阅*上电序列*一节；有关断电要求的详细信息，请参阅*断电序列*一节。

使用两种类型的电源转换区域来简化电源时序图。提供了图 6-3 和图 6-4 中显示的图例及其说明，以阐明每个转换区域代表什么。

图 6-3 定义了具有多个电源轨的转换区域，这些电源轨可能来自多个电源或单个电源。转换区域内所示的转换代表一种用例，其中使用多个电源来提供与该波形相关的电源轨，允许这些电源在该区域内的不同时间升降，因为它们彼此之间没有任何特定的顺序要求。

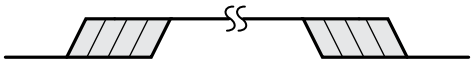


图 6-3. 多电源转换图例

图 6-4 定义了具有一个或多个电源轨的转换区域，这些电源轨必须来自单个公共电源。该区域内没有显示任何转换来表示转换区域内的单个斜坡。

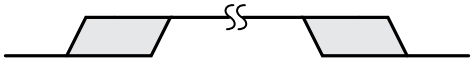


图 6-4. 单个公共电源转换图例

6.12.2.2.1 上电时序

表 6-5 和图 6-5 介绍了器件上电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出低功耗模式时电源序列要求的更多信息，请参阅节 6.12.2.2.3 *部分 IO 电源时序*。

备注

只要电源轨降至*建议运行条件*中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后才会启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，这种情况下 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

表 6-5. 上电时序 – 电源/信号分配

请参阅：图 6-5

波形	电源/信号名称
A	VSYS(1)、VMON_VSYS(2)
B	VDDSHV_CANUART(3)、VDDSHV_MCU(3)、VDDSHV0(3)、VDDSHV1(3)、VDDSHV2(3)、VDDSHV3(3)、VDDA_3P3_USB、VMON_3P3_SOC(4)
C	VDDSHV_CANUART(5)、VDDSHV_MCU(5)、VDDSHV0(5)、VDDSHV1(5)、VDDSHV2(5)、VDDSHV3(5)、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VMON_1P8_SOC(6)
D	VDDSHV4(7)、VDDSHV5(7)、VDDSHV6(7)
E	VDDS_DDR(8)、VDDS_DDR_C(8)
F	VDD_CANUART(9)
G	VDD_CANUART(10)、VDD_CORE(10) (12)、VDDA_CORE_CSIRX0(10)、VDDA_CORE_USB0(10)、VDDA_DDR_PLL0(10)
H	VDD_CANUART(11)、VDD_CORE(11) (12)、VDDA_CORE_CSIRX0(11)、VDDA_CORE_USB0(11)、VDDA_DDR_PLL0(11)、VDDR_CORE(12)
I	VPP(13)
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

(1) VSYS 表示为整个系统供电的电源的名称。该电源应是一个预调节电源，为电源管理器件提供电源，而电源管理器件为所有其他电源提供电源。

(2) VMON_VSYS 输入用于通过外部电阻分压器电路监测 VSYS。有关更多信息，请参阅*系统电源监测设计指南*。

(3) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。

当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 3.3V 时，应在该波形定义的 3.3V 斜坡周期内使用其他 3.3V 电源进行斜升。

当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 3.3V 运行时，它们应在该波形定义的 3.3V 斜坡周期内与其他 3.3V 电源一起斜升。

(4) VMON_3P3_SOC 输入用于监测电源电压，并应连接到相应的 3.3V 电源。

(5) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。

当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 1.8V 时，应在该波形定义的 1.8V 斜坡周期内使用其他 1.8V 电源进行斜升。

当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 1.8V 运行时，它们应在该波形定义的 1.8V 斜坡周期内与其他 1.8V 电源一起斜升。

(6) VMON_1P8_SOC 输入用于监测电源电压，并应连接到相应的 1.8V 电源。

Copyright © 2025 Texas Instruments Incorporated

(7) VDDSHV4、VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。

(8) VDDS_DDR 和 VDDS_DDR_C 应由同一电源供电，以便它们一起斜升。

(9) 当使用部分 IO 低功耗模式时，VDD_CANUART 应连接到常开型电源。

当 VDD_CANUART 连接到常开型电源时，上电或断电期间施加到 VDD_CORE 的电势绝不能大于施加到 VDD_CANUART 的电势 + 0.18V。这要求 VDD_CANUART 在 VDD_CORE 之前斜升并在 VDD_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CANUART 没有任何斜坡要求。

(10) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。

VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.75V 下运行时，它们应在 VDDR_CORE 之前按照该波形的定义进行斜升。

(11) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。

VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.85V 下运行时，它们应由与 VDDR_CORE 相同的电源供电，并在该波形定义的 0.85V 斜坡周期内斜升。

(12) 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能大于施加到 VDD_CORE 的电势 + 0.18V。当 VDD_CORE 工作电压为 0.75V 时，这要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CORE 没有任何斜坡要求。

VDD_CORE 和 VDDR_CORE 应由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起升降。

(13) VPP 是 1.8V 电子保险丝编程电源，在上电/断电序列期间以及正常器件运行期间，应保持悬空（高阻态）或接地。该电源应仅在对电子保险丝进行编程时提供。

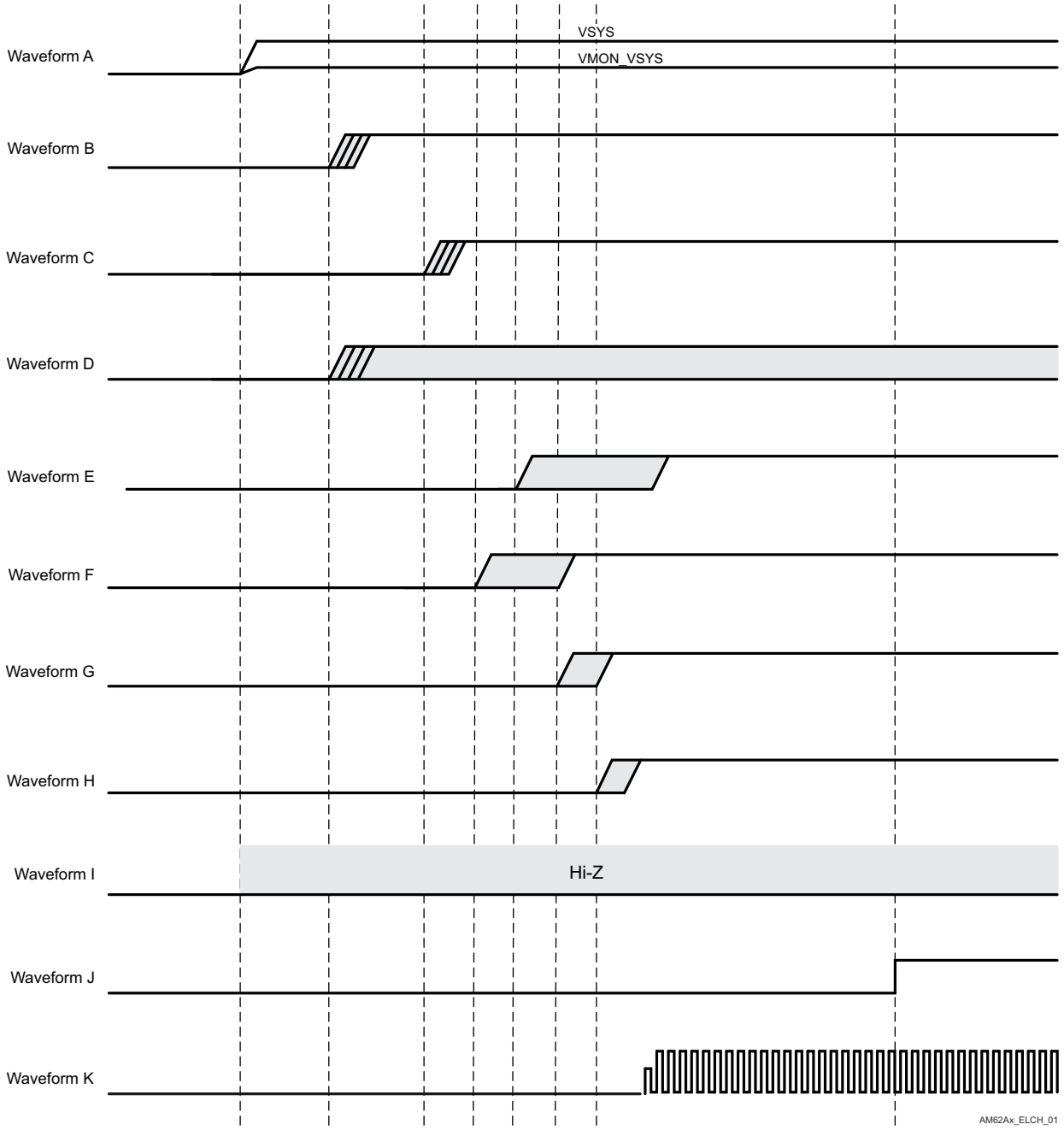


图 6-5. 上电时序

Copyright © 2025 Texas Instruments Incorporated

6.12.2.2.2 下电时序

表 6-6 和图 6-6 介绍了器件下电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出低功耗模式时电源序列要求的更多信息，请参阅节 6.12.2.2.3 *部分 IO 电源时序*。

备注

只要电源轨降至*建议运行条件*中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后才会启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，这种情况下 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

表 6-6. 下电时序 – 电源/信号分配

请参阅：图 6-6

波形	电源/信号名称
A	VSYS、VMON_VSYS
B	VDDSHV_CANUART(1)、VDDSHV_MCU(1)、VDDSHV0(1)、VDDSHV1(1)、VDDSHV2(1)、VDDSHV3(1)、VDDA_3P3_USB、VMON_3P3_SOC
C	VDDSHV_CANUART(2)、VDDSHV_MCU(2)、VDDSHV0(2)、VDDSHV1(2)、VDDSHV2(2)、VDDSHV3(2)、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VMON_1P8_SOC
D	VDDSHV4(3)、VDDSHV5(3)、VDDSHV6(3)
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CANUART(4)
G	VDD_CANUART(5)、VDD_CORE(5)、VDDA_CORE_CSIRX0(5)、VDDA_CORE_USB0(5)、VDDA_DDR_PLL0(5)
H	VDD_CANUART(6)、VDD_CORE(6)、VDDA_CORE_CSIRX0(6)、VDDA_CORE_USB0(6)、VDDA_DDR_PLL0(6)、VDDR_CORE
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

(1) 当工作电压为 3.3V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
(2) 当工作电压为 1.8V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
(3) VDDSHV4、VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
(4) 当连接到用于部分 IO 低功耗模式的常开型电源时为 VDD_CANUART。
(5) 当工作电压为 0.75V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0 和 VDDA_DDR_PLL0
(6) 当工作电压为 0.85V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0 和 VDDA_DDR_PLL0

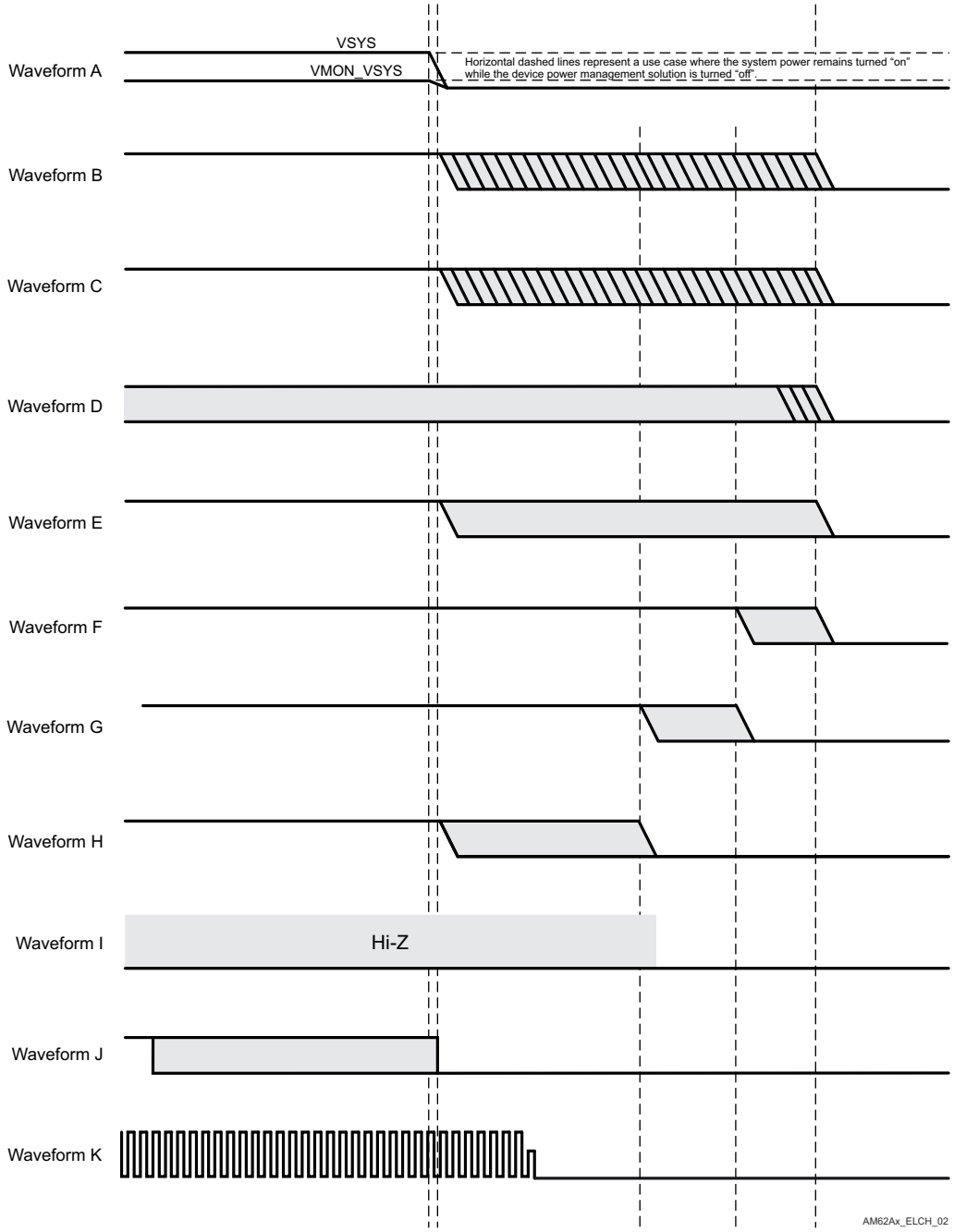


图 **6-6.** 下电时序

Copyright © 2025 Texas Instruments Incorporated

6.12.2.2.3 部分 IO 电源时序

本节介绍进入或退出低功耗模式时的电源序列要求。

有关该器件支持的低功耗模式以及分配给每个低功耗模式的名称的更多信息，请参阅技术参考手册的“器件配置”一章中的“功耗模式”一节。

部分 IO 是唯一需要更改器件电源轨电源的低功耗模式。在部分 IO 模式下工作时，除 VDD_CANUART 和 VDDSHV_CANUART 之外的所有电源轨均关闭。进入部分 IO 所需的电源序列与节 6.12.2.2.2 *下电时序* 中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者保持上电状态。退出部分 IO 所需的电源序列与节 6.12.2.2.1 *上电时序* 中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者已上电。

6.12.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.12.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-7. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD[(1)] = 1.8V	0.0018		V/ns
		VDD[(1)] = 3.3V	0.0033		V/ns
输出条件					
C_L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。

表 6-8. MCU_PORz 时序要求

请参阅图 6-7

编号	参数		最小值	最大值	单位
RST1	$t_{h(SUPPLIES_VALID - MCU_PORz)}$	保持时间，在电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体电路）	9500000		ns
RST2		保持时间，在电源有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 时钟源）	1200		ns
RST3	$t_{w(MCU_PORzL)}$	脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200		ns

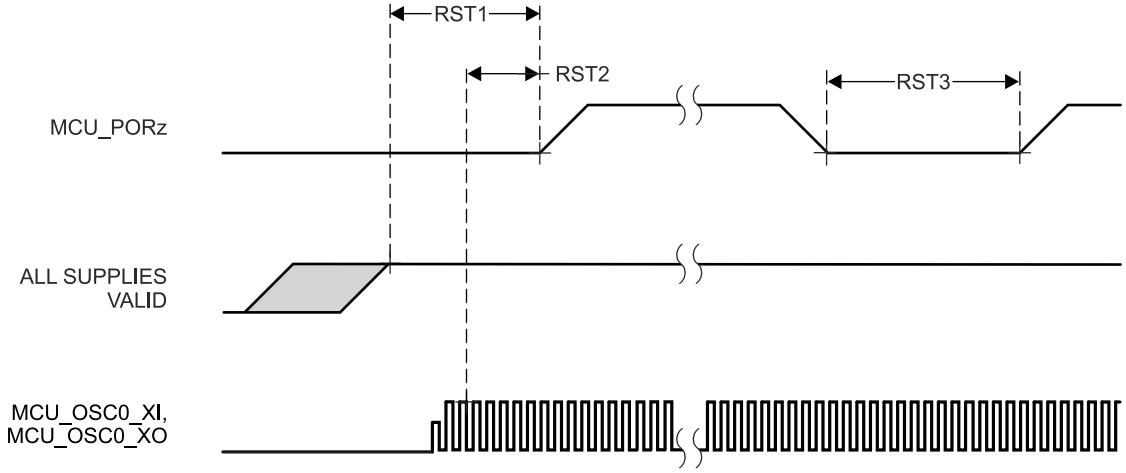


图 6-7. MCU_PORz 时序要求

Copyright © 2025 Texas Instruments Incorporated

表 6-9. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-8

编号	参数		最小值	最大值	单位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	6120*S(1)		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 RESETSTATz 有效（低电平）	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 RESETSTATz 无效（高电平）	9195*S(1)		ns
RST8	$t_{w(MCU_RESETSTATzL)}$	脉冲宽度，MCU_RESETSTATz 低电平 (SW_MCU_WARMRST)	966*S(1)		ns
RST9	$t_{w(RESETSTATzL)}$	脉冲宽度，RESETSTATz 低电平（SW_MCU_WARMRST、SW_MAIN_PORz 或 SW_MAIN_WARMRST）	4040*S		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

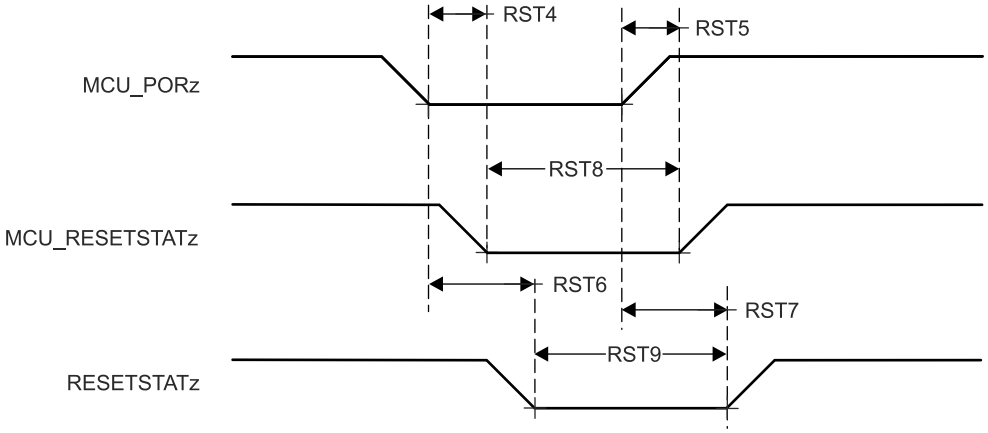


图 6-8. MCU_RESETSTATz 和 RESETSTATz 开关特性

表 6-10. MCU_RESETz 时序要求

请参阅图 6-9

编号	参数		最小值	最大值	单位
RST10	$t_{w(MCU_RESETzL)}$ (1)	脉冲宽度，MCU_RESETz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-11. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-9

编号	参数		最小值	最大值	单位
RST11	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	0		ns
RST12	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	966*S(1)		ns
RST13	$t_{d(MCU_RESETzL-RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 RESETSTATz 有效（低电平）	960		ns
RST14	$t_{d(MCU_RESETzH-RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 RESETSTATz 无效（高电平）	4040*S(1)		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

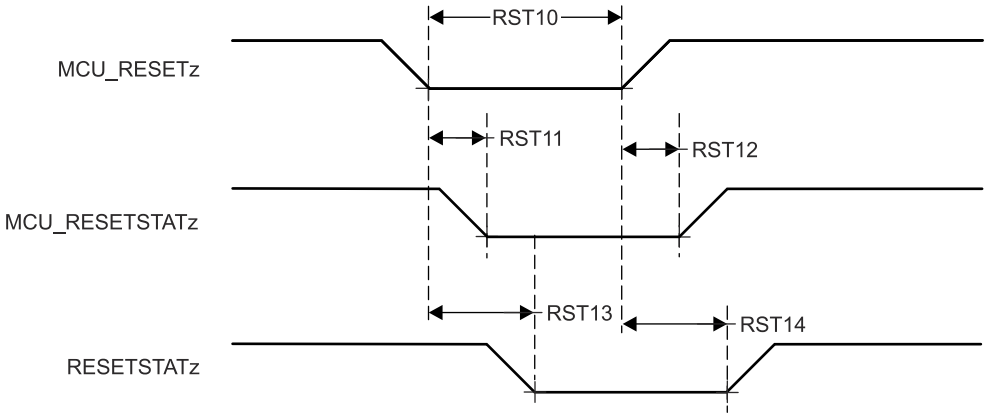


图 6-9. MCU_RESETz、MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

表 6-12. RESET_REQz 时序要求

请参阅图 6-10

编号	参数		最小值	最大值	单位
RST15	$t_{w(RESET_REQzL)}$ (1)	脉冲宽度，RESET_REQz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-13. RESETSTATz 开关特性

请参阅图 6-10

编号	参数		最小值	最大值	单位
RST16	$t_{d(RESET_REQzL-RESETSTATzL)}$	延迟时间，RESET_REQz 有效（低电平）到 RESETSTATz 有效（低电平）	900*T(1)		ns
RST17	$t_{d(RESET_REQzH-RESETSTATzH)}$	延迟时间，RESET_REQz 无效（高电平）到 RESETSTATz 无效（高电平）	4040*S(2)		ns

(1) T = 复位隔离时间（取决于软件）
(2) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

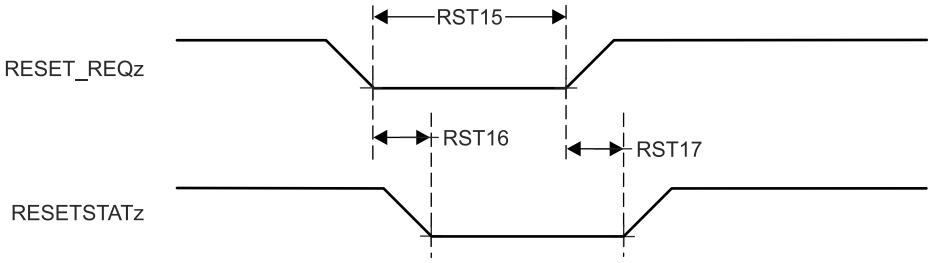


图 6-10. RESET_REQz 和 RESETSTATz 时序要求和开关特性

表 6-14. EMUx 时序要求

请参阅图 6-11

编号	参数		最小值	最大值	单位
RST18	$t_{su(EMUx-MCU_PORz)}$	建立时间，MCU_PORz 无效（高电平）之前的 EMU[1:0]	3*S(1)		ns
RST19	$t_{h(MCU_PORz - EMUx)}$	保持时间，MCU_PORz 无效（高电平）之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

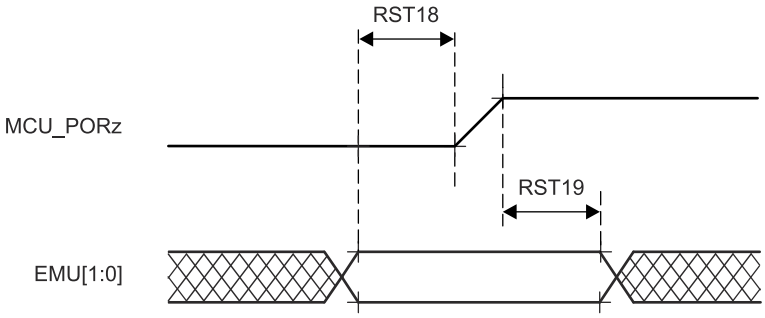


图 6-11. EMUx 时序要求

表 6-15. BOOTMODE 时序要求

请参阅图 6-12

编号	参数		最小值	最大值	单位
RST23	$t_{su(BOOTMODE-PORz_OUT)}$	建立时间，BOOTMODE[15:00] 在 PORz_OUT 高电平之前有效（外部 MCU PORz 事件或软件 SW_MAIN_PORz）	3*S(1)		ns
RST24	$t_{h(PORz_OUT - BOOTMODE)}$	保持时间，BOOTMODE[15:00] 在 PORz_OUT 高电平之后有效（外部 MCU PORz 事件或软件 SW_MAIN_PORz）	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

表 6-16. PORz_OUT 开关特性

请参阅图 6-12

编号	参数		最小值	最大值	单位
RST25	$t_{d(MCU_PORzL-PORz_OUT)}$	延迟时间，MCU_PORz 有效（低电平）到 PORz_OUT 有效（低电平）	0		ns
RST26	$t_{d(MCU_PORzH-PORz_OUT)}$	延迟时间，MCU_PORz 无效（高电平）到 PORz_OUT 无效（高电平）	1840		ns
RST27	$t_{w(PORz_OUTL)}$	脉冲宽度，PORz_OUT 低电平（MCU_PORz 或 SW_MAIN_PORz）	1200		ns

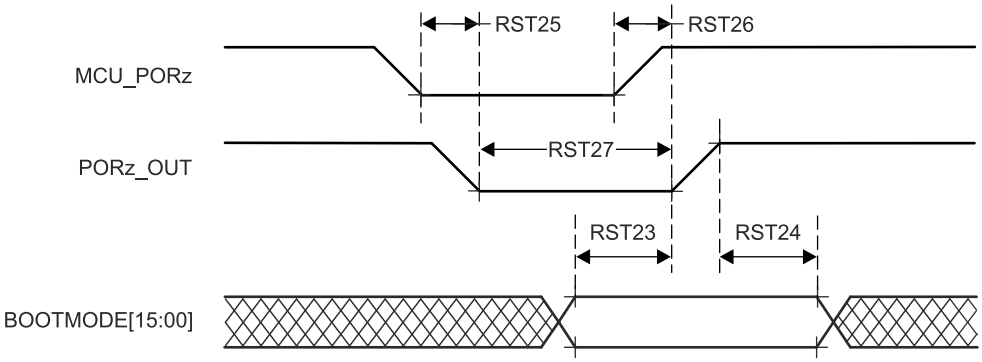


图 6-12. BOOTMODE 时序要求和 PORz_OUT 开关特性

Copyright © 2025 Texas Instruments Incorporated

6.12.3.2 错误信号时序

本节中提供的表和图定义了 MCU_ERRORn 的时序条件和开关特性。

表 6-17. 错误信号时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容		30	pF

表 6-18. MCU_ERRORn 开关特性

请参阅图 6-13

编号	参数		最小值	最大值	单位
ERR1	$t_{c(MCU_ERRORn)}$	最小周期时间，MCU_ERRORn（启用 PWM 模式）	(P*H)+(P*L)(1) (3) (4)		ns
ERR2	$t_{w(MCU_ERRORn)}$	最小脉冲宽度，MCU_ERRORn 有效（禁用 PWM 模式）(5)	P*R(1) (2)		ns
ERR3	$t_{d\ (ERROR_CONDITION-MCU_ERRORnL)}$	延迟时间，错误条件到 MCU_ERRORn 有效(5)	50*P(1)		ns

(1) P = ESM 功能时钟周期（以 ns 为单位）。
(2) R = 错误引脚计数器预加载寄存器计数值。
(3) H = 错误引脚 PWM 高预加载寄存器计数值。
(4) L = 错误引脚 PWM 低预加载寄存器计数值。
(5) 启用 PWM 模式后，MCU_ERRORn 会在 ERR3 后停止切换，并将保持其值（高电平或低电平），直到错误被清除。禁用 PWM 模式时，MCU_ERRORn 为低电平有效。

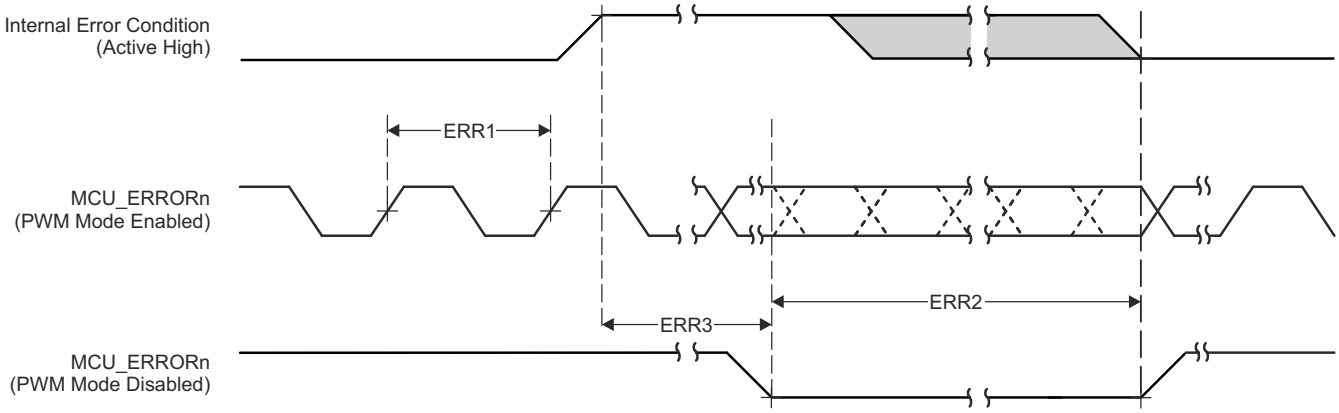


图 6-13. MCU_ERRORn 时序要求和开关特性

6.12.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-19. 时钟时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		0.5		V/ns
输出条件					
C_L	输出负载电容	5ns ≤ t_c < 8ns		5	pF
		8ns ≤ t_c < 20ns		10	pF
		20ns ≤ t_c		30	pF

表 6-20. 时钟时序要求

请参阅图 6-14

编号			最小值	最大值	单位
CLK1	$t_{c(EXT_REFCLK1)}$	最小周期时间，EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	脉冲持续时间，EXT_REFCLK1 高电平	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	脉冲持续时间，EXT_REFCLK1 低电平	E*0.45(1)	E*0.55(1)	ns
CLK1	$t_{c(MCU_EXT_REFCLK0)}$	最小周期时间，MCU_EXT_REFCLK0	10		ns
CLK2	$t_{w(MCU_EXT_REFCLK0H)}$	脉冲持续时间，MCU_EXT_REFCLK0 高电平	F*0.45(2)	F*0.55(2)	ns
CLK3	$t_{w(MCU_EXT_REFCLK0L)}$	脉冲持续时间，MCU_EXT_REFCLK0 低电平	F*0.45(2)	F*0.55(2)	ns
CLK1	$t_{c(AUDIO_EXT_REFCLK0)}$	最小周期时间，AUDIO_EXT_REFCLK0	20		ns
CLK2	$t_{w(AUDIO_EXT_REFCLK0H)}$	脉冲持续时间，AUDIO_EXT_REFCLK0 高电平	G*0.45(3)	G*0.55(3)	ns
CLK3	$t_{w(AUDIO_EXT_REFCLK0L)}$	脉冲持续时间，AUDIO_EXT_REFCLK0 低电平	G*0.45(3)	G*0.55(3)	ns
CLK1	$t_{c(AUDIO_EXT_REFCLK1)}$	最小周期时间，AUDIO_EXT_REFCLK1	20		ns
CLK2	$t_{w(AUDIO_EXT_REFCLK1H)}$	脉冲持续时间，AUDIO_EXT_REFCLK1 高电平	H*0.45(4)	H*0.55(4)	ns
CLK3	$t_{w(AUDIO_EXT_REFCLK1L)}$	脉冲持续时间，AUDIO_EXT_REFCLK1 低电平	H*0.45(4)	H*0.55(4)	ns

(1) E = EXT_REFCLK1 周期时间（以 ns 为单位）。
(2) F = MCU_EXT_REFCLK0 周期时间（以 ns 为单位）。
(3) G = AUDIO_EXT_REFCLK0 周期时间（以 ns 为单位）。
(4) H = AUDIO_EXT_REFCLK1 周期时间（以 ns 为单位）。

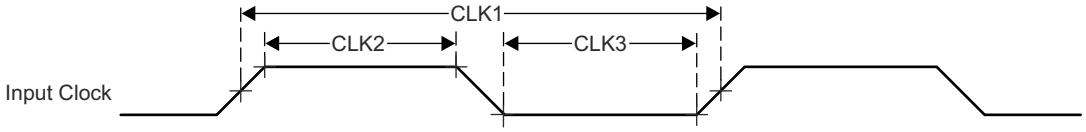


图 6-14. 时钟时序要求

Copyright © 2025 Texas Instruments Incorporated

表 6-21. 时钟开关特性

请参阅图 6-15

编号	参数		最小值	最大值	单位
CLK4	$t_{c(SYSCLKOUT0)}$	最小周期时间，SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	脉冲持续时间，SYSCLKOUT0 高电平	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	脉冲持续时间，SYSCLKOUT0 低电平	A*0.4(1)	A*0.6(1)	ns
CLK4	$t_{c(OBSCLK0)}$	最小周期时间，OBSCLK0	5		ns
CLK5	$t_{w(OBSCLK0H)}$	脉冲持续时间，OBSCLK0 高电平	B*0.45(2)	B*0.55(2)	ns
CLK6	$t_{w(OBSCLK0L)}$	脉冲持续时间，OBSCLK0 低电平	B*0.45(2)	B*0.55(2)	ns
CLK4	$t_{c(OBSCLK1)}$	最小周期时间，OBSCLK1	5		ns
CLK5	$t_{w(OBSCLK1H)}$	脉冲持续时间，OBSCLK1 高电平	F*0.45(3)	F*0.55(3)	ns
CLK6	$t_{w(OBSCLK1L)}$	脉冲持续时间，OBSCLK1 低电平	F*0.45(3)	F*0.55(3)	ns
CLK4	$t_{c(CLKOUT0)}$	最小周期时间，CLKOUT0	20		ns
CLK5	$t_{w(CLKOUT0H)}$	脉冲持续时间，CLKOUT0 高电平	C*0.4(4)	C*0.6(4)	ns
CLK6	$t_{w(CLKOUT0L)}$	脉冲持续时间，CLKOUT0 低电平	C*0.4(4)	C*0.6(4)	ns
CLK4	$t_{c(MCU_SYSCLKOUT0)}$	最小周期时间，MCU_SYSCLKOUT0	10		ns
CLK5	$t_{w(MCU_SYSCLKOUT0H)}$	脉冲持续时间，MCU_SYSCLKOUT0 高电平	E*0.4(5)	E*0.6(5)	ns
CLK6	$t_{w(MCU_SYSCLKOUT0L)}$	脉冲持续时间，MCU_SYSCLKOUT0 低电平	E*0.4(5)	E*0.6(5)	ns
CLK4	$t_{c(MCU_OBSCLK0)}$	最小周期时间，MCU_OBSCLK0	5		ns
CLK5	$t_{w(MCU_OBSCLK0H)}$	脉冲持续时间，MCU_OBSCLK0 高电平	D*0.45(6)	D*0.55(6)	ns
CLK6	$t_{w(MCU_OBSCLK0L)}$	脉冲持续时间，MCU_OBSCLK0 低电平	D*0.45(6)	D*0.55(6)	ns
CLK4	$t_{c(WKUP_CLKOUT0)}$	最小周期时间，WKUP_CLKOUT0	5		ns
CLK5	$t_{w(WKUP_CLKOUT0H)}$	脉冲持续时间，WKUP_CLKOUT0 高电平	W*0.4(7)	W*0.6(7)	ns
CLK6	$t_{w(WKUP_CLKOUT0L)}$	脉冲持续时间，WKUP_CLKOUT0 低电平	W*0.4(7)	W*0.6(7)	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK0)}$	最小周期时间，AUDIO_EXT_REFCLK0（McASP 时钟源）	20		ns
		最小周期时间，AUDIO_EXT_REFCLK0（PLL 时钟源）	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK0\ H)}$	脉冲持续时间，AUDIO_EXT_REFCLK0 高电平	G*0.4(8)	G*0.6(8)	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK0\ L)}$	脉冲持续时间，AUDIO_EXT_REFCLK0 低电平	G*0.4(8)	G*0.6(8)	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK1)}$	最小周期时间，AUDIO_EXT_REFCLK1（McASP 时钟源）	20		ns
		最小周期时间，AUDIO_EXT_REFCLK1（PLL 时钟源）	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK1\ H)}$	脉冲持续时间，AUDIO_EXT_REFCLK1 高电平	J*0.4(9)	J*0.6(9)	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK1\ L)}$	脉冲持续时间，AUDIO_EXT_REFCLK1 低电平	J*0.4(9)	J*0.6(9)	ns

(1) A = SYSCLKOUT0 周期时间（以 ns 为单位）。
(2) B = OBSCLK0 周期时间（以 ns 为单位）。
(3) F = OBSCLK1 周期时间（以 ns 为单位）。
(4) C = CLKOUT0 周期时间（以 ns 为单位）。
(5) E = MCU_SYSCLKOUT0 周期时间（以 ns 为单位）。
(6) D = MCU_OBSCLK0 周期时间（以 ns 为单位）。
(7) W = WKUP_CLKOUT0 周期时间（以 ns 为单位）。
(8) G = AUDIO_EXT_REFCLK0 周期时间（以 ns 为单位）。
(9) J = AUDIO_EXT_REFCLK1 周期时间（以 ns 为单位）。

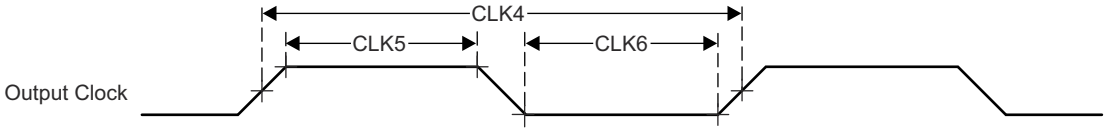


图 6-15. 时钟开关特性

6.12.4 时钟规格

6.12.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- MCU_OSC0_XO/MCU_OSC0_XI - 连接到内部高频振荡器 (MCU_HFOSC0) 的外部主晶体接口引脚，该振荡器是内部基准时钟 HFOSC0_CLKOUT 的默认时钟源。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI - 连接到内部低频振荡器 (WKUP_LFOSC0) 的外部晶振接口引脚，该振荡器提供可选的 32768Hz 基准时钟。
- 通用时钟输入
  - MCU_EXT_REFCLK0 - 可选的外部系统时钟。
  - EXT_REFCLK1 - 可选的外部系统时钟。
- 外部 CPTS 基准时钟输入
  - CP_GEMAC_CPTS0_RFT_CLK - CPTS_RFT_CLK 的可选基准时钟输入。
- 外部音频基准时钟输入/输出
  - AUDIO_EXT_REFCLK[1:0] - 配置为输入时的可选 McASP 高频输入时钟。

有关输入时钟接口的详细信息，请参阅器件 TRM 的*器件配置*一章中的*时钟*一节。

Copyright © 2025 Texas Instruments Incorporated

6.12.4.1.1 MCU_OSC0 内部振荡器时钟源

图 6-16 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件必须尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。

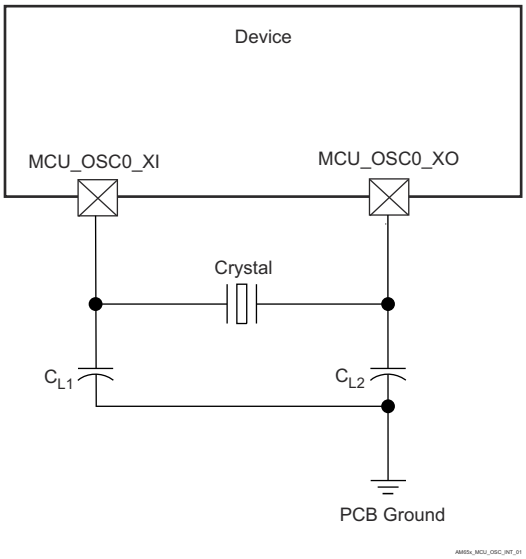


图 6-16. MCU_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-22 总结了所需的电气约束。

表 6-22. MCU_OSC0 晶体电路要求

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率				25		MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	ESR_{xtal} = 30 Ω	25MHz			7	pF
		ESR_{xtal} = 40 Ω	25MHz			5	pF
		ESR_{xtal} = 50 Ω	25MHz			5	pF
ESR_{xtal}	晶体有效串联电阻					(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

表 6-23 详细说明了振荡器的开关特性。

表 6-23. MCU_OSC0 开关特性 - 晶体模式

参数		最小值	典型值	最大值	单位
C_{XI}	XI 电容			1.40	pF
C_{XO}	XO 电容			1.36	pF
C_{XIXO}	XI 至 XO 互电容			0.01	pF
t_s	启动时间		4		ms

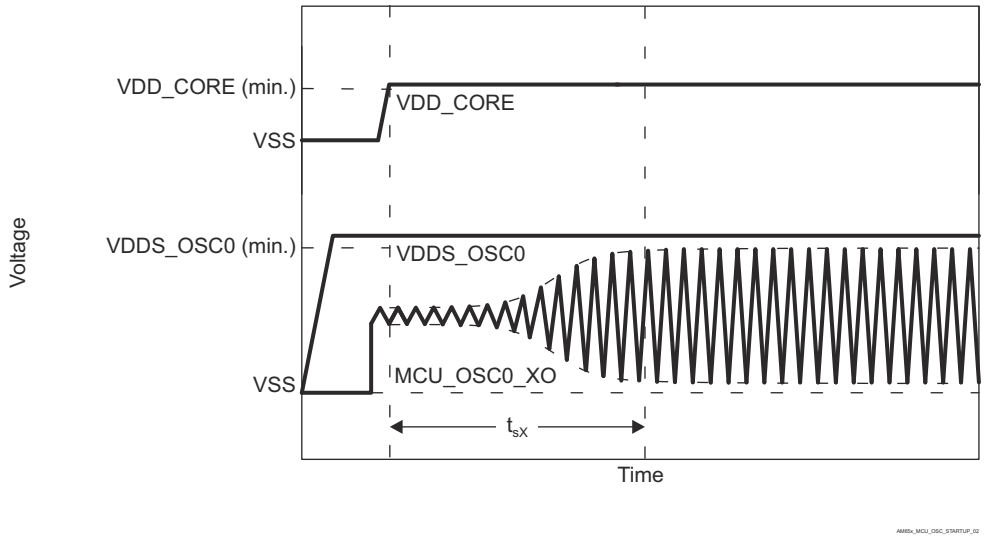


图 6-17. MCU_OSC0 启动时间

Copyright © 2025 Texas Instruments Incorporated

6.12.4.1.2 MCU_OSC0 LVCMOS 数字时钟源

图 6-18 展示了当 MCU_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

1. 当振荡器上电时，MCU_OSC0_XI 上不允许出现直流稳态情况。这是不允许的，因为 MCU_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 MCU_OSC0_XI 不在不同逻辑状态之间切换，应用软件就必须使 MCU_OSC0 断电。

2. 为 MCU_OSC0_XI 输入提供时钟源的 LVCMOS 时钟信号必须具有单调转换。该时钟源应通过放置在时钟源附近的串联端接电阻器以点对点连接的方式连接到 MCU_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，如果时钟源的输出阻抗为 30 欧姆，并且 PCB 信号布线的特征阻抗为 50 欧姆，则串联端接电阻值需要为 20 欧姆。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免在信号上引入任何非单调事件。

3. 应最大限度缩短将 LVCMOS 时钟源连接到 MCU_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低系统中出现抖动的可能性。

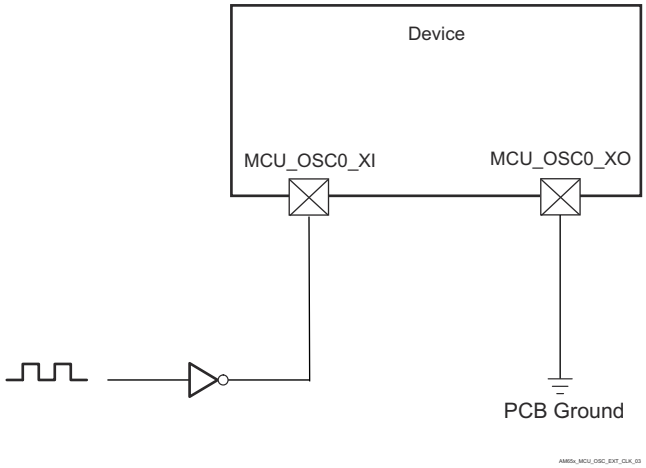


图 6-18. 与 1.8V LVCMOS 兼容的时钟输入

表 6-24. MCU_OSC0 LVCMOS 数字时钟源要求

参数			最小值	典型值	最大值	单位
F_{xtal}	频率			25		MHz
	频率稳定性和容差	未使用以太网 RGMII 和 RMII			±100	ppm
		RGMII 和 RMII 使用衍生的时钟			±50	
DC	占空比		45		55	%
$t_{R/F}$	上升/下降时间（10%-90% 上升，90%-10% 下降）				4[(1)]	ns
$J_{Period(RMS)}$	周期抖动，RMS（100k 个样本）				20	ps
$J_{Period(PK-PK)}$	周期抖动，峰峰值（100k 个样本）				300	ps
$J_{Phase(RMS)}$	相位抖动，RMS（带宽 100Hz 至 1MHz）				10[(2)]	ps

(1) 大多数 LVCMOS 振荡器数据表在其最大输出上升/下降时间的定义中使用的容性负载要比 PCB 布线电容与 MCU_OSC0_XI 输入电容组合所要施加的实际负载大得多。应该不难找到满足此要求的 LVCMOS 振荡器。但是，系统设计人员必须确认所选的 LVCMOS 振荡器能够为 MCU_OSC0_XI 输入提供适当的上升/下降时间。

(2) 大多数 LVCMOS 振荡器数据表在其最大 RMS 相位抖动的定义中使用的带宽积分范围大于此器件的要求。为了获得更合适的值，可能有必要联系 LVCMOS 振荡器制造商，要求他们使用为此参数定义的带宽积分范围来提供最大 RMS 相位抖动。

Copyright © 2025 Texas Instruments Incorporated

6.12.4.1.3 WKUP_LFOSC0 内部振荡器时钟源

图 6-19 展示了建议的晶体电路。建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 R_{bias} 和 R_d，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在大多数情况下，不需要 R_{bias}，R_d 是一个 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器。

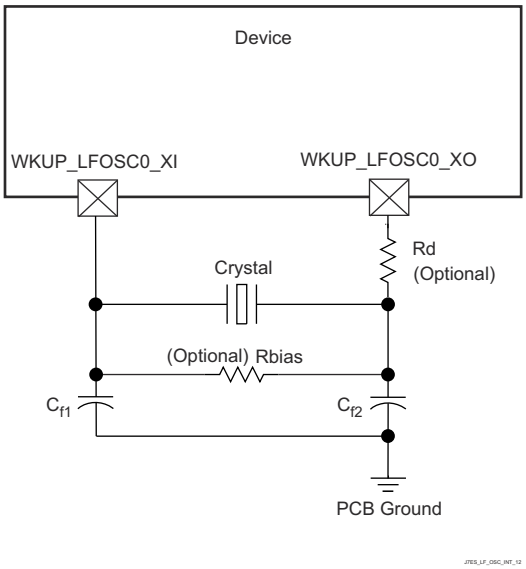


图 6-19. WKUP_LFOSC0 晶体实现

表 6-25 说明了 LFXOSC 运行模式。

表 6-25. LFXOSC 运行模式

模式	BP_C	PD_C	XI	XO	CLK_OUT	说明
运行	0	0	XTAL	XTAL	CLK_OUT	提供 32kHz 频率的有源振荡器模式
PWRDN	0	1	X	PD	低电平	输出将被下拉至低电平。PAD 为三态。有源模式被禁用
BYPASS	1	0	CLK	PD	CLK	XI 由外部时钟源驱动。XO 被下拉至低电平。由于有 ESD 二极管供电，除非存在振荡器电源，否则不应驱动 XI。

备注

用户应为 6pf 至 9.5pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b’001。应为 8.5pf 至 12pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b’010。默认设置为 3b’010。

备注

在选择图 6-20 中的负载电容器 C_{f1} 和 C_{f2} 时，应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO 和 VSS 引脚放置。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JTES_CL_MATH_03

图 6-20. 负载电容公式

晶体必须处于基本工作模式并且并联谐振。表 6-26 总结了所需的电气约束。

表 6-26. WKUP_LFOSC0 晶体电气特性

名称	说明		最小值	典型值	最大值	单位
f_p	并联谐振晶体频率			32768		Hz
	晶体频率稳定性和容差				±100	PPM
C_{f1}	用于晶体并联谐振的 C_{f1} 负载电容，$C_{f1} = C_{f2}$		12		24	pF
C_{f2}	用于晶体并联谐振的 C_{f2} 负载电容，$C_{f1} = C_{f2}$		12		24	pF
C_{shunt}	并联电容	ESRxtal – 40kΩ			4	pF
		ESRxtal – 60kΩ			3	pF
		ESRxtal – 80kΩ			2	pF
		ESRxtal – 100kΩ			1	pF
ESR	晶体有效串联电阻				(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-27 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-27. WKUP_LFOSC0 开关特性 - 晶体模式

名称	说明	最小值	典型值	最大值	单位
f_{xtal}	振荡频率		32768		Hz
t_{sX}	启动时间			96.5	ms

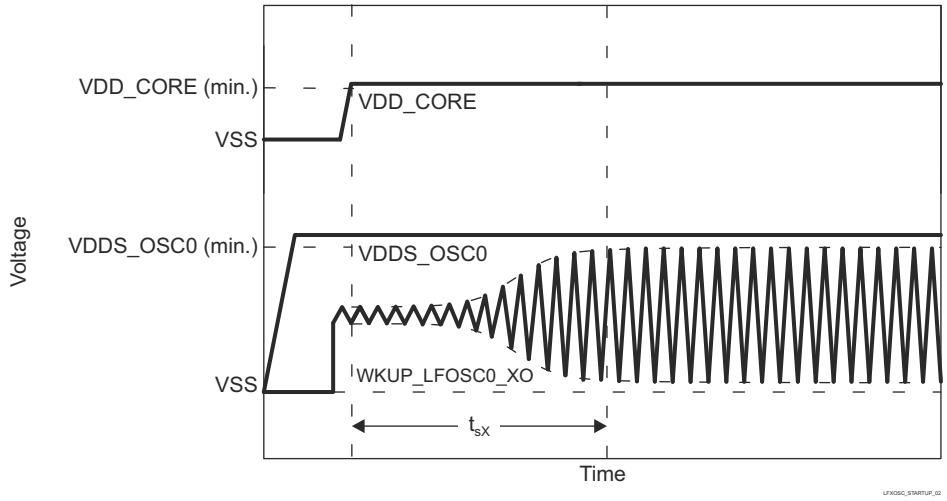


图 6-21. WKUP_LFOSC0 启动时间

Copyright © 2025 Texas Instruments Incorporated

6.12.4.1.4 WKUP_LFOSC0 LVCMOS 数字时钟源

图 6-22 展示了当 WKUP_LFOSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

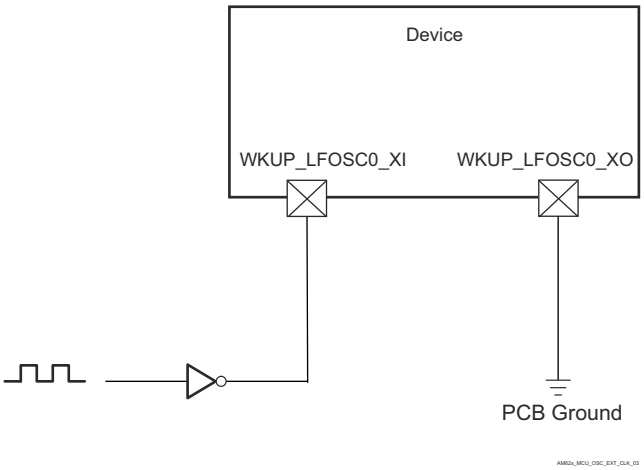


图 6-22. 与 1.8V LVCMOS 兼容的时钟输入

6.12.4.1.5 未使用 WKUP_LFOSC0

图 6-23 展示了未使用 WKUP_LFOSC0 时建议的振荡器连接。

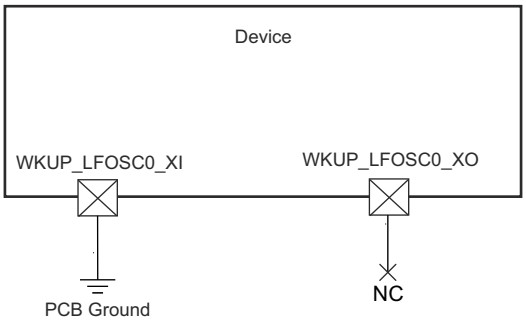


图 6-23. 未使用 WKUP_LFOSC0

6.12.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_SYSCLKOUT0**
  - MCU_PLL0_HSDIV0_CLKOUT (MCU_SYSCLKOUT0) 除以 4 后作为 MCU_SYSCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **MCU_OBSCLK0**
  - 观察时钟输出，仅用于测试和调试目的。
- **WKUP_CLKOUT0**
  - WKUP 域 CLKOUT0 输出。
- **SYSCLKOUT0**
  - MAIN_PLL0_HSDIV0_CLKOUT (SYSCLKOUT0) 除以 4 后作为 SYSCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **CLKOUT0**
  - CLKOUT0 是以太网子系统时钟 (MAIN_PLL2_HSDIV1_CLKOUT) 进行 5 分频或 10 分频。该时钟输出作为外部 PHY 的可选源提供。当配置为作为 RMII 时钟源 (50MHz) 运行时，信号还必须路由回至相应的 RMII[x]_REF_CLK 引脚，以便器件正常运行。
- **OBSCLK[1:0]**
  - 观察时钟输出，仅用于测试和调试目的。
- **AUDIO_EXT_REFCLK[1:0]**
  - 当配置为输出时提供六个 McASP 高频音频基准时钟之一的选项，MAIN_PLL1_HSDIV6_CLKOUT 或 MAIN_PLL2_HSDIV8_CLKOUT。

6.12.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

MCU 域中有一个 PLL：

- MCU_PLL0 (MCU PLL)

主域中有九个 PLL：

- MAIN_PLL0（主 PLL）
- MAIN_PLL1 (PER0 PLL)
- MAIN_PLL2 (PER1 PLL)
- MAIN_PLL5
- MAIN_PLL7 (C7x PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL12 (DDR PLL)
- MAIN_PLL15 (SMS PLL)
- MAIN_PLL17

在配置和使用任何 PLL 输出作为时钟源之前，系统设计人员应考虑基准时钟源启动时间和 PLL 锁定要求。节 6.12.4.1 *输入时钟/振荡器* 中定义了器件基准时钟输入要求。器件 TRM 中介绍了 PLL 配置详细信息。

有关 PLL 的更多信息，请参阅器件 TRM 的*器件配置*一节的*时钟*小节中的 *PLL* 小节。

Copyright © 2025 Texas Instruments Incorporated

6.12.4.4 时钟和控制信号转换的建议系统预防措施

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间（或在 V_{IL} 和 V_{IH} 之间）单调转换。

快速信号转换更有可能发生单调转换。噪声很容易在缓慢转换的信号上产生非单调事件。因此，请避免所有时钟和控制信号上的缓慢信号转换，因为它们更有可能在器件内部产生干扰。

6.12.5 外设

6.12.5.1 CPSW3G

有关器件千兆位以太网 MAC 特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.12.5.1.1 CPSW3G MDIO 时序

表 6-28、表 6-29、表 6-30 和图 6-24 说明了 CPSW3G MDIO 的时序条件、时序要求和开关特性。

表 6-28. CPSW3G MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	0	5	ns
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		1	ns

表 6-29. CPSW3G MDIO 时序要求

请参阅图 6-24

编号	参数		最小值	最大值	单位
MDIO1	$t_{su(MDIO_MDC)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	45		ns
MDIO2	$t_{h(MDC_MDIO)}$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-30. CPSW3G MDIO 开关特性

请参阅图 6-24

编号	参数		最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(MDCL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-10	10	ns

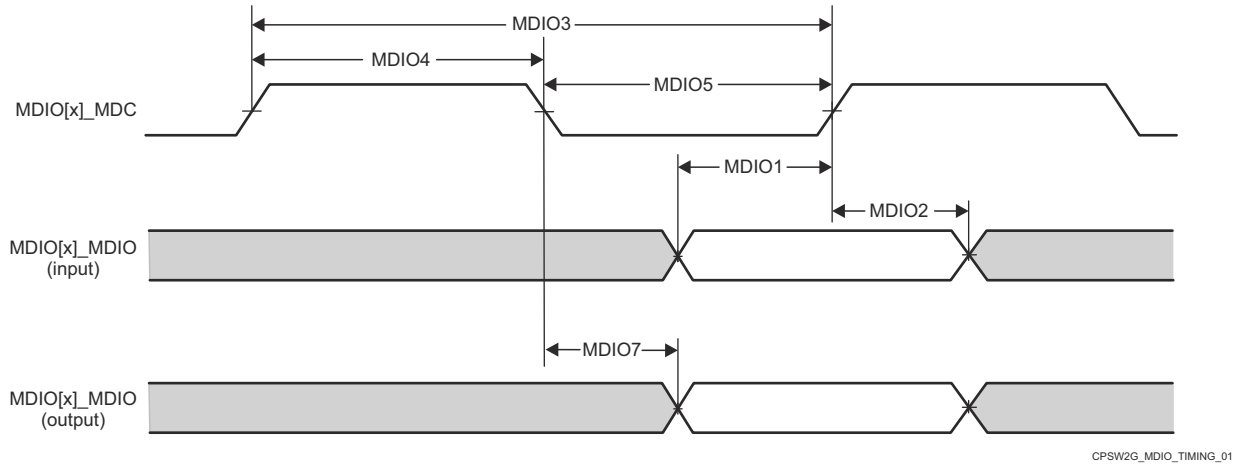


图 6-24. CPSW3G MDIO 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

6.12.5.1.2 CPSW3G RMII 时序

表 6-31、表 6-32、图 6-25、表 6-33、图 6-26、表 6-34 和图 6-27 说明了 CPSW3G RMII 的时序条件、时序要求和开关特性。

表 6-31. CPSW3G RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	0.18	5	V/ns
		VDD(1) = 3.3V	0.4	5	V/ns
输出条件					
C_L	输出负载电容		3	25	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。

表 6-32. RMII[x]_REF_CLK 时序要求 – RMII 模式

请参阅图 6-25

编号	参数	说明	最小值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	周期时间，RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	$t_{w(REF_CLKH)}$	脉冲持续时间，RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	脉冲持续时间，RMII[x]_REF_CLK 低电平	7	13	ns

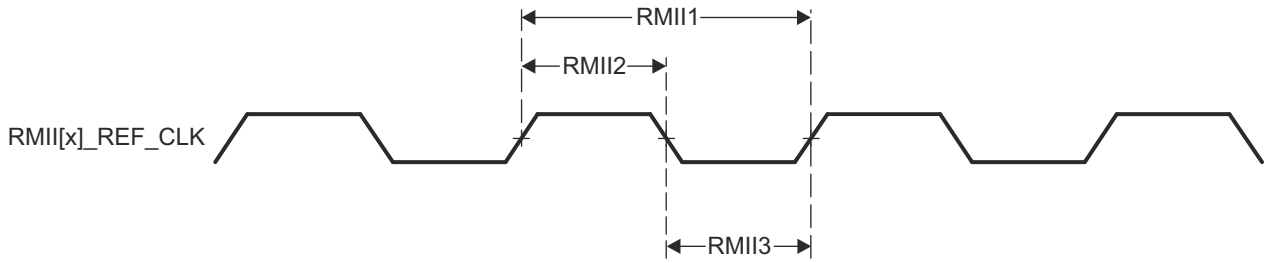


图 6-25. CPSW3G RMII[x]_REF_CLK 时序要求 – RMII 模式

表 6-33. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 – RMII 模式

请参阅图 6-26

编号	参数	说明	最小值	最大值	单位
RMII4	$t_{su(RXD\text{-}REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RXD[1:0] 有效	4		ns
	$t_{su(CRS_DV\text{-}REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_CRS_DV 有效	4		ns
	$t_{su(RX_ER\text{-}REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RX_ER 有效	4		ns
RMII5	$t_{h(REF_CLK\text{-}RXD)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RXD[1:0] 有效	2		ns
	$t_{h(REF_CLK\text{-}CRS_DV)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_CRS_DV 有效	2		ns
	$t_{h(REF_CLK\text{-}RX_ER)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RX_ER 有效	2		ns

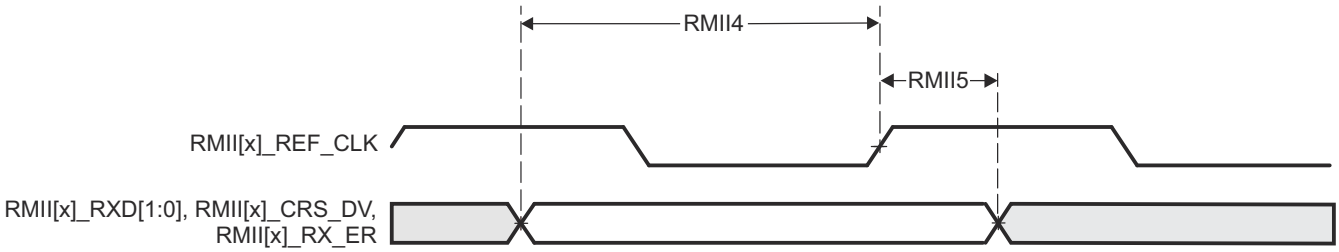


图 6-26. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 – RMII 模式

表 6-34. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-27

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，RMII[x]_REF_CLK 高电平到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	延迟时间，RMII[x]_REF_CLK 到 RMII[x]_TX_EN 有效	2	10	ns

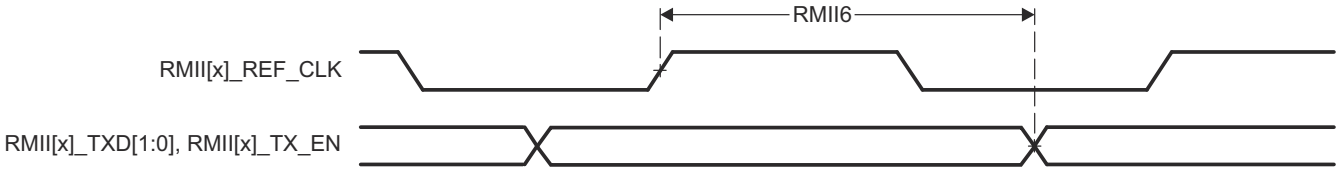


图 6-27. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.1.3 CPSW3G RGMII 时序

表 6-35、表 6-36、表 6-37、图 6-28、表 6-38、表 6-39 和图 6-29 说明了 CPSW3G RGMII 的时序条件、时序要求和开关特性。

表 6-35. CPSW3G RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD[1] = 1.8V	1.44	5	V/ns
		VDD[1] = 3.3V	2.64	5	
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

表 6-36. RGMII[x]_RXC 时序要求 - RGMII 模式

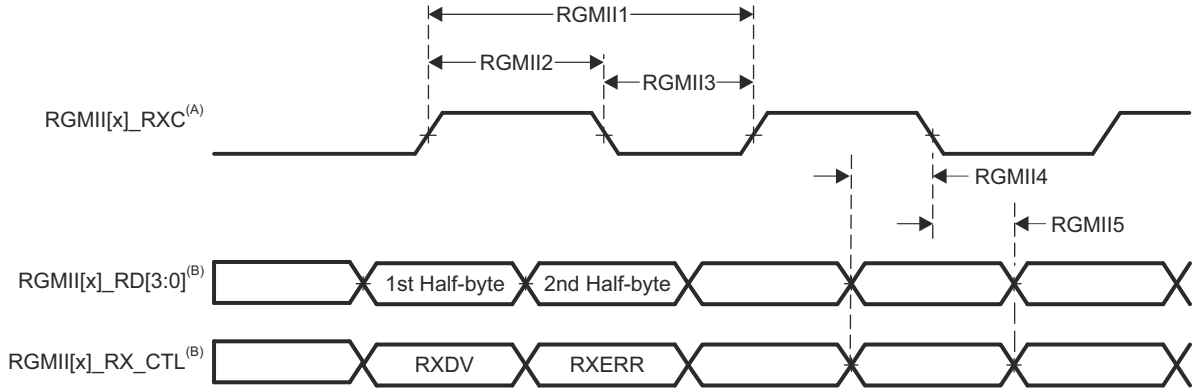
请参阅图 6-28

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间，RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间，RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-37. RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL 时序要求 – RGMII 模式

请参阅图 6-28

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间，在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0，在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV，在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-28. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

Copyright © 2025 Texas Instruments Incorporated

表 6-38. RGMII[x]_TXC 开关特性 – RGMII 模式

请参阅图 6-29

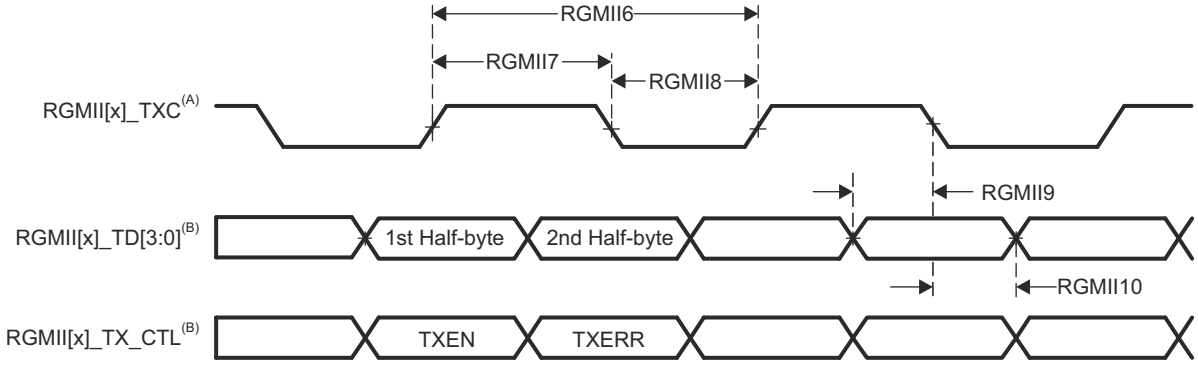
编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间，RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间，RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间，RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-39. RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 – RGMII 模式

请参阅图 6-29

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间(1)，RGMII[x]_TD[3:0] 有效至 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间(1)，RGMII[x]_TX_CTL 有效至 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出保持时间(1)，RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出保持时间(1)，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

(1) 输出建立/保持时间定义了发送数据和控制输出相对于发送时钟输出的延迟关系，但该输出关系被表示为提供给所连接的接收器的最小建立/保持时间。该方法符合 RGMII 规范中定义输出时序关系的方式。



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 的上升沿承载数据位 3-0，在 RGMII[x]_TXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 的上升沿承载 TXEN，在 RGMII[x]_TXC 的下降沿承载 TXERR。

图 6-29. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.12.5.2 CPTS

表 6-40、表 6-41、图 6-30、表 6-42 和图 6-31 说明了 CPTS 的时序条件、时序要求和开关特性。

表 6-40. CPTS 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

表 6-41. CPTS 时序要求

请参阅图 6-30

编号	参数	说明	最小值	最大值	单位
T1	$t_{w(HWTSPUSHH)}$	脉冲持续时间，HWnTSPUSH 高电平	12P(1) + 2		ns
T2	$t_{w(HWTSPUSHL)}$	脉冲持续时间，HWnTSPUSH 低电平	12P(1) + 2		ns
T3	$t_{c(RFT_CLK)}$	周期时间，RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	脉冲持续时间，RFT_CLK 高电平	0.45T(2)		ns
T5	$t_{w(RFT_CLKL)}$	脉冲持续时间，RFT_CLK 低电平	0.45T(2)		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) T = RFT_CLK 周期时间（以 ns 为单位）。

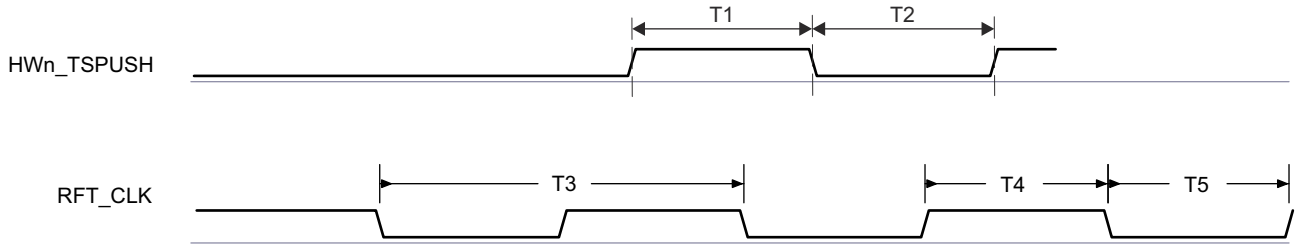


图 6-30. CPTS 时序要求

Copyright © 2025 Texas Instruments Incorporated

表 6-42. CPTS 开关特性

请参阅图 6-31

编号	参数	说明	源	最小值	最大值	单位
T6	$t_{w(TS_COMPH)}$	脉冲持续时间，TS_COMP 高电平		36P(1) - 2		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间，TS_COMP 低电平		36P(1) - 2		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间，TS_SYNC 高电平		36P(1) - 2		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间，TS_SYNC 低电平		36P(1) - 2		ns
T10	$t_{w(SYNC_OUTH)}$	脉冲持续时间，SYNCn_OUT 高电平	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns
T11	$t_{w(SYNC_OUTL)}$	脉冲持续时间，SYNCn_OUT 低电平	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns

(1) P = 功能时钟周期（以 ns 为单位）。

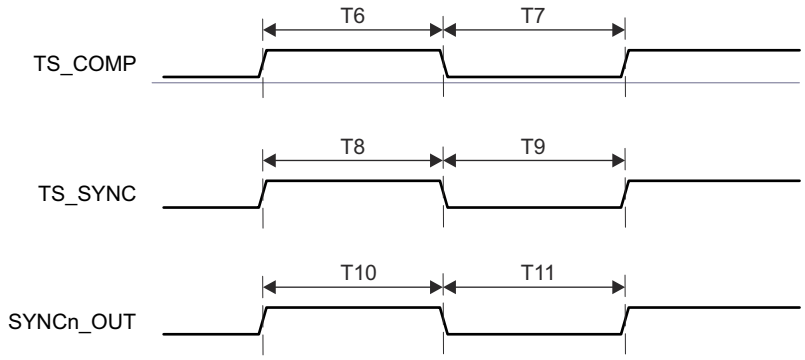


图 6-31. CPTS 开关特性

有关更多信息，请参阅器件 TRM 中的*数据移动架构 (DMA)* 一章。

6.12.5.3 CSI-2

备注

有关更多信息，请参阅器件 TRM 中的*摄像头串行接口接收器 (CSI_RX_IF)* 一节。CSI_RX_IF 连接到名为 CSIRXn 的器件端口实例，其中 n 是实例编号。

CSI_RX_IF 及关联的 D-PHY 实现了一个符合 MIPI D-PHY 规范 v1.2 和 MIPI CSI-2 规范 v1.3 的 CSI-2 端口 (CSIRX0)，具有 4 个差分数据通道和 1 个差分时钟通道（以同步双倍数据速率模式运行）。有关 CSI-2 时序的详细信息，请参阅上述相应的 MIPI 规范。

- 支持高达 1.5Gbps 的 1、2、3 或 4 通道数据传输模式

6.12.5.4 DDRSS

有关器件 LPDDR4 存储器接口特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

表 6-43 和图 6-32 说明了 DDRSS 的开关特性。

表 6-43. DDRSS 开关特性

请参阅图 6-32

编号	参数		DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$	周期时间，DDR_CKP 和 DDR_CKN	LPDDR4	0.5358[(1)]	20	ns

(1) 最小 DDR 时钟周期时间将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 DDR 电路板设计和布局布线指南。

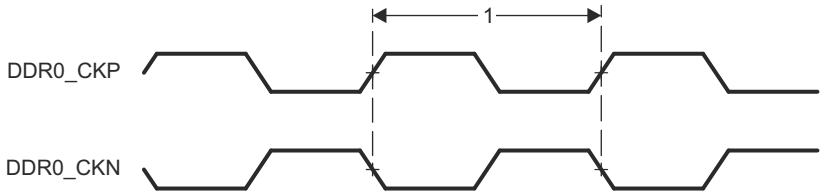


图 6-32. DDRSS 开关特性

有关更多信息，请参阅器件 TRM 的*存储器控制器* 一章中的 *DDR 子系统 (DDRSS)* 一节。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.5 ECAP

表 6-44、表 6-45、图 6-33、表 6-46 和图 6-34 说明了 ECAP 的时序条件、时序要求和开关特性。

表 6-44. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-45. ECAP 时序要求

请参阅图 6-33

编号	参数	说明	最小值	最大值	单位
CAP1	$t_{w(CAP)}$	脉冲持续时间，CAP（异步）	2P[(1)] + 2		ns

(1) P = sysclk 周期（以 ns 为单位）。

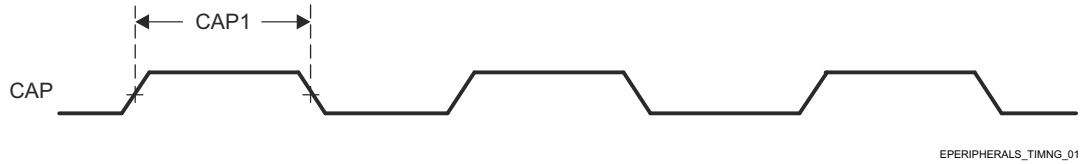


图 6-33. ECAP 时序要求

表 6-46. ECAP 开关特性

请参阅图 6-34

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(APWM)}$	脉冲持续时间，APWMx 高电平/低电平	2P[(1)] - 2		ns

(1) P = sysclk 周期（以 ns 为单位）。

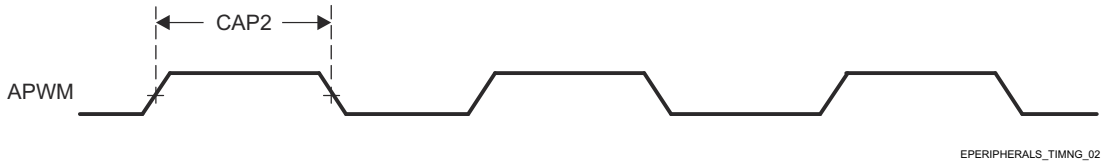


图 6-34. ECAP 开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

6.12.5.6 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.12.5.6.1 迹线

表 6-47. 布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
PCB 连接要求				
$t_{d(Trace\ Mismatch)}$	所有布线之间的传播延迟不匹配		200	ps

表 6-48. 布线开关特性

编号	参数		最小值	最大值	单位
1.8V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	6.83		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	2.66		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	2.66		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	0.85		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	0.85		ns
3.3V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	8.78		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	3.64		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	3.64		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	1.10		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	1.10		ns

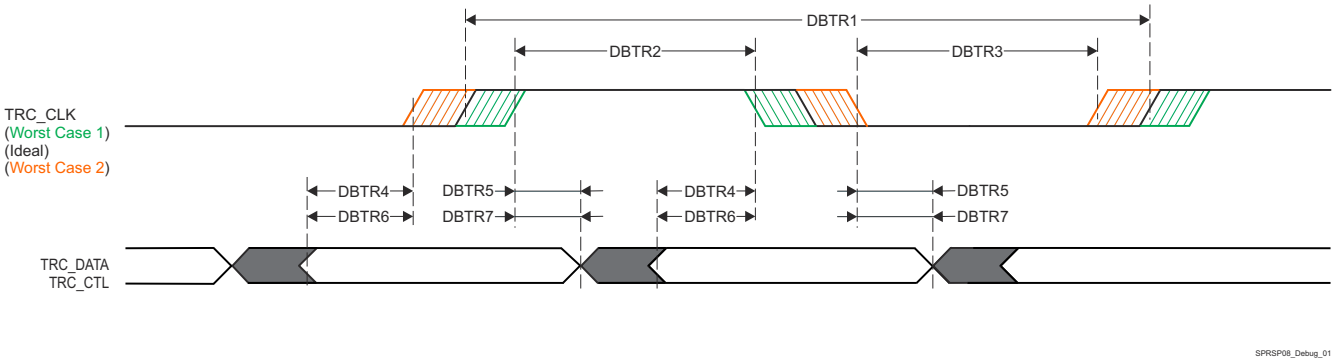


图 6-35. 布线开关特性

Copyright © 2025 Texas Instruments Incorporated

6.12.5.6.2 JTAG

表 6-49. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2.0	V/ns
输出条件				
C_L	输出负载电容	5	15	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

表 6-50. JTAG 时序要求

请参阅图 6-36

编号			最小值	最大值	单位
J1	$t_{c(TCK)}$	最小周期时间，TCK	40(1)		ns
J2	$t_{w(TCKH)}$	最小脉冲宽度，TCK 高电平	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小脉冲宽度，TCK 低电平	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小输入建立时间，TDI 有效到 TCK 高电平	2		ns
	$t_{su(TMS-TCK)}$	最小输入建立时间，TMS 有效到 TCK 高电平	2		ns
J5	$t_{h(TCK-TDI)}$	最小输入保持时间，从 TCK 高电平到 TDI 有效	3		ns
	$t_{h(TCK-TMS)}$	最小输入保持时间，从 TCK 高电平到 TMS 有效	3		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。
- 相对于 TCK 上升沿的最小 TDO 建立时间为 2 ns
- 相对于 TCK 下降沿，TDI 和 TMS 输出延迟范围为 -12.9 ns 至 13.9 ns

(2) P = TCK 周期时间（以 ns 为单位）

表 6-51. JTAG 开关特性

请参阅图 6-36

编号	参数		最小值	最大值	单位
J6	$t_{d(TCKL-TDOI)}$	最小延迟时间，TCK 低电平到 TDO 无效	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大延迟时间，TCK 低电平到 TDO 有效		12	ns

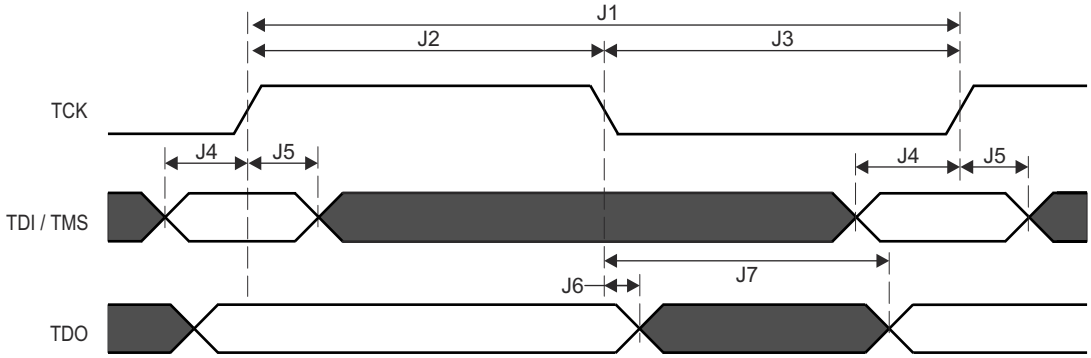


图 6-36. JTAG 时序要求和开关特性

6.12.5.7 EPWM

表 6-52、表 6-53、图 6-37、表 6-54、图 6-38、图 6-39 和图 6-40 说明了 EPWM 的时序条件、时序要求和开关特性。

表 6-52. EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-53. EPWM 时序要求

请参阅图 6-37

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(SYNCIN)}$	脉冲持续时间，EHRPWM_SYNCI	2P[(1)] + 2		ns
PWM7	$t_{w(TZ)}$	脉冲持续时间，EHRPWM_TZn_IN 低电平	3P[(1)] + 2		ns

(1) P = sysclk 周期（以 ns 为单位）。

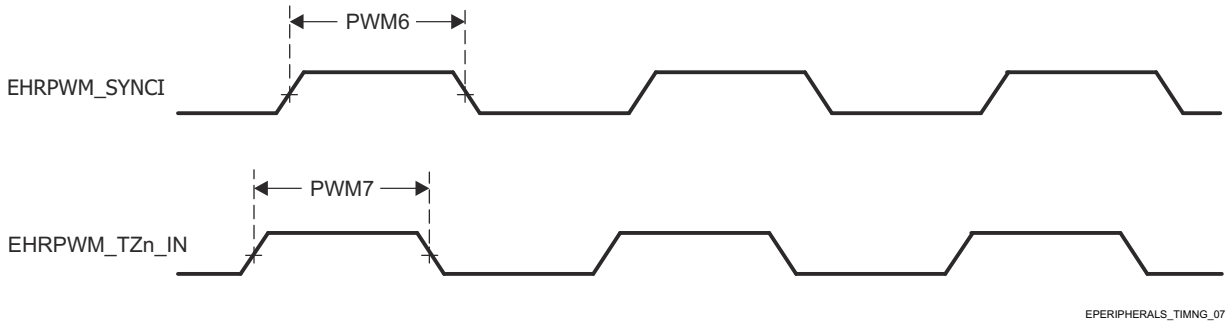


图 6-37. EPWM 时序要求

Copyright © 2025 Texas Instruments Incorporated

表 6-54. EPWM 开关特性

请参阅图 6-38、图 6-39 和图 6-40

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间，EHRPWM_A/B 高电平/低电平	P[(1)] - 3		ns
PWM2	$t_{w(SYNCOUT)}$	脉冲持续时间，EHRPWM_SYNCO	P[(1)] - 3		ns
PWM3	$t_{d(TZ-PWM)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		11	ns
PWM5	$t_{w(SOC)}$	脉冲持续时间，EHRPWM_SOCA/B 输出	P[(1)] - 3		ns

(1) P = sysclk 周期（以 ns 为单位）。

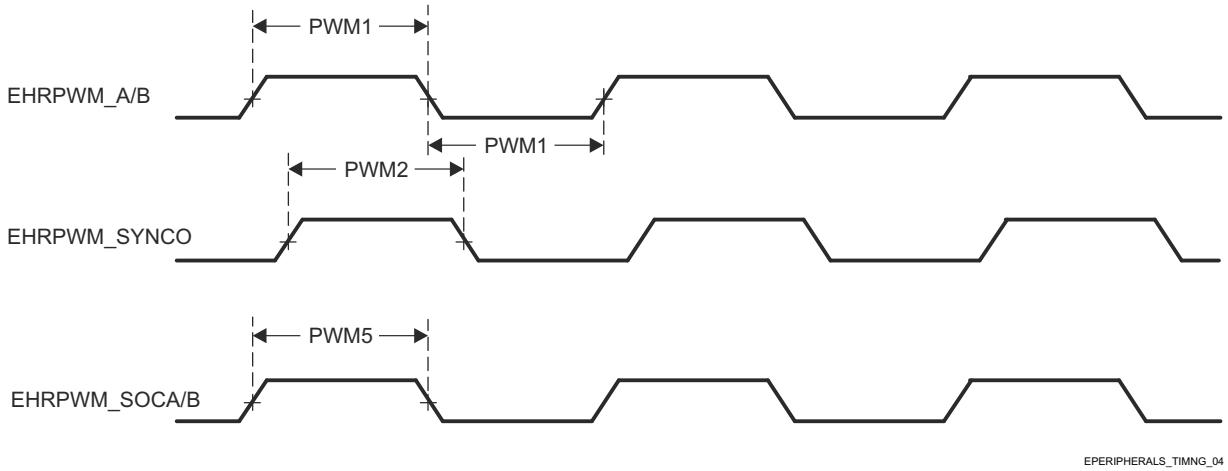


图 6-38. EHRPWM 开关特性

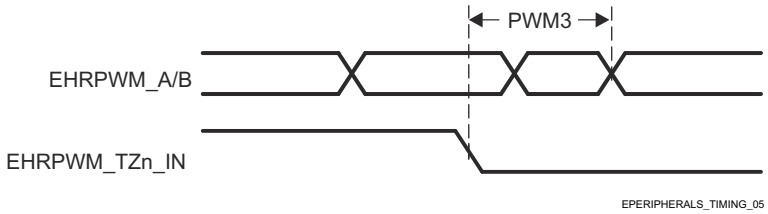


图 6-39. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

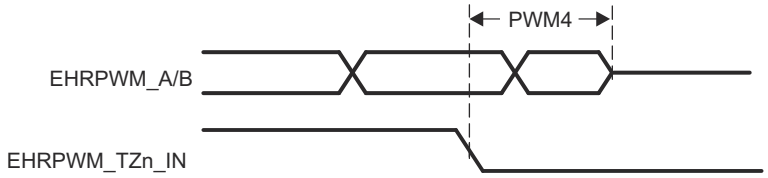


图 6-40. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

6.12.5.8 EQEP

表 6-55、表 6-56、图 6-41 和表 6-57 说明了 EQEP 的时序条件、时序要求和开关特性。

表 6-55. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-56. EQEP 时序要求

请参阅图 6-41

编号	参数	说明	最小值	最大值	单位
QEP1	$t_{w(QEP)}$	脉冲持续时间，QEP_A/B	2P[(1)] + 2		ns
QEP2	$t_{w(QEPIH)}$	脉冲持续时间，QEP_I 高电平	2P[(1)] + 2		ns
QEP3	$t_{w(QEPIL)}$	脉冲持续时间，QEP_I 低电平	2P[(1)] + 2		ns
QEP4	$t_{w(QEPSH)}$	脉冲持续时间，QEP_S 高电平	2P[(1)] + 2		ns
QEP5	$t_{w(QEPSL)}$	脉冲持续时间，QEP_S 低电平	2P[(1)] + 2		ns

(1) P = sysclk 周期（以 ns 为单位）

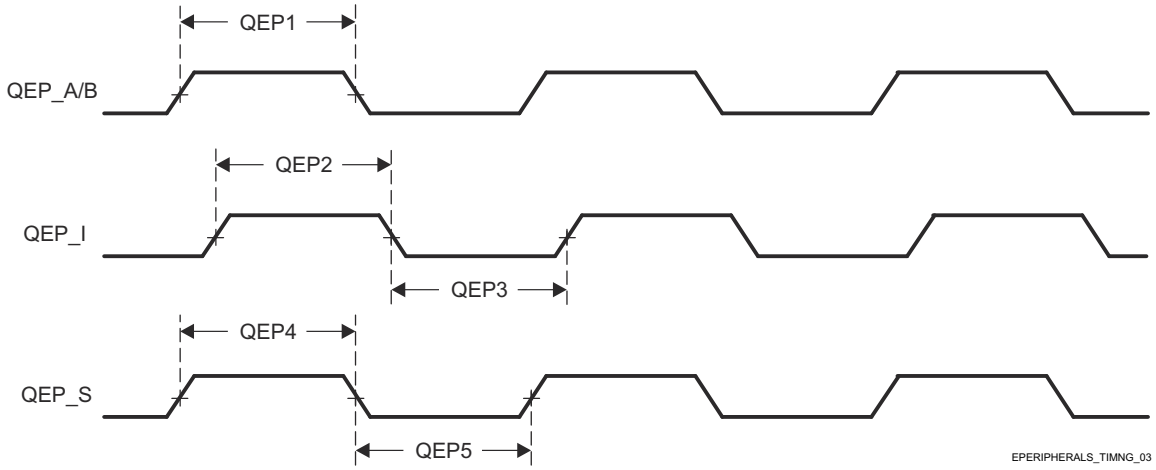


图 6-41. EQEP 时序要求

表 6-57. EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	$t_{d(QEP-CNTR)}$	延迟时间，外部时钟到计数器增量		24	ns

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.9 GPIO

表 6-58、表 6-59 和表 6-60 说明了 GPIO 的时序条件、时序要求和开关特性。

该器件具有三个 GPIO 模块实例。

- MCU_GPIO0
- GPIO0
- GPIO1

备注

GPIOn_x 是用于描述 GPIO 信号的通用名称，其中 n 表示特定的 GPIO 模块，x 表示与该模块关联的输入/输出信号之一。

有关器件 GPIO 的其他说明信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-58. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	LVCMOS (VDD[1] = 1.8V)	0.0018	6.6	V/ns
		LVCMOS (VDD[1] = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD[1] = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD[1] = 3.3V)	0.0033	0.08	V/ns
输出条件					
C_L	输出负载电容	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。

表 6-59. GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	$t_{w(GPIO_IN)}$	脉冲宽度，GPIOn_x	2P[1] + 30		ns

(1) P = 功能时钟周期（以 ns 为单位）。

表 6-60. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	$t_{w(GPIO_OUT)}$	脉冲宽度，GPIOn_x	LVCMOS	0.975P[1] - 3.6		ns
			I2C OD FS	160		ns

(1) P = 功能时钟周期（以 ns 为单位）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

6.12.5.10 GPMC

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-61 展示了 GPMC 的时序条件。

表 6-61. GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1.65	4	V/ns
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配			200	ps

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器 (GPMC)* 一节。

6.12.5.10.1 GPMC 和 NOR 闪存 - 同步模式

表 6-62 和表 6-63 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 同步模式。

表 6-62. GPMC 和 NOR 闪存时序要求 - 同步模式

请参阅图 6-42、图 6-43 和图 6-46

编号	参数	说明	模式[4]	最小值 最大值 GPMC_FCLK = 100MHz[1]	最小值 最大值 GPMC_FCLK = 133MHz[1]	单位
F12	$t_{su(dV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.61	0.92	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.86	3.41	ns
F13	$t_{h(clkH-dV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09	ns
F21	$t_{su(waitV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入等待 GPMC_WAIT[j][2] [3] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.61	0.92	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.86	3.41	ns
F22	$t_{h(clkH-waitV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入等待 GPMC_WAIT[j][2] [3] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09	ns

(1) GPMC_FCLK 选择
- gpmc_fclk_sel[1:0] = 2b01 选择 100MHz GPMC_FCLK
- gpmc_fclk_sel[1:0] = 2b00 选择 133MHz GPMC_FCLK

Copyright © 2025 Texas Instruments Incorporated

(2) 在 GPMC_WAIT[j] 中，j 等于 0 或 1。
(3) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的*通用存储器控制器 (GPMC)* 一节。
(4) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 not_div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率/（2 至 4）

对于 GPMC_FCLK_MUX：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz

对于 TIMEPARAGRANULARITY_X1：
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

表 6-63. GPMC 和 NOR 闪存开关特性 - 同步模式

请参阅图 6-42、图 6-43、图 6-44、图 6-45 和图 6-46

编号 (2)	参数	说明	模式(16)	最小值	最大值	最小值	最大值	单位
				100MHz		133MHz		
F0	1/tc(clk)	周期，输出时钟 GPMC_CLK(15)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	10.00		7.52		ns
F1	$t_{w(clkH)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 高电平	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	0.475P - 0.3(14)		0.475P - 0.3(14)		ns
F1	$t_{w(clkL)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 低电平	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	0.475P - 0.3(14)		0.475P - 0.3(14)		ns
F2	$t_{d(clkH-csnV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 转换(13)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	F - 2.2 (5)	F + 3.75	F - 2.2 (5)	F + 3.75	ns
F3	$t_{d(clkH-CSn[i]V)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 无效(13)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	E - 2.2 (4)	E + 3.18	E - 2.2 (4)	E + 4.5	ns
F4	$t_{d(aV-clk)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 4.5	B - 2.3 (2)	B + 4.5	ns
F5	$t_{d(clkH-aIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址 GPMC_A[27:1] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 1.9	B - 2.3 (2)	B + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效(10)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D - 2.3(3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效(11)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns

表 6-63. GPMC 和 NOR 闪存开关特性 - 同步模式（续）

请参阅图 6-42、图 6-43、图 6-44、图 6-45 和图 6-46

编号 (2)	参数	说明	模式(16)	最小值 最大值 100MHz	最小值 最大值 133MHz	单位
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效(12)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D - 2.3 D + 1.9 (3)	D - 2.3 D + 1.9 (3)	ns
F8	$t_{d(clkH-advn)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	G - 2.3(6) G + 4.5	G - 2.3 G + 4.5 (6)	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	D - 2.3 D + 4.5 (3)	D - 2.3 D + 4.5 (3)	ns
F10	$t_{d(clkH-oen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	H - 2.3 H + 3.5 (7)	H - 2.3 H + 3.5 (7)	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	H - 2.3 H + 3.5 (7)	H - 2.3 H + 3.5 (7)	ns
F14	$t_{d(clkH-wen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出写入使能 GPMC_WEn 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	I - 2.3 I + 4.5 (8)	I - 2.3 I + 4.5 (8)	ns
F15	$t_{d(clkH-do)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出数据 GPMC_AD[15:0] 转换(10)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换(11)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换(12)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 转换(10)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换(11)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换(12)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F18	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i](13) 低电平	读取	A	A	ns
			写入	A	A	ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 低电平	读取	C	C	ns
			写入	C	C	ns
F20	$t_{w(advnV)}$	脉冲持续时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 低电平	读取	K	K	ns
			写入	K	K	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)

Copyright © 2025 Texas Instruments Incorporated

n 是页面突发访问编号。

(2) B = ClkActivationTime × GPMC_FCLK[14]

(3) 对于单次读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]

(4) 对于单次读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]

(5) 对于 csn 下降沿（CS 激活）：
- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSOnTime 为奇数）或（ClkActivationTime 和 CSOnTime 为偶数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK[14]
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(CSOnTime - ClkActivationTime) 是 3 的倍数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK[14]
  - 如果（(CSOnTime - ClkActivationTime - 1) 是 3 的倍数），则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
  - 如果（(CSOnTime - ClkActivationTime - 2) 是 3 的倍数），则 F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK[14]

(6) 对于 ADV 下降沿（ADV 激活）：
- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVOnTime 为奇数）或（ClkActivationTime 和 ADVOnTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVOnTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 如果（(ADVOnTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]
  - 如果（(ADVOnTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]

对于读取模式下的 ADV 上升沿（ADV 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVRdOffTime 为奇数）或（ClkActivationTime 和 ADVRdOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVRdOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 如果（(ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]
  - 如果（(ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]

对于写入模式下的 ADV 上升沿（ADV 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVWrOffTime 为奇数）或（ClkActivationTime 和 ADVWrOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVWrOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[14]
  - 如果（(ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]

  - 如果（(ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[14]

(7) 对于 OE 下降沿（OE 激活）和 IO DIR 上升沿（数据总线输入方向）：
- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOnTime 为奇数）或（ClkActivationTime 和 OEOnTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOnTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
  - 如果（(OEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]
  - 如果（(OEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]

对于 OE 上升沿（OE 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOffTime 为奇数）或（ClkActivationTime 和 OEOffTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOffTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[14]
  - 如果（(OEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]
  - 如果（(OEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[14]

(8) 对于 WE 下降沿（WE 激活）：
- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOnTime 为奇数）或（ClkActivationTime 和 WEOnTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOnTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
  - 如果（(WEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]
  - 如果（(WEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]

对于 WE 上升沿（WE 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOffTime 为奇数）或（ClkActivationTime 和 WEOffTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOffTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
  - 如果（(WEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]
  - 如果（(WEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[14]

(9) J = GPMC_FCLK[14]

(10) 对于 CLK DIV 1 模式，仅限第一次传输。

(11) 半周期；对于 CLK DIV 1 模式，针对初始传输后的所有数据。

(12) GPMC_CLKOUT 的半个周期；对于 CLK DIV 1 模式以外的模式，针对所有数据。GPMC_CLKOUT 从 GPMC_FCLK 进行分频。

(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

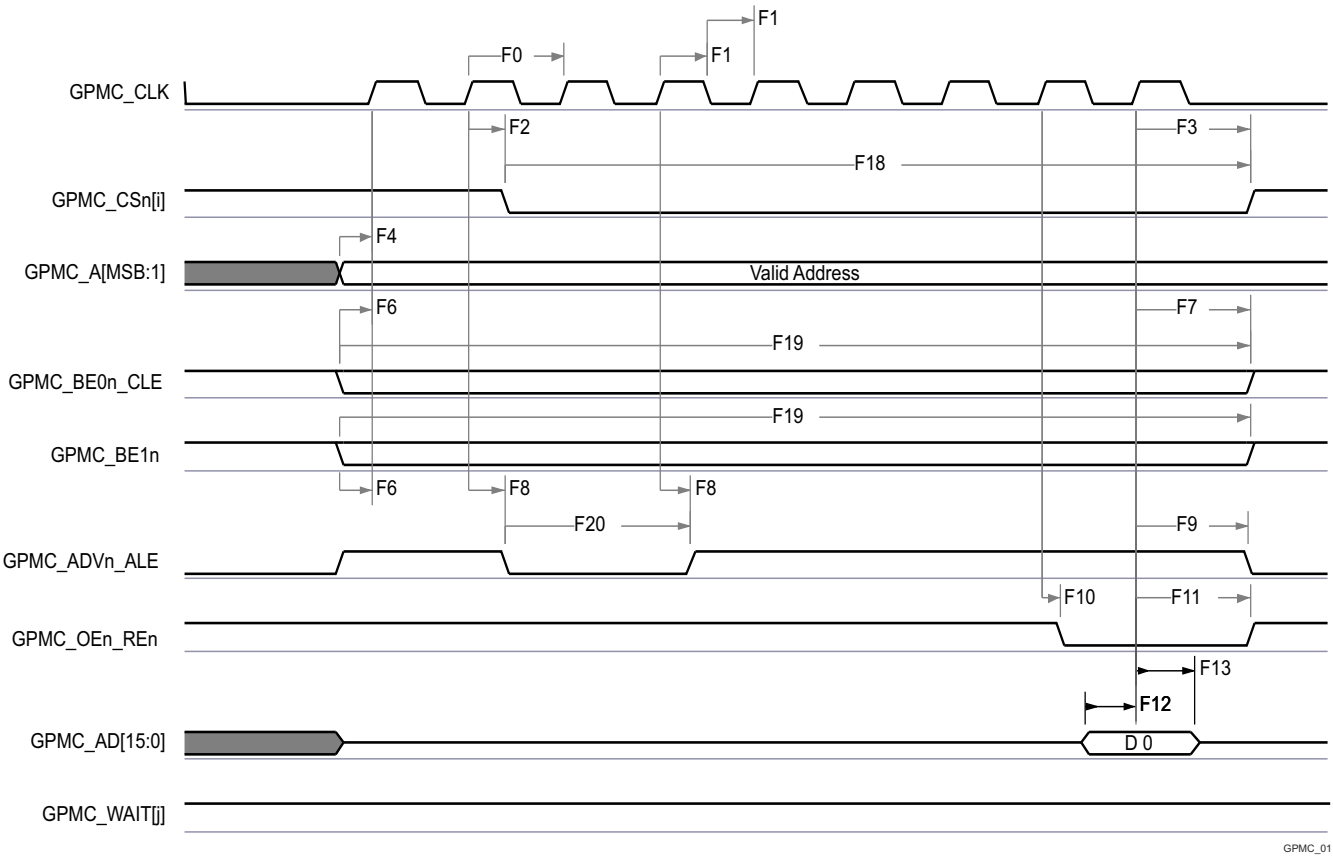
Copyright © 2025 Texas Instruments Incorporated

(14) P = 以 ns 为单位的 GPMC_CLK 周期
(15) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。
(16) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz

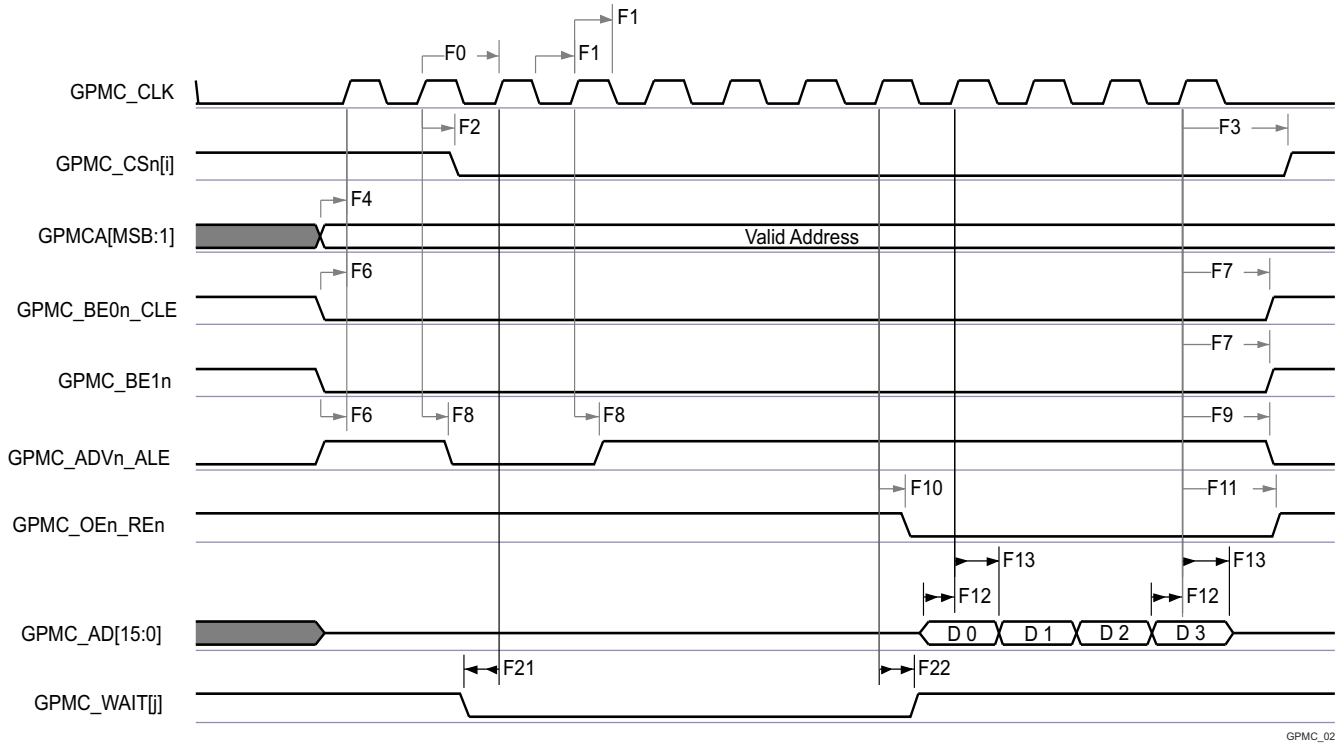
对于 TIMEPARAGRANULARITY_X1：
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

对于无 extra_delay 的情况：
- GPMC_CONFIG2_i 寄存器：CSEXTRADELAY = 0h = CSn 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：WEEXTRADELAY = 0h = nWE 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：OEEXTRADELAY = 0h = nOE 时序控制信号不延迟
- GPMC_CONFIG3_i 寄存器：ADVEXTRADELAY = 0h = nADV 时序控制信号不延迟



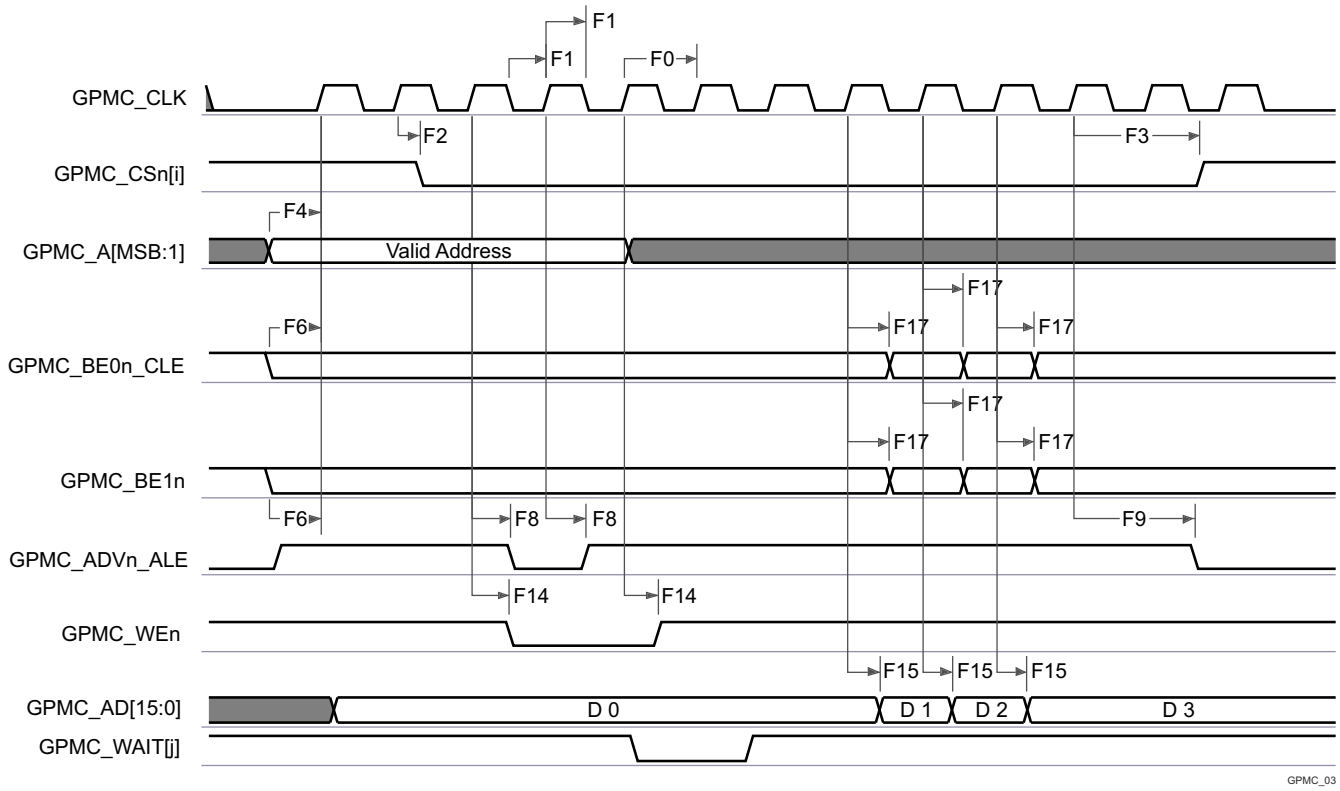
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-42. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-43. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)

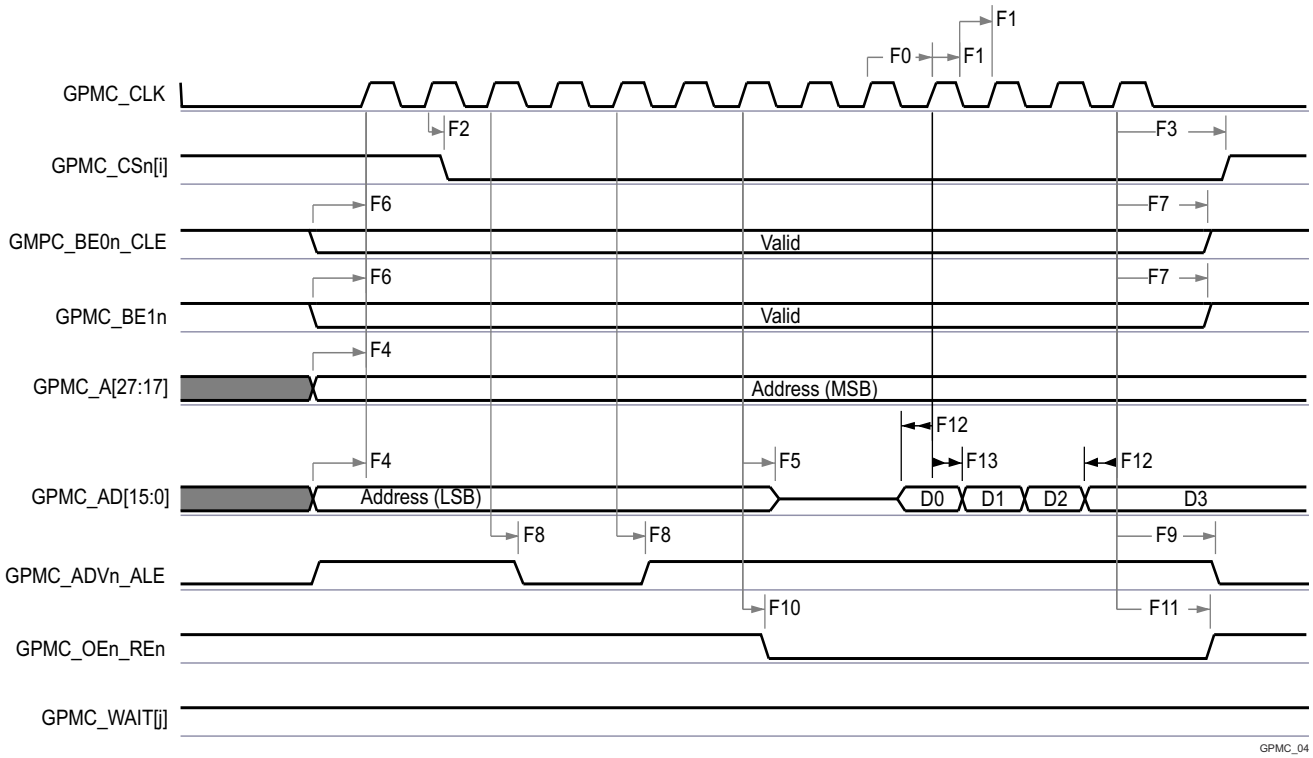


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

Copyright © 2025 Texas Instruments Incorporated

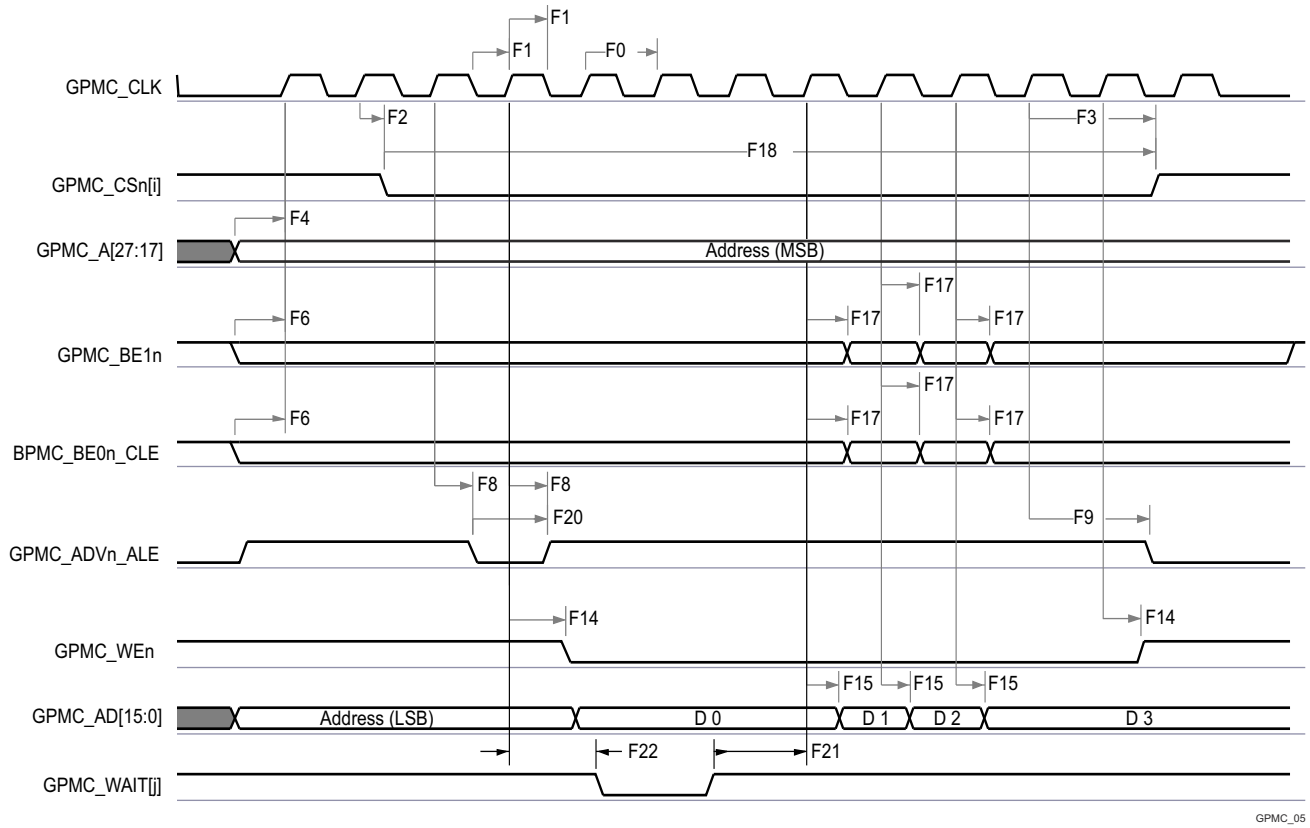
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-44. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-45. GPMC 和多路复用 NOR 闪存 - 同步突发读取



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-46. GPMC 和多路复用 NOR 闪存 - 同步突发写入

Copyright © 2025 Texas Instruments Incorporated

6.12.5.10.2 GPMC 和 NOR 闪存 - 异步模式

表 6-64 和表 6-65 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 异步模式。

表 6-64. GPMC 和 NOR 闪存时序要求 – 异步模式

请参阅图 6-47、图 6-48、图 6-49 和图 6-51

编号	参数	说明	模式	最小值	最大值	单位
FA5 (1)	$t_{acc(d)}$	数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H (4)	ns
FA20 (2)	$t_{acc1\text{-}pgmode(d)}$	页面模式连续数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		P (3)	ns
FA21 (1)	$t_{acc2\text{-}pgmode(d)}$	页面模式首个数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H (4)	ns

(1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
(2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
(3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(4) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(5) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。

表 6-65. GPMC 和 NOR 闪存开关特性 – 异步模式

请参阅图 6-47、图 6-48、图 6-49、图 6-50、图 6-51 和图 6-52

编号	参数	说明	模式 (15)	最小值	最大值	单位
				133MHz		
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间	读取		N (12)	ns
			写入		N (12)	
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i](13) 低电平	读取		A (1)	ns
			写入		A (1)	
FA3	$t_{d(csnV\text{-}advnlV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	读取	B - 2 (2)	B + 2(2)	ns
			写入	B - 2(2)	B + 2(2)	
FA4	$t_{d(csnV\text{-}oenlV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 无效（单次读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C - 2(3)	C + 2(3)	ns
FA9	$t_{d(aV\text{-}csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[i](13) 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2(9)	J + 2(9)	ns
FA10	$t_{d(be[x]nV\text{-}csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[i](13) 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2(9)	J + 2(9)	ns
FA12	$t_{d(csnV\text{-}advnV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	K - 2(10)	K + 2(10)	ns
FA13	$t_{d(csnV\text{-}oenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	L - 2(11)	L + 2(11)	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	G (7)		ns

表 6-65. GPMC 和 NOR 闪存开关特性 – 异步模式（续）

请参阅图 6-47、图 6-48、图 6-49、图 6-50、图 6-51 和图 6-52

编号	参数	说明	模式[15]	最小值	最大值	单位
				133MHz		
FA18	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出使能 GPMC_OEn_REn 无效（突发读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	I - 2[8]	I + 2[8]	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4]		ns
FA25	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	E - 2[5]	E + 2[5]	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F - 2[6]	F + 2[6]	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CSn[i][13] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J - 2[9]	J + 2[9]	ns
FA37	$t_{d(oenV-aIV)}$	延迟时间，输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于单次写入：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
n 是页面突发访问编号
(2) 对于读取：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
对于写入：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(7) G = Cycle2CycleDelay × GPMC_FCLK[14]
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(12) 对于单次读取：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于单次写入：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

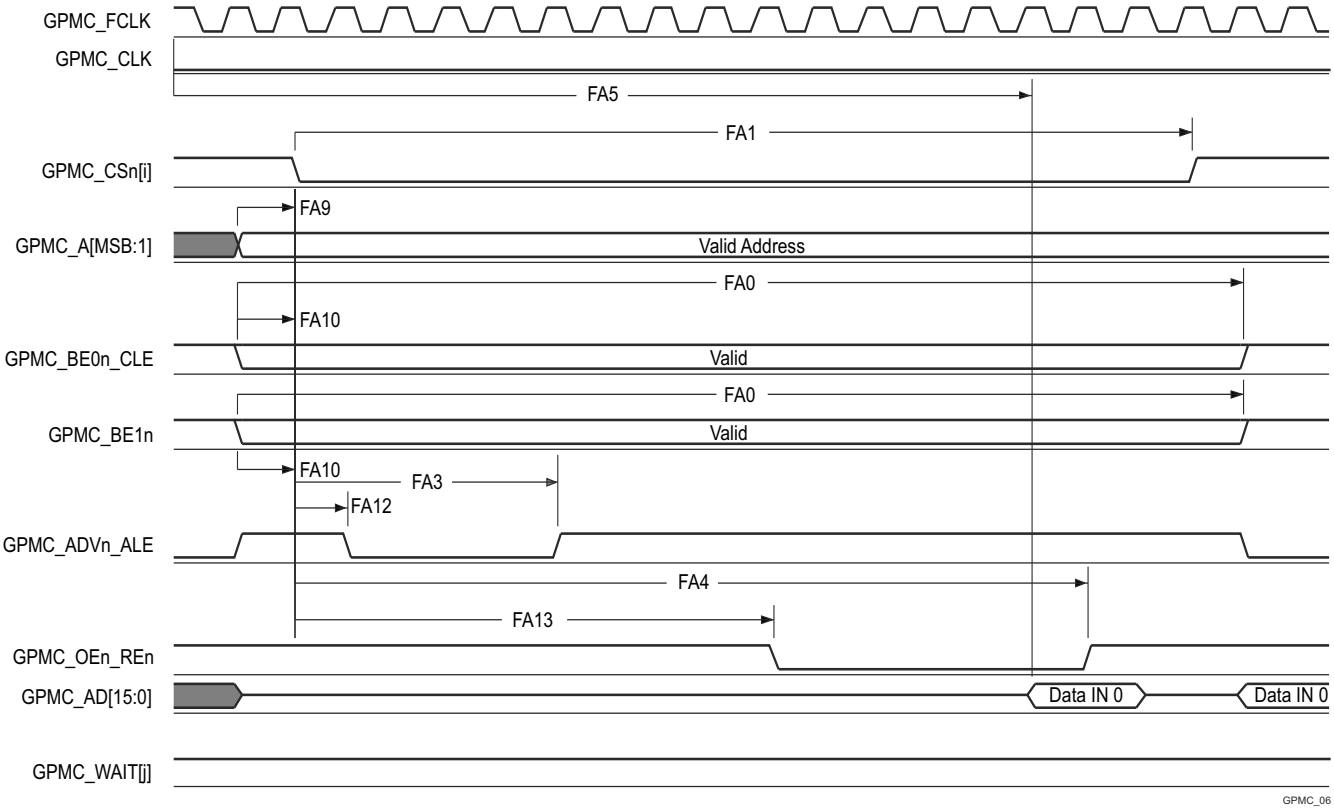
对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：

Copyright © 2025 Texas Instruments Incorporated

- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

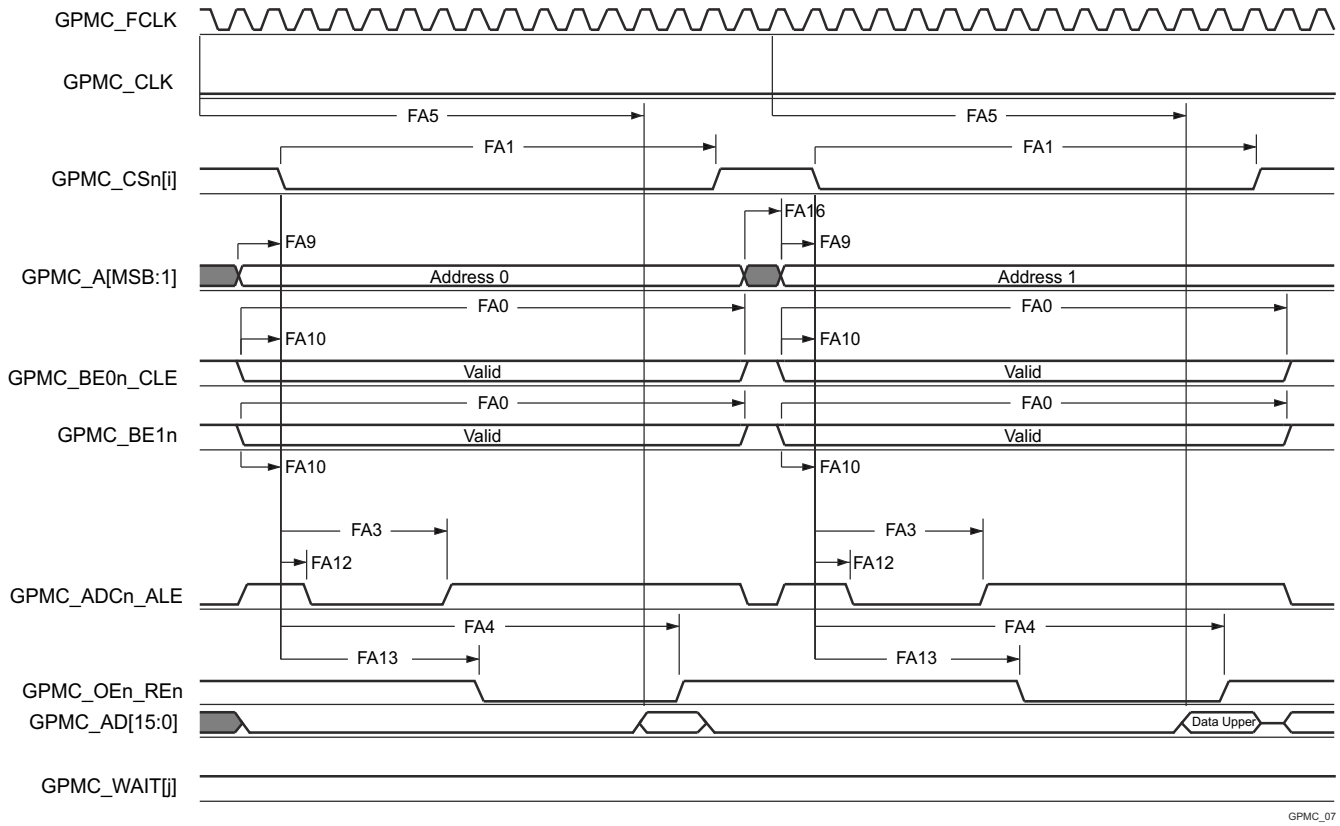


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-47. GPMC 和 NOR 闪存 - 异步读取 - 单字



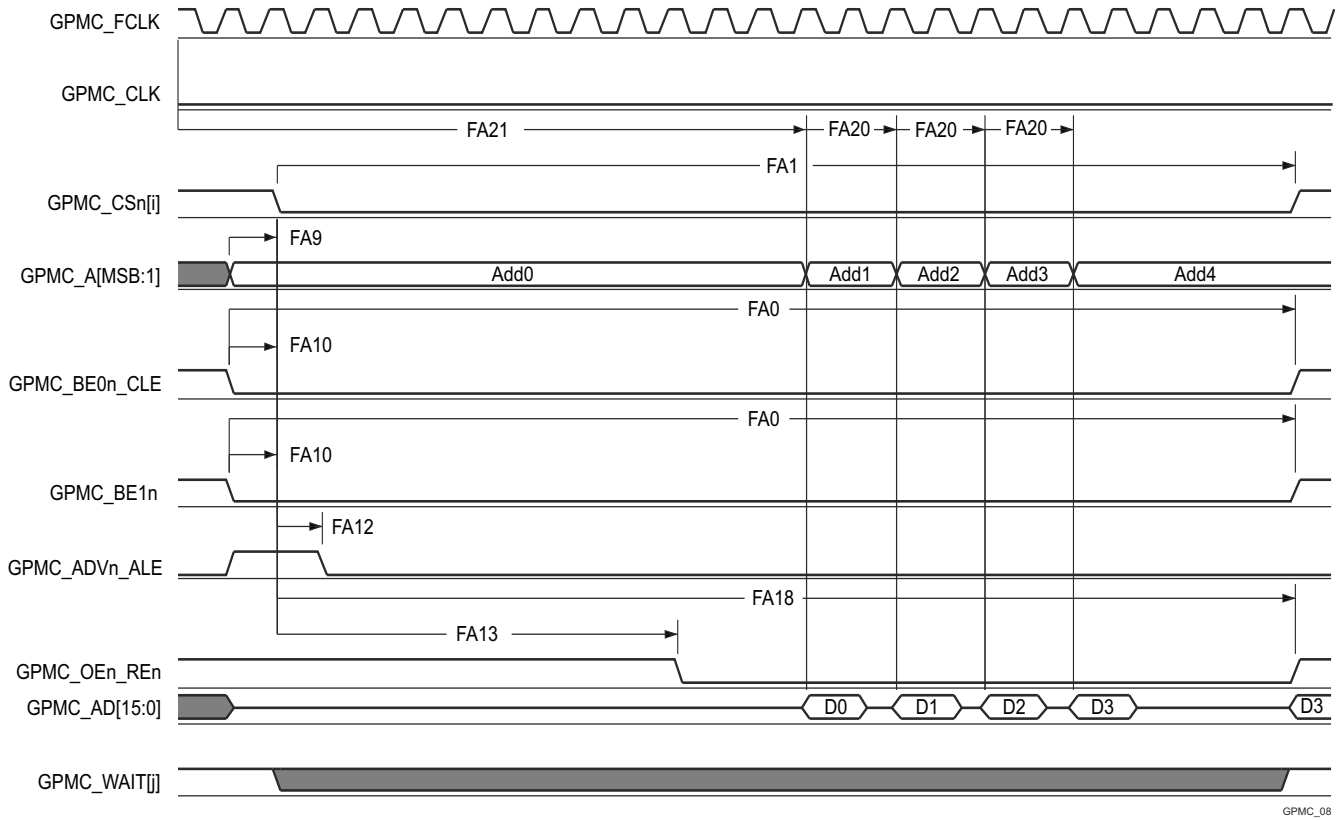
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-48. GPMC 和 NOR 闪存 - 异步读取 - 32 位

Copyright © 2025 Texas Instruments Incorporated



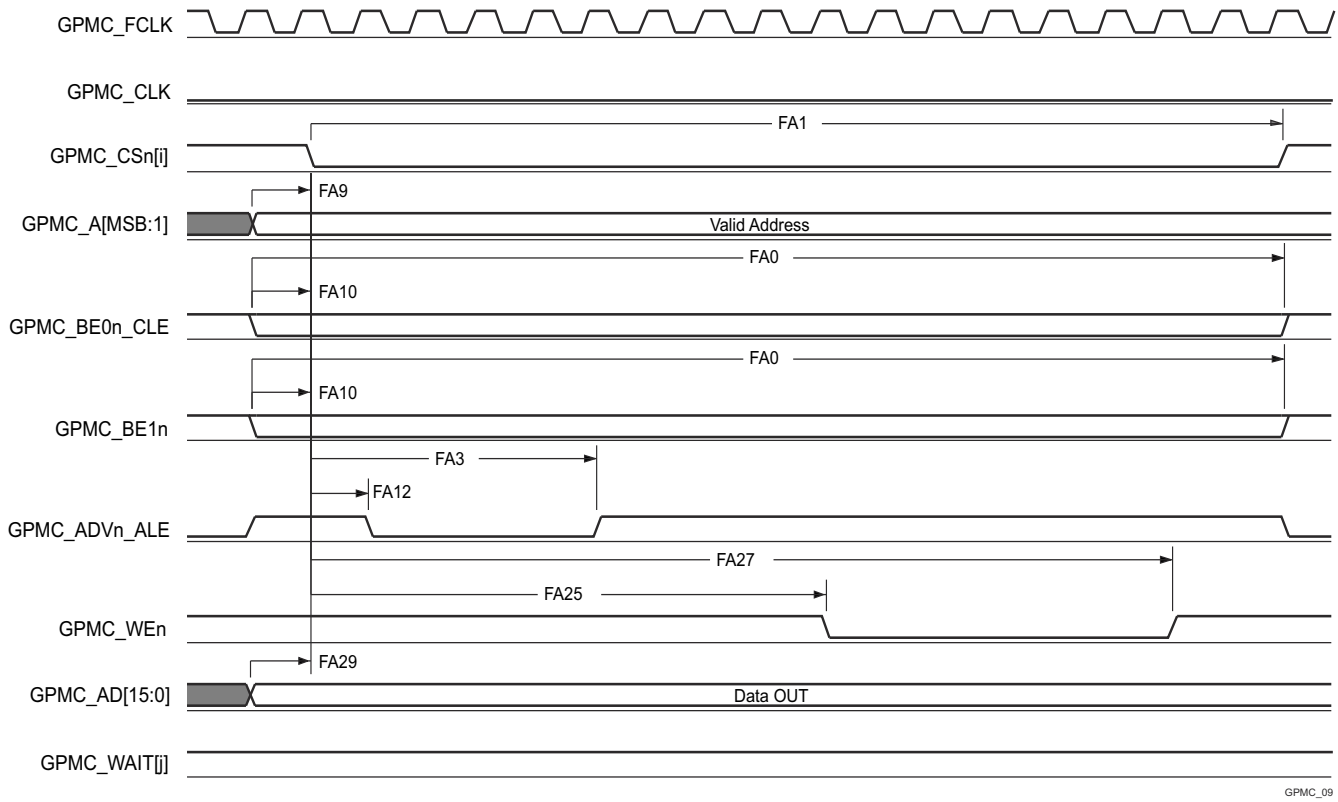
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。

C. FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据（不包括第一个输入页面数据）的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

D. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

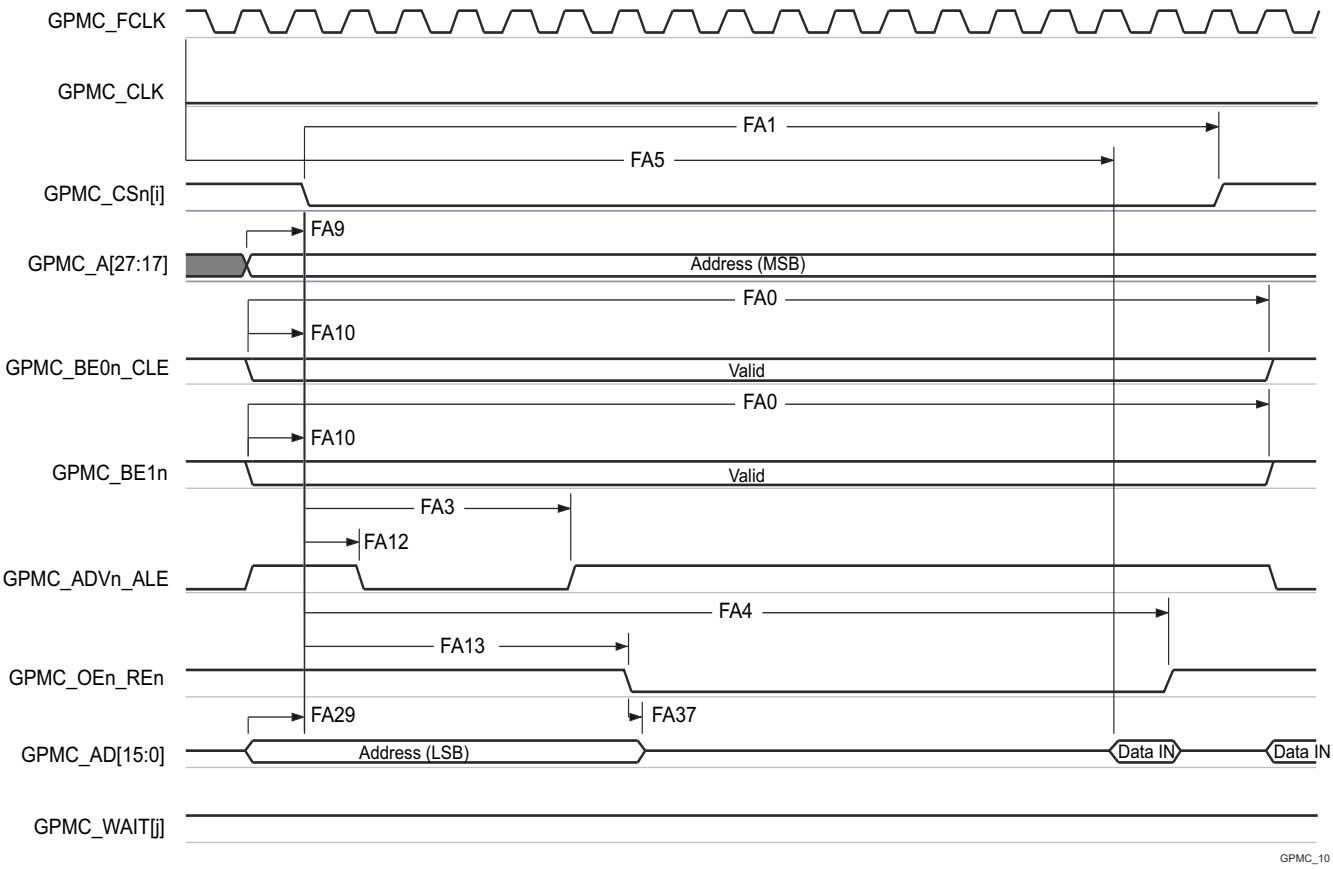
图 6-49. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-50. GPMC 和 NOR 闪存 - 异步写入 - 单字

Copyright © 2025 Texas Instruments Incorporated

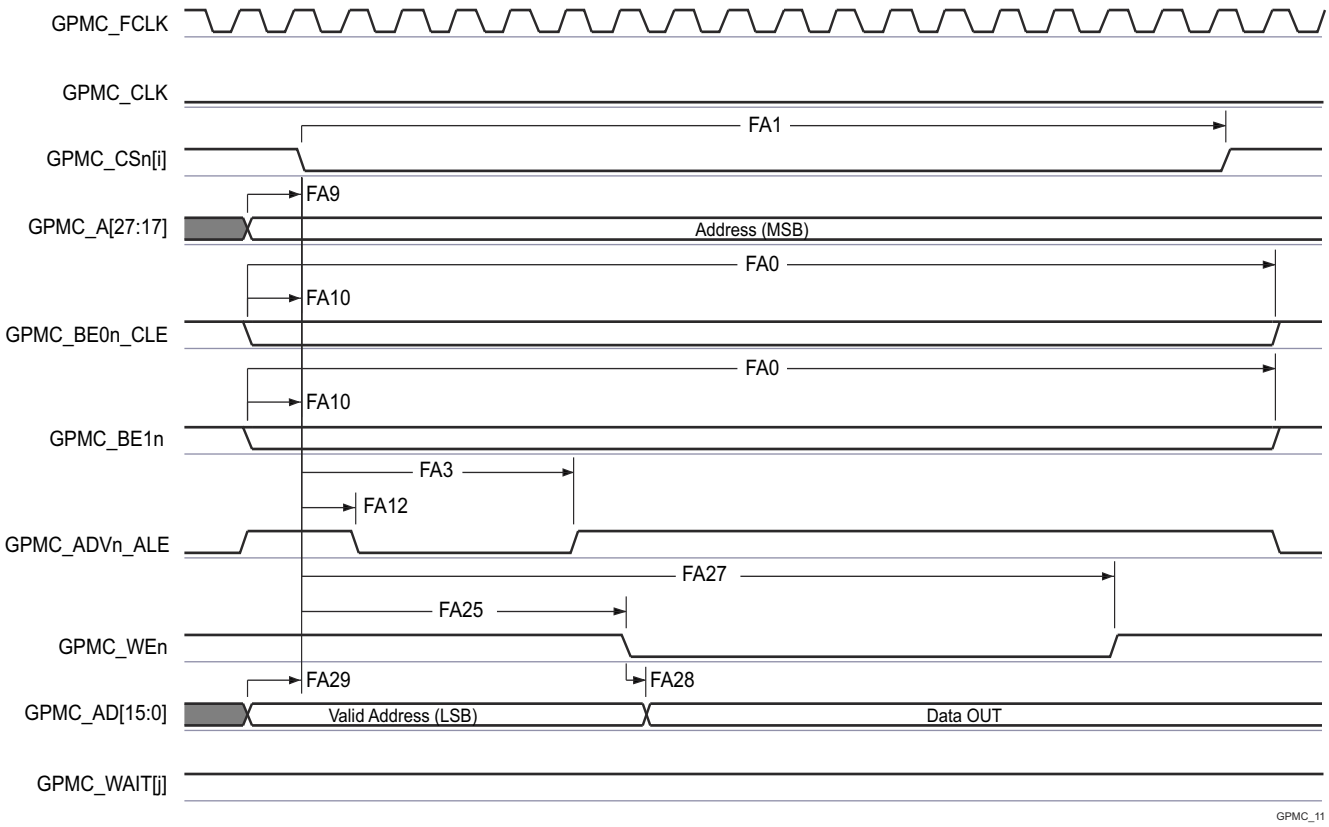


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-51. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-52. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

Copyright © 2025 Texas Instruments Incorporated

6.12.5.10.3 GPMC 和 NAND 闪存 - 异步模式

表 6-66 和表 6-67 展示了 GPMC 和 NAND 闪存的时序要求和开关特性 - 异步模式。

表 6-66. GPMC 和 NAND 闪存时序要求 - 异步模式

请参阅图 6-55

编号	参数	说明	模式 [4]	最小值	最大值	单位
				133MHz		
GNF12 [1]	$t_{acc(d)}$	访问时间，输入数据 GPMC_AD[15:0] [3]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		J [2]	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(4) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

表 6-67. GPMC 和 NAND 闪存开关特性 - 异步模式

请参阅图 6-53、图 6-54、图 6-55 和图 6-56

编号	参数		模式 [4]	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间，输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	A		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][2] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CSn[i][2] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns

表 6-67. GPMC 和 NAND 闪存开关特性 - 异步模式（续）

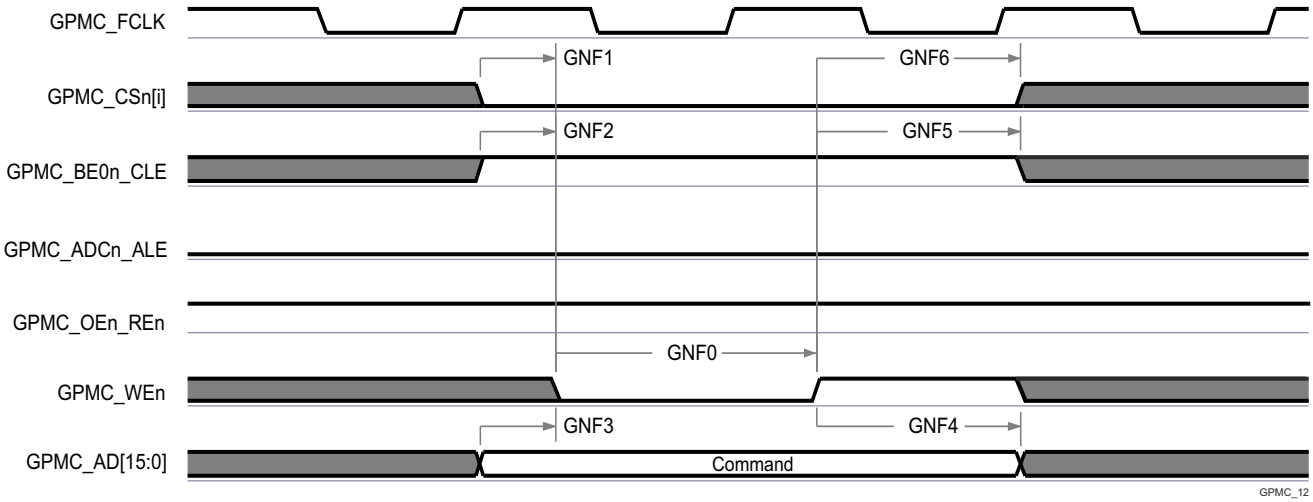
请参阅图 6-53、图 6-54、图 6-55 和图 6-56

编号	参数		模式 (4)	最小值	最大值	单位
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$	周期时间，写入	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i](2) 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间，输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		K	ns
GNF14	$t_{c(oen)}$	周期时间，读取	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	L		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	延迟时间，输出使能 GPMC_OEn_REn 无效到输出片选 GPMC_CSn[i](2) 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	M - 2	M + 2	ns

(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(2) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(4) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

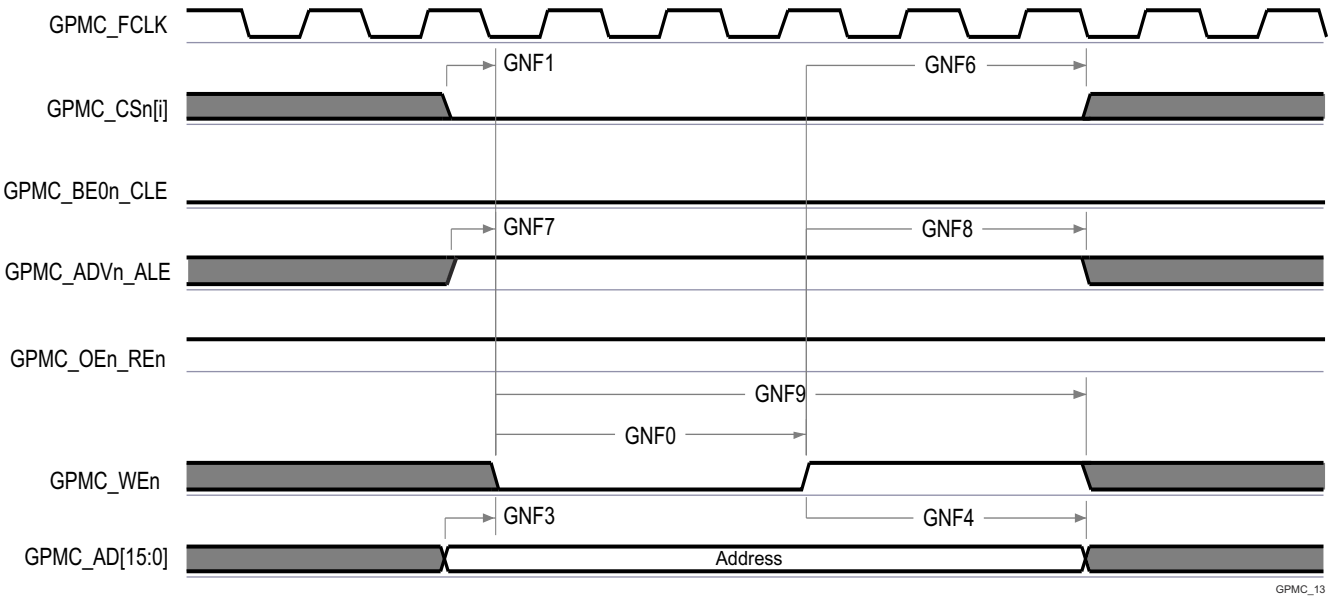
对于 TIMEPARAGRANULARITY_X1：
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

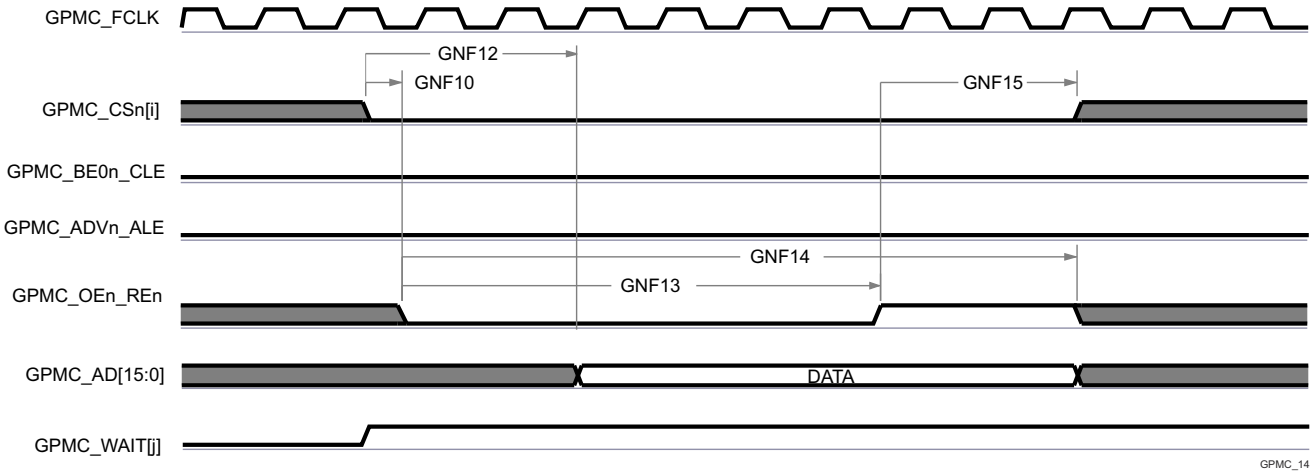
图 6-53. GPMC 和 NAND 闪存 - 命令锁存周期

Copyright © 2025 Texas Instruments Incorporated



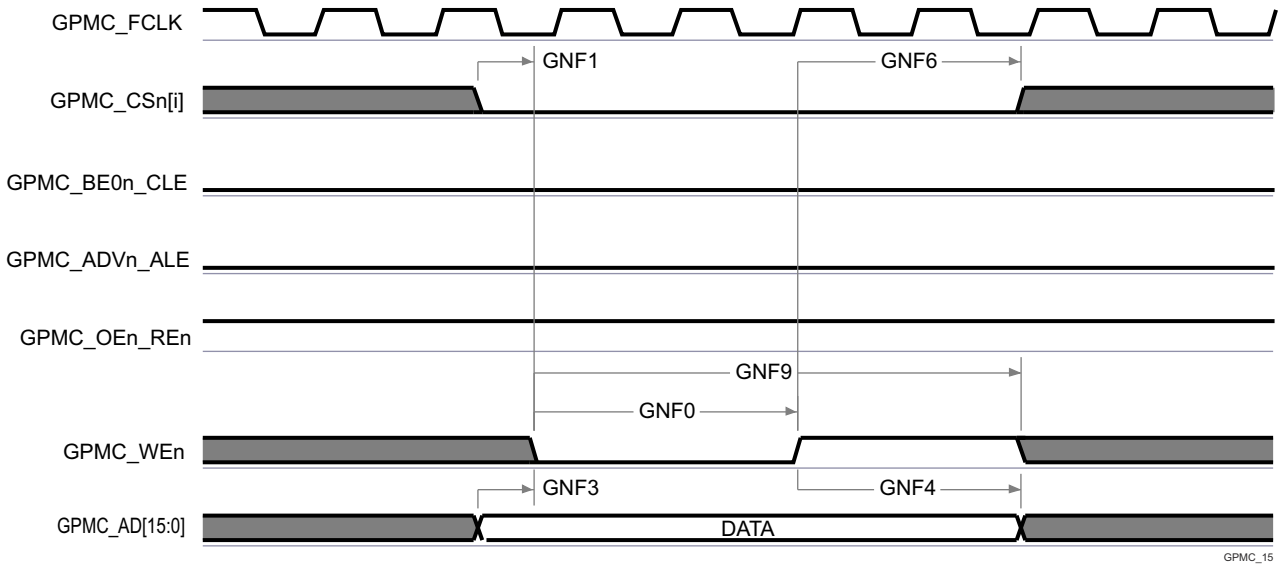
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-54. GPMC 和 NAND 闪存 - 地址锁存周期



A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。
C. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-55. GPMC 和 NAND 闪存 - 数据读取周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-56. GPMC 和 NAND 闪存 - 数据写入周期

Copyright © 2025 Texas Instruments Incorporated

6.12.5.11 I2C

该器件包含六个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- I2C0、I2C1、I2C2 和 I2C3
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
  - 例外情况：
    - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值* 部分中定义的限值。
- MCU_I2C0 和 WKUP_I2C0
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
    - Hs 模式（最高 3.4Mb/s）
      - 1.8V
  - 例外情况：
    - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此，Hs 模式的运行电压限制为 1.8V。
    - 在 3.3V 下运行时，连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns（或 8E+7V/s）的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.08V/ns。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值* 部分中定义的限值。

备注

I2C3 有一个或多个可以多路复用到多个引脚的信号。时序仅对称为 IOSET 的特定引脚组合有效。**SysConfig-PinMux 工具**中定义了该接口的有效引脚组合或 IOSET。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

6.12.5.12 MCAN

表 6-68 和表 6-69 展示了 MCAN 的时序条件和开关特性。

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-68. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

表 6-69. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	$t_{d(MCAN_TX)}$	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	$t_{d(MCAN_RX)}$	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 中*外设*一章的*控制器局域网 (MCAN)* 部分。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.13 MCASP

备注

McASP 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。**SysConfig-PinMux 工具**中定义了该接口的有效引脚组合或 IOSET。

表 6-70、表 6-71、图 6-57、表 6-72 和图 6-58 说明了 MCASP 的时序条件、时序要求和开关特性。

表 6-70. MCASP 时序条件

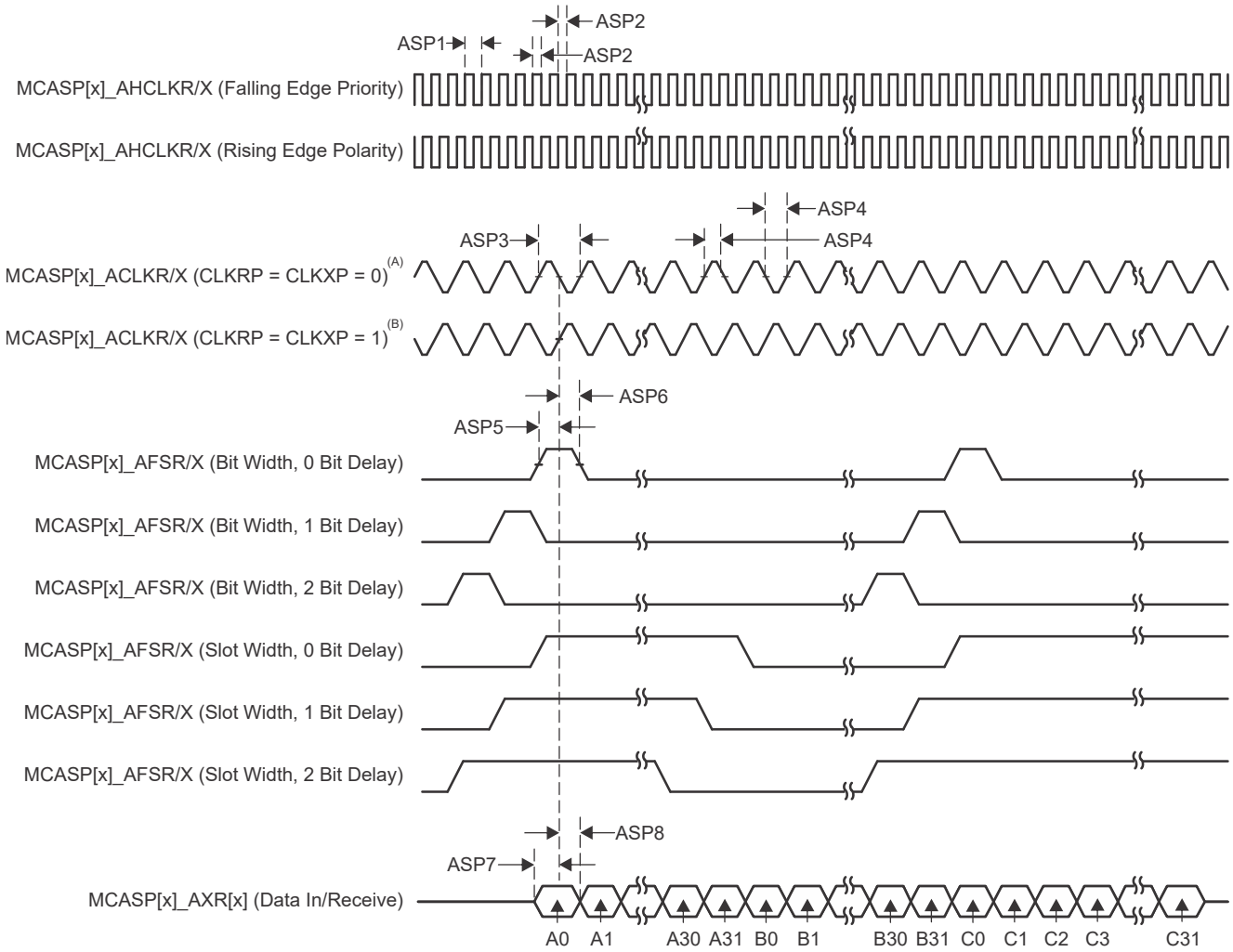
参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.7	5	V/ns
输出条件				
C_L	输出负载电容	1	10	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	100	1100	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

表 6-71. MCASP 时序要求

请参阅图 6-57

编号			模式(1)	最小值	最大值	单位
ASP1	$t_{c(AHCLKRX)}$	周期时间，MCASP[x]_AHCLKR/X(4)		20		ns
ASP2	$t_{w(AHCLKRX)}$	脉冲持续时间，MCASP[x]_AHCLKR/X(4) 高电平或低电平		0.5P(2) - 1.53		ns
ASP3	$t_{c(ACLKRX)}$	周期时间，MCASP[x]_ACLKR/X(4)		20		ns
ASP4	$t_{w(ACLKRX)}$	脉冲持续时间，MCASP[x]_ACLKR/X(4) 高电平或低电平		0.5R(3) - 1.53		ns
ASP5	$t_{su(AFSRX-ACLKRX)}$	建立时间，MCASP[x]_AFSR/X(4)在 MCASP[x]_ACLKR/X 之前输入有效(4)	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP6	$t_{h(ACLKRX-AFSRX)}$	保持时间，MCASP[x]_AFSR/X(4) 在 MCASP[x]_ACLKR/X 之后输入有效(4)	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	$t_{su(AXR-ACLKRX)}$	建立时间，MCASP[x]_AXR(4)在 MCASP[x]_ACLKR/X 之前输入有效(4)	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP8	$t_{h(ACLKRX-AXR)}$	保持时间，MCASP[x]_AXR(4) 在 MCASP[x]_ACLKR/X 之后输入有效(4)	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

(1) ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
(2) P = AHCLKR/X 周期（以 ns 为单位）。有关 AHCLKR/X 时钟源选项的详细信息，请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
(3) R = ACLKR/X 周期（以 ns 为单位）。
(4) MCASP[x]_* 中的 x 为 0、1 或 2



A. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。
B. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

图 6-57. MCASP 时序要求

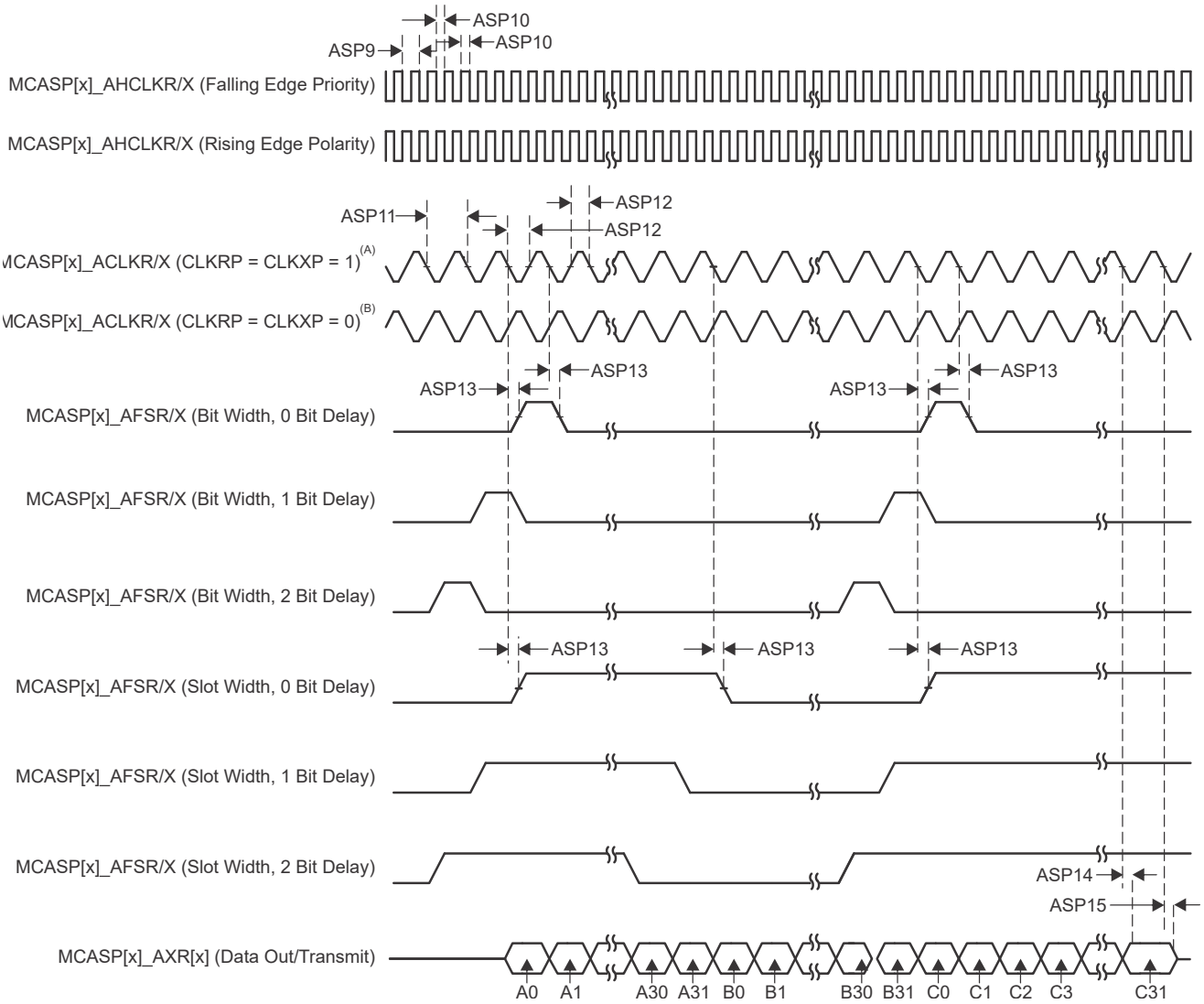
Copyright © 2025 Texas Instruments Incorporated

表 6-72. MCASP 开关特性

请参阅图 6-58

编号	参数	说明	模式(1)	最小值	最大值	单位
ASP9	$t_{c(AHCLKRX)}$	周期时间，MCASP[x]_AHCLKR/X(4)		20		ns
ASP10	$t_{w(AHCLKRX)}$	脉冲持续时间，MCASP[x]_AHCLKR/X(4) 高电平或低电平		0.5P(2) - 2		ns
ASP11	$t_{c(ACLKRX)}$	周期时间，MCASP[x]_ACLKR/X(4)		20		ns
ASP12	$t_{w(ACLKRX)}$	脉冲持续时间，MCASP[x]_ACLKR/X(4) 高电平或低电平		0.5R(3) - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	延迟时间，MCASP[x]_ACLKR/X(4) 发送边沿到 MCASP[x]_AFSR/X(4) 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	延迟时间，MCASP[x]_ACLKX(4) 发送边沿到 MCASP[x]_AXR(4) 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	禁用时间，MCASP[x]_ACLKX(4) 发送边沿到 MCASP[x]_AXR(4) 输出高阻抗	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

(1) ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
(2) P = AHCLKR/X 周期（以 ns 为单位）。有关 AHCLKR/X 时钟源选项的详细信息，请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
(3) R = ACLKR/X 周期（以 ns 为单位）。
(4) MCASP[x]_* 中的 x 为 0、1 或 2



A. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
B. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-58. MCASP 开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道音频串行端口 (MCASP)* 一节。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.14 MCSPI

备注

McSPI 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。**SysConfig-PinMux 工具**中定义了该接口的有效引脚组合或 IOSET。

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-73 展示了 MCSPI 的时序条件。

表 6-73. MCSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	8.5	V/ns
输出条件				
C_L	输出负载电容	6	12	pF

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

6.12.5.14.1 MCSPI - 控制器模式

表 6-74、图 6-59、表 6-75 和图 6-60 展示了 SPI 的时序要求和开关特性 – 控制器模式。

表 6-74. MCSPI 时序要求 - 控制器模式

请参阅图 6-59

编号	参数	说明	最小值	最大值	单位
SM4	$t_{su(POCI-SPICLK)}$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	2.8		ns
SM5	$t_{h(SPICLK-POCI)}$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	3		ns

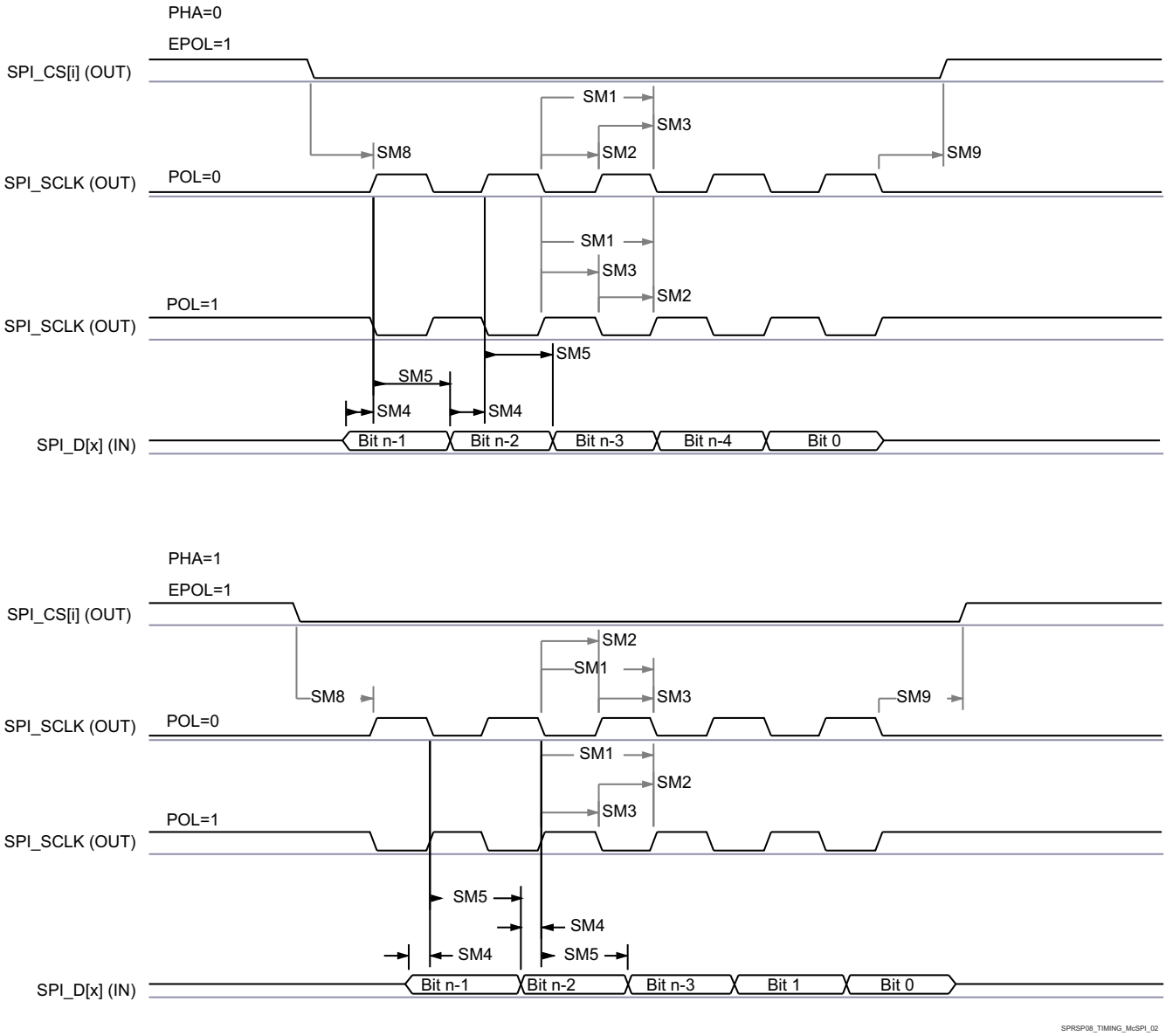


图 6-59. SPI 控制器模式接收时序

Copyright © 2025 Texas Instruments Incorporated

表 6-75. MCSPI 开关特性 - 控制器模式

请参阅图 6-60

编号	参数			最小值	最大值	单位
SM1	$t_{c(SPICLK)}$	周期时间，SPIn_CLK		20		ns
SM2	$t_{w(SPICLKL)}$	脉冲持续时间，SPIn_CLK 低电平		0.5P - 1 (1)		ns
SM3	$t_{w(SPICLKH)}$	脉冲持续时间，SPIn_CLK 高电平		0.5P - 1 (1)		ns
SM6	$t_{d(SPICLK-PICO)}$	延迟时间，SPIn_CLK 有效边沿到 SPIn_D[x]		-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	延迟时间，SPIn_CSi 有效边沿到 SPIn_D[x]		5		ns
SM8	$t_{d(CS-SPICLK)}$	延迟时间，SPIn_CSi 有效到 SPIn_CLK 第一个边沿	PHA = 0	B - 4 (2)		ns
			PHA = 1	A - 4 (3)		ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间，SPIn_CLK 最后一个边沿到 SPIn_CSi 无效	PHA = 0	A - 4 (4)		ns
			PHA = 1	B - 4 (5)		ns

(1) P = SPIn_CLK 周期（以 ns 为单位）。

(2) T_ref 是 McSPI 功能时钟的周期（以 ns 为单位）。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时，B = (TCS(i) + 0.5) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，B = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，B = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_ref。

(3) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时，A = (TCS(i) + 1) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，A = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，A = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_ref。

(4) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时，A = (TCS(i) + 1) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，A = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，A = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_ref。

(5) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时，B = (TCS(i) + 0.5) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，B = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，B = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_ref。

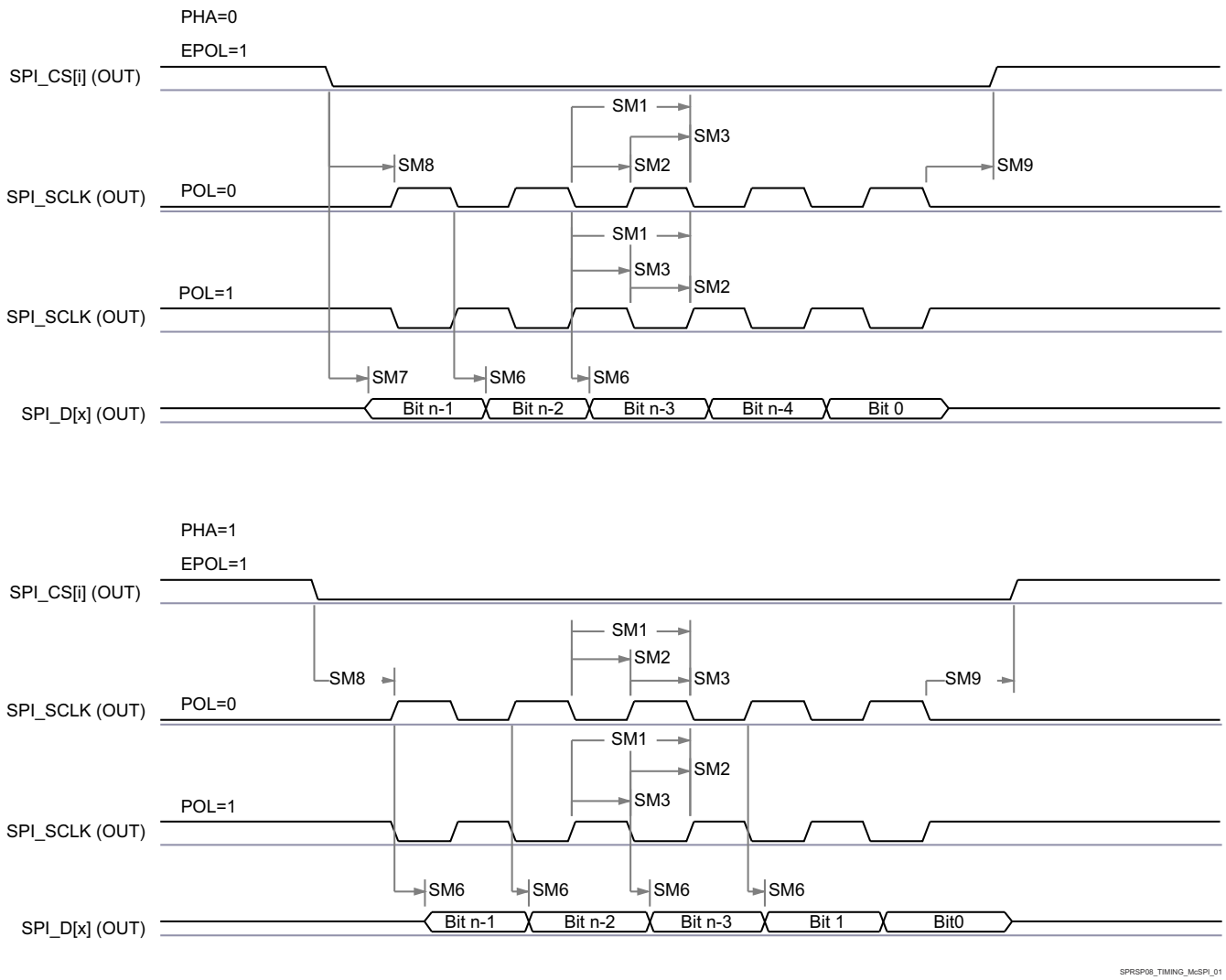


图 6-60. SPI 控制器模式发送时序

Copyright © 2025 Texas Instruments Incorporated

6.12.5.14.2 MCSPI - 外设模式

表 6-76、图 6-61、表 6-77 和图 6-62 展示了 SPI 的时序要求和开关特性 – 外设模式。

表 6-76. MCSPI 时序要求 – 外设模式

请参阅图 6-61

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c(SPICLK)}$	周期时间，SPIn_CLK	20		ns
SS2	$t_{w(SPICLKL)}$	脉冲持续时间，SPIn_CLK 低电平	0.45P (1)		ns
SS3	$t_{w(SPICLKH)}$	脉冲持续时间，SPIn_CLK 高电平	0.45P (1)		ns
SS4	$t_{su(PICO-SPICLK)}$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	5		ns
SS5	$t_{h(SPICLK-PICO)}$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	5		ns
SS8	$t_{su(CS-SPICLK)}$	建立时间，在 SPIn_CLK 第一个边沿之前 SPIn_CSi 有效	5		ns
SS9	$t_{h(SPICLK-CS)}$	保持时间，在 SPIn_CLK 最后一个边沿之后 SPIn_CSi 有效	5		ns

(1) P = SPIn_CLK 周期（以 ns 为单位）。

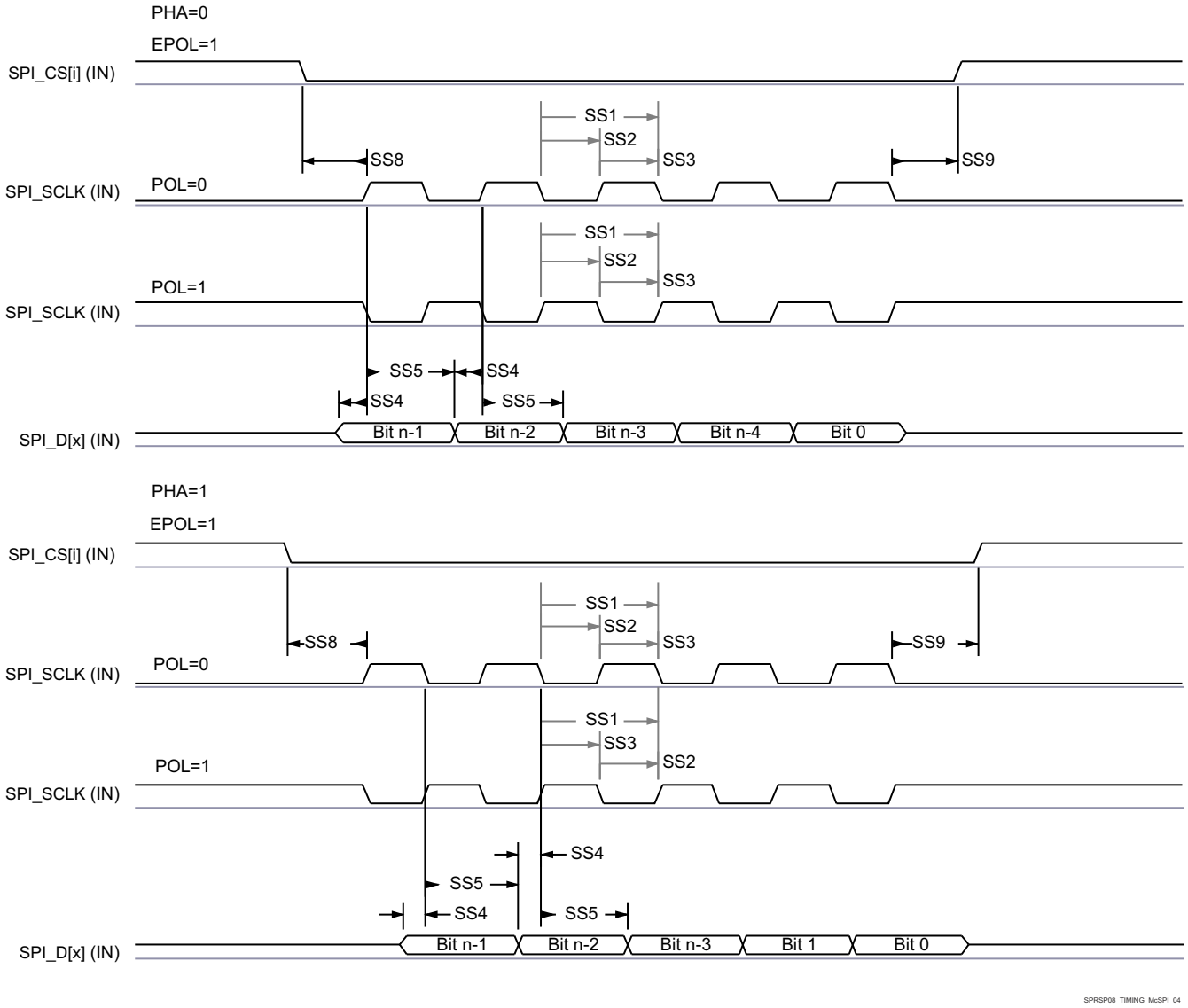


图 6-61. SPI 外设模式接收时序

表 6-77. MCSPI 开关特性 – 外设模式

请参阅图 6-62

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-POCI)}$	延迟时间，SPIn_CLK 有效边沿到 SPIn_D[x]	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	延迟时间，SPIn_CSi 有效边沿到 SPIn_D[x]	20.95		ns

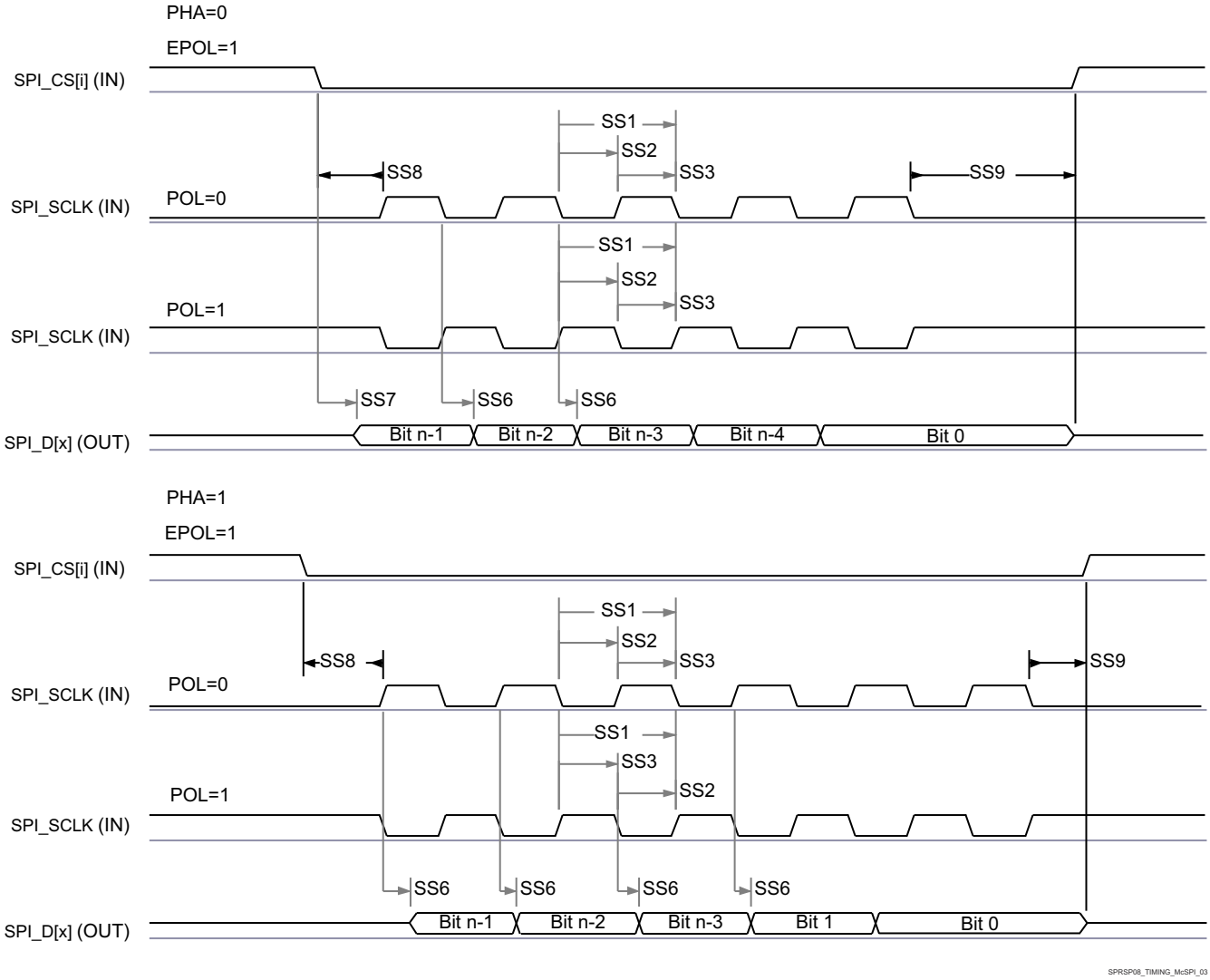


图 6-62. SPI 外设模式发送时序

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15 MMCSD

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSD 接口的更多详细信息，请参阅*信号说明*和*详细说明*中相应的 MMC0、MMC1 和 MMC2 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-78 和表 6-98 所示。

表 6-78 和表 6-98 的 ITAPDLYSEL 列中显示“调优”值的模式需要使用调优算法来优化输入时序。有关优化输入时序所需的调优算法和输入延迟配置的更多信息，请参阅器件 TRM 中的 MMCSD 编程指南。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMCSD) 接口*一节。

6.12.5.15.1 MMC0 - eMMC/SD/SDIO 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 旧 SDR
- 高速 SDR
- 高速 DDR
- HS200

MMC0 接口还符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00。以下数据传输模式仅可用于连接到嵌入式 SDIO 器件：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25

表 6-78 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-78. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG				
		x = 4				x = 5
位字段		[20]	[16:12]	[8]	[4:0]	[2:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
模式	说明	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	延迟缓冲器持续时间
旧 SDR	8 位 PHY 运行 1.8V，25MHz	不适用(1)	不适用(1)	0x0	不适用(2)	0x7
	8 位 PHY 运行 3.3V，25MHz	不适用(1)	不适用(1)	0x0	不适用(2)	0x7
高速 SDR	8 位 PHY 运行 1.8V，50MHz	不适用(1)	不适用(1)	0x0	不适用(2)	0x7
	8 位 PHY 运行 3.3V，50MHz	不适用(1)	不适用(1)	0x0	不适用(2)	0x7
高速 DDR	8 位 PHY 运行 1.8V，40MHz	0x1	0x15	0x1	0x2	0x7
	8 位 PHY 运行 3.3V，40MHz	0x1	0x15	0x1	0x2	0x7
HS200	8 位 PHY 运行 1.8V，200MHz	0x1	0x6	0x1	调优(3)	0x7
默认速度	4 位 PHY 运行 3.3V，25MHz	不适用(1)	不适用(1)	0x1	0x0	0x7
高速	4 位 PHY 运行 3.3V，50MHz	不适用(1)	不适用(1)	0x1	0x0	0x7
UHS-I SDR12	4 位 PHY 运行 1.8V，25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 位 PHY 运行 1.8V，50MHz	0x1	0xF	0x1	0x0	0x7

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 不适用意味着当 ITAPDLYENA 设为 0x0 时，该寄存器字段无功能。
(3) 调优意味着此模式需要使用调优算法来确定适当输入时序

Copyright © 2025 Texas Instruments Incorporated

表 6-79 展示了 MMC0 的时序条件。

表 6-79. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	旧 SDR @ 3.3V 高速 SDR @ 3.3V 默认速度 高速	0.69	2.06	V/ns
		旧 SDR @ 1.8 V UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR @ 1.8V UHS-I SDR25	0.3	1.34	V/ns
		高速 DDR UHS-I DDR50	1	2	V/ns
输出条件					
C_L	输出负载电容	HS200 UHS-I SDR104	1	10	pF
		所有其他模式	1	12	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	旧 SDR 高速 SDR 高速 DDR HS200	126	756	ps
		默认速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		高速 DDR UHS-I DDR50		20	ps
		所有其他模式		100	ps

6.12.5.15.1.1 旧 SDR 模式

表 6-80、图 6-63、表 6-81 和图 6-64 展示了 MMC0 的时序要求和开关特性 – 旧 SDR 模式。

表 6-80. MMC0 时序要求 – 旧 SDR 模式

请参阅图 6-63

编号			IO 工作电压	最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	0.87		ns
			3.3V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	0.87		ns
			3.3V	1.67		ns

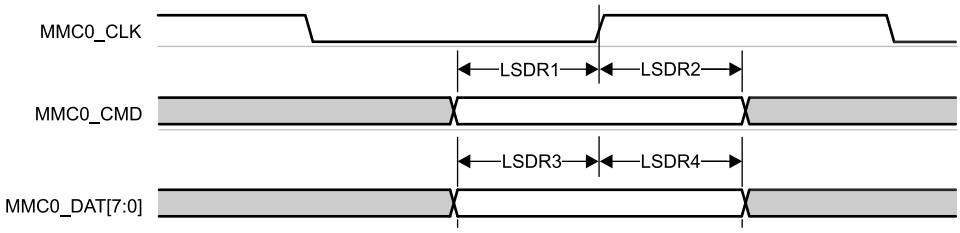


图 6-63. MMC0 – 旧 SDR – 接收模式

表 6-81. MMC0 开关特性 – 旧 SDR 模式

请参阅图 6-64

编号	参数		IO 工作电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK			25	MHz
LSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK		40		ns
LSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平		18.7		ns
LSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平		18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns
LSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns

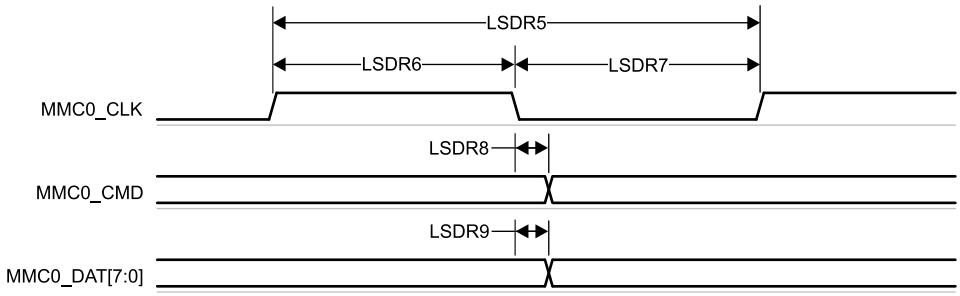


图 6-64. MMC0 - 旧 SDR - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.2 高速 SDR 模式

表 6-82、图 6-65、表 6-83 和图 6-66 说明了 MMC0 的时序要求和开关特性 - 高速 SDR 模式。

表 6-82. MMC0 时序要求 - 高速 SDR 模式

请参阅图 6-65

编号			IO 工作电压	最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.27		ns
			3.3V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	1.27		ns
			3.3V	1.66		ns

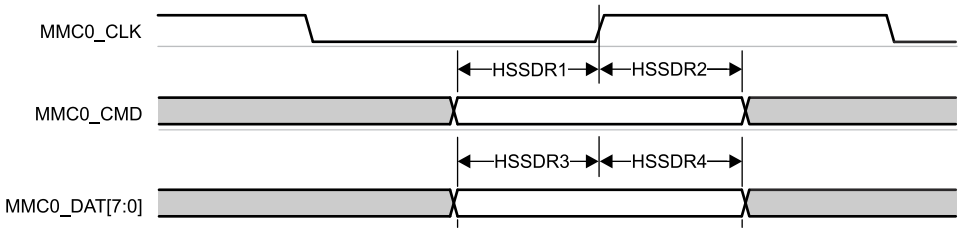


图 6-65. MMC0 - 高速 SDR 模式 - 接收模式

表 6-83. MMC0 开关特性 - 高速 SDR 模式

请参阅图 6-66

编号	参数		IO 工作电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK			50	MHz
HSSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK		20		ns
HSSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平		9.2		ns
HSSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平		9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns
HSSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns

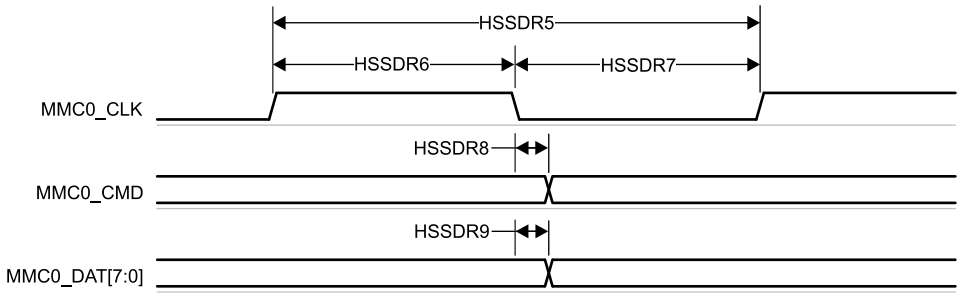


图 6-66. MMC0 - 高速 SDR 模式 - 发送模式

6.12.5.15.1.3 高速 DDR 模式

表 6-84、图 6-67、表 6-85 和图 6-68 说明了 MMC0 的时序要求和开关特性 - 高速 DDR 模式。

表 6-84. MMC0 时序要求 - 高速 DDR 模式

请参阅图 6-67

编号			IO 工作电压	最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clk)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	0.02		ns
			3.3V	1.5		ns
HSDDR2	$t_{h(clk-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.99		ns
			3.3V	1.75		ns
HSDDR3	$t_{su(dV-clk)}$	建立时间，在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	1.8V	0.02		ns
			3.3V	1.5		ns
HSDDR4	$t_{h(clk-dV)}$	保持时间，在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.8V	1.99		ns
			3.3V	1.75		ns

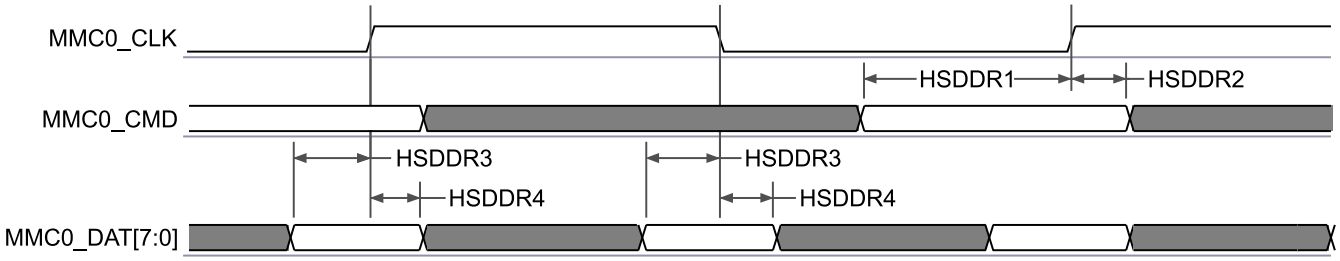


图 6-67. MMC0 - 高速 DDR 模式 - 接收模式

表 6-85. MMC0 开关特性 - 高速 DDR 模式

请参阅图 6-68

编号		参数	IO 工作电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK			40	MHz
HSDDR5	$t_{c(clk)}$	周期时间，MMC0_CLK		25		ns
HSDDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平		11.58		ns
HSDDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平		11.58		ns
HSDDR8	$t_{d(clk-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.8V	1.2	5.6	ns
			3.3V	3.32	9.3	ns
HSDDR9	$t_{d(clk-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[7:0] 转换	1.8V	1.2	4.8	ns
			3.3V	3.2	8.9	ns

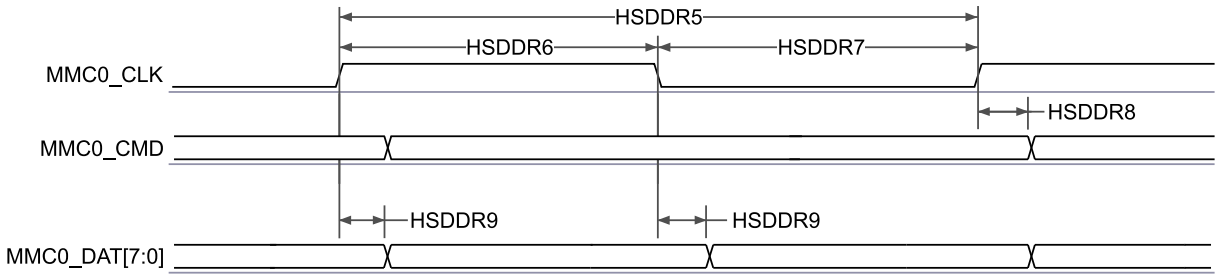


图 6-68. MMC0 - 高速 DDR 模式 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.4 HS200 模式

表 6-86 和图 6-69 展示了 MMC0 的开关特性 – HS200 模式。

表 6-86. MMC0 开关特性 – HS200 模式

请参阅图 6-69

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.12		ns
HS2007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.12		ns
HS2008	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
HS2009	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	1.07	3.21	ns

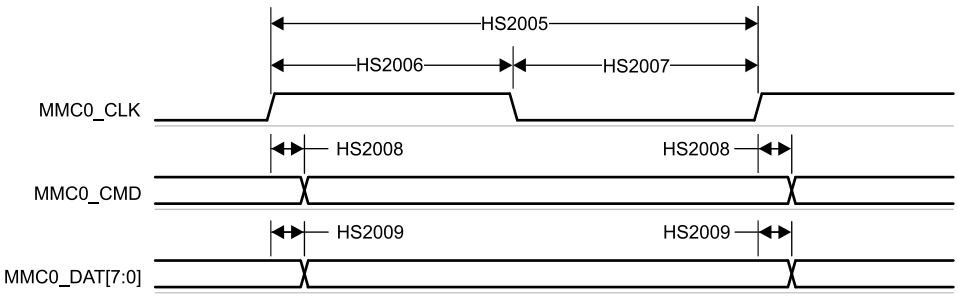


图 6-69. MMC0 – HS200 模式 – 发送模式

6.12.5.15.1.5 默认速度模式

表 6-87、图 6-70、表 6-88 和图 6-71 展示了 MMC0 的时序要求和开关特性 – 默认速度模式。

表 6-87. MMC0 的时序要求 – 默认速度模式

请参阅图 6-70

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.67		ns

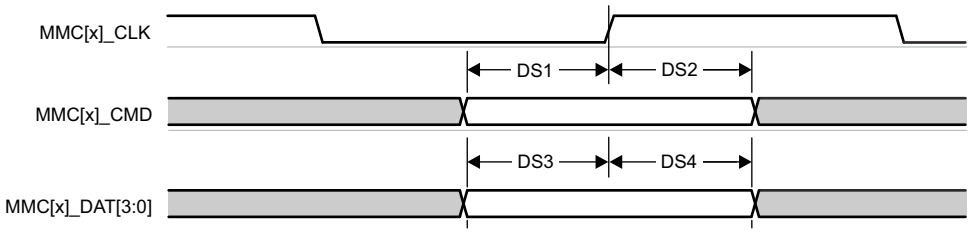


图 6-70. MMC0 – 默认速度 – 接收模式

表 6-88. MMC0 的开关特性 – 默认速度模式

请参阅图 6-71

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	- 1.8	2.2	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[3:0] 转换	- 1.8	2.2	ns

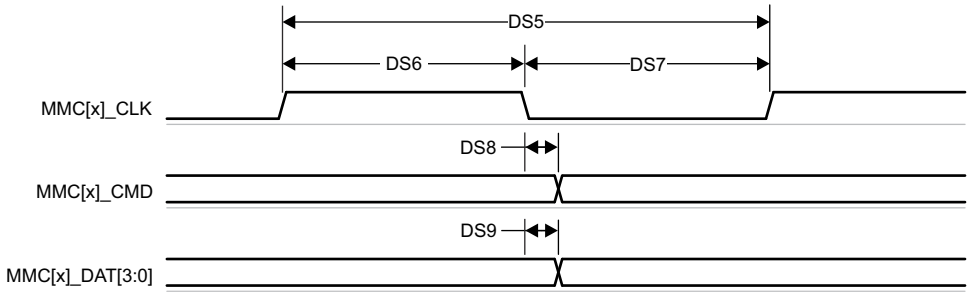


图 6-71. MMC0 - 默认速度 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.6 高速模式

表 6-89、图 6-72、表 6-90 和图 6-73 展示了 MMC0 的时序要求和开关特性 – 高速模式。

表 6-89. MMC0 的时序要求 – 高速模式

请参阅图 6-72

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.24		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.66		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.24		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.66		ns

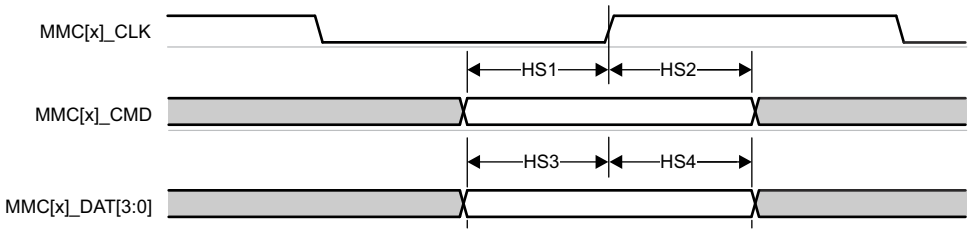


图 6-72. MMC0 – 高速 – 接收模式

表 6-90. MMC0 的开关特性 – 高速模式

请参阅图 6-73

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HS5	$t_{c(clk)}$	周期时间。MMC0_CLK	20		ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-1.8	2.2	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[3:0] 转换	-1.8	2.2	ns

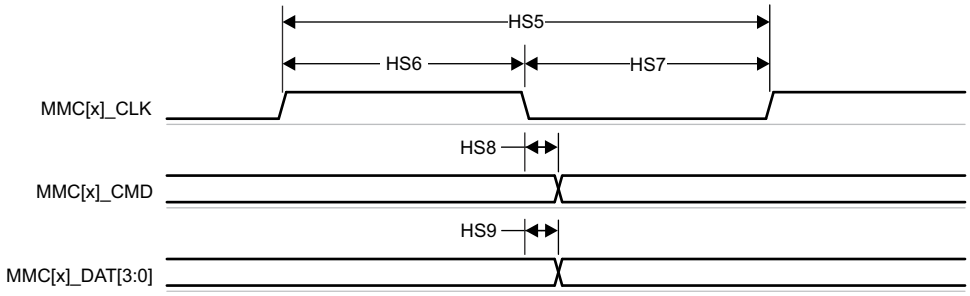


图 6-73. MMC0 – 高速 – 发送模式

6.12.5.15.1.7 UHS –I SDR12 模式

表 6-91、图 6-74、表 6-92 和图 6-75 展示了 MMC0 的时序要求和开关特性 – UHS-I SDR12 模式。

表 6-91. MMC0 的时序要求 – UHS-I SDR12 模式

请参阅图 6-74

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	0.87		ns

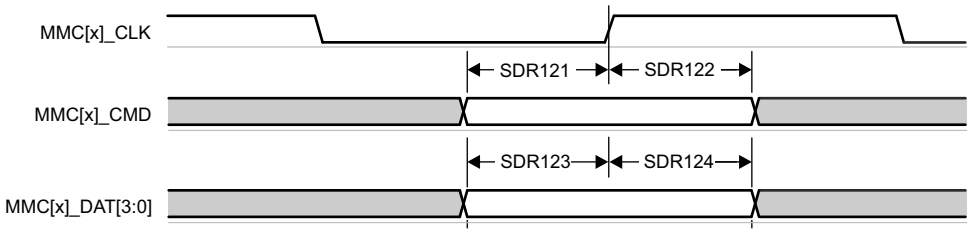


图 6-74. MMC0 – UHS-I SDR12 – 接收模式

表 6-92. MMC0 的开关特性 – UHS-I SDR12 模式

请参阅图 6-75

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
SDR125	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
SDR126	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
SDR127	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.5	8.6	ns
SDR129	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.5	8.6	ns

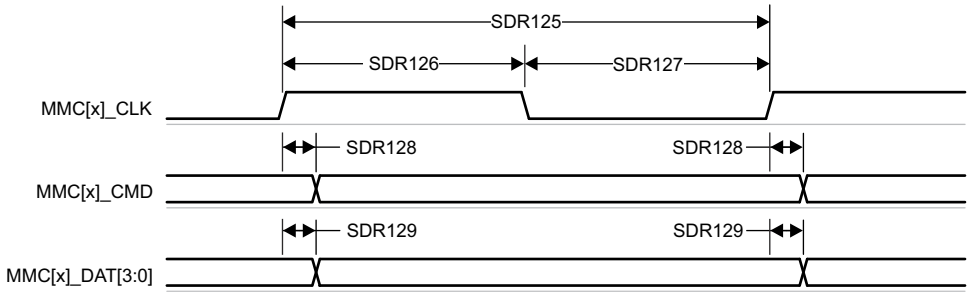


图 6-75. MMC0 – UHS-I SDR12 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.8 UHS –I SDR25 模式

表 6-93、图 6-76、表 6-94 和图 6-77 展示了 MMC0 的时序要求和开关特性 – UHS-I SDR25 模式。

表 6-93. MMC0 的时序要求 – UHS-I SDR25 模式

请参阅图 6-76

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.27		ns

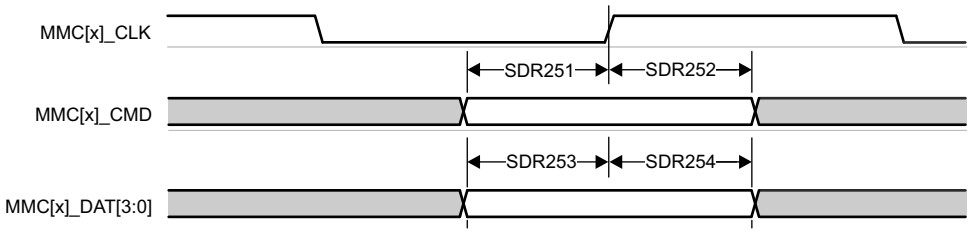


图 6-76. MMC0 – UHS-I SDR25 – 接收模式

表 6-94. MMC0 的开关特性 – UHS-I SDR25 模式

请参阅图 6-77

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
SDR255	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
SDR256	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
SDR257	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	2.4	8.1	ns

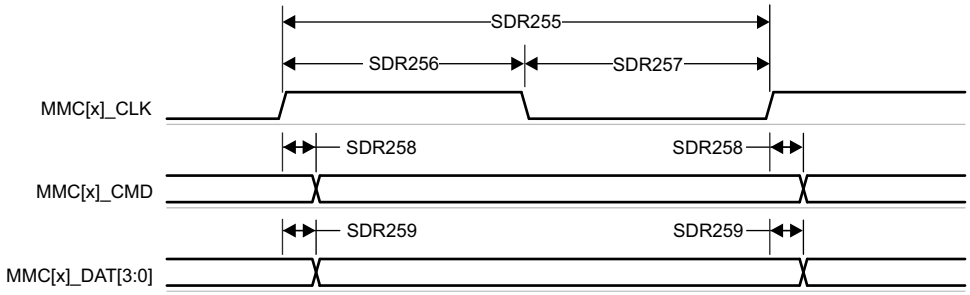


图 6-77. MMC0 – UHS-I SDR25 – 发送模式

6.12.5.15.1.9 UHS –I SDR50 模式

表 6-95 和图 6-78 展示了 MMC0 的开关特性 – UHS-I SDR50 模式。

表 6-95. MMC0 的开关特性 – UHS-I SDR50 模式

请参阅图 6-78

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间，MMC0_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.2	6.35	ns

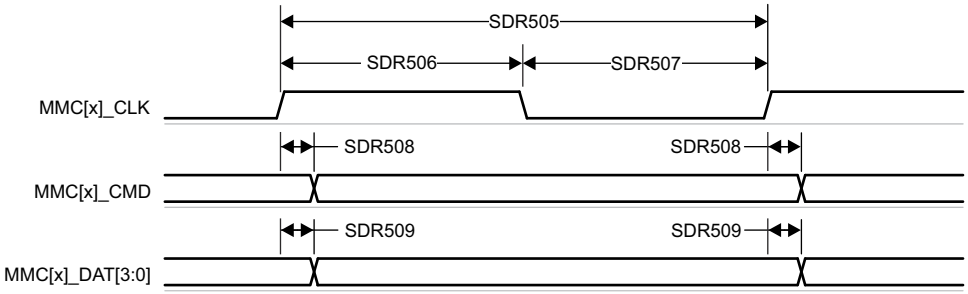


图 6-78. MMC0 – UHS-I SDR50 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.10 UHS-I DDR50 模式

表 6-96 和图 6-79 展示了 MMC0 的开关特性 – UHS-I DDR50 模式。

表 6-96. MMC0 的开关特性 – UHS-I DDR50 模式

请参阅图 6-79

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
DDR505	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
DDR506	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
DDR507	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.12	6.43	ns
DDR509	$t_{d(clk-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[3:0] 转换	1.12	6.43	ns

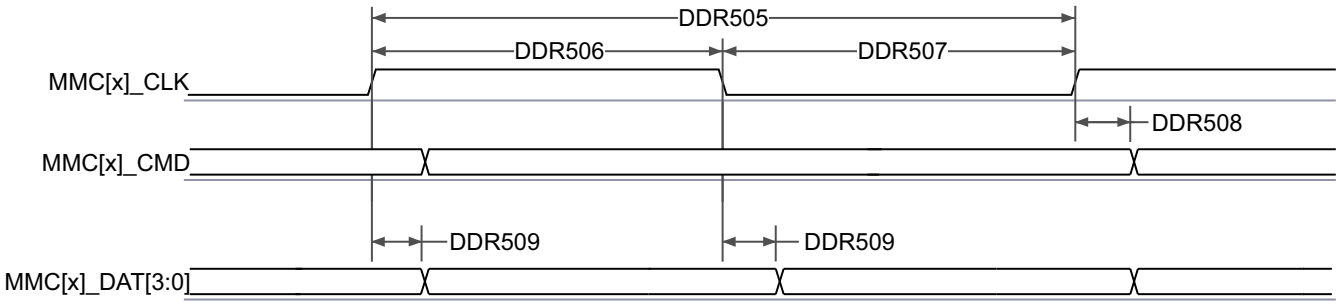


图 6-79. MMC0 – UHS-I DDR50 – 发送模式

6.12.5.15.1.11 UHS –I SDR104 模式

表 6-97 和图 6-80 展示了 MMC0 的开关特性 – UHS-I SDR104 模式。

表 6-97. MMC0 的开关特性 – UHS-I SDR104 模式

请参阅图 6-80

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.07	3.21	ns

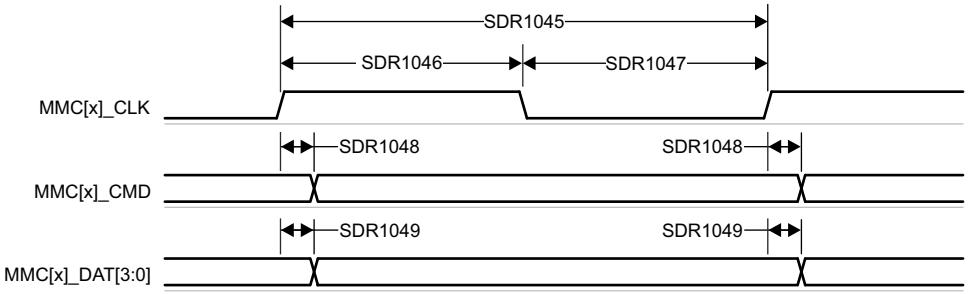


图 6-80. MMC0 – UHS-I SDR104 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2 MMC1/MMC2 - SD/SDIO 接口

MMC1/MMC2 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25
- UHS – I SDR50
- UHS – I DDR50
- UHS – I SDR104

表 6-98 提供了 MMC1/2 时序模式所需的 DLL 软件配置设置。

表 6-98. 所有时序模式的 MMC1/MMC2 DLL 延迟映射

寄存器名称		MMCSD1_MMC_SSCFG_PHY_CTRL_x_REG/ MMCSD2_MMC_SSCFG_PHY_CTRL_x_REG				
		X = 4				X = 5
位字段		[20]	[15:12]	[8]	[4:0]	[2:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
模式	说明	延迟启用	延迟值	输入延迟启用	输入延迟值	延迟缓冲器持续时间
默认速度	4 位 PHY 运行 3.3V，25MHz	不适用(1)	不适用(1)	0x1	0x0	0x7
高速	4 位 PHY 运行 3.3V，50MHz	不适用(1)	不适用(1)	0x1	0x0	0x7
UHS-I SDR12	4 位 PHY 运行 1.8V，25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 位 PHY 运行 1.8V，50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 位 PHY 运行 1.8V，100MHz	0x1	0xC	0x1	调优(2)	0x7
UHS-I DDR50	4 位 PHY 运行 1.8V，50MHz	0x1	0x9	0x1	调优(2)	0x7
UHS-I SDR104	4 位 PHY 运行 1.8V，200MHz	0x1	0x6	0x1	调优(2)	0x7

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-99 展示了 MMC1 的时序条件。

表 6-99. MMC1/MMC2 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	默认速度 高速	0.69	2.06	V/ns
		UHS – I SDR12 UHS – I SDR25	0.34	1.34	V/ns
		UHS – I DDR50	1	2	V/ns
输出条件					
C_L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	UHS – I DDR50	239	1134	ps
		所有其他模式	126	1386	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	高速 UHS – I SDR104		8	ps
		UHS – I DDR50		20	ps
		所有其他模式		100	ps

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.1 默认速度模式

表 6-100、图 6-81、表 6-101 和图 6-82 展示了 MMC1/MMC2 的时序要求和开关特性 – 默认速度模式。

表 6-100. MMC1/MMC2 的时序要求 – 默认速度模式

请参阅图 6-81

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.67		ns

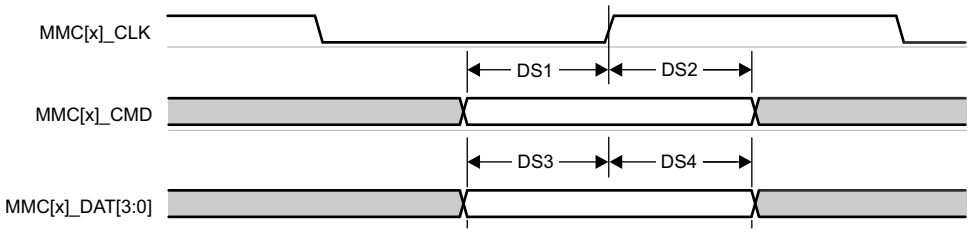


图 6-81. MMC1/MMC2 – 默认速度 – 接收模式

表 6-101. MMC1/MMC2 的开关特性 – 默认速度模式

请参阅图 6-82

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMCx_CLK	40		ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 下降沿到 MMCx_CMD 转换	- 1.8	2.2	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 下降沿到 MMCx_DAT[3:0] 转换	- 1.8	2.2	ns

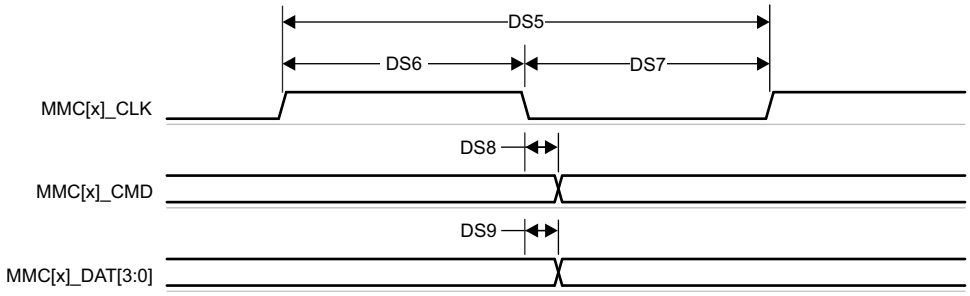


图 6-82. MMC1/MMC2 - 默认速度 - 发送模式

6.12.5.15.2.2 高速模式

表 6-102、图 6-83、表 6-103 和图 6-84 展示了 MMC1/MMC2 的时序要求和开关特性 – 高速模式。

表 6-102. MMC1/MMC2 的时序要求 – 高速模式

请参阅图 6-83

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.24		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.66		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.24		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.66		ns

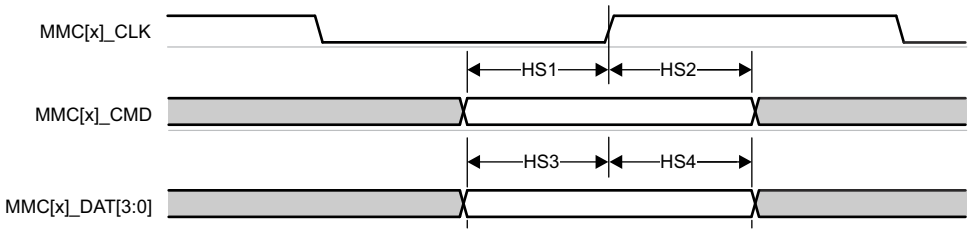


图 6-83. MMC1/MMC2 – 高速 – 接收模式

表 6-103. MMC1/MMC2 的开关特性 – 高速模式

请参阅图 6-84

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		50	MHz
HS5	$t_{c(clk)}$	周期时间。MMCx_CLK	20		ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 下降沿到 MMCx_CMD 转换	- 1.8	2.2	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 下降沿到 MMCx_DAT[3:0] 转换	- 1.8	2.2	ns

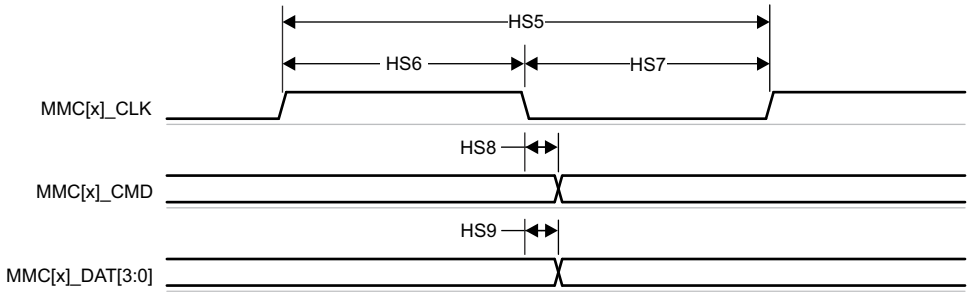


图 6-84. MMC1/MMC2 – 高速 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.3 UHS –I SDR12 模式

表 6-104、图 6-85、表 6-105 和图 6-86 展示了 MMC1/MMC2 的时序要求和开关特性 – UHS-I SDR12 模式。

表 6-104. MMC1/MMC2 的时序要求 – UHS-I SDR12 模式

请参阅图 6-85

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	0.87		ns

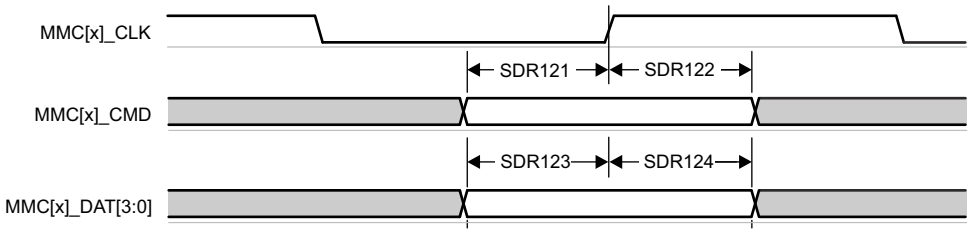


图 6-85. MMC1/MMC2 – UHS-I SDR12 – 接收模式

表 6-105. MMC1/MMC2 的开关特性 – UHS-I SDR12 模式

请参阅图 6-86

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		25	MHz
SDR125	$t_{c(clk)}$	周期时间，MMCx_CLK	40		ns
SDR126	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	18.7		ns
SDR127	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_CMD 转换	1.5	8.6	ns
SDR129	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	1.5	8.6	ns

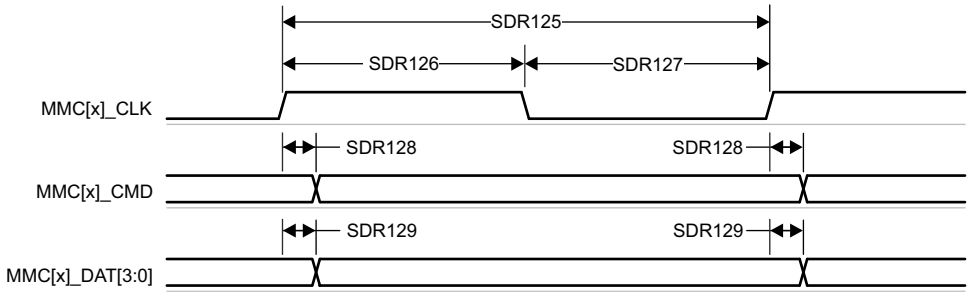


图 6-86. MMC1/MMC2 – UHS-I SDR12 – 发送模式

6.12.5.15.2.4 UHS –I SDR25 模式

表 6-106、图 6-87、表 6-107 和图 6-88 展示了 MMC1/MMC2 的时序要求和开关特性 – UHS-I SDR25 模式。

表 6-106. MMC1/MMC2 的时序要求 – UHS-I SDR25 模式

请参阅图 6-87

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.27		ns

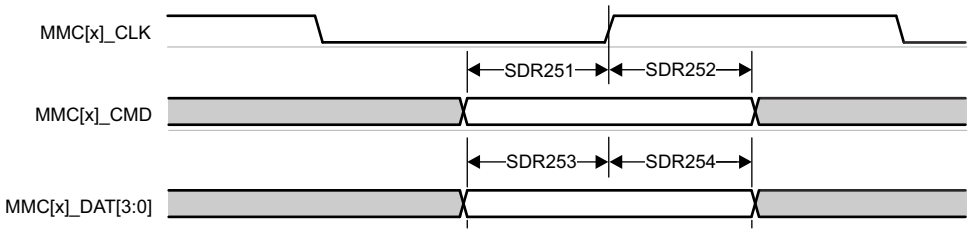


图 6-87. MMC1/MMC2 – UHS-I SDR25 – 接收模式

表 6-107. MMC1/MMC2 的开关特性 – UHS-I SDR25 模式

请参阅图 6-88

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		50	MHz
SDR255	$t_{c(clk)}$	周期时间，MMCx_CLK	20		ns
SDR256	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	9.2		ns
SDR257	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_CMD 转换	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	2.4	8.1	ns

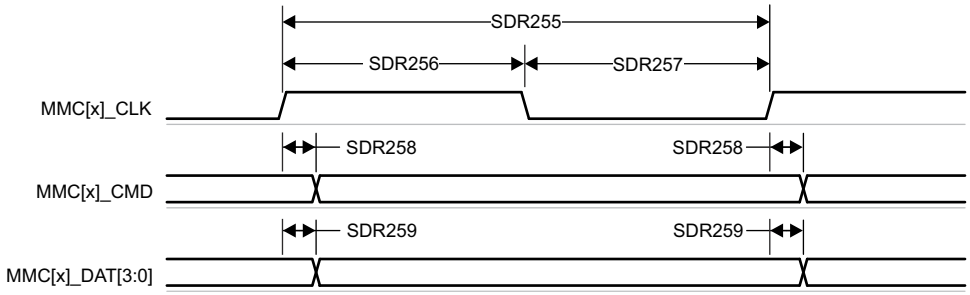


图 6-88. MMC1/MMC2 – UHS-I SDR25 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.5 UHS –I SDR50 模式

表 6-108 和图 6-89 展示了 MMC1/MMC2 的开关特性 – UHS-I SDR50 模式。

表 6-108. MMC1/MMC2 的开关特性 – UHS-I SDR50 模式

请参阅图 6-89

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间，MMCx_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	1.2	6.35	ns

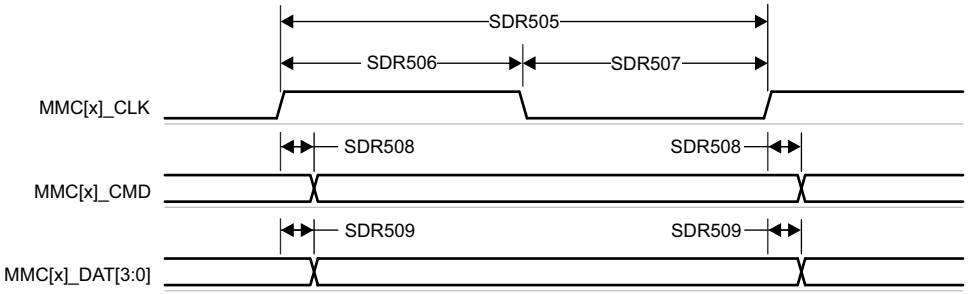


图 6-89. MMC1/MMC2 – UHS-I SDR50 – 发送模式

6.12.5.15.2.6 UHS-I DDR50 模式

表 6-109 和图 6-90 展示了 MMC1/MMC2 的开关特性 – UHS-I DDR50 模式。

表 6-109. MMC1/MMC2 的开关特性 – UHS-I DDR50 模式

请参阅图 6-90

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		50	MHz
DDR505	$t_{c(clk)}$	周期时间，MMCx_CLK	20		ns
DDR506	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	9.2		ns
DDR507	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_CMD 转换	1.12	6.43	ns
DDR509	$t_{d(clk-dV)}$	延迟时间，MMCx_CLK 转换到 MMCx_DAT[3:0] 转换	1.12	6.43	ns

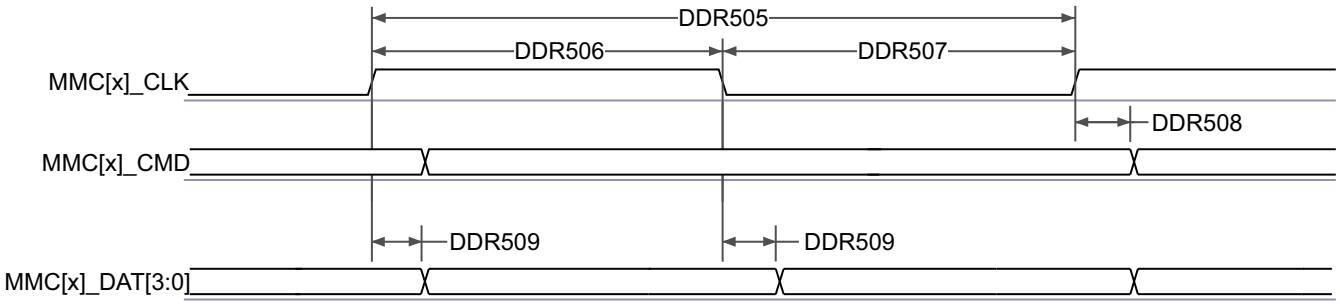


图 6-90. MMC1/MMC2 – UHS-I DDR50 – 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.7 UHS –I SDR104 模式

表 6-110 和图 6-91 展示了 MMC1/MMC2 的开关特性 – UHS-I SDR104 模式。

表 6-110. MMC1/MMC2 的开关特性 – UHS-I SDR104 模式

请参阅图 6-91

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间，MMCx_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间，MMCx_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间，MMCx_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	延迟时间，MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	1.07	3.21	ns

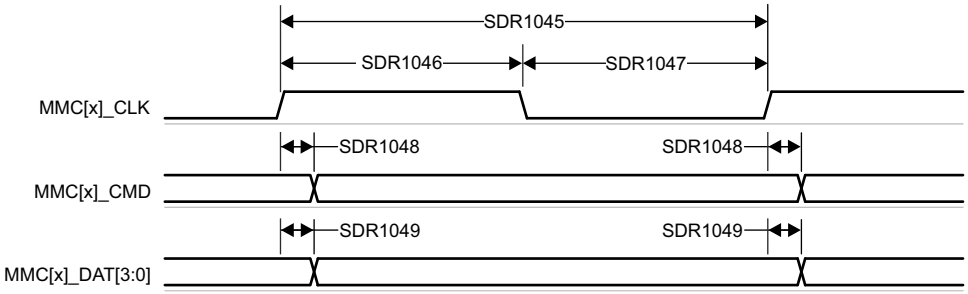


图 6-91. MMC1/MMC2 – UHS-I SDR104 – 发送模式

6.12.5.16 OSPI

OSPI0 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI0_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI0_CLK。PHY 模式支持接收数据捕获时钟的四种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI0_LBCLKO 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。外部电路板环回 - 使用从 OSPI0_DQS 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI0_CLK 的数据发送和接收捕获延迟，OSPI0_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 200MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 50MHz 的 OSPI0_CLK 速率，或在 DDR 模式下产生高达 25MHz 的 OSPI0_CLK 速率。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

有关器件八路串行外设接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

节 6.12.5.16.1 定义了与 PHY 模式相关的时序要求和开关特性，节 6.12.5.16.2 定义了与 Tap 模式相关的时序要求和开关特性。

表 6-111 说明了 OSPI0 的时序条件。

表 6-111. OSPI0 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1	6	V/ns
输出条件					
C_L	输出负载电容		3	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPI0_D[7:0] 和 OSPI0_CSn[3:0] 相对于 OSPI0_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPI0_CLK 布线的传播延迟

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16.1 OSPI0 PHY 模式

6.12.5.16.1.1 具有 PHY 数据训练的 OSPI0

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-112 定义了具有数据训练的 OSPI0 所需的 DLL 延迟。表 6-113、图 6-92、图 6-93、表 6-114、图 6-94 和图 6-95 展示了具有数据训练的 OSPI0 的时序要求和开关特性。

表 6-112. 用于 PHY 数据训练的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) 发送由训练软件确定的 DLL 延迟值
(2) 接收由训练软件确定的 DLL 延迟值

表 6-113. OSPI0 时序要求 – PHY 数据训练

请参阅图 6-92 和图 6-93

编号			模式	最小值	最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)		ns
	t_{DVW}	数据有效窗口 (O15 + O16)	1.8V，具有 DQS 的 DDR	1.6		ns
			3.3V，具有 DQS 的 DDR	2.2		ns
		数据有效窗口 (O21 + O22)	1.8V，具有外部电路板环回的 SDR	2.3		ns
			3.3V，具有外部电路板环回的 SDR	2.9		ns

(1) 当使用数据训练查找合适的数据有效窗口时，未定义 OSPI0_D[7:0] 输入的最小建立和保持时间要求。t_{DVW} 参数定义了所需的最小数据无效窗口。提供此参数来代替最小建立和最小保持时间，必须使用它来检查与所连接器件提供的数据有效窗口的兼容性。

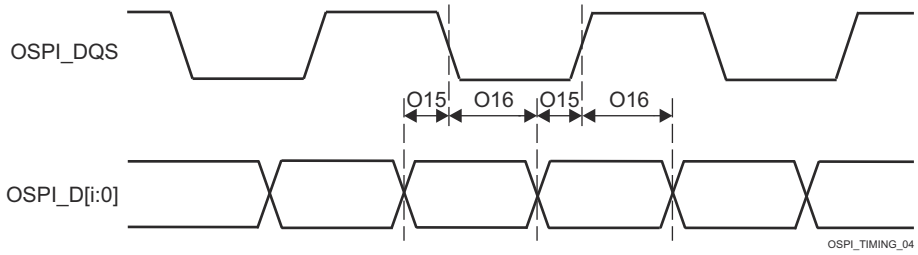


图 6-92. OSPI0 时序要求 – PHY 数据训练，带 DQS 的 DDR

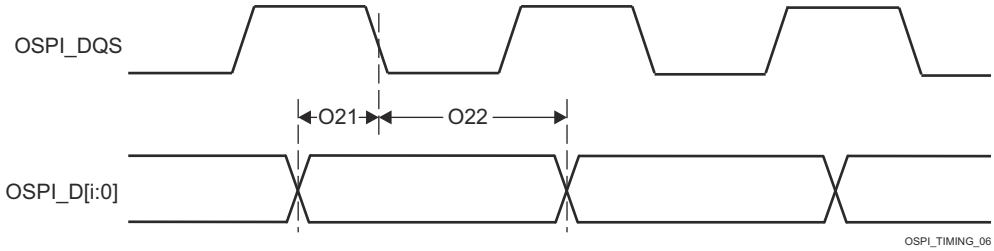


图 6-93. OSPI0 时序要求 – PHY 数据训练，带外部电路板环回的 SDR

Copyright © 2025 Texas Instruments Incorporated

表 6-114. OSPI 开关特性 - PHY 数据训练

请参阅图 6-94 和图 6-95

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK	1.8V，DDR	6.0	10	ns
			3.3V，DDR	7.5	10	ns
O7			1.8V，SDR	6.0	10	ns
			3.3V，SDR	7.5	10	ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平	DDR	((0.475P[1]) - 0.3)		ns
O8			SDR			
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平	DDR	((0.475P[1]) - 0.3)		ns
O9			SDR			
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	DDR	((0.475P[1]) + (0.975M[2]R[4]) + (0.04TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.11TD[5]) + 1)	ns
O10			SDR			
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	DDR	((0.475P[1]) + (0.975N[3]R[4]) - (0.11TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.04TD[5]) + 1)	ns
O11			SDR			
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	DDR	[6]	[6]	ns
O12			SDR			
	t_{DIVW}	数据无效窗口（O6 最大值 - 最小值）	DDR		1.6	ns
		数据无效窗口（O12 最大值 - 最小值）	SDR			

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的数据有效窗口时，不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。t_{DIVW} 参数定义了最大数据无效窗口。提供此参数来代替最小和最大延迟时间，必须使用它来检查与所连接器件的数据有效窗口要求的兼容性。

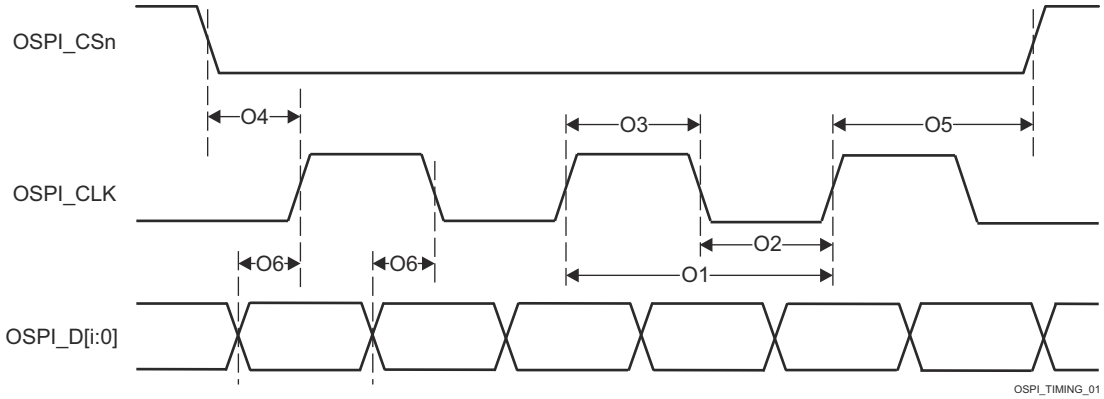


图 6-94. OSPI0 开关特性 – PHY DDR 数据训练

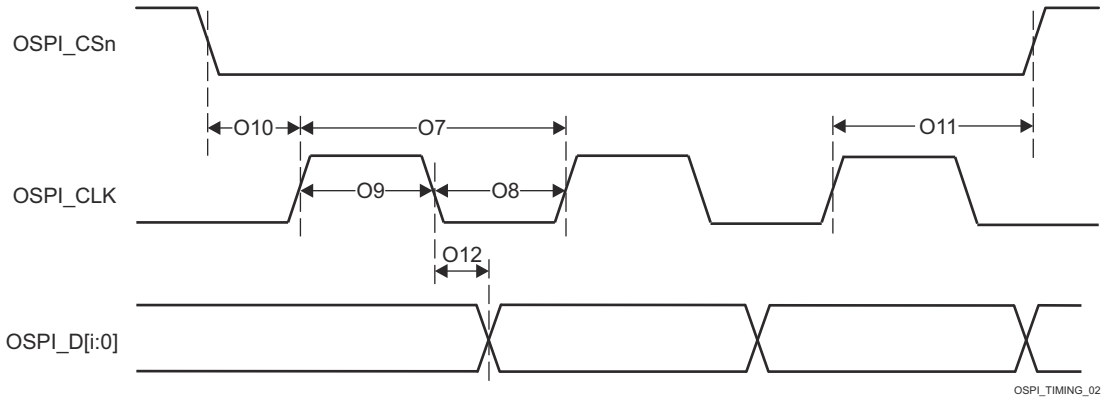


图 6-95. OSPI0 开关特性 – PHY SDR 数据训练

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16.1.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅适用于未实现数据训练且 DLL 延迟按表 6-115 和表 6-118 中所述进行配置的情况。

6.12.5.16.1.2.1 OSPI0 PHY SDR 时序

表 6-115 定义了 OSPI0 PHY SDR 模式所需的 DLL 延迟。表 6-116、图 6-96、图 6-97、表 6-117 和图 6-98 展示了 OSPI0 PHY SDR 模式的时序要求和开关特性。

表 6-115. PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-116. OSPI0 时序要求 - PHY SDR 模式

请参阅图 6-96 和图 6-97

编号			模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有内部 PHY 环回的 SDR	4.8		ns
			3.3V，具有内部 PHY 环回的 SDR	5.19		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有内部 PHY 环回的 SDR	-0.5		ns
			3.3V，具有内部 PHY 环回的 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	0.6		ns
			3.3V，具有外部电路板环回的 SDR	0.9		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	1.7		ns
			3.3V，具有外部电路板环回的 SDR	2.0		ns

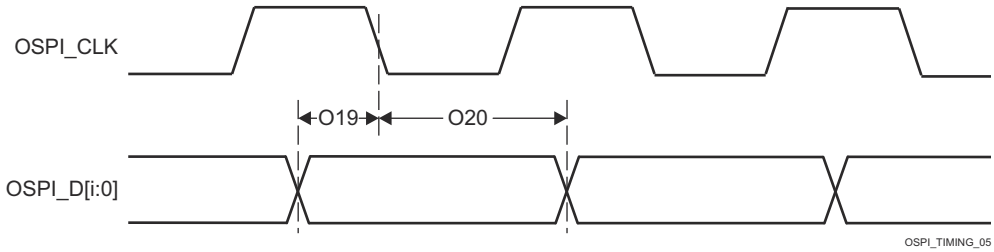


图 6-96. OSPI0 时序要求 – 具有内部 PHY 环回的 PHY SDR

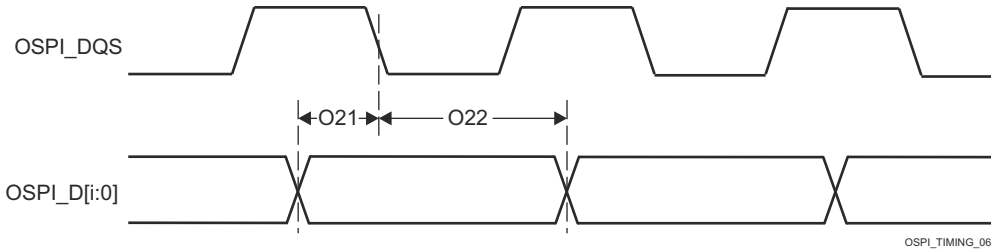


图 6-97. OSPI0 时序要求 – 具有外部电路板环回的 PHY SDR

表 6-117. OSPI0 开关特性 – PHY SDR 模式

请参阅图 6-98

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，OSPI0_CLK	1.8V	7		ns
			3.3V	6.03		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P[1]) - 0.3)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P[1]) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P[1]) + (0.975M[2]R[4]) + (0.04TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.11TD[5]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P[1]) + (0.975N[3]R[4]) - (0.11TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.04TD[5]) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

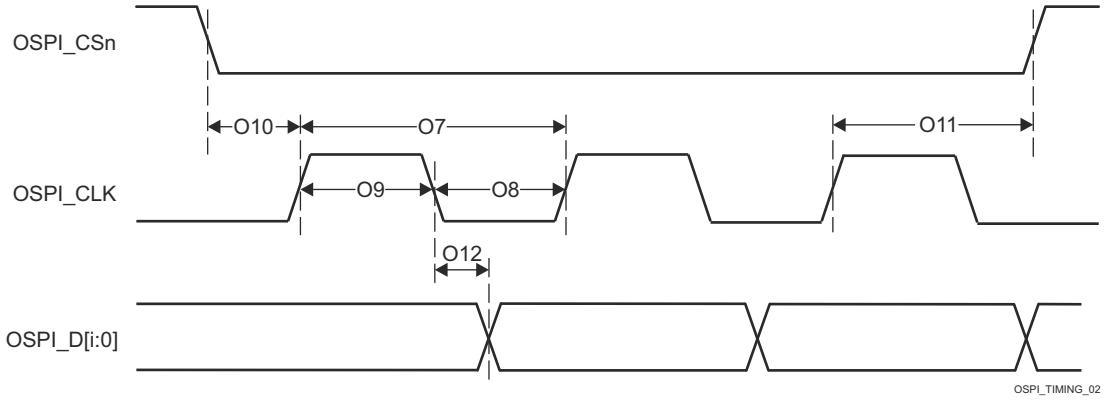


图 6-98. OSPI0 开关特性 – PHY SDR

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16.1.2.2 OSPI0 PHY DDR 时序

表 6-118 定义了 OSPI0 PHY DDR 模式所需的 DLL 延迟。表 6-119、图 6-99、表 6-120 和图 6-100 展示了 OSPI0 PHY DDR 模式的时序要求和开关特性。

表 6-118. PHY DDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x43
接收		
1.8V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-119. OSPI0 时序要求 - PHY DDR 模式

请参阅图 6-99

编号			模式	最小值	最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 DDR	0.53		ns
			1.8V，具有 DQS 的 DDR	-0.46		ns
			3.3V，具有外部电路板环回的 DDR	1.23		ns
			3.3V，具有 DQS 的 DDR	-0.66		ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 DDR	1.24[(1)]		ns
			1.8V，具有 DQS 的 DDR	3.59		ns
			3.3V，具有外部电路板环回的 DDR	1.44[(1)]		ns
			3.3V，具有 DQS 的 DDR	7.92		ns

(1) 此保持时间要求大于典型 OSPI/QSPI/SPI 器件提供的保持时间。因此，SoC 和所连接 OSPI/QSPI/SPI 器件之间的布线长度必须足够长，以确保满足 SoC 的保持时间。SoC 的外部环回时钟（OSPI0_LBCLKO 至 OSPI0_DQS）的长度可能需要缩短才能进行补偿。

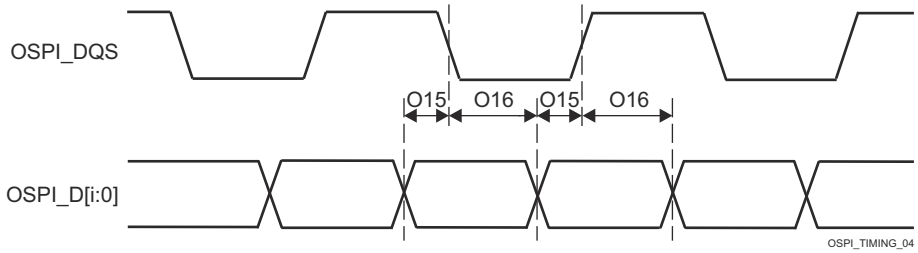


图 6-99. OSPI0 时序要求 – 具有外部电路板环回或 DQS 的 PHY DDR

表 6-120. OSPI0 开关特性 – PHY DDR 模式

请参阅图 6-100

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK		19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P[1]) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P[1]) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P[1]) + (0.975M[2]R[4]) + (0.04TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.11TD[5]) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P[1]) + (0.975N[3]R[4]) - (0.11TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.04TD[5]) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-7.71	-1.56	ns
			3.3V	-7.71	-1.56	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

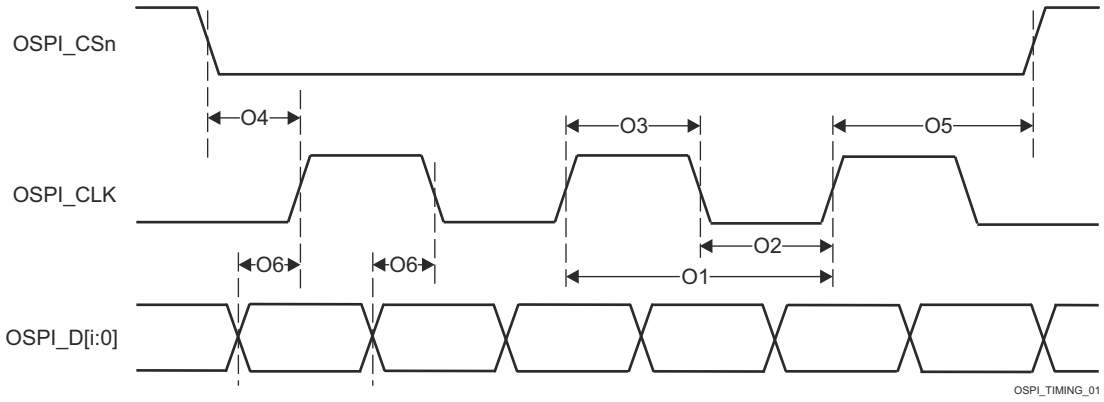


图 6-100. OSPI0 开关特性 – PHY DDR

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16.2 OSPI0 Tap 模式

6.12.5.16.2.1 OSPI0 Tap SDR 时序

表 6-121、图 6-101、表 6-122 和图 6-102 说明了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-121. OSPI0 时序要求 – Tap SDR 模式

请参阅图 6-101

编号			模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(15.4 - (0.975T(1)R(2)))		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 4.3 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

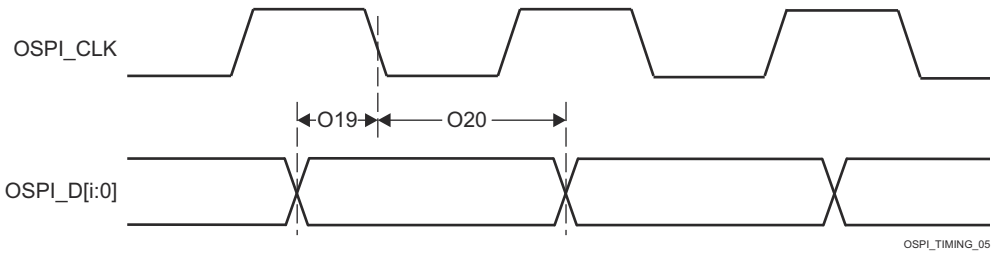


图 6-101. OSPI0 时序要求 – Tap SDR，无环回

表 6-122. OSPI0 开关特性 – Tap SDR 模式

请参阅图 6-102

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，OSPI0_CLK		20		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P[1]) - 0.3)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P[1]) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P[1]) + (0.975M[2]R[4]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P[1]) + (0.975N[3]R[4]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换		- 4.25	7.25	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）

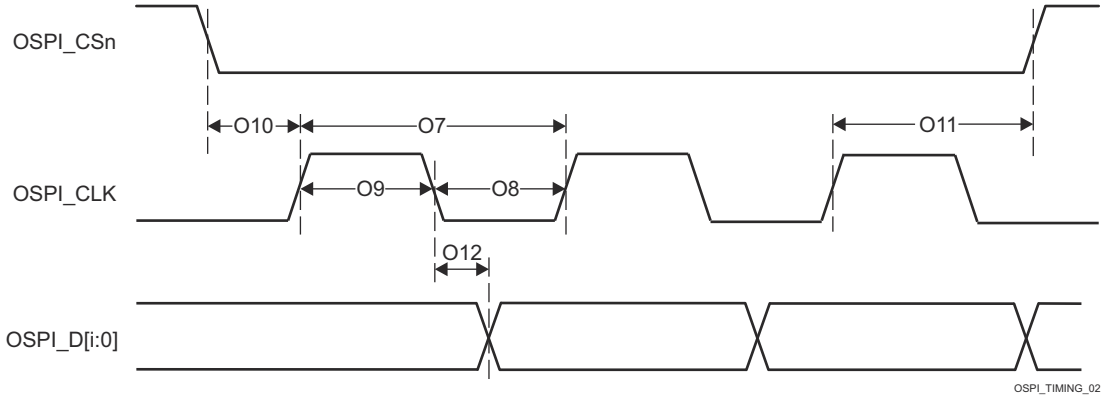


图 6-102. OSPI0 开关特性 – Tap SDR，无环回

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16.2.2 OSPI0 Tap DDR 时序

表 6-123、图 6-103、表 6-124 和图 6-104 展示了 OSPI0 的时序要求和开关特性 – Tap DDR 模式。

表 6-123. OSPI0 时序要求 – Tap DDR 模式

请参阅图 6-103

编号			模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(17.04 - (0.975T(1)R(2)))		ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 3.16 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

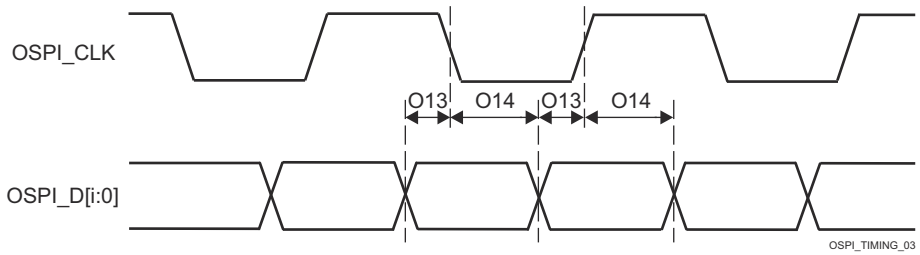


图 6-103. OSPI0 时序要求 – Tap DDR，无环回

表 6-124. OSPI0 开关特性 – Tap DDR 模式

请参阅图 6-104

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK		40		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P(1)) + ((0.975M(2)R(5)) - 1)	((0.525P(1)) + (1.025M(2)R(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P(1)) + (0.975N(3)R(5)) - 1)	((0.525P(1)) + (1.025N(3)R(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换		(- 5.04 + (0.975(T(4) + 1)R(5)) - (0.525P(1)))	(3.64 + (1.025(T(4) + 1)R(5)) - (0.475P(1)))	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
(5) R = 基准时钟周期时间（以 ns 为单位）

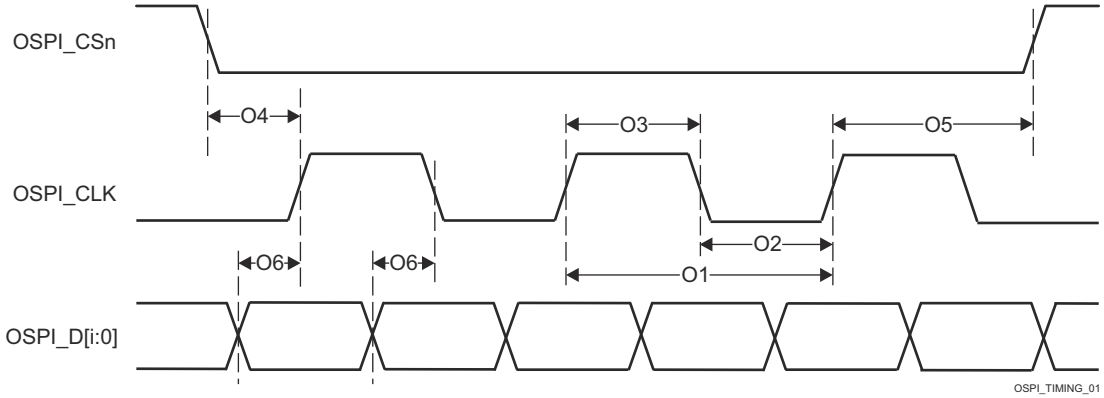


图 6-104. OSPI0 开关特性 – Tap DDR，无环回

Copyright © 2025 Texas Instruments Incorporated

6.12.5.17 计时器

有关器件计时器特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-125. 计时器时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

表 6-126. 计时器输入时序要求

请参阅图 6-105

编号	参数	说明	模式	最小值	最大值	单位
T1	$t_{w(TINPH)}$	脉冲持续时间，高电平	捕获	4P[(1)] + 2.5		ns
T2	$t_{w(TINPL)}$	脉冲持续时间，低电平	捕获	4P[(1)] + 2.5		ns

(1) P = 功能时钟周期（以 ns 为单位）。

表 6-127. 计时器输出开关特性

请参阅图 6-105

编号	参数	说明	模式	最小值	最大值	单位
T3	$t_{w(TOUTH)}$	脉冲持续时间，高电平	PWM	4P[(1)] - 2.5		ns
T4	$t_{w(TOUTL)}$	脉冲持续时间，低电平	PWM	4P[(1)] - 2.5		ns

(1) P = 功能时钟周期（以 ns 为单位）。

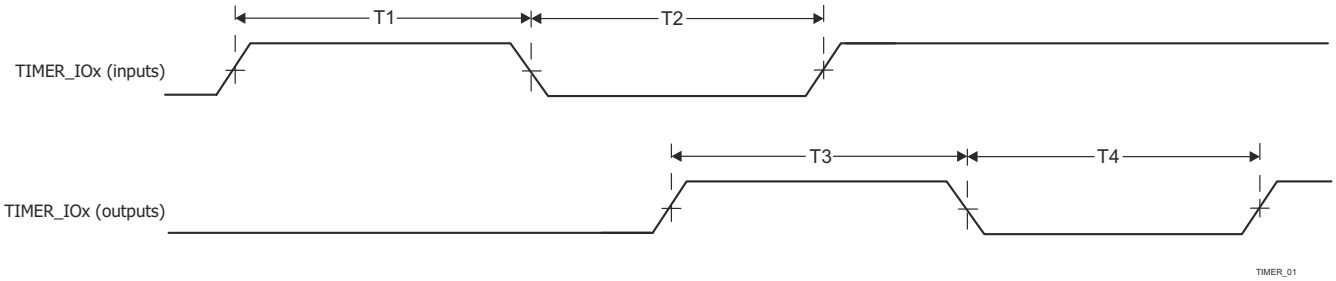


图 6-105. 计时器时序要求和开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

6.12.5.18 UART

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

表 6-128. UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	1	30(1)	pF

(1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

表 6-129. UART 时序要求

请参阅图 6-106

编号	参数	说明	最小值	最大值	单位
1	$t_{w(RXD)}$	脉冲宽度，接收数据位高电平或低电平	0.95U(1)(2)	1.05U(1)(2)	ns
2	$t_{w(RXDS)}$	脉冲宽度，接收开始位低电平	0.95U(1)(2)		ns

(1) U = UART 波特时间（以 ns 为单位）= 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-130. UART 开关特性

请参阅图 6-106

编号	参数	说明	最小值	最大值	单位
	$f_{(baud)}$	主域 UART 的可编程波特率		12	Mbps
		MCU 和 WKUP 域 UART 的可编程波特率		3.7	Mbps
3	$t_{w(TXD)}$	脉冲宽度，发送数据位高电平或低电平	U(1) - 2	U(1) + 2	ns
4	$t_{w(TXDS)}$	脉冲宽度，发送开始位低电平	U(1) - 2		ns

(1) U = UART 波特时间（以 ns 为单位）= 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

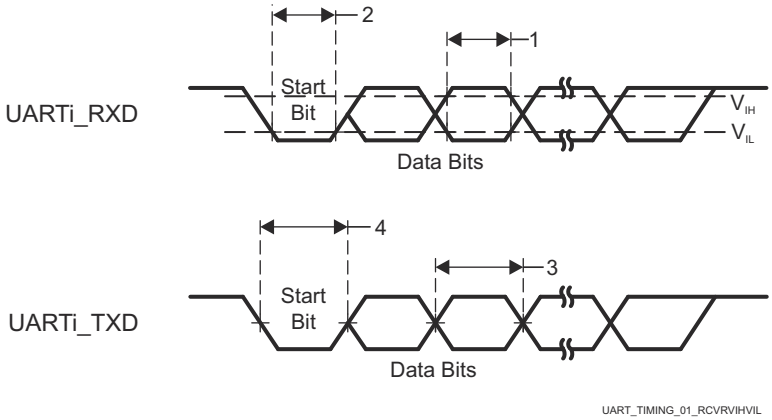


图 6-106. UART 时序要求和开关特性

有关更多信息，请参阅器件 TRM 的*外设* 一章中的*通用异步接收器/发送器 (UART)* 一节。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.19 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

7 详细说明

7.1 概述

Sitara™ MPU 系列中的 AM62D 处理器面向需要高性能数字信号处理的应用。其中的一些应用包括：

- **音频**：汽车高端放大器和专业音频
- **雷达和无线电**：航空航天与国防
- **声纳**：船舶设备
- **超声波**：医疗设备
- **仪表**：电流、电压、其他信号：测试和测量

此器件上的关键内核包括德州仪器 (TI) 的 Arm® Cortex®-A53 和 C7000™（“C7x”）标量和矢量 DSP 内核、专用矩阵乘法加速器 (MMA) 以及隔离式 MCU 岛。所有这些都由工业和汽车级安全硬件加速器提供保护。

DSP 内核概述：C7x 系列的 C7504 内核提供高达 40GFLOPS 的 DSP 计算能力。与上一代 C66x DSP 内核相比，该内核可实现 4 倍到 8 倍或更强性能。其中一些关键特性包括：

- 256 位定点和浮点 DSP 矢量内核
- 通过流引擎访问 L2 存储器的单周期延迟
- 提高控制代码效率
- 具有 64 位存储器寻址和单周期 64 位基本算术运算的真正 64 位计算机

集成概述：除了 C7x DSP 内核外，AM62D SoC 还集成高达四核 Arm® Cortex®-A53，从而提供额外的 16.8KDMIPS 计算能力以及 Linux 或实时操作系统 (RTOS) 的 HLOS 灵活性。最多两个 Arm® Cortex®-R5F 子系统能够管理低级的时序关键型处理任务，使 Arm® Cortex®-A53 和 DSP 内核不受应用的影响。集成的诊断和安全功能可支持高达 SIL-2 和 ASIL-B 级别的运行，同时集成的安全功能可保护数据免受现代攻击。AM62D 器件还提供具有时间敏感网络 (TSN) 功能的 3 端口千兆位以太网交换机，从而实现以太网音频视频桥接 (eAVB) 和 Dante 等音频网络功能，而 McASP 等外设可支持多通道 I2S 和 TDM 音频输入和输出。

备注

有关超集器件片上系统 (SoC) 的特性、子系统和架构的更多信息，请参阅器件 TRM。

Copyright © 2025 Texas Instruments Incorporated

7.2 处理器子系统

7.2.1 Arm Cortex-A53 子系统

SoC 实现了一个四核 Arm® Cortex®-A53 MPCore™ 集群，其中每个内核具有 32KB L1 指令和 32KB L1 数据，同时还具有 512KB L2 共享高速缓存。

Cortex®-A53 内核是通用处理器，可用于运行客户应用程序。

A53SS 基于 Cortex®-A53 MPCore™（Arm®-A53 集群）构建，后者由 Arm 提供并由 TI 配置。该处理器基于对称多处理器 (SMP) 架构，因此可提供高性能以及最佳电源管理、调试和仿真功能。

A53 处理器是一款多发射乱序超标量执行引擎，具有集成的 L1 指令和数据高速缓存，与 Arm®v8-A 架构兼容。与其前代产品相比，该处理器具有更高的功效，性能显著提升。

Arm®v8-A 架构提供了许多新功能。这些新功能包括 64 位数据处理、扩展虚拟寻址和 64 位通用寄存器。A53 处理器是 Arm 率先推出的 Arm®v8-A 处理器，旨在提供低功耗的 64 位处理。该处理器具有顺序、8 级、双发射流水线和改进的整数、Arm® Neon™、浮点单元 (FPU) 和存储器性能。

A53 CPU 支持两种执行状态：AArch32 和 AArch64。AArch64 状态使 A53 CPU 能够执行 64 位应用程序，而 AArch32 状态则允许处理器执行现有的 Arm®v7-A 应用程序。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的 *Arm Cortex-A53 子系统*一节。

7.2.2 器件/电源管理器

WKUP_R5FSS 是 Arm® Cortex®-R5F 处理器的单核实现，充当负责引导、资源管理和电源管理功能的设备管理器。它还包括附带的存储器（L1 高速缓存和紧密耦合存储器）、标准 Arm® CoreSight™™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种其他模块，以便于集成到 SoC。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的*设备管理器 Cortex R5F 子系统*一节。

7.2.3 MCU Arm Cortex-R5F 子系统

MCU_R5FSS 是基于 Arm® Cortex®-R5F 的子系统，可以运行安全处理或用作通用 MCU。该处理器包括 32KB 指令高速缓存、32KB 数据高速缓存和 64KB 紧耦合存储器。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的 *Cortex R5F 子系统*一节。

7.3 加速器和协处理器

7.3.1 带矩阵乘法加速器的 C7x256V DSP

C7x DSP 内核是一款由德州仪器 (TI) 开发的高性能数字信号处理器 (DSP)，作为其定点和浮点 DSP 平台的一员。它代表了 DSP 技术的前沿，旨在快速高效地处理复杂的数学运算和大型数据处理任务。它采用超长指令字 (VLIW) 架构，可以通过宽矢量指令和多个功能单元提供重要的数学处理能力。利用其矢量 (SIMD) 指令和完全流水线型计算指令，C7x DSP 内核可在每个周期执行大量计算，因此成为了需要实时处理的应用的理想选择。

- **64 位架构：**C7x 内核是真正的 64 位机器，具有 64 位存储器寻址功能和执行单周期 64 位基本算术运算的能力。
- **定点和浮点运算：**该内核支持定点和浮点矢量指令。它拥有 13 个完全流水线型功能单元，允许每个时钟周期开始执行最多 13 条指令。
- **完全流水线型功能单元：**支持在每个时钟周期启动独立指令，从而显著提高计算吞吐量。
- **单周期 L2 存储器存取：**C7x 的流引擎允许对多达 6 维数据模式进行单周期 L2 存储器存取，从而绕过高速缓存。
- **性能提升：**与上一代 C66x DSP 内核相比，C7x 内核的 DSP 处理能力提高了 4 至 8 倍，甚至更多。

AM62D 器件采用 C7x 内核的 C7504 版本，具有 256 位宽矢量内核。这种稳健可靠的内核能够高效处理各种运算

- **每周期运算量：**每周期最多能够执行 40 次 FLOPS（浮点运算），其中包括：
  - **2 次**具有 256 位宽度的算术/逻辑运算（不包括乘法指令）
  - **2 次**具有 256 位宽度的乘法运算
  - **1 次**相关运算或具有 256 位宽度的标准算术运算
  - **1 次**矢量谓词操作运算
  - **1 次**非对齐 256 位加载或存储操作
- **每周期 MAC：**C7x-256bV DSP 内核可在每个周期实现可观的 MAC（乘法累加）速率：
  - **Int16**：高达 64 MAC/周期。
  - **Int32**：高达 16 MAC/周期。
  - **浮点**：高达 16 MAC/周期。
- **矩阵乘法加速器 (MMA)：**MMA 协处理器可增强 C7x 架构的标量和矢量功能。在 AM62D 器件上，MMA 与 C7x 内核紧密集成。通过流引擎 (SE)，它可提供多种 MAC 操作、矩阵优化存储和数据移动。这些特性对于视觉（CNN、SfM、滤波等）、语音 (xNN)、音频（卷积）、雷达 (FFT) 和控制（强化学习、状态更新）等应用中普遍存在的密集线性代数运算尤其有用。
- **单周期 L2 存储器大小：**1.25MB。

Copyright © 2025 Texas Instruments Incorporated

7.4 其他子系统

7.4.1 双时钟比较器 (DCC)

双时钟比较器 (DCC) 用于确定应用程序执行期间时钟信号的精度。具体而言，DCC 旨在检测相对于预期时钟频率的漂移。可以根据每个应用程序的计算结果对所需精度进行编程。DCC 使用另一个输入时钟作为基准来测量可选时钟源的频率。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*双时钟比较器*一节。

7.4.2 数据移动子系统 (DMSS)

DMSS 模块在 CBA 交换式互连与器件上的数据包流结构（片上网络）之间提供数据移动 (DMA) 和桥接器。

数据移动子系统 (DMSS) 由 DMA/队列管理组件和外设组成：

- 数据包 DMA
- 块复制 DMA
- 环形加速器
- 数据包流接口 (PSILSS)
- 基础设施元件，如 CBASS、安全代理和中断聚合器

7.4.3 存储器循环冗余校验 (MCRC)

VBUSM CRC 控制器是一个用于执行 CRC（循环冗余校验）以验证存储系统完整性的模块。当存储器中的内容被读入 MCRC 控制器时，一个信号代表得到了内存内容。MCRC 控制器的职责是为一组数据计算信号，然后把计算过的信号与预先确定的良好的信号值相比较。MCRC 控制器提供四个通道对多个存储器并行执行 CRC 计算，并且可以在任何存储器系统上使用。

有关更多信息，请参阅器件 TRM 中*外设*一章的*存储器循环冗余校验*部分。

7.4.4 外设 DMA 控制器 (PDMA)

外设 DMA 是一种简单的 DMA，其架构专为满足外设的数据传输需求而设计，外设使用通过标准非相干总线结构访问的存储器映射寄存器 (MMR) 来执行数据传输。PDMA 模块靠近一个或多个需要外部 DMA 进行数据移动的外设，其架构旨在通过使用 VBUSP 接口并仅支持静态配置的传输请求 (TR) 操作来降低成本。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中，然后将其发送到远程对等 DMSS 目标通道，然后由该通道将数据移动到存储器中。同样，远程 DMSS 源通道从存储器中获取数据，并通过 PSI-L 将其传输到对等 PDMA 目标通道，然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (DMSS + PDMA)，以适当调整系统中每个点的数据传输复杂性，以满足传入或传出的任何内容的要求。外设通常基于 FIFO，不需要超出其 FIFO 尺寸要求的多维传输，因此 PDMA 传输引擎保持简单，仅具有几个维度（通常用于样本大小和 FIFO 深度）、硬编码地址映射和简单的触发功能。

PDMA 内提供多个源通道和目标通道，允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息，并在通道之间采用轮询调度以共享底层 DMA 硬件。

7.4.5 实时时钟 (RTC)

RTC 的基本用途是记录一天中的时间。RTC 的另一个同样重要的用途是数字版权管理。需要某种程度的防篡改，以确保简单地停止、复位或损坏 RTC 不会被忽视，以便在发生这种情况时应用程序可以从可信来源重新获取一天中的时间。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*实时时钟*一节。

7.5 外设

7.5.1 千兆位以太网交换机 (CPSW3G)

3 端口千兆位以太网交换机 (CPSW0) 子系统为器件提供以太网数据包通信，并可配置为以太网交换机。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网交换机*一节。

7.5.2 摄像头串行接口接收器 (CSI_RX_IF)

通过集成 CSI_RX_IF 模块，器件可以将视频输入从多个摄像头流式传输到内部存储器。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*摄像头串行接口接收器*一节。

7.5.3 增强型捕获 (ECAP)

ECAP 模块提供事件的精确计时。当不用于事件捕获时，其资源可用于生成单通道不对称 PWM 波形。

增强型捕捉 (ECAP) 模块可用于：

- 音频输入的采样速率测量
- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获*一节。

7.5.4 错误定位模块 (ELM)

ELM 从生成的伴随多项式中提取错误地址。

ELM 与 GPMC 一起使用。读取 NAND 闪存页面时动态生成并存储在 GPMC 寄存器中的伴随多项式被传递到 ELM。然后，主机处理器可以通过翻转 ELM 错误位置输出指向的位来纠正数据块。

从 NAND 闪存读取数据时，需要进行一定程度的纠错。对于没有内部校正功能的 NAND 模块（有时称为*裸 NAND*），校正过程由存储器控制器执行。ELM 还可用于支持并行 NOR 闪存或 NAND 闪存。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误定位模块*一节。

7.5.5 增强型脉宽调制 (EPWM)

有效的 PWM 外设必须能够以最小的 CPU 开销或干预生成复杂的脉冲宽度波形。该外设需要高度可编程且非常灵活，同时易于理解和使用。此处介绍的 EPWM 单元通过在每个 PWM 通道的基础上分配所有需要的计时和控制资源来满足这些要求。避免了交叉耦合或资源共享；相反，EPWM 由具有独立资源的较小单通道模块构建而成，并且可以根据需要一起运行以形成系统。该模块化方法形成了正交架构，并提供了更透明的外设结构视图，帮助用户快速了解其运行原理。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制*一节。

7.5.6 错误信令模块 (ESM)

错误信令模块 (ESM) 将整个器件中的事件和/或错误聚合到一个位置。它可以向处理器发出低优先级和高优先级中断信号，以处理事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。因此，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误信令模块*一节。

7.5.7 增强型正交编码器脉冲 (EQEP)

增强型正交编码器脉冲 (EQEP) 外设用于与线性或旋转增量编码器进行直接连接，以便获取高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。增量编码器的盘上刻有单轨槽图案。这些槽形成暗线和亮线交替的图案。盘计数定义为每转出现的暗线/亮线对的数量（每转线数）。通常，添加第二个轨道以生成每转出现

Copyright © 2025 Texas Instruments Incorporated

一次的信号（索引信号：QEPI），可用于指示绝对位置。编码器制造商使用不同的术语（例如索引、标记、初始位置和零基准）来标识索引脉冲。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲*一节。

7.5.8 通用接口 (GPIO)

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

此外，GPIO 外设可以在不同的中断/事件生成模式下产生主机 CPU 中断和 DMA 同步事件。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口*一节。

7.5.9 通用存储器控制器 (GPMC)

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器*一节。

7.5.10 全局时基计数器 (GTC)

GTC 模块提供连续运行的计数器，可用于时间同步和调试跟踪时间戳。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*全局时基计数器*一节。

7.5.11 内部集成电路 (I2C)

该器件包含多控制器集成电路总线 (I2C) 控制器，每个控制器都提供本地主机 (LH)（例如 Arm）和任何通过 I^2C 串行总线连接的 I^2C 总线兼容器件。连接到 I^2C 总线的外部器件可以通过 2 线 I^2C 接口以串行方式向 LH 器件发送和从其接收高达 8 位的数据。

每个多控制器 I^2C 模块均可配置为充当目标或控制器 I^2C 兼容器件。

I^2C 实例可以使用专用的 I^2C 兼容开漏 I/O 缓冲器来实现，或使用标准 LVCMOS I/O 缓冲器来实现。与开漏 I/O 缓冲器关联的 I^2C 实例可以支持 Hs 模式（当 I/O 缓冲器在 1.8V 电压下运行时数据速率高达 3.4Mbps，但当 I/O 缓冲器工作电压为 3.3V 时数据速率限制为 400kbps）。

与标准 LVCMOS I/O 缓冲器关联的 I^2C 实例可以支持快速模式（数据速率高达 400kbps）。这些端口上使用的 LVCMOS IO 缓冲器的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*集成电路总线*一节。

7.5.12 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高安全性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力以及自诊断和修复数据错误的能力。在 CAN 网络中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。经典的 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*模块化控制器局域网 (MCAN)*一节。

7.5.13 多通道音频串行端口 (MCASP)

本节介绍多通道音频串行端口 (MCASP) 模块，并说明其主要功能和在器件中的连接。

MCASP 作为通用音频串行端口的功能针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

尽管 MCASP 模块本身不支持元件间数字音频接口接收 (DIR) 模式（即 S/PDIF 流接收），但 MCASP 接收器的特定 TDM 模式实现允许轻松连接到外部 DIR 元件（例如，S/PDIF 到 I2S 格式转换器）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道音频串行端口*一节。

7.5.14 多通道串行外设接口 (MCSPI)

MCSPI 模块是多通道发送/接收、控制器/外设同步串行总线。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口*一节。

7.5.15 多媒体卡安全数字 (MMCSD)

MMCSD 主机控制器提供用于连接 eMMC 5.1（嵌入式多媒体卡）、SD 4.10（安全数字）和 SDIO 4.0（安全数字 IO）器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡安全数字*一节。

7.5.16 八进制串行外设接口 (OSPI)

八路串行外设接口 (OSPI) 模块是一种串行外设接口 (SPI) 模块，允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。该模块具有存储器映射寄存器接口，可提供直接存储器接口用于从外部闪存器件访问数据，从而简化软件要求。

OSPI 模块用于以存储器映射直接模式（例如处理器希望直接从外部闪存执行代码）传输数据或以间接模式传输数据，其中模块设置为静默执行某些请求的操作，通过中断或状态寄存器发出完成信号。对于间接操作，数据通过内部 SRAM 在系统存储器和外部闪存之间传输，器件控制器以低延迟系统速度加载该内部 SRAM 以进行写入，卸载以进行读取。中断或状态寄存器用于识别应使用用户可编程配置寄存器访问该 SRAM 的特定时间。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

7.5.17 计时器

所有计时器均包含特定功能，可为操作系统生成精确的节拍中断。

有关更多信息，请参阅器件 TRM 中*外设*一章的*计时器*部分。

7.5.18 通用异步收发器 (UART)

UART 是一种利用 DMA 通过主机 CPU 进行数据传输或中断轮询的外设。当使用 48MHz 功能时钟时，所有 UART 模块都支持 IrDA 和 CIR 模式。每个 UART 均可用于配置和与多个外部外围器件的数据交换或器件之间的处理器间通信。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用同步/异步接收器/发送器*一节。

7.5.19 通用串行总线子系统 (USBSS)

USB（通用串行总线）通过实现 USB 设备之间的数据传输机制，为众多消费类便携式设备提供低成本连接解决方案。

该器件实例化了以高达 USB2.0 速度 (480Mb/s) 运行的第三方 USB 子系统 (USB2SS) 的两个独立实例，其中任何一个都可以独立配置为充当 USB 主机或 USB 设备。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用串行总线子系统*一节。

Copyright © 2025 Texas Instruments Incorporated

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 电源

8.1.1.1 配电网络实施指南

Sitara 处理器配电网络：实施与分析 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI *仅* 支持遵循此应用报告中所包含的电路板设计指南的设计。

8.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅*时钟规格* 一节。

8.1.3 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。XDS 目标连接指南中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅仿真和跟踪接头技术参考手册

8.1.4 未使用的引脚

有关未使用的引脚的更多信息，请参阅节 5.4 *引脚连接要求*

8.2 外设和接口的相关设计信息

8.2.1 DDR 电路板设计和布局布线指南

AM62Ax/AM62Dx/AM62Px LPDDR4 电路板设计和布局布线指南旨在为所有设计人员简化 DDR 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

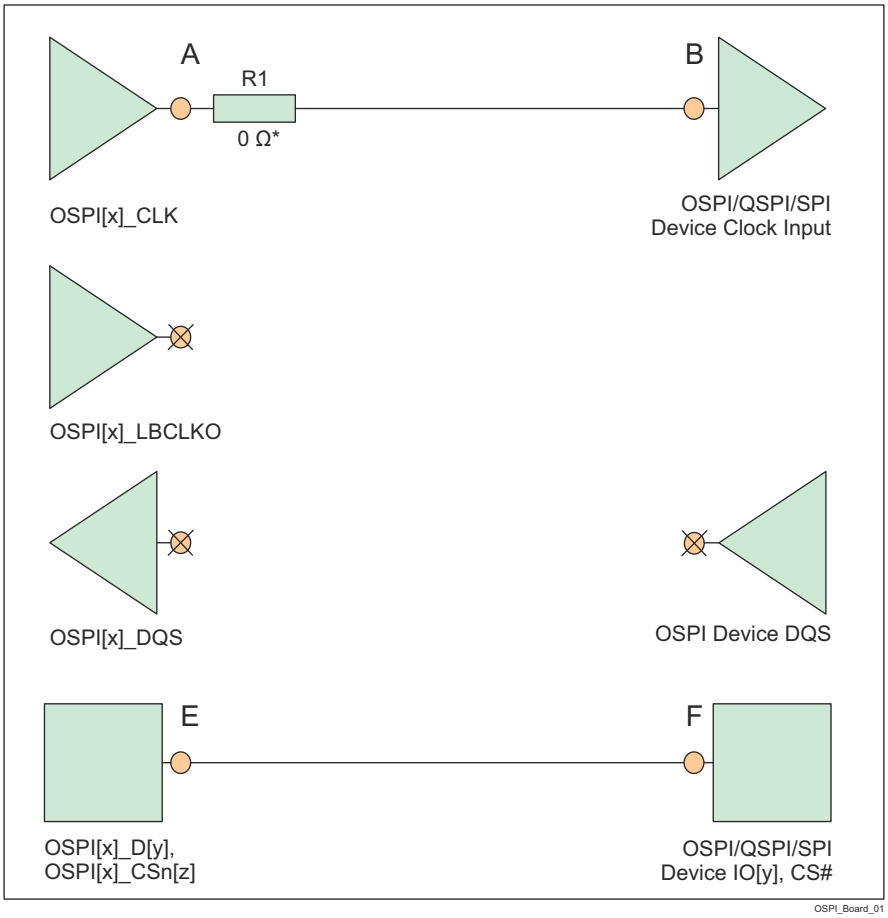
Copyright © 2025 Texas Instruments Incorporated

8.2.2 OSPI/QSPI/SPI 电路板设计和布局指南

以下部分详细介绍了在连接 OSPI、QSPI 或 SPI 器件时必须遵守的 PCB 布线指南。

8.2.2.1 无环回、内部 PHY 环回和内部焊盘环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 从 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟必须 ≤ 450ps（带状线约为 7cm，微带线约为 8cm）
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-1 所示
- 传播延迟和匹配：
  - （A 到 B）≤ 450ps
  - （E 至 F，或 F 至 E）=（（A 至 B）± 60ps）



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

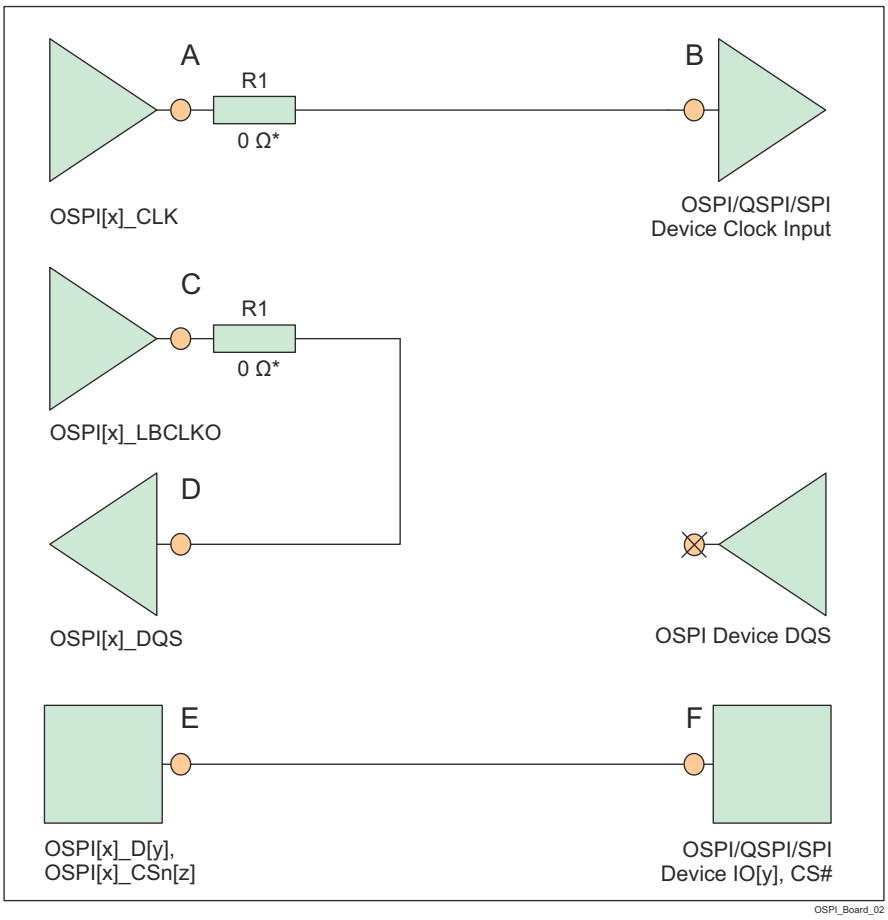
图 8-1. 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图

8.2.2.2 外部电路板环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- OSPI[x]_LBCLKO 输出引脚必须环回 OSPI[x]_DQS 输入引脚
- OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚（C 到 D）的信号传播延迟必须大约是 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的传播延迟的两倍
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-2 所示
- 传播延迟和匹配：
  - （C 到 D）= 2 x（（A 到 B）± 30ps），请参阅下面的例外说明。
  - （E 到 F，或 F 到 E）=（（A 到 B）± 60ps）

备注

外部板环回保持时间要求（由 *OSPI0 时序要求 - PHY DDR 模式* 一节中的编号为 O16 的参数定义）可能大于典型 OSPI/QSPI/SPI 器件提供的保持时间。在这种情况下，可以减少 OPSI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚（C 到 D）的传播延迟，以提供额外的保持时间。



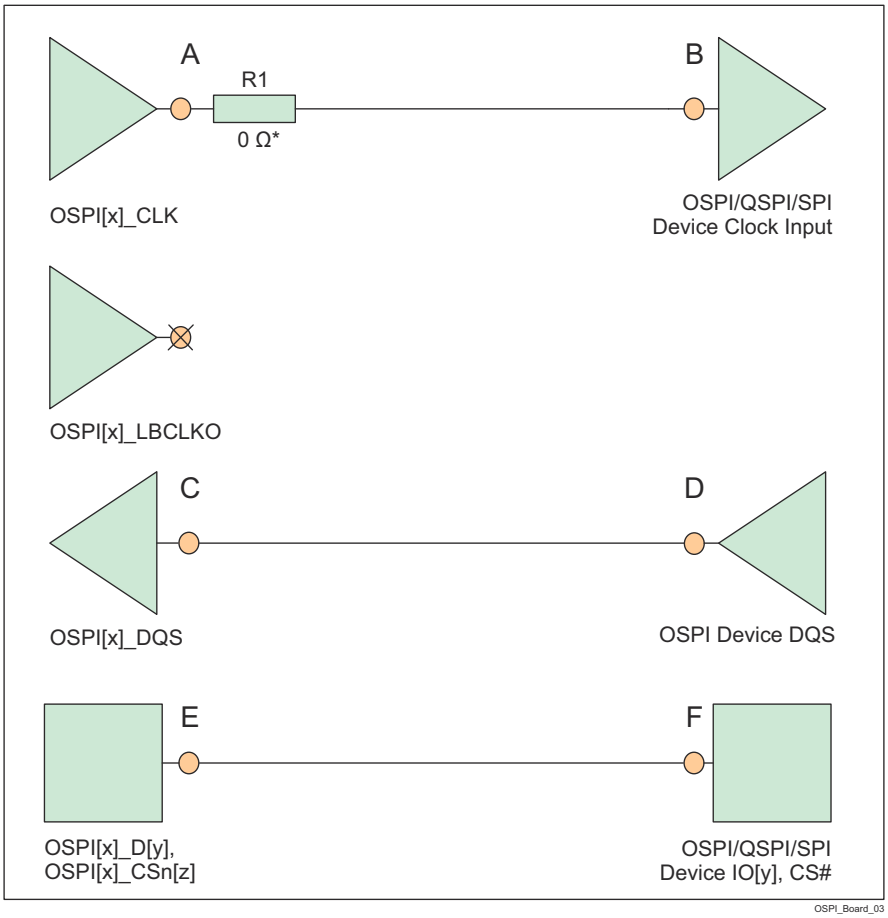
* 0Ω 电阻器 (R1) 尽可能靠近 OSPI[x]_CLK 和 OSPI[x]_LBCLKO 引脚，是用于微调（如果需要）的占位元件。

图 8-2. 外部板环回的 OSPI 连接原理图

Copyright © 2025 Texas Instruments Incorporated

8.2.2.3 DQS（仅适用于八路 SPI 器件）

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 所连接 OSPI/QSPI/SPI 器件的 DQS 引脚必须连接到 OSPI[x]_DQS 引脚
- 从所连接 OSPI/QSPI/SPI 器件 DQS 引脚到 OSPI[x]_DQS 引脚（D 到 C）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 至 B）的信号传播延迟
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-3 所示
- 传播延迟和匹配：
  - （D 至 C）=（（A 至 B）± 30ps）
  - （E 至 F，或 F 至 E）=（（A 至 B）± 60ps）



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位符。

图 8-3. DQS 的 OSPI 连接原理图

8.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-4 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。

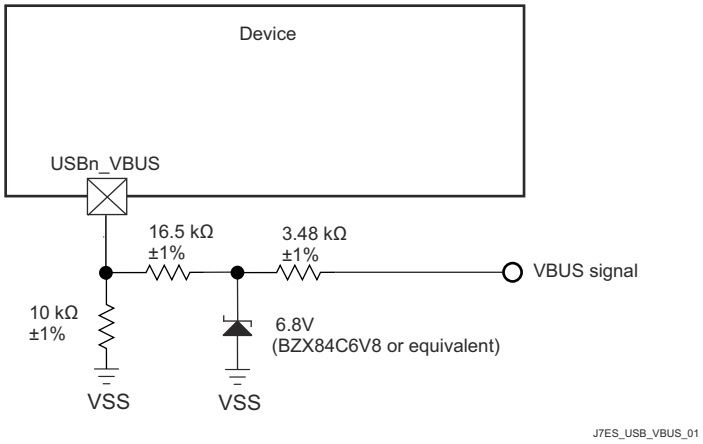


图 8-4. USB VBUS 检测分压器/钳位电路

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.2.4 系统电源监测设计指南

VMON_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源，可通过外部电阻分压器电路连接到 VMON_VSYS 引脚。通过将外部分压器输出电压与内部电压基准进行比较来监控该系统电源，当施加到 VMON_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。

在设计电阻分压器电路时，设计人员必须了解导致系统电源监测跳闸点可变性的各种因素。首先要考虑的是 VMON_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON_VSYS 输入漏电流范围为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，输出电压绝不超过*建议运行条件* 部分中定义的最大值。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，设计人员必须在选择电阻器值时了解哪些变量会影响最大触发阈值。在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入泄漏的影响，但对最大触发点的影响并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON_VSYS 引脚的输入漏电流为 2.5μA。当采用 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，产生的最大触发阈值为 4.517V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.013V。

Copyright © 2025 Texas Instruments Incorporated

该示例演示了一个范围为 4.013V 至 4.517V 的系统电源电压跳闸点。当 VMON_VSYS 输入漏电流为 2.5μA 时，该范围中约 250mV 是通过 ±3% 的 VMON_VSYS 输入阈值精度引入的，约 150mV 是通过 ±1% 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100μA 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还必须考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

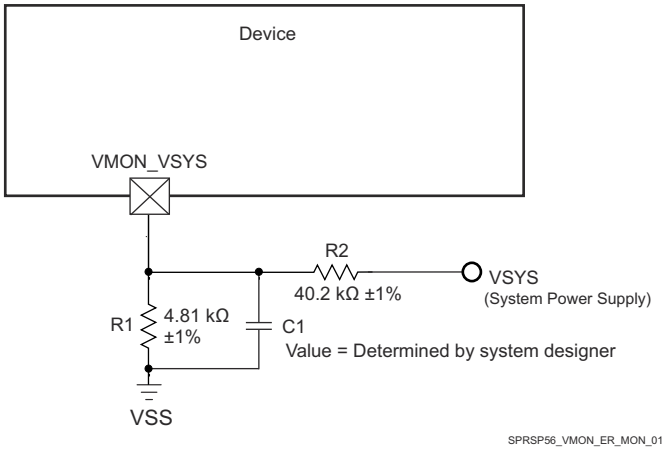


图 8-5. 系统电源监测分压器电路

VMON_1P8_SOC 引脚提供了一种监控外部 1.8V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

VMON_3P3_SOC 引脚提供了一种监控外部 3.3V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

8.2.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI *仅* 支持遵循此应用手册中所包含的电路板设计指南的设计。

8.2.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用手册中所包含的系统设计指南的设计。

8.3 时钟布线指南

8.3.1 振荡器路由

在设计印刷电路板时：

- 将所有晶体电路元件尽可能靠近相应的器件引脚放置。
- 在 PCB 的外层布置晶体电路布线，并尽量缩短布线长度，以减少寄生电容并尽可能减少其他信号的串扰。
- 在 PCB 的相邻层上放置一个连续的接地平面，使其位于所有晶体电路元件和晶体电路布线的下方。
- 在晶体电路元件周围布设接地防护，以屏蔽在与晶体电路布线布置在同一层上的所有相邻信号。插入多个过孔以拼接地防护，使其没有任何未端接残桩。
- 在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间布置接地防护，以使 MCU_OSC0_X0 信号和 MCU_OSC0_XI 信号相互屏蔽。插入多个过孔以拼接地防护，使其没有任何未端接残桩。
- 如果在 PCB 的不同层上单独实现，则将所有晶体电路接地连接和接地防护连接直接连接到相邻层的接地平面和器件的 VSS 接地平面。

备注

在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间实现接地防护对于尽可能减小两个信号之间的分流电容至关重要。在这两个信号间不存在接地防护的情况下，将这两个信号彼此相邻布置会有效地降低振荡器放大器的增益，进而降低其启动振荡的能力。

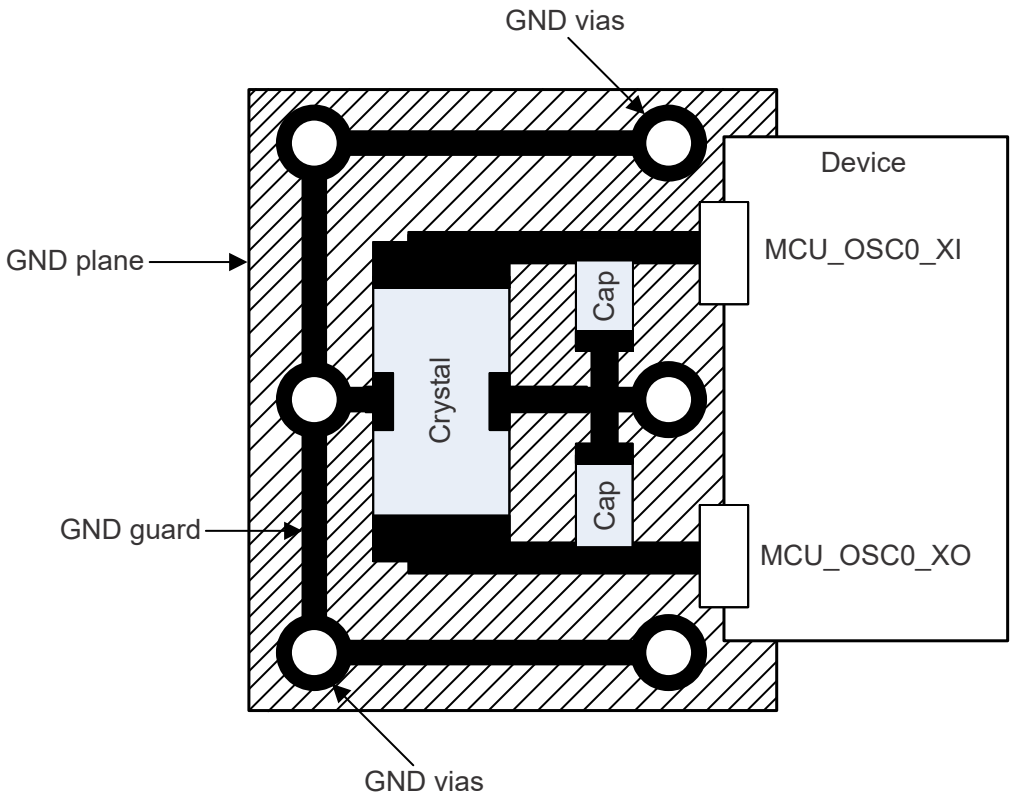


图 8-6. MCU_OSC0 PCB 要求

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null（无前缀）（例如，AM62D24AVGHIANFRQ1）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ANF 封装类型的 AM62Dx 器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

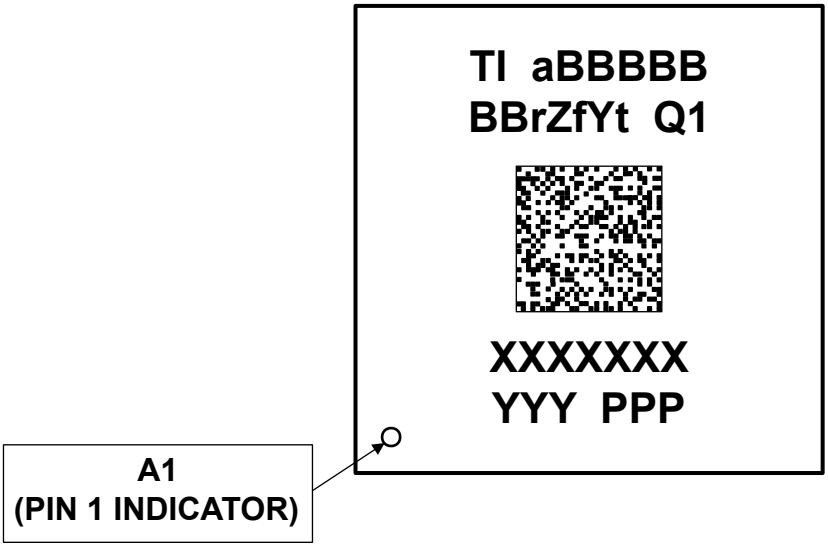


图 9-1. 印刷器件参考

Copyright © 2025 Texas Instruments Incorporated

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
TI	器件 制造商	TI	德州仪器 (TI)
a	器件演变阶段	X	原型
		P	预量产（生产测试流程，无可靠性数据）
		空白[1]	量产
BBBBBBB	基本量产器件型号	AM62D24	请参阅器件比较
		AM62D22	
r	器件修订版本	A	SR1.0
Z	器件速度等级	P	请参阅器件速度等级
		R	
		V	
f	特性 （请参阅器件比较）	G	进制
Y	信息安全/功能安全	1 至 9	使用虚拟密钥进行保护/无功能安全
		H 至 R	使用生产密钥进行保护/无功能安全
		S 至 Z	使用生产密钥进行保护/功能安全
t	温度[2]	A	–40°C 至 105°C - 工业级温度范围（请参阅建议运行条件）
		I	–40°C 至 125°C - 汽车级温度范围（请参阅建议运行条件）
Q1	汽车级指示符	Q1	通过汽车认证 (AEC - Q100)
		空白[1]	标准
	2D 条形码	不确定	可选 2D 条形码，提供其他器件信息
		空白[1]	
XXXXXXX			批次追踪代码 (LTC)
YYY			生产代码；仅供 TI 使用
PPP	封装符号	ANF	FCCSP BGA（484 引脚）
●			引脚 1 符号

(1) 符号或器件型号中的空白将折叠显示，以防字符间存在间隙。
(2) 适用于器件最高结温。

9.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig-PinMux 工具 SysConfig-PinMux 工具是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI 嵌入式处理器器件的 I/O 电池特性。该工具可用于自动计算适当的引脚多路复用配置，以满足输入的系统要求。该工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，并用于配置客户的软件以满足定制硬件要求。还提供**基于云的 SysConfig-PinMux 工具**。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM62Dx 器件进行了介绍。

技术参考手册

AM62Dx Sitara 处理器技术参考手册：详述了 AM62Dx 系列器件中每个外设和子系统的集成、环境、功能说明和编程模型。

勘误

AM62Dx Sitara 处理器器件勘误表：说明了针对器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Sitara™, C7000™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
MPCore™, Neon™, and CoreSight™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
安全数字® and SD® are registered trademarks of SD Card Association.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2025 Texas Instruments Incorporated

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from DECEMBER 10, 2024 to MAY 7, 2025 (from Revision * (DECEMBER 2024) to Revision A (MAY 2025)) **Page**

- **通篇：**将文档产品状态从“预告信息”更改为“量产数据” 1
- （特性）：更新了 C7x DSP L1 DCache 和 L1 ICache 存储器大小 1
- （特性）：更新了符合功能安全标准的目标 [汽车] 项目符号 1
- （器件比较）：将 MCAN 实例数量从 2 更新为 3 6
- （引脚连接要求）：更新了 MCU_I2C0 和 WKUP_I2C0 焊球的连接要求，以便在选择 GPIO 信号功能时连接外部下拉电阻器 70
- （MCSPI 开关特性 - 控制器模式）：将表注 2、3、4 和 5 中出现的所有 MSPI 更改为 MCSPI 158
- （MMC0 - eMMC/SD/SDIO 接口）：说明了默认速度、高速、UHS-I SDR12 和 UHS-I SDR25 模式仅可用于连接到嵌入式 SDIO 器件，删除了 UHS-I SDR50、UHS-I DDR50 和 UHS-I SDR104 模式 163
- （所有时序模式的 MMC0 DLL 延迟映射）：更改了寄存器名称。还更改了旧 SDR、高速 SDR、默认速度和高速模式的 OTAPDLYENA 和 OTAPDLYSEL 值 163
- （所有时序模式的 MMC1/MMC2 DLL 延迟映射）：更改了寄存器名称，并更改了默认速度和高速模式的 OTAPDLYENA 和 OTAPDLYSEL 值 177

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM62D22ARGHIANFRQ1	Active	Production	FCCSP (ANF) | 484	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TI AM62D 22ARGHI Q1
AM62D24AVGHIANFRQ1	Active	Production	FCCSP (ANF) | 484	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TI AM62D 24AVGHI Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

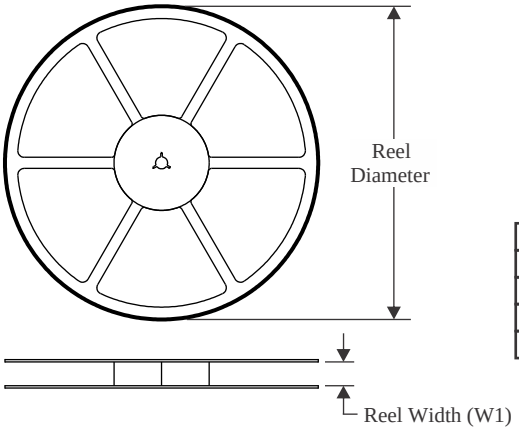
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

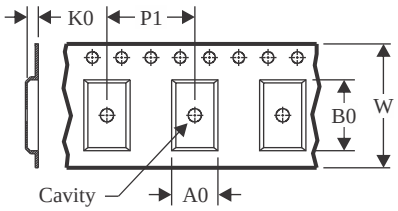
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

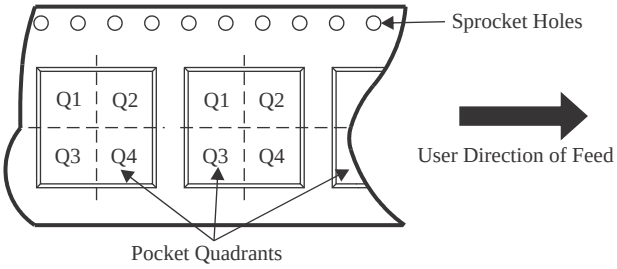


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

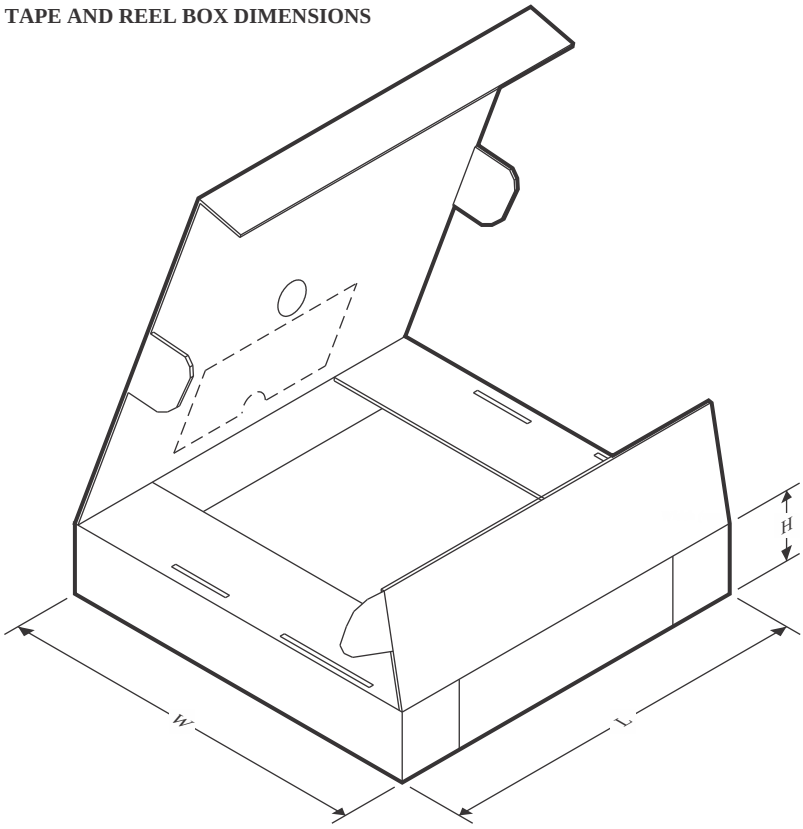
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

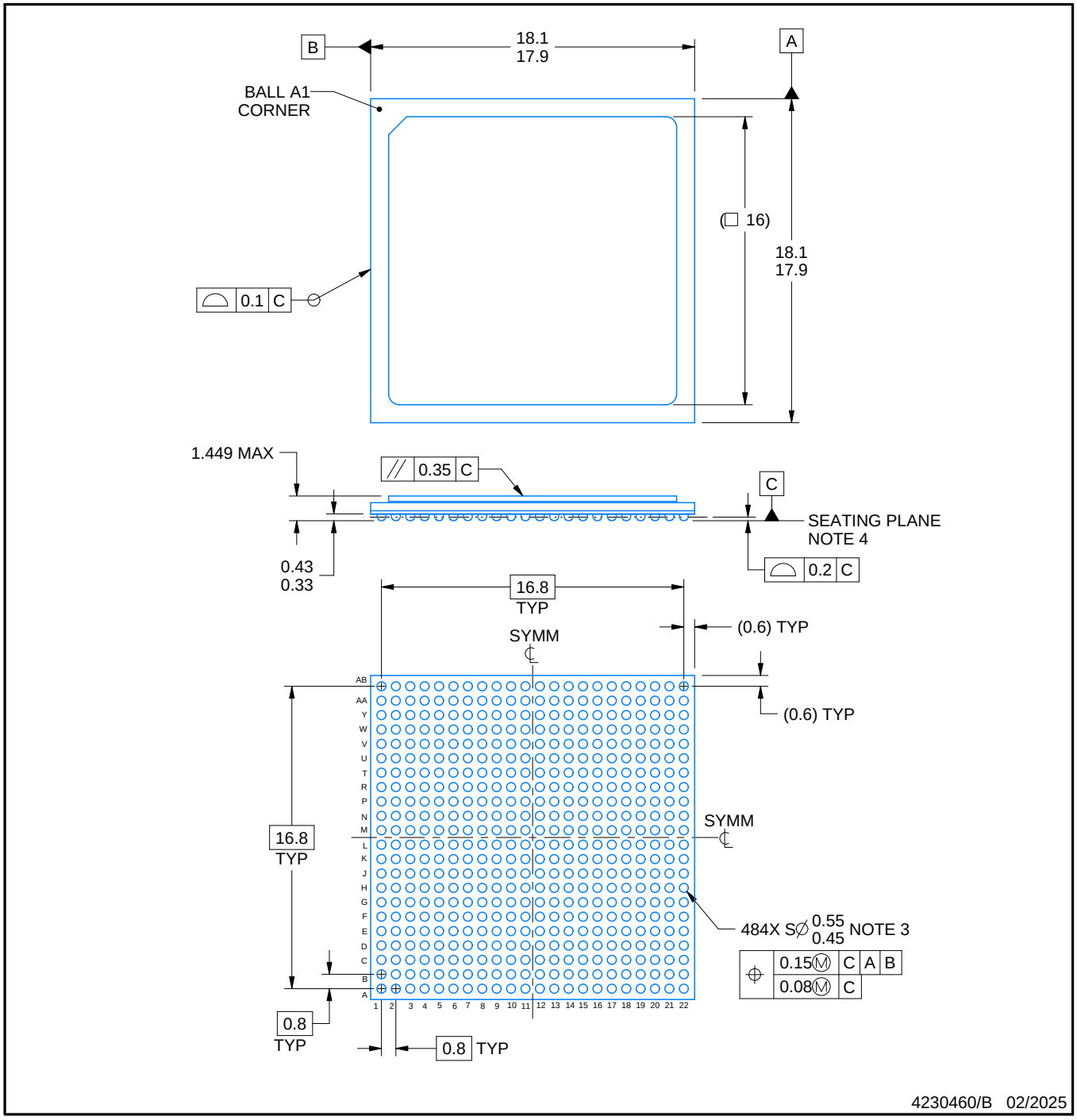
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM62D22ARGHIANFRQ1	FCCSP	ANF	484	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
AM62D24AVGHIANFRQ1	FCCSP	ANF	484	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS



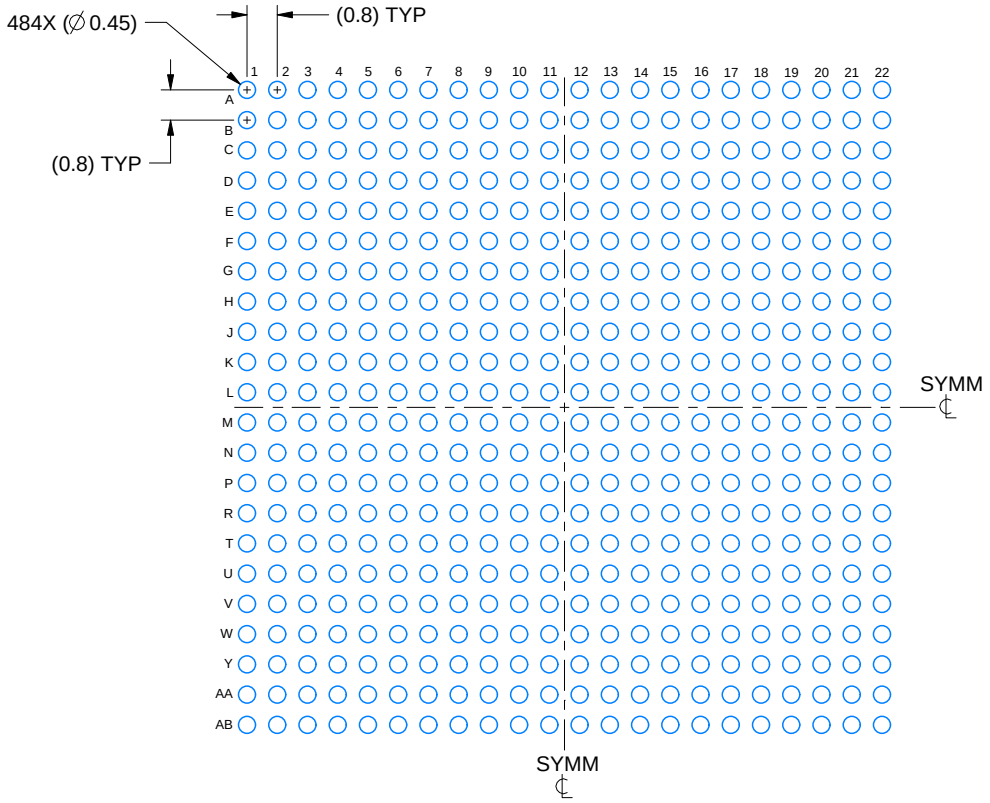
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM62D22ARGHIANFRQ1	FCCSP	ANF	484	500	336.6	336.6	41.3
AM62D24AVGHIANFRQ1	FCCSP	ANF	484	500	336.6	336.6	41.3

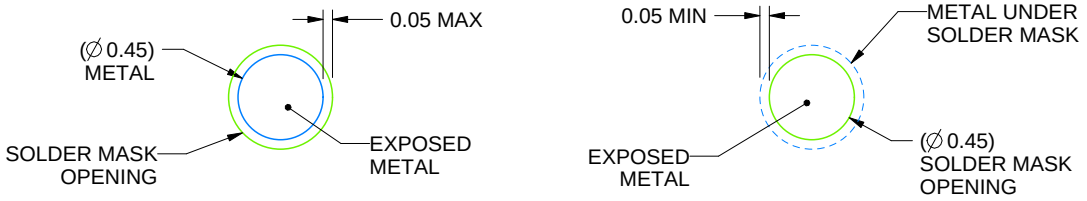


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 5X



NON-SOLDER MASK
DEFINED
(PREFERRED)

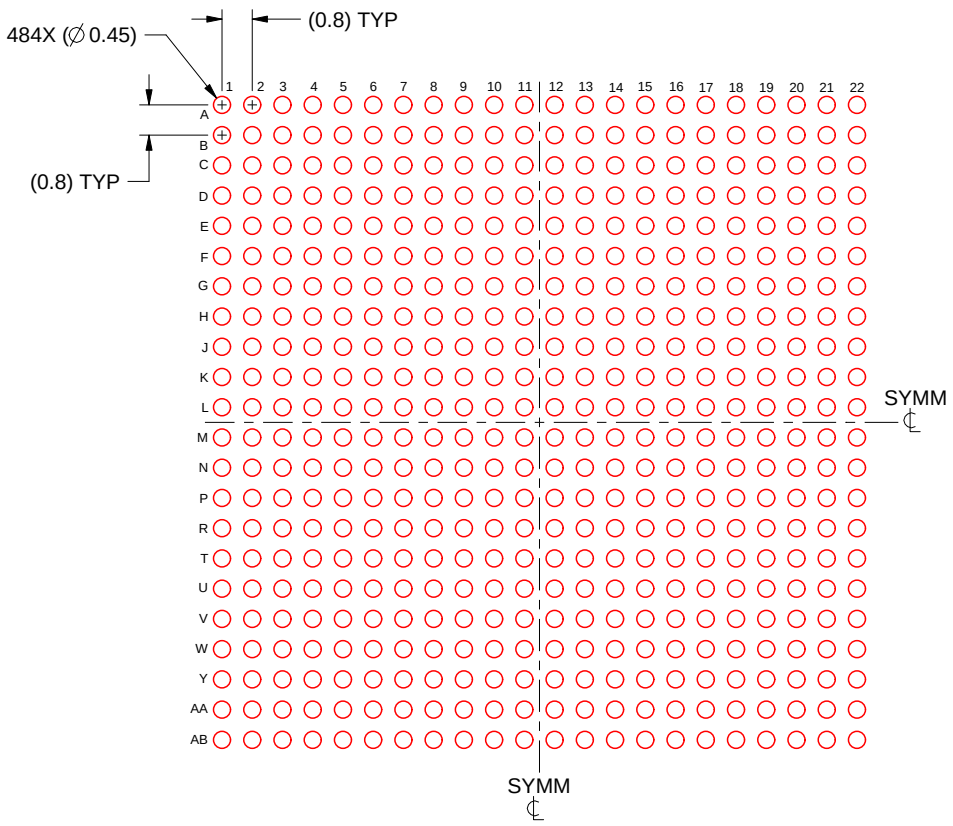
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4230460/B 02/2025

NOTES: (continued)

5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 5X

4230460/B 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司