AFE539F1-Q1 用于恒定功率放电且具有 PWM 输出的汽车类 10 位智能模拟前端

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 恒定功率耗散控制状态机
  - 10 位模数转换器 (ADC) 输入
  - 7 位占空比脉宽调制 (PWM) 输出
  - 从非易失性存储器 (NVM) 中独立运行
- 自动检测 I^2C 或 SPI
  - 1.62V V_{IH} (V_{DD} = 5.5V)
- VREF/MODE 引脚可在编程模式和独立模式之间进行选择
- 用户可编程 NVM
- 内部、外部或 VDD 基准
- 宽工作范围
  - 电源：1.8V 至 5.5V
- 微型封装：16 引脚 WQFN (3mm × 3mm)

2 应用

- 汽车直流链路电容放电电路
- 电梯主控板

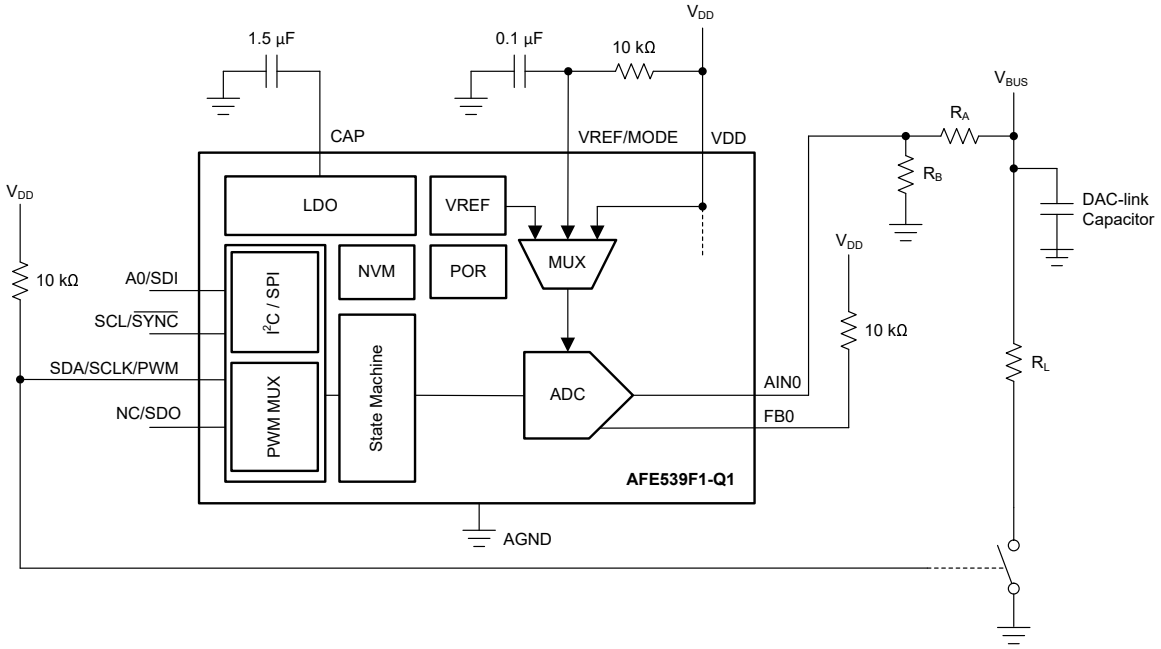
3 说明

AFE539F1-Q1 是一款以实现恒定功率耗散控制为目标的 10 位智能模拟前端 (AFE)。只要需要独立于所施加的电压，在阻性负载上实现恒定功率耗散，就可以使用 AFE539F1-Q1。AFE539F1-Q1 具有一个 ADC 输入和一个 PWM 输出。该器件具有一个预编程为恒定功率耗散控制器的集成式状态机。对于汽车直流链路电容放电电路和一般恒定功率发热应用来说，AFE539F1-Q1 是一种优异的选择。AFE539F1-Q1 的运行可以独立于编程到 NVM 中的参数，这使得该智能 AFE 能够用于*无处理器*应用和设计重复使用。该器件还可自动检测 I^2C 或 SPI，并具有内部基准。

封装信息

器件型号	封装(1)	封装尺寸(2)
AFE539F1-Q1	RTE（WQFN，16）	3mm x 3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



使用 **AFE539F1-Q1** 的恒定功率放电电路

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SLASFA1

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....5
6.5 电气特性：ADC 输入.....7
6.6 电气特性：通用.....8
6.7 时序要求：I²C 标准模式.....9
6.8 时序要求：I²C 快速模式.....9
6.9 时序要求：I²C 超快速模式.....9
6.10 时序要求：SPI 写入操作.....10
6.11 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....10
6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....10
6.13 时序要求：PWM 输出.....12
6.14 时序图.....12
6.15 典型特性.....14
7 详细说明.....16
7.1 概述.....16
7.2 功能方框图.....16
7.3 特性说明.....17
7.4 器件功能模式.....20
7.5 编程.....24
7.6 寄存器映射.....30
8 应用和实施.....38
8.1 应用信息.....38
8.2 典型应用.....38
8.3 电源相关建议.....41
8.4 布局.....41
9 器件和文档支持.....42
9.1 接收文档更新通知.....42
9.2 支持资源.....42
9.3 商标.....42
9.4 静电放电警告.....42
9.5 术语表.....42
10 机械、封装和可订购信息.....42

4 修订历史记录

日期	修订版本	说明
July 2023	*	初始发行版

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

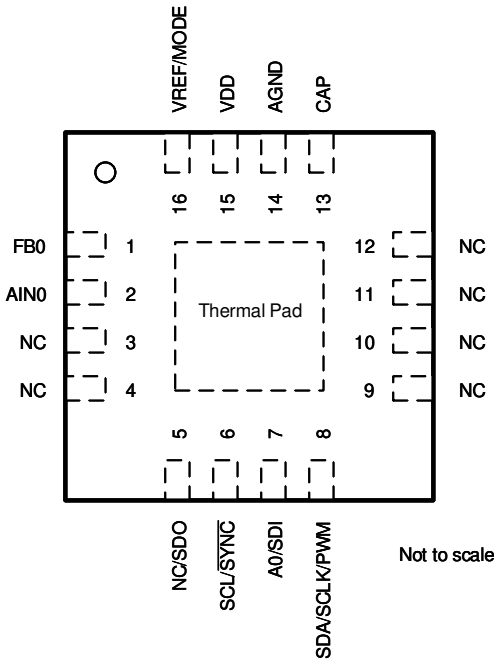


图 5-1. RTE 封装，16 引脚 WQFN（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
1	FB0	输入	通过上拉电阻将此引脚连接到 VDD。
2	AIN0	输入	ADC0 的模拟输入。
3	NC	—	未连接。
4	NC	—	未连接。
5	NC/SDO	输入/输出	此引脚可配置为 SDO。对于 SDO 功能，通过外部上拉电阻将此引脚连接到 IO 电压。如果未配置为 SDO，请将此引脚保持未连接状态。
6	SCL/$\overline{\text{SYNC}}$	输出	I^2C 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻将此引脚连接到 IO 电压。
7	A0/SDI	输入	用于 I^2C 的地址配置输入或用于 SPI 的串行数据输入。在 A0 功能中，将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。在 SDI 功能中，该引脚不需要拉高或拉低。
8	SDA/ SCLK/PWM	输入/输出	双向 I^2C 串行数据总线或 SPI 时钟输入。使用外部上拉电阻将此引脚连接到 IO 电压。该引脚充当恒定功率耗散控制所用的 PWM 输出。将 VREF/MODE 引脚拉至高电平以启用 PWM 输出。
9	NC	—	未连接。
10	NC	—	未连接。
11	NC	—	未连接。
12	NC	—	未连接。
13	CAP	功率	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5μF）。
14	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
15	VDD	功率	电源电压：1.8V 至 5.5V
16	VREF/ MODE	输入	外部基准或接口模式选择输入。在 VREF/MODE 和 AGND 之间连接一个电容（约 0.1μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。确保该引脚不会在 VDD 之前斜升。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。在接口选择模式下。将该引脚拉至低电平可启用 I^2C/SPI 通信。将该引脚拉至高电平可启用 PWM 输出。

表 5-1. 引脚功能 (continued)

引脚		类型	说明
编号	名称		
散热焊盘	散热焊盘	接地	将散热焊盘连接至 AGND。

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{DD}	电源电压，V_{DD} 至 AGND	–0.3	6	V
	数字输入至 AGND	-0.3	V_{DD} + 0.3	V
	V_{FBX} 至 AGND	-0.3	V_{DD} + 0.3	V
	A_{IN0} 至 AGND	-0.3	V_{DD} + 0.3	V
V_{REF}	外部基准，V_{REF} 至 AGND	-0.3	V_{DD} + 0.3	V
	流入除 AIN0、VDD 和 AGND 引脚之外任何引脚的电流	-10	10	mA
T_J	结温	-40	150	°C
T_{stg}	贮存温度	–65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	边角引脚（1、4、5、8、9、12、13 和 16）	±750	
			所有引脚	±500	

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	提供给接地端 (AGND) 的正电源电压	1.7		5.5	V
V_{REF}	提供给接地端 (AGND) 的外部基准电压	1.7		V_{DD}	V
V_{IH}	数字输入高电压，1.7V < V_{DD} ≤ 5.5V	1.62			V
V_{IL}	数字输入低电压			0.4	V
C_{CAP}	CAP 引脚上的外部电容器	0.5		15	µF
T_A	环境温度	-40		125	°C

6.4 热性能信息

热指标[(1)]		AFE539F1-Q1 RTE (WQFN) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	49	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50	°C/W
$R_{\theta JB}$	结至电路板热阻	24.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.1	°C/W
Ψ_{JB}	结至电路板特征参数	24.1	°C/W

热指标[1]		AFE539F1-Q1 RTE (WQFN) 16 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	8.7	°C/W

(1) 有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标应用报告。*

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性：ADC 输入

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，基准输入连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率		10			位
INL	积分非线性(1) (2)		-2		2	LSB
DNL	微分非线性(1) (2)		-1		1	LSB
	失调误差(1) (2)	1.7V ≤ V_{DD} < 2.7V	-5	0	5	mV
		2.7V ≤ V_{DD} ≤ 5.5V	-5	0	5	
	增益误差(1) (2)		-1		1	%FSR
输入						
	输入电压范围	外部 V_{REF} = V_{DD}	0		V_{DD}	V
动态性能						
	数据速率(2)	ADC 平均设置为 4 个样本	1406		2008	SPS
	采样电容器			10		pF

(1) 对于端点代码之间的外部基准和内部基准 V_{DD} ≥ 1.21 x 增益 + 0.2V：8d 至 1016d。
(2) 根据设计和特征确定；未经生产测试。

6.6 电气特性：通用

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，基准输入连接至 VDD，增益 = 1 ×且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
内部基准						
	初始精度	所有测量值均为 T_A = 25°C	1.1979	1.212	1.224	V
	基准输出温度系数(1) (2)				60	ppm/ °C
外部基准						
	外部基准输入范围		1.7		V_{DD}	V
	V_{REF} 输入阻抗(1)			192		kΩ
EEPROM						
	寿命(1)	–40°C ≤ T_A ≤ +85°C		20000		周期
		T_A = 125°C		1000		
	数据保留(1)			50		年
	EEPROM 编程写入周期时间(1)				200	ms
	器件启动时间(1)	从电源有效 (V_{DD} ≥ 1.7V) 到输出有效状态（EEPROM 中编程的输出状态）所用的时间，CAP 引脚上具有 0.5μF 电容器		5		ms
数字输入						
	引脚电容	每引脚		10		pF
电源						
I_{DD}	流入 VDD 的电流	睡眠模式，内部基准关断，外部基准为 5.5V			28	μA
	流入 VDD 的电流(1)	睡眠模式，内部基准已启用，通过内部基准的额外电流		10		μA
		DAC 通道已启用，内部基准已启用，通过内部基准的额外电流		12.5		μA-ch
		正常运行，状态机已启用		900		μA

(1) 根据设计和特征确定；未经生产测试。
(2) 在 –40°C 和 +125°C 条件下测得，并计算了斜率。

Copyright © 2023 Texas Instruments Incorporated

6.7 时序要求：I²C 标准模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			100	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			µs
t_{HDSTA}	重复启动后的保持时间	4			µs
t_{SUSTA}	重复启动设置时间	4.7			µs
t_{SUSTO}	停止条件设置时间	4			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	250			ns
t_{LOW}	SCL 时钟低电平周期	4700			ns
t_{HIGH}	SCL 时钟高电平周期	4000			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			1000	ns
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			3.45	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			3.45	µs

6.8 时序要求：I²C 快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			400	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			µs
t_{HDSTA}	重复启动后的保持时间	0.6			µs
t_{SUSTA}	重复启动设置时间	0.6			µs
t_{SUSTO}	停止条件设置时间	0.6			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	100			ns
t_{LOW}	SCL 时钟低电平周期	1300			ns
t_{HIGH}	SCL 时钟高电平周期	600			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			300	ns
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.9	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.9	µs

6.9 时序要求：I²C 超快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			µs
t_{HDSTA}	重复启动后的保持时间	0.26			µs
t_{SUSTA}	重复启动设置时间	0.26			µs
t_{SUSTO}	停止条件设置时间	0.26			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	50			ns
t_{LOW}	SCL 时钟低电平周期	0.5			µs
t_{HIGH}	SCL 时钟高电平周期	0.26			µs
t_F	时钟和数据下降时间			120	ns
t_R	时钟和数据上升时间			120	ns

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.45	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.45	µs

6.10 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V 且 –40°C ≤ T_A ≤ +125°C

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	9			ns
t_{SCLLOW}	SCLK 低电平时间	9			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	18			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	10			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	50			ns
$t_{DACWAIT}$	同一通道的顺序更新等待时间（后续 $\overline{SYNC}$ 上升沿之间的时间）	2			µs

6.11 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 0

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			1.25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	350			ns
t_{SCLLOW}	SCLK 低电平时间	350			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	400			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	400			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	1			µs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿，I_{OL} ≤ 5mA，C_L = 20pF			300	ns

6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 1

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			2.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	175			ns
t_{SCLLOW}	SCLK 低电平时间	175			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	300			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	300			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	1			µs

Copyright © 2023 Texas Instruments Incorporated

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 1

		最小值	标称值	最大值	单位
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿，I_{OL} ≤ 5mA，C_L = 20pF			300	ns

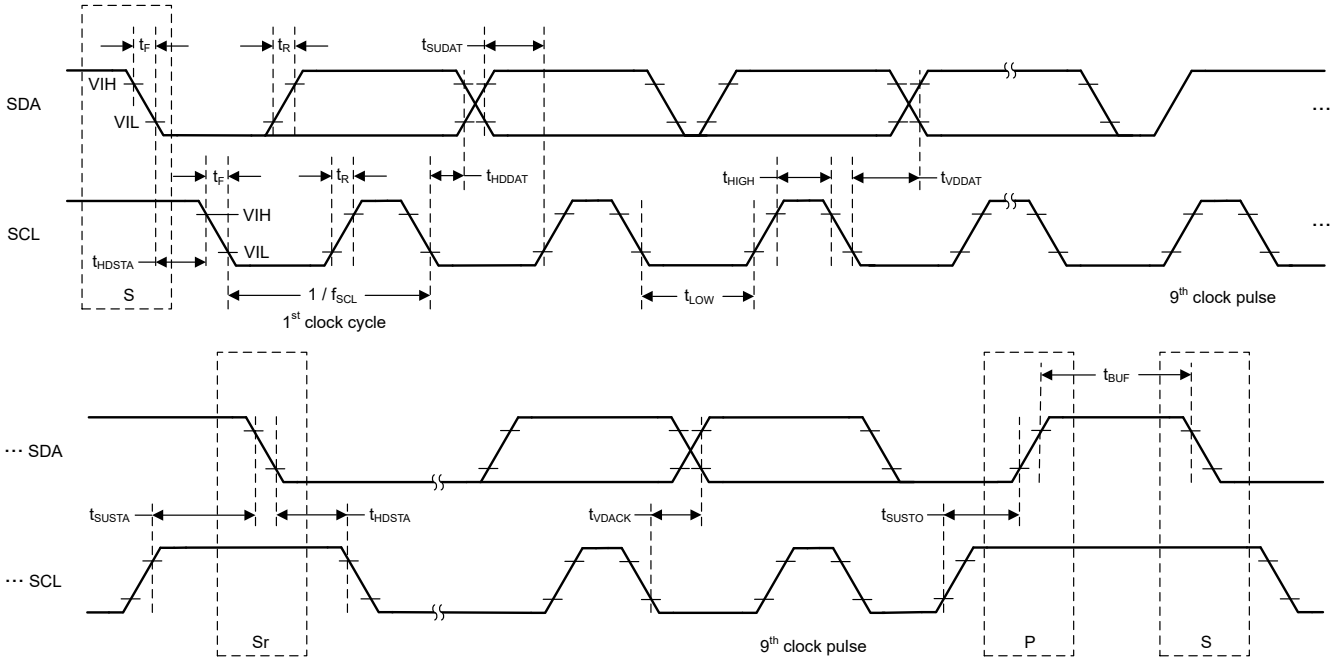
6.13 时序要求：PWM 输出

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{PWMOUT}	PWM 频率(1)	0.218		48.828	kHz
t_{PWMOHI}	PWM 高电平时间	1			µs
t_{PWMOLO}	PWM 低电平时间	1			µs
$t_{PWMODTY}$	PWM 占空比	0		100	%

(1) 该频率范围不考虑内部振荡器频率误差。

6.14 时序图



S: Start bit, **Sr**: Repeated start bit, **P**: Stop bit

图 6-1. I²C 时序图

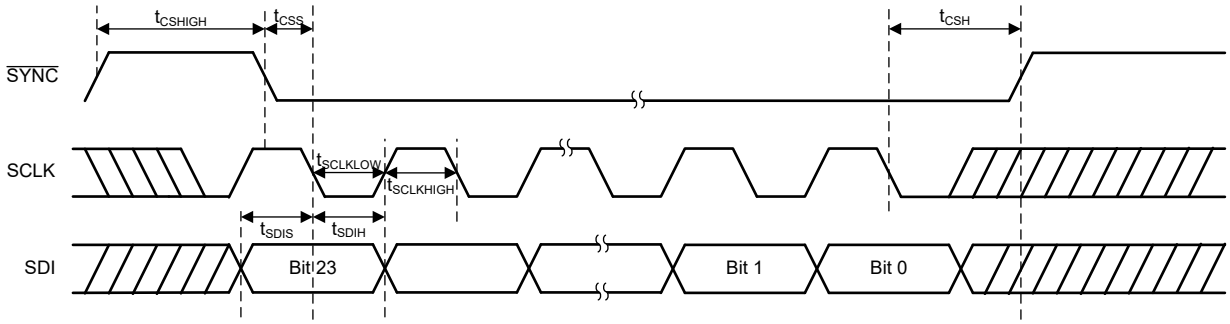


图 6-2. SPI 写入时序图

Copyright © 2023 Texas Instruments Incorporated

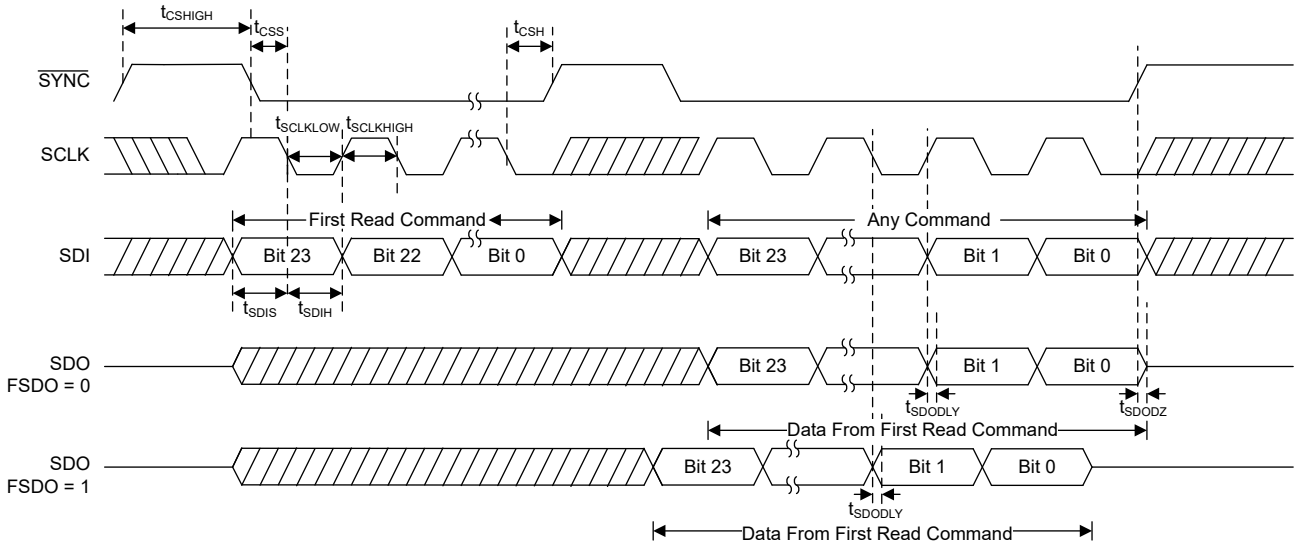


图 6-3. SPI 读取时序图

6.15 典型特性

条件为 T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，并且增益 = 1 ×（除非另有说明）

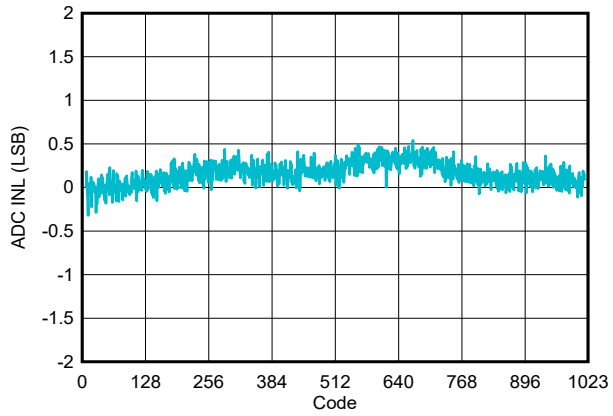


图 6-4. ADC INL 与数字输出代码间的关系

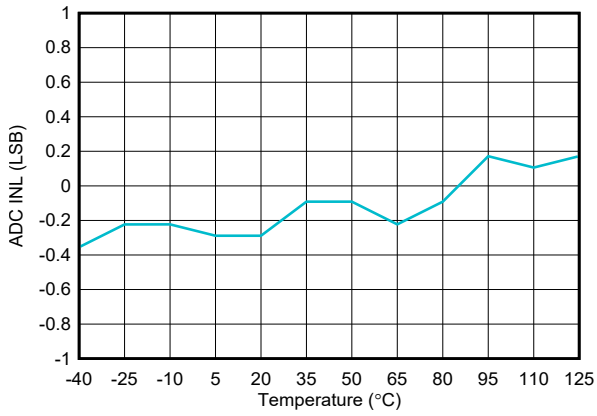


图 6-5. ADC INL 与温度间的关系

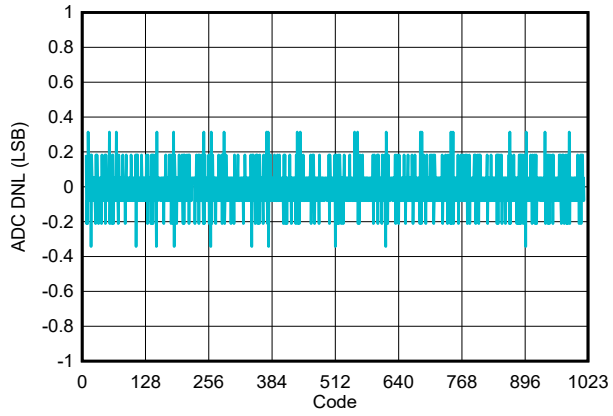


图 6-6. ADC DNL 与数字输出代码间的关系

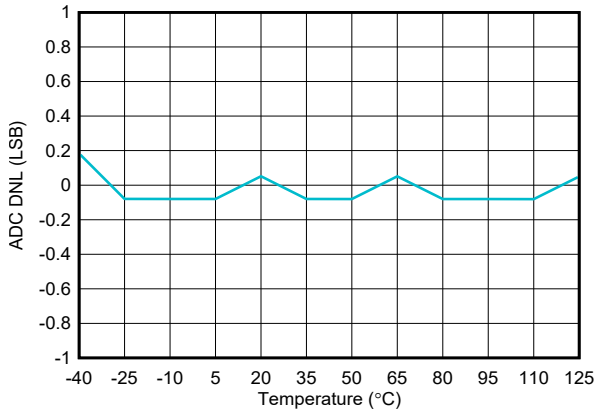


图 6-7. ADC DNL 与温度间的关系

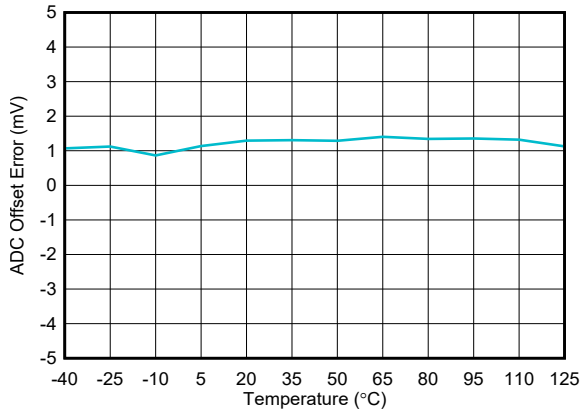


图 6-8. ADC 失调误差与温度间的关系

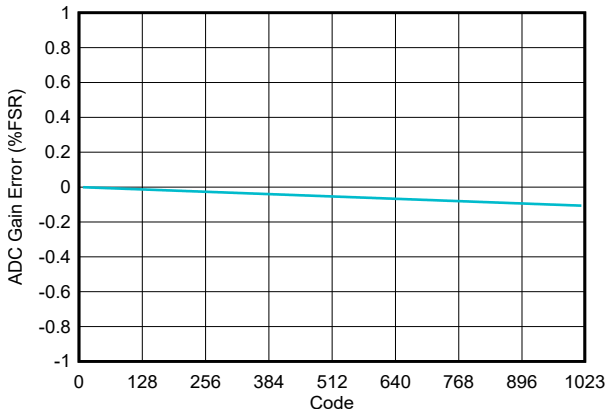


图 6-9. ADC 增益误差与数字输出代码间的关系

Copyright © 2023 Texas Instruments Incorporated

6.15 典型特性 (continued)

条件为 T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，并且增益 = 1 × (除非另有说明)

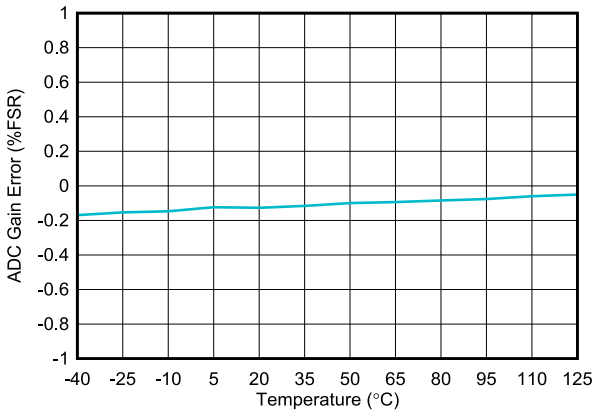
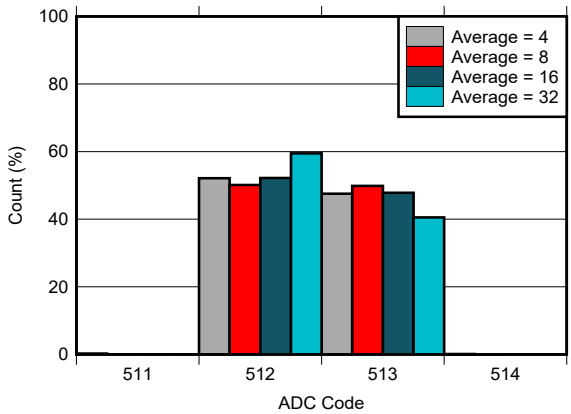
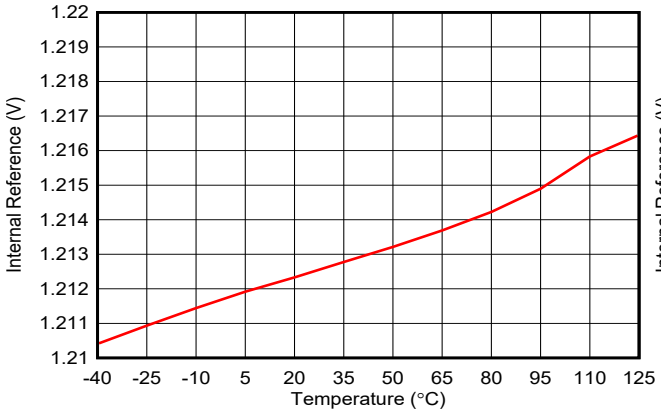


图 6-10. ADC 增益误差与温度间的关系



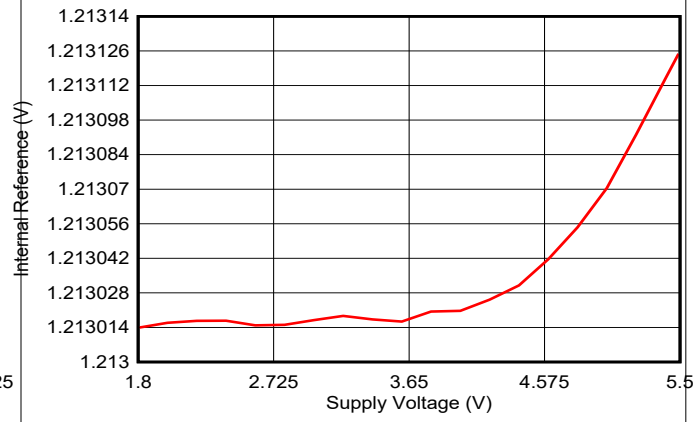
输入处于中标度

图 6-11. ADC 计数与数字输出代码间的关系



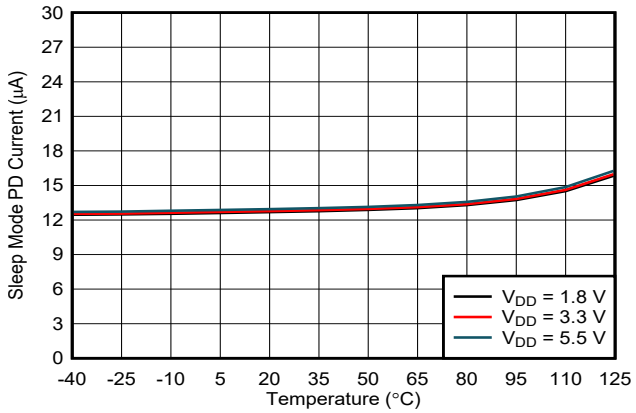
内部基准

图 6-12. 内部基准与温度间的关系



内部基准

图 6-13. 内部基准与电源电压间的关系



睡眠模式，内部基准禁用

图 6-14. 断电电流与温度间的关系

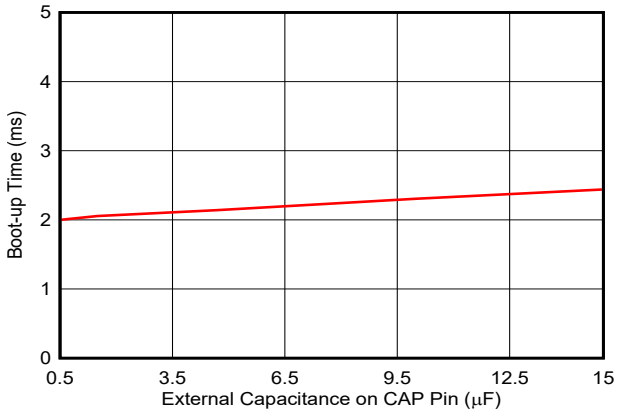


图 6-15. 启动时间与 CAP 引脚上电容间的关系

7 详细说明

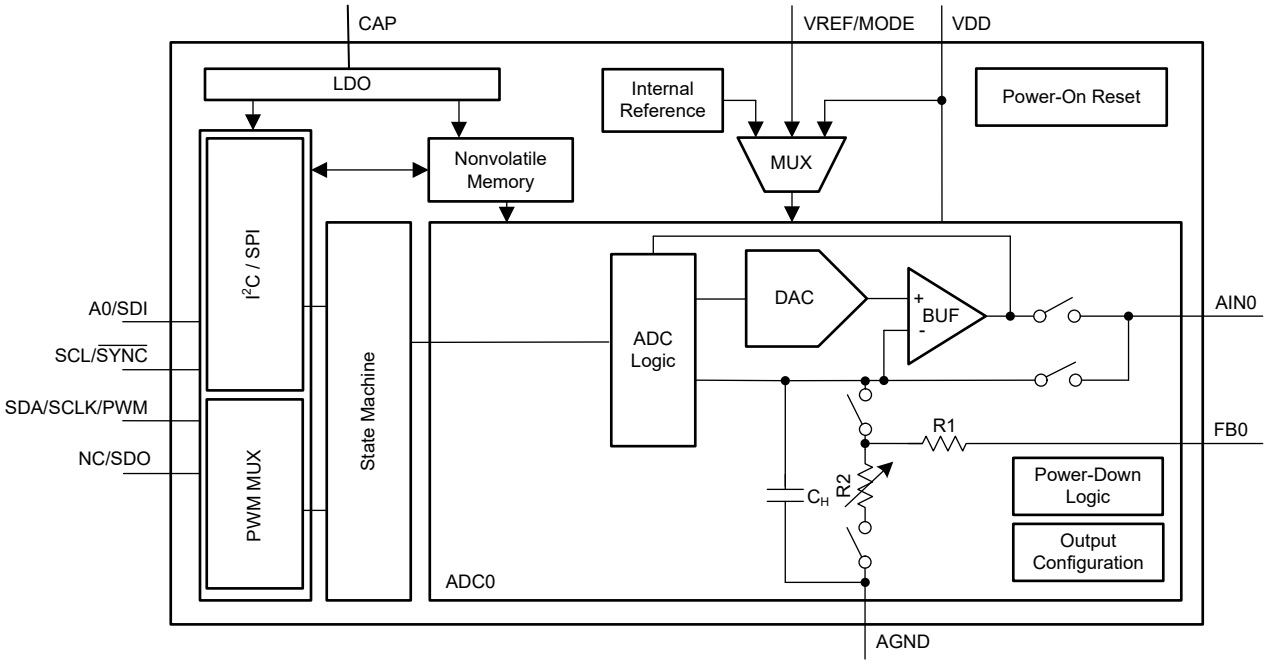
7.1 概述

AFE539F1-Q1 是一款具有 PWM 输出和 ADC 输入的 10 位智能模拟前端 (AFE)。当 VREF/MODE 引脚保持高电平时，SDA/SCLK 引脚将改用为 PWM 输出。

AFE539F1-Q1 提供一个预编程状态机，用作恒定功率耗散或发热控制器。该器件包含非易失性存储器 (NVM)、内部基准，会自动检测 I²C 和 SPI，还包含通用输入。此器件默认支持高阻态断电模式，可使用 NVM 将其配置为 10kΩ 至 AGND 或 100kΩ 至 AGND。AFE539F1-Q1 具有上电复位 (POR) 电路，可确保所有寄存器以默认设置或使用 NVM 的用户编程设置启动。AFE539F1-Q1 采用内部基准、外部基准或以电源作为基准运行。

AFE539F1-Q1 支持 I²C 标准模式 (100Kbps)、快速模式 (400Kbps) 和快速+ 模式 (1Mbps)。I²C 接口可使用 A0 引脚配置四个器件地址。SPI 模式默认支持三线制接口，具有高达 25MHz 的 SCLK 输入。NC/SDO 输入可在 NVM 中配置为 SDO 以实现 SPI 读取功能。AFE539F1-Q1 设计用于汽车直流链路电容放电电路中的恒定功率耗散和恒定功率发热应用。状态机和 NVM 可实现*无处理器* 运行。由于具备*智能* 功能集，AFE539F1-Q1 被称为智能 AFE。

7.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

7.3 特性说明

7.3.1 智能模拟前端 (AFE) 架构

AFE539F1-Q1 智能模拟前端 (AFE) 包含一个 10 位模数转换器 (ADC) 输入和一个 7 位占空比脉宽调制 (PWM) 输出。ADC 使用逐次逼近寄存器 (SAR) 架构。ADC 内部的 DAC 使用串式架构。PWM 输出与数字接口引脚之一进行多路复用。节 7.2 显示了方框图中的智能 AFE 架构，该架构采用 1.8V 至 5.5V 电源供电。该器件的内部电压基准为 1.21V。可以选择 VREF/MODE 引脚上的外部基准或以电源作为基准。ADC 使用这三个基准选项之一。

AFE539F1-Q1 具有支持恒定功率耗散控制操作的预编程状态机。图 7-1 显示了智能 AFE 的数字架构，以及不同功能块之间的互连。利用该状态机，用户可以对系数和输入/输出参数进行编程。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来禁用状态机。用户配置存储在 NVM 中，状态机可以在独立模式下运行，无需连接到处理器（*无处理器* 运行）

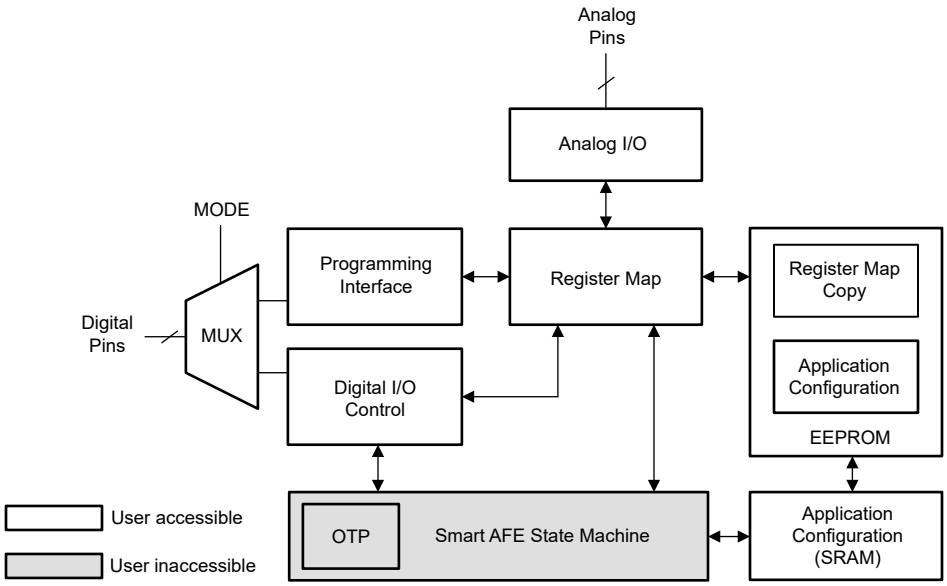


图 7-1. 智能 AFE 架构

7.3.2 编程接口

AFE539F1-Q1 有五个数字 I/O 引脚，用于控制 I²C、SPI、PWM 和模式选择。VREF/MODE 引脚必须处于逻辑低电平，才能启用编程接口。这些器件会在加电后首次成功通信时自动检测 I²C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I²C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 默认为三线制接口。三线制 SPI 模式下没有回读功能。NC/SDO 引脚可以在寄存器映射中配置为 SDO 功能，然后编程到 NVM 中。当 NC/SDO 引脚充当 SDO 时，SPI 用作四线制接口。SPI 回读模式比写入模式慢。编程接口引脚为：

- I²C：SCL、SDA、A0
- SPI：SCLK、SDI、$\overline{\text{SYNC}}$、NC/SDO

当用作输出时，所有数字引脚都是开漏引脚。因此，必须使用外部电阻将所有输出引脚上拉至所需的 I/O 电压。

7.3.3 非易失性存储器 (NVM)

AFE539F1-Q1 包含非易失性存储器 (NVM) 位。这些存储器位可由用户进行编程和擦除，并且会断电的情况下保留设定的值。*寄存器映射* 中突出显示的灰色单元格表明，通过在 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1，可以将所有寄存器位存储在 NVM 中。NVM-PROG 位会自动复位。当正在进行 NVM 写入或重新加载操作时，器件会将 GENERAL-STATUS 寄存器中的 NVM-BUSY 位设置为 1。在此期间，器件会阻止针对器件的所有读写操作。写入或重新加载操作完成后，NVM-BUSY 位设置为 0；此时，允许对器件进行所有读写操作。一旦发生 POR 事件，AFE539F1-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

AFE539F1-Q1 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1 可以让器件启动 NVM 重新加载操作。NVM 重新加载操作使用 NVM 中存储的数据覆盖寄存器映射。完成后，器件将该位自动复位为 0。在 NVM-RELOAD 操作期间，NVM-BUSY 位设置为 1。

7.3.3.1 NVM 循环冗余校验 (CRC)

为确保存储在 NVM 中的数据不被损坏，AFE539F1-Q1 为 NVM 采用循环冗余校验 (CRC) 功能。AFE539F1-Q1 中实现了两种类型的 CRC 报警位：

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程的 NVM 位的状态，NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能的实现方式是在每次执行 NVM 编程操作（写入或重新加载）时以及器件启动期间，将一个 16 位 CRC (CRC-16-CCITT) 与 NVM 数据一起存储。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位（GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT）报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

7.3.3.1.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位（请参阅 *节 7.3.5*）命令或对器件执行下电上电。软件复位或执行循环通电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

7.3.3.1.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位（请参阅 *节 7.3.5*）命令或对器件执行下电上电。NVM 中的永久故障会导致器件无法使用。

7.3.4 上电复位 (POR)

AFE539F1-Q1 包含上电复位 (POR) 功能，可在上电时控制输出电压。在建立 V_{DD} 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 POR（启动）延迟之后，与该器件的通信才有效。一旦发生 POR 事件，AFE539F1-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

Copyright © 2023 Texas Instruments Incorporated

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 V_{DD} 电平（如图 7-2 所示）才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR，V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.65V 但仍高于 0.7V（显示为未定义区域）时，该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下，需启动 POR。当 V_{DD} 保持为大于 1.65V 时，不会发生 POR。

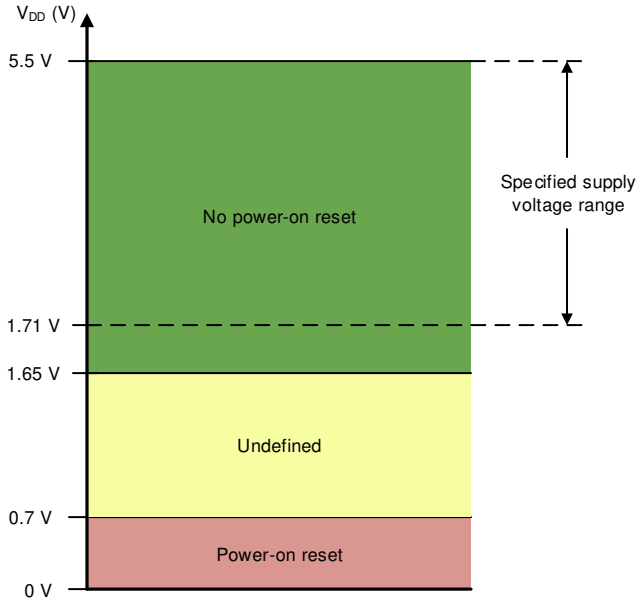


图 7-2. V_{DD} POR 电路的阈值电平

7.3.5 外部复位

可以通过寄存器映射来触发器件的外部复位。要启动器件软件复位事件，应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。

7.3.6 寄存器映射锁定

AFE539F1-Q1 实现了寄存器映射锁定功能，可防止意外或无意中写入寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时，器件会锁定所有寄存器。但是，使用 I^2C 接口时，通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置，需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

7.4 器件功能模式

7.4.1 模数转换器 (ADC) 模式

AFE539F1-Q1 的通道 0 充当 ADC。ADC 由该器件中的状态机来控制。方程式 1 中提供了 ADC 的传递函数。

$$\text{ADC_DATA} = \left(\text{INTEGER}\right)\left(\frac{V_{IN}}{V_{FS}}\right) \times 2^{N} \tag{1}$$

其中：

- ADC_DATA 是状态机可用的 ADC 输出，并且限制为 (2^N−1)。
- V_{IN} 是 AIN0 引脚处的输入电压。
- V_{FS} 是满量程输入电压，如表 7-1 所示。
- N 是 ADC 位数，等于 10。
- INTEGER 表示整数除法。

表 7-1. 满量程模拟输入 (V_{FS})

基准 (VREF)	增益	V_{FS}
电源	1 ×	VDD / 3
外部	1 ×	VREF / 3
内部	1.5 ×	(VREF × GAIN) / 3
	2 ×	(VREF × GAIN) / 3
	3 ×	(VREF × GAIN) / 6
	4 ×	(VREF × GAIN) / 6

7.4.1.1 电压基准选择

图 7-3 显示了使用 AFE539F1-Q1 时三种可能的电压基准选项：电源作为基准、内部基准或外部基准（VREF/MODE 引脚）。REF-GAIN-CONFIG 寄存器中的 REF-GAIN 字段用于选择基准和相应的增益。满量程 ADC 电压随所选择的电压基准而变化。

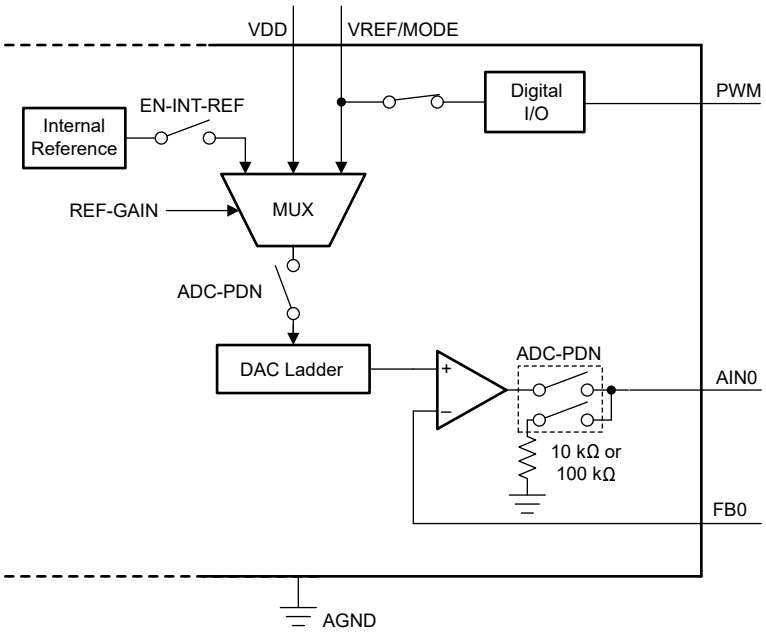


图 7-3. 电压基准选择与断电逻辑

Copyright © 2023 Texas Instruments Incorporated

7.4.1.1.1 电源作为基准

默认情况下，AFE539F1-Q1 采用电源引脚 (VDD) 作为基准运行。输出级的增益始终为 1 ×。

7.4.1.1.2 内部基准

AFE539F1-Q1 包含一个内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的 EN-INT-REF 位。内部基准生成固定的 1.21V 电压（典型值）。使用 REF-GAIN-CONFIG 寄存器中的 REF-GAIN 字段可选择内部基准，还可以为 ADC 满量程电压 (V_{FS}) 实现 1.5 ×、2 ×、3 × 或 4 × 增益。

7.4.1.1.3 外部基准

AFE539F1-Q1 提供外部基准输入。通过适当配置 REF-GAIN field in the REF-GAIN-CONFIG 寄存器中的 REF-GAIN 字段，选择外部基准选项。外部基准电压可介于 1.8 V 和 VDD 之间。

备注

在瞬态和稳态条件下，外部基准都必须小于 VDD。因此，外部基准必须在 VDD 之后斜升，在 VDD 之前斜降。

7.4.2 脉宽调制 (PWM) 模式

AFE539F1-Q1 在 SDA/SCLK/PWM 引脚上提供 7 位占空比 PWM 输出。将 VREF/MODE 引脚拉至高电平即可启用 PWM 功能。表 7-2 列出了使用 PWM-FREQUENCY SRAM 寄存器中的 PWM-FREQ 位，可以配置的所有 PWM 频率。

表 7-2. PWM 频率配置

SRAM 寄存器	PWM-FREQ 位字段	PWM 频率 (kHz)	代码 1 的占空比 (%)	代码 126 的占空比 (%)
PWM-FREQUENCY (0x23 [4:0])	0	无效	不适用	不适用
	1	48.828	4.88	95.12
	2	24.414	2.44	97.56
	3	16.276	1.63	98.37
	4	12.207	1.22	98.44
	5	8.138	0.81	98.44
	6	6.104	0.78	98.44
	7	3.052	0.78	98.44
	8	2.035	0.78	98.44
	9	1.526	0.78	98.44
	10	1.221	0.78	98.44
	11	1.017	0.78	98.44
	12	0.872	0.78	98.44
	13	0.763	0.78	98.44
	14	0.678	0.78	98.44
	15	0.610	0.78	98.44
	16	0.555	0.78	98.44
	17	0.509	0.78	98.44
	18	0.470	0.78	98.44
	19	0.436	0.78	98.44
	20	0.407	0.78	98.44
	21	0.381	0.78	98.44
	22	0.359	0.78	98.44
	23	0.339	0.78	98.44
	24	0.321	0.78	98.44
	25	0.305	0.78	98.44
	26	0.291	0.78	98.44
	27	0.277	0.78	98.44
	28	0.265	0.78	98.44
	29	0.254	0.78	98.44
	30	0.244	0.78	98.44
	31	0.218	0.78	98.44

PWM 的占空比与 7 位代码（0d 至 126d）成正比。如表 7-3 所示，代码 127d 对应于 100% 占空比。跳过占空比 99.22% (127d/128d) 可以使用 7 位代码实现 100% 占空比。PWM 占空比设置由状态机完成，不会向用户公开。

表 7-3. PWM 占空比设置

代码	DUTY-CYCLE	说明
0	0%	始终为 0
1	0.78%	最小线性占空比
x	(x/128)%	*x* 是 2d 和 125d 之间的代码（包含二者）
126	98.44%	最大线性占空比
127	100%	总是 1。跳过占空比 99.22% (127d/128d)。

Copyright © 2023 Texas Instruments Incorporated

7.4.3 恒定功率耗散控制

当需要独立于所施加的电压，在阻性负载上实现恒定功率耗散时，可以在这类应用中使用 AFE539F1-Q1。固定阻性负载中的功率耗散与电阻成反比。当电阻两端的电压变化时（例如，在放电电路中），可以通过调节放电电路所见的有效电阻来实现恒定功率。图 7-4 显示了使用 PWM 信号，从固定阻性负载创建可变有效电阻的示例电路。有效电阻即负载电阻除以 PWM 占空比。

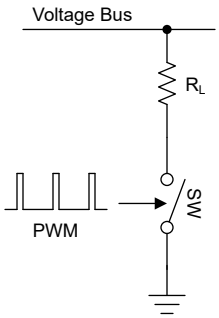


图 7-4. PWM 调制电阻

AFE539F1-Q1 会生成一个 PWM 信号，其占空比取决于施加到 ADC 输入的电压。AFE539F1-Q1 具有一个带可选基准电压 (V_{REF}) 的 10 位 ADC 输入。AFE539F1-Q1 会计算 PWM 占空比，以便保持电阻的恒定耗散功率。

AFE539F1-Q1 会运行一个 PWM 占空比更新环路，根据方程式 2 来设置占空比 (D)。

$$D = \frac{K \times 2^{15}}{(ADC_DATA))^2} = \frac{K \times (V_{FS})^2}{(V_{IN})^2 \times 2^5} \tag{2}$$

其中：

- ADC_DATA 是供状态机使用的 ADC 输出十进制等效值。
- V_{IN} 是 ADC 输入电压。
- V_{FS} 是满量程 ADC 输入电压，如表 7-1 中所列。
- K 是用户可配置的函数系数，它的值为在 FUNCTION-COEFFICIENT 寄存器中编程的 16 位整数（范围：1 至 65535）。

AFE539F1-Q1 的 PWM 输出占空比具有 7 位分辨率，这意味着最小占空比以及步长约为 0.78%。PWM 可以实现 100% 饱和，PWM 值的下限和上限也可由用户配置，以满足特定的应用要求。通过此脉宽调制电阻实现的恒定功率可以相应地通过方程式 3 表示。

$$P_{const} = \frac{K_2 \times (V_{FS})^2}{R_L} \tag{3}$$

其中：

- R_L 是负载电阻。
- K_2 是一个常数，是函数系数 K 和总线电压与满量程 ADC 输入间衰减因子的函数。

方程式 3 表明理论恒定功率与输入电压无关。功率取决于负载电阻值和常数 K_2 的值。但是，PWM 以离散步长进行更新，计算出的恒定功率实际上是功率限值。

7.5 编程

7.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 AFE539F1-Q1 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。AFE539F1-Q1 的 SPI 帧长度为 24 位。因此，$\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-4 和图 7-5 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 7-4. SPI 读/写访问周期

位	字段	说明
23	R/$\overline{\text{W}}$	将通信标识为地址寄存器的读或写命令：R/$\overline{\text{W}}$ = 0 设置写入操作。R/$\overline{\text{W}}$ = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	DI[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为*不用考虑*值。

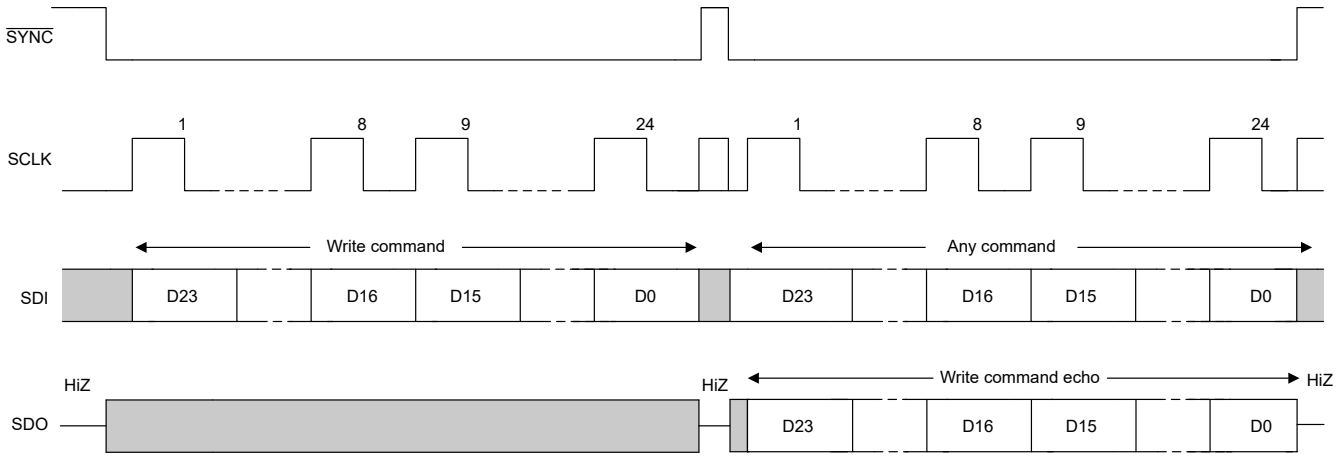


图 7-5. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-5 和图 7-6 显示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出，如图 6-3 所示。

表 7-5. SDO 输出访问周期

位	字段	说明
23	R/$\overline{\text{W}}$	来自上一访问周期的回波 R/$\overline{\text{W}}$
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	DI[15:0]	上一访问周期中请求的回读数据

Copyright © 2023 Texas Instruments Incorporated

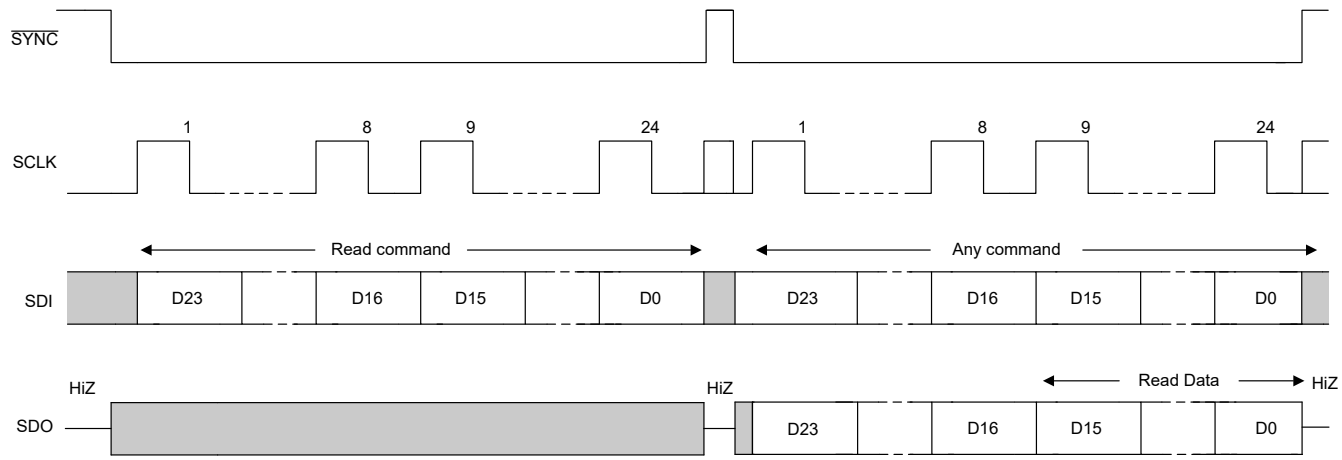


图 7-6. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。在菊花链模式下，多个器件采用*链式*连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚，如图 7-7 所示。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-8 介绍了菊花链写入周期的数据包格式。

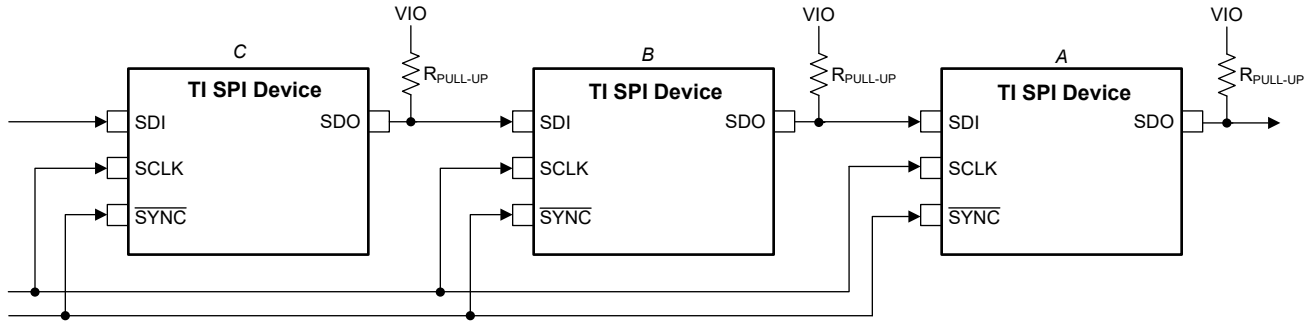


图 7-7. SPI 菊花链连接

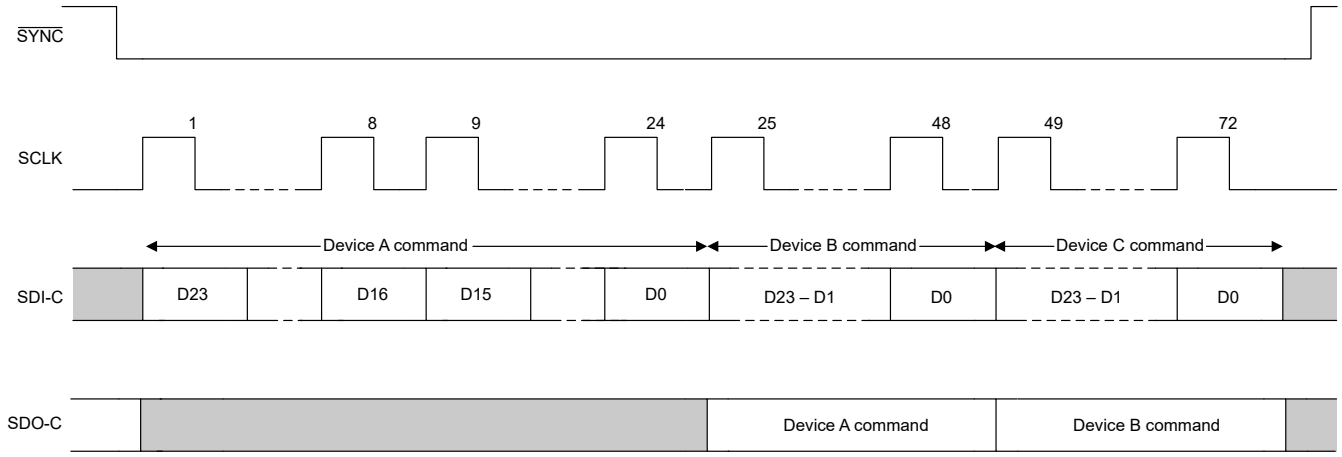


图 7-8. SPI 菊花链写入周期

7.5.2 I²C 编程模式

AFE539F1-Q1 具有两线制串行接口（SCL 和 SDA）和一个地址引脚 (A0)，如*引脚配置和功能* 部分的引脚图所示。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为*控制器*，而由控制器控制的器件称为*目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件（启动条件、重复启动条件和停止条件）来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。AFE539F1-Q1 作为目标器件在 I²C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或发送数据。

通常，AFE539F1-Q1 充当目标接收器。控制器向 AFE539F1-Q1（目标接收器）写入数据。但是，如果控制器需要 AFE539F1-Q1 内部寄存器数据，则 AFE539F1-Q1 充当目标发送器。在这种情况下，控制器从 AFE539F1-Q1 读取数据。根据 I²C 术语，读写是指控制器。

AFE539F1-Q1 支持以下数据传输模式：

- 标准模式 (100Kbps)
- 快速模式 (400Kbps)
- 快速+ 模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。AFE539F1-Q1 支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿（在第二个字节之后）在器件内进行复位置位。

除了特定的时序信号外，I²C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 7-9 所示。

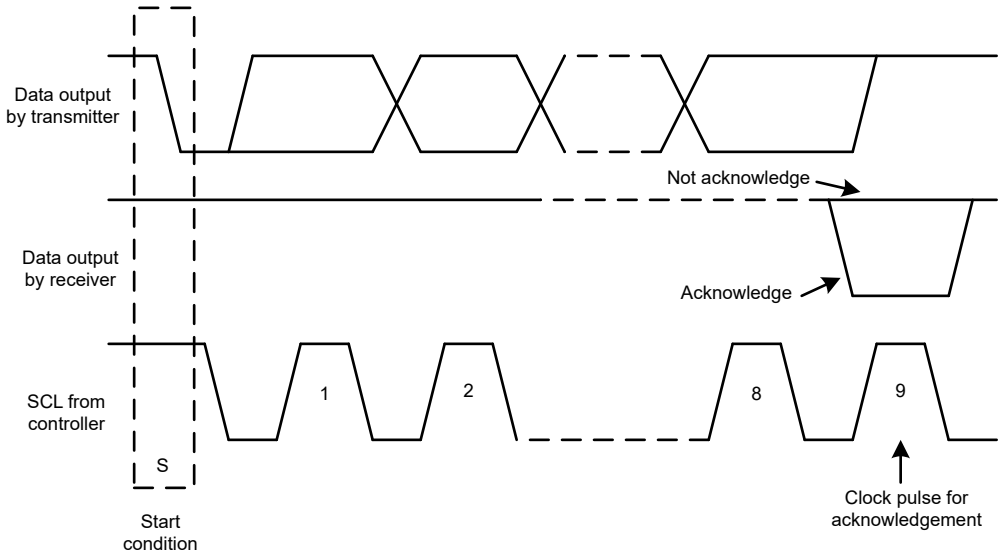


图 7-9. I²C 总线上的确认和非确认

7.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 7-10 所示。所有与 I²C 兼容的器件都会识别启动条件。

Copyright © 2023 Texas Instruments Incorporated

2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/$\overline{W}$)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 7-11 所示。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认，如图 7-9 所示。当控制器检测到此确认时，则表示与目标的通信链路已建立。
3. 控制器产生更多的 SCL 周期，以便向目标器件发送（R/$\overline{W}$ 位为 0）数据或接收（R/$\overline{W}$ 位为 1）数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件，如图 7-10 所示。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I^2C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

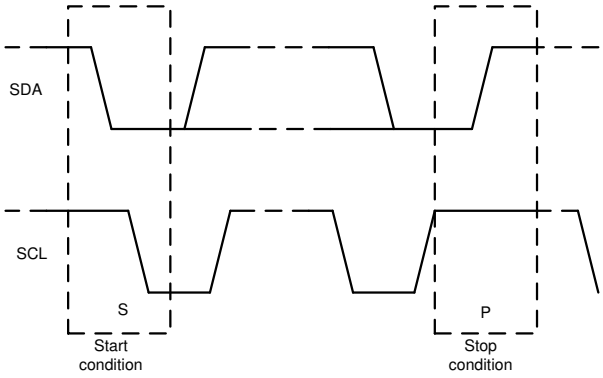


图 7-10. 启动和停止条件

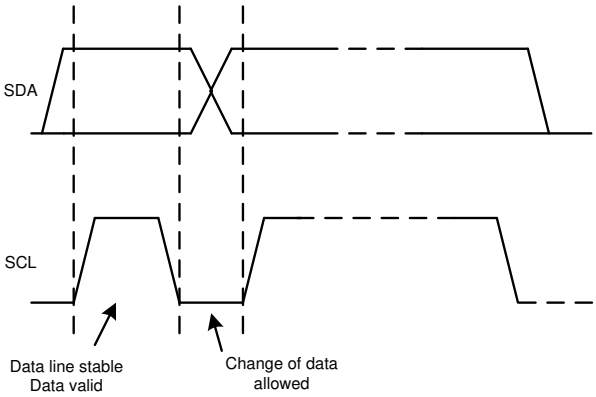


图 7-11. 在 I^2C 总线上的位传输

7.5.2.2 I²C 更新序列

对于单次更新，AFE539F1-Q1 需要一个开始条件、一个有效的 I²C 地址字节、一个命令字节以及两个数据字节，如表 7-6 中所示。

表 7-6. 更新序列

MSB	....	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

收到每个字节后，AFE539F1-Q1 通过在单个时钟脉冲的高电平期间将 SDA 线拉至低电平来确认该字节，如图 7-12 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 AFE539F1-Q1。

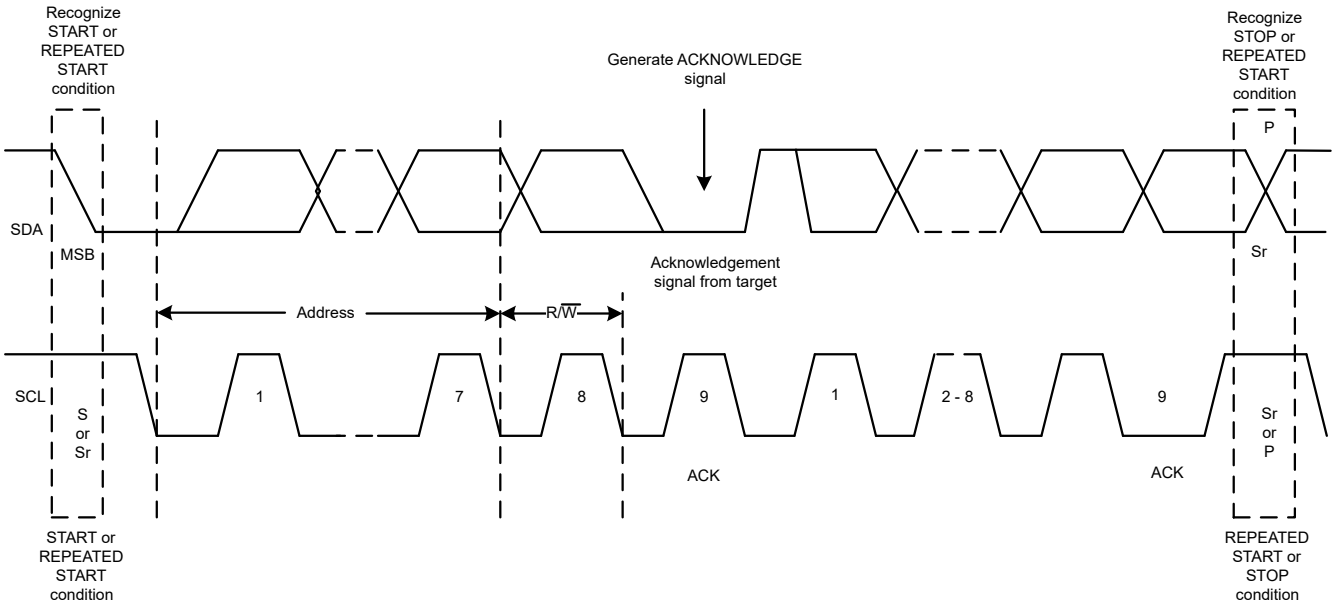


图 7-12. I²C 总线协议

命令字节设置所选 AFE539F1-Q1 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，AFE539F1-Q1 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。AFE539F1-Q1 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式（时钟 = 400kHz）时，最大更新速率限制为 10kSPS。使用快速+ 模式（时钟 = 1MHz）时，最大更新速率限制为 25kSPS。收到停止条件后，AFE539F1-Q1 器件将释放 I²C 总线并等待新的启动条件。

Copyright © 2023 Texas Instruments Incorporated

7.5.2.2.1 地址字节

地址字节（如表 7-7 所示）是在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此会根据表 7-8 响应该特定地址。

表 7-7. 地址字节

注释	MSB							LSB
—	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/$\overline{W}$
一般地址	1	0	0	1	请参阅表 7-8（目标地址列）			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 7-8. 地址格式

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

AFE539F1-Q1 支持使用广播地址来同步更新或关闭多个 AFE539F1-Q1 器件。使用广播地址时，无论地址引脚状态如何，AFE539F1-Q1 都会进行响应。仅在写入模式下支持广播。

7.5.2.2.2 命令字节

寄存器映射 部分中的*寄存器名称* 表列出了 ADDRESS 列中的命令字节。

7.5.2.3 I²C 读取序列

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 1 以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 7-9. 读取序列

S	MSB	…	R/$\overline{W}$ (0)	ACK	MSB	…	LSB	ACK	Sr	MSB	…	R/$\overline{W}$ (1)	ACK	MSB	…	LSB	ACK	MSB	…	LSB	ACK
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				MSDB				LSDB			
来自控制器				目标	来自控制器			目标	来自控制器				目标	来自目标器件			控制器	来自目标器件			控制器

7.6 寄存器映射

表 7-10. 寄存器映射

寄存器	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)							
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
NOP	NOP															
REF-GAIN-CONFIG	X			REF-GAIN			保留									
COMMON-CONFIG	保留	DEV-LOCK	保留	EN-INT-REF	ADC-PDN		保留									
COMMON-TRIGGER	DEV-UNLOCK				重置				保留						NVM-PROG	NVM-RELOAD
COMMON-PWM-TRIG	保留															START-FUNCTION
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	保留					NVM-BUSY	DEVICE-ID						VERSION-ID	
INTERFACE-CONFIG	X			TIMEOUT-EN	X									FSDO-EN	X	SDO-EN
STATE-MACHINE-CONFIG0	保留													SM-ABORT	SM-START	SM-EN
SRAM-CONFIG	X								SRAM-ADDR							
SRAM-DATA	SRAM-DATA															
MAX-OUTPUT	保留									MAX-OUTPUT						
MIN-OUTPUT	保留									MIN-OUTPUT						
FUNCTION-COEFFICIENT	FUNCTION-COEFFICIENT															
PWM-FREQUENCY	保留											PWM-FREQ				

备注：阴影单元格表示存储在 NVM 中的寄存器位或字段。

备注：X = 不用考虑。

Copyright © 2023 Texas Instruments Incorporated

表 7-11. 寄存器名称

I²C/SPI 地址（命令字节）	SRAM 地址	寄存器名称	章节
00h	—	NOP	节 7.6.1
15h	—	REF-GAIN-CONFIG	节 7.6.2
1Fh	—	COMMON-CONFIG	节 7.6.3
20h	—	COMMON-TRIGGER	节 7.6.4
21h	—	COMMON-PWM-TRIG	节 7.6.5
22h	—	GENERAL-STATUS	节 7.6.6
26h	—	INTERFACE-CONFIG	节 7.6.7
27h	—	STATE-MACHINE-CONFIG0	节 7.6.8
2Bh	—	SRAM-CONFIG	节 7.6.9
2Ch	—	SRAM-DATA	节 7.6.10
—	20h	MAX-OUTPUT	节 7.6.11
—	21h	MIN-OUTPUT	节 7.6.12
—	22h	FUNCTION-COEFFICIENT	节 7.6.13
—	23h	PWM-FREQUENCY	节 7.6.14

Copyright © 2023 Texas Instruments Incorporated

7.6.1 NOP 寄存器（地址 = 00h）[复位 = 0000h]

图 7-13. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R/W-0h															

表 7-12. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R/W	0000h	无操作

7.6.2 REF-GAIN-CONFIG 寄存器（地址 = 15h）[复位 = 0401h]

图 7-14. REF-GAIN-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			REF-GAIN			保留									
X-0h			R/W-001			R/W-001h									

表 7-13. REF-GAIN-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12-10	REF-GAIN	R/W	001	000：增益 = 1 ×，VREF/MODE 引脚上的外部基准。 001：增益 = 1 ×，VDD 作为基准（默认）。 010：增益 = 1.5 ×，内部基准。 011：增益 = 2 ×，内部基准。 100：增益 = 3 ×，内部基准。 101：增益 = 4 ×，内部基准。 其他：不适用。
9-0	RESERVED	R/W	001h	始终写入 001h。

7.6.3 COMMON-CONFIG 寄存器（地址 = 1Fh）[复位 = 13FFh]

图 7-15. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	DEV-LOCK	保留	EN-INT-REF	ADC-PDN		RESERVED									
R/W-0h	R/W-0h	R/W-0h	R/W-1	R/W-0h		R/W-3FFh									

表 7-14. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0	始终写入 0。
14	DEV-LOCK	R/W	0	0：器件未锁定 1：器件锁定，器件会锁定所有寄存器。要将此位重设为 0（解锁器件），需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段，然后向 DEV-LOCK 位写入 0。
13	RESERVED	R/W	0	始终写入 0。
12	EN-INT-REF	R/W	1	0：禁用内部基准 1：启用内部基准。在使用内部基准增益设置之前，必须设置此位。
11	ADC-PDN	R/W	0	00：为 ADC 加电。 01：通过 10KΩ 连接至 AGND，将 ADC 断电 10：通过 100KΩ 连接至 AGND，将 ADC 断电 11：通过高阻态连接至 AGND，将 ADC 断电。

Copyright © 2023 Texas Instruments Incorporated

表 7-14. COMMON-CONFIG 寄存器字段说明 (continued)

位	字段	类型	复位	说明
10-0	RESERVED	R/W	3FFh	始终写入 3FFh。

7.6.4 COMMON-TRIGGER 寄存器（地址 = 20h）[复位 = 0000h]

图 7-16. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				重置				保留						NVM-PROG	NVM-RELOAD
R/W-0h				R/W-0h				R/W-00h						R/W-0h	R/W-0h

表 7-15. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0h	0101：器件解锁密码。 其他：不用考虑。
11-8	复位	W	0h	1010：触发 POR 复位。此字段会自行复位。 其他：不用考虑。
7-2	RESERVED	R/W	00h	始终写入 0。
1	NVM-PROG	R/W	0	0：不触发 NVM 写入。 1：触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0	0：不触发 NVM 重新加载。 1：将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.6.5 COMMON-PWM-TRIG 寄存器（地址 = 21h）[复位 = 0001h]

图 7-17. COMMON-PWM-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															START-FUNCTION
R/W-0000h															R/W-0h

表 7-16. COMMON-PWM-TRIG 寄存器字段说明

位	字段	类型	复位	描述
15-1	RESERVED	R/W	0000h	始终写入 0000h。
0	START-FUNCTION	R/W	0	0：停止 PWM 生成。 1：无效。该位由状态机自动设置。

7.6.6 GENERAL-STATUS 寄存器（地址 = 22h）[复位 = 00h、DEVICE-ID、VERSION-ID]

图 7-18. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X					NVM-BUSY	DEVICE-ID						VERSION-ID	
R-0h	R-0h	X-00h					R-0h	R-0h						R-0h	

表 7-17. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0	0：OTP 中无 CRC 错误。 1：表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0	0：NVM 加载中无 CRC 错误。 1：表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	X	X	00h	不用考虑。
8	NVM-BUSY	R	0	0：NVM 可用于读取和写入。 1：NVM 不可用于读取或写入。
7-2	DEVICE-ID	R	19h	器件标识符。
1-0	VERSION-ID	R	0	版本标识符。

7.6.7 INTERFACE-CONFIG 寄存器（地址 = 26h）[复位 = 0000h]

图 7-19. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			TIMEOUT-EN	X									FSDO-EN	X	SDO-EN
X-0h			R/W-0h	X-0h									R/W-0h	X-0h	R/W-0h

表 7-18. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12	TIMEOUT-EN	R/W	0	0：禁用 I^2C 超时。 1：启用 I^2C 超时。
11-3	X	X	0h	不用考虑。
2	FSDO-EN	R/W	0	0：禁用快速 SDO。 1：启用快速 SDO。
1	X	X	0	不用考虑。
0	SDO-EN	R/W	0	0：禁用 SDO。 1：启用 SDO。

Copyright © 2023 Texas Instruments Incorporated

7.6.8 STATE-MACHINE-CONFIG0 寄存器（地址 = 27h）[复位 = 0003h]

图 7-20. STATE-MACHINE-CONFIG0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED													SM-ABORT	SM-START	SM-EN
R/W-0h													R/W-0h	R/W-0h	R/W-0h

表 7-19. STATE-MACHINE-CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15 - 3	RESERVED	R/W	0000h	始终写入 0。
2	SM-ABORT	R/W	0	0：状态机未中止。 1：状态机已中止。
1	SM-START	R/W	0	0：状态机已停止。 1：状态机已启动。必须使用 SM-EN 位来启用状态机。
0	SM-EN	R/W	0	0：状态机已禁用。 1：状态机已启用。

7.6.9 SRAM-CONFIG 寄存器（地址 = 2Bh）[复位 = 0000h]

图 7-21. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								SRAM-ADDR							
X-00h								R/W-00h							

表 7-20. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	00h	不用考虑
7-0	SRAM-ADDR	R/W	00h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。

7.6.10 SRAM-DATA 寄存器（地址 = 2Ch）[复位 = 0000h]

图 7-22. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0000h															

表 7-21. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-DATA	R/W	0000h	16 位 SRAM 数据。数据会写入至 SRAM-CONFIG 寄存器中配置的地址，或者从该地址读取。

7.6.11 MAX-OUTPUT 寄存器（SRAM 地址 = 20h）[RESET = 007Fh]

备注
此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-23. MAX-OUTPUT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED									MAX-OUTPUT						
R/W-0000h									R/W-7Fh						

表 7-22. MAX-OUTPUT 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R/W	0000h	始终写入 0000h。
6-0	MAX-OUTPUT	R/W	7Fh	PWM 输出的 7 位最大限制。

7.6.12 MIN-OUTPUT 寄存器（SRAM 地址 = 21h）[复位 = 0000h]

备注
此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-24. MIN-OUTPUT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED									MIN-OUTPUT						
R/W-0000h									R/W-00h						

表 7-23. MIN-OUTPUT 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R/W	0000h	始终写入 0000h。
6-0	MIN-OUTPUT	R/W	00h	PWM 输出的 7 位最小限制。

7.6.13 FUNCTION-COEFFICIENT 寄存器（SRAM 地址 = 22h）[复位 = 01F4h]

备注
此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-25. FUNCTION-COEFFICIENT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FUNCTION-COEFFICIENT															
R/W-01F4h															

表 7-24. FUNCTION-COEFFICIENT 寄存器字段说明

位	字段	类型	复位	说明
15-0	FUNCTION-COEFFICIENT	R/W	01F4h	方程式 2 和方程式 3 中指定的 16 位函数系数 (K)。

Copyright © 2023 Texas Instruments Incorporated

7.6.14 PWM-FREQUENCY 寄存器（SRAM 地址 = 23h）[复位 = 000Bh]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-26. PWM-FREQUENCY 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED											PWM-FREQ				
R/W-000h											R/W-0Bh				

表 7-25. PWM-FREQUENCY 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R/W	000h	始终写入 000h。
15-0	SRAM-DATA	R/W	0Bh	表 7-2 中指定的 5 位 PWM 频率设置。

8 应用和实施

备注

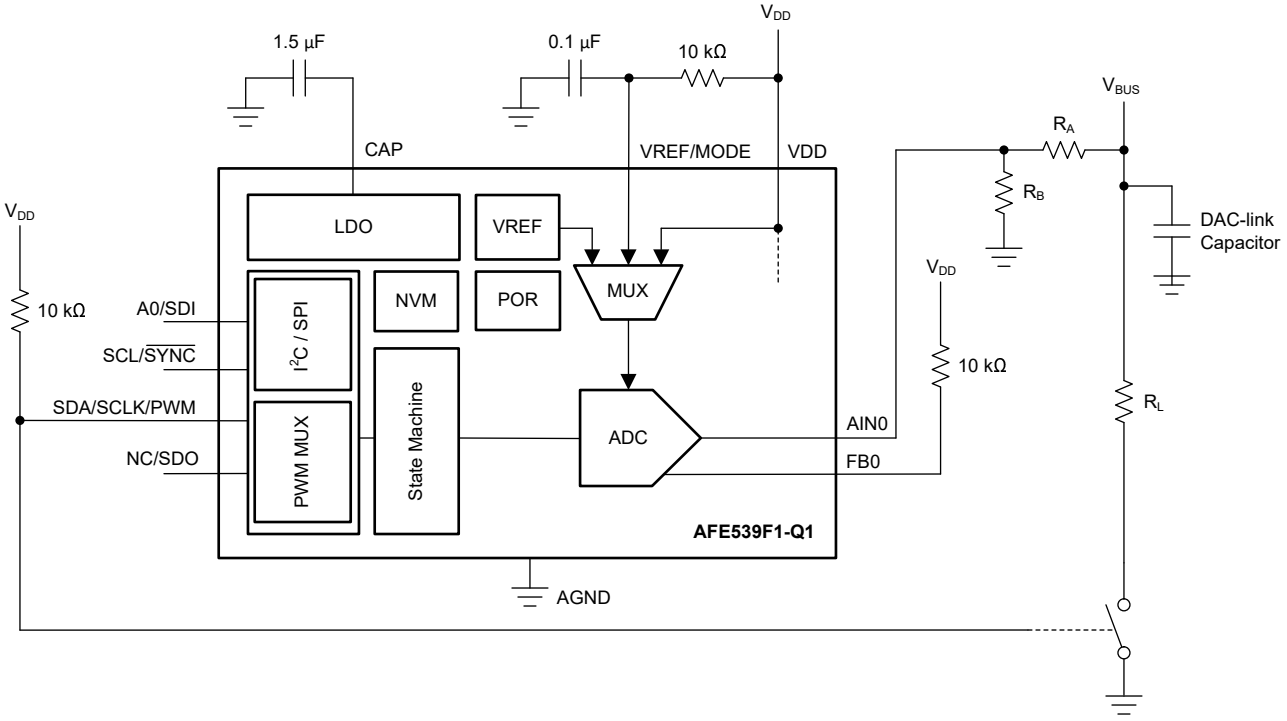
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

AFE539F1-Q1 是一款智能模拟前端 (AFE)，其中包含 ADC 通道、PWM 输出、NVM、内部基准，并且采用微型 3mm × 3mm 封装。AFE539F1-Q1 具有一个集成式状态机，该状态机预编程为恒定功率输出控制器。ADC 的满量程为 VDD/3。当输入超出此范围时，应使用外部衰减器。PWM 在 SDA/SCLK/PWM 引脚上提供 7 位占空比输出。将 VREF/MODE 引脚拉至高电平可启用 PWM 输出。将 VREF/MODE 引脚拉至低电平可启用 I²C 或 SPI 编程模式。在器件中，使用 I²C 或 SPI 对应用参数进行编程，这些参数存储在 NVM 中。

8.2 典型应用

此设计使用 AFE539F1-Q1 来保持阻性负载上的恒定功率耗散，不受所施加的电压的影响。通过开关来调制功率电阻可以改变有效电阻，并在电源电压 (V_{BUS}) 变化时保持恒定功率。AFE539F1-Q1 具有一个集成式状态机，可根据方程式 2 中的传递函数，将 ADC 输入转换为 PWM 输出。用户可以对参数进行编程，如 PWM 频率、最大和最小占空比输出以及方程式 2 中的 K 项，并可将其保存在 NVM 中。初始编程后，控制环路独立运行，无需处理器。该电路可用于恒定功率发热或汽车直流链路电容放电应用。图 8-1 显示了此应用的原理图示例。



恒定功率放电电路

Copyright © 2023 Texas Instruments Incorporated

8.2.1 设计要求

表 8-1. 设计参数

参数	值
PWM 频率	3.052 kHz
总线电压 (V_{BUS})	48V
负载电阻 (R_L)	5Ω
功率耗散限值	50W
最大占空比	100%
最小占空比	0%

8.2.2 详细设计过程

使用 表 7-1，以 VDD (5V) 作为增益为 1× 的基准，实现 (VDD/3) = 1.67V 的输入范围。在 48V 总线电压和 1.67V ADC 输入范围下，所需的外部衰减为 28.74。因此，衰减电阻可以选择为 R_A = 100kΩ 和 R_B = 3.6kΩ。为了将功率耗散限制在 50W，有效负载电阻 ($R_{L\text{-}eff}$) 计算为 ($V_{BUS}{}^2$/P) = 46.08Ω。这意味着需要 ($R_L/R_{L\text{-}eff}$) = 10.85% 的最小占空比。在 7 位标度中，10.85% 对应于 13.89d。使用 方程式 4，可计算出所需的函数系数 K 为 443.6d (0x01BC)。

$$K = \frac{D_{MIN} \times (ADC - DATA_{MAX})^2}{2^{15}} \tag{4}$$

PWM 输出引脚是一个开漏输出。必须使用外部电阻，将 PWM 输出引脚上拉至所需的 IO 电压。PWM 频率在 PWM-FREQUENCY SRAM 位置进行设置 (SRAM: 0x23)。表 7-2 定义了每个可用频率的代码。此示例使用 3.052kHz 的 PWM 频率。在 MAX-OUTPUT 和 MIN-OUTPUT SRAM 位置设置最大和最小 PWM 占空比限值。PWM 占空比输出通过一个 7 位代码进行配置。最大代码为 127d。127d 会将 PWM 占空比设置为 100%。表 7-3 提供了有关 AFE539F1-Q1 中 PWM 占空比计算的更多详细信息。

按照以下指导原则在 AFE539F1-Q1 上设置寄存器：

- 将 VREF/MODE 引脚设置为低电平，为编程模式启用数字引脚。
- 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0 可在更新应用参数之前停止状态机。
- 如果 PWM 发生器已在运行，请在 PWM 频率更改生效之前停止 PWM 发生器。将 0 写入 COMMON-PWM-TRIG 寄存器 (0x21) 中的 START-FUNCTION 字段，可停止 PWM 发生器。在启用状态机后，PWM 发生器会自动启动。
- 设置表 8-2 中所示的所有应用参数。使用这些位置将设置保存在 NVM 中。
- 在 REF-GAIN-CONFIG 寄存器中配置 ADC 的基准。
- 使用 COMMON-CONFIG 寄存器为 ADC 通道上电。
- 通过向 STATE-MACHINE-CONFIG0 写入 0x3 以启动状态机。
- 通过将 COMMON-TRIGGER 寄存器 (0x20) 中的 NVM-PROG 位设置为 1 来触发 NVM 写操作。
- 将 VREF/MODE 引脚设置为高电平，为独立模式启用数字引脚。这是在数字引脚上看到 PWM 输出所必需的。

表 8-2. 应用参数

寄存器字段名称	地址[字段]	地址位置
MAX-OUTPUT	0x20[6:0]	SRAM
MIN-OUTPUT	0x21[6:0]	SRAM
FUNCTION-COEFFICIENT	0x22[15:0]	SRAM
PWM-FREQUENCY	0x23[4:0]	SRAM
REF-GAIN-CONFIG	0x15[12:10][4:0]	寄存器
COMMON-CONFIG	0x1F[15:0]	寄存器
STATE-MACHINE-CONFIG0	0x27[2:0]	寄存器

以下是该应用示例的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <MSB DATA>, <LSB DATA>
//Stop the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x01
//Stop the PWM generator
WRITE COMMON-PWM-TRIG(0x21), 0x00, 0x00
//Set the PWM frequncy to 3.052 kHz
WRITE PWM-FREQUENCY(SRAM 0x23), 0x00, 0x07
//Set the maximim and minimum PWM duty cycles
WRITE MAX-OUTPUT(SRAM 0x20), 0x00, 0x7F
WRITE MIN-OUTPUT(SRAM 0x21), 0x00, 0x00
//Set the function coefficient (K)
WRITE FUNCTION-COEFFICIENT(SRAM 0x22), 0x01, 0xBC
//Set the ADC reference to VDD (this is the device default)
WRITE REF-GAIN-CONFIG(0x15), 0x04, 0x01
//Power on ADC
WRITE COMMON-CONFIG(0x1F), 0x03, 0xFF
//Start the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
//Pull the VREF/MODE pin high to enter standalone mode
```

8.2.3 应用曲线

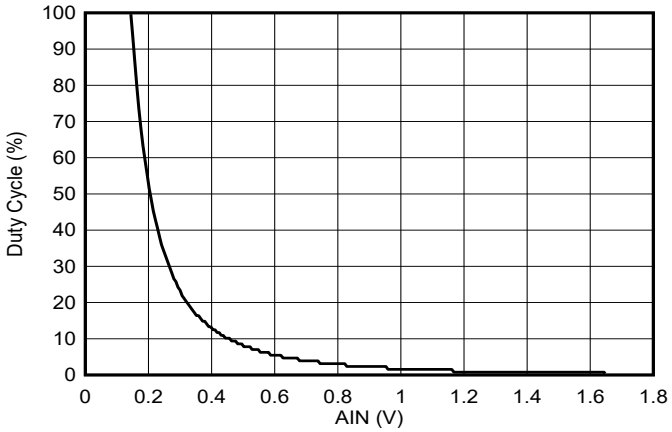


图 8-1. PWM 占空比与输入电压的关系

Copyright © 2023 Texas Instruments Incorporated

8.3 电源相关建议

AFE539F1-Q1 不需要特定的电源时序。这些器件需要单个电源 V_{DD}。但是，应确保在 VDD 通电后施加外部电压基准。V_{DD} 引脚应使用 0.1μF 去耦电容器。CAP 引脚应使用约 1.5μF 的旁路电容器。

8.4 布局

8.4.1 布局指南

AFE539F1-Q1 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

8.4.2 布局示例

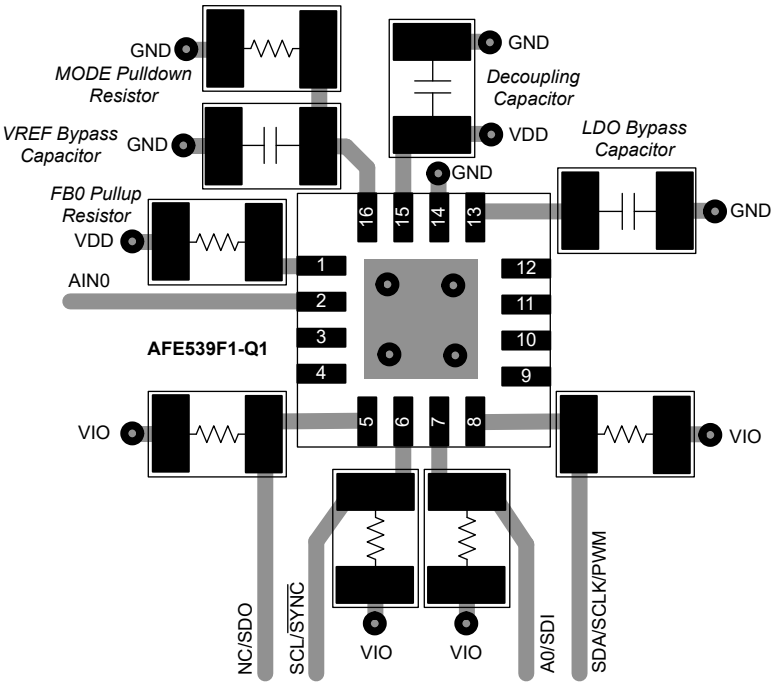


图 8-2. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。将散热焊盘连接至地。

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE539F1RTERQ1	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A59F1Q
AFE539F1RTERQ1.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A59F1Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

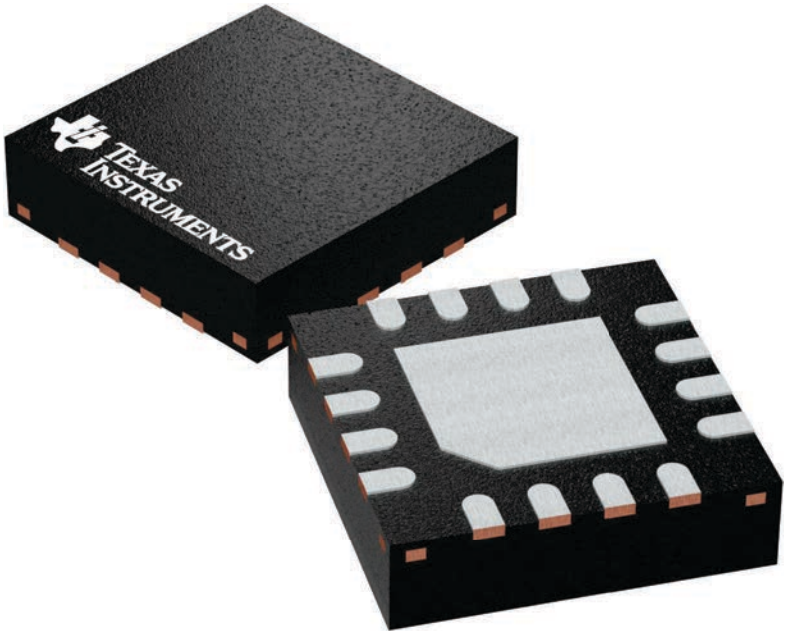
RTE 16

WQFN - 0.8 mm max height

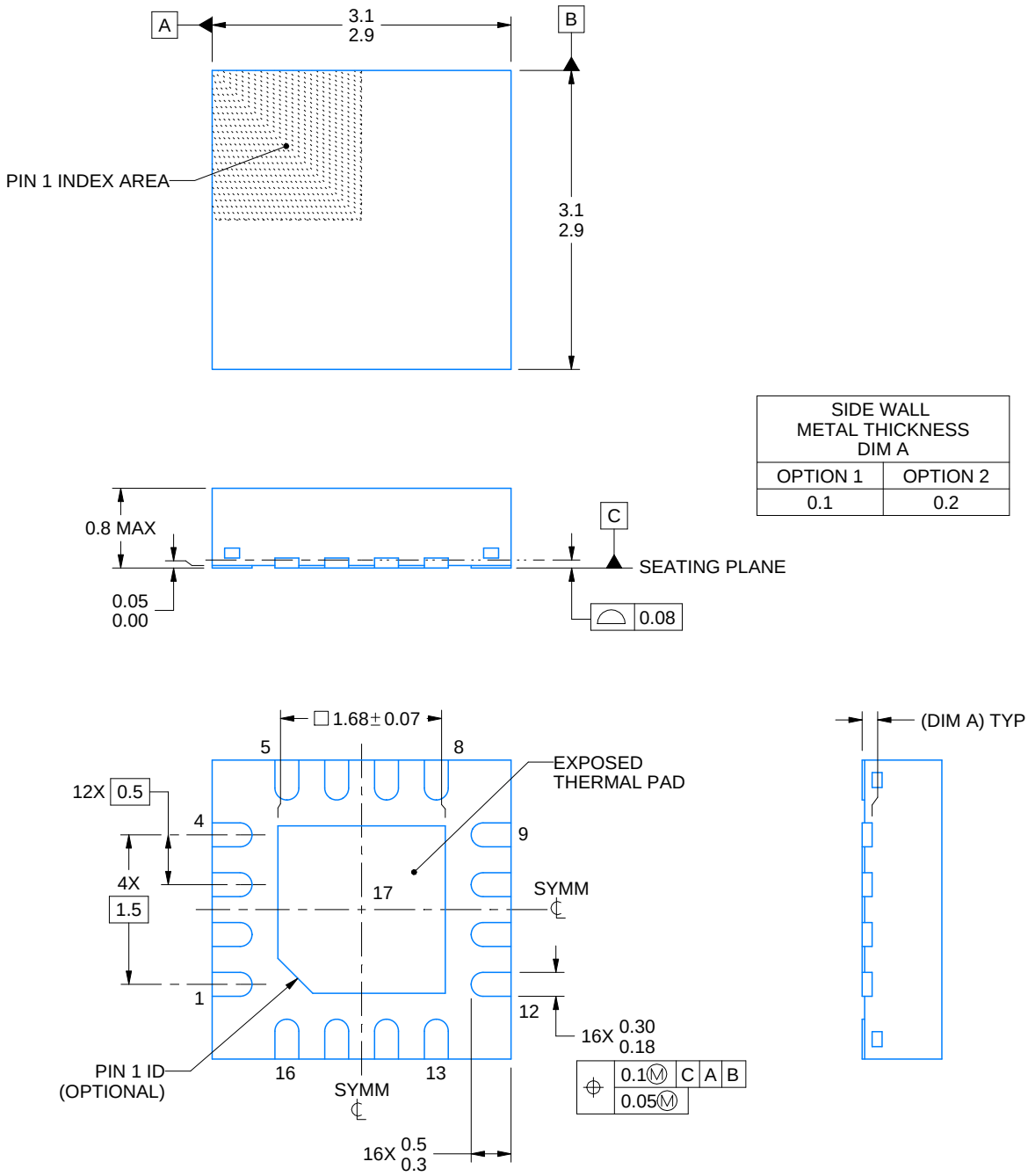
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



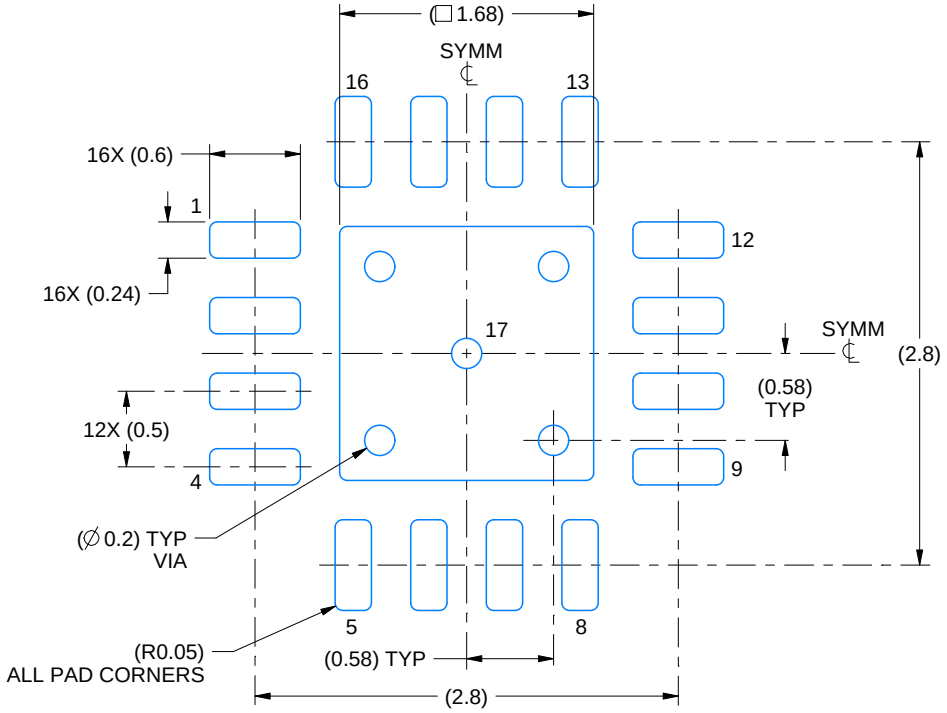
4225944/A



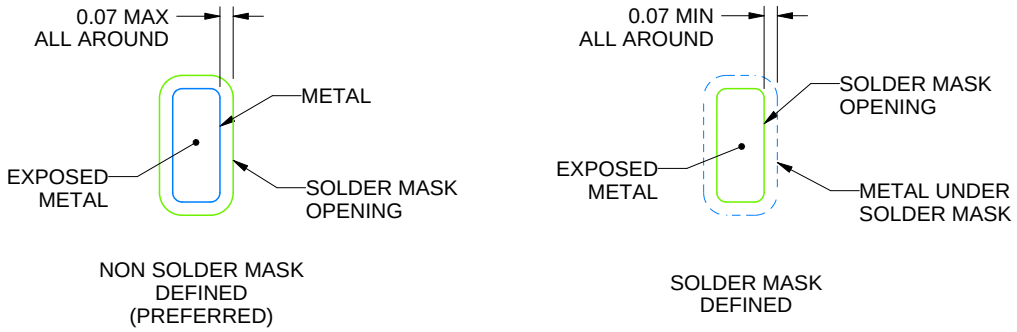
SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

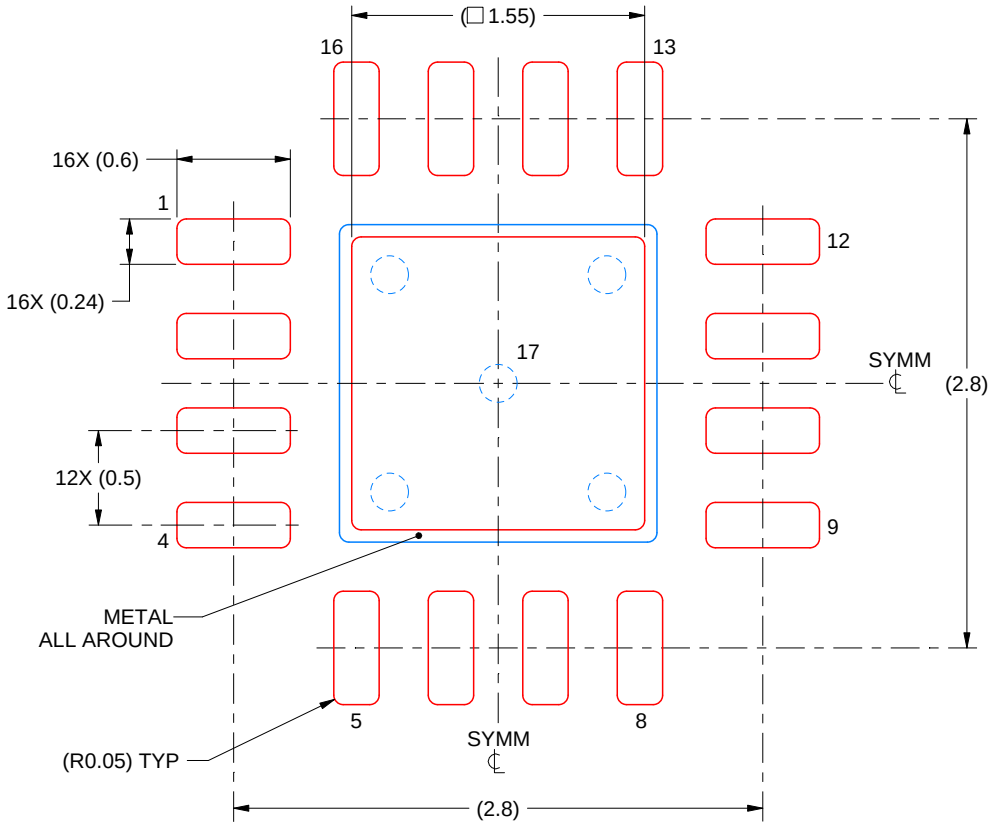


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月