AFEx3902-Q1 具有 I²C 和 SPI、用于实现多斜率热折返和基于 LUT 的控制的智能模拟前端 (AFE)

1 特性

- 符合汽车应用要求的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 多斜率热折返
  - 10 位模数转换器 (ADC) 输入
  - 数模转换器 (DAC) 输出
    - 10 位 (AFE53902-Q1)
    - 8 位 (AFE43902-Q1)
  - 具有 7 位占空比的脉宽调制 (PWM) 输出
  - 从非易失性存储器 (NVM) 中独立运行
  - 基于查找表 (LUT) 的参数配置
  - 用于热敏电阻的分段线性器
- 自动检测 I²C 或 SPI
  - 1.62V V_{IH} (V_{DD} = 5.5V)
- VREF/MODE 引脚可在编程模式和独立模式之间进行选择
- 用户可编程 NVM
- 内部、外部或 VDD 基准
- 宽工作范围
  - 电源：1.8V 至 5.5V
- 微型封装：16 引脚 WQFN (3mm × 3mm)

2 应用

- 汽车尾灯
- 汽车前照灯

3 说明

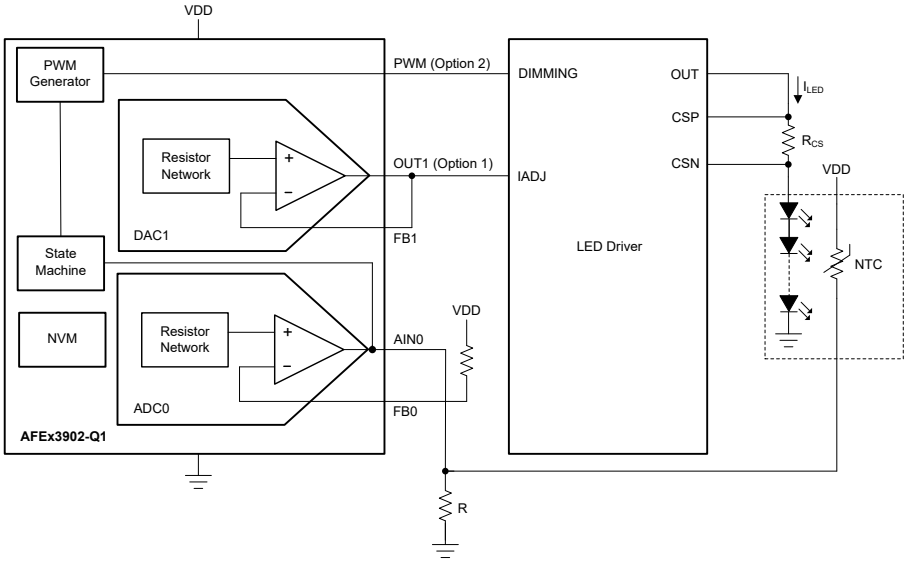
10 位 AFE53902-Q1 和 8 位 AFE43902-Q1 器件 (AFEx3902-Q1) 是用于实现 LED 照明多斜率热折返的双通道智能模拟前端 (AFE)。LED 灯的输出随着温度的升高而降低。多斜率热折返有助于使 LED 的光输出保持稳定，无论温度如何变化，同时将 LED 温度限制为编程的阈值。

AFEx3902-Q1 具有用于温度输入的 ADC 和作为输出的 DAC 或 PWM 发生器。这些器件具有已预编程为多斜率热折返控制器的集成状态机。AFEx3902-Q1 非常适用于汽车尾灯和前照灯以及园艺灯热折返。AFEx3902-Q1 的运行可以独立于编程到 NVM 中的参数，因此可为*无处理器的*应用和设计重用启用这些智能 AFE。这些器件还会自动检测 I²C 或 SPI，并具有内部基准。

器件信息

器件型号	分辨率	封装(1)
AFE53902-Q1	10 位	RTE（WQFN，16）
AFE43902-Q1	8 位	

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



使用 AFEx3902-Q1 的多斜率热折返

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SBASAC2

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....5
6.5 电气特性：电压输出.....7
6.6 电气特性：ADC 输入.....9
6.7 电气特性：通用.....10
6.8 时序要求：I²C 标准模式.....11
6.9 时序要求：I²C 快速模式.....11
6.10 时序要求：I²C 超快速模式.....11
6.11 时序要求：SPI 写入操作.....12
6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....12
6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....12
6.14 时序要求：PWM 输出.....14
6.15 时序图.....14
6.16 典型特性：电压输出.....16
6.17 典型特性：ADC.....21
6.18 典型特性：通用.....23
7 详细说明.....24
7.1 概述.....24
7.2 功能方框图.....24
7.3 特性说明.....25
7.4 器件功能模式.....28
7.5 编程.....34
7.6 寄存器映射.....40
8 应用和实施.....49
8.1 应用信息.....49
8.2 典型应用.....49
8.3 电源相关建议.....57
8.4 布局.....57
9 器件和文档支持.....58
9.1 接收文档更新通知.....58
9.2 支持资源.....58
9.3 商标.....58
9.4 静电放电警告.....58
9.5 术语表.....58
10 机械、封装和可订购信息.....58

4 修订历史记录

日期	修订版本	说明
June 2023	*	初始发行版

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

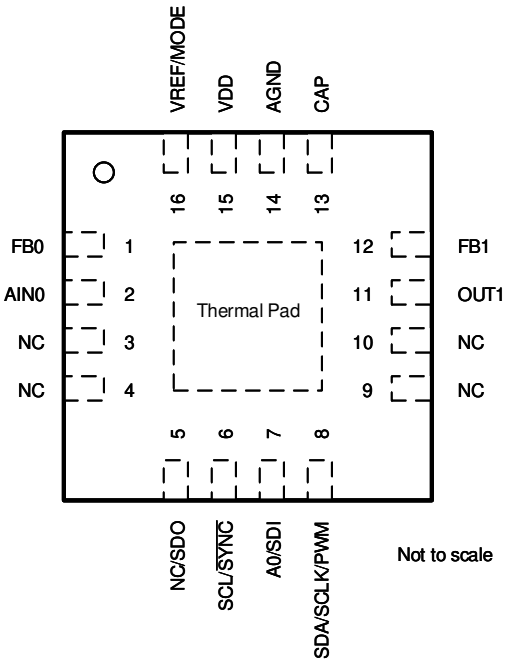


图 5-1. RTE 封装，16 引脚 WQFN（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
1	FB0	输入	通过上拉电阻将此引脚连接到 VDD。
2	AIN0	输入	ADC0 的模拟输入。
3	NC	—	未连接。
4	NC	—	未连接。
5	NC/SDO	输出	此引脚可配置为 SDO。对于 SDO 模式，通过外部上拉电阻将此引脚连接到 I/O 电压。
6	SCL/$\overline{\text{SYNC}}$	输出	I^2C 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻器将此引脚连接到 I/O 电压。
7	A0/SDI	输入	用于 I^2C 的地址配置输入或用于 SPI 的串行数据输入。对于 A0 功能中，将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。对于 SDI 功能，无需上拉或下拉此引脚。
8	SDA/ SCLK/PWM	输入/输出	双向 I^2C 串行数据总线或 SPI 时钟输入。使用外部上拉电阻器将此引脚连接到 I/O 电压。该引脚用作多斜率热折返的 PWM 输出。将 MODE 引脚拉至高电平以启用 PWM 输出。
9	NC	—	未连接。
10	NC	—	未连接。
11	OUT1	输出	对于电压输出，此引脚是 DAC 通道 0 的模拟输出。 在 PWM 输出模式下，将此引脚保持未连接状态。
12	FB1	输入	对于电压输出，此引脚是 DAC 通道 0 的电压反馈输入。将此引脚连接到 OUT0 以实现闭环放大器输出。 在 PWM 输出模式下，将此引脚保持未连接状态。
13	CAP	功率	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5 μF）。
14	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
15	VDD	功率	电源电压：1.8V 至 5.5V

表 5-1. 引脚功能 (continued)

引脚		类型	说明
编号	名称		
16	VREF/ MODE	输入	外部基准或接口模式选择输入。在 VREF/MODE 和 AGND 之间连接一个电容（约 0.1μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。确保该引脚不会在 VDD 之前斜升。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。将该引脚拉至低电平可启用 I^2C 或 SPI 通信。将该引脚拉至高电平可启用 PWM 输出。
散热焊盘	散热焊盘	接地	将散热焊盘连接至 AGND。

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{DD}	电源电压，V_{DD} 至 AGND	–0.3	6	V
	数字输入至 AGND	-0.3	V_{DD} + 0.3	V
	V_{FBX} 至 AGND	-0.3	V_{DD} + 0.3	V
	V_{OUTX} 至 AGND	-0.3	V_{DD} + 0.3	V
V_{REF}	外部基准，V_{REF} 至 AGND	-0.3	V_{DD} + 0.3	V
	流入除 OUTx、VDD 和 AGND 引脚以外的任何引脚的电流	-10	10	mA
T_J	结温	-40	150	°C
T_{stg}	贮存温度	–65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	边角引脚（1、4、5、8、9、12、13 和 16）	±750	
			所有引脚	±500	

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	提供给接地端 (AGND) 的正电源电压	1.7		5.5	V
V_{REF}	提供给接地端 (AGND) 的外部基准电压	1.7		V_{DD}	V
V_{IH}	数字输入高电压，1.7V < V_{DD} ≤ 5.5V	1.62			V
V_{IL}	数字输入低电压			0.4	V
C_{CAP}	CAP 引脚上的外部电容器	0.5		15	µF
T_A	环境温度	-40		125	°C

6.4 热性能信息

热指标[(1)]		AFEx3902-Q1 RTE (WQFN) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	49	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50	°C/W
$R_{\theta JB}$	结至电路板热阻	24.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.1	°C/W
Ψ_{JB}	结至电路板特征参数	24.1	°C/W

热指标[1]		AFEx3902-Q1 RTE (WQFN) 16 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	8.7	°C/W

(1) 有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标应用报告。*

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性：电压输出

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 x，DAC 输出引脚 (OUT) 具有阻性负载（R_L = 5kΩ 至 AGND）和容性负载（C_L = 200pF 至 AGND），且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率	AFE53902-Q1	10			位
		AFE43902-Q1	8			
INL	积分非线性[1]	AFE53902-Q1	–1.25		1.25	LSB
		AFE43902-Q1	-1		1	
DNL	微分非线性[1]		-1		1	LSB
	零代码误差[2]	将 0d 编码至 DAC，外部基准，V_{DD}= 5.5V		6	12	mV
		将 0d 编码到 DAC 中，内部 V_{REF}，增益 = 4 ×，V_{DD} = 5.5V		6	15	
	零代码误差温度系数[2]			±10		μV/°C
	偏移误差[2]	1.7V ≤ V_{DD} < 2.7V，V_{FB} 引脚短接至 V_{OUT}，DAC 代码：10 位分辨率为 8d，8 位分辨率为 2d	-0.75	0.3	0.75	%FSR
		2.7V ≤ V_{DD} ≤ 5.5V，V_{FB} 引脚短接至 V_{OUT}，DAC 代码：10 位分辨率为 8d，8 位分辨率为 2d	–0.5	0.25	0.5	
	偏移误差温度系数[2]	V_{FB} 引脚短接至 V_{OUT}，DAC 代码：10 位分辨率为 8d，8 位分辨率为 2d		±0.0003		%FSR/°C
	增益误差[2]	端点代码之间：10 位分辨率为 8d 至 1016d，8 位分辨率为 2d 至 254d	–0.5	0.25	0.5	%FSR
	增益误差温度系数[2]	端点代码之间：10 位分辨率为 8d 至 1016d，8 位分辨率为 2d 至 254d		±0.0008		%FSR/°C
	满量程误差[2]	1.7V ≤ V_{DD} < 2.7V，DAC（满量程）	-1		1	%FSR
		2.7V ≤ V_{DD} ≤ 5.5V，DAC 处于满量程，10 位分辨率	–0.6		0.6	
		2.7V ≤ V_{DD} ≤ 5.5V，DAC 处于满量程，8 位分辨率	–0.65		0.65	
	满量程误差温度系数[2]	DAC 处于满量程		±0.0008		%FSR/°C
输出						
	输出电压	基准连接到 V_{DD}	0		V_{DD}	V
C_L	容性负载[3]	R_L = 无限，相位裕度 = 30°			200	pF
		相位裕度 = 30°			1000	
	短路电流	V_{DD} = 1.7V，满量程输出短接至 AGND 或零标度输出短接至 V_{DD}		15		mA
		V_{DD} = 2.7V，满量程输出短接至 AGND 或零标度输出短接至 V_{DD}		50		
		V_{DD} = 5.5V，满量程输出短接至 AGND 或零标度输出短接至 V_{DD}		60		
	输出电压余量[3]	至 V_{DD}，DAC 输出空载，内部基准 = 1.21V，V_{DD} ≥ 1.21V × 增益 + 0.2V	0.2			V
		至 V_{DD} 和 AGND，DAC 输出空载，V_{DD} 处的外部基准（增益 = 1 ×），V_{REF} 引脚未短接至 V_{DD}	0.8			%FSR
		至 V_{DD} 和 AGND，V_{DD} = 5.5V 时 I_{LOAD} = 10mA，V_{DD} = 2.7V 时 I_{LOAD} = 3mA，V_{DD} = 1.8V 时 I_{LOAD} = 1mA，V_{DD} 处的外部基准（增益 = 1 ×），V_{REF} 引脚未短接至 V_{DD}	10			

6.5 电气特性：电压输出 (continued)

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 x，DAC 输出引脚 (OUT) 具有阻性负载（R_L = 5kΩ 至 AGND）和容性负载（C_L = 200pF 至 AGND），且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	V_{OUT} 直流输出阻抗	DAC 输出已启用且 DAC 代码 = 中标度，V_{DD} = 5.5V，外部基准模式		0.007		Ω
		DAC 输出已启用且 DAC 代码 = 8d，V_{DD} = 5.5V，外部基准模式		0.25		
		DAC 输出已启用且 DAC 代码 = 1016d，V_{DD} = 5.5V，外部基准模式		0.25		
Z_O	V_{FB} 直流输出阻抗(4)	DAC 输出已启用，内部基准（增益 = 1.5 × 或 2 ×）或外部基准处于 V_{DD}（增益 = 1 ×），V_{REF} 引脚未短接至 V_{DD}	400	500	600	kΩ
		DAC 输出已启用，内部 V_{REF}，增益 = 3 × 或 4 ×	325	400	485	
	电源抑制比（直流）	内部 V_{REF}，增益 = 2 ×，DAC 处于中标度，V_{DD} = 5V ±10%		0.25		mV/V
动态性能						
t_{sett}	输出电压建立时间	1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR，V_{DD} = 5.5V		20		μs
		1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR，V_{DD} = 5.5V，内部 V_{REF}，增益 = 4 ×		25		
	转换率	V_{DD} = 5.5V		0.3		V/μs
	上电干扰幅度	启动时，DAC 输出被禁用		75		mV
		启动时，DAC 输出被禁用，R_L = 100kΩ		200		
	输出使能干扰幅度	DAC 输出从禁用至启用，DAC 寄存器处于零标度，R_L = 100kΩ		250		mV
V_n	输出噪声电压（峰峰值）	f = 0.1Hz 至 10Hz，DAC 位于中标度，V_{DD} = 5.5V		50		$μV_{PP}$
		内部 V_{REF}，增益 = 4 ×，f = 0.1Hz 至 10Hz，DAC 处于中标度，V_{DD} = 5.5V		90		
	输出噪声密度	f = 1kHz，DAC 位于中标度，V_{DD} = 5.5V		0.35		μV/√Hz
		内部 V_{REF}，增益 = 4 ×，f = 1kHz，DAC 处于中标度，V_{DD} = 5.5V		0.9		
	电源抑制比（交流）(4)	内部 V_{REF}，增益 = 4 ×，200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度		-68		dB
	代码变化干扰脉冲	中标度周围 ±1LSB 变化（包括馈通）		10		nV-s
	代码变化干扰脉冲幅度	中标度周围 ±1LSB 变化（包括馈通）		15		mV

(1) 在 DAC 输出空载的情况下测量。对于外部基准和内部基准 V_{DD} ≥ 1.21 × 增益 + 0.2V，介于终点代码之间：10 位分辨率为 8d 至 1016d，8 位分辨率为 2d 至 254d。
(2) 在 DAC 输出空载的情况下测量。
(3) 根据设计和特征确定；未经生产测试。
(4) 当使用内部基准时，相对于基准值以 200mV 余量指定。

Copyright © 2023 Texas Instruments Incorporated

6.6 电气特性：ADC 输入

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率		10			位
INL	积分非线性(1) (2)		-2		2	LSB
DNL	微分非线性(1) (2)		-1		1	LSB
	偏移误差(1) (2) (3)	1.7V ≤ V_{DD} < 2.7V	-5	0	5	mV
		2.7V ≤ V_{DD} ≤ 5.5V	-5	0	5	
	增益误差(1) (2) (4)		-1		1	%FSR
输入						
	输入电压范围	外部 V_{REF} = V_{DD}，V_{FB} 衰减为 1	0		V_{DD}	V
动态性能						
	数据速率(2)	ADC 平均设置为 4 个样本	1406		2008	SPS
	采样电容器			10		pF

(1) 在 DAC 输出空载的情况下测量。对于端点代码之间的外部基准和内部基准 V_{DD} ≥ 1.21 x 增益 + 0.2V：10 位分辨率为 8d 至 1016d，8 位分辨率为 2d 至 254d。
(2) 根据设计和特征确定；未经生产测试。
(3) 在 DAC 处于中标度、比较器输入处于高阻态且 DAC 采用外部基准工作时测得。

6.7 电气特性：通用

最小和最大规格的条件为 –40°C ≤ T_A ≤ +125°C，典型规格的条件为 T_A = 25°C，1.7V ≤ V_{DD} ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
内部基准						
	初始精度	所有测量的 T_A = 25°C	1.1979	1.212	1.224	V
	基准输出温度系数(1) (2)				60	ppm/ °C
外部基准						
	外部基准输入范围		1.7		V_{DD}	V
	V_{REF} 输入阻抗(1) (3)			192		kΩ-ch
EEPROM						
	寿命(1)	–40°C ≤ T_A ≤ +85°C		20000		周期
		T_A = 125°C		1000		
	数据保留(1)			50		年
	EEPROM 编程写入周期时间(1)				200	ms
	器件启动时间(1)	从电源有效 (V_{DD} ≥ 1.7V) 到输出有效状态（EEPROM 中编程的输出状态）所用的时间，CAP 引脚上具有 0.5μF 电容器		5		ms
数字输入						
	数字馈通	电压输出模式，中标度 DAC 输出静态，超快速模式，SCL 切换		20		nV-s
	引脚电容	每引脚		10		pF
电源						
I_{DD}	流入 VDD 的电流	DAC 处于睡眠模式，内部基准关断，外部基准电压为 5.5V			28	μA
	流入 VDD 的电流(1)	DAC 处于睡眠模式，内部基准已启用，通过内部基准的额外电流		10		μA
		DAC 和 ADC 通道已启用，内部基准已启用，每个 DAC 或 ADC 通道通过内部基准的额外电流		12.5		μA-ch
		正常运行，状态机已启用		1.05		mA
高阻抗输出						
I_{LEAK}	流入 V_{OUTX} 和 V_{FBX} 的电流	DAC 处于高阻态输出模式，1.7V ≤ V_{DD} ≤ 5.5V		10		nA
		V_{DD} = 0V，V_{OUT} ≤ 1.5V，V_{DD} 和 AGND 之间的去耦电容 = 0.1 μF		200		
		V_{DD} = 0V，1.5V < V_{OUT} ≤ 5.5V，V_{DD} 和 AGND 之间的去耦电容 = 0.1 μF		500		
		V_{DD} 和 AGND 之间的电阻为 100kΩ，V_{OUT} ≤ 1.25V，OUT 引脚上具有 10kΩ 串联电阻		±2		μA

(1) 根据设计和特征确定；未经生产测试。
(2) 在 –40°C 和 +125°C 条件下测得，并计算了斜率。
(3) DAC 通道的阻抗以并联方式连接。

Copyright © 2023 Texas Instruments Incorporated

6.8 时序要求：I²C 标准模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			100	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			µs
t_{HDSTA}	重复启动后的保持时间	4			µs
t_{SUSTA}	重复启动设置时间	4.7			µs
t_{SUSTO}	停止条件设置时间	4			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	250			ns
t_{LOW}	SCL 时钟低电平周期	4700			ns
t_{HIGH}	SCL 时钟高电平周期	4000			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			1000	ns
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			3.45	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			3.45	µs

6.9 时序要求：I²C 快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			400	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			µs
t_{HDSTA}	重复启动后的保持时间	0.6			µs
t_{SUSTA}	重复启动设置时间	0.6			µs
t_{SUSTO}	停止条件设置时间	0.6			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	100			ns
t_{LOW}	SCL 时钟低电平周期	1300			ns
t_{HIGH}	SCL 时钟高电平周期	600			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			300	ns
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.9	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.9	µs

6.10 时序要求：I²C 超快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			µs
t_{HDSTA}	重复启动后的保持时间	0.26			µs
t_{SUSTA}	重复启动设置时间	0.26			µs
t_{SUSTO}	停止条件设置时间	0.26			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	50			ns
t_{LOW}	SCL 时钟低电平周期	0.5			µs
t_{HIGH}	SCL 时钟高电平周期	0.26			µs
t_F	时钟和数据下降时间			120	ns
t_R	时钟和数据上升时间			120	ns

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
t_{VDDAT}	数据有效时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.45	µs
t_{VDACK}	数据有效确认时间，R = 360Ω，C_{trace} = 23pF，C_{probe} = 10pF			0.45	µs

6.11 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V 且 –40°C ≤ T_A ≤ +125°C

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	9			ns
t_{SCLLOW}	SCLK 低电平时间	9			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	18			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	10			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	50			ns
$t_{DACWAIT}$	同一通道的顺序 DAC 更新等待时间（后续 $\overline{SYNC}$ 上升沿之间的时间）	2			µs

6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 0

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			1.25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	350			ns
t_{SCLLOW}	SCLK 低电平时间	350			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	400			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	400			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	1			µs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿，I_{OL} ≤ 5mA，C_L = 20pF。			300	ns

6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 1

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			2.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	175			ns
t_{SCLLOW}	SCLK 低电平时间	175			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	300			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	300			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	1			µs

Copyright © 2023 Texas Instruments Incorporated

所有输入信号都在 $t_r = t_f$ = 1V/ns（V_{IO} 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ V_{IO} ≤ 5.5V，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C 且 FSDO = 1

		最小值	标称值	最大值	单位
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿，I_{OL} ≤ 5mA，C_L = 20pF。			300	ns

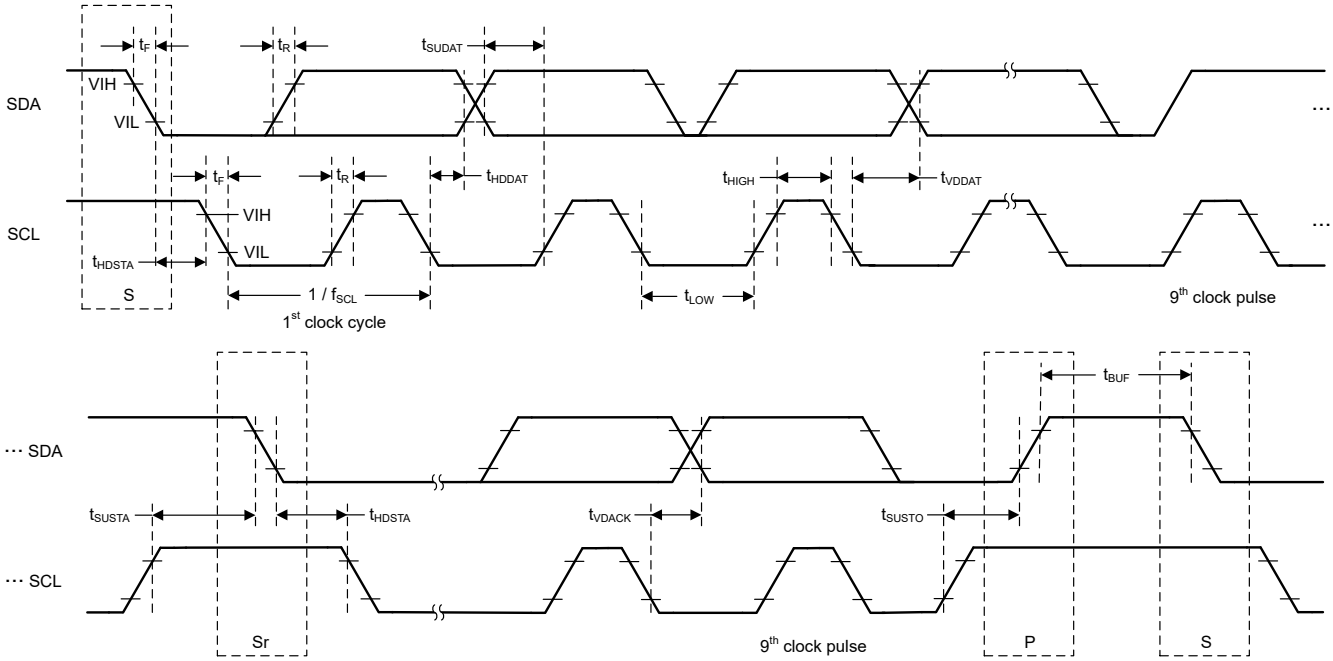
6.14 时序要求：PWM 输出

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，–40°C ≤ T_A ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ V_{DD}

		最小值	标称值	最大值	单位
f_{PWMOUT}	PWM 频率(1)	0.218		48.828	kHz
t_{PWMOHI}	PWM 高电平时间	1			µs
t_{PWMOLO}	PWM 低电平时间	1			µs
$t_{PWMODTY}$	PWM 占空比	0.78		98.44	%

(1) 该频率范围不考虑内部振荡器频率误差。

6.15 时序图



S: Start bit, **Sr**: Repeated start bit, **P**: Stop bit

图 6-1. I²C 时序图

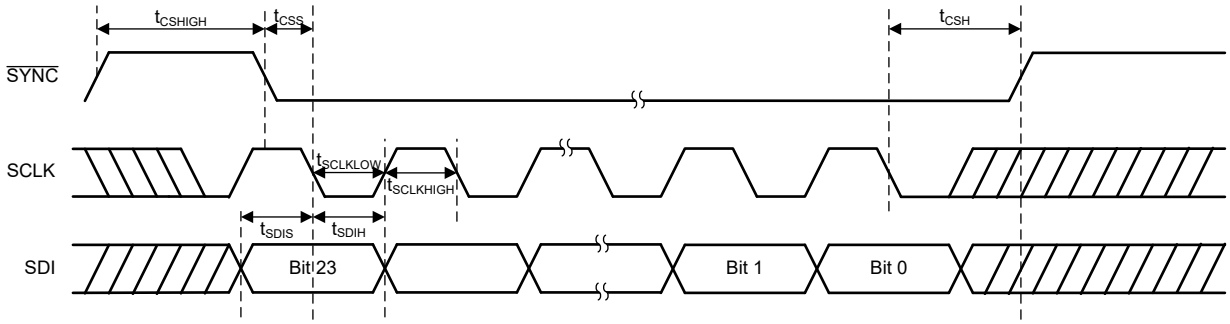


图 6-2. SPI 写入时序图

Copyright © 2023 Texas Instruments Incorporated

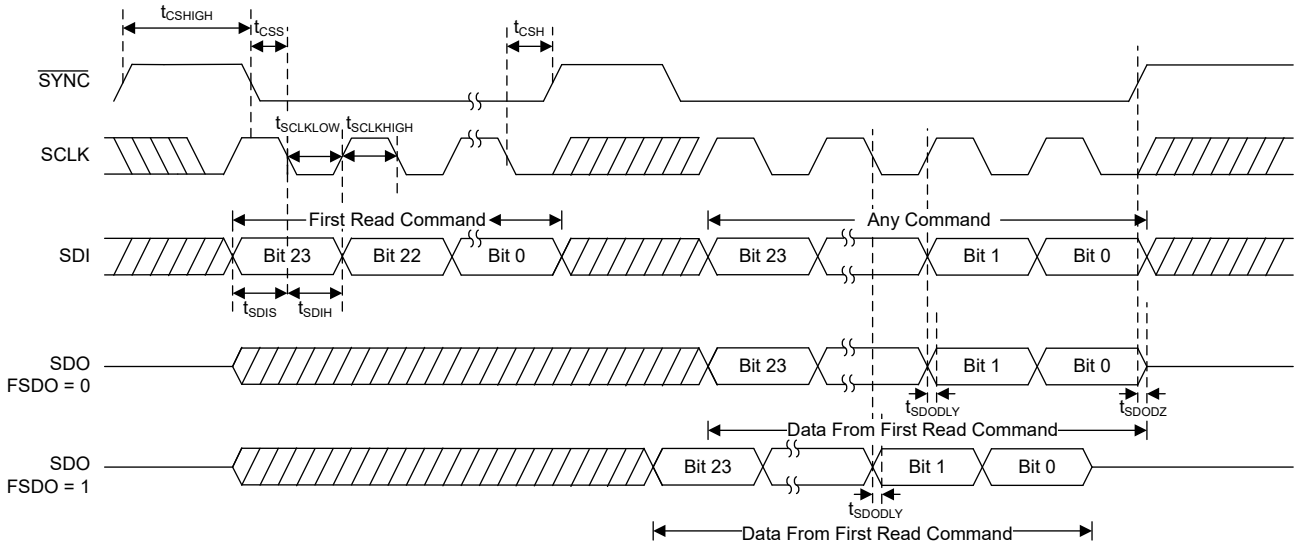
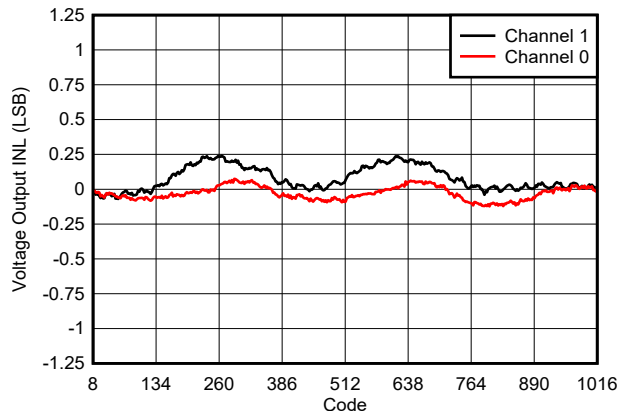


图 6-3. SPI 读取时序图

6.16 典型特性：电压输出

T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，增益 = 1 x 且 DAC 输出为空载（除非另有说明）



内部基准，增益 = 4 ×

图 6-4. 电压输出 INL 与数字输入代码间的关系

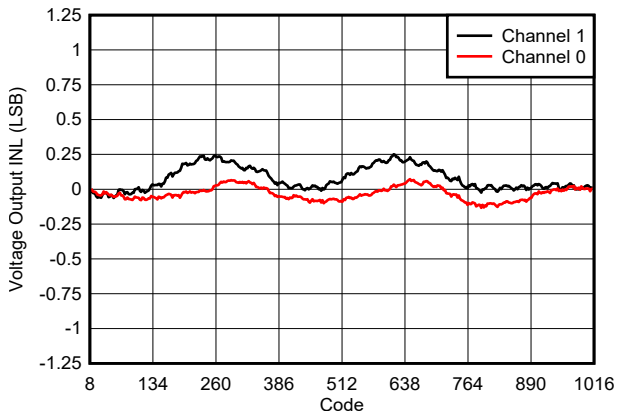


图 6-5. 电压输出 INL 与数字输入代码间的关系

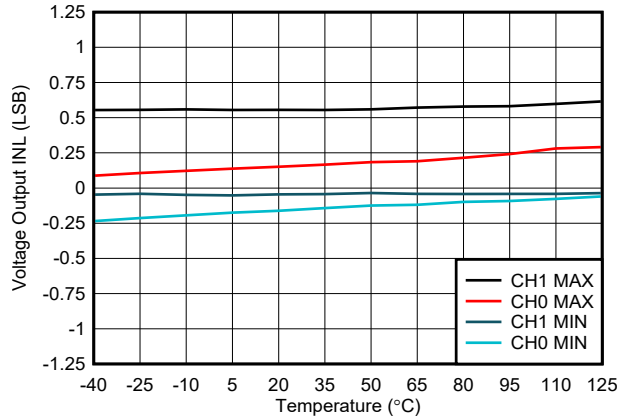


图 6-6. 电压输出 INL 与温度间的关系

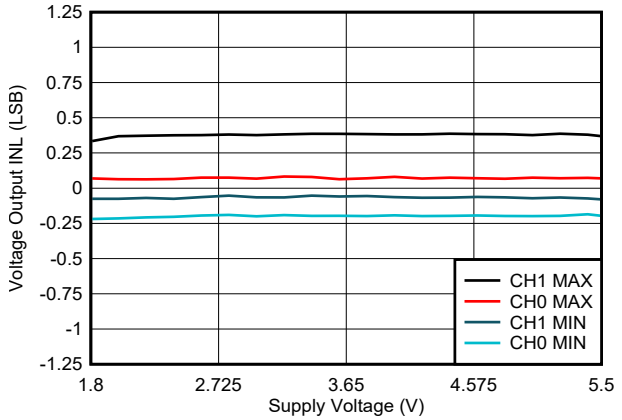
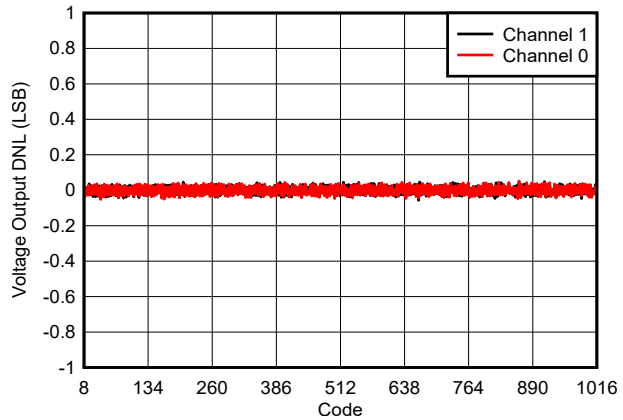


图 6-7. 电压输出 INL 与电源电压间的关系



内部基准，增益 = 4 ×

图 6-8. 电压输出 DNL 与数字输入代码间的关系

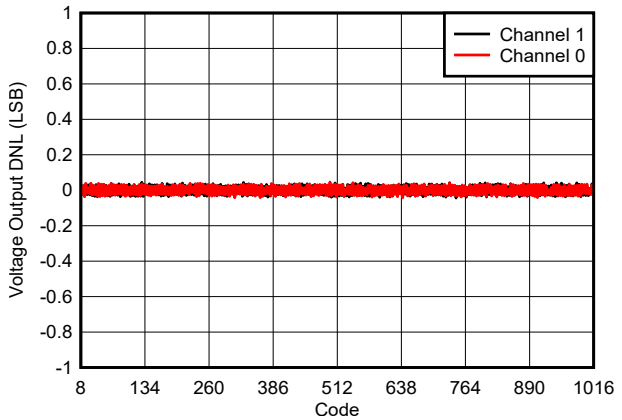


图 6-9. 电压输出 DNL 与数字输入代码间的关系

Copyright © 2023 Texas Instruments Incorporated

6.16 典型特性：电压输出 (continued)

T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，增益 = 1 x 且 DAC 输出为空载（除非另有说明）

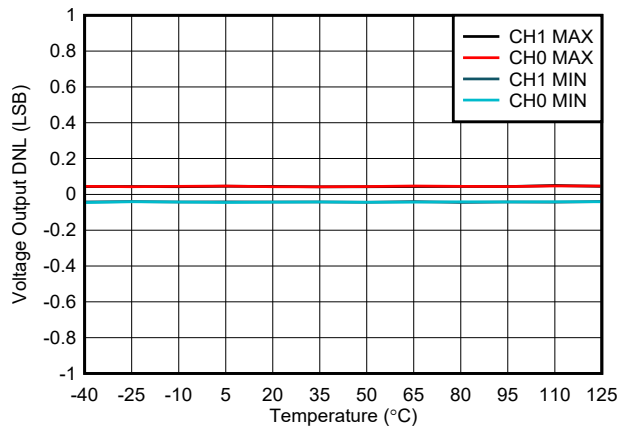


图 6-10. 电压输出 DNL 与温度间的关系

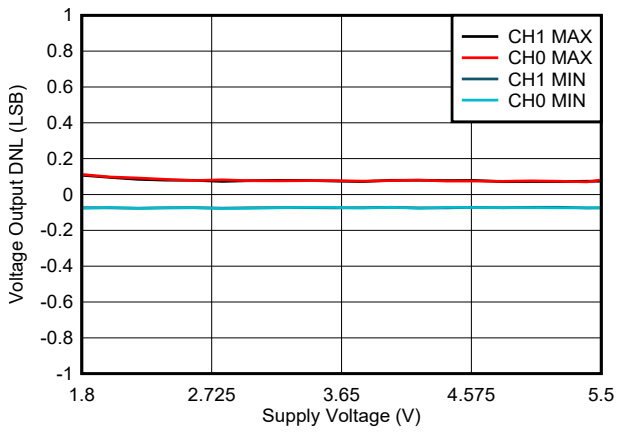
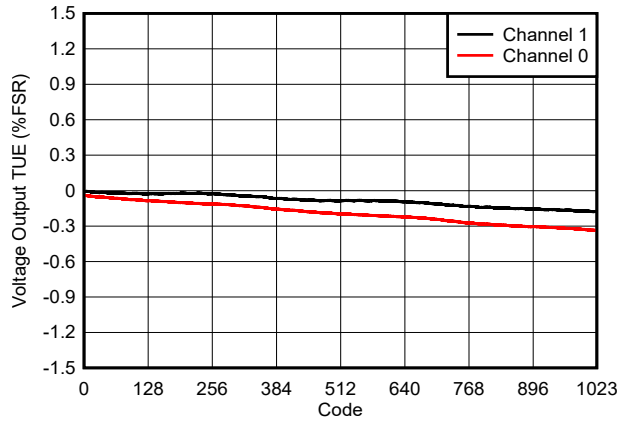


图 6-11. 电压输出 DNL 与电源电压间的关系



内部基准，增益 = 4 ×

图 6-12. 电压输出 TUE 与数字输入代码间的关系

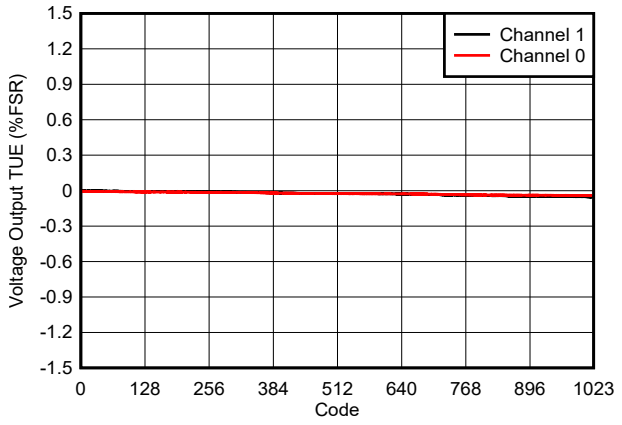
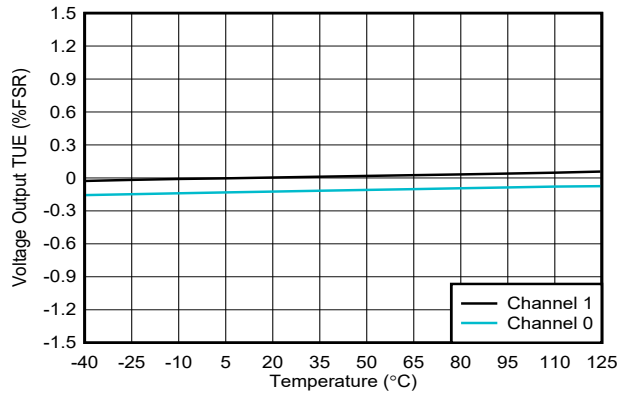
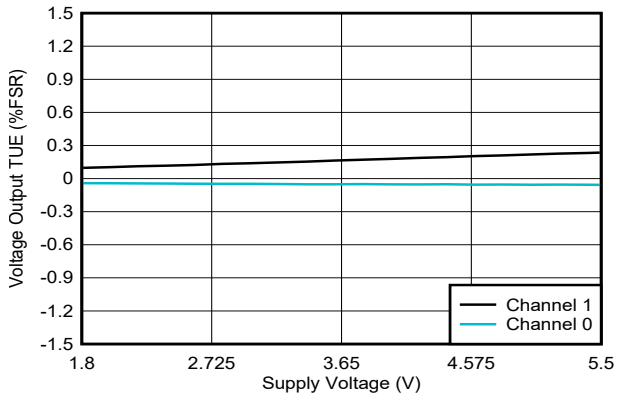


图 6-13. 电压输出 TUE 与数字输入代码间的关系



DAC 通道位于中标度

图 6-14. 电压输出 TUE 与温度间的关系



DAC 通道位于中标度

图 6-15. 电压输出 TUE 与电源电压间的关系

6.16 典型特性：电压输出 (continued)

T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，增益 = 1 x 且 DAC 输出为空载（除非另有说明）

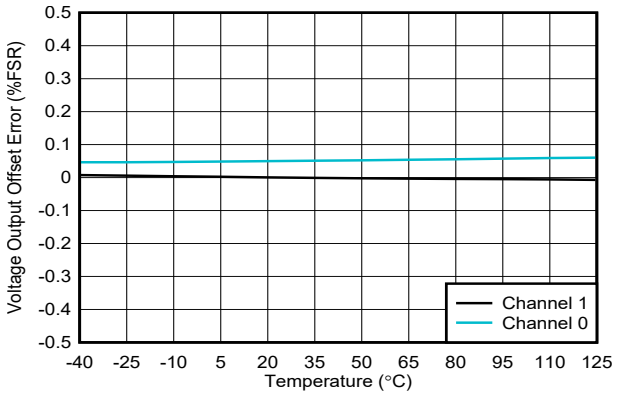


图 6-16. 电压输出偏移误差与温度间的关系

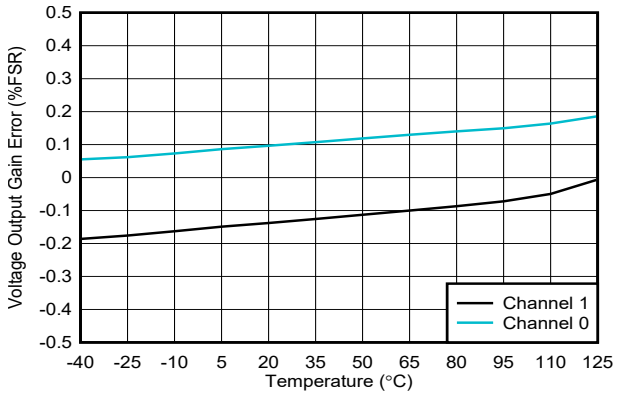
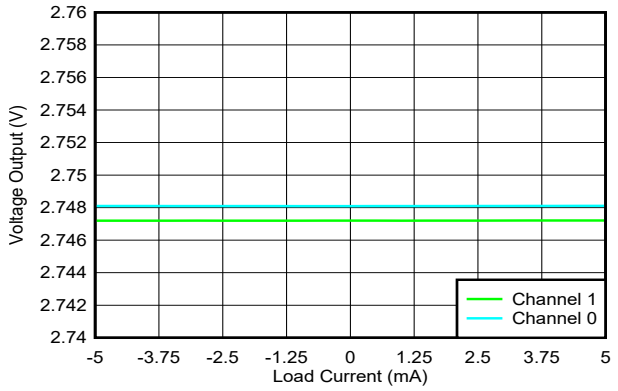


图 6-17. 电压输出增益误差与温度间的关系



DAC 通道位于中标度

图 6-18. 电压输出与负载电流间的关系

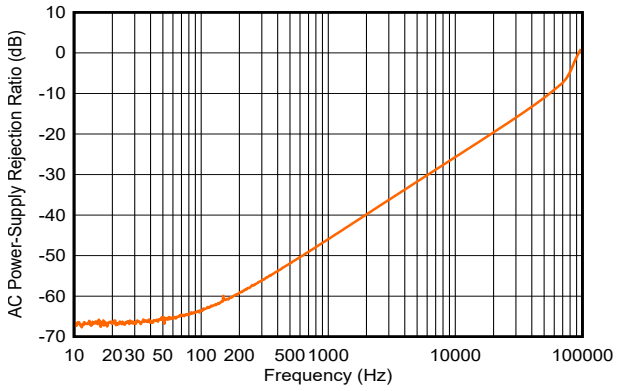


图 6-19. 电压输出交流 PSRR 与频率间的关系

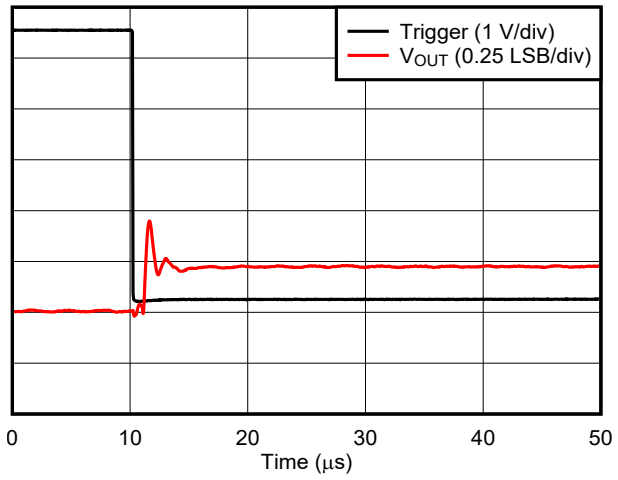


图 6-20. 电压输出代码对代码干扰 - 上升沿

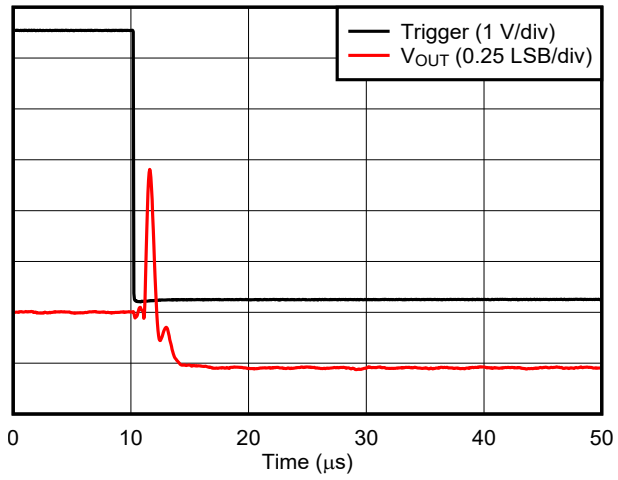
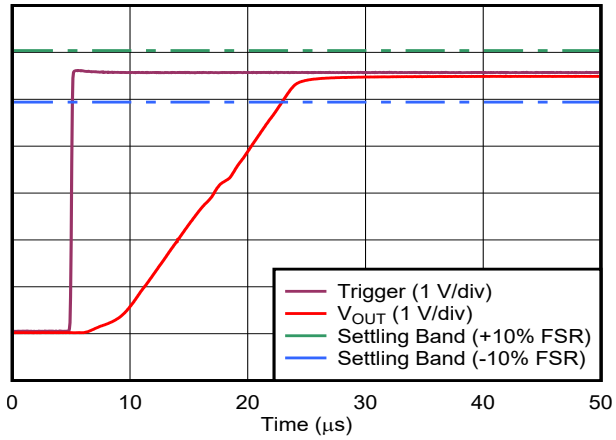


图 6-21. 电压输出代码对代码干扰 - 下降沿

Copyright © 2023 Texas Instruments Incorporated

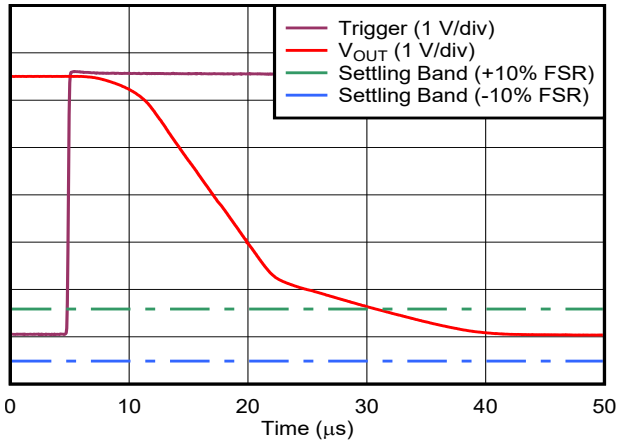
6.16 典型特性：电压输出 (continued)

T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，增益 = 1 x 且 DAC 输出为空载（除非另有说明）



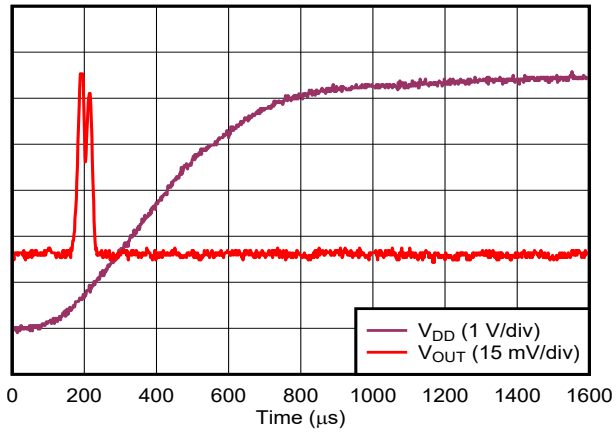
零标度到满量程摆幅

图 6-22. 电压输出建立时间 - 上升沿



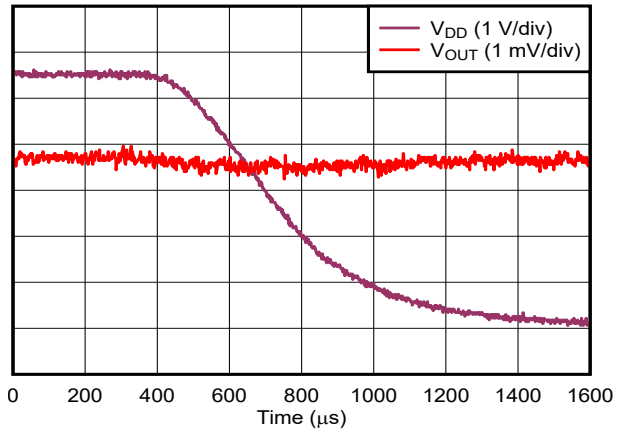
满量程到零标度摆幅

图 6-23. 电压输出建立时间 - 下降沿



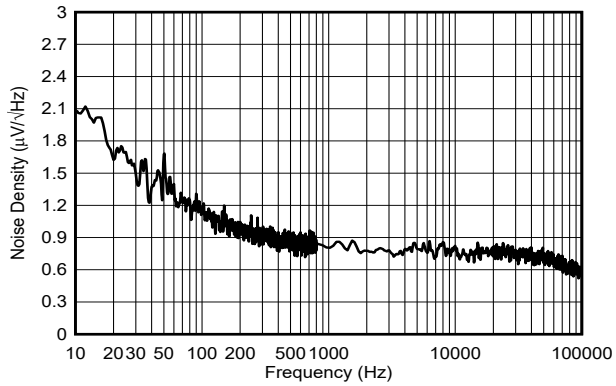
DAC 处于高阻态断电模式

图 6-24. 电压输出上电干扰



DAC 处于零标度

图 6-25. 电压输出断电干扰



内部基准，增益 = 4 ×

图 6-26. 电压输出噪声密度

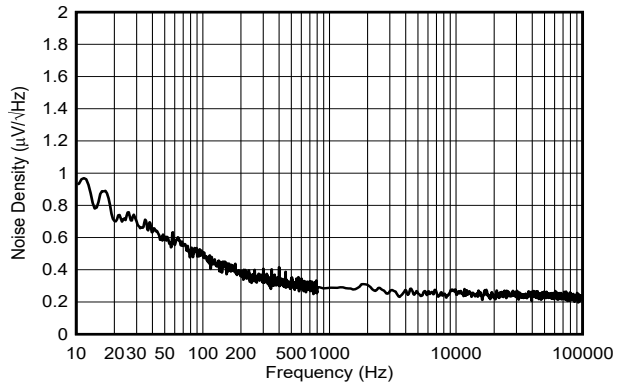
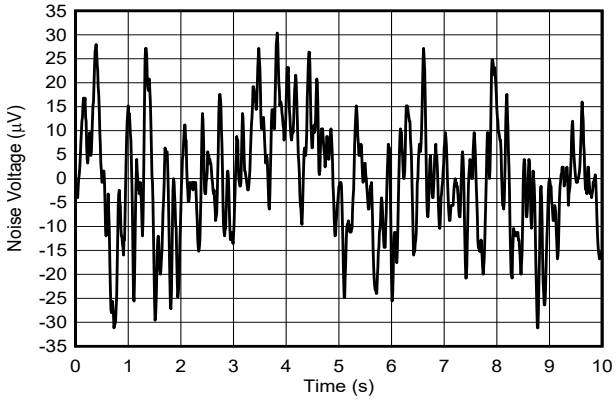


图 6-27. 电压输出噪声密度

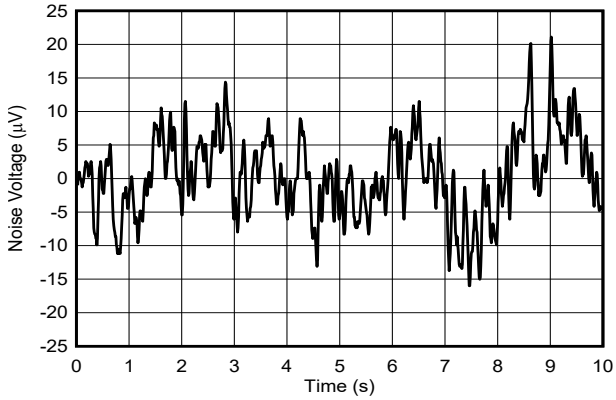
6.16 典型特性：电压输出 (continued)

T_A = 25°C，V_{DD} = 5.5V，外部基准 = 5.5V，增益 = 1 x 且 DAC 输出为空载（除非另有说明）



内部基准，增益 = 4x，f = 0.1Hz 至 10Hz

图 6-28. 电压输出闪烁噪声



f = 0.1Hz 至 10Hz

图 6-29. 电压输出闪烁噪声

Copyright © 2023 Texas Instruments Incorporated

6.17 典型特性：ADC

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，增益 = 1 ×（除非另有说明）

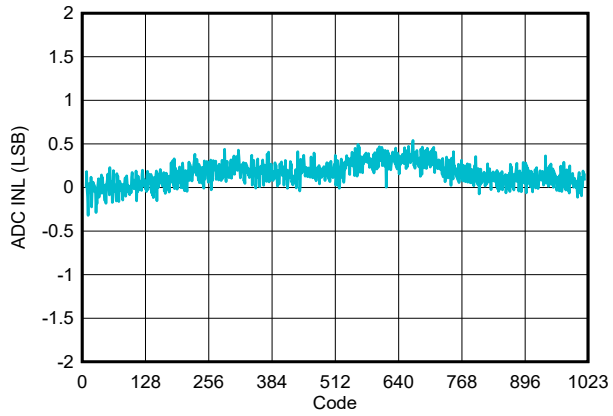


图 6-30. ADC INL 与数字输出代码间的关系

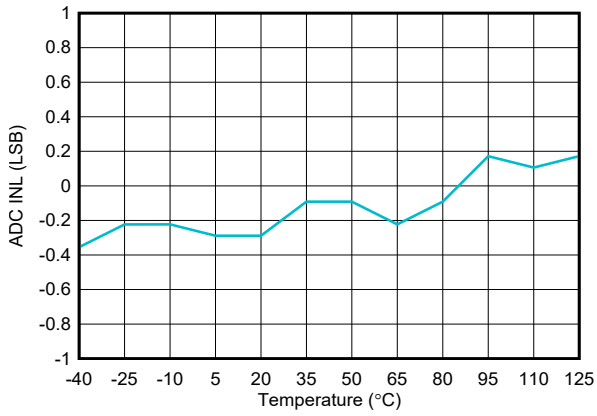


图 6-31. ADC INL 与温度间的关系

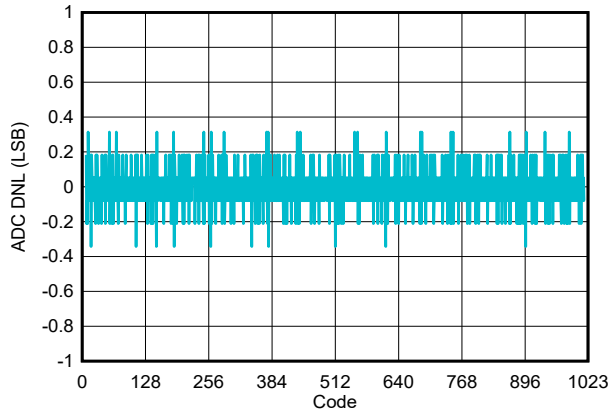


图 6-32. ADC DNL 与数字输出代码间的关系

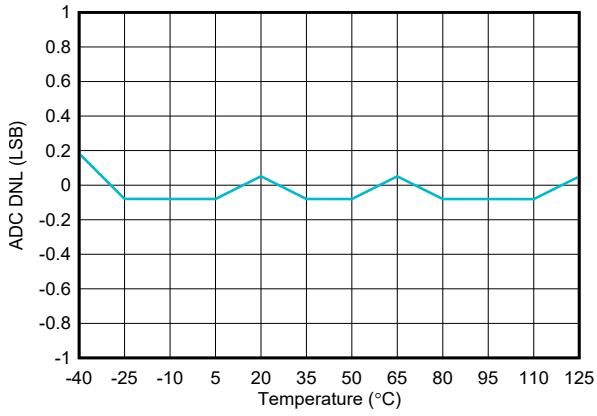


图 6-33. ADC DNL 与温度间的关系

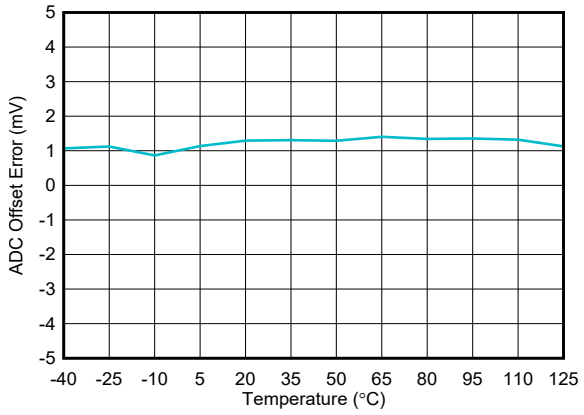


图 6-34. ADC 偏移误差与温度间的关系

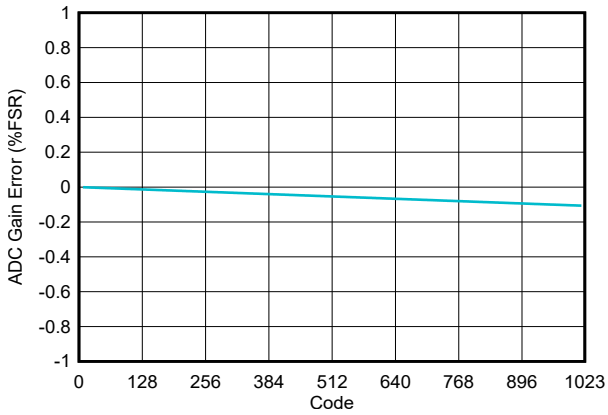


图 6-35. ADC 增益误差与数字输出代码间的关系

6.17 典型特性：ADC (continued)

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，增益 = 1 × (除非另有说明)

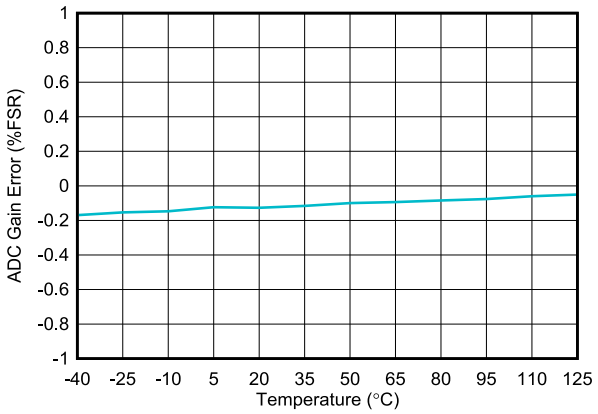


图 6-36. ADC 增益误差与温度间的关系

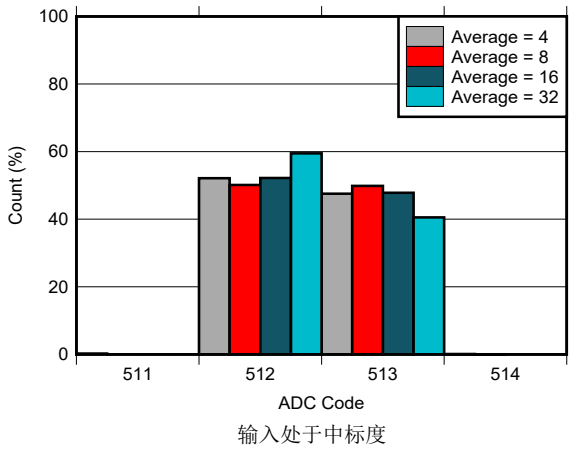
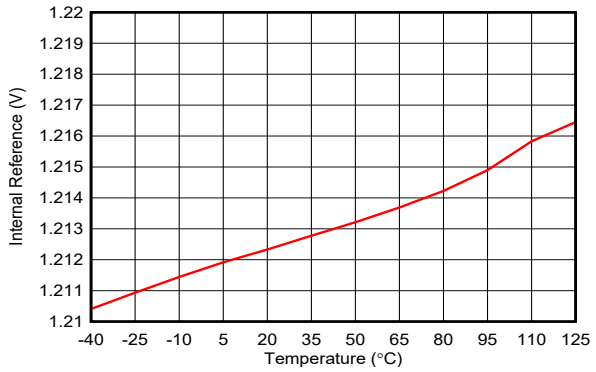


图 6-37. ADC 计数与数字输出代码间的关系

Copyright © 2023 Texas Instruments Incorporated

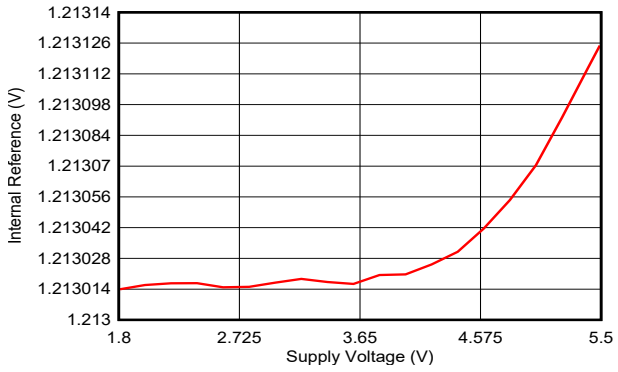
6.18 典型特性：通用

T_A = 25°C，V_{DD} = 5.5V，且 DAC 输出为空载（除非另有说明）



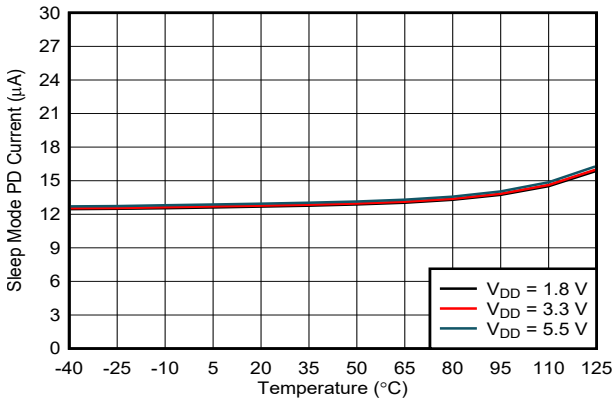
内部基准

图 6-38. 内部基准与温度间的关系



内部基准

图 6-39. 内部基准与电源电压间的关系



睡眠模式，内部基准禁用

图 6-40. 断电电流与温度间的关系

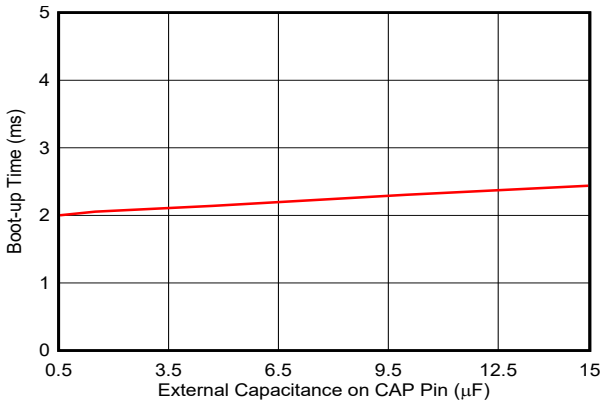


图 6-41. 启动时间与 CAP 引脚上电容间的关系

7 详细说明

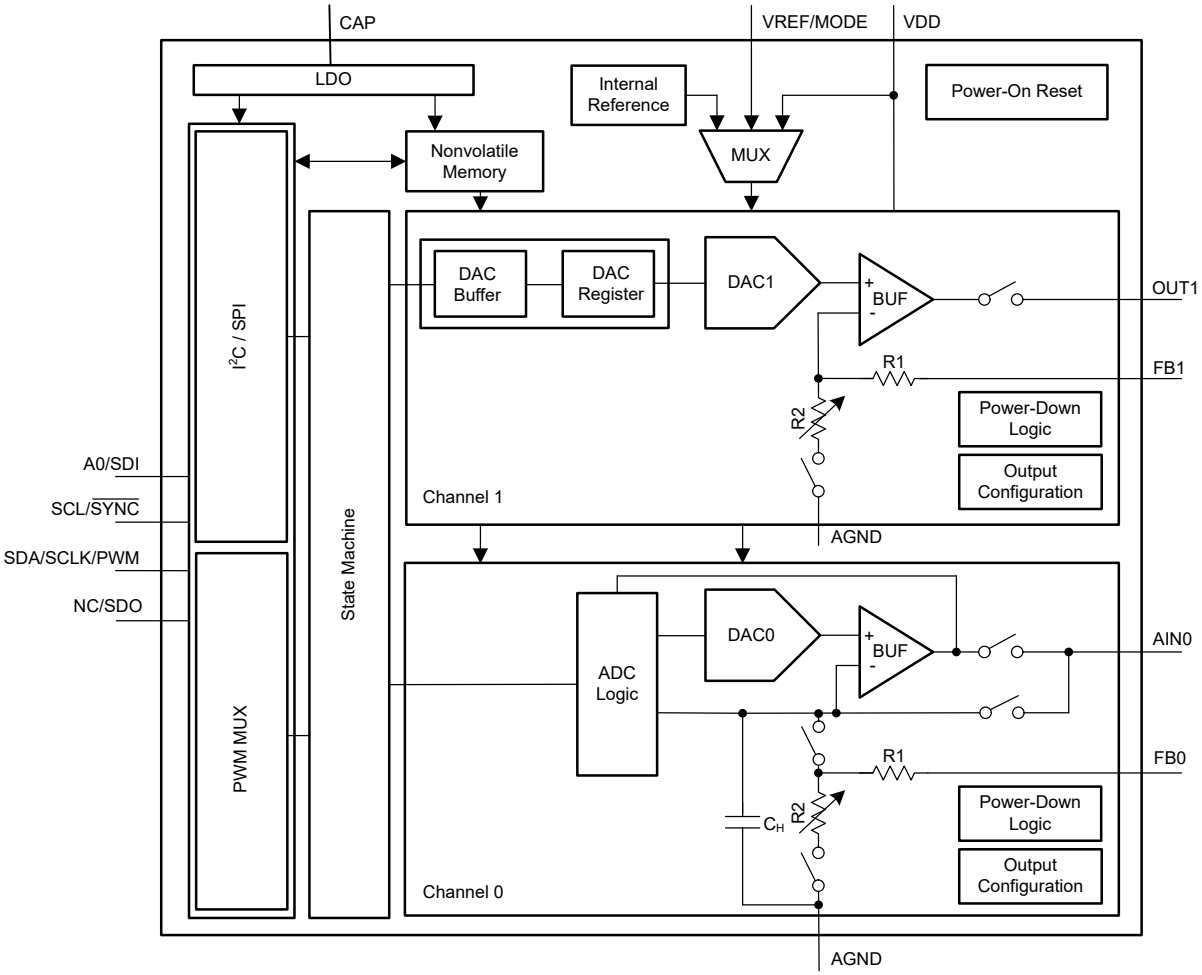
7.1 概述

10 位 AFE53902-Q1 和 8 位 AFE43902-Q1 器件 (AFEx3902-Q1) 是具有缓冲电压输出 DAC、PWM 和 ADC 的双通道智能模拟前端 (AFE)。当 VREF/MODE 引脚保持高电平时，SDA/SCLK 引脚将改用为 PWM 输出。

AFEx3902-Q1 提供了一个预编程的状态机，用作多斜率热折返控制器。这些器件包含非易失性存储器 (NVM) 和一个内部基准，并自动检测 I²C 和 SPI。这些器件默认支持高阻态断电模式，可使用 NVM 将其配置为 10kΩ 至 AGND 或 100kΩ 至 AGND。AFEx3902-Q1 具有上电复位 (POR) 电路，可确保所有寄存器以默认设置或使用 NVM 的用户编程设置启动。AFEx3902-Q1 使用内部基准、外部基准或以电源作为基准运行，并提供 1.8V 至 5.5V 的满量程输出。

AFEx3902-Q1 支持 I²C 标准模式 (100Kbps)、快速模式 (400Kbps) 和超快速模式 (1Mbps)。I²C 接口可使用 A0 引脚配置四个器件地址。SPI 模式默认支持三线制接口，具有高达 25MHz 的 SCLK 输入。NC/SDO 引脚可在 NVM 中配置为 SDO 以实现 SPI 读取功能。AFEx3902-Q1 适用于汽车尾灯和前照灯、园艺照明和其他照明应用中 LED 照明的热折返。状态机和 NVM 可实现*无处理器* 运行。由于具备 *智能* 功能集，AFEx3902-Q1 被称为智能 AFE。

7.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

7.3 特性说明

7.3.1 智能模拟前端 (AFE) 架构

AFEx3902-Q1 智能模拟前端 (AFE) 包含一个 10 位模数转换器 (ADC) 输入、一个 10 位 (AFE53902-Q1) 或 8 位 (AFE43902-Q1) 数模转换器 (DAC) 输出和一个 7 位脉宽调制 (PWM) 输出。ADC 使用逐次逼近寄存器 (SAR) 架构。DAC 使用串式架构，后接一个电压输出放大器。PWM 输出与数字接口引脚之一进行多路复用。节 7.2 显示了方框图中的智能 AFE 架构，该架构采用 1.8V 至 5.5V 电源供电。该器件的内部电压基准为 1.21V。可以选择 VREF/MODE 引脚上的外部基准或以电源作为基准。ADC 和 DAC 使用这三个基准选项之一。电压输出和电流输出模式均支持多个可编程输出范围。

AFEx3902-Q1 具有预编程的状态机，支持多斜率热折返操作。图 7-1 显示了智能 AFE 的数字架构，以及不同功能块之间的互连。利用该状态机，用户可以对系数和输入/输出参数进行编程。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来禁用状态机。用户配置存储在 NVM 中，状态机可以在独立模式下运行，无需连接到处理器（*无处理器* 运行模式）

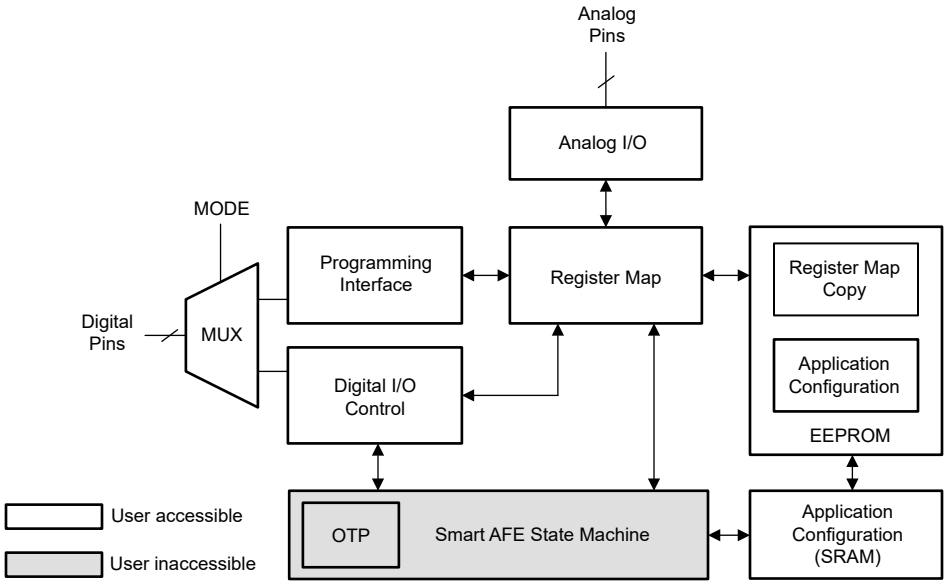


图 7-1. 智能 AFE 架构

7.3.2 编程接口

AFEx3902-Q1 有五个数字 I/O 引脚，用于控制 I²C、SPI、PWM 和模式选择。VREF/MODE 引脚必须处于逻辑低电平，才能启用编程接口。这些器件会在加电后首次成功通信时自动检测 I²C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I²C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 默认为三线制接口。三线制 SPI 模式下没有回读功能。NC/SDO 引脚可以在寄存器映射中配置为 SDO 功能，然后编程到 NVM 中。当 NC/SDO 引脚充当 SDO 时，SPI 用作四线制接口。SPI 回读模式比写入模式慢。编程接口引脚为：

- I²C：SCL、SDA、A0
- SPI：SCLK、SDI、$\overline{\text{SYNC}}$、NC/SDO

当用作输出时，所有数字引脚都是开漏引脚。因此，必须使用外部电阻将所有输出引脚上拉至所需的 I/O 电压。

7.3.3 非易失性存储器 (NVM)

AFEx3902-Q1 包含非易失性存储器 (NVM) 位。这些存储器位可由用户进行编程和擦除，并且会断电的情况下保留设定的值。*寄存器映射* 中突出显示的灰色单元格表明，通过在 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1，可以将所有寄存器位存储在 NVM 中。NVM-PROG 位会自动复位。当正在进行 NVM 写入或重新加载操作时，器件会将 GENERAL-STATUS 寄存器中的 NVM-BUSY 位设置为 1。在此期间，器件会阻止针对器件的所有读写操作。写入或重新加载操作完成后，NVM-BUSY 位设置为 0；此时，允许对器件进行所有读写操作。一旦发生 POR 事件，AFEx3902-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

AFEx3902-Q1 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1 可以让器件启动 NVM 重新加载操作。NVM 重新加载操作使用 NVM 中存储的数据覆盖寄存器映射。完成后，器件将该位自动复位为 0。在 NVM-RELOAD 操作期间，NVM-BUSY 位设置为 1。

7.3.3.1 NVM 循环冗余校验 (CRC)

为确保存储在 NVM 中的数据不被损坏，AFEx3902-Q1 为 NVM 采用循环冗余校验 (CRC) 功能。AFEx3902-Q1 中实现了两种类型的 CRC 报警位：

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程的 NVM 位的状态，NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能的实现方式是在每次执行 NVM 编程操作（写入或重新加载）时以及器件启动期间，将一个 16 位 CRC (CRC-16-CCITT) 与 NVM 数据一起存储。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位（GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT）报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

7.3.3.1.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位（请参阅 *节 7.3.5*）命令或对 DAC 执行循环通电。软件复位或执行循环通电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

7.3.3.1.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位（请参阅 *节 7.3.5*）命令或对 DAC 执行循环通电。NVM 中的永久故障会导致器件无法使用。

7.3.4 上电复位 (POR)

AFEx3902-Q1 系列器件包含上电复位 (POR) 功能，可在加电时控制输出电压。在建立 V_{DD} 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 POR（启动）延迟之后，与该器件的通信才有效。一旦发生 POR 事件，AFEx3902-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

Copyright © 2023 Texas Instruments Incorporated

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 V_{DD} 电平（如图 7-2 所示）才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR，V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.65V 但仍高于 0.7V（显示为未定义区域）时，该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下，需启动 POR。当 V_{DD} 保持为大于 1.65V 时，不会发生 POR。

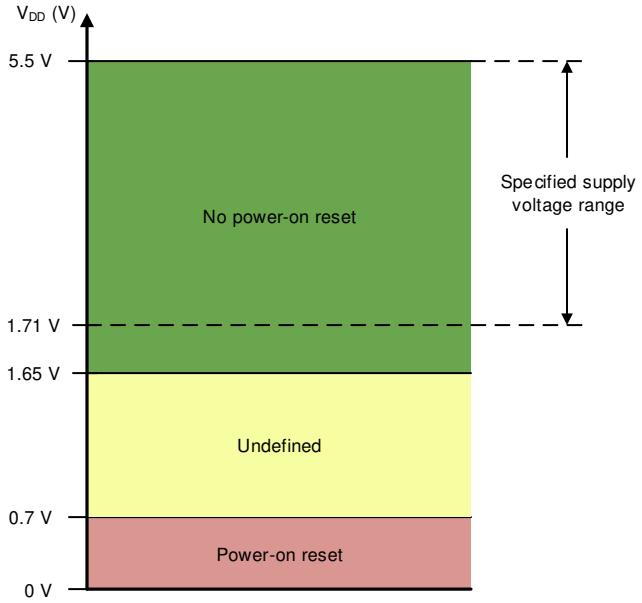


图 7-2. V_{DD} POR 电路的阈值电平

7.3.5 外部复位

可以通过寄存器映射来触发器件的外部复位。要启动器件软件复位事件，应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。

7.3.6 寄存器映射锁定

AFEx3902-Q1 实现了寄存器映射锁定功能，可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时，器件会锁定所有寄存器。但是，使用 I^2C 接口时，通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置，需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

7.4 器件功能模式

7.4.1 数模转换器 (DAC) 模式

通过在 COMMON-CONFIG 寄存器的 VOUT-PDN-X 或 ADC-PDN-X 字段中选择上电选项，可以启用 ADC 和 DAC 通道。将 DAC 通道的 OUTx 和 FBx 引脚从外部短接可以实现闭环放大器输出。FBx 引脚开路会使 DAC 通道的放大器输出饱和。要实现所需的电压输出和 ADC 输入范围，请选择正确的基准选项并选择放大器增益。

7.4.1.1 电压基准和 DAC 传递函数

图 7-3 显示了使用 AFEx3902-Q1 时三种可能的电压基准选项：电源作为基准、内部基准或外部基准（VREF/MODE 引脚）。DAC 传递函数根据电压基准选择而变化。

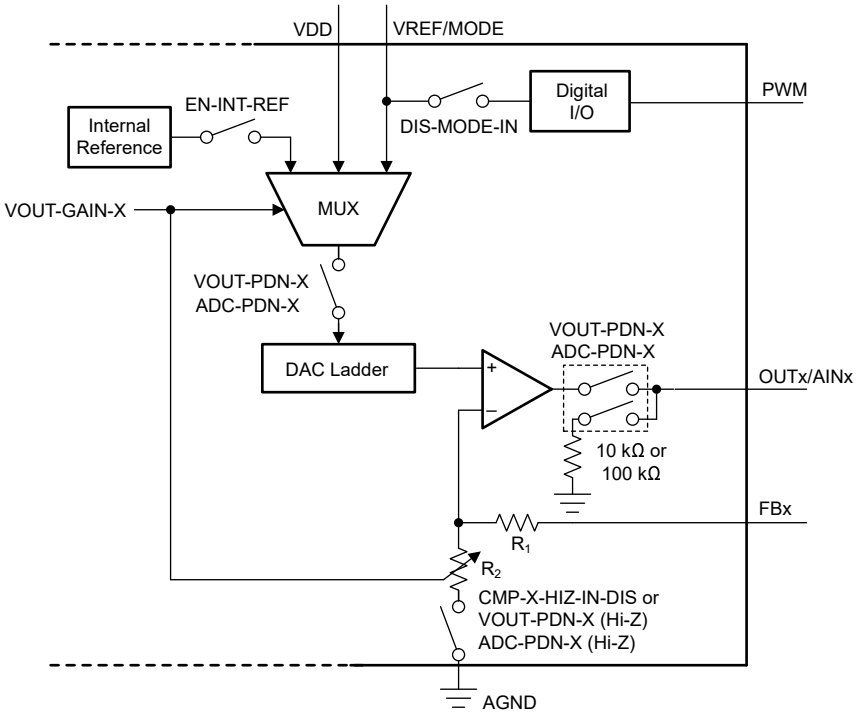


图 7-3. 电压基准选择与断电逻辑

7.4.1.1.1 电源作为基准

默认情况下，AFEx3902-Q1 采用电源引脚 (VDD) 作为基准运行。方程式 1 显示了电源引脚用作基准时的 DAC 传递函数。输出级的增益始终为 1 ×。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{DD} \quad (1)$$

其中：

- N 是以位为单位的分辨率，AFE53902-Q1 为 10 位，AFE43902-Q1 为 8 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 2^N – 1。
- V_{DD} 用作基准电压。

Copyright © 2023 Texas Instruments Incorporated

7.4.1.1.2 内部基准

AFEx3902-Q1 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的 EN-INT-REF 位。内部基准生成固定的 1.21V 电压（典型值）。使用 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段可实现 DAC 输出电压 (V_{OUT}) 的 1.5 ×、2 ×、3 × 或 4 × 增益。方程式 2 显示了使用内部基准的 DAC 传递函数。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{REF} \times GAIN \tag{2}$$

其中：

- N 是以位为单位的分辨率，AFE53902-Q1 为 10 位，AFE43902-Q1 为 8 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 2^N – 1。
- V_{REF} 是内部基准电压，值为 1.21V。
- GAIN = 1.5 ×、2 ×、3 × 或 4 ×，根据 VOUT-GAIN-x 位而定。

7.4.1.1.3 外部基准

AFEx3902-Q1 提供外部基准输入。通过适当配置 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段，选择外部基准选项。外部基准电压可介于 1.8 V 和 VDD 之间。方程式 3 显示了使用外部基准时的 DAC 传递函数。

备注

在瞬态和稳态条件下，外部基准都必须小于 VDD。因此，外部基准必须在 VDD 之后斜升，在 VDD 之前斜降。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{REF} \tag{3}$$

其中：

- N 是以位为单位的分辨率，AFE53902-Q1 为 10 位，AFE43902-Q1 为 8 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 2^N – 1。
- V_{REF} 为外部基准电压。

7.4.2 脉宽调制 (PWM) 模式

AFEx3902-Q1 在 SDA/SCLK/PWM 引脚上提供 7 位 PWM 输出。将 VREF/MODE 引脚拉至高电平即可启用 PWM 功能。表 7-1 列出了所有可能的 PWM 频率配置。

表 7-1. PWM 频率配置

SRAM 位置	PWM-FREQ	PWM 频率 (kHz)	代码 1 的占空比 (%)	代码 126 的占空比 (%)
0x2E [11:7]	0	无效	不适用	不适用
	1	48.828	4.88	95.12
	2	24.414	2.44	97.56
	3	16.276	1.63	98.37
	4	12.207	1.22	98.44
	5	8.138	0.81	98.44
	6	6.104	0.78	98.44
	7	3.052	0.78	98.44
	8	2.035	0.78	98.44
	9	1.526	0.78	98.44
	10	1.221	0.78	98.44
	11	1.017	0.78	98.44
	12	0.872	0.78	98.44
	13	0.763	0.78	98.44
	14	0.678	0.78	98.44
	15	0.610	0.78	98.44
	16	0.555	0.78	98.44
	17	0.509	0.78	98.44
	18	0.470	0.78	98.44
	19	0.436	0.78	98.44
	20	0.407	0.78	98.44
	21	0.381	0.78	98.44
	22	0.359	0.78	98.44
	23	0.339	0.78	98.44
	24	0.321	0.78	98.44
	25	0.305	0.78	98.44
	26	0.291	0.78	98.44
	27	0.277	0.78	98.44
	28	0.265	0.78	98.44
	29	0.254	0.78	98.44
	30	0.244	0.78	98.44
	31	0.218	0.78	98.44

PWM 的占空比与 7 位代码 (0d 至 126d) 成正比。表 7-2 显示了代码 127d 对应于 100% 占空比。跳过占空比 99.22% (127d/128d) 以使用 7 位代码实现 100% 占空比。

表 7-2. PWM 占空比设置

代码	DUTY-CYCLE	说明
0	0%	始终为 0
1	0.78%	最小线性占空比
x	(x/128)%	x = 2d 和 125d 之间的代码 (包含二者)
126	98.44%	最大线性占空比
127	100%	总是 1。跳过占空比 99.22% (127d/128d)。

Copyright © 2023 Texas Instruments Incorporated

7.4.3 模数转换器 (ADC) 模式

AFEx3902-Q1 的通道 0 充当 ADC。ADC 由该器件中的状态机来控制。方程式 4 中提供了 ADC 的传递函数。

$$\text{ADC_DATA} = \left(\text{INTEGER}\right)\left(\frac{V_{IN}}{V_{FS}}\right) \times 2^{N} \tag{4}$$

其中：

- ADC_DATA 是状态机可用的 ADC 输出，并且限制为 (2^N−1)。
- V_{IN} 是 AIN0 引脚处的输入电压。
- V_{FS} 是满量程输入电压，如表 7-3 所示。
- N 是 ADC 位数，等于 10。
- INTEGER 表示整数除法。

表 7-3. 满量程模拟输入 (V_{FS})

基准 (VREF)	增益	V_{FS}
电源	1 ×	VDD / 3
外部	1 ×	VREF / 3
内部	1.5 ×	(VREF × GAIN) / 3
	2 ×	(VREF × GAIN) / 3
	3 ×	(VREF × GAIN) / 6
	4 ×	(VREF × GAIN) / 6

7.4.4 多斜率热折返模式

AFEx3902-Q1 提供多斜率传递函数，用于精细控制 LED 热折返或类似的其他应用。传递函数的输入是结点的 (x, y) 坐标。x 轴（温度输入）和 y 轴（电压或 PWM 输出）标准化为 10 位直接二进制代码范围。图 7-4 显示了多斜率传递函数的图形描述。表 7-4 列出了配置多斜率传递函数的 SRAM 位置。

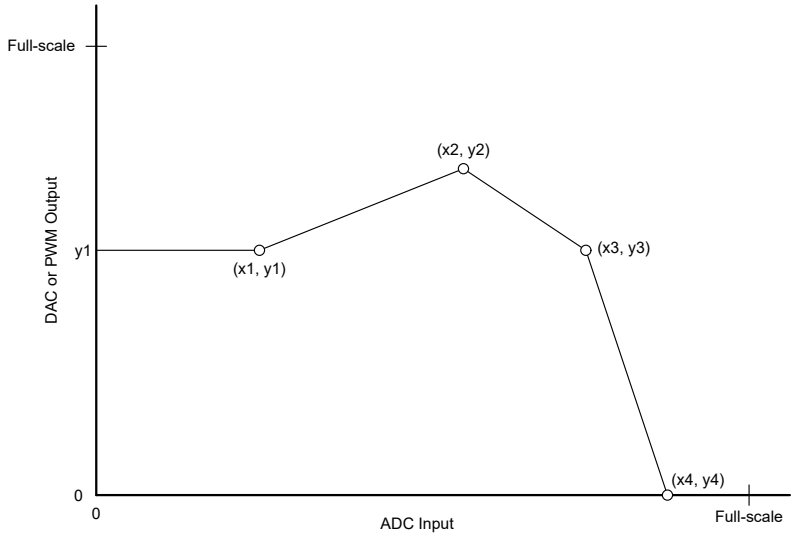


图 7-4. 多斜率传递函数

表 7-4. 多斜率传递函数坐标

坐标	寄存器名称	SRAM 地址（十六进制）	默认值（十六进制）
x1	X1-OUTPUT	0x26	0x15
y1	X1-OUTPUT	0x27	0x200
2 個	X2-OUTPUT	0x28	0x32
y2	Y2-OUTPUT	0x29	0x3FF
x3	X3-OUTPUT	0x2A	0x50
y3	Y3-OUTPUT	0x2B	0x00
4 個	x4-OUTPUT	0x2C	0x68
y4	Y4-OUTPUT	0x2D	0x2BC

Copyright © 2023 Texas Instruments Incorporated

7.4.4.1 热敏电阻线性化

热敏电阻，尤其是负温度系数 (NTC) 热敏电阻，用于测量汽车前灯和尾灯中的 LED 温度。NTC 具有非线性温度响应。AFEx3902-Q1 提供了一种三段、分段、线性方法，在将值馈送到热折返计算之前对 NTC 进行线性化。图 7-5 显示了 NTC 曲线如何线性化。

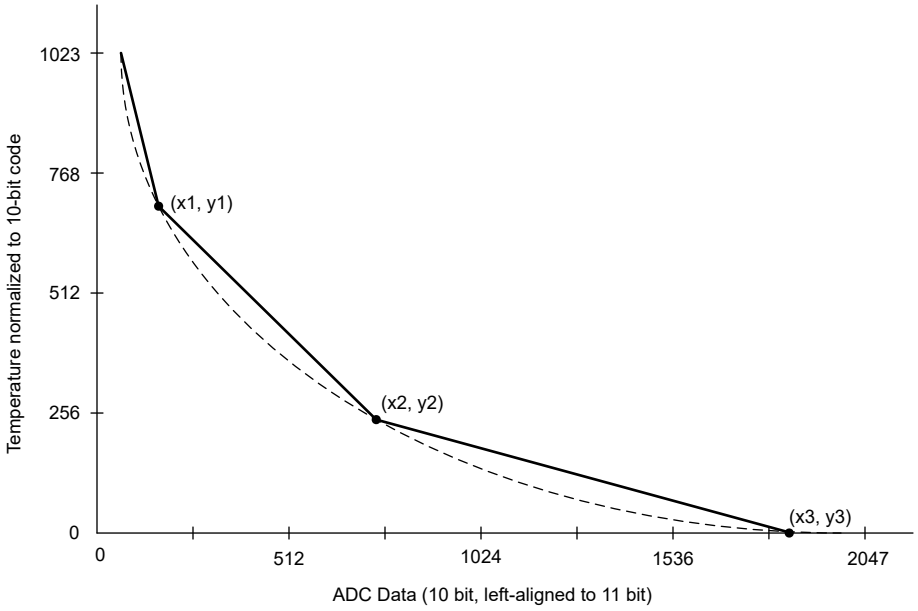


图 7-5. 热敏电阻线性化

表 7-5 列出了线性化坐标的 SRAM 位置。

表 7-5. 热敏电阻线性化坐标

坐标	寄存器名称	SRAM 地址（十六进制）	默认值（十六进制）
x1	X1-TEMPERATURE	0x20	0x69
y1	Y1-TEMPERATURE	0x21	0x288
2 個	X2-TEMPERATURE	0x22	0x46
y2	Y2-TEMPERATURE	0x23	0x634
x3	X3-TEMPERATURE	0x24	0x14
y3	Y3-TEMPERATURE	0x25	0x15

7.5 编程

7.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 AFEx3902-Q1 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。AFEx3902-Q1 的 SPI 帧长度为 24 位。因此，$\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-6 和图 7-6 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 7-6. SPI 读/写访问周期

位	字段	说明
23	R/$\overline{\text{W}}$	将通信标识为地址寄存器的读或写命令：R/$\overline{\text{W}}$ = 0 设置写入操作。R/$\overline{\text{W}}$ = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	DI[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为*不用考虑* 值。

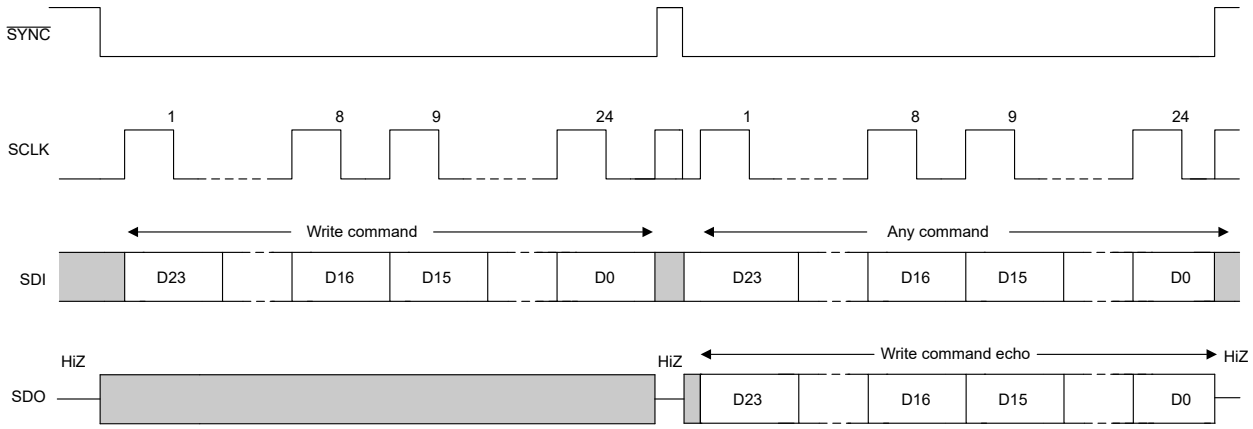


图 7-6. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-7 和图 7-7 显示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出（另请参阅图 6-3）。

表 7-7. SDO 输出访问周期

位	字段	说明
23	R/$\overline{\text{W}}$	来自上一访问周期的回波 R/$\overline{\text{W}}$
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	DI[15:0]	上一访问周期中请求的回读数据

Copyright © 2023 Texas Instruments Incorporated

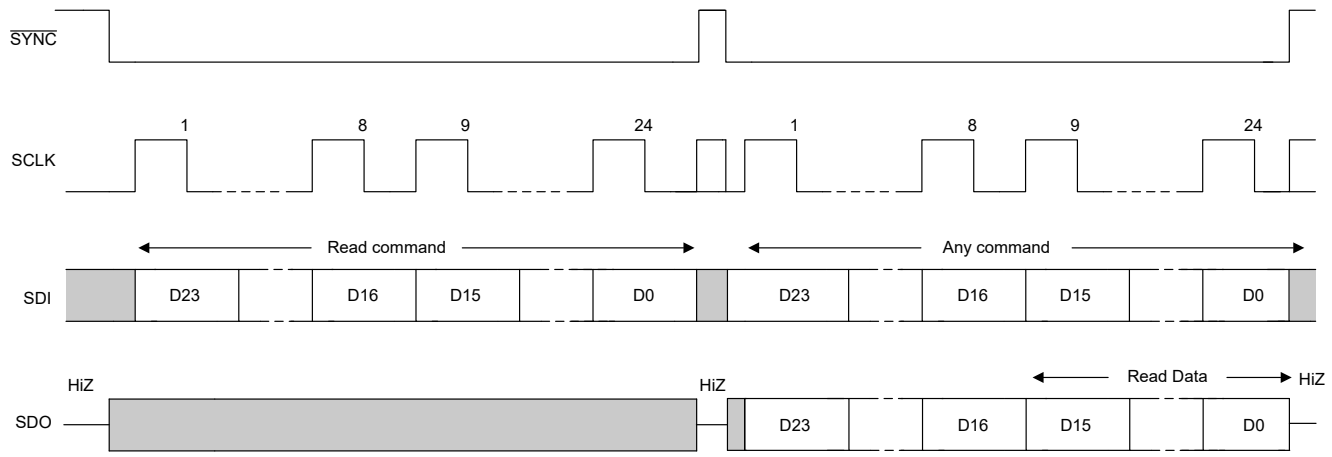


图 7-7. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。图 7-8 显示，在菊花链模式下，多个器件采用*链式* 连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-9 介绍了菊花链写入周期的数据包格式。

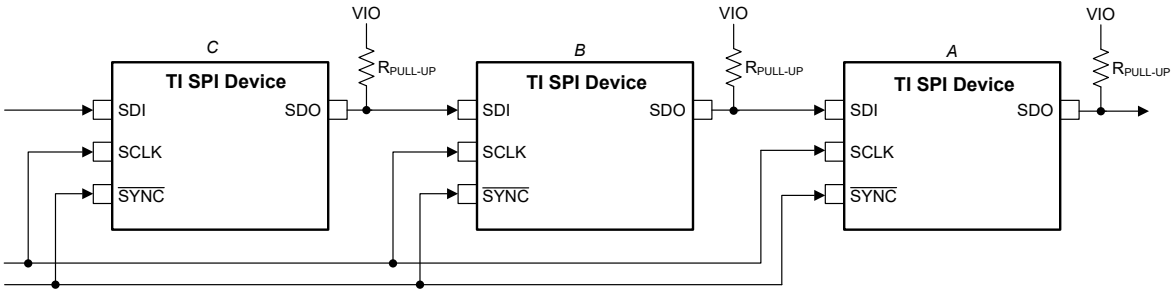


图 7-8. SPI 菊花链连接

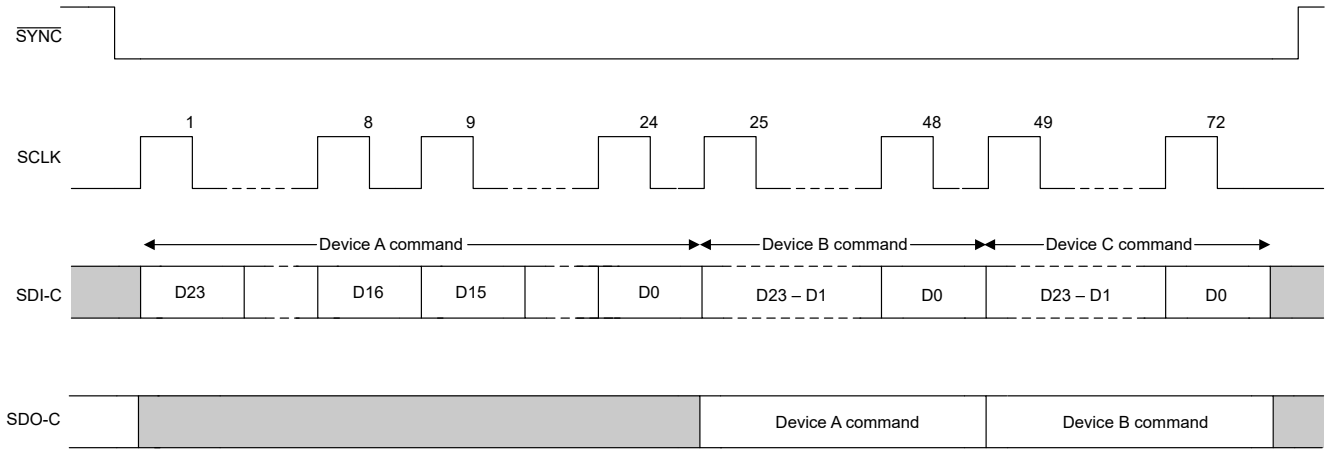


图 7-9. SPI 菊花链写入周期

7.5.2 I²C 编程模式

AFEx3902-Q1 具有两线制串行接口（SCL 和 SDA）和一个地址引脚 (A0)；另请参阅图 5-1。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为*控制器*，而由控制器控制的器件称为*目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件（启动条件、重复启动条件和停止条件）来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。AFEx3902-Q1 系列作为目标器件在 I²C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或传输数据。

通常，AFEx3902-Q1 系列充当目标接收器。控制器向 AFEx3902-Q1（目标接收器）写入数据。但是，如果控制器需要 AFEx3902-Q1 内部寄存器数据，则 AFEx3902-Q1 充当目标发送器。在这种情况下，控制器从 AFEx3902-Q1 读取数据。根据 I²C 术语，读写是指控制器。

AFEx3902-Q1 支持以下数据传输模式：

- 标准模式 (100Kbps)
- 快速模式 (400Kbps)
- 超快速模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。AFEx3902-Q1 支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿（在第二个字节之后）在器件内进行复位置位。

除了特定的时序信号外，I²C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。图 7-10 所示为非确认，是指 SDA 线在第九个时钟周期的高电平期间保持高电平。

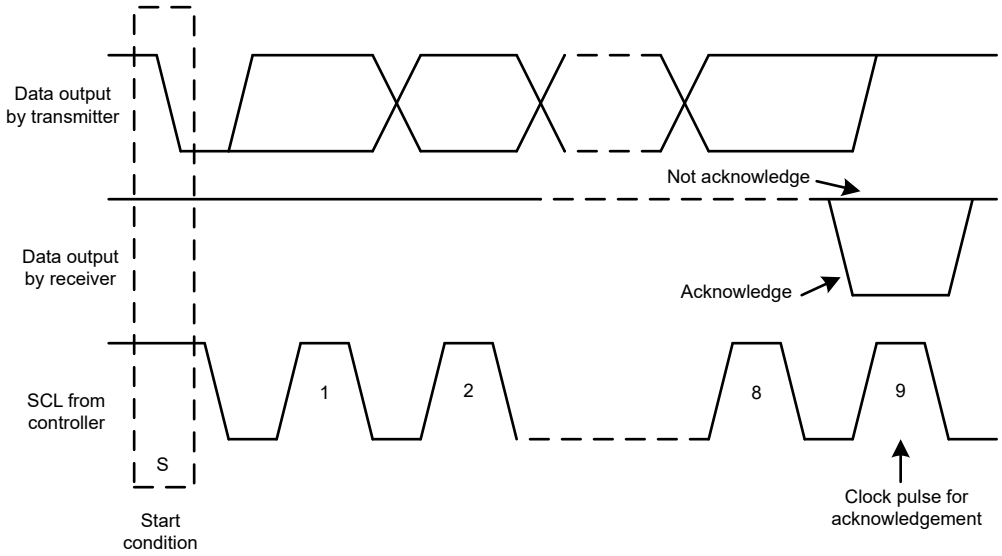


图 7-10. I²C 总线上的确认和非确认

7.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。图 7-11 显示，启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换。所有与 I²C 兼容的器件都会识别启动条件。

Copyright © 2023 Texas Instruments Incorporated

2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/$\overline{W}$)。在所有传输期间，控制器确保数据有效。图 7-12 显示，有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认（另请参阅图 7-10）。当控制器检测到此确认时，则表示与目标的通信链路已建立。
3. 控制器产生更多的 SCL 周期，以便向目标器件发送（R/$\overline{W}$ 位为 0）数据或接收（R/$\overline{W}$ 位为 1）数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 图 7-11 显示，为指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从低电平拉至高电平来产生停止条件。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I^{2}C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

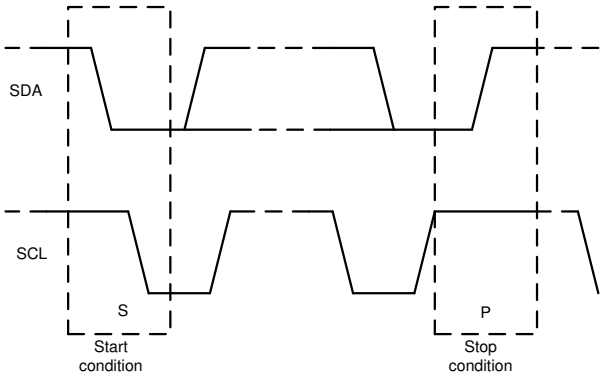


图 7-11. 启动和停止条件

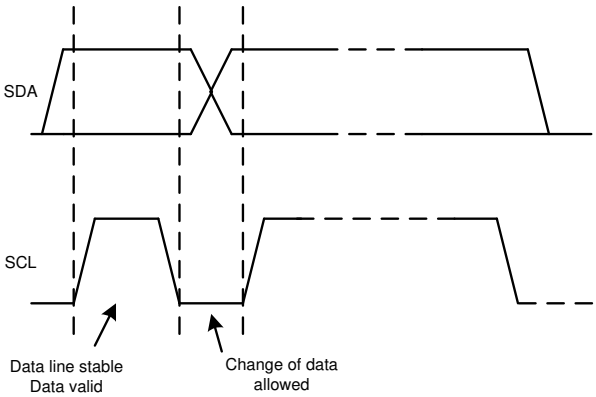


图 7-12. 在 I^{2}C 总线上的位传输

7.5.2.2 I²C 更新序列

表 7-8 显示对于单次更新，AFEx3902-Q1 需要一个启动条件、一个有效的 I²C 地址字节、一个命令字节和两个数据字节。

表 7-8. 更新序列

MSB	....	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

图 7-13 显示在收到每个字节后，AFEx3902-Q1 通过在单个时钟脉冲的高电平期间拉低 SDA 线来确认该字节。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 AFEx3902-Q1。

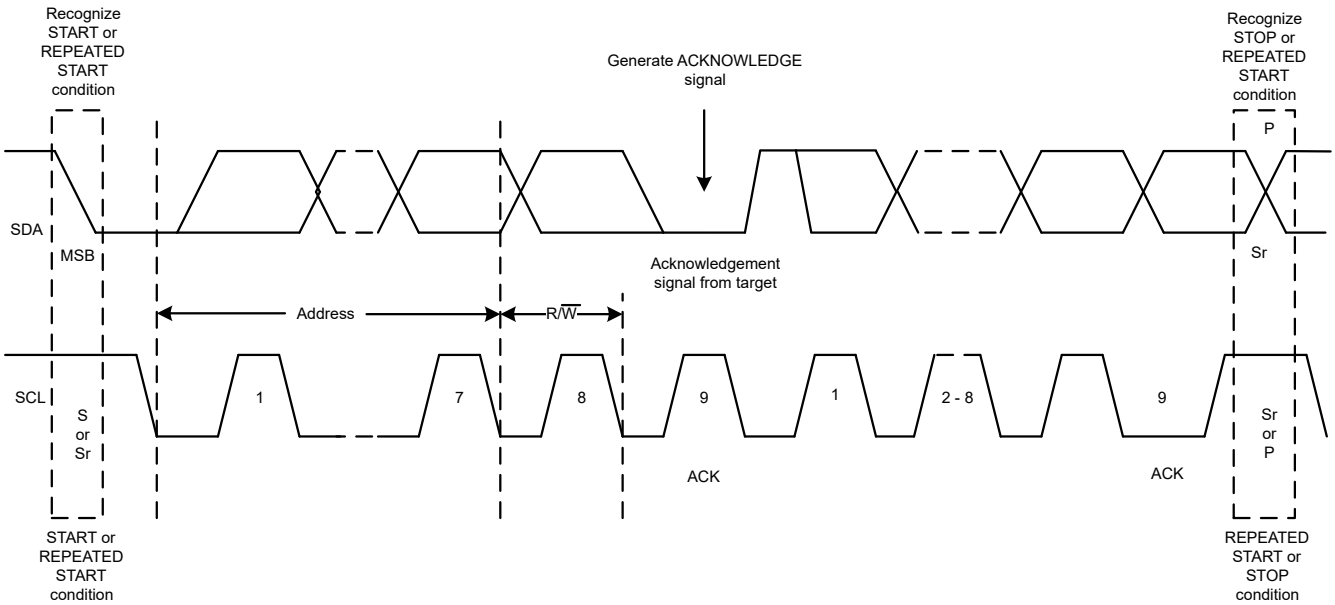


图 7-13. I²C 总线协议

命令字节设置所选 AFEx3902-Q1 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，AFEx3902-Q1 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。AFEx3902-Q1 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式（时钟 = 400kHz）时，最大 DAC 更新速率限制为 10kSPS。使用超快速模式（时钟 = 1MHz）时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，AFEx3902-Q1 器件将释放 I²C 总线并等待新的启动条件。

Copyright © 2023 Texas Instruments Incorporated

7.5.2.2.1 地址字节

表 7-9 描述了地址字节，即在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 0b1001。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此会根据表 7-10 响应该特定地址。

表 7-9. 地址字节

注释	MSB							LSB
—	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/$\overline{W}$
一般地址	1	0	0	1	请参阅表 7-10（目标地址列）			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 7-10. 地址格式

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

AFEx3902-Q1 支持使用广播地址来同步更新或关闭多个 AFEx3902-Q1 器件。使用广播地址时，无论地址引脚状态如何，AFEx3902-Q1 都会进行响应。仅在写入模式下支持广播。

7.5.2.2.2 命令字节

表 7-13 列出了“地址”列中的命令字节。

7.5.2.3 I²C 读取序列

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 1 以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 7-11. 读取序列

S	MSB	…	R/$\overline{W}$ (0)	ACK	MSB	…	LSB	ACK	Sr	MSB	…	R/$\overline{W}$ (1)	ACK	MSB	…	LSB	ACK	MSB	…	LSB	ACK
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				MSDB				LSDB			
来自控制器				目标	来自控制器			目标	来自控制器				目标	来自目标器件			控制器	来自目标器件			控制器

7.6 寄存器映射

表 7-12. 寄存器映射

寄存器	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)							
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
NOP	NOP															
DAC-0-VOUT-CMP-CONFIG	X			VOUT-GAIN-0			X					CMP-0-OD-EN	CMP-0-OUT-EN	CMP-0-HIZ-IN-DIS	CMP-0-INV-EN	CMP-0-EN
DAC-1-VOUT-CMP-CONFIG	X			VOUT-GAIN-1			X					CMP-1-OD-EN	CMP-1-OUT-EN	CMP-1-HIZ-IN-DIS	CMP-1-INV-EN	CMP-1-EN
COMMON-CONFIG	保留	DEV-LOCK	保留	EN-INT-REF	ADC-PDN-0		保留							VOUT-PDN-1		保留
COMMON-TRIGGER	DEV-UNLOCK				重置				保留						NVM-PROG	NVM-RELOAD
COMMON-PWM-TRIG	保留															START-FUNCTION
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-0-BUSY	X		DAC-1-BUSY	NVM-BUSY	DEVICE-ID							
DEVICE-MODE-CONFIG	保留		DIS-MODE-IN	保留						SM-IO-EN	保留					
INTERFACE-CONFIG	X			TIMEOUT-EN	保留									FSDO-EN	X	SDO-EN
STATE-MACHINE-CONFIG0	保留													SM-ABORT	SM-START	SM-EN
SRAM-CONFIG	X								SRAM-ADDR							
SRAM-DATA	SRAM-DATA															
X1-TEMPERATURE	保留					X1-TEMPERATURE										保留
X2-TEMPERATURE	保留					X2-TEMPERATURE										保留
X3-TEMPERATURE	保留					X3-TEMPERATURE										保留
X4-TEMPERATURE	保留					X4-TEMPERATURE										保留
Y1-TEMPERATURE	保留								Y1-TEMPERATURE							
Y2-TEMPERATURE	保留								Y2-TEMPERATURE							
Y3-TEMPERATURE	保留								Y3-TEMPERATURE							
Y4-TEMPERATURE	保留								Y4-TEMPERATURE							
X1-OUTPUT	保留								X1-OUTPUT							
X2-OUTPUT	保留								X2-OUTPUT							
X3-OUTPUT	保留								X3-OUTPUT							
x4-OUTPUT	保留								x4-OUTPUT							
Y1-OUTPUT	保留						Y1-OUTPUT									
Y2-OUTPUT	保留						Y2-OUTPUT									
Y3-OUTPUT	保留						Y3-OUTPUT									
Y4-OUTPUT	保留						Y4-OUTPUT									
PWM-FREQUENCY	保留				PWM-FREQUENCY					RESERVED						

注意：阴影单元格表示存储在 NVM 中的寄存器位或字段。

Copyright © 2023 Texas Instruments Incorporated

注意：X = 不用考虑。

表 7-13. 寄存器名称

I²C/SPI 地址	SRAM ADDR	寄存器名称	章节
00h	--	NOP	节 7.6.1
15h	--	DAC-0-VOUT-CMP-CONFIG	节 7.6.2
03h	--	DAC-1-VOUT-CMP-CONFIG	节 7.6.2
1Fh	--	COMMON-CONFIG	节 7.6.3
20h	--	COMMON-TRIGGER	节 7.6.4
21h	--	COMMON-PWM-TRIG	节 7.6.5
22h	--	GENERAL-STATUS	节 7.6.6
25h	--	DEVICE-MODE-CONFIG	节 7.6.7
26h	--	INTERFACE-CONFIG	节 7.6.8
27h	--	STATE-MACHINE-CONFIG0	节 7.6.9
2Bh	--	SRAM-CONFIG	节 7.6.10
2Ch	--	SRAM-DATA	节 7.6.11
--	20h	X1-TEMPERATURE	节 7.6.12
--	21h	Y1-TEMPERATURE	节 7.6.13
--	22h	X2-TEMPERATURE	节 7.6.12
--	23h	Y2-TEMPERATURE	节 7.6.13
--	24h	X3-TEMPERATURE	节 7.6.12
--	25h	Y3-TEMPERATURE	节 7.6.13
--	26h	X1-OUTPUT	节 7.6.14
--	27h	Y1-OUTPUT	节 7.6.15
--	28h	X2-OUTPUT	节 7.6.14
--	29h	Y2-OUTPUT	节 7.6.15
--	2Ah	X3-OUTPUT	节 7.6.14
--	2Bh	Y3-OUTPUT	节 7.6.15
--	2Ch	x4-OUTPUT	节 7.6.14
--	2Dh	Y4-OUTPUT	节 7.6.15
--	2Eh	PWM-FREQUENCY	节 7.6.16

Copyright © 2023 Texas Instruments Incorporated

7.6.1 NOP 寄存器（地址 = 00h）[复位 = 0000h]

图 7-14. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R/W-0000h															

表 7-14. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R/W	0000h	无操作

7.6.2 DAC-x-VOUT-CMP-CONFIG 寄存器（地址 = 15h、03h）[复位 = 0400h]

图 7-15. DAC-x-VOUT-CMP-CONFIG 寄存器（x = 0、1）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			VOUT-GAIN-x			X					CMP-x-OD-EN	CMP-x-OUT-EN	CMP-x-HIZ-IN-DIS	CMP-x-INV-EN	CMP-x-EN
X-0h			R/W-0h			X-00h					R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-15. DAC-x-VOUT-CMP-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12-10	VOUT-GAIN-x	R/W	001	001：增益 = 1 ×，VDD 作为基准。 010：增益 = 1.5 ×，内部基准。 011：增益 = 2 ×，内部基准。 100：增益 = 3 ×，内部基准。 101：增益 = 4 ×，内部基准。 其他：不适用。
9-5	X	X	0h	不用考虑。
4	CMP-x-OD-EN	R/W	0	1：将 OUTx 引脚设置为比较器模式下的开漏输出（CMP-x-EN = 1 和 CMP-x-OUT-EN = 1）。 0：将 OUTx 引脚设置为推挽输出。
3	CMP-x-OUT-EN	R/W	0	1：将比较器输出连接到相应的 OUTx 引脚。 0：生成比较器输出，但在内部使用。
2	CMP-x-HIZ-IN-DIS	R/W	0	0：FBx 输入具有高阻抗。输入电压范围受限。 1：FBx 输入连接到电阻分压器并具有有限阻抗。输入电压范围与满量程相同。
1	CMP-x-INV-EN	R/W	0	1：反转比较器输出。 0：不反转比较器输出。
0	CMP-x-EN	R/W	0	1：启用比较器模式。 0：禁用比较器模式。

Copyright © 2023 Texas Instruments Incorporated

7.6.3 COMMON-CONFIG 寄存器（地址 = 1Fh）[复位 = 03F9h]

图 7-16. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	DEV-LOCK	保留	EN-INT-REF	ADC-PDN-0		保留								VOUT-PDN-1	保留
R/W-0	R/W-0	R/W-0	R/W-0	R/W-00		R/W-7Fh								R/W-00	R/W-1

表 7-16. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0	始终写入 0。
14	DEV-LOCK	R/W	0	0：器件未锁定 1：器件锁定，器件会锁定所有寄存器。要将此位重设为 0（解锁器件），需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段，然后向 DEV-LOCK 位写入 0。
13	RESERVED	R/W	0	始终写入 0。
12	EN-INT-REF	R/W	0	0：禁用内部基准 1：启用内部基准。在使用内部基准增益设置之前，必须设置此位。
11-10	ADC-PDN-0	R/W	00	00：为 ADC-0 上电。 01：通过 10kΩ 连接至 AGND，将 ADC-0 断电。 10：通过 100kΩ 连接至 AGND，将 ADC-0 断电。 11：通过高阻态连接至 AGND，将 ADC-0 断电。
9-3	RESERVED	R/W	7Fh	始终写入 7Fh。
2-1	VOUT-PDN-1	R/W	00	00：为 VOUT-1 上电。 01：通过 10kΩ 连接至 AGND，将 VOUT-1 断电。 10：通过 100kΩ 连接至 AGND，将 VOUT-1 断电。 11：通过高阻态连接至 AGND，将 VOUT-1 断电。
0	RESERVED	R/W	1	始终写入 1。

7.6.4 COMMON-TRIGGER 寄存器（地址 = 20h）[复位 = 0000h]

图 7-17. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				重置				保留						NVM-PROG	NVM-RELOAD
R/W-0h				R/W-0h				R/W-00h						R/W-0h	R/W-0h

表 7-17. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0000	0101：器件解锁密码。 其他：不用考虑。
11-8	复位	R/W	0000	1010：触发 POR 复位。此字段会自行复位。 其他：不用考虑。
7-2	RESERVED	R/W	00h	始终写入 00h。
1	NVM-PROG	R/W	0	0：不触发 NVM 写入。 1：触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0	0：不触发 NVM 重新加载。 1：将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.6.5 COMMON-PWM-TRIG 寄存器（地址 = 21h）[复位 = 0001h]

图 7-18. COMMON-PWM-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															START-FUNCTION
R/W-0000h															R/W-0h

表 7-18. COMMON-PWM-TRIG 寄存器字段说明

位	字段	类型	复位	描述
15-1	RESERVED	R/W	0000h	始终写入 0000h。
0	START-FUNCTION	R/W	0	0：停止 PWM 生成。 1：无效。该位由状态机自动设置。

7.6.6 GENERAL-STATUS 寄存器（地址 = 22h）[复位 = 2068h]

图 7-19. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-0-BUSY	X		DAC-1-BUSY	NVM-BUSY	DEVICE-ID						VERSION-ID	
R-0h	R-0h	X-1h	R-0h	X-0h		R-0h	R-0h	AFE53902-Q1：R-10h AFE43902-Q1：R-11h						R-0h	

表 7-19. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0	0：OTP 中无 CRC 错误。 1：表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0	0：NVM 加载中无 CRC 错误。 1：表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	X	X	1	不用考虑。
12	DAC-0-BUSY	R	0	0：DAC-0 通道接受命令。 1：DAC-0 通道不接受命令。
11-10	X	X	0	不用考虑。
9	DAC-1-BUSY	R	0	0：DAC-1 通道接受命令。 1：DAC-1 通道不接受命令。
8	NVM-BUSY	R	0	0：NVM 可用于读取和写入。 1：NVM 不可用于读取或写入。
7-2	DEVICE-ID	R	AFE53902-Q1：10h AFE43902-Q1：11h	器件标识符。
1-0	VERSION-ID	R	00	版本标识符。

Copyright © 2023 Texas Instruments Incorporated

7.6.7 DEVICE-MODE-CONFIG 寄存器（地址 = 25h）[复位 = 8040h]

图 7-20. DEVICE-MODE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		DIS-MODE-IN	保留						SM-IO-EN	保留					
R/W-10		R/W-0	R/W-00h						R/W-1	R/W-00h					

表 7-20. DEVICE-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	10	始终写入 10。
13	DIS-MODE-IN	R/W	0	0：启用 MODE 功能。 1：禁用 MODE 功能。
12-7	RESERVED	R/W	00h	始终写入 00h。
6	SM-IO-EN	R/W	1	0：状态机无法控制数字输入输出。 1：由状态机控制的数字输入输出。
5-0	保留	R/W	00h	始终写入 00h。

7.6.8 INTERFACE-CONFIG 寄存器（地址 = 26h）[复位 = 0000h]

图 7-21. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			TIMEOUT-EN	X									FSDO-EN	X	SDO-EN
X-0h			R/W-0h	X-0h									R/W-0h	X-0h	R/W-0h

表 7-21. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12	TIMEOUT-EN	R/W	0	0：禁用 I^2C 超时。 1：启用 I^2C 超时。
11-3	X	X	0h	不用考虑。
2	FSDO-EN	R/W	0	0：禁用快速 SDO。 1：启用快速 SDO。
1	X	X	0	不用考虑。
0	SDO-EN	R/W	0	0：禁用 SDO。 1：启用 SDO。

7.6.9 STATE-MACHINE-CONFIG0 寄存器（地址 = 27h）[复位 = 0003h]

图 7-22. STATE-MACHINE-CONFIG0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED													SM-ABORT	SM-START	SM-EN
R/W-0000h													R/W-0h	R/W-1	R/W-1

表 7-22. STATE-MACHINE-CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R/W	0000h	始终写入 0000h。
2	SM-ABORT	R/W	0	0：状态机未中止。 1：状态机已中止。
1	SM-START	R/W	1	0：状态机已停止。 1：状态机已启动。必须使用 SM-EN 位来启用状态机。
0	SM-EN	R/W	1	0：状态机已禁用。 1：状态机已启用。

7.6.10 SRAM-CONFIG 寄存器（地址 = 2Bh）[复位 = 0000h]

图 7-23. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								SRAM-ADDR							
X-00h								R/ W-00h							

表 7-23. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	00h	不用考虑。
7-0	SRAM-ADDR	R/W	00h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在从 SRAM 读取或写入 SRAM 后自动递增。

7.6.11 SRAM-DATA 寄存器（地址 = 2Ch）[复位 = 0000h]

图 7-24. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/ W-0000h															

表 7-24. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-DATA	R/W	0000h	16 位 SRAM 数据。此数据会写入 SRAM-CONFIG 寄存器中配置的地址或从该地址读取。

Copyright © 2023 Texas Instruments Incorporated

7.6.12 Xx-TEMPERATURE 寄存器（SRAM 地址 = 20h、22h、24h）[复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-25. Xx-TEMPERATURE 寄存器（X1、X2、X3）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED					Xx-TEMPERATURE										保留
W-00h					R/W-000h										W-0h

表 7-25. Xx-TEMPERATURE 寄存器字段说明（X1、X2、X3）

位	字段	类型	复位	说明
15-11	RESERVED	X	00h	始终写入 0。
10-1	Xx-TEMPERATURE	读/写	000h	NTC 线性化器的 10 位 X 坐标。
0	RESERVED	X	0	始终写入 0。

7.6.13 Yx-TEMPERATURE 寄存器（SRAM 地址 = 21h、23h、25h）[复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-26. Yx-TEMPERATURE 寄存器（Y1、Y2、Y3）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								Yx-TEMPERATURE							
W-00h								R/W-00h							

表 7-26. Yx-TEMPERATURE 寄存器字段说明（Y1、Y2、Y3）

位	字段	类型	复位	说明
15-8	保留	W	00h	始终写入 0。
7-0	Yx-TEMPERATURE	R/W	00h	NTC 线性化器的 8 位 Y 坐标。

7.6.14 Xx-OUTPUT 寄存器（SRAM 地址 = 26h、28h、2Ah、2Ch）[复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-27. Xx-OUTPUT 寄存器（X1、X2、X3、X4）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								Xx-OUTPUT							
W-00h								R/W-00h							

表 7-27. Xx-OUTPUT 寄存器字段说明（X1、X2、X3、X4）

位	字段	类型	复位	说明
15-8	保留	W	00h	始终写入 0。
7-0	Xx-OUTPUT	R/W	00h	多斜率传递函数的 8 位 X 坐标。

7.6.15 Yx-OUTPUT 寄存器（SRAM 地址 = 27h、29h、2Bh、2Dh）[复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-28. Yx-OUTPUT 寄存器（Y1、Y2、Y3、Y4）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED						Yx-OUTPUT									
W-00h						R/W-000h									

表 7-28. YX-OUTPUT 寄存器字段说明（Y1、Y2、Y3、Y4）

位	字段	类型	复位	说明
15-10	保留	W	00h	始终写入 0。
9-0	Yx-OUTPUT	读/写	000h	多斜率传递函数的 10 位 Y 坐标。

7.6.16 PWM-FREQUENCY 寄存器（SRAM 地址 = 2Eh）[复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-29. PWM-FREQUENCY 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X				PWM-FREQUENCY					X						
X-0h				R/W-00h					X-00h						

表 7-29. PWM-FREQUENCY 寄存器字段说明

位	字段	类型	复位	说明
15-12	X	X	0h	不用考虑。
11-7	PWM-FREQUENCY	R/W	00h	5 位 PWM 频率，如表 7-1 所指定。
6-0	X	X	00h	不用考虑。

Copyright © 2023 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

AFEx3902-Q1 是一款智能模拟前端 (AFE)，其中包含 ADC 通道、PWM 输出、NVM、内部基准，并且采用微型 3mm × 3mm 封装。AFEx3902-Q1 具有一个集成式状态机，该状态机预编程为恒定功率输出控制器。ADC 的满量程为 VDD/3。当输入超出此范围时，应使用外部衰减器。PWM 在 SDA/SCLK/PWM 引脚上提供 7 位占空比输出。将 VREF/MODE 引脚拉至高电平可启用 PWM 输出。将 VREF/MODE 引脚拉至低电平可启用 I²C 或 SPI 编程模式。在器件中，使用 I²C 或 SPI 对应用参数进行编程，这些参数存储在 NVM 中。

8.2 典型应用

8.2.1 使用 AFE53902-Q1 和电压输出的多斜率热折返

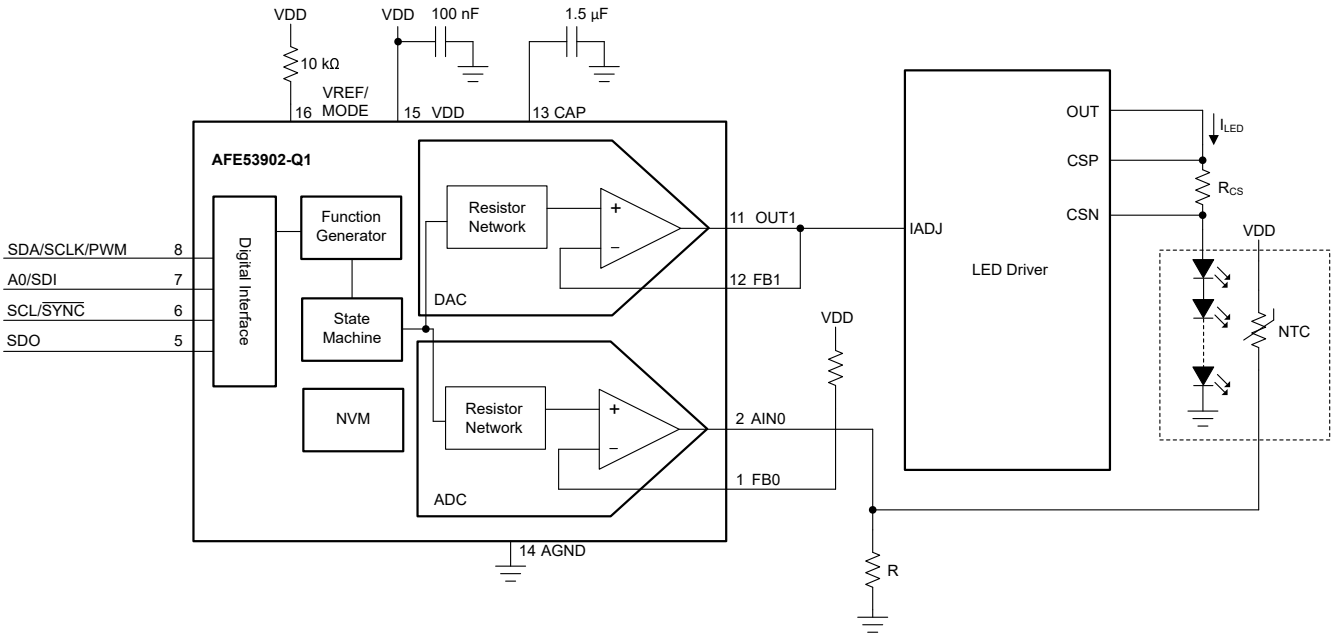


图 8-1. 使用 AFE53902-Q1 和电压输出的多斜率热折返

图 8-1 显示了如何在电压输出模式下连接 DAC 输出。

8.2.1.1 设计要求

表 8-1. 具有电压输出设计参数的 AFE53902-Q1

参数	值
电压范围	0V 至 5V
温度范围	0°C 至 100°C

8.2.1.2 详细设计过程

状态机根据热折返曲线中保存的值将温度输入转换为电压输出。温度传感器的电压输出由 ADC 读取并转换为 ADC 代码。有三个 X 和 Y 点可用于将 ADC 代码（X 点）映射到温度（Y 点）。这些点可用于对温度传感器输出应用线性化。ADC 为 10 位，因此最大代码为 1023d。方程式 5 根据电压输入计算 ADC 输出代码。

$$ADC_CODE = \frac{VIN \times 2^{10}}{VREF} \quad (5)$$

此应用示例使用 5V VDD 作为 ADC 基准。方程式 6 计算 2.5V 输入时的 ADC 代码。

$$ADC_CODE = \frac{2.5\,V \times 2^{10}}{5\,V} = 512d \quad (6)$$

表 8-2 显示了此应用示例中使用的 ADC 代码到温度的映射。NTC 电阻用作温度传感器。较高的 ADC 代码对应于较低的温度。

表 8-2. 热折返曲线：ADC 至温度

ADC 代码	温度
0x000	100°C
0x200	50°C
0x3FF	0°C

有四个 X 点和 Y 点可用于将温度（X 点）映射到输出电压（Y 点）。电压输出由 10 位 DAC 代码配置。最大代码为 1023d。方程式 7 计算所需电压输出的 DAC 代码。

$$DAC_CODE = \frac{VOUT \times 2^{10}}{VREF} \quad (7)$$

此应用示例使用 5V VDD 作为 DAC 基准。方程式 8 计算 1V 输出的 DAC 代码。

$$DAC_CODE = \frac{VOUT \times 2^{10}}{VREF} \quad (8)$$

表 8-3 显示了此应用示例中使用的温度到输出电压的映射。该曲线可具有负斜率和正斜率。

表 8-3. 热折返曲线：温度至 VOUT

温度	输出电压 (CODE)
20° C	4V (0x320)
50°C	5V (0x3FF)
75°C	3.4V (0x2BC)
100°C	0V (0x00)

Copyright © 2023 Texas Instruments Incorporated

按照以下指导原则在 AFE53902-Q1 上设置寄存器：

- 将 VREF/MODE 引脚设置为低电平，为编程模式启用数字引脚。
- 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0 可在更新应用参数之前停止状态机。
- 设置表 8-4 中所示的所有应用参数。必须使用这些位置在 NVM 中保存设置。
- 在 DAC-x-VOUT-CMP-CONFIG 寄存器中配置两个通道的基准。
  - 通过将 CMP-x-EN 位设置为 1，将通道 0 配置为 ADC 输入。
- 在电压模式下使用 COMMON-CONFIG 寄存器为 DAC 和 ADC 通道上电。
- 将 DEVICE-MODE-CONFIG 寄存器设置为 0x9000。
- 通过向 STATE-MACHINE-CONFIG0 写入 0x3 以启动状态机。
- 通过将 COMMON-TRIGGER 寄存器 (0x20) 中的 NVM-PROG 位设置为 1 来触发 NVM 写操作。

表 8-4. 应用参数

寄存器字段名称	地址[字段]	地址位置
X1-TEMPERATURE	0x20[10:1]	SRAM
Y1-TEMPERATURE	0x21[7:0]	SRAM
X2-TEMPERATURE	0x22[10:1]	SRAM
Y2-TEMPERATURE	0x23[7:0]	SRAM
X3-TEMPERATURE	0x24[10:1]	SRAM
Y3-TEMPERATURE	0x25[7:0]	SRAM
X1-OUTPUT	0x26[7:0]	SRAM
Y1-OUTPUT	0x27[9:0]	SRAM
X2-OUTPUT	0x28[7:0]	SRAM
Y2-OUTPUT	0x29[9:0]	SRAM
X3-OUTPUT	0x2A[7:0]	SRAM
Y3-OUTPUT	0x2B[9:0]	SRAM
X4-OUTPUT	0x2C[7:0]	SRAM
Y4-OUTPUT	0x2D[9:0]	SRAM
PWM-FREQUENCY	0x2E[11:7]	SRAM
DAC-0-VOUT-CMP-CONFIG	0x15[12:10][4:0]	寄存器
DAC-1-VOUT-CMP-CONFIG	0x03[12:10][4:0]	寄存器
COMMON-CONFIG	0x1F[15:0]	寄存器
DEVICE-MODE-CONFIG	0x25[15:0]	寄存器
STATE-MACHINE-CONFIG0	0x27[2:0]	寄存器

只有表 8-4 的地址列中列出的位才会保存在 NVM 中，并在状态机中使用。例如，对于 DAC-x-VOUT-CMP-CONFIG 寄存器，只有位 12 至位 10 和位 4 至位 0 会保存在 NVM 中。

以下是该应用示例的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <MSB DATA>, <LSB DATA>
//Stop the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Set the thermal foldback profile values
//The voltage output is a 10-bit value
WRITE X1-TEMPERATURE(SRAM 0x20), 0x00, 0x00
WRITE Y1-TEMPERATURE(SRAM 0x21), 0x00, 0x64
WRITE X2-TEMPERATURE(SRAM 0x22), 0x04, 0x00
WRITE Y2-TEMPERATURE(SRAM 0x23), 0x00, 0x32
WRITE X3-TEMPERATURE(SRAM 0x24), 0x07, 0xFF
WRITE Y3-TEMPERATURE(SRAM 0x25), 0x00, 0x00
WRITE X1-OUTPUT(SRAM 0x26), 0x00, 0x14
WRITE Y1-OUTPUT(SRAM 0x27), 0x03, 0x20
WRITE X2-OUTPUT(SRAM 0x28), 0x00, 0x32
WRITE Y2-OUTPUT(SRAM 0x29), 0x03, 0xFF
WRITE X3-OUTPUT(SRAM 0x2A), 0x00, 0x4B
WRITE Y3-OUTPUT(SRAM 0x2B), 0x02, 0xBC
WRITE X4-OUTPUT(SRAM 0x2C), 0x00, 0x64
WRITE Y4-OUTPUT(SRAM 0x2D), 0x00, 0x00
//Set the channel 0 reference to VDD, enable the comparator for ADC mode (this is the device
default)
WRITE DAC-0-VOUT-CMP-CONFIG(0x15), 0x04, 0x01
//Set channel 1 reference to VDD (this is the device default)
WRITE DAC-1-VOUT-CMP-CONFIG(0x03), 0x04, 0x00
//Power on the DAC and ADC channel
WRITE COMMON-CONFIG(0x1F), 0x03, 0xF9
//Set the device mode (this is the device default)
WRITE DEVICE-MODE-CONFIG(0x25), 0x90, 0x00
//Start the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
```

8.2.1.3 应用性能曲线图

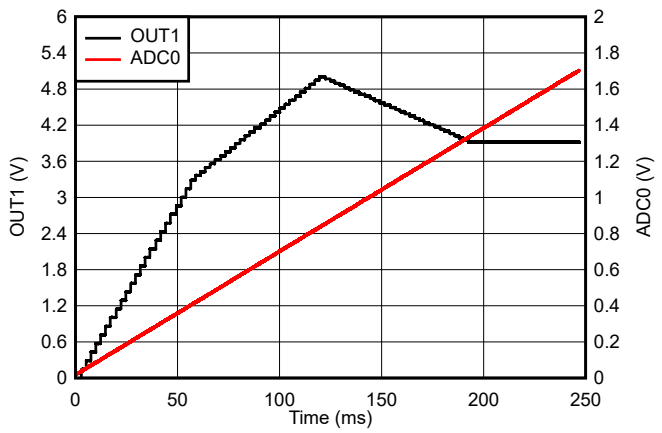
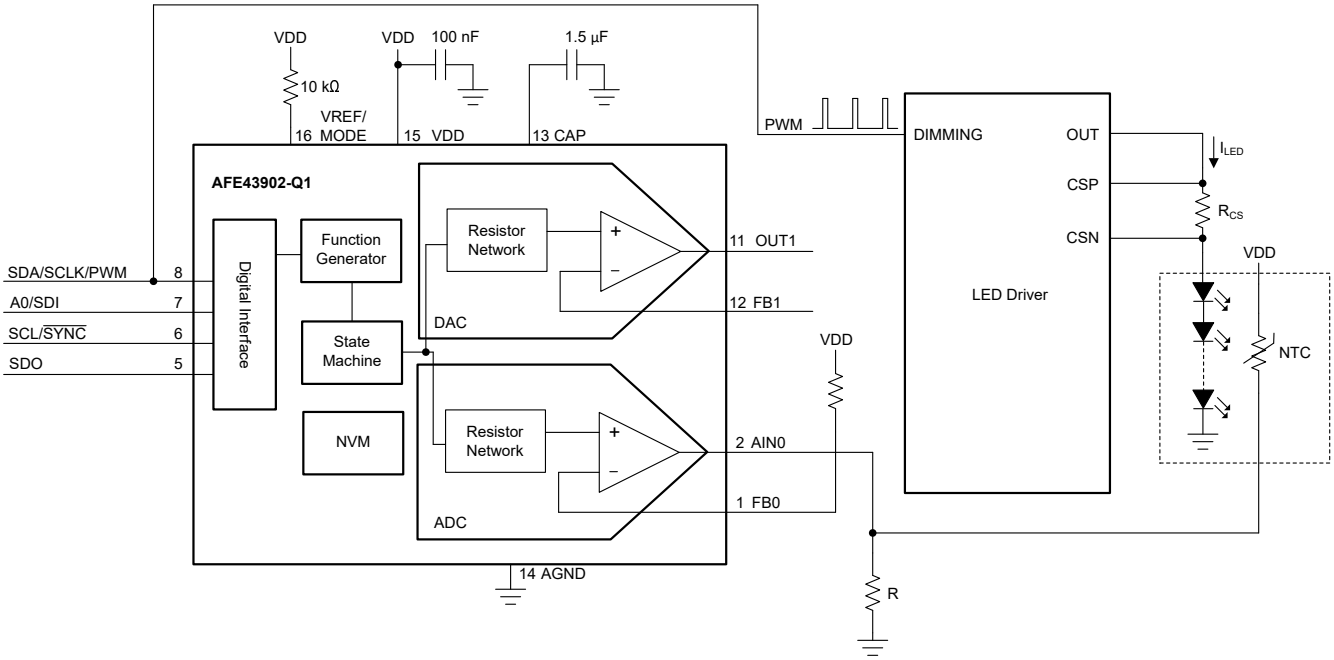


图 8-2. 电压输出与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

8.2.2 使用 AFE43902-Q1 和 PWM 输出的多斜率热折返



使用 AFE43902-Q1 和 PWM 输出的多斜率热折返

图 8-3 显示了如何在 PWM 输出模式下连接 PWM 输出。

8.2.2.1 设计要求

表 8-5. 具有 PWM 输出设计参数的 AFE43902-Q1

参数	值
PWM 频率	1kHz
占空比范围	0% 至 100%
温度范围	0°C 至 100°C

8.2.2.2 详细设计过程

状态机根据热折返曲线中保存的值将温度输入转换为 PWM 输出。温度传感器的电压输出由 ADC 读取并转换为 ADC 代码。有三个 X 和 Y 点可用于将 ADC 代码（X 点）映射到温度（Y 点）。这些点可用于对温度传感器输出应用线性化。ADC 为 10 位，因此最大代码为 1023d。方程式 9 根据电压输入计算 ADC 输出代码。

$$ADC_CODE = \frac{VIN \times 2^{10}}{VREF} \tag{9}$$

此应用示例使用 5V VDD 作为 ADC 基准。方程式 10 计算 2.5V 输入时的 ADC 代码。

$$ADC_CODE = \frac{2.5\,V \times 2^{10}}{5\,V} = 512d \tag{10}$$

表 8-6 显示了此应用示例中使用的 ADC 代码到温度的映射。NTC 电阻用作温度传感器。较高的 ADC 代码对应于较低的温度。

表 8-6. 热折返曲线：ADC 至温度

ADC 代码	温度
0x000	100°C
0x200	50°C
0x3FF	0°C

PWM 频率在 PWM-FREQUENCY SRAM 位置进行设置 (SRAM: 0x2E)。表 7-1 定义了每个可用频率的代码。有四个 X 点和 Y 点可用于将温度（X 点）映射到输出占空比（Y 点）。PWM 占空比输出通过一个 7 位代码进行配置。最大代码为 127d。方程式 11 计算占空比：

$$DUTY_C是CLE_CODE = \frac{Duty_Cycle\left(\%\right) \times 2^7}{100\%} \tag{11}$$

对于 50% 占空比，方程式 11 可计算占空比代码为 64d。

备注

占空比代码 127d 将 PWM 占空比设置为 100%，这不遵循方程式 11。表 7-2 提供了该异常的详细信息。

表 8-7 显示了此应用示例中使用的温度到输出占空比的映射。该曲线可具有负斜率和正斜率。

表 8-7. 热折返曲线：温度至 PWM

温度	输出占空比（代码）
20° C	78% (0x64)
50°C	100% (0x7F)
75°C	63% (0x51)
100°C	0% (0x00)

Copyright © 2023 Texas Instruments Incorporated

按照以下指导原则在 AFE43902-Q1 上设置寄存器：

- 将 VREF/MODE 引脚设置为低电平，为编程模式启用数字引脚。
- 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0 可在更新应用参数之前停止状态机。
- 如果 PWM 发生器已在运行，需要在 PWM 频率更改生效之前停止 PWM 发生器。将 0 写入 COMMON-PWM-TRIG 寄存器 (0x21) 中的 START-FUNCTION 位，可停止 PWM 发生器。在启用状态机后，PWM 发生器会自动启动。
- 设置表 8-8 中所示的所有应用参数。必须使用这些位置在 NVM 中保存设置。例如，PWM-FREQUENCY 的 DAC 寄存器位置不映射到 NVM，并且在触发 NVM 写入时不会保存。
- 在 DAC-x-VOUT-CMP-CONFIG 寄存器中配置两个通道的基准。
  - 通过将 CMP-x-EN 位设置为 1，将通道 0 配置为 ADC 输入。
- 使用 COMMON-CONFIG 寄存器为 ADC 通道上电。
- 将 DEVICE-MODE-CONFIG 寄存器设置为 0x9000。
- 通过向 STATE-MACHINE-CONFIG0 写入 0x3 以启动状态机。
- 通过将 COMMON-TRIGGER 寄存器 (0x20) 中的 NVM-PROG 位设置为 1 来触发 NVM 写操作。
- 将 VREF/MODE 引脚设置为高电平，为独立模式启用数字引脚。必须进行此设置才能在数字引脚上看到 PWM 输出。

表 8-8. 应用参数

寄存器字段名称	地址[字段]	地址位置
X1-TEMPERATURE	0x20[10:1]	SRAM
Y1-TEMPERATURE	0x21[7:0]	SRAM
X2-TEMPERATURE	0x22[10:1]	SRAM
Y2-TEMPERATURE	0x23[7:0]	SRAM
X3-TEMPERATURE	0x24[10:1]	SRAM
Y3-TEMPERATURE	0x25[7:0]	SRAM
X1-OUTPUT	0x26[7:0]	SRAM
Y1-OUTPUT	0x27[6:0]	SRAM
X2-OUTPUT	0x28[7:0]	SRAM
Y2-OUTPUT	0x29[6:0]	SRAM
X3-OUTPUT	0x2A[7:0]	SRAM
Y3-OUTPUT	0x2B[6:0]	SRAM
X4-OUTPUT	0x2C[7:0]	SRAM
Y4-OUTPUT	0x2D[6:0]	SRAM
PWM-FREQUENCY	0x2E[11:7]	SRAM
DAC-0-VOUT-CMP-CONFIG	0x15[12:10][4:0]	寄存器
DAC-1-VOUT-CMP-CONFIG	0x03[12:10][4:0]	寄存器
COMMON-CONFIG	0x1F[15:0]	寄存器
DEVICE-MODE-CONFIG	0x25[15:0]	寄存器
STATE-MACHINE-CONFIG0	0x27[2:0]	寄存器

只有表 8-8 的地址列中列出的位才会保存在 NVM 中，并在状态机中使用。例如，对于 DAC-x-VOUT-CMP-CONFIG 寄存器，只有位 12 至位 10 和位 4 至位 0 会保存在 NVM 中。

以下是该应用示例的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <MSB DATA>, <LSB DATA>
//Stop the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Stop the PWM generator
WRITE COMMON-PWM-TRIG(0x21), 0x00, 0x00
//Set the PWM frequncy (this is the device default)
WRITE PWM-FREQUENCY(SRAM 0x2E), 0x05, 0x80
//Set the thermal foldback profile values
//The PWM duty cycle is a 7-bit value
WRITE X1-TEMPERATURE(SRAM 0x20), 0x00, 0x00
WRITE Y1-TEMPERATURE(SRAM 0x21), 0x00, 0x64
WRITE X2-TEMPERATURE(SRAM 0x22), 0x04, 0x00
WRITE Y2-TEMPERATURE(SRAM 0x23), 0x00, 0x32
WRITE X3-TEMPERATURE(SRAM 0x24), 0x07, 0xFF
WRITE Y3-TEMPERATURE(SRAM 0x25), 0x00, 0x00
WRITE X1-OUTPUT(SRAM 0x26), 0x00, 0x14
WRITE Y1-OUTPUT(SRAM 0x27), 0x03, 0x64
WRITE X2-OUTPUT(SRAM 0x28), 0x00, 0x32
WRITE Y2-OUTPUT(SRAM 0x29), 0x03, 0x7F
WRITE X3-OUTPUT(SRAM 0x2A), 0x00, 0x4B
WRITE Y3-OUTPUT(SRAM 0x2B), 0x02, 0x51
WRITE X4-OUTPUT(SRAM 0x2C), 0x00, 0x64
WRITE Y4-OUTPUT(SRAM 0x2D), 0x00, 0x00
//Set the channel 0 reference to VDD, enable the comparator for ADC mode (this is the device
default)
WRITE DAC-0-VOUT-CMP-CONFIG(0x15), 0x04, 0x01
//Power on the ADC channel
WRITE COMMON-CONFIG(0x1F), 0x03, 0xFF
//Set the device mode (this is the device default)
WRITE DEVICE-MODE-CONFIG(0x25), 0x90, 0x00
//Start the state machine
WRITE STATE-MACHINE-CONFIG(0x27), 0x00, 0x03
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
```

8.2.2.3 应用性能曲线图

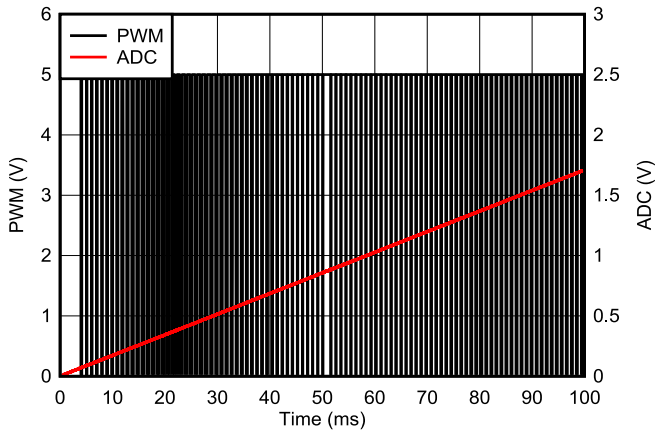


图 8-3. PWM 输出与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

8.3 电源相关建议

AFEx3902-Q1 不需要特定的电源时序。这些器件需要单个电源 V_{DD}。但是，应确保在 VDD 通电后施加外部电压基准。V_{DD} 引脚应使用 0.1μF 去耦电容器。CAP 引脚应使用约 1.5μF 的旁路电容器。

8.4 布局

8.4.1 布局指南

AFEx3902-Q1 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

8.4.2 布局示例

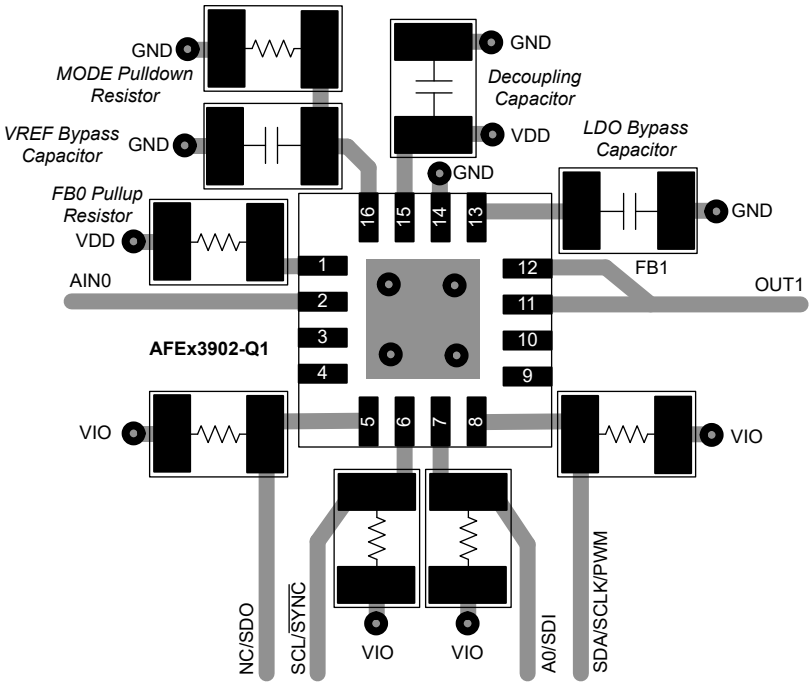


图 8-4. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。将散热焊盘连接至地。

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE43902RTERQ1	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A4902Q
AFE43902RTERQ1.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A4902Q
AFE53902RTERQ1	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A5902Q
AFE53902RTERQ1.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A5902Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

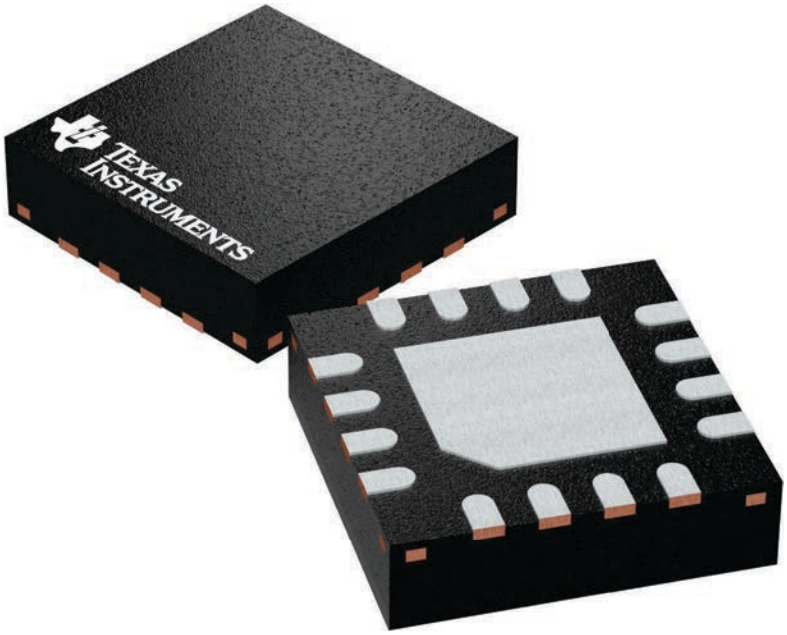
RTE 16

WQFN - 0.8 mm max height

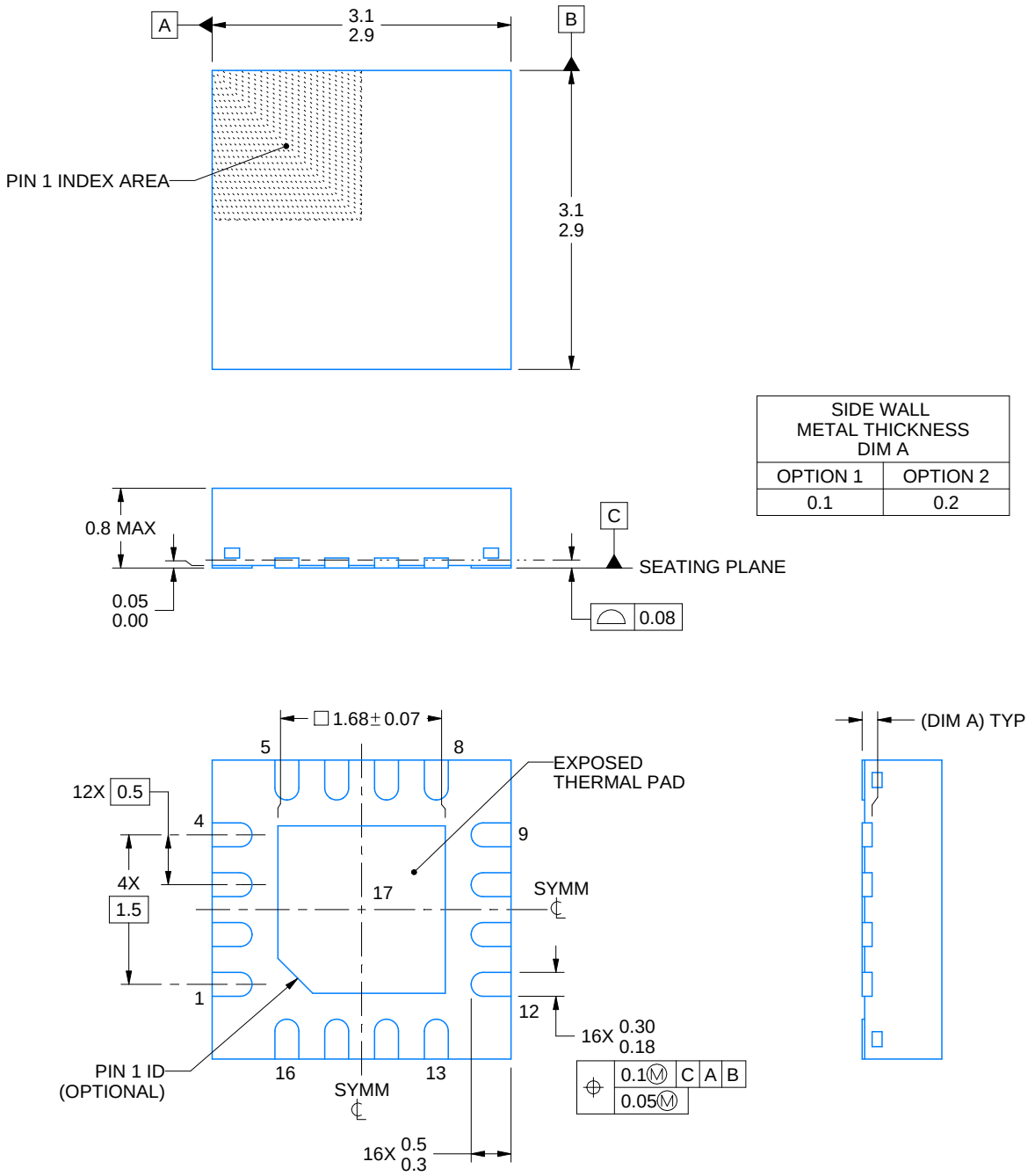
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



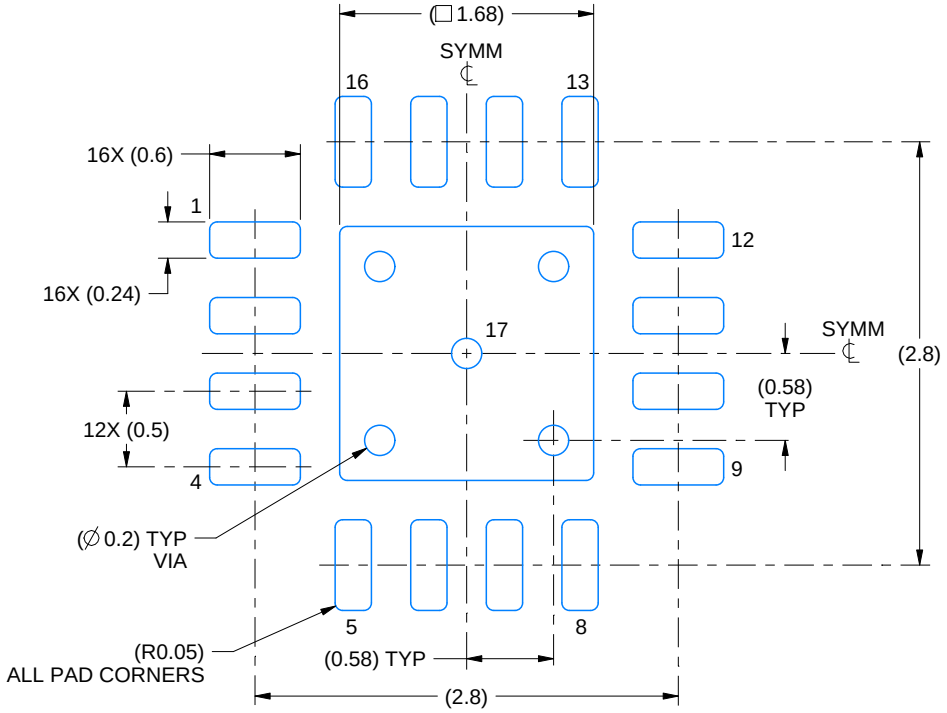
4225944/A



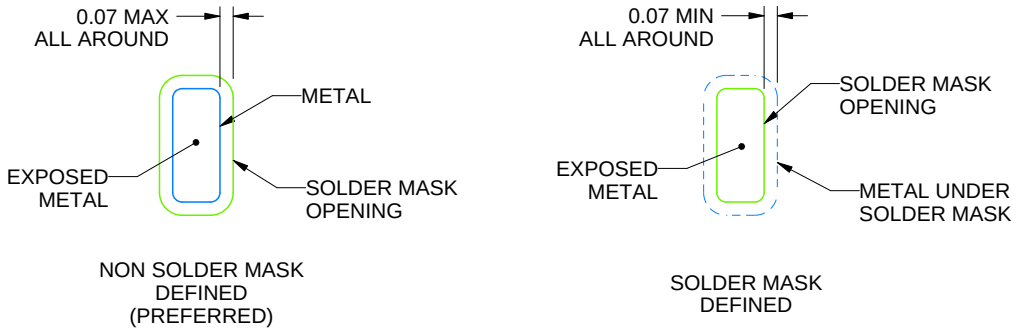
SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

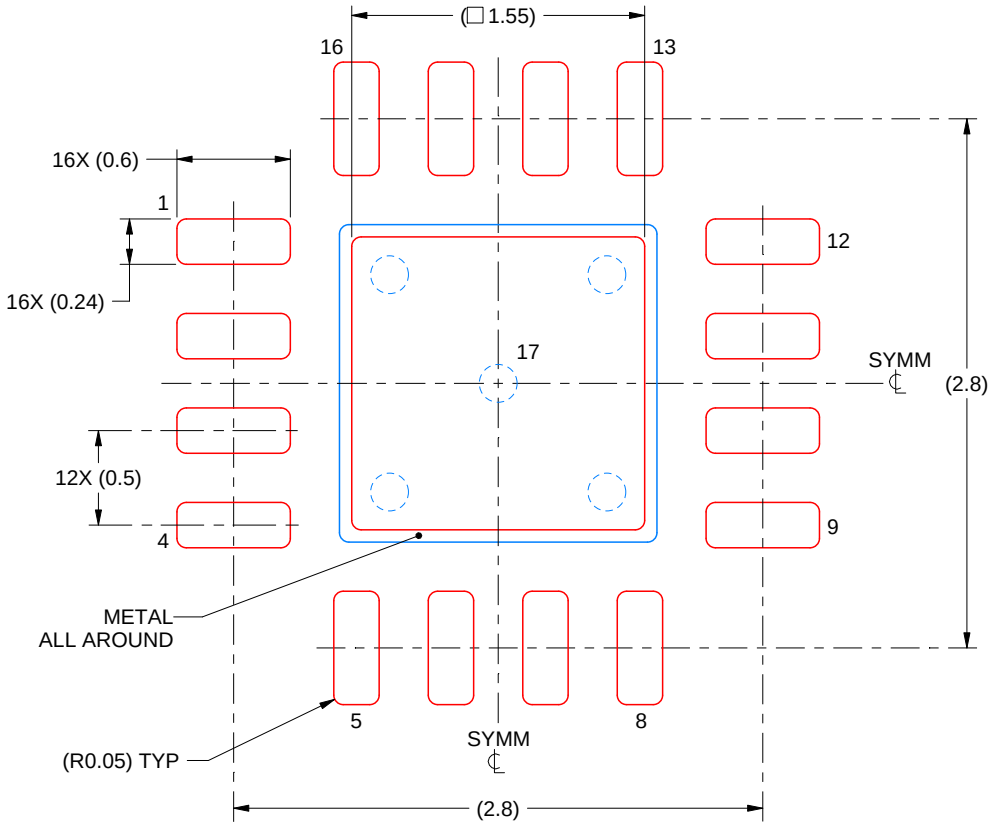


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月