

ADS9212 具有集成模拟前端的 18 位 8MSPS 双路同步采样 ADC

1 特性

- 具有模拟前端的 2 通道 18 位 ADC :
 - 双路同步采样
 - 恒定的 $1\text{M}\Omega$ 输入阻抗前端
- 可编程模拟输入范围 :
 - $\pm 12\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 7\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 3.5\text{V}$ 和 $\pm 2.5\text{V}$
 - 单端和差分输入
 - $\pm 12\text{V}$ 共模电压范围
 - 输入过压保护：高达 $\pm 18\text{V}$
- 用户可选模拟输入带宽 :
 - 21kHz 和 400kHz
- 集成低漂移精密基准
 - ADC 基准：4.096V
 - 用于外部电路的 2.5V 基准输出
- 最大吞吐量时具有出色的交流和直流性能 :
 - DNL : $\pm 0.5\text{LSB}$, INL : $\pm 0.8\text{LSB}$
 - SNR : 92 dB , THD : -113 dB
- 电源 :
 - 模拟和数字：5V 和 1.8V
 - 数字接口：1.2V 至 1.8V
- 温度范围：-40°C 至 +125°C

2 应用

- 半导体测试
- 数据采集 (DAQ)
- 源测量单元 (SMU)

3 说明

ADS9212 是基于双通道同步采样 18 位逐次逼近寄存器 (SAR) 模数转换器 (ADC) 的 2 通道数据采集 (DAQ) 系统。ADS9212 的每个通道都具有一个完整的模拟前端，其中包含输入钳位、 $1\text{M}\Omega$ 输入阻抗、独立的可编程增益放大器 (PGA)、可编程低通滤波器和 ADC 输入驱动器。该器件还具有一个低漂移高精度电压基准以及一个用于驱动 ADC 的缓冲器。凭借支持 1.2V 至 1.8V 运行的数字接口，ADS9212 可用于高速接口。

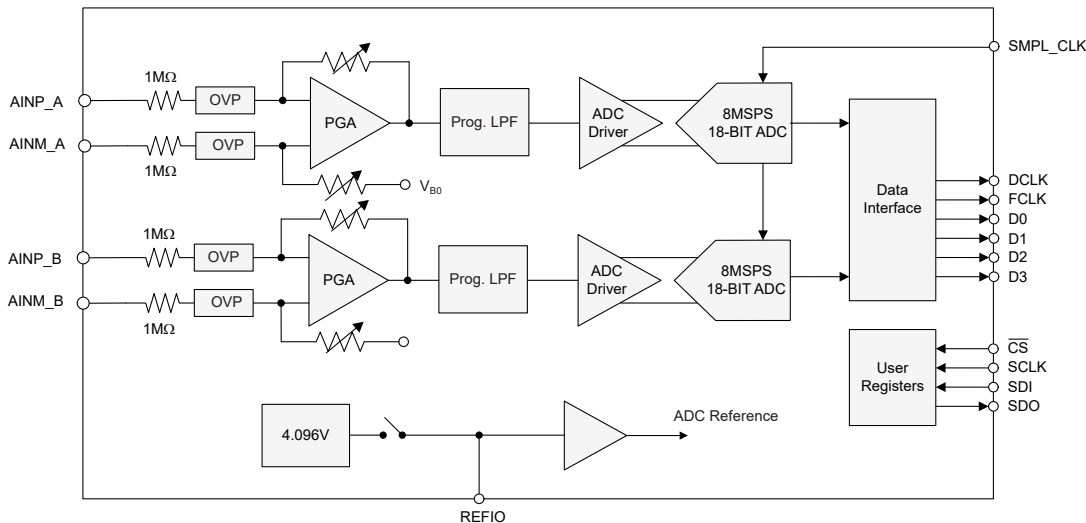
ADS9212 可配置为接受 $\pm 12\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 7\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 3.5\text{V}$ 和 $\pm 2.5\text{V}$ 双极输入。高输入阻抗特性允许直连传感器和变压器，因此无需使用外部驱动器电路。ADS9212 能够实现高性能、高精度以及零延迟转换，专为多种工业应用而设计。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS9212	RSH (VQFN , 56)	7mm × 7mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



器件方框图



内容

1 特性	1	6.5 编程	29
2 应用	1	7 寄存器映射	34
3 说明	1	7.1 寄存器组 0.....	34
4 引脚配置和功能	3	7.2 寄存器组 1.....	37
5 规格	5	7.3 寄存器组 2.....	52
5.1 绝对最大额定值.....	5	8 应用和实施	55
5.2 ESD 等级.....	5	8.1 应用信息.....	55
5.3 建议运行条件.....	6	8.2 典型应用.....	56
5.4 热性能信息.....	6	8.3 电源相关建议.....	58
5.5 电气特性.....	7	8.4 布局.....	58
5.6 时序要求.....	10	9 器件和文档支持	60
5.7 开关特性.....	11	9.1 接收文档更新通知.....	60
5.8 时序图.....	11	9.2 支持资源.....	60
5.9 典型特性.....	14	9.3 商标.....	60
6 详细说明	19	9.4 静电放电警告.....	60
6.1 概述.....	19	9.5 术语表.....	60
6.2 功能方框图.....	19	10 修订历史记录	60
6.3 特性说明.....	20	11 机械、封装和可订购信息	60
6.4 器件功能模式.....	28		

4 引脚配置和功能

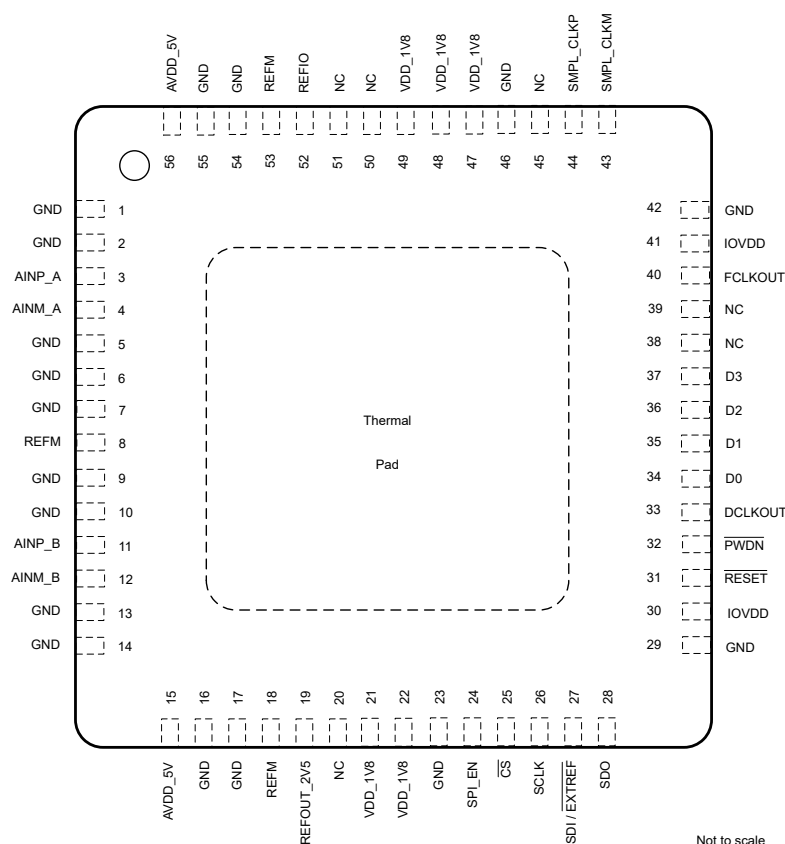


图 4-1. RSH 封装，56 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
AINM_A	4	AI	ADC A 的模拟输入，负输入。
AINP_A	3	AI	ADC A 的模拟输入，正输入。
AINM_B	12	AI	ADC B 的模拟输入，负输入。
AINP_B	11	AI	ADC B 的模拟输入，正输入。
AVDD_5V	15、56	P	5V 模拟电源。将 1 μ F 和 0.1 μ F 去耦电容器连接到 AGND。
$\overline{\text{CS}}$	25	DI	SPI 接口配置的片选输入；低电平有效。该引脚具有一个连接到数字接口电源的内部 100k Ω 上拉电阻器。
D0	34	DO	串行输出数据通道 0。
D1	35	DO	串行数据输出通道 1。
D2	36	DO	串行数据输出通道 2。
D3	37	DO	串行数据输出通道 3。
DCLKOUT	33	DO	数据接口的时钟输出。
DVDD_1V8	22、47、48	P	数字电源引脚。将 1 μ F 和 0.1 μ F 去耦电容器连接到 DGND。
FCLKOUT	40	DO	数据接口的帧同步输出。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
GND	1、2、5、6、7、9、10、13、14、16、17、23、46、54、55	P	地。
IOGND	29、42	P	数字接口接地。连接至 GND。
IOVDD	30、41	P	数据接口的数字 I/O 电源。将 1μF 和 0.1μF 去耦电容器连接到 IOGND。
NC	20、38、39、45、50、51	—	未连接。无外部连接。
PWDN	32	DI	断电控制；低电平有效。该引脚具有一个连接到数字接口电源的内部 100kΩ 上拉电阻器。
REFIO	52	AI/AO	当内部基准启用时，该引脚充当内部基准输出。当内部基准被禁用时，该引脚充当外部基准的输入引脚。将 10μF 去耦电容器连接到 REFM 引脚。
REFM	8、18、53	AI	基准接地电势。连接至 GND。
REFOUT_2V5	19	AO	2.5V 基准输出。将去耦 10μF 电容器连接到 REFM 引脚。
RESET	31	DI	器件的复位输入；低电平有效。该引脚具有一个连接到数字接口电源的内部 100kΩ 上拉电阻器。
SCLK	26	DI	配置接口的串行时钟输入。该引脚具有一个连接到数字接口接地端的内部 100kΩ 下拉电阻器。
SDI	27	DI	该引脚是一个多功能逻辑输入；引脚功能由 SPI_EN 引脚决定。该引脚具有一个连接到 IOGND 的内部 100kΩ 下拉电阻器。 SPI_EN = 0b：该引脚是在内部或外部基准之间进行选择的逻辑输入。将该引脚连接到 IOGND 以提供外部基准。将该引脚连接到 IOVDD 以提供内部基准。 SPI_EN = 1b：配置接口的串行数据输入。
SDO	28	DO	配置接口的串行数据输出。
SMPL_CLKP	44	DI	单端 ADC 采样时钟输入。该引脚是差分 ADC 采样时钟的正输入。
SMPL_CLKM	43	DI	将该引脚连接到 GND 以获得单端 ADC 采样时钟输入。该引脚是差分 ADC 采样时钟的负输入。
SPI_EN	24	DI	用于启用配置 SPI 接口 (CS、SCLK、SDI 和 SDO) 的逻辑输入。该引脚具有一个连接到数字接口电源的内部 100kΩ 上拉电阻器。
VDD_1V8	21、22、47、48、49	P	1.8V 电源。将 1μF 和 0.1μF 去耦电容器连接到 GND。
散热焊盘	—	P	外露散热焊盘；连接到 AGND。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
AVDD_5V 至 GND	-0.3	6	V
VDD_1V8 至 GND	-0.3	2.1	V
IOVDD 至 GND	-0.3	2.1	V
AINP_x 和 AINM_x 至 GND	-18	18	V
REFIO 至 REFM	REFM - 0.3	AVDD_5V + 0.3	V
REFM 至 GND	GND - 0.3	GND + 0.3	V
数字输入至 GND	GND - 0.3	2.1	V
输入电流到电源引脚外的任意引脚 ⁽²⁾	-10	10	mA
结温, T _J	-40	150	°C
贮存温度, T _{stg}	-60	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 必须将引脚电流限制在 10mA 或以下。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD_5V	模拟电源	AVDD_5V 至 GND, 5V	4.75	5	5.25	V
VDD_1V8	模拟电源	VDD_1V8 至 GND, 1.8V	1.75	1.8	1.85	V
IOVDD	数字接口电源	IOVDD 至 GND	1.15	1.8	1.85	V
基准电压						
V _{REF}	基准电压至 ADC	外部基准	4.092	4.096	4.100	V
模拟输入						
V _{FSR}	满标量程输入范围	RANGE_CHx = 0010b	-2.5		2.5	V
		RANGE_CHx = 0001b	-3.5		3.5	
		RANGE_CHx = 0000b	-5		5	
		RANGE_CHx = 0011b	-7		7	
		RANGE_CHx = 0100b	-10		10	
		RANGE_CHx = 0101b	-12		12	
AINP_x	工作输入电压， 正输入		-17		17	V
AINM_x	工作输入电压， 负输入		-17		17	V
温度范围						
T _A	环境温度		-40	25	125	°C

5.4 热性能信息

热指标 ⁽¹⁾		ADS9212	单位
		RSH (VQFN)	
		56 引脚	
R _{θJA}	结至环境热阻	23.2	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	10.5	°C/W
R _{θJB}	结至电路板热阻	6.1	°C/W
Ψ _{JT}	结至顶部特征参数	0.1	°C/W
Ψ _{JB}	结至电路板特征参数	6.0	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	0.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在 $AVDD_5V = 4.75V$ 至 $5.25V$ 、 $VDD_1V8 = 1.75V$ 至 $1.85V$ 、 $IOVDD = 1.15V$ 至 $1.85V$ 、 $V_{REF} = 4.096V$ (外部)、为模拟输入范围 $\pm 2.5V$ 、 $\pm 3.5V$ 和 $\pm 5V$ 禁用宽共模、为模拟输入范围 $\pm 7V$ 、 $\pm 10V$ 和 $\pm 12V$ 启用宽共模以及最大吞吐量条件下测得 (除非另有说明)；最小值和最大值在 $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 时测得；典型值在 $T_A = 25^{\circ}C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
R _{IN}	输入阻抗	所有输入范围	0.85	1	1.15	MΩ
	输入阻抗热漂移	所有输入范围		10	25	ppm/°C
	输入电容			10		pF
模拟输入滤波器						
BW _(-3dB)	模拟输入 LPF 带宽 - 3 dB	所有输入范围，低带宽滤波器		21		kHz
		RANGE = ±2.5V，宽带宽滤波器		182		
		RANGE = ±3.5V，宽带宽滤波器		240		
		RANGE = ±5V，宽带宽滤波器		320		
		RANGE = ±7V，宽带宽滤波器		400		
		RANGE = ±10V，宽带宽滤波器		385		
		RANGE = ±12V，宽带宽滤波器		375		
直流性能						
	分辨率	无丢码	18			位
DNL	微分非线性 ⁽³⁾	所有范围，启用和禁用宽 CM	-0.99	±0.5	0.99	LSB
INL	积分非线性	所有范围，启用和禁用宽 CM T _A = 0°C 至 70°C	-4	±0.8	4	LSB
		所有范围，启用和禁用宽 CM T _A = -40°C 至 125°C	-4.5	±0.8	4.5	LSB
	失调电压误差 ^{(2) (5)}	RANGE = ±2.5V		±90		LSB
RANGE = ±2.5V，启用宽 CM			±120			
RANGE = ±3.5V			±60			
RANGE = ±3.5V，启用宽 CM			±80			
RANGE = ±5V			±10			
RANGE = ±5V，启用宽 CM			±60			
RANGE = ±7V			±35			
RANGE = ±10V			±10			
RANGE = ±12V			±15			
	失调电压误差热漂移 ^{(2) (4)}	所有范围，启用和禁用宽 CM		0.5	2	ppm/°C
	增益误差 ^{(2) (5)}	RANGE = ±2.5V、±3.5V 和 ±5V		±0.02		%FSR
		RANGE = ±2.5V、±3.5V 和 ±5V， 启用宽 CM		±0.04		
		RANGE = ±7V、±10V、±12V		±0.02		
	增益误差热漂移 ^{(2) (4)}	启用和禁用宽 CM，所有范围		0.7	3	ppm/°C

5.5 电气特性 (续)

在 $AVDD_5V = 4.75V$ 至 $5.25V$ 、 $VDD_1V8 = 1.75V$ 至 $1.85V$ 、 $IOVDD = 1.15V$ 至 $1.85V$ 、 $V_{REF} = 4.096V$ (外部)、为模拟输入范围 $\pm 2.5V$ 、 $\pm 3.5V$ 和 $\pm 5V$ 禁用宽共模、为模拟输入范围 $\pm 7V$ 、 $\pm 10V$ 和 $\pm 12V$ 启用宽共模以及最大吞吐量条件下测得 (除非另有说明)；最小值和最大值在 $T_A = -40^\circ C$ 至 $+125^\circ C$ 时测得；典型值在 $T_A = 25^\circ C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SNR	信噪比, 低噪声滤波器	RANGE = $\pm 2.5V$, $f_{IN} = 2kHz$	86.7	89.5		dBFS
		RANGE = $\pm 3.5V$, $f_{IN} = 2kHz$	87.8	90.5		
		RANGE = $\pm 5V$, $f_{IN} = 2kHz$	88.5	91.4		
		RANGE = $\pm 7V$, $f_{IN} = 2kHz$	89.3	91.3		
		RANGE = $\pm 10V$, $f_{IN} = 2kHz$	89.9	91.8		
		RANGE = $\pm 12V$, $f_{IN} = 2kHz$	90	92		
	信噪比, 宽带宽滤波器	RANGE = $\pm 2.5V$, $f_{IN} = 2kHz$	79	82.5		
		RANGE = $\pm 3.5V$, $f_{IN} = 2kHz$	80	83.5		
		RANGE = $\pm 5V$, $f_{IN} = 2kHz$	80.5	84.5		
		RANGE = $\pm 7V$, $f_{IN} = 2kHz$	81.5	83.5		
		RANGE = $\pm 10V$, $f_{IN} = 2kHz$	83	85		
		RANGE = $\pm 12V$, $f_{IN} = 2kHz$	83.5	85.5		
SINAD	信噪比 + 失真比 低噪声滤波器	RANGE = $\pm 2.5V$, $f_{IN} = 2kHz$	85.7	88.9		dB
		RANGE = $\pm 3.5V$, $f_{IN} = 2kHz$	86.7	89.9		
		RANGE = $\pm 5V$, $f_{IN} = 2kHz$	87.3	90.7		
		RANGE = $\pm 7V$, $f_{IN} = 2kHz$	88.0	90.6		
		RANGE = $\pm 10V$, $f_{IN} = 2kHz$	88.5	91.1		
		RANGE = $\pm 12V$, $f_{IN} = 2kHz$	88.6	91.3		
	信噪比 + 失真比 宽带宽滤波器	RANGE = $\pm 2.5V$, $f_{IN} = 2kHz$	78.6	82.2		
		RANGE = $\pm 3.5V$, $f_{IN} = 2kHz$	79.5	83.2		
		RANGE = $\pm 5V$, $f_{IN} = 2kHz$	80.0	84.2		
		RANGE = $\pm 7V$, $f_{IN} = 2kHz$	80.9	83.2		
		RANGE = $\pm 10V$, $f_{IN} = 2kHz$	82.3	84.7		
		RANGE = $\pm 12V$, $f_{IN} = 2kHz$	82.8	85.1		
THD	总谐波失真	所有范围, 低噪声滤波器, $f_{IN} = 2kHz$		-113		dB
		所有范围, 宽带宽滤波器, $f_{IN} = 2kHz$		-113		
SFDR	无杂散动态范围	所有范围, $f_{IN} = 2kHz$		113		dB
	CMRR	直流		-70		dB
	隔离串扰	直流		-100		dB
内部基准						
$V_{REF}^{(1)}$	REFIO 引脚上的电压 (配置为输出)	REFIO 引脚上的 $1\mu F$ 电容器, $T_A = 25^\circ C$	4.092	4.096	4.1	V
	基准温漂 ⁽⁴⁾			10	25	ppm/ $^\circ C$

5.5 电气特性 (续)

在 $AVDD_5V = 4.75V$ 至 $5.25V$ 、 $VDD_1V8 = 1.75V$ 至 $1.85V$ 、 $IOVDD = 1.15V$ 至 $1.85V$ 、 $V_{REF} = 4.096V$ (外部)、为模拟输入范围 $\pm 2.5V$ 、 $\pm 3.5V$ 和 $\pm 5V$ 禁用宽共模、为模拟输入范围 $\pm 7V$ 、 $\pm 10V$ 和 $\pm 12V$ 启用宽共模以及最大吞吐量条件下测得 (除非另有说明)；最小值和最大值在 $T_A = -40^\circ C$ 至 $+125^\circ C$ 时测得；典型值在 $T_A = 25^\circ C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
数字输入						
V_{IL}	输入低逻辑电平		-0.3	0.3 $IOVDD$		V
V_{IH}	输入高逻辑电平		0.7 $IOVDD$		$IOVDD$	V
	输入电流			0.1		μA
	输入电容			6		pF
LVDS 采样时钟输入						
V_{TH}	高电平输入电压	交流耦合	100			mV
		直流耦合	300			
V_{TL}	低电平输入电压	交流耦合			-100	mV
		直流耦合			-300	
V_{ICM}	输入共模电压		0.3	1.2	1.4	V
数字输出						
V_{OL}	输出低逻辑电平	$I_{OL} = 500\mu A$ 灌电流	0	0.2 $IOVDD$		V
V_{OH}	输出高逻辑电平	$I_{OH} = 500\mu A$ 拉电流	0.8 $IOVDD$		$IOVDD$	V
电源						
	总功率损耗	最大吞吐量		232	304	mW
I_{AVDD_5V}	来自 $AVDD_5V$ 的电源电流	最大吞吐量, 内部基准		26	32	mA
		断电		0.2	2	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	最大吞吐量, 内部基准		50	70	mA
		断电		0.2	8	
I_{IOVDD}	来自 $IOVDD$ 的电源电流	最大吞吐量		7	10	mA
		断电		0.1	3	

- 不包括由焊接漂移效应引起的电压变化。
- 这些规格包括整个温度范围变化, 但不包括内部基准产生的误差。测量时采用 [适用于单端输入的宽共模配置](#) 中所述的单端输入。
- 宽 CM 是指模拟输入端的宽共模电压。有关更多详细信息, 请参阅 [宽共模电压抑制电路](#) 部分。
- 热漂移是在温度范围内测得的最大误差和最小误差之间的差值除以温度范围所得的值。
- 最小和最大规格适用于低带宽滤波器设置。

5.6 时序要求

在 $AVDD_5V = 4.75V$ 至 $5.25V$, $VDD_1V8 = 1.75V$ 至 $1.85V$, $IOVDD = 1.15V$ 至 $1.85V$, 以及最大吞吐量条件下测得 (除非另有说明) ; $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 时的最小值和最大值 ; $T_A = 25^{\circ}C$ 时的典型值

		最小值	最大值	单位
转换周期				
f_{SMPL_CLK}	采样频率	3.9	8.1	MHz
t_{SMPL_CLK}	采样时间间隔	$1 / f_{SMPL_CLK}$		ns
$t_{PL_SMPL_CLK}$	SMPL_CLK 低电平时间	$0.45 t_{SMPL_CLK}$	$0.55 t_{SMPL_CLK}$	ns
$t_{PH_SMPL_CLK}$	SMPL_CLK 高电平时间	$0.45 t_{SMPL_CLK}$	$0.55 t_{SMPL_CLK}$	ns
SPI 接口时序 (配置接口)				
f_{SCLK}	最大 SCLK 频率	20		MHz
t_{PH_CK}	SCLK 高电平时间	0.48	0.52	t_{CLK}
t_{PL_CK}	SCLK 低电平时间	0.48	0.52	t_{CLK}
t_{hi_CS}	脉冲持续时间 : $\overline{CS}$ 高电平	220		ns
t_{d_CSCK}	延迟时间 : $\overline{CS}$ 下降至第一个 SCLK 捕捉沿	20		ns
t_{su_CKDI}	建立时间 : SDI 数据对 SCLK 上升沿有效	10		ns
t_{ht_CKDI}	保持时间 : SCLK 上升沿到 SDI 上的数据有效	5		ns
t_{D_CKCS}	延迟时间 : 最后一个 SCLK 下降到 $\overline{CS}$ 上升	5		ns

5.7 开关特性

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V (外部) 以及最大吞吐量条件下测得 (除非另有说明)；最小值和最大值在 T_A = -40°C 至 +125°C 时测得；典型值在 T_A = 25°C 时测得

参数	测试条件	最小值	最大值	单位
复位				
t _{PU}	器件上电时间		25	ms
SPI 接口时序 (配置接口)				
t _{den_CKDO}	延迟时间：第 8 个 SCLK 上升沿至数据使能		22	ns
t _{dz_CKDO}	延迟时间：第 24 个 SCLK 上升沿至 SDO 进入高阻态		50	ns
t _{d_CKDO}	延迟时间：SCLK 下降沿到 SDO 上的相应数据有效		16	ns
t _{ht_CKDO}	延迟时间：SCLK 下降沿到 SDO 上的前一个数据有效	2		ns
CMOS 数据接口				
t _{DCLK}	数据时钟输出	DDR 模式	10	ns
		SDR 模式	20	
	时钟占空比		45 55	%
t _{off_DCLKDO_r}	时间偏移：DCLK 上升到相应数据有效	DDR 模式	t _{DCLK} / 4 - 1.5 t _{DCLK} / 4 + 1.5	ns
t _{off_DCLKDO_f}	时间偏移：DCLK 下降至相应数据有效	DDR 模式	t _{DCLK} / 4 - 1.5 t _{DCLK} / 4 + 1.5	ns
t _{d_DCLKDO}	延时时间：DCLK 上升到相应数据有效	SDR 模式	-1 1	ns

5.8 时序图

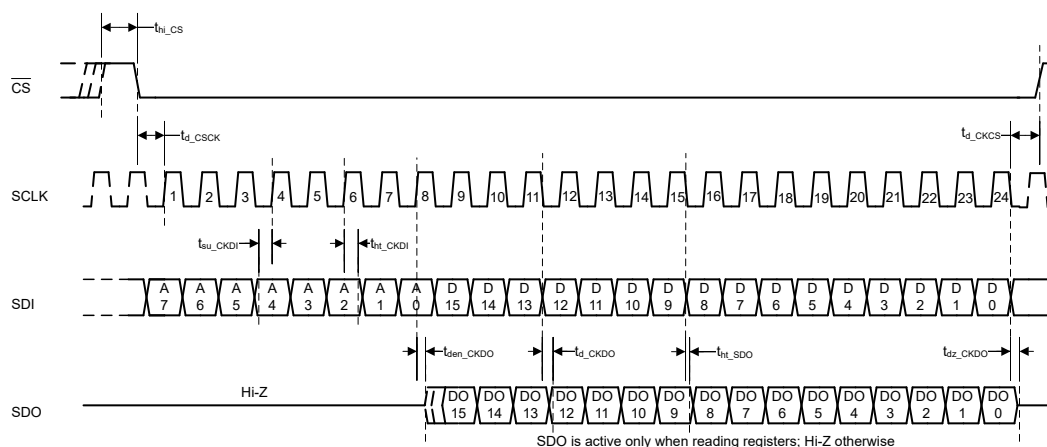


图 5-1. SPI 配置接口

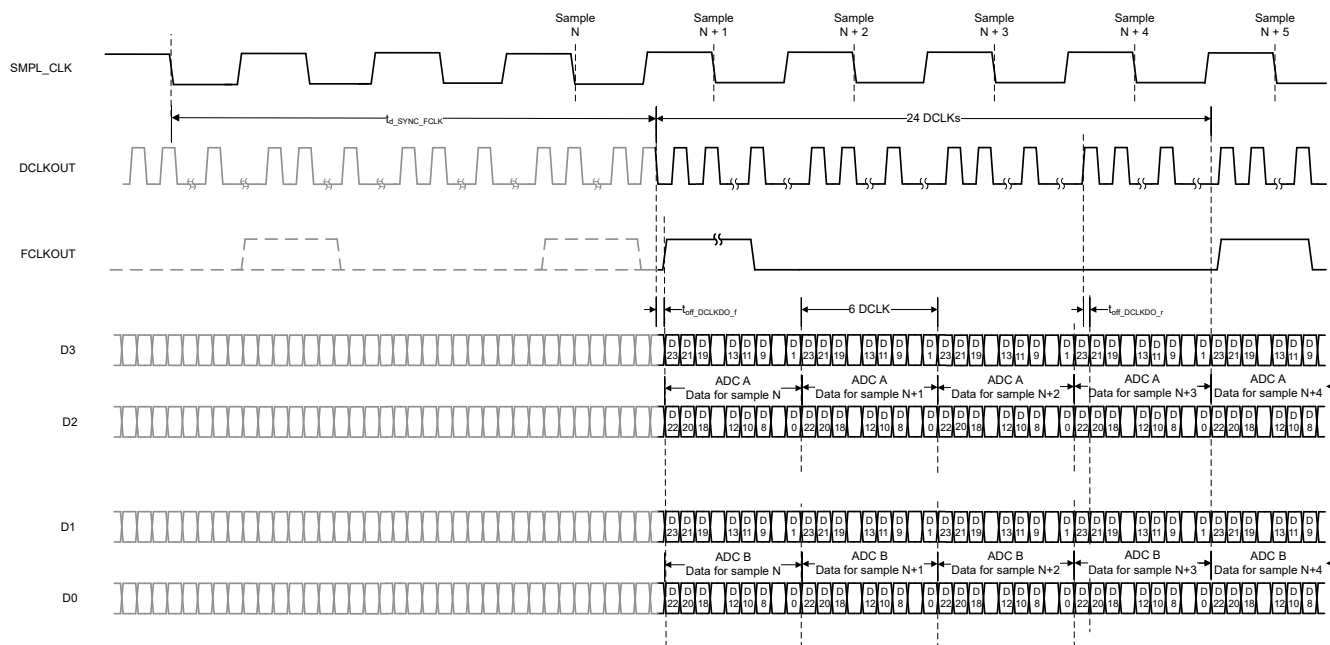


图 5-2. 4-SDO DDR CMOS 数据接口

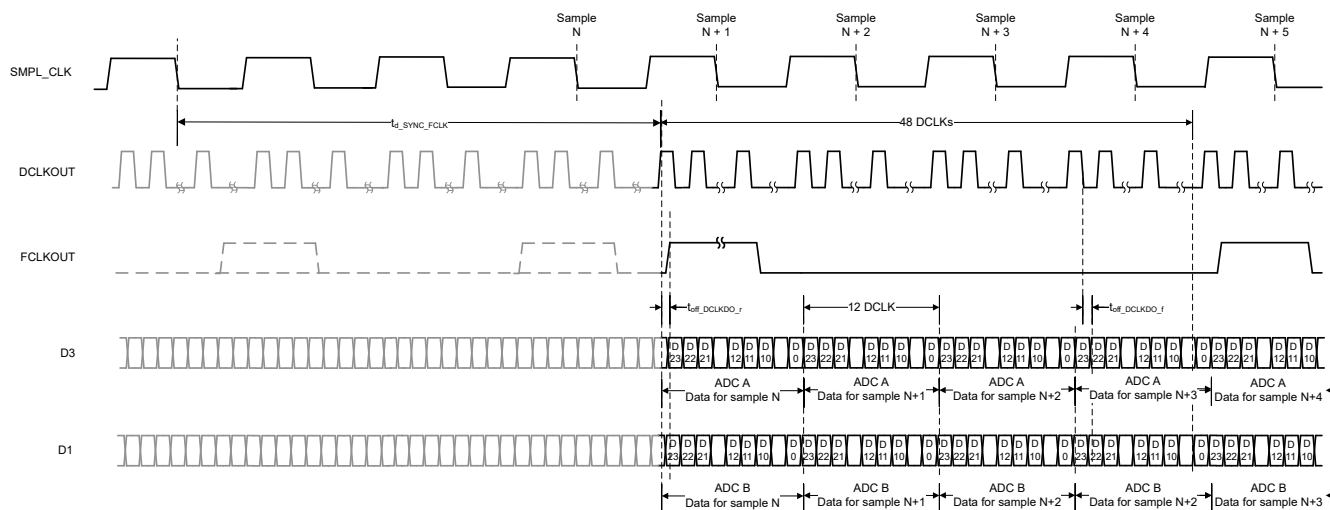


图 5-3. 2-SDO DDR CMOS 数据接口

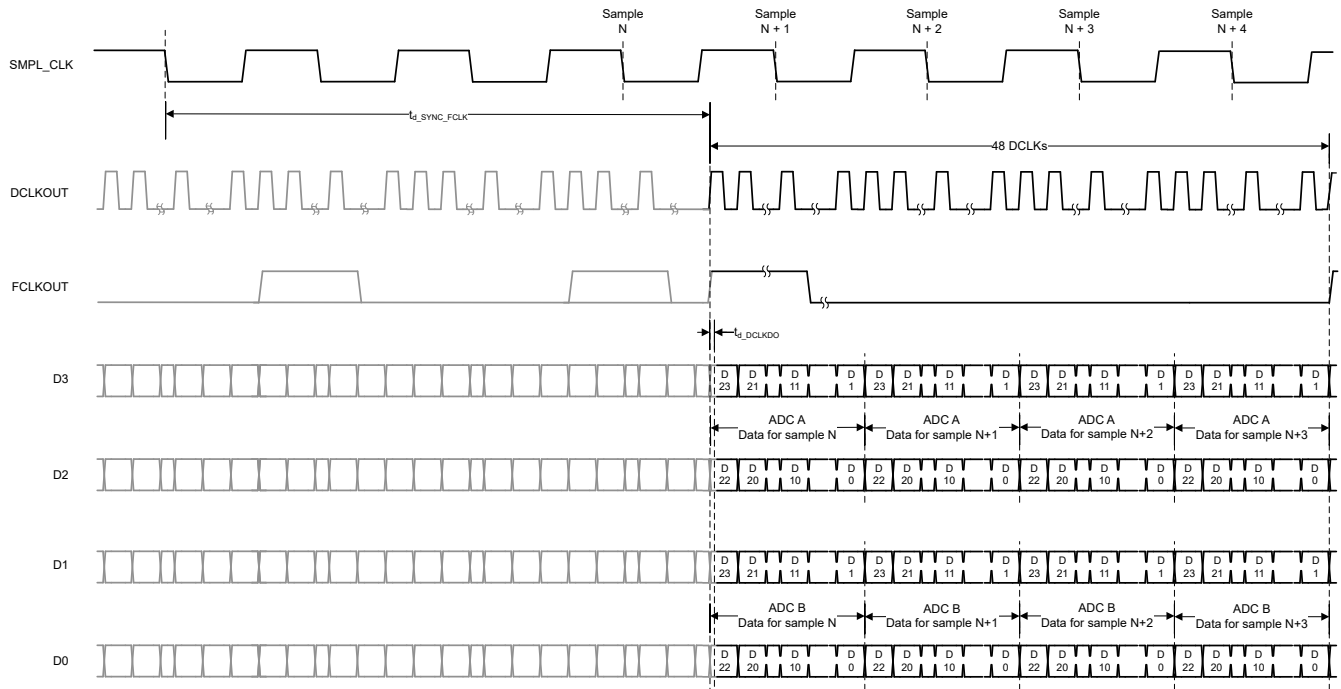


图 5-4. 4-SDO SDR CMOS 数据接口

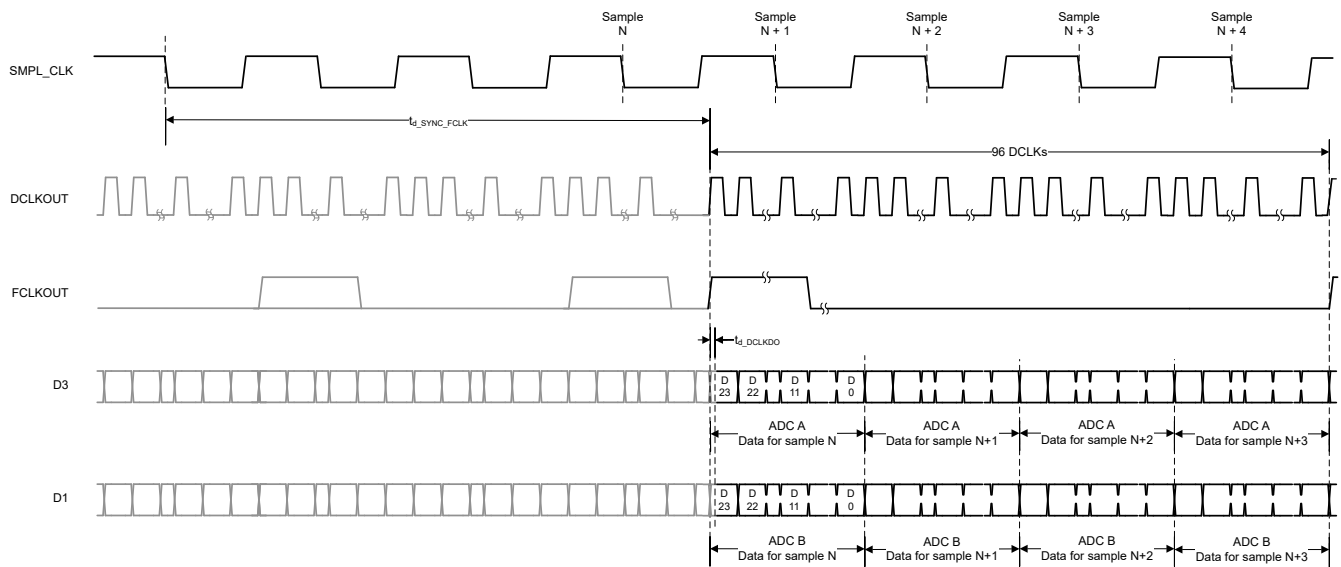


图 5-5. 2-SDO SDR CMOS 数据接口

5.9 典型特性

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $VDD_1V8 = 1.8V$, 内部 $V_{REF} = 4.096V$, $\pm 5V$ 模拟输入范围, 最大吞吐量 (除非另有说明)

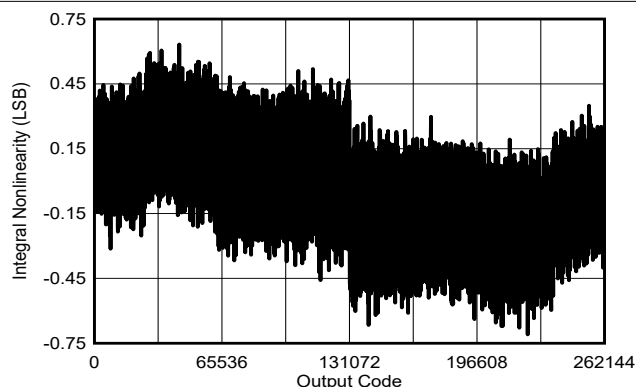


图 5-6. 使用低带宽 LPF 时的典型 INL

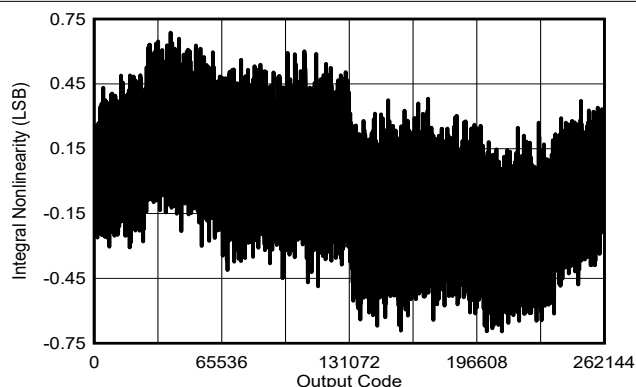


图 5-7. 具有宽带宽 LPF 的典型 INL

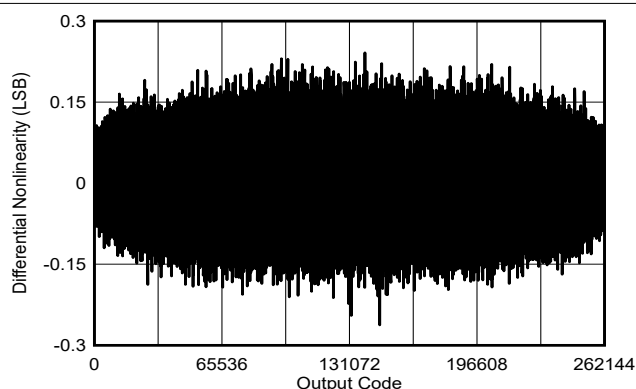


图 5-8. 具有低噪声 LPF 的典型 DNL

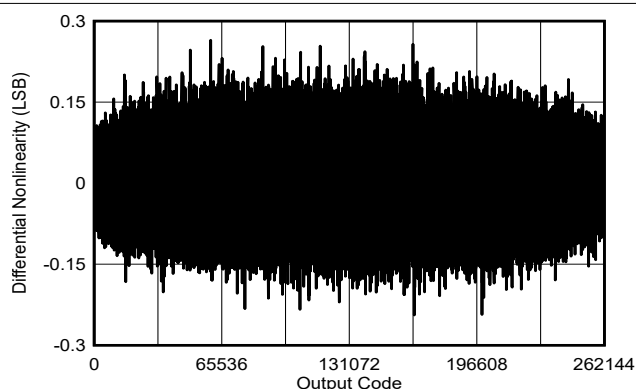
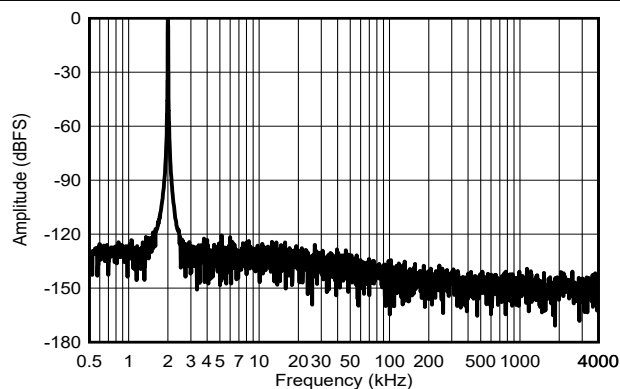
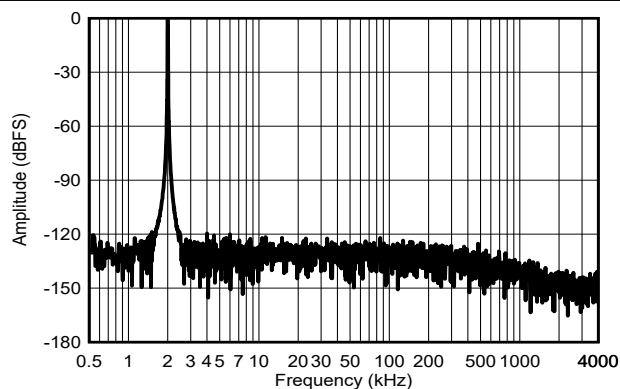


图 5-9. 具有宽带宽 LPF 的典型 DNL



$f_{IN} = 2\text{kHz}$ 时, $SNR = 91.02\text{dBFS}$, $THD = -117\text{dB}$

图 5-10. 使用低带宽 LPF 时的典型 FFT ,
RANGE = $\pm 5V$



$f_{IN} = 2\text{kHz}$ 时, $SNR = 84.4\text{dBFS}$, $THD = -116.8\text{dB}$

图 5-11. 使用宽带宽 LPF 时的典型 FFT ,
RANGE = $\pm 5V$

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $VDD_1V8 = 1.8V$, 内部 $V_{REF} = 4.096V$, $\pm 5V$ 模拟输入范围, 最大吞吐量 (除非另有说明)

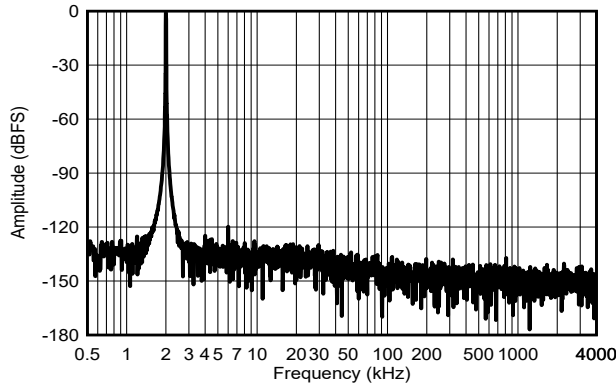


图 5-12. 使用低带宽 LPF 时的典型 FFT,
RANGE = $\pm 10V$

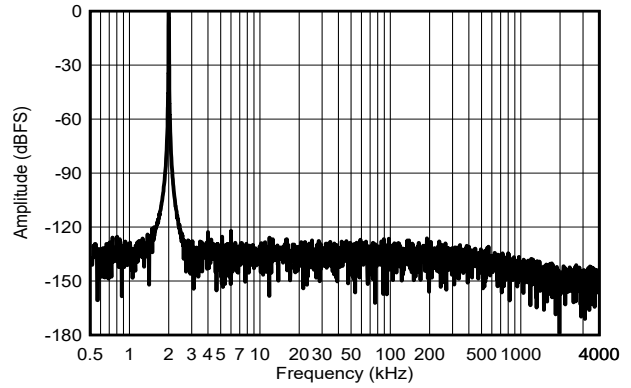
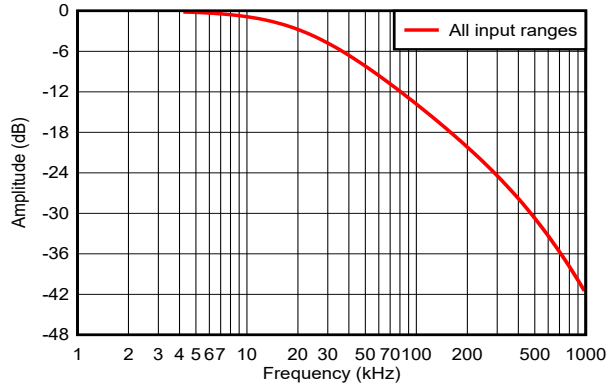


图 5-13. 使用宽带宽 LPF 时的典型 FFT,
RANGE = $\pm 10V$



典型带宽 (-3dB) = 21.2kHz

图 5-14. 输入范围内的低带宽 LPF 频率响应

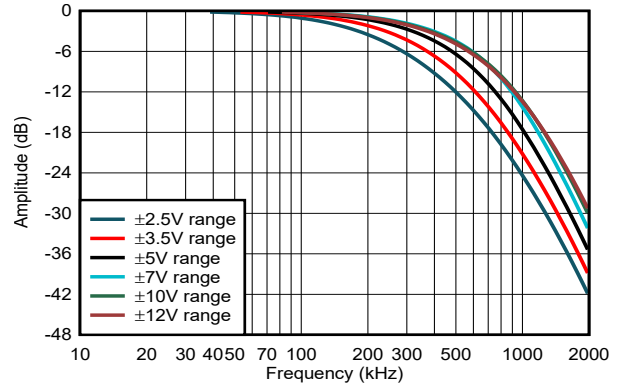


图 5-15. 输入范围内的宽带宽 LPF 频率响应

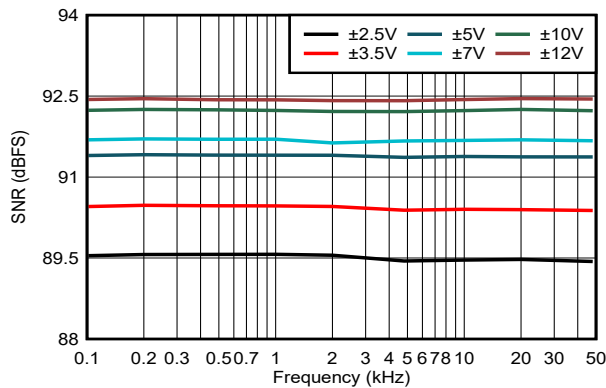


图 5-16. 具有低带宽 LPF 时输入范围内的 SNR 与输入信号频率间的关系

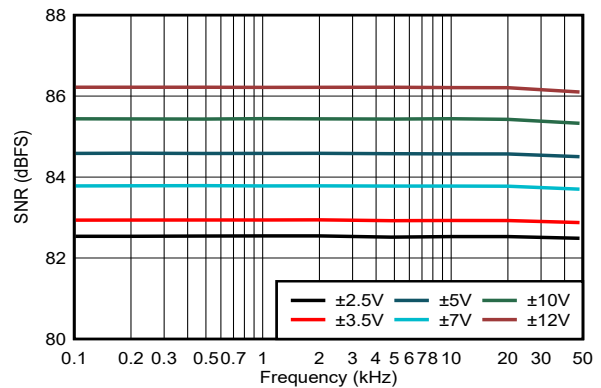


图 5-17. 具有宽带宽 LPF 时输入范围内的 SNR 与输入信号频率间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $VDD_1V8 = 1.8V$, 内部 $V_{REF} = 4.096V$, $\pm 5V$ 模拟输入范围, 最大吞吐量 (除非另有说明)

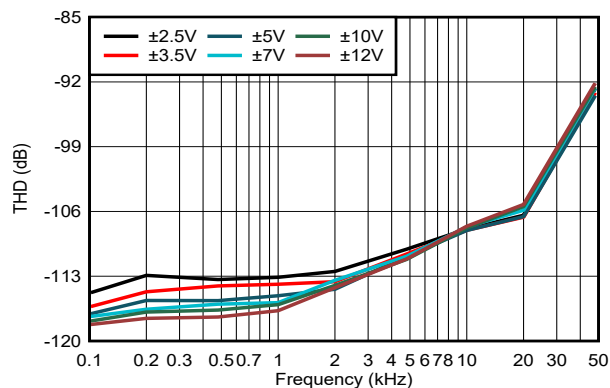


图 5-18. 具有低带宽 LPF 时输入范围内的 THD 与输入信号频率间的关系

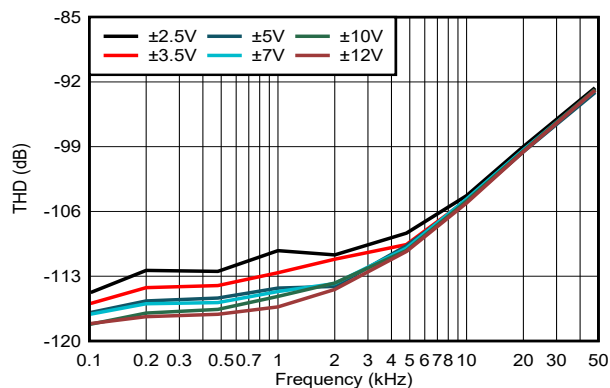


图 5-19. 具有宽带宽 LPF 时输入范围内的 THD 与输入信号频率间的关系

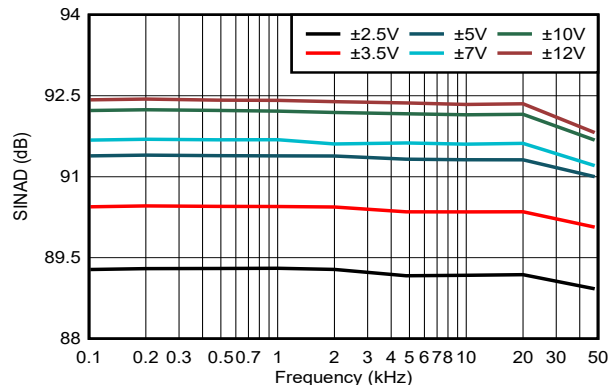


图 5-20. 具有低带宽 LPF 时输入范围内的 SINAD 与输入信号频率间的关系

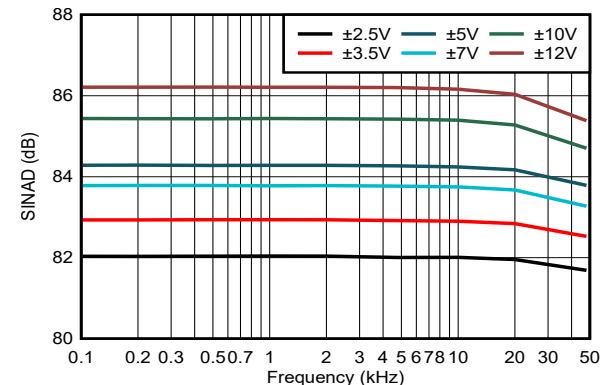


图 5-21. 具有宽带宽 LPF 时输入范围内的 SINAD 与输入信号频率间的关系

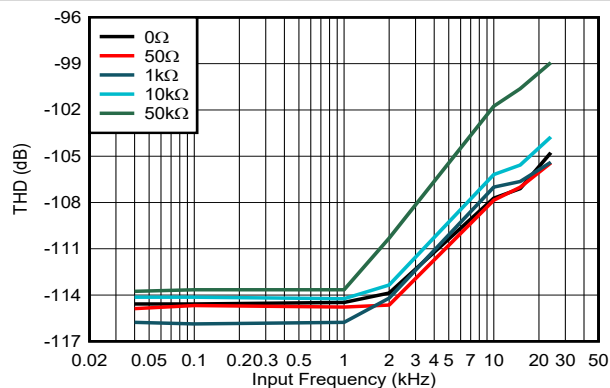


图 5-22. THD 与输入频率间的关系, 低带宽模式, RANGE = $\pm 5V$, ADS9212

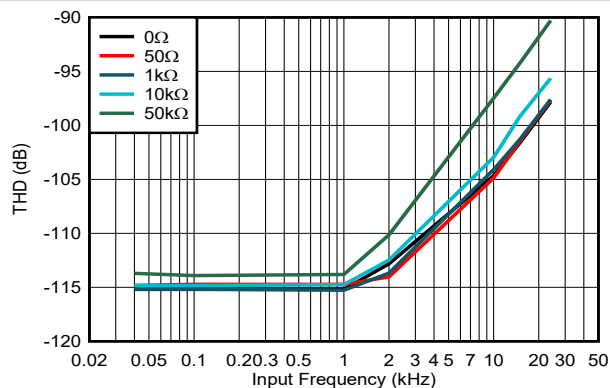


图 5-23. THD 与输入频率间的关系, 高带宽模式, RANGE = $\pm 5V$, ADS9212

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $VDD_1V8 = 1.8V$, 内部 $V_{REF} = 4.096V$, $\pm 5V$ 模拟输入范围, 最大吞吐量 (除非另有说明)

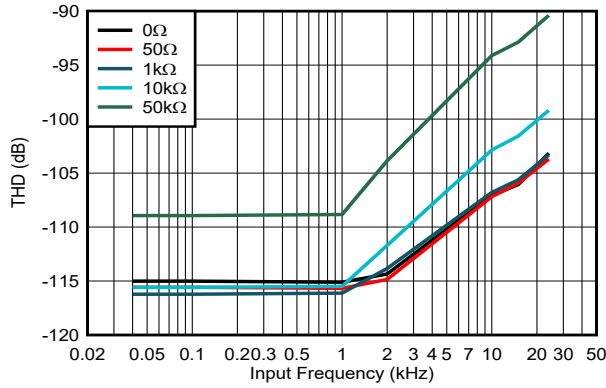


图 5-24. THD 与输入频率间的关系, 低带宽模式, $RANGE = \pm 10V$, ADS9212

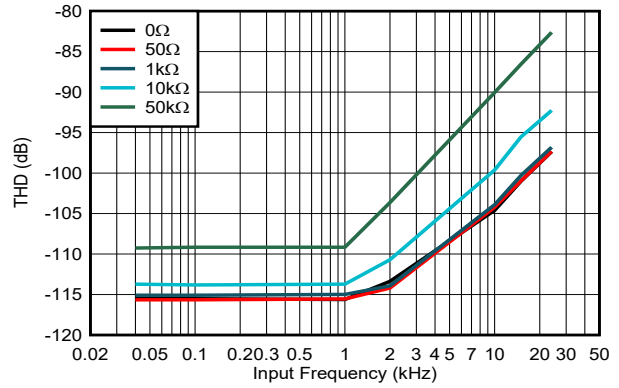


图 5-25. THD 与输入频率间的关系, 高带宽模式, $RANGE = \pm 10V$, ADS9212

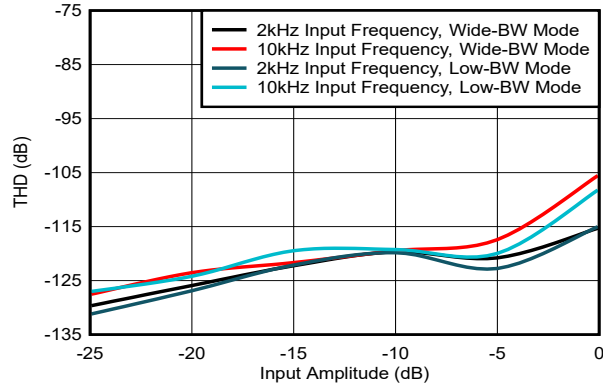


图 5-26. THD 与输入振幅间的关系, $RANGE = \pm 5V$

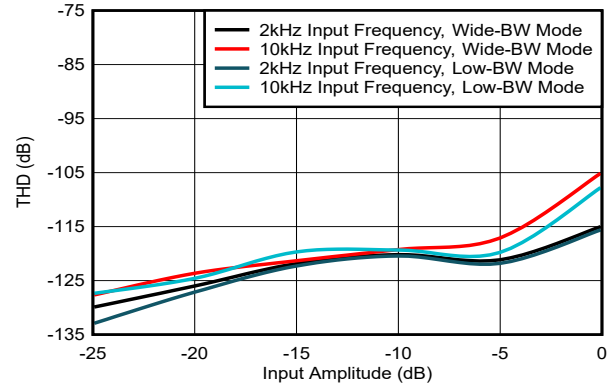


图 5-27. THD 与输入振幅间的关系, $RANGE = \pm 10V$

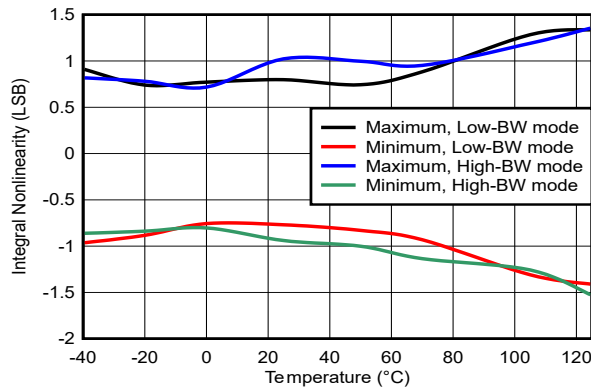


图 5-28. INL 与温度间的关系

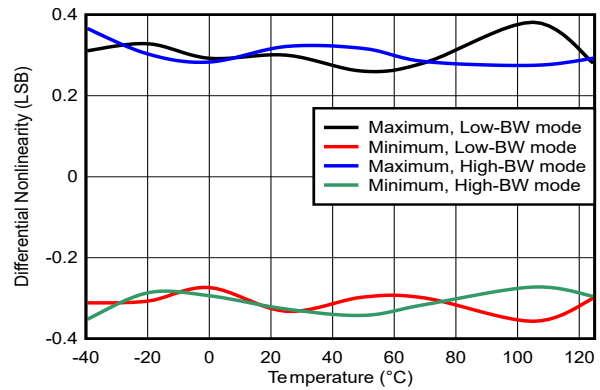


图 5-29. DNL 与温度间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $VDD_1V8 = 1.8V$, 内部 $V_{REF} = 4.096V$, $\pm 5V$ 模拟输入范围, 最大吞吐量 (除非另有说明)

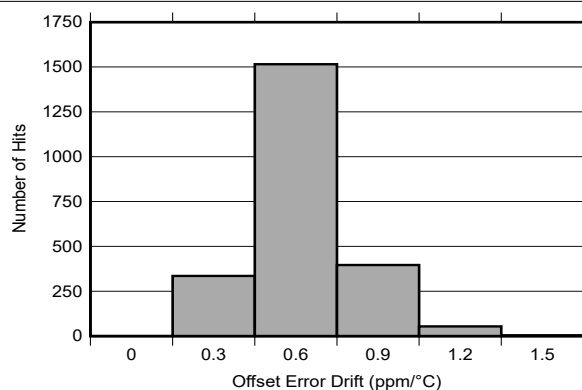


图 5-30. 失调电压误差温漂直方图

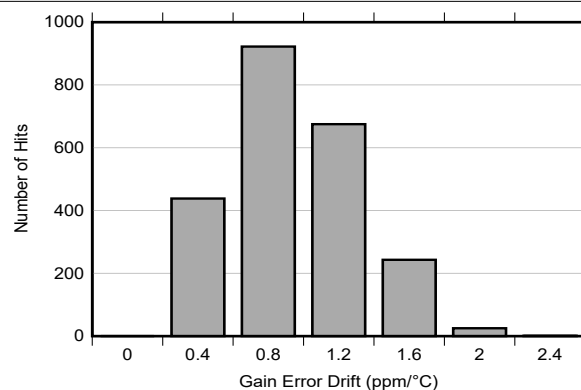


图 5-31. 增益误差漂移直方图

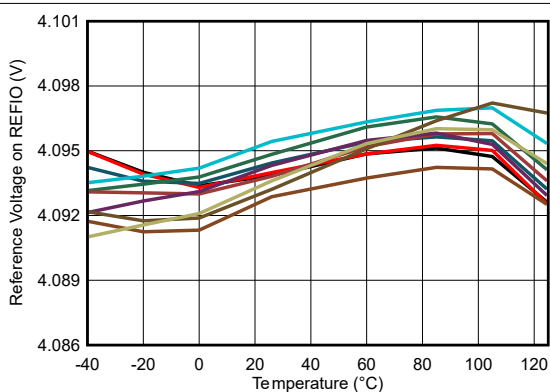


图 5-32. REFIO 与温度间的关系

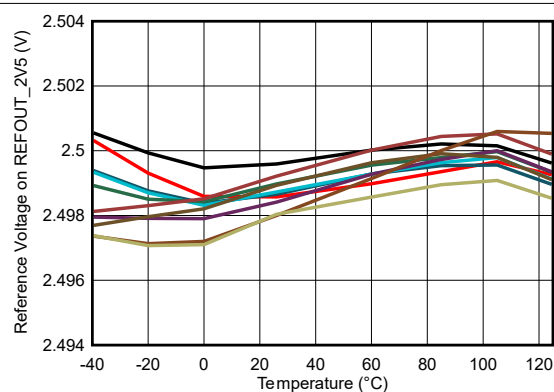


图 5-33. REFOUT_2V5 与温度间的关系

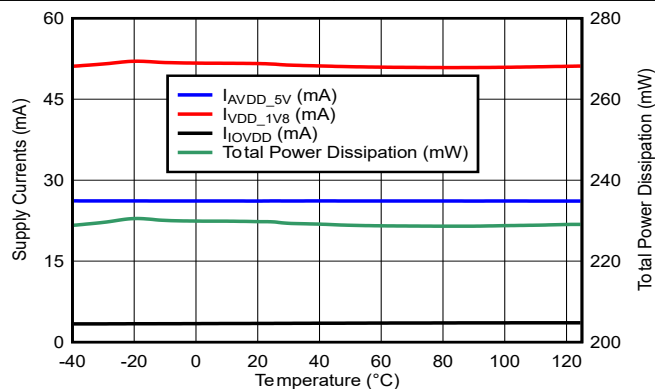


图 5-34. 电源电流和总功率损耗与温度间的关系

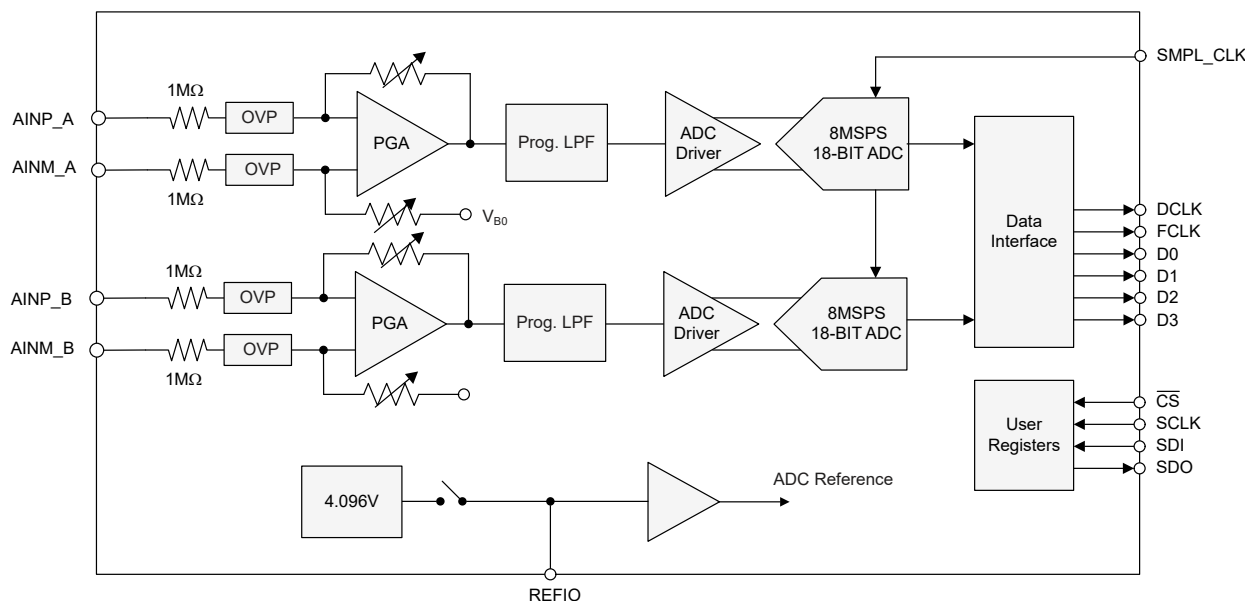
6 详细说明

6.1 概述

ADS9212 是一款 18 位数据采集 (DAQ) 系统，具有可配置为单端或差分的两通道模拟输入。每个模拟输入通道都包含一个输入钳位保护电路和一个具有用户可选带宽选项的可编程增益放大器 (PGA)。根据逐次逼近寄存器 (SAR) 架构，输入信号使用一个 18 位模数转换器 (ADC) 进行数字化。对于所有通道，此整体系统可实现 8MSPS/通道的最大吞吐量。该器件具有 4.096V 内部基准和快速稳定缓冲器。

该器件由 5V 和 1.8V 模拟电源供电，并且可适应真正双极输入信号。输入钳位保护电路可承受高达 $\pm 18V$ 的电压。该器件提供了一个 $1M\Omega$ 的恒定阻性输入阻抗 (无论采样频率或所选输入范围为何)。ADS9212 提供了一种简化的终端设计，无需外部高电压双极电源和复杂的驱动器电路。

6.2 功能方框图



6.3 特性说明

6.3.1 模拟输入

ADS9212 整合了两个同步采样 18 位逐次逼近寄存器 (SAR) 模数转换器 (ADC)。该器件共有两个模拟输入对。ADC 将模拟输入对 AINP_x - AINM_x 之间的电压差数字化。下图显示了每个模拟输入通道的简化电路原理图，包括输入钳位保护电路、PGA、低通滤波器、高速 ADC 驱动器和 18 位精密 SAR ADC。

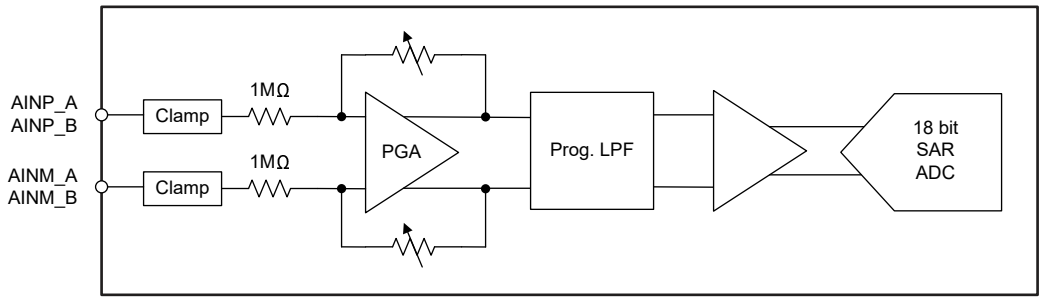


图 6-1. 选定模拟输入通道的前端电路原理图

6.3.1.1 输入钳位保护电路

ADS9212 的两个模拟输入通道上分别具有内部钳位保护电路；请参阅图 6-1。输入钳位保护电路允许每个模拟输入摆动至最大电压 $\pm 18\text{V}$ 。输入电压超过 $\pm 18\text{V}$ 后，输入钳位电路将导通，并且仍由 5V 单电源供电。图 6-2 显示了输入钳位电流与电压间的关系的典型特性曲线。

如果输入电压高于钳位阈值，请确保输入电流绝不会超过 $\pm 10\text{mA}$ 。与模拟输入串联的电阻器是限制输入电流的有效方法。除了限制输入电流之外，该串联电阻器与电容器耦合时还可以提供抗混叠低通滤波器 (LPF)。匹配 AINxP 和 AINxM 引脚上的外部源阻抗可消除任何额外的失调电压误差。

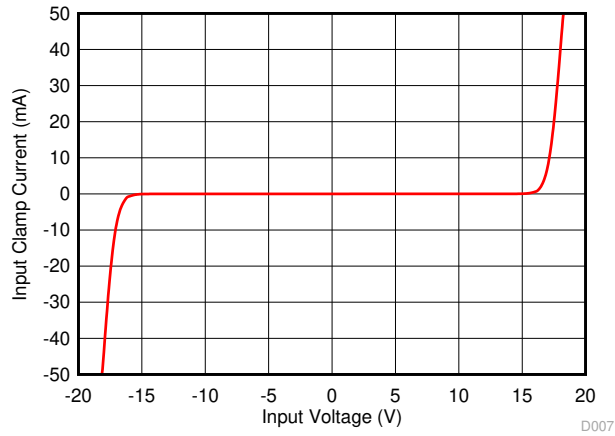


图 6-2. 输入保护钳位曲线 - 输入钳位电流与电源电压

6.3.1.2 可编程增益放大器 (PGA)

ADS9212 的每个模拟输入通道都有一个 PGA。PGA 支持具有双极信号摆幅的单端和差分输入。表 6-1 列出了支持的模拟输入范围。可以使用地址 0xC2 和地址 0xC3 中的 RANGE_ADC_x 寄存器字段为每个通道独立配置模拟输入范围。

表 6-1. 模拟输入范围

差分输入	单端输入	RANGE_ADC_x 配置
$\pm 12\text{V}$	$\pm 12\text{V}$	5
$\pm 10\text{V}$	$\pm 10\text{V}$	4

表 6-1. 模拟输入范围 (续)

差分输入	单端输入	RANGE_ADC_x 配置
±7V	±7V	3
±5V	±5V	0
±3.5V	±3.5V	1
±2.5V	±2.5V	2

每个模拟输入通道在 PGA 输出端都有一个抗混叠低通滤波器 (LPF)。表 6-2 列出了 ADS9212 中与模拟输入范围对应的各种可编程 LPF 选项。图 5-14 和图 5-15 展示了低带宽和宽带宽 LPF 配置的频率响应。可以使用寄存器组 1 的地址 0xC0 中的 BW_ADC_A 和 BW_ADC_B 位为两个模拟输入通道选择模拟输入带宽。

表 6-2. 低通滤波器转角频率

LPF	模拟输入范围	转角频率 (– 3dB)
低带宽	所有输入范围	21kHz
宽带宽	±12V	375kHz
	±10V	385kHz
	±7V	400kHz
	±5V	320kHz
	±3.5V	240kHz
	±2.5V	182kHz

6.3.1.3 宽共模电压抑制电路

ADS9212 在模拟输入端具有共模 (CM) 抑制电路，支持高达 ±12V 的 CM 电压。差分输入的 CM 电压由方程式 1 计算得出。上电时或复位后，模拟输入通道的共模电压范围为 ±12V (CM_CTRL_EN = 0b)。在所有情况下，模拟输入端的电压都必须处于绝对最大额定值范围内。

$$\text{Common mode voltage} = \frac{(\text{Voltage on AINP}) + (\text{Voltage on AINM})}{2} \quad (1)$$

如下表所述，可以针对差分输入的各种 CM 电压优化 CM 电压抑制电路。

表 6-3. 适用于差分输入的宽共模配置

共模 (CM) 范围	CM_CTRL_EN	ADC A		ADC B	
		CM_EN_ADC_A	CM_RNG_ADC_A [1:0]	CM_EN_ADC_B	CM_RNG_ADC_B [1:0]
CM ≤ ±1V	1	0	无关位	0	无关位
CM ≤ ±RANGE / 2		1	0	1	0
CM ≤ ±6V			1		1
CM ≤ ±12V			2		2

在使用单端输入时，还必须根据 PGA 的模拟输入范围来配置 CM 电压抑制电路。下表列出了在使用单端输入的情况下，针对各种模拟输入电压范围的建议配置。

表 6-4. 适用于单端输入的宽共模配置

PGA 模拟输入范围	CM_CTRL_EN	ADC A		ADC B	
		CM_EN_ADC_A	CM_RNG_ADC_A [1:0]	CM_EN_ADC_B	CM_RNG_ADC_B [1:0]
±2.5V、±3.5V 和 ±5V	1	0	无关位	0	无关位
±7V、±10V 和 ±12V		1	0	1	0

6.3.1.4 增益误差校准

ADS9212 具有校准逻辑，可更大限度地减小模拟输入的增益误差。启用增益误差校准以更大限度地减小增益误差。可以通过配置 GE_CAL_EN1 (地址 = 0xD)、GE_CAL_EN2、GE_CAL_EN3 (地址 = 0x33) 和 GE_CAL_EN4 (地址 = 0x34) 来启用增益误差校准。

如果未启用增益误差校准 (如表 6-5 所示)，则满量程模拟输入范围会按照 1.024 的系数增加。

表 6-5. 模拟输入范围与增益误差校准间的关系

RANGE_ADC_x 配置	经过校准的模拟输入范围	未经校准的模拟输入范围
5	±12V	±12.288V
4	±10V	±10.24V
3	±7V	±7.168V
0	±5V	±5.12V
1	±3.5V	±3.584V
2	±2.5V	±2.56V

6.3.2 ADC 传递函数

ADS9212 以直接二进制或二进制补码格式输出 18 位转换数据。所有模拟通道的输出代码格式均相同。可以使用寄存器组 1 中地址 0xD 中的 DATA_FORMAT 字段选择输出代码的格式。图 6-3 和表 6-6 展示了 ADS9212 的传递特性。LSB 大小取决于所选的模拟输入范围、增益误差校准和系统增益误差校准，如方程式 2 所示。

$$LSB = \frac{\text{Analog input range}}{2^{18}} \times (1 + G \times 0.024) \quad (2)$$

其中：

- 启用增益误差校准时，G 为 0，否则 G 为 1；请参阅[增益误差校准](#)部分

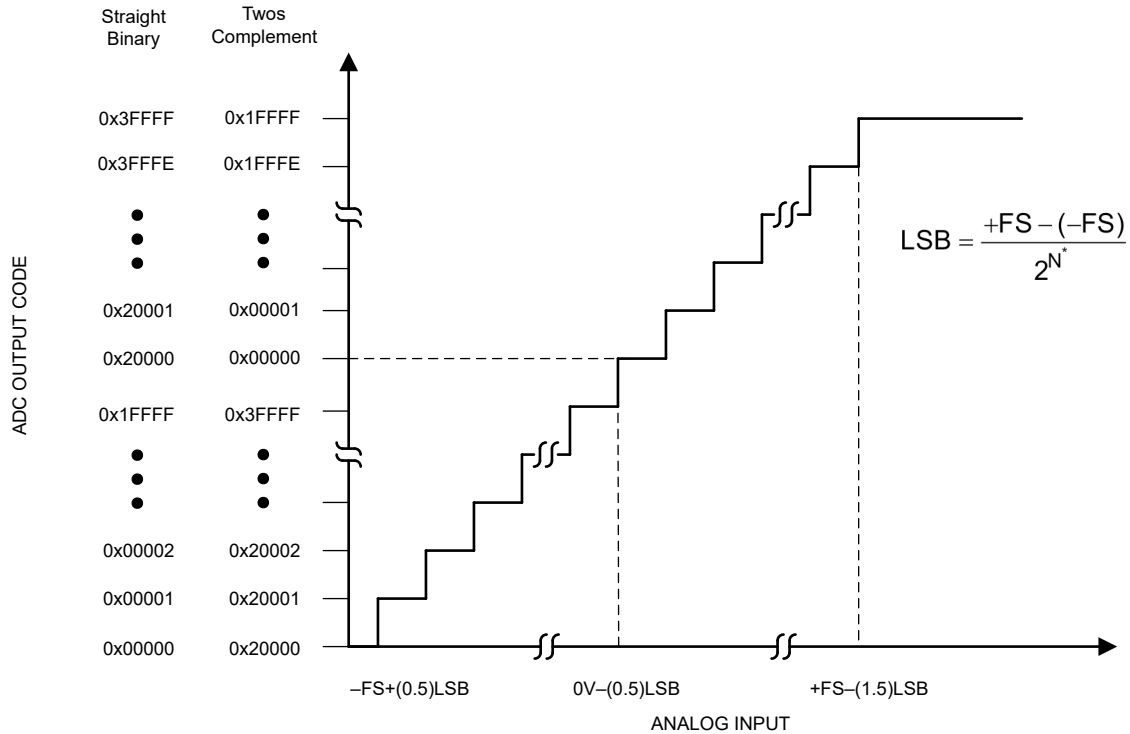


图 6-3. 传输特性

表 6-6. ADC 满量程范围和 LSB 大小

范围	+FS	中量程	-FS	LSB
±2.5V	2.5V	0V	-2.5V	19.07μV
±3.5V	3.5V	0V	-3.5V	26.70μV
±5V	5V	0V	-5V	38.15μV
±7V	7V	0V	-7V	53.41μV
±10V	10V	0V	-10V	76.29μV
±12V	12V	0V	-12V	91.55μV

6.3.3 ADC 采样时钟输入

使用具有高压摆率的低抖动外部时钟来尽可能提高 SNR 性能。可以使用差分或单端时钟输入来操作 ADS9212。时钟幅度影响 ADC 孔径抖动，从而影响 SNR。为了获得出色 SNR 性能，请提供具有快速压摆率的时钟信号，以更大限度增加 IOVDD 和 GND 电平之间的摆幅。

采样时钟必须是持续且自由运行的时钟。在应用自由运行的采样时钟后，ADC 会生成有效的输出数据、数据时钟和帧时钟。当采样时钟停止时，ADC 会断电并且输出数据、数据时钟和帧时钟无效。

图 6-4 显示了差分采样时钟输入图。对于此配置，请将差分采样时钟输入连接到 SMPL_CLKP 和 SMPL_CLKM 引脚。图 6-5 显示了单端采样时钟输入图。在此配置中，将单端采样时钟连接到 SMPL_CLKP，并将 SMPL_CLKM 接地。

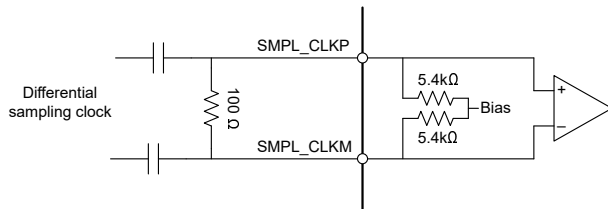


图 6-4. 交流耦合差分采样时钟

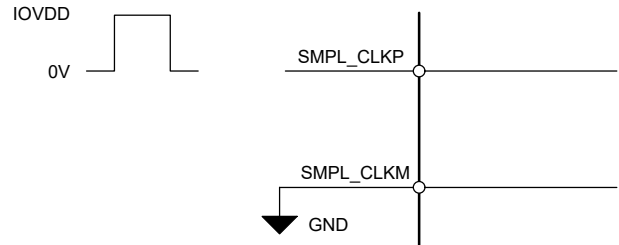


图 6-5. 单端采样时钟

6.3.4 参考

ADS9212 器件内部具有一个精密的低漂移电压基准。为了获得出色性能，可通过将 10μF 陶瓷旁路电容器连接到 REFIO 引脚来过滤内部基准噪声。通过对寄存器组 1 地址 0xC1 写入 PD_REF = 1b，还可以在 REFIO 引脚上连接外部基准并且可以禁用内部基准电压。

6.3.4.1 内部基准电压

ADS9212 具有标称输出电压为 4.096V 的内部基准电压。上电时，内部基准电压默认启用。如图 6-6 所示，在 REFIO 引脚和 REFM 引脚之间放置一个最小 10μF 的去耦电容器。

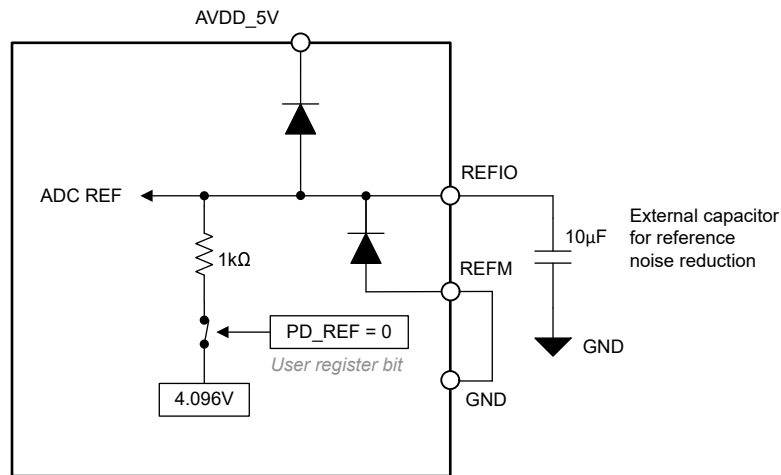


图 6-6. 内部基准电压

6.3.4.2 外部基准电压

可将外部 4.096V 基准电压 (如图 6-7 所示) 连接到 REFIO 引脚, 并在 REFIO 引脚和 REFM 引脚之间放置一个适当的去耦电容器。为了提高热漂移性能, TI 建议使用 REF7040。要禁用内部基准, 请在寄存器组 1 的地址 0xC1 中设置 PD_REF = 1b。REFIO 引脚具有连接到 AVDD_5V 引脚和 REFM 引脚的 ESD 保护二极管。

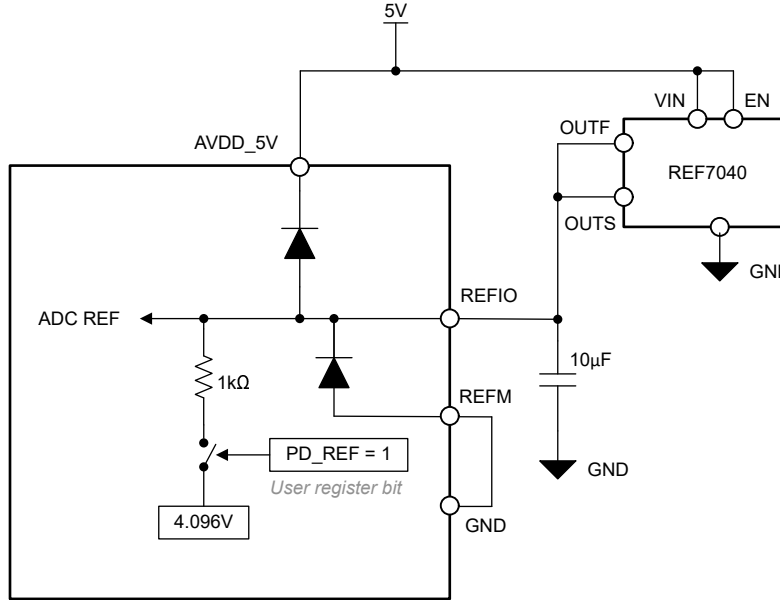


图 6-7. 外部基准电压

6.3.5 数据接口

ADS9212 支持具有单倍数据速率 (SDR) 和双倍数据速率 (DDR) 接口模式的 2 通道和 4 通道模式。可以使用配置 SPI 选择数据接口, 如表 6-7 中所述。ADC 生成数据 (D[3:0])、数据时钟 (DCLKOUT) 和帧时钟 (FCLKOUT), 以响应 SMPL_CLK 输入引脚上的采样时钟信号。18 位 ADC 转换结果以 MSB 优先的方式在 24 位数据包中输出, 最后六位为零。

数据接口信号可被描述为:

- D[3:0]: ADC 的数据输出。在 4 通道模式下, 使用全部四个通道, 而在 2 通道模式下, D3 和 D1 用于输出 ADC 数据。
- DCLKOUT: ADC 的数据时钟输出。
- FCLKOUT: ADC 的帧时钟输出, 定界每组 2 通道数据。

使用表 6-7 中的寄存器配置数据接口。

表 6-7. 接口模式的寄存器配置

接口模式	图表	DATA_RATE (地址 = 0xC1)	DATA_LANES (地址 = 0xC1)
4 通道, DDR	图 5-2	0	0
2 通道, DDR	图 5-3	0	1
4 通道, SDR	图 5-4	1	0
2 通道, SDR	图 5-5	1	1

6.3.5.1 数据时钟输出

ADS9212 具有源同步数据接口，ADC 通过该接口提供输出数据和用于采集数据的时钟。采集数据的时钟在 DCLKOUT 引脚上输出。时钟频率取决于采样时钟速度、数据速率 (SDR 或 DDR) 和输出通道数 (四个通道或两个通道)，具体由 [方程式 3](#) 给出。帧时钟频率由 [方程式 4](#) 给出。

$$\text{Data clock frequency} = \frac{24 \text{ bits/channel} \times 2 \text{ channels}}{\text{Number of data lanes} \times \text{Data rate (SDR} = 1, \text{DDR} = 2)} \times \text{Frame clock frequency} \quad (3)$$

$$\text{Frame clock frequency} = \frac{\text{Sampling clock frequency}}{4} \quad (4)$$

[表 6-8](#) 显示了在各种接口模式下 ADS9212 最大采样率的数据时钟频率。

表 6-8. 接口模式的数据时钟频率

接口模式	(f _{SAMPL_CLK} = 4MHz)	(f _{SAMPL_CLK} = 8MHz)
4 通道, DDR	24MHz	48MHz
2 通道, DDR	48MHz	96MHz
4 通道, SDR	48MHz	96MHz
2 通道, SDR	96MHz	不支持

6.3.5.2 ADC 输出数据随机数发生器

如 [图 6-8](#) 所示，ADS9212 具有一个数据输出数据随机数发生器。启用后，ADC 转换结果与转换结果的 LSB 进行逐位异或 (XOR) 运算。ADC 转换结果的 LSB 为 1 或 0 的概率相等。由于异或运算，ADS9212 的数据输出是随机的。通过数据接口传输该随机结果所产生的接地反弹与模拟输入电压无关。当 PCB 布局未能更大限度地减少接地反弹时，该不相关传输有助于尽可能地减少数据传输与 ADC 模拟性能之间的相互影响。

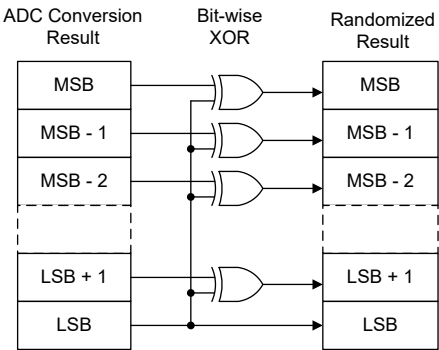


图 6-8. 逐位异或运算

6.3.5.3 数据接口测试图形

如 [图 6-9](#) 所示，ADS9212 具有主机用于调试和验证数据接口的测试图形。测试图形使用预定义的数字数据替换 ADC 输出数据。通过配置组 1 中相应的寄存器地址 0x13 至 0x1B 来启用测试图形。

[表 6-9](#) 列出了 ADS9212 支持的测试图形。

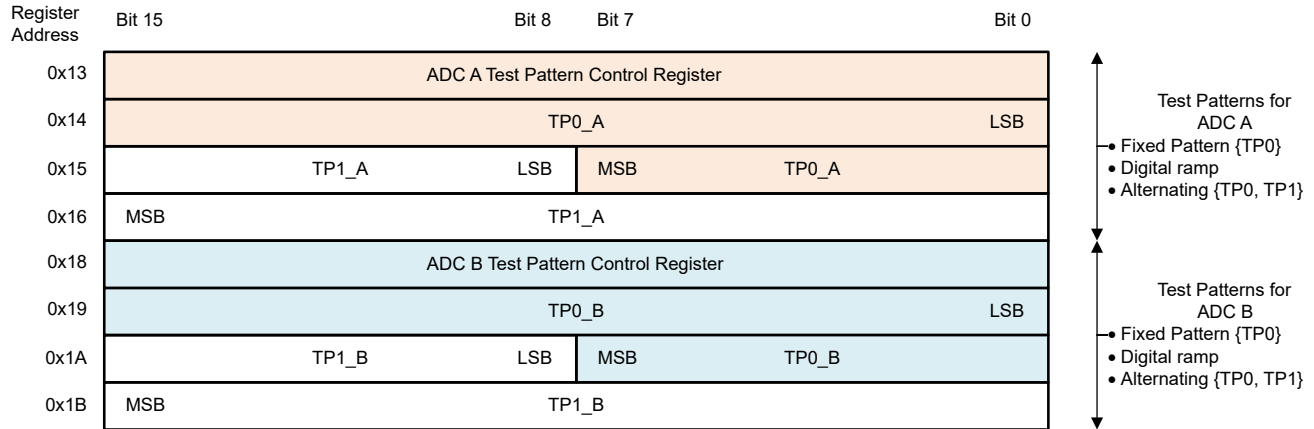


图 6-9. 用于测试图形的寄存器组

表 6-9. 测试图形配置

ADC 输出	TP_EN_ADC_A TP_EN_ADC_B	TP_MODE_ADC_A TP_MODE_ADC_B	章节	结果 ⁽¹⁾
ADC 转换结果	0			
固定图形	1	0 或 1	固定图形	ADC A = TP0_A ADC B = TP0_B
数字斜坡	1	2	数字斜坡	ADC A = 数字斜坡 ADC B = 数字斜坡
交替测试图形	1	3	交替测试图形	ADC A = TP0_A, TP1_A ADC B = TP0_B, TP1_B

(1) 为两个单独的通道组 ADC A 和 ADC B 配置测试图形。

6.3.5.3.1 固定图形

ADC 分别输出在 TP0_A 和 TP0_B 寄存器中定义的固定图形，以代替 ADC A 和 ADC B 数据。

- 在 TP0_A 和 TP0_B 中配置测试图形
- 设置 TP_EN_ADC_A = 1、TP_MODE_ADC_A = 0 (地址 = 0x13)、TP_EN_ADC_B = 1 以及 TP_MODE_ADC_B = 0 (地址 = 0x18)

6.3.5.3.2 数字斜坡

ADC 分别以 RAMP_INC_A 和 RAMP_INC_B 寄存器中指定的增量输出数字斜坡值，以代替 ADC A 和 ADC B 数据。

- 分别在 RAMP_INC_A (地址 = 0x13) 和 RAMP_INC_B (地址 = 0x18) 寄存器中配置数字斜坡的两个连续阶跃之间的增量值。数字斜坡递增 $N + 1$ ，其中 N 是在这些寄存器中配置的值。
- 设置 TP_EN_ADC_A = 1、TP_MODE_ADC_A = 2 (地址 = 0x13)、TP_EN_ADC_B = 1 以及 TP_MODE_ADC_B = 2 (地址 = 0x18)

6.3.5.3.3 交替测试图形

ADC 分别输出在 TP0_A、TP1_A 和 TP0_B、TP1_B 寄存器中定义的交替测试图形，以代替 ADC A 和 ADC B 数据。

- 配置 TP0_A、TP1_A、TP0_B 和 TP1_B 中的测试图形
- 设置 TP_EN_ADC_A = 1、TP_MODE_ADC_A = 3 (地址 = 0x13)、TP_EN_ADC_B = 1 以及 TP_MODE_ADC_B = 3 (地址 = 0x18)

6.4 器件功能模式

6.4.1 断电

可以通过 $\overline{\text{PWDN}}$ 引脚上的逻辑 0 或通过向寄存器组 1 中地址 0xC0 中的 PD_CH 字段写入 11b 将 ADS9212 断电。器件寄存器设置会保留。

6.4.2 复位

可以通过 $\overline{\text{RESET}}$ 引脚上的逻辑 0 或通过向寄存器组 0 中地址 0x00 中的 RESET 字段写入 1b 将 ADS9212 断电并复位。复位后，器件寄存器初始化为默认值，必须通过一系列寄存器写入操作对器件进行初始化；请参阅 [初始化序列](#) 部分。

6.4.3 初始化序列

如表 6-10 所示，必须通过在器件上电或复位后进行一系列寄存器写入来初始化 ADS9212。在执行初始化序列之前，必须将自由运行的采样时钟连接到 ADC。初始化序列完成后，使用默认值初始化 ADS9212 寄存器。

表 6-10. ADS9212 初始化序列

步骤编号	寄存器			注释
	BANK	地址	VALUE[15:0]	
1	0	0x03	0x0002	选择寄存器组 1
2	1	0xF6	0x0002	INIT_2 = 1
3	0	0x04	0x000B	INIT_1 = 1011b
4	0	0x03	0x0010	选择寄存器组 2
5	2	0x12	0x0040	INIT_3 = 1
6	2	0x13	0x8000	INIT_4 = 1
7	2	0x0A	0x4000	INIT_5 = 1
8	等待 10 μ s (最小值)			
9	2	0x0A	0x0000	INIT_5 = 0
10	0	0x03	0x0002	选择寄存器组 1
11	1	0xF6	0x0000	INIT_2 = 0
12	0	0x03	0x0010	选择寄存器组 2
13	2	0x13	0x0000	INIT_5 = 0
14	2	0x12	0x0000	INIT_4 = 0
15	2	0x19	0x0E00	INIT_4A = 111b
16	2	0x1F	0x1800	INIT_5A = 11b
17	0	0x04	0x0000	INIT_1 = 0
18	0	0x03	0x0002	选择寄存器组 1
19	1	0x33	0x0030	写入 INIT_KEY
20	1	0xF4	0x0000	INIT = 0
21	1	0xF4	0x0002	INIT = 1
22	等待 1ms (最小值)			
23	1	0xF4	0x0000	INIT = 0
24	等待 1ms (最小值)			
25	1	0x33	0x0000	INIT_KEY = 0
26	1	0x0D	<用户定义>	启用增益误差校准，并选择 ADC 输出数据格式
27	1	0x33	0x2040	启用增益误差校准
28	1	0x34	0x0010	启用增益误差校准
29	1	0x37	0x0005	器件初始化

如表 6-11 所示，可以针对用户定义的配置更改 ADS9212 的默认设置：

- 模拟输入：模拟输入范围、带宽和共模电压范围
- 数据接口：输出通道数、单倍或双倍数据速率

表 6-11. ADS9212 用户配置

STEP	寄存器			注释
	BANK	地址	VALUE[15:0]	
1	1	0xC1	<用户定义>	配置数据接口（数据速率、通道数）并选择内部或外部基准
2	1	0xC2 和 0xC3	<用户定义>	选择模拟输入范围。请参阅表 6-1。
3	1	0xC0	<用户定义>	选择模拟输入带宽。请参阅表 6-2。
4	1	0xC4 和 0xC5	<用户定义>	选择模拟输入的共模范围。请参阅表 6-3 和表 6-4。

6.4.4 正常运行

ADS9212 完成初始化后（请参阅表 6-10），ADS9212 将模拟输入电压转换为数字输出。器件正常运行需要一个自由运行的采样时钟；请参见 ADC 采样时钟输入 部分。

6.5 编程

6.5.1 寄存器写入

通过设置 SPI_RD_EN = 0b 来启用寄存器写入访问。16 位配置寄存器分为三个寄存器组，可以使用 8 位寄存器地址进行寻址。通过配置 REG_BANK_SEL 位，选择寄存器组 1 和寄存器组 2 进行读取或写入操作。无论 REG_BANK_SEL 位如何，组 0 中的寄存器始终都是可访问的。这些寄存器地址是唯一的，因此不在寄存器组 1 和 2 中使用。

如图 6-10 所示，写入寄存器的步骤包括：

1. 第 1 帧：写入寄存器组 0 中的寄存器地址 0x03，以选择寄存器组 1 或组 2 进行后续寄存器写入。当写入组 0 中的寄存器时，该帧不起作用。
2. 第 2 帧：写入第 1 帧中选择的组中的寄存器。重复此步骤以写入同一寄存器组中的多个寄存器。

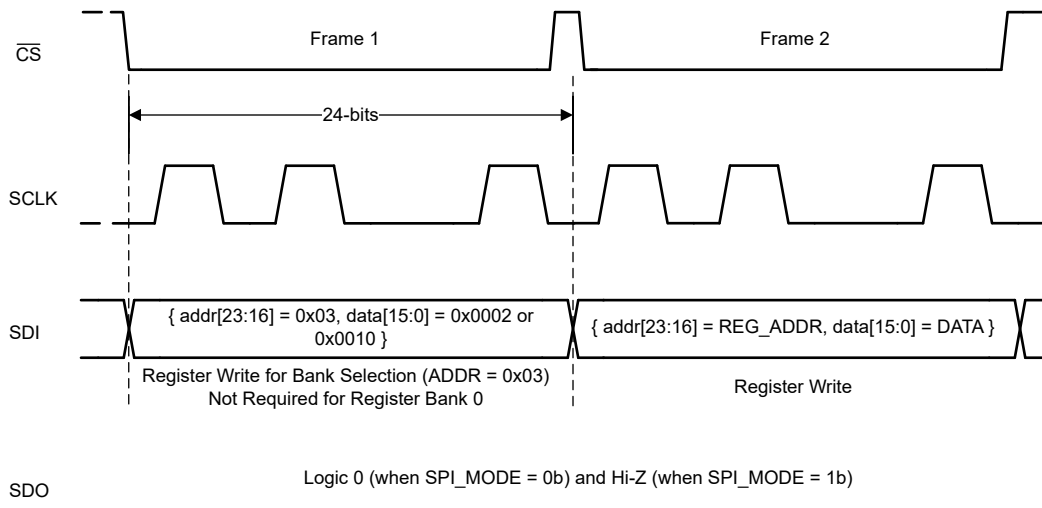


图 6-10. 寄存器写入

6.5.2 寄存器读取

通过写入寄存器组 0 中的寄存器地址 0x03 来选择所需的寄存器组。通过在寄存器组 0 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b 来启用寄存器读取访问。如图 6-11 所示，设置 SPI_RD_EN 和 SPI_MODE 后，可以使用两个 24 位 SPI 帧来读取寄存器。第一个 SPI 帧选择寄存器组。ADC 在第二个 SPI 帧中返回与该 8 位寄存器地址对应的 16 位寄存器值。

如图 6-11 所示，读取寄存器的步骤如下：

1. 第 1 帧：当 SPI_RD_EN = 0b 时，写入寄存器组 0 中的寄存器地址 0x03，以选择所需的寄存器组进行读取。
2. 第 2 帧：在寄存器组 0 的寄存器地址 0x00 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b。
3. 第 3 帧：使用包含所需寄存器地址的 24 位 SPI 帧读取所选组中的任何寄存器。对所选组中的任意寄存器地址重复此步骤以读取相应的寄存器。
4. 第 4 帧：设置 SPI_RD_EN = 0 以禁用寄存器读取并重新启用寄存器写入。
5. 重复步骤 1 到 4 以读取不同组中的寄存器。

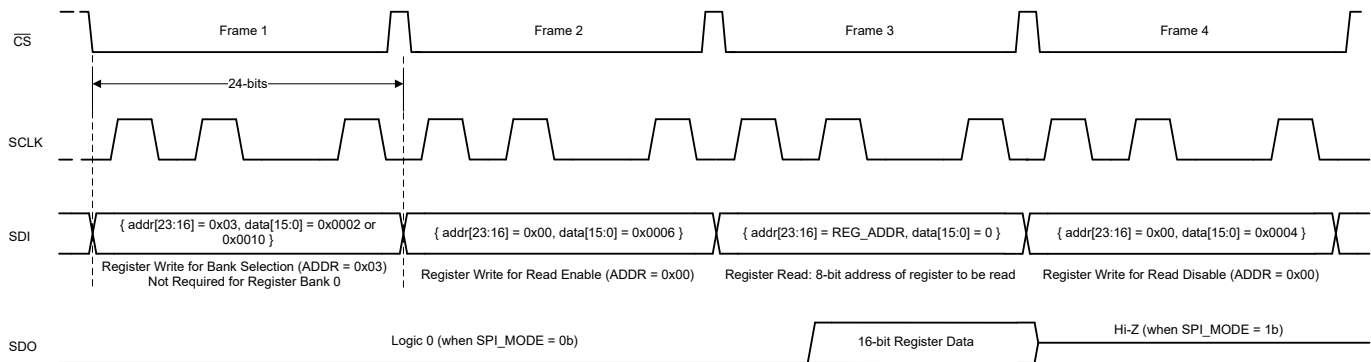


图 6-11. 寄存器读取

6.5.3 多个器件：SPI 配置的菊花链拓扑

图 6-12 显示了在菊花链拓扑中有多个器件的典型连接图。

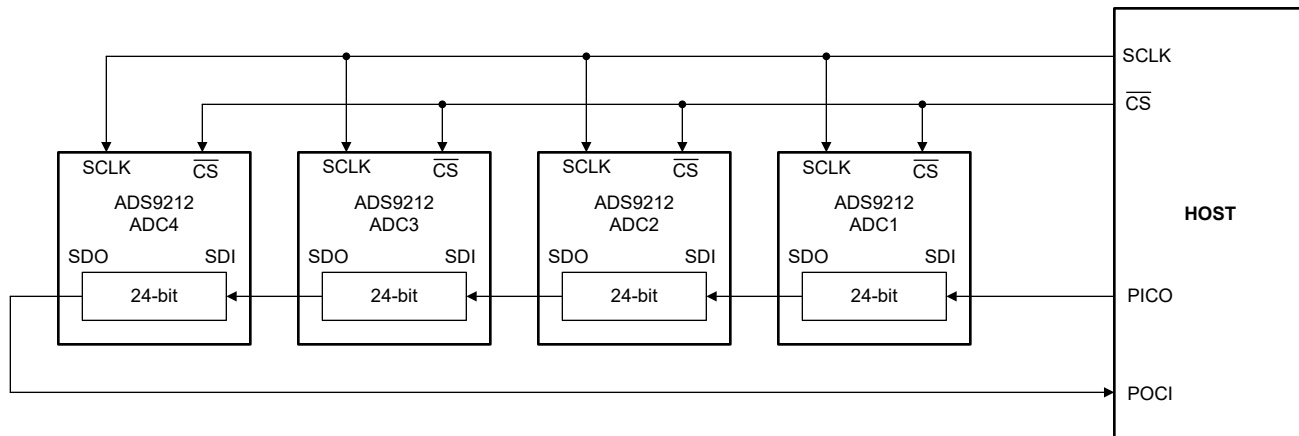


图 6-12. SPI 配置的菊花链连接

所有 ADC 的 $\overline{CS}$ 输入和 SCLK 输入都连接在一起，分别由控制器的单个 $\overline{CS}$ 引脚和 SCLK 引脚控制。链中第一个 ADC (ADC1) 的 SDI 输入引脚连接到控制器的外设 IN 控制器 OUT (PICO) 引脚，ADC1 的 SDO 输出引脚连接到 ADC2 的 SDI 输入引脚，依此类推。链中最后一个 ADC (ADC4) 的 SDO 输出引脚连接到控制器的外设 OUT 控制器 IN (POCI) 引脚。只要 $\overline{CS}$ 处于活动状态，PICO 引脚上的数据就会以 24SCLK 延迟通过 ADC1。

必须在上电或器件复位后启用菊花链模式。在 DAISY_CHAIN_LEN 寄存器中设置菊花链长度以启用菊花链模式。菊花链长度是链中 ADC 数量，不包括 ADC1。在图 6-12 中，DAISY_CHAIN_LEN = 3。

6.5.3.1 菊花链中的寄存器写入

写入菊花链配置中的寄存器需要一个 SPI 帧中具有 $N \times 24$ 个 SCLK。包含四个 ADC 的菊花链中的寄存器写入 (如图 6-13 所示) 需要 96 个 SCLK。

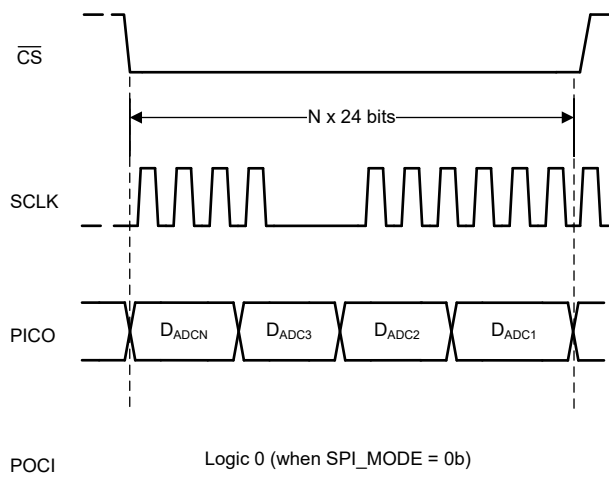


图 6-13. 菊花链中的寄存器写入

菊花链模式在上电或器件复位后启用。配置 DAISY_CHAIN_LEN 字段以启用菊花链模式。图 6-13 中显示的波形必须重复 N 次，其中 N 是菊花链中 ADC 的数量。图 6-14 提供了包含 N 个 SPI 帧的 SPI 波形，用于为 N 个 ADC 启用菊花链模式。

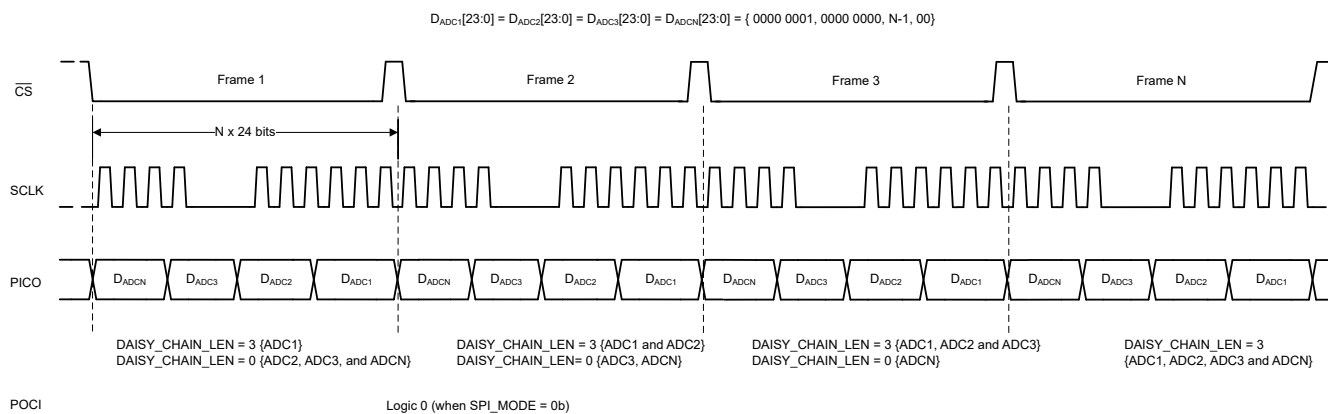


图 6-14. 写入寄存器以配置菊花链长度

6.5.3.2 菊花链中的寄存器读取

图 6-15 展示了读取菊花链配置中的寄存器的 SPI 波形。从以菊花链方式连接的 N 个 ADC 中读取寄存器的步骤如下：

1. 通过使用 [菊花链中的寄存器写入](#) 对以下寄存器进行写入来启用寄存器读取：
 - a. 写入 PAGE_SEL 以选择所需的寄存器组。
 - b. 通过写入 SPI_RD_EN = 0b 和 SPI_MODE = 0b 启用寄存器读取 (默认上电时启用)。
2. 选择寄存器组时，控制器可以按以下两个步骤读取寄存器数据：
 - a. 将包含要读取的 8 位寄存器地址的 24 位 SPI 帧乘以 N ： N 倍 {0xFE、0x00、8 位寄存器地址}
 - b. 将用于读出寄存器数据的 24 位 SPI 帧乘以 N ： N 倍 {0xFF、0xFF、0xFF}

步骤 2a 中的 0xFE 可将 ADC 配置为从指定的 8 位地址读取寄存器。在步骤 2a 结束时，ADC 中的输出移位寄存器加载寄存器数据。ADC 在步骤 2b 中返回 8 位寄存器地址和相应的 16 位寄存器数据。

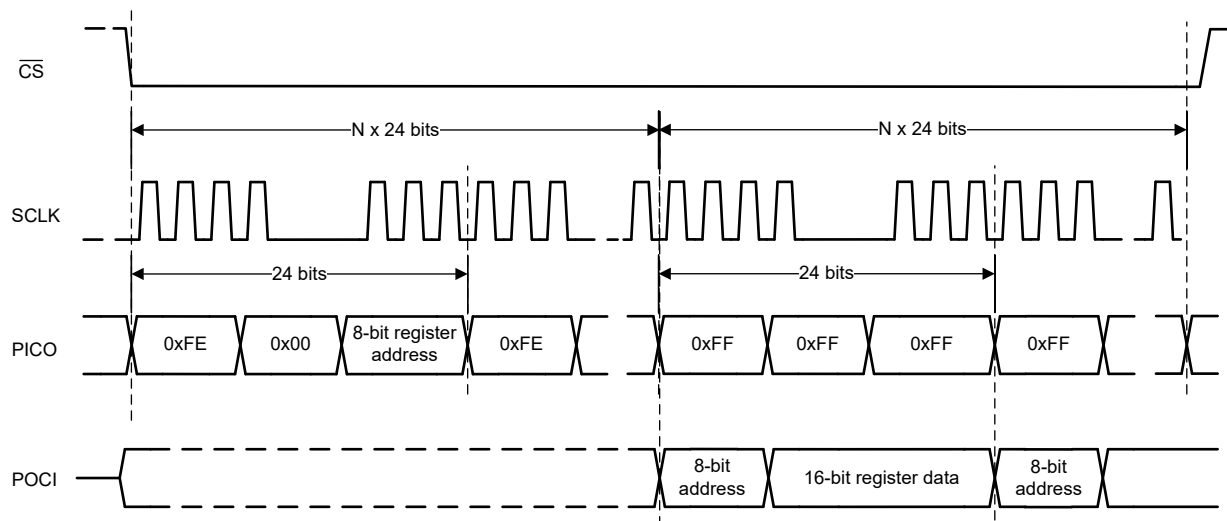


图 6-15. 菊花链中的寄存器读取

7 寄存器映射

7.1 寄存器组 0

图 7-1. 寄存器组 0 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00h	保留													SPI_MODE	SPI_RD_EN	复位
01h	保留									DAISY_CHAIN_LEN					保留	
03h	保留								REG_BANK_SEL							
04h	保留													INIT_1		
06h	REG_00H_READBACK															

表 7-1. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 寄存器 00h (偏移 = 0h) [复位 = 0h]

图 7-2. 寄存器 00h

15	14	13	12	11	10	9	8
保留							
W-0h							
7	6	5	4	3	2	1	0
保留					SPI_MODE	SPI_RD_EN	复位
W-0h					W-0h	W-0h	W-0h

图 7-3. 寄存器 00h 字段说明

位	字段	类型	复位	说明
15-3	保留	W	0h	保留。请勿更改默认复位值。
2	SPI_MODE	W	0h	在用于寄存器访问的配置接口的传统 SPI 模式和菊花链 SPI 模式之间进行选择。 0：菊花链 SPI 模式 1：传统 SPI 模式
1	SPI_RD_EN	W	0h	在传统 SPI 模式下启用寄存器读取访问。此位在菊花链 SPI 模式下无效。 0：已禁用寄存器读取 1：已启用寄存器读取
0	复位	W	0h	ADC 复位控制。 0：正常器件操作 1：复位 ADC 和所有寄存器

7.1.2 寄存器 01h (偏移 = 1h) [复位 = 0h]

图 7-4. 寄存器 01h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留	DAISY_CHAIN_LEN					保留	
R/W-0h	R/W-0h					R/W-0h	

图 7-5. 寄存器 01h 字段说明

位	字段	类型	复位	说明
15-7	保留	R/W	0h	保留。请勿更改默认复位值。
6-2	DAISY_CHAIN_LEN	R/W	0h	针对 SPI 配置，配置菊花链中连接的 ADC 数量。 0：1 个 ADC 1：2 个 ADC 31：32 个 ADC
1-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.1.3 寄存器 03h (偏移 = 3h) [复位 = 2h]

图 7-6. 寄存器 03h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
REG_BANK_SEL							
R/W-2h							

图 7-7. 寄存器 03h 字段说明

位	字段	类型	复位	说明
15-8	保留	R/W	0h	保留。请勿更改默认复位值。
7-0	REG_BANK_SEL	R/W	2h	选择用于读取和写入操作的寄存器组。 0：选择寄存器组 0 2：选择寄存器组 1 16：选择寄存器组 2

7.1.4 寄存器 04h (偏移 = 4h) [复位 = 0h]

图 7-8. 寄存器 04h

15	14	13	12	11	10	9	8
保留							
R-0h							
7	6	5	4	3	2	1	0
保留				INIT_1			
R/W-0h							

图 7-9. 寄存器 04h 字段说明

位	字段	类型	复位	说明
3-0	INIT_1	R/W	0h	用于器件初始化的 INIT_1 字段。在初始化序列期间写入 1011b。写入 0000b 以进行正常操作。

7.1.5 寄存器 06h (偏移 = 6h) [复位 = 2h]

图 7-10. 寄存器 06h

15	14	13	12	11	10	9	8
REG_00H_READBACK							
R-0h							
7	6	5	4	3	2	1	0
REG_00H_READBACK							
R-5h							

图 7-11. 寄存器 06h 字段说明

位	字段	类型	复位	说明
15-0	REG_00H_READBACK	R	2h	该寄存器是用于读回的寄存器地址 0x00 的副本。寄存器地址 0x00 为只写地址。默认读回值为 2h，因为地址 0x00 中的 SPI_RD_EN 必须设置为 1 才能读取寄存器。

7.2 寄存器组 1

图 7-12. 寄存器组 1 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0Dh	保留		DATA_FORMAT	保留				GE_CAL_EN1		保留						
12h	保留												XOR_EN	保留		
13h	保留								RAMP_INC_A			TP_MODE_ADC_A		TP_EN_ADC_A	保留	
14h	TP0_A															
15h	TP1_A								TP0_A							
16h	TP1_A															
18h	保留								RAMP_INC_B			TP_MODE_ADC_B		TP_EN_ADC_B	保留	
19h	TP0_B															
1Ah	TP1_B								TP0_B							
1Bh	TP1_B															
1Ch	保留	USER_BITS_ADC_B								保留	USER_BITS_ADC_A					
33h	保留	GE_CAL_EN3	保留							GE_CAL_EN2	INIT_KEY		保留			
34h	保留											GE_CAL_EN4	保留			
37h	保留														INIT_RDY	
C0h	保留								BW_ADC_B	保留		BW_ADC_A	保留		PD_CH	
C1h	保留				PD_REF	保留	DATA_LANES	DATA_RATE	保留							
C2h	保留				RANGE_ADC_A				保留							
C3h	保留								RANGE_ADC_B				保留			
C4h	保留						CM_RNG_ADC_B		CM_RNG_ADC_A		保留		CM_EN_ADC_B	CM_EN_ADC_A	保留	PD_CHIP
C5h	保留											CM_CTL_EN	保留			
F4h	保留														INIT	保留
F6h	保留														INIT_2	保留

表 7-2. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.2.1 寄存器 0Dh (偏移 = Dh) [复位 = 2002h]

图 7-13. 寄存器 0Dh

15	14	13	12	11	10	9	8
保留		DATA_FORMAT	保留				GE_CAL_EN1
R/W-0h		R/W-1h	R/W-0h				R/W-0h
7	6	5	4	3	2	1	0
GE_CAL_EN1		保留					
R/W-0h		R/W-2h					

图 7-14. 寄存器 0Dh 字段说明

位	字段	类型	复位	说明
15-14	保留	R/W	0h	保留。请勿更改默认复位值。
13	DATA_FORMAT	R/W	1h	选择 ADC 转换结果的数据格式。 0：直接二进制格式 1：二进制补码格式
12-9	保留	R/W	0h	保留。请勿更改默认复位值。
8-7	GE_CAL_EN1	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 3：启用所有通道的增益误差校准
6-0	保留	R/W	2h	保留。请勿更改默认复位值。

7.2.2 寄存器 12h (偏移 = 12h) [复位 = 2h]

图 7-15. 寄存器 12h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留				XOR_EN	保留		
R/W-0h				R/W-0h	R/W-2h		

图 7-16. 寄存器 12h 字段说明

位	字段	类型	复位	说明
15-4	保留	R/W	0h	保留。请勿更改默认复位值。
3	XOR_EN	R/W	0h	对 ADC 转换结果启用 XOR 运算。 0：已禁用 XOR 运算 1：ADC 转换结果与 ADC 转换结果的 LSB 进行逐位异或运算
2-0	保留	R/W	2h	保留。请勿更改默认复位值。

7.2.3 寄存器 13h (偏移 = 13h) [复位 = 0h]

图 7-17. 寄存器 13h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_A				TP_MODE_ADC_A		TP_EN_ADC_A	保留
R/W-0h				R/W-0h		R/W-0h	R/W-0h

图 7-18. 寄存器 13h 字段说明

位	字段	类型	复位	说明
15-8	保留	R/W	0h	保留。请勿更改默认复位值。
7-4	RAMP_INC_A	R/W	0h	斜坡图形输出的增量值。输出斜坡递增 N+1，其中 N 是该寄存器中配置的值。
3-2	TP_MODE__A	R/W	0h	选择 ADC A 的数字测试图形。 0：TP0_A 寄存器中的固定图形 1：TP0_A 寄存器中的固定图形 2：数字斜坡输出 3：TP0_A 寄存器和 TP1_A 寄存器中的交替固定图形输出
1	TP_EN__A	R/W	0h	启用与 ADC A 对应的数据的数字测试图形。 0：数据输出就是 ADC 转换结果 1：数据输出是数字测试图形
0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.4 寄存器 14h (偏移 = 14h) [复位 = 0h]

图 7-19. 寄存器 14h

15	14	13	12	11	10	9	8
TP0_A[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[15:0]							
R/W-0h							

图 7-20. 寄存器 14h 字段说明

位	字段	类型	复位	说明
15-0	TP0_A[15:0]	R/W	0h	测试图形 0 的低 16 位

7.2.5 寄存器 15h (偏移 = 15h) [复位 = 0h]

图 7-21. 寄存器 15h

15	14	13	12	11	10	9	8
TP1_A[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[23:16]							
R/W-0h							

图 7-22. 寄存器 15h 字段说明

位	字段	类型	复位	说明
15-8	TP1_A[7:0]	R/W	0h	测试图形 1 的低八位
7-0	TP0_A[23:16]	R/W	0h	测试图形 0 的高八位

7.2.6 寄存器 16h (偏移 = 16h) [复位 = 0h]

图 7-23. 寄存器 16h

15	14	13	12	11	10	9	8
TP1_A[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_A[23:8]							
R/W-0h							

图 7-24. 寄存器 16h 字段说明

位	字段	类型	复位	说明
15-0	TP1_A[23:8]	R/W	0h	测试图形 1 的高 16 位

7.2.7 寄存器 18h (偏移 = 18h) [复位 = 0h]

图 7-25. 寄存器 18h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_B				TP_MODE_B		TP_EN_B	保留
R/W-0h				R/W-0h		R/W-0h	R/W-0h

图 7-26. 寄存器 18h 字段说明

位	字段	类型	复位	说明
15-8	保留	R/W	0h	保留。请勿更改默认复位值。
7-4	RAMP_INC_B	R/W	0h	斜坡图形输出的增量值。输出斜坡递增 N+1，其中 N 是该寄存器中配置的值。
3-2	TP_MODE_B	R/W	0h	选择 ADC B 的数字测试图形。 0：TP0_B 寄存器中的固定图形 1：TP0_B 寄存器中的固定图形 2：数字斜坡输出 3：TP0_B 寄存器和 TP1_B 寄存器中的交替固定图形输出
1	TP_EN_B	R/W	0h	启用与 ADC B 对应的数据的数字测试图形。 0：数据输出就是 ADC 转换结果 1：数据输出是数字测试图形
0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.8 寄存器 19h (偏移 = 19h) [复位 = 0h]

图 7-27. 寄存器 19h

15	14	13	12	11	10	9	8
TP0_B[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[15:0]							
R/W-0h							

图 7-28. 寄存器 19h 字段说明

位	字段	类型	复位	说明
15-0	TP0_B[15:0]	R/W	0h	测试图形 0 的低 16 位

7.2.9 寄存器 1Ah (偏移 = 1Ah) [复位 = 0h]

图 7-29. 寄存器 1Ah

15	14	13	12	11	10	9	8
TP1_B[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[23:16]							
R/W-0h							

图 7-30. 寄存器 1Ah 字段说明

位	字段	类型	复位	说明
15-8	TP1_B[7:0]	R/W	0h	测试图形 1 的低八位
7-0	TP0_B[23:16]	R/W	0h	测试图形 0 的高八位

7.2.10 寄存器 1Bh (偏移 = 1Bh) [复位 = 0h]

图 7-31. 寄存器 1Bh

15	14	13	12	11	10	9	8
TP1_B[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_B[23:8]							
R/W-0h							

图 7-32. 寄存器 1Bh 字段说明

位	字段	类型	复位	说明
15-0	TP1_B[23:8]	R/W	0h	测试图形 1 的高 16 位

寄存器 1Ch (偏移 = 1Ch) [复位 = 0h]

图 7-33. 寄存器 1Ch

15	14	13	12	11	10	9	8
保留		USER_BITS_ADC_B					
R/W-0h		R/W-0h					
7	6	5	4	3	2	1	0
保留		USER_BITS_ADC_A					
R/W-0h		R/W-0h					

图 7-34. 寄存器 1Ch 字段说明

位	字段	类型	复位	说明
15-8	USER_BITS_ADC_B	R/W	0h	附加到来自 ADC B 的 ADC 转换结果的用户定义位。
7-0	USER_BITS_ADC_A	R/W	0h	附加到来自 ADC A 的 ADC 转换结果的用户定义位。

7.2.11 寄存器 33h (偏移 = 33h) [复位 = 0h]

图 7-35. 寄存器 33h

15	14	13	12	11	10	9	8
----	----	----	----	----	----	---	---

图 7-35. 寄存器 33h (续)

保留		GE_CAL_EN3	保留				
R/W-0h		R/W-0h	R/W-0h				
7	6	5	4	3	2	1	0
保留	GE_CAL_EN2	INIT_KEY		保留			
R/W-0h	R/W-0h	R/W-0h		R/W-0h			

图 7-36. 寄存器 33h 字段说明

位	字段	类型	复位	说明
15-14	保留	R/W	0h	保留。请勿更改默认复位值。
13	GE_CAL_EN3	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 1：启用所有通道的增益误差校准
12-7	保留	R/W	0h	保留。请勿更改默认复位值。
6	GE_CAL_EN2	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 1：启用所有通道的增益误差校准
5-4	INIT_KEY	R/W	0h	器件初始化序列访问密钥。写入 11b 以访问器件初始化序列。写入 00b 以进行正常操作。
3-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.12 寄存器 34h (偏移 = 34h) [复位 = 0h]

图 7-37. 寄存器 34h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留			GE_CAL_EN4	保留			
R/W-0h			R/W-0h	R/W-0h			

图 7-38. 寄存器 34h 字段说明

位	字段	类型	复位	说明
15-5	保留	R/W	0h	保留。请勿更改默认复位值。
4	GE_CAL_EN4	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 1：启用所有通道的增益误差校准
3-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.13 寄存器 37h (偏移 = 37h) [复位 = 0h]

图 7-39. 寄存器 37h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留					INIT_RDY		
R/W-0h					R/W-0h		

图 7-40. 寄存器 37h 字段说明

位	字段	类型	复位	说明
15-3	保留	R/W	0h	保留。请勿更改默认复位值。
2-0	INIT_RDY	R/W	0h	写入 101b 以进行正常器件操作。

7.2.14 寄存器 C0h (偏移 = C0h) [复位 = 0h]

图 7-41. 寄存器 C0h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
BW_ADC_B	保留		BW_ADC_A	保留		PD_CH	
R/W-0h	R/W-0h			R/W-0h		R/W-0h	

图 7-42. 寄存器 C0h 字段说明

位	字段	类型	复位	说明
15-8	保留	R/W	0h	保留。请勿更改默认复位值。

图 7-42. 寄存器 C0h 字段说明 (续)

位	字段	类型	复位	说明
7	BW_ADC_B	R/W	0h	为 ADC B 选择模拟输入带宽 0 : 低噪音模式 1 : 宽带宽模式
6-5	保留	R/W	0h	保留。请勿更改默认复位值。
4	BW_ADC_A	R/W	0h	为 ADC A 选择模拟输入带宽 0 : 低噪音模式 1 : 宽带宽模式
3-2	保留	R/W	0h	保留。请勿更改默认复位值。
1-0	PD_CH	R/W	0h	模拟输入通道的断电控制。 0 : 正常运行 1 : ADC B 断电 2 : ADC A 断电 3 : 所有通道都断电

7.2.15 寄存器 C1h (偏移 = C1h) [复位 = 0h]

图 7-43. 寄存器 C1h

15	14	13	12	11	10	9	8
保留				PD_REF	保留	DATA_LANES	DATA_RATE
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-44. 寄存器 C1h 字段说明

位	字段	类型	复位	说明
15-12	保留	R/W	0h	保留。请勿更改默认复位值。
11	PD_REF	R/W	0h	ADC 基准电压源选择。 0：已启用内部基准。 1：已禁用内部基准。将外部基准电压连接至 REFIO 引脚。
10	保留	R/W	0h	保留。请勿更改默认复位值。
9	DATA_LANES	R/W	0h	为每个 ADC 通道选择输出数据通道数。 0：4 通道模式。ADC A 数据在引脚 D3 和 D2 上输出。 ADC B 数据在引脚 D1 和 D0 上输出。 1：2 通道模式。ADC A 数据在引脚 D3 上输出。ADC B 数据在引脚 D1 上输出。
8	DATA_RATE	R/W	0h	为数据接口选择数据速率。 0：双倍数据速率 (DDR) 1：单倍数据速率 (SDR)
7-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.16 寄存器 C2h (偏移 = C2h) [复位 = 0h]

图 7-45. 寄存器 C2h

15	14	13	12	11	10	9	8
保留				RANGE_ADC_A			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-46. 寄存器 C2h 字段说明

位	字段	类型	复位	说明
15-12	保留	R/W	0h	保留。请勿更改默认复位值。
11-8	RANGE_ADC_A	R/W	0h	为 ADC A 选择输入电压范围。 0 : ±5V 1 : ±3.5V 2 : ±2.5V 3 : ±7V 4 : ±10V 5 : ±12V
7-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.17 寄存器 C3h (偏移 = C3h) [复位 = 0h]

图 7-47. 寄存器 C3h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
RANGE_ADC_B				保留			
R/W-0h				R/W-0h			

图 7-48. 寄存器 C3h 字段说明

位	字段	类型	复位	说明
15-8	保留	R/W	0h	保留。请勿更改默认复位值。
7-4	RANGE_ADC_B	R/W	0h	为 ADC B 选择输入电压范围。 0 : ±5V 1 : ±3.5V 2 : ±2.5V 3 : ±7V 4 : ±10V 5 : ±12V
3-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.18 寄存器 C4h (偏移 = C4h) [复位 = 0h]

图 7-49. 寄存器 C4h

15	14	13	12	11	10	9	8
保留						CM_RNG_ADC B	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
CM_RNG_ADC A		保留		CM_EN_ADC B	CM_EN_ADC A	保留	PD_CHIP
R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

图 7-50. 寄存器 C4h 字段说明

位	字段	类型	复位	说明
15-10	保留	R/W	0h	保留。请勿更改默认复位值。
9-8	CM_RNG_ADC B	R/W	0h	CM_RNG_ADC B 设置 ADC B 的共模电压范围。
7-6	CM_RNG_ADC A	R/W	0h	CM_RNG_ADC A 设置 ADC A 的共模电压范围。 0 : CM 范围等于 $\pm\text{RANGE}/2$ 1 : CM 范围等于 $\pm 6\text{V}$ 2 : CM 范围等于 $\pm 12\text{V}$
5-4	保留	R/W	0h	保留。请勿更改默认复位值。
3	CM_EN_ADC B	R/W	0h	CM_EN_ADC B 启用 ADC B 的共模范围控制。
2	CM_EN_ADC A	R/W	0h	CM_EN_ADC A 启用 ADC A 的共模范围控制。 0 : 禁用宽共模范围控制 1 : 启用宽共模范围控制
1	保留	R/W	0h	保留。请勿更改默认复位值。
0	PD_CHIP	R/W	0h	完全芯片断电控制。 0 : 正常器件操作 1 : 完全器件断电

7.2.19 寄存器 C5h (偏移 = C5h) [复位 = 0h]

图 7-51. 寄存器 C5h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留			CM_CTRL_EN	保留			
R/W-0h			R/W-0h	R/W-0h			

图 7-52. 寄存器 C5h 字段说明

位	字段	类型	复位	说明
15-5	保留	R/W	0h	保留。请勿更改默认复位值。
4	CM_CTRL_EN	R/W	0h	启用所有模拟输入通道的宽共模范围控制。 0：所有模拟输入通道的 CM 范围为 $\pm 12V$ 1：CM 范围由用户在 CM_EN_ADC B、CM_EN_ADC B、 CM_RNG_ADC A 和 CM_RNG_ADC B 寄存器中定义
3-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.20 寄存器 F4h (偏移 = F4h) [复位 = 0h]

图 7-53. 寄存器 F4h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留						INIT	保留
R/W-0h						R/W-0h	R/W-0h

图 7-54. 寄存器 F4h 字段说明

位	字段	类型	复位	说明
15-2	保留	R/W	0h	保留。请勿更改默认复位值。
1	INIT	R/W	0h	用于器件初始化的 INIT 字段。在初始化序列期间写入 1b。 写入 0b 以进行正常操作。
0	保留	R/W	0h	保留。请勿更改默认复位值。

7.2.21 寄存器 F6h (偏移 = F6h) [复位 = 0h]

图 7-55. 寄存器 F6h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留						INIT_2	保留
R/W-0h						R/W-0h	R/W-0h

图 7-56. 寄存器 F6h 字段说明

位	字段	类型	复位	说明
15-2	保留	R/W	0h	保留。请勿更改默认复位值。
1	INIT_2	R/W	0h	用于器件初始化的 INIT_2 字段。在初始化序列期间写入 1b。写入 0b 以进行正常操作。
0	保留	R/W	0h	保留。请勿更改默认复位值。

7.3 寄存器组 2

图 7-57. 寄存器组 2 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0Ah	保留	INIT_5	保留													
12h	保留									INIT_3	保留					
13h	INIT_4	保留														
19h	保留				INIT_4A				保留							
1F	保留			INIT_5A			保留									

表 7-3. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.3.1 寄存器 0Ah (偏移 = 0Ah) [复位 = 0h]

图 7-58. 寄存器 0Ah

15	14	13	12	11	10	9	8
保留	INIT_5	保留					
R/W-0h	R/W-0h						
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-59. 寄存器 0A 字段说明

位	字段	类型	复位	说明
15	保留	R/W	0h	保留。请勿更改默认复位值。
14	INIT_5	R/W	0h	用于器件初始化的 INIT_5 字段。在初始化序列期间写入 1b。写入 0b 以进行正常操作。更多详细信息，请参阅 初始化序列 。
13-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.3.2 寄存器 12h (偏移 = 12h) [复位 = 0h]

图 7-60. 寄存器 12h

15	14	13	12	11	10	9	8
保留							
R/W-0h							
7	6	5	4	3	2	1	0
保留	INIT_3	保留					
R/W-0h	R/W-0h	R/W-0h					

图 7-61. 寄存器 12 字段说明

位	字段	类型	复位	说明
15-7	保留	R/W	0h	保留。请勿更改默认复位值。
6-6	INIT_3	R/W	0h	用于器件初始化的 INIT_3 字段。在初始化序列期间写入 1b。写入 0b 以进行正常操作。更多详细信息，请参阅 初始化序列 。
5-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.3.3 寄存器 13h (偏移 = 13h) [复位 = 0h]

图 7-62. 寄存器 13h

15	14	13	12	11	10	9	8
INIT_4	保留						
R/W-0h	R/W-0h						
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-63. 寄存器 13 字段说明

位	字段	类型	复位	说明
15-15	INIT_4	R/W	0h	用于器件初始化的 INIT_4 字段。在初始化序列期间写入 1b。写入 0b 以进行正常操作。更多详细信息，请参阅 初始化序列 。
14-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.3.4 寄存器 19h (偏移 = 19h) [复位 = 0h]

图 7-64. 寄存器 19h

15	14	13	12	11	10	9	8
保留				INIT_4A			保留
R/W-0h				R/W-0h			R/W-0h
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-65. 寄存器 19 字段说明

位	字段	类型	复位	说明
15-12	保留	R/W	0h	保留。请勿更改默认复位值。
11-9	INIT_4A	R/W	0h	用于器件初始化的 INIT_4A 字段。写入 111b 以进行正常操作。更多详细信息，请参阅 初始化序列 。
8-0	保留	R/W	0h	保留。请勿更改默认复位值。

7.3.5 寄存器 1Fh (偏移 = 1Fh) [复位 = 0h]

图 7-66. 寄存器 1Fh

15	14	13	12	11	10	9	8
保留			INIT_4A		保留		

图 7-66. 寄存器 1Fh (续)

R/W-0h			R/W-0h		R/W-0h		
7	6	5	4	3	2	1	0
保留							
R/W-0h							

图 7-67. 寄存器 1F 字段说明

位	字段	类型	复位	说明
15-13	保留	R/W	0h	保留。请勿更改默认复位值。
12-11	INIT_4A	R/W	0h	用于器件初始化的 INIT_5A 字段。写入 11b 以进行正常操作。更多详细信息，请参阅 初始化序列 。
10-0	保留	R/W	0h	保留。请勿更改默认复位值。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

ADS9212 可以对多达两个模拟信号进行高精度测量。以下部分提供了使用 ADS9212 的示例应用电路和建议。

8.2 典型应用

8.2.1 参数测量单元 (PMU)

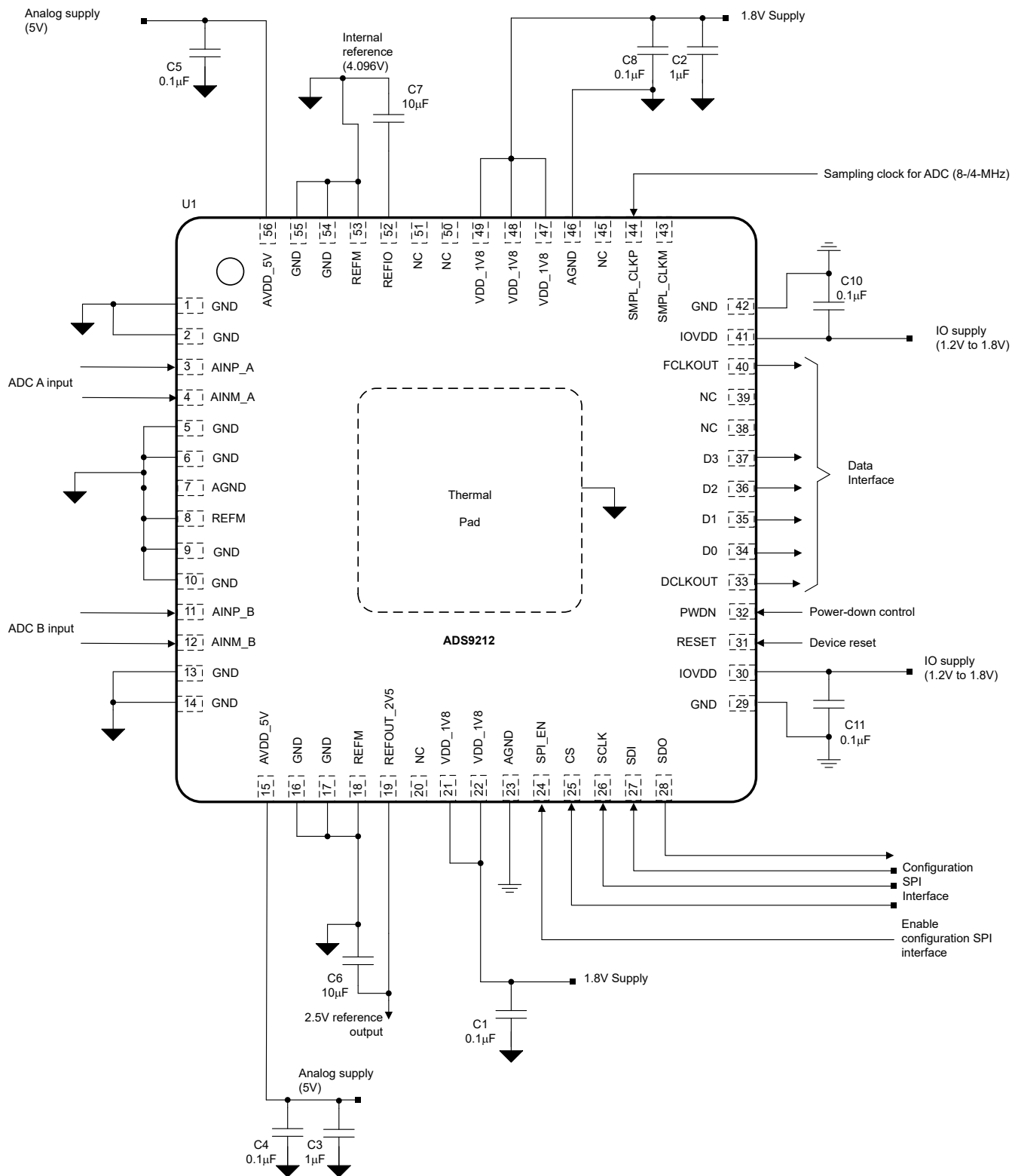


图 8-1. 典型应用

8.2.2 设计要求

以下部分提供了使用 ADS9212 来测量高达 $\pm 12V$ 的信号示例电路和建议。下表显示了该设计示例的参数。

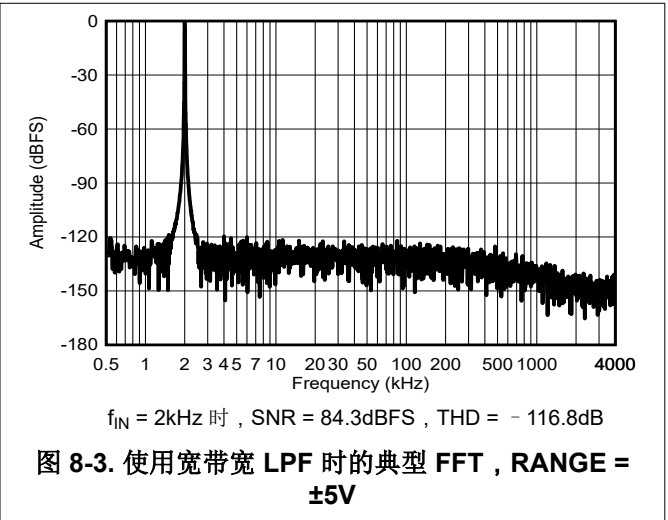
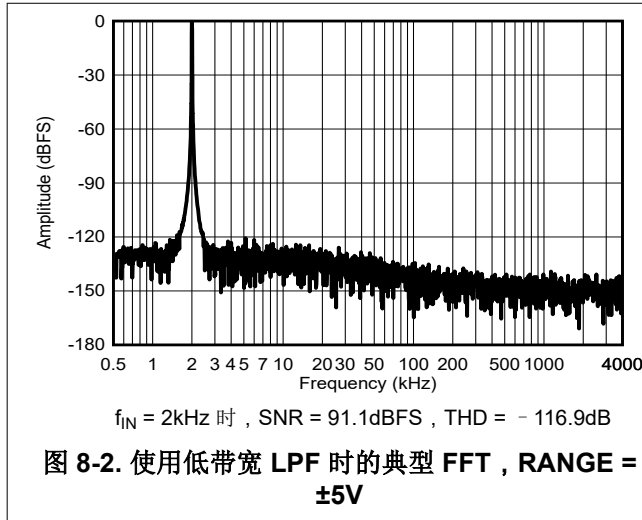
表 8-1. 设计参数

参数	值
采样速率	高达 8MSPS/通道
SNR ($f_{IN} = 2kHz$)	> 90dB

8.2.3 详细设计过程

ADS9212 是一款双通道、18 位、8MSPS ADC。该器件有一个内置的模拟前端，使得信号链更易于设计且更加准确。图 8-1 显示了使用 ADS9212 的数据采集系统的建议原理图。图 8-2 和图 8-3 显示了 ADS9212 在模拟输入的低带宽和宽带宽模式下的典型 SNR 和 THD 性能。

8.2.4 应用曲线



8.3 电源相关建议

ADS9212 具有三个独立电源：AVDD_5V、VDD_1V8 和 IOVDD。不需要特定的上电顺序。数据和配置数字接口由 IOVDD 供电。常见 1.8V 电源为 VDD_1V8 和 IOVDD 引脚供电。图 8-4 显示了相应电源的去耦电容器连接。确保每个电源引脚具有单独的去耦电容器。

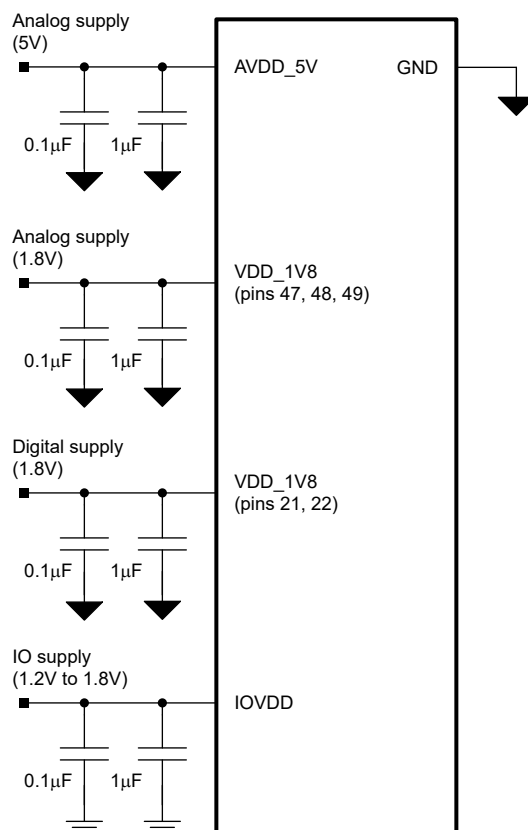


图 8-4. 电源去耦

8.4 布局

8.4.1 布局指南

图 8-5 显示了 ADS9212 的电路板布局布线示例。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准信号远离噪声源。

在靠近 AVDD_5V、VDD_1V8 和 IOVDD 电源引脚的位置使用 0.1 μ F 陶瓷旁路电容器。避免在电源引脚和旁路电容器之间放置过孔。

将基准去耦电容器放置在靠近器件的 REFIO 引脚和 REFM 引脚的位置。避免在 REFIO 引脚和旁路电容器之间放置过孔。使用较短的低阻抗路径将 GND、REFM 和 GND 引脚连接到接地平面。

8.4.2 布局示例

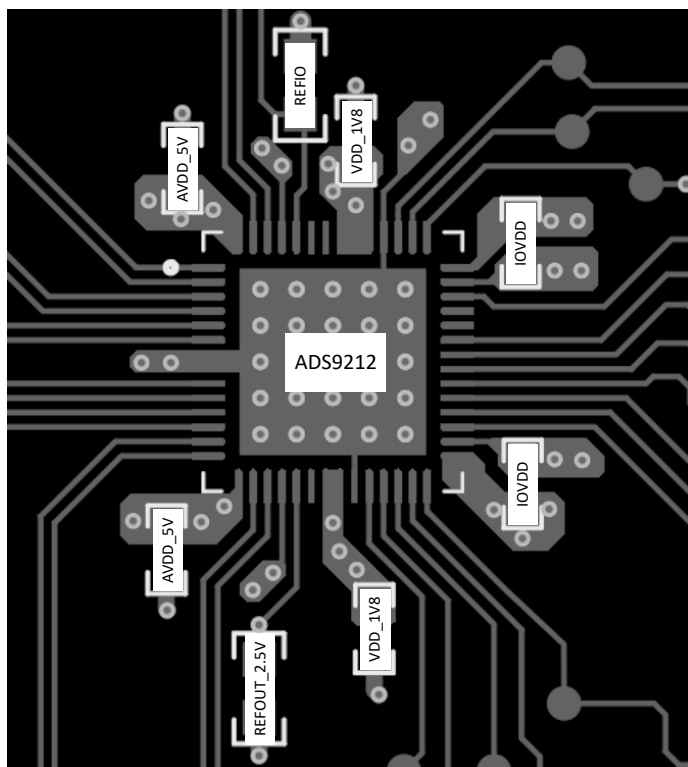


图 8-5. 示例布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9212RSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9212
ADS9212RSHR.A	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9212

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

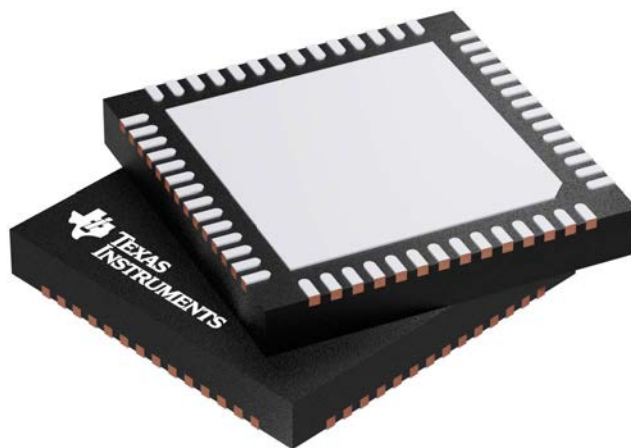
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RSH 56

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

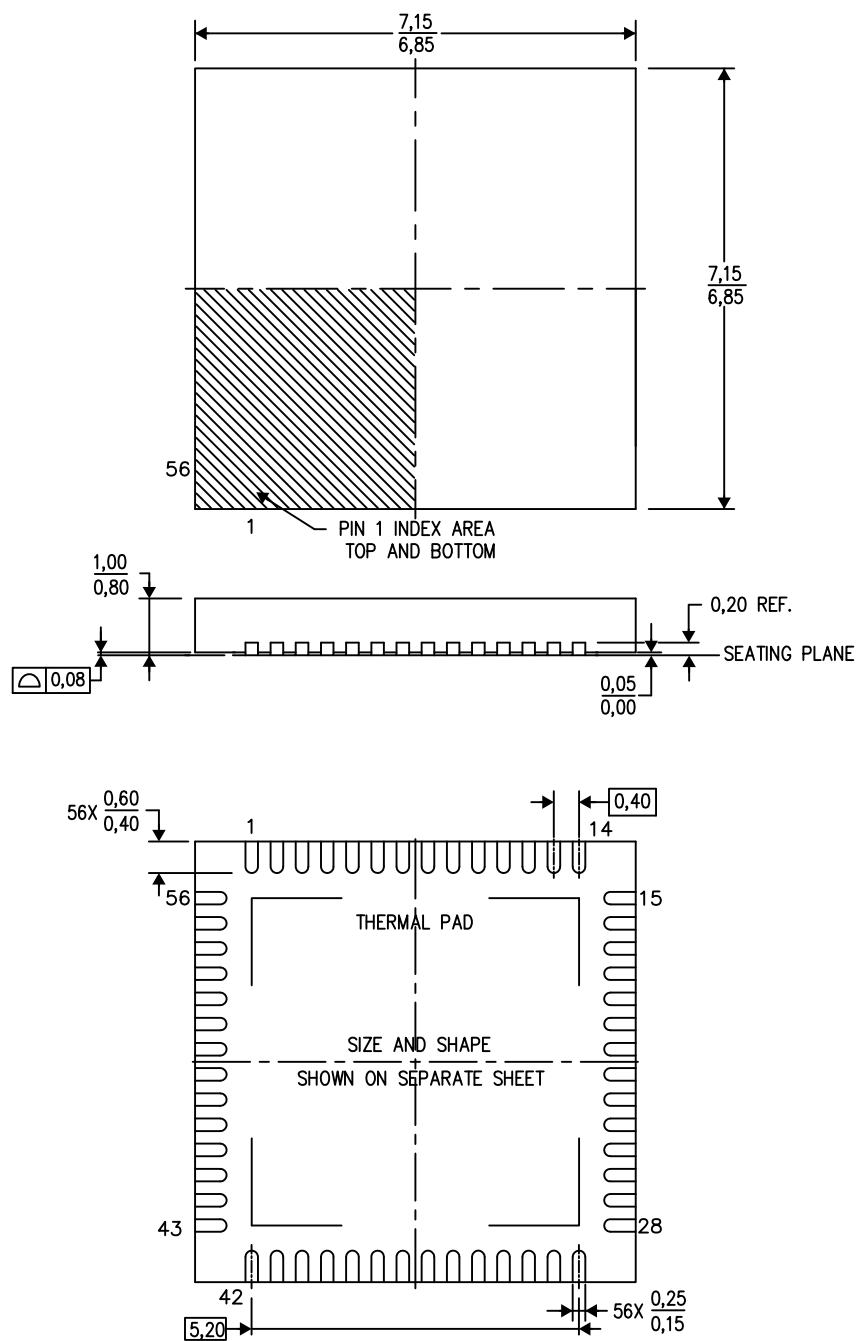


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



4207513/C 03/13

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - Quad Flatpack, No-leads (QFN) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

RSH (S-PVQFN-N56)

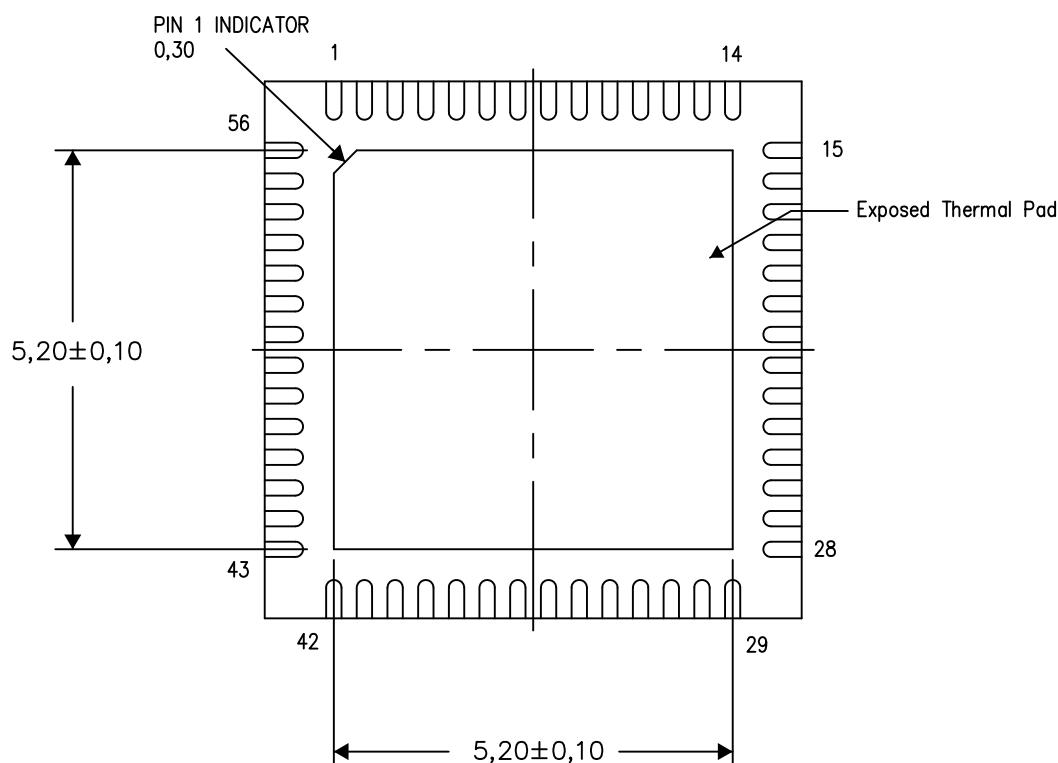
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

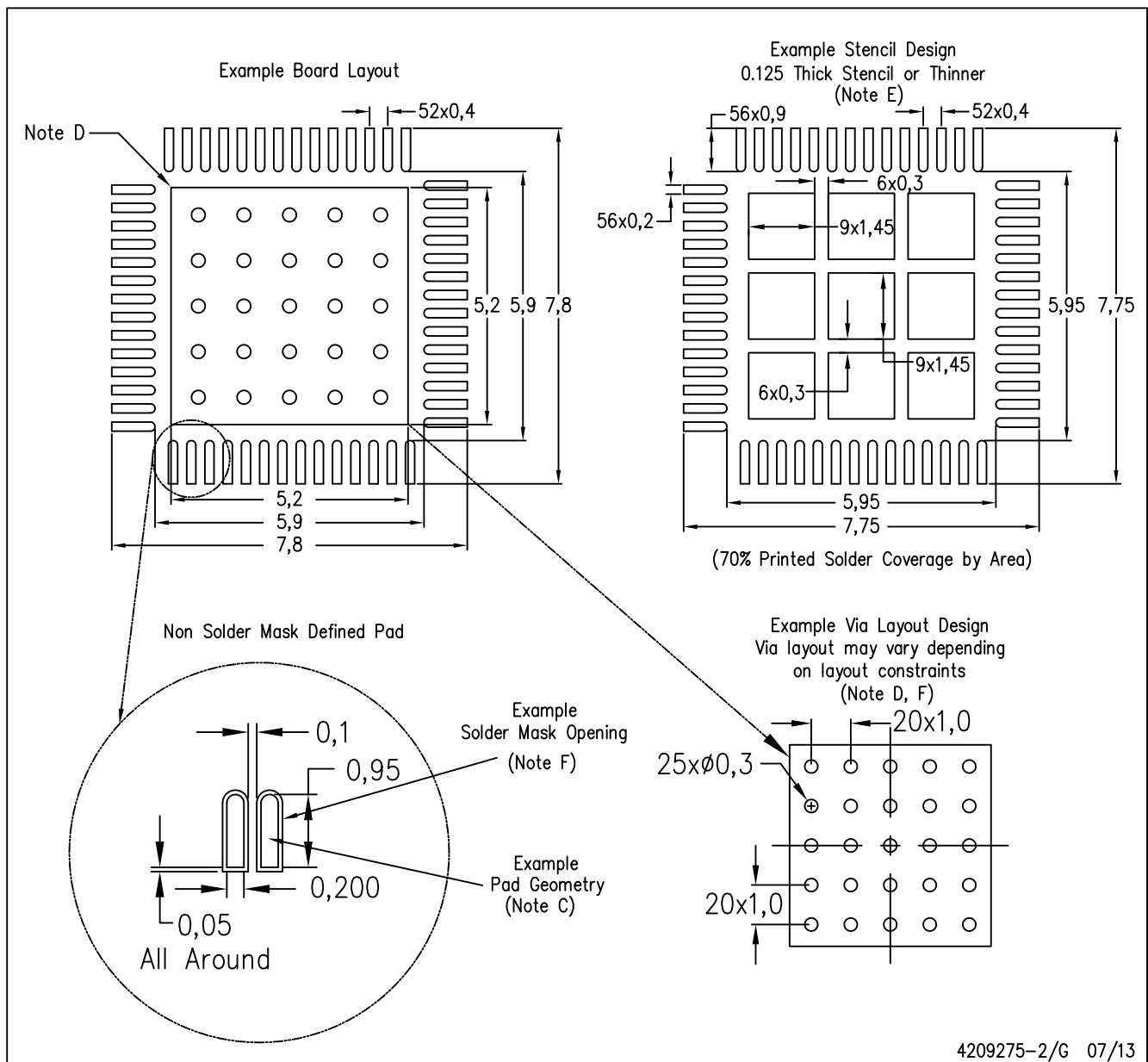
Exposed Thermal Pad Dimensions

4207553-2/1 07/13

NOTE: All linear dimensions are in millimeters

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司