ADS8686S 具有集成模拟前端的 16 通道、16 位、1MSPS、双路、同步采样 ADC

1 特性

- 具有集成模拟前端的 16 通道 16 位 ADC
- 双路同步采样：8x2 个通道
- 电源：
  - 模拟：5V
  - 数字：1.8V 至 5V
- 恒定的 1MΩ 输入阻抗前端
- 独立的可编程输入范围，具有 20% 的超量程
- 可编程的低通滤波器：
  - 15kHz、39kHz、376kHz
- 出色的直流和交流性能
- 片上基准和基准缓冲器
- 出色的过热保护性能
- 具有 8kV ESD 的过压输入钳位
- 可选的循环冗余校验 (CRC) 错误检查
- 片上自诊断功能
- 温度范围：–40°C 至 +125°C

2 应用

- 多功能继电器
- 伺服驱动器位置传感器
- 模拟输入模块
- 数据采集 (DAQ)

3 说明

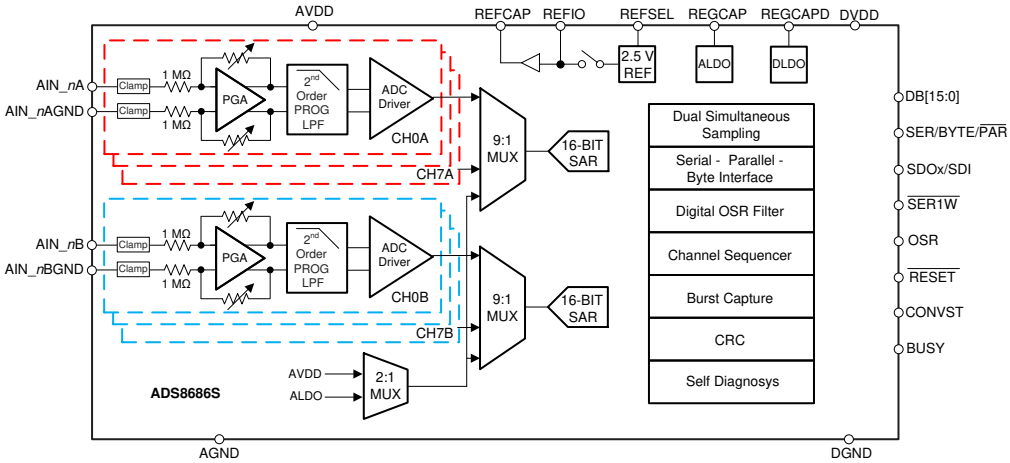
ADS8686S 是基于双路同步采样 16 位逐次逼近寄存器 (SAR) 模数转换器 (ADC) 的 16 通道数据采集 (DAQ) 系统。ADS8686S 的每个通道都具有一个完整的模拟前端，其中包含输入钳位、1MΩ 输入阻抗、独立的可编程增益放大器 (PGA)、可编程低通滤波器和 ADC 输入驱动器。该器件还具有一个低漂移高精度电压基准以及一个用于驱动 ADC 的缓冲器。凭借支持串行、并行和字节通信的灵活数字接口，该器件可用于各种主机控制器。

ADS8686S 可配置为接受 ±10V、±5V 或 ±2.5V 双极输入，并使用单个 5V 电源提供 20%的超量程选项。高输入阻抗允许与传感器和变压器直接连接，从而无需使用外部驱动器电路。ADS8686S 具有高度可配置的通道序列发生器，可减少后端控制器或处理器上的定序开销。ADS8686S 器件能够实现高性能、高精度以及零延迟转换，是多种工业应用的理想之选。

器件信息(1)

零件编号	封装	封装尺寸（标称值）
ADS8686S	LQFP (80)	14.00mm x 14.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



器件框图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议的工作条件.....8
6.4 热性能信息.....8
6.5 电气特性.....9
6.6 时序要求.....15
6.7 开关特性.....16
6.8 时序图通用.....18
6.9 时序图：并行数据读取.....20
6.10 时序图：串行数据读取.....21
6.11 典型特性.....22
7 详细说明.....29
7.1 概述.....29
7.2 功能方框图.....29
7.3 特性说明.....30
7.4 器件功能模式.....38
7.5 编程.....57
7.6 寄存器映射.....63
8 应用和实现.....102
8.1 应用信息.....102
8.2 典型应用.....102
9 电源相关建议.....106
9.1 电源.....106
10 布局.....107
10.1 布局指南.....107
10.2 布局示例.....107
11 器件和文档支持.....108
11.1 器件支持.....108
11.2 文档支持.....108
11.3 接收文档更新通知.....108
11.4 支持资源.....108
11.5 商标.....108
11.6 Electrostatic Discharge Caution.....108
11.7 术语表.....108

4 修订历史记录

Changes from Revision B (May 2020) to Revision C (July 2020)	Page
• 更改了交流性能参数	9

Changes from Revision A (March 2020) to Revision B (May 2020)	Page
• 将器件状态从预告信息更改为生产数据	1

Copyright © 2022 Texas Instruments Incorporated

5 引脚配置和功能

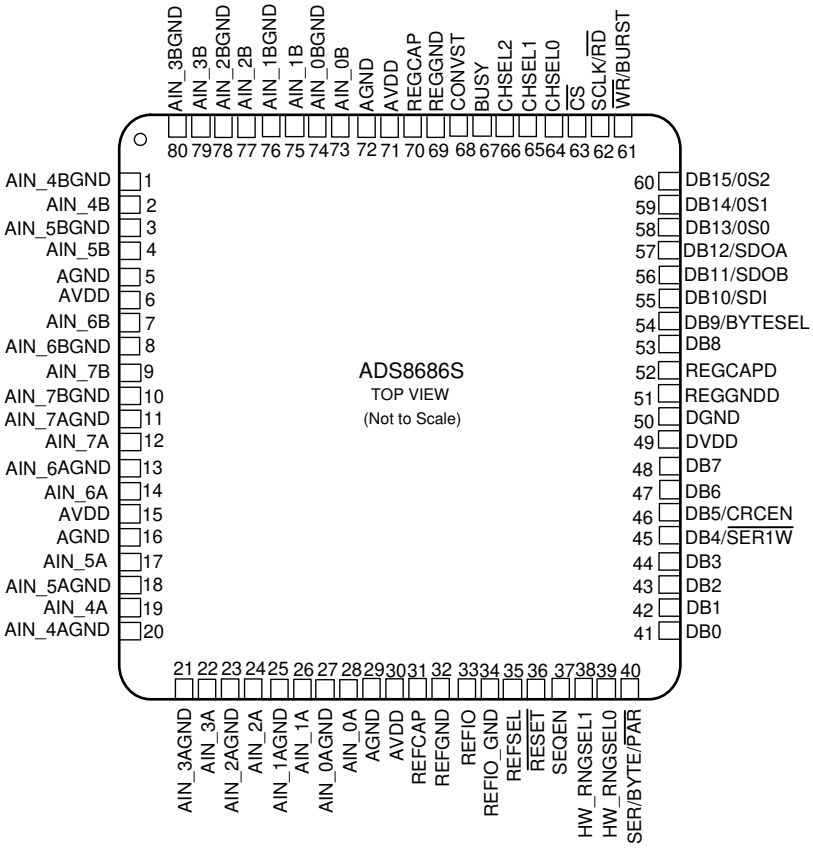


图 5-1. PM 封装：PZA、 80 引脚 LQFP （俯视图）

表 5-1. 引脚功能

名称	编号	类型[(1)]	说明
AGND	5、16、29、72	P	模拟电源接地引脚
AIN_0AGND	27	AI	模拟输入通道 0A：负输入
AIN_0A	28	AI	模拟输入通道 0A：正输入
AIN_0BGND	74	AI	模拟输入通道 0B：负输入
AIN_0B	73	AI	模拟输入通道 0B：正输入
AIN_1AGND	25	AI	模拟输入通道 1A：负输入
AIN_1A	26	AI	模拟输入通道 1A：正输入
AIN_1BGND	76	AI	模拟输入通道 1B：负输入
AIN_1B	75	AI	模拟输入通道 1B：正输入
AIN_2AGND	23	AI	模拟输入通道 2A：负输入
AIN_2A	24	AI	模拟输入通道 2A：正输入
AIN_2BGND	78	AI	模拟输入通道 2B：负输入
AIN_2B	77	AI	模拟输入通道 2B：正输入
AIN_3AGND	21	AI	模拟输入通道 3A：负输入
AIN_3A	22	AI	模拟输入通道 3A：正输入
AIN_3BGND	80	AI	模拟输入通道 3B：负输入
AIN_3B	79	AI	模拟输入通道 3B：正输入
AIN_4AGND	20	AI	模拟输入通道 4A：负输入
AIN_4A	19	AI	模拟输入通道 4A：正输入

表 5-1. 引脚功能 (continued)

名称	编号	类型[(1)]	说明
AIN_4BGND	1	AI	模拟输入通道 4B：负输入
AIN_4B	2	AI	模拟输入通道 4B：正输入
AIN_5AGND	18	AI	模拟输入通道 5A：负输入
AIN_5A	17	AI	模拟输入通道 5A：正输入
AIN_5BGND	3	AI	模拟输入通道 5B：负输入
AIN_5B	4	AI	模拟输入通道 5B：正输入
AIN_6AGND	13	AI	模拟输入通道 6A：负输入
AIN_6A	14	AI	模拟输入通道 6A：正输入
AIN_6BGND	8	AI	模拟输入通道 6B：负输入
AIN_6B	7	AI	模拟输入通道 6B：正输入
AIN_7AGND	11	AI	模拟输入通道 7A：负输入
AIN_7A	12	AI	模拟输入通道 7A：正输入
AIN_7BGND	10	AI	模拟输入通道 7B：负输入
AIN_7B	9	AI	模拟输入通道 7B：正输入
AVDD	6、15、30、71	P	模拟电源引脚。将这些引脚连接到最近的 AGND 引脚进行去耦。 请参阅 *电源相关建议* 部分。
忙	67	DO	指示正在进行的转换的逻辑输出；请参阅 *BUSY（输出）* 部分。
CHSEL0	64	DI	用于选择通道或对硬件模式序列发生器进行编程的逻辑输入引脚；请参阅 *CHSEL[2:0]（输入）* 部分。
CHSEL1	65	DI	用于选择通道或对硬件模式序列发生器进行编程的逻辑输入引脚；请参阅 *CHSEL[2:0]（输入）* 部分。
CHSEL2	66	DI	用于选择通道或对硬件模式序列发生器进行编程的逻辑输入引脚；请参阅 *CHSEL[2:0]（输入）* 部分。
CONVST	68	DI	用于控制通道组 A 和通道组 B 的转换启动输入的逻辑输入；请参阅 *CONVST（输入）* 部分。
$\overline{CS}$	63	DI	有源低电平逻辑输入芯片选择；请参阅 *CS（输入）* 部分。
DB0	41	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB0 (LSB)。 在串行模式下，该引脚必须连接到 DGND。 请参阅 *DB[3:0]（输入/输出）* 部分。
DB1	42	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB1。 在串行模式下，该引脚必须连接到 DGND。 请参阅 *DB[3:0]（输入/输出）* 部分。
DB2	43	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB2。 在串行模式下，该引脚必须连接到 DGND。 请参阅 *DB[3:0]（输入/输出）* 部分。
DB3	44	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB3。 在串行模式下，该引脚必须连接到 DGND。 请参阅 *DB[3:0]（输入/输出）* 部分。
DB4/ $\overline{SER1W}$	45	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行和并行字节接口模式下，该引脚是数据输入/输出 DB4。 在串行模式下，该引脚是逻辑输入引脚，用于配置使用 SDOA 和 SDOB 或仅使用 SDOA 的数据捕获。 信号状态在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *DB4/SER1W（输入/输出）* 部分。
DB5/CRCEN	46	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行和并行字节接口模式下，该引脚是数据输入/输出 DB5。 在硬件串行模式下，该引脚是逻辑输入引脚，用于启用循环冗余校验 (CRC) 字。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 在软件模式下，该引脚必须连接到 DGND。 请参阅 *DB5/CRCEN（输入/输出）* 部分。
DB6	47	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB6。 请参阅 *DB[7:6]（输入/输出）* 部分。
DB7	48	DIO	在并行和并行字节接口模式下，该引脚是数据输入/输出 DB7。 请参阅 *DB[7:6]（输入/输出）* 部分。
DB8	53	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB8。 在串行模式下，该引脚必须连接到 DGND。 请参阅 *DB8（输入/输出）* 部分。

Copyright © 2022 Texas Instruments Incorporated

表 5-1. 引脚功能 (continued)

名称	编号	类型[(1)]	说明
DB9/BYTESEL	54	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB9。 该引脚是启用并行字节接口的逻辑输入引脚。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *DB9/BYTESEL（输入/输出）* 部分。
DB10/SDI	55	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB10。 在软件串行模式下，该引脚是对器件进行编程的串行数据输入。 在并行字节接口模式下，将该引脚连接到 DGND。 请参阅 *DB10/SDI（输入/输出）* 部分。
DB11/SDOB	56	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB11。 如果在完全复位时通过 DB4/ $\overline{\text{SER1W}}$ 引脚启用，则该引脚在串行接口模式下是串行数据输出端口 B。 在并行字节接口模式下，将该引脚连接到 DGND。 请参阅 *DB11/SDOB（输入/输出）* 部分。
DB12/SDOA	57	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB12。 在串行接口模式下，该引脚是串行数据输出端口 A。 在并行字节接口模式下，将该引脚连接到 DGND。 请参阅 *DB12/SDOA（输入/输出）* 部分。
DB13/OS0	58	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB13。 该引脚是用于过采样率 (OSR) 设置的逻辑输入引脚。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *DB13/OS0（输入/输出）* 部分。
DB14/OS1	59	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB14。 该引脚是用于 OSR 设置的逻辑输入引脚。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *DB14/OS1（输入/输出）* 部分。
DB15/OS2	60	DIO	该引脚是一个多功能逻辑输入/输出引脚。 在并行接口模式下，该引脚是数据输入/输出 DB15。 该引脚是用于 OSR 设置的逻辑输入引脚。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *DB15/OS2（输入/输出）* 部分。
DGND	50	P	数字接地
DVDD	49	P	数字电源引脚。使用最小 0.1μF 的电容器，在引脚 50 上连接到 DGND 进行去耦。
HW_RNGSEL1、HW_RNGSEL0	38、39	DI	硬件和软件模式选择输入。硬件和软件模式选择在完全复位时被锁存。在硬件模式下，这些引脚会选择输入范围并且不被锁存。在软件模式下，这些引脚被锁存并且被忽略，直到发生下一个复位事件。 HW_RNGSELx = 00：软件模式；ADS8686S 通过软件寄存器进行配置。 HW_RNGSELx = 01：硬件模式；模拟输入范围为 ±2.5V。 HW_RNGSELx = 10：硬件模式；模拟输入范围为 ±5V。 HW_RNGSELx = 11：硬件模式；模拟输入范围为 ±10V。 请参阅 *HW_RANGESEL[1:0]（输入）* 部分。
REFCAP	31	AO	基准放大器输出引脚。该引脚必须使用低等效串联电阻 (ESR) 10μF 陶瓷电容器连接到 REFGND 进行去耦。将此电容器尽可能靠近 REFCAP 引脚放置。 请勿从该引脚驱动任何外部负载。
REFGND	32	P	基准 GND。使用尽可能短的走线将该引脚连接到 AGND 平面。
REFIO	33	AIO	当 REFSEL 为高电平时，该引脚充当内部基准输出。 当 REFSEL 为低电平时，该引脚充当外部基准的输入引脚。 使用 0.1μF 电容器，在引脚 34 上连接到 REFIO_GND 对该引脚进行去耦。
REFIO_GND	34	P	REFIO 接地。使用尽可能短的走线将该引脚连接到 AGND 平面。
REFSEL	35	DI	有源高电平逻辑输入，用于启用内部基准。 请参阅 *REFSEL（输入）* 部分。
REGCAP	70	P	内部模拟稳压器的电压输出。使用 10μF 电容器将该输出引脚单独连接到 REGGND 进行去耦。将电容器放置在靠近 REGCAP 引脚的位置。
REGCAPD	52	P	内部数字稳压器的电压输出。使用 10μF 电容器将该输出引脚单独连接到 REGGNDD 进行去耦。将电容器放置在靠近 REGCAPD 引脚的位置。
REGGND	69	P	内部模拟稳压器 GND。使用尽可能短的走线将该引脚连接到 AGND 平面。
REGGNDD	51	P	内部数字稳压器 GND。使用尽可能短的走线将该引脚连接到 DGND 平面。

表 5-1. 引脚功能 (continued)

名称	编号	类型(1)	说明
$\overline{\text{RESET}}$	36	DI	有源低电平逻辑输入，用于复位器件数字逻辑。$\overline{\text{RESET}}$ 脉冲的持续时间决定器件是部分复位还是完全复位。 请参阅 *RESET（输入）*部分。
SCLK/ $\overline{\text{RD}}$	62	DI	该引脚是一个多功能逻辑输入引脚。 在串行接口模式下，该引脚是串行时钟的逻辑输入引脚。 在并行和并行字节接口模式下，该引脚是逻辑输入引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 在并行和并行字节模式下均为逻辑低电平时，则启用输出总线。 请参阅 *SCLK/RD（输入）*部分。
SEQEN	37	DI	有源高电平逻辑输入，用于在硬件模式下启用通道序列发生器。该状态通过器件完全复位进行锁存。 在软件模式下，将该引脚连接到 DGND。 请参阅 *SEQEN（输入）*部分。
SER/BYTE/ $\overline{\text{PAR}}$	40	DI	用于在串行、并行字节或并行接口模式之间进行选择的逻辑输入。 将该引脚连接到逻辑高电平并将 DB9/BYTESEL 连接到逻辑低电平以选择串行接口模式。 将该引脚连接到逻辑高电平并将 DB9/BYTESEL 连接到逻辑高电平以选择并行字节接口模式。 将该引脚连接到逻辑低电平以选择并行接口模式。 信号状态在完全复位时被锁存，并且需要额外的完全复位来重新配置。 请参阅 *SER/BYTE/PAR（输入）*部分。
$\overline{\text{WR}}$/BURST	61	DI	该引脚是一个多功能逻辑输入引脚（请参阅 *WR/BURST（输入）*部分）。 在软件并行和并行字节接口模式下，$\overline{\text{WR}}$ 是用于写入寄存器配置的逻辑输入引脚。 BURST 是逻辑输入引脚，用于在硬件运行模式下启用突发模式操作。信号在完全复位释放时被锁存，并且需要额外的完全复位来重新配置；请参阅*突发序列发生器*部分。 在软件串行模式下，将该引脚连接到 DGND。

(1) AI = 模拟输入，AO = 模拟输出，AIO = 模拟输入/输出，DI = 数字输入，DO = 数字输出，DIO = 数字输入/输出，P = 电源。

Copyright © 2022 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]。

	最小值	最大值	单位
AVDD 至 AGND	–0.3	7	V
DVDD 至 DGND	–0.3	7	V
AGND 到 DGND	-0.3	0.3	V
REFGND 到 AGND	-0.3	0.3	V
AINxP 到 AGND	-15	15	V
AINxGND 到 AGND	-15	15	V
REFCAPA、REFCAPB 到 REFGND	–0.3	5.5	V
REFIO 到 AGND	–0.3	5.5	V
数字输入到 DGND	–0.3	DVDD+0.3	V
数字输出到 DGND	–0.3	DVDD+0.3	V
输入电流到电源引脚外的任意引脚[(2)]	-10	10	mA
工作温度	-40	125	°C
存储温度	–65	150	°C

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 引脚电流输入或输出必须限制到 10mA 或更低。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚[(1)]	除模拟输入外的所有引脚[(1)]	±2000	V
			模拟输入引脚[(1)]	±8000	
		充电器件模型（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	所有引脚[(2)]	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）。

参数		测试条件	最小值	标称值	最大值	单位
电源						
AVDD	模拟电源电压		4.75		5.25	V
DVDD	数字电源电压		1.71		AVDD	V
模拟输入						
V_{FSR}	满量程输入范围（AIN_xx 至 AIN_xxGND）(1)	软件、硬件可选范围 = ±10V	-10		10	V
		软件、硬件可选范围 = ±5V	-5		5	
		软件、硬件可选范围 = ±2.5V	-2.5		2.5	
		软件可选范围 = ±10V，具有超量程	–12		12	
		软件可选范围 = ±5V，具有超量程	-6		6	
		软件可选范围 = ±2.5V，具有超量程	-3		3	
AIN_*n*X	工作输入电压，正输入	软件、硬件可选范围 = ±10V	-10		10	V
		软件、硬件可选范围 = ±5V	-5		5	
		软件、硬件可选范围 = ±2.5V	-2.5		2.5	
		软件可选范围 = ±10V，具有超量程	–12		12	
		软件可选范围 = ±5V，具有超量程	-6		6	
		软件可选范围 = ±2.5V，具有超量程	-3		3	
AIN_*n*XGND	工作输入电压，负输入	所有输入范围	–0.3	0	0.3	V
外部基准						
V_{REF}	REFIO 电压		2.495	2.5	2.505	V
温度范围						
T_A	环境温度		-40		125	℃

(1) 理想输入范围；不包括增益或失调电压误差。

6.4 热性能信息

热指标(1)		ADS8686S PZA (LQFP) 80 引脚	单位
$R_{\theta JA}$	结至环境热阻	33.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	5.3	°C/W
$R_{\theta JB}$	结至电路板热阻	14.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	13.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2022 Texas Instruments Incorporated

6.5 电气特性

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值(1)	典型值	最大值(1)	单位
模拟输入						
R_{IN}	输入阻抗	输入范围 = ±10V、±5V、±2.5V，T_A = 25°C	0.85	1	1.15	MΩ
		±10V、±5V、±2.5V 的 20% 超量程设置，T_A = 25°C	1	1.2	1.4	MΩ
	输入阻抗温漂	所有输入范围		10	25	ppm/ °C
	输入电容			10		pF
V_{Bias}	模拟前端的内部偏置电压	软件、硬件可选范围 = ±10V	2.02	2.1	2.16	V
		软件、硬件可选范围 = ±5V	1.72	1.8	1.88	
		软件、硬件可选范围 = ±2.5V	1.37	1.45	1.53	
		软件可选范围 = ±10V，具有超量程	2.36	2.45	2.54	
		软件可选范围 = ±5V，具有超量程	1.81	1.9	1.99	
		软件可选范围 = ±2.5V，具有超量程	1.46	1.55	1.64	
$I_{ANL(IN)}$	模拟输入电流	所有输入范围		$(V_{IN} - V_{BIAS})/R_{IN}$		µA
模拟输入滤波器						
$BW_{(-3dB)}$	模拟输入 LPF 带宽 –3dB	滤波器选项 1，范围 = ±10V，具有超量程		39		kHz
		滤波器选项 1，范围 = ±5V、±2.5V，具有超量程		33		
		滤波器选项 2，所有输入范围		15		
		滤波器选项 3，所有输入范围		376		
$BW_{(-0.1dB)}$	模拟输入 LPF 带宽 –0.1dB	滤波器选项 1，范围 = ±10V，具有超量程		6.9		kHz
		滤波器选项 1，范围 = ±5V、±2.5V，具有超量程		5.9		
		滤波器选项 2，所有输入范围		3.1		
		滤波器选项 3，所有输入范围		60		

6.5 电气特性 (continued)

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值(1)	典型值	最大值(1)	单位
t_{GROUP}	组延迟	滤波器选项 1，范围 = ±10V，具有超量程		5.2	6	μs
		滤波器选项 1，范围 = ±5V，具有超量程		6.2		
		滤波器选项 1，范围 = ± 2.5V，具有超量程		6.2		
		滤波器选项 2，范围 = ±10V，具有超量程		13.2	15.1	
		滤波器选项 2，范围 = ±5V，具有超量程		13.2		
		滤波器选项 2，范围 = ±2.5V，具有超量程		13.3		
		滤波器选项 3，范围 = ±10V，具有超量程		0.9	1.1	
		滤波器选项 3，范围 = ±5V，具有超量程		0.9		
		滤波器选项 3，范围 = ±2.5V，具有超量程		0.94		
	群延迟温漂	滤波器选项 1，范围 = ±10V		0.3	5	ns/°C
		滤波器选项 2，范围 = ±10V		0.6	2	
		滤波器选项 3，范围 = ±10V		0.2	1	
	群延迟匹配	滤波器选项 1，范围 = ±10V，具有超量程		20	131	ns
		滤波器选项 1，范围 = ±5V，具有超量程		24		
		滤波器选项 1，范围 = ±2.5V，具有超量程		38		
		滤波器选项 2，范围 = ±10V，具有超量程		52	357	
		滤波器选项 2，范围 = ±5V，具有超量程		50		
		滤波器选项 2，范围 = ±2.5V，具有超量程		56		
		滤波器选项 3，范围 = ±10V，具有超量程		10	104	
		滤波器选项 3，范围 = ±5V，具有超量程		12		
		滤波器选项 3，范围 = ±2.5V，具有超量程		24		
DC 特性						
	分辨率		16			位
NMC	无丢码		16			位
DNL	微分非线性	所有输入范围	–0.85	±0.2	0.85	LSB
		范围 = ±10V，T_A = 0℃ 至 70℃	–0.5	±0.2	0.5	
		范围 = ±5V，T_A = 0℃ 至 70℃	–0.6	±0.25	0.6	
		范围 = ±2.5V，T_A = 0℃ 至 70℃	–0.65	±0.35	0.65	

Copyright © 2022 Texas Instruments Incorporated

6.5 电气特性 (continued)

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值(1)	典型值	最大值(1)	单位
INL	积分非线性(2)	所有输入范围	-2	±0.7	2	LSB
		范围 = ±10V，T_A = 0℃ 至 70℃	-1.2	±0.6	1.2	
		范围 = ±5V，T_A = 0℃ 至 70℃	–1.5	±0.7	1.5	
		范围 = ±2.5V，T_A = 0℃ 至 70℃	-1.6	±0.75	1.6	
TUE	总体未调整误差	范围 = ±10V，具有超量程		±3.5		LSB
		范围 = ±10V		±3		
		范围 = ±5V，具有超量程		±2.5		
		范围 = ±5V		±2.5		
		范围 = ±2.5V，具有超量程		±2		
		范围 = ±2.5V		±2		
E_G	增益误差(3)	20% 超量程设置，外部基准	-80	±6	80	LSB
		范围 = ±10V、±5V、±2.5V，外部基准	-64	±4	64	
		范围 = ±10V，内部基准		±3		
	增益误差匹配	范围 = ±10V，具有超量程		20		LSB
		范围 = ±10V		5	20	
		范围 = ±5V，具有超量程		12		
		范围 = ±5V		5		
		范围 = ±2.5V，具有超量程		12		
		范围 = ±2.5V		6		
	增益误差温漂	所有范围，外部基准		1	10	ppm/°C
		所有范围，内部基准		8	20	
E_O	偏移误差	范围 = ±10V，具有超量程	–4	±0.4	4	mV
		范围 = ±10V	-2.4	±0.3	2.4	
		范围 = ±5V，具有超量程	-1.8	±0.18	1.8	
		范围 = ±5V	–1.5	±0.15	1.5	
		范围 = ±2.5V，具有超量程	–1.4	±0.24	1.4	
		范围 = ±2.5V	–1.1	±0.2	1.1	
	偏移误差匹配	范围 = ±10V，具有超量程		±0.45		mV
		范围 = ±10V	-3	±0.4	3	
		范围 = ±5V，具有超量程		±0.3		
		范围 = ±5V		±0.25		
		范围 = ±2.5V，具有超量程		±0.3		
		范围 = ±2.5V		±0.25		
	偏移误差温漂	所有范围		0.3	1.5	ppm/°C

6.5 电气特性 (continued)

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值(1)	典型值	最大值(1)	单位
交流特性						
SNR	信噪比，无过采样（–0.5dBFS 输入，1kHz）	滤波器选项 1，范围 = ±10V，具有超量程	89	91.3		dB
		滤波器选项 1，范围 = ±10V	89	91		
		滤波器选项 1，范围 = ±5V，具有超量程		90.7		
		滤波器选项 1，范围 = ±5V	88	90.5		
		滤波器选项 1，范围 = ±2.5V，具有超量程		88.2		
		滤波器选项 1，范围 = ±2.5V	85.5	88		
		滤波器选项 2，范围 = ±10V，具有超量程		92.2		
		滤波器选项 2，范围 = ±10V	90.5	91.9		
		滤波器选项 2，范围 = ±5V，具有超量程		91.6		
		滤波器选项 2，范围 = ±5V	89.5	91.4		
		滤波器选项 2，范围 = ±2.5V，具有超量程		89.1		
		滤波器选项 2，范围 = ±2.5V	87.4	88.9		
		滤波器选项 3，范围 = ±10V，具有超量程		85		
		滤波器选项 3，范围 = ±10V	82	85		
		滤波器选项 3，范围 = ±5V，具有超量程		82		
		滤波器选项 3，范围 = ±5V		82		
		滤波器选项 3，范围 = ±2.5V，具有超量程		77		
		滤波器选项 3，范围 = ±2.5V		77		
SNR_{OSR}	信噪比（–0.5dBFS 输入，1kHz）	滤波器选项 1，范围 = ±10V，OSR = 2		92.5		dB
		滤波器选项 1，范围 = ±10V，OSR = 4		93.5		

Copyright © 2022 Texas Instruments Incorporated

6.5 电气特性 (continued)

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值[1]	典型值	最大值[1]	单位
SINAD	信噪失真比，无过采样（–0.5dBFS 输入，1kHz）	滤波器选项 1，范围 = ±10V，具有超量程		90.8		dB
		滤波器选项 1，范围 = ±10V	88.5	90.5		
		滤波器选项 1，范围 = ±5V，具有超量程		90.2		
		滤波器选项 1，范围 = ±5V	87.5	90		
		滤波器选项 1，范围 = ±2.5V，具有超量程		87.7		
		滤波器选项 1，范围 = ±2.5V	85.5	87.5		
		滤波器选项 2，范围 = ±10V，具有超量程		91.3		
		滤波器选项 2，范围 = ±10V	90	91		
		滤波器选项 2，范围 = ±5V，具有超量程		90.7		
		滤波器选项 2，范围 = ±5V	89	90.5		
		滤波器选项 2，范围 = ±2.5V，具有超量程		88.2		
		滤波器选项 2，范围 = ±2.5V	86.5	88		
		滤波器选项 3，范围 = ±10V，具有超量程		85		
		滤波器选项 3，范围 = ±10V	82	85		
		滤波器选项 3，范围 = ±5V，具有超量程		82		
		滤波器选项 3，范围 = ±5V	79	82		
		滤波器选项 3，范围 = ±2.5V，具有超量程		78		
		滤波器选项 3，范围 = ±2.5V	75	78		
THD	总谐波失真[4]	范围 = ±10V，具有超量程		–110		dB
		范围 = ±10V		–110	-95	
		范围 = ±5V，具有超量程		–110		
		范围 = ±5V		–110		
		范围 = ±2.5V，具有超量程		–110		
		范围 = ±2.5V		–110		
SFDR	无杂散动态范围（–0.5dBFS 输入，1kHz）	所有输入范围		–108		dB
	隔离串扰[5]	未选中通道上的 f_{IN} 高达 5kHz		-112		dB
IMD	互调失真	fa = 1kHz，fb = 1.1kHz，二阶项		–105		dB
		fa = 1kHz，fb = 1.1kHz，三阶项		-113		

6.5 电气特性 (continued)

条件为 AVDD = 5V，DVDD = 3.3V，f_{SAMPLE} = 1MSPS，f_{IN} = 1kHz，内部或外部 V_{REF} = 2.5V，LPF 选项 = 1；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = +25°C，AVDD = 5V 时的典型值（除非另有说明）。

参数		测试条件	最小值(1)	典型值	最大值(1)	单位
内部基准输出						
V_{REF} (6)	REFIO 引脚上的电压（配置为输出）	REFIO 引脚上的 0.1 μF 电容器，T_A = 25°C	2.4975	2.5	2.5025	V
	基准温漂			7	20	ppm/°C
$V_{(REFCAP)}$	基准缓冲器输出电压（REFCAP 引脚）	T_A = 25°C	3.996	4	4.004	V
t_{ON}	基准开通时间	REFCAP 引脚上的 10μF 电容器		15		ms
外部基准输入						
REF_{LKG}	基准输入漏电流		-1		1	μA
电源要求						
I_{AVDD}	使用内部基准的 AVDD 电流	静态		55	69	mA
		动态，f_{SAMPLE} = 1MSPS		59	72	mA
		断电		130		μA
	使用外部基准的 AVDD 电流	静态		54	68	mA
		动态，f_{SAMPLE} = 1MSPS		59	72	mA
		断电		130		μA
I_{DVDD}	DVDD 电流	静态		0.06	0.1	mA
		动态，f_{SAMPLE} = 1MSPS		0.6	1	mA
		断电		1		μA
数字输入						
V_{IH}	高电平输入电压		0.7 x DVDD		DVDD + 0.3	V
V_{IL}	低电平输入电压		–0.3		0.3 x DVDD	V
I_{LKG}	输入漏电流			100		nA
	输入电容			5		pF
数字输出						
V_{OH}	高电平输出电压	I_O = 500μA 拉电流	0.8 x DVDD		DVDD	V
V_{OL}	低电平输出电压	I_O = 500μA 灌电流	0		0.2 x DVDD	V
	悬空状态漏电流			1	20	μA
	悬空状态输出电容			5		pF

(1) 初始规格，可能根据特性变化
(2) 此参数是端点 INL，而不是最佳拟合 INL。
(3) 在调整偏移误差后计算的增益误差，意味着正满量程误差 = 负满量程误差 = 增益误差 ÷ 2。
(4) 根据输入频率的前九次谐波计算。
(5) 隔离串扰的测量方法是，向多路复用序列中的非选定通道施加高达 160kHz 的满量程正弦信号，测量对任意选定通道的输出的影响。
(6) 不包括由焊接漂移效应引起的电压变化。

Copyright © 2022 Texas Instruments Incorporated

6.6 时序要求

在 AVDD = 5V、DVDD = 1.71V 至 5.25V、V_{IL} 和 V_{IH} 等于数据表限值且 f_{SAMPLE} = 1MSPS 条件下测得（除非另有说明）；最小值和最大值是在 T_A = –40°C 至 +125°C 条件下测得；典型值是在 T_A = 25°C 条件下测得。

		最小值	标称值	最大值	单位
DEVICE CONFIGURATION					
$t_{D_\overline{CS}CNV}$	延时时间：$\overline{CS}$ 上升沿至 CONVST 上升沿	50			ns
t_{SU_CHXCNV}	设置时间：CHSELx 至 CONVST 上升沿	50			ns
t_{HT_BSYCHX}	保持时间：BUSY 下降沿至 CHSELx 变化	20			ns
t_{PWRUP}	电源稳定至 $\overline{RESET}$ 上升沿	1			ms
t_{DEV_WRITE}	部分复位：$\overline{RESET}$ 上升沿至 $\overline{CS}$ 的第一个下降沿	50			ns
	完全复位：$\overline{RESET}$ 上升沿至 $\overline{CS}$ 的第一个下降沿	240			μs
$t_{SU_\overline{RST}}$	部分复位：设置时间，硬件模式配置输入至 $\overline{RESET}$ 上升沿	10			ns
	完全复位：设置时间，硬件模式配置输入至 $\overline{RESET}$ 上升沿	50			μs
$t_{HT_\overline{RST}}$	部分复位：保持时间，$\overline{RESET}$ 上升沿至硬件模式配置输入	10			ns
	完全复位：保持时间，$\overline{RESET}$ 上升沿至硬件模式配置输入	240			μs
CONVST 控制					
t_{ACQ}	采集时间： BUSY 下降沿至尾随 CONVST 的上升沿	480			ns
t_{PH_CNV}	CONVST 脉冲高电平时间	50			ns
t_{PL_CNV}	CONVST 脉冲低电平时间	50			ns
t_{DEV_STRTUP}	部分复位设置时间：$\overline{RESET}$ 上升沿至 CONVST 的第一个上升沿	50			ns
	完全复位设置时间：$\overline{RESET}$ 上升沿至 CONVST 的第一个上升沿	15			ms
$t_{PL_\overline{RST}}$	部分复位	40		500	ns
	完全复位	1.2			μs
数据读取					
$t_{SU_BSY\ \overline{CS}}$	设置时间：BUSY 下降沿至 $\overline{CS}$ 下降沿，转换后开始数据读取操作	20			ns
$t_{DZ_\overline{CS}CNV}$	$\overline{CS}$ 上升沿至 CONVST 上升沿之间的延时，转换后数据读取操作结束	50			ns
并行和字节数据读取					
$t_{SU_\overline{CS}\overline{RD}}$	设置时间：$\overline{CS}$ 下降沿至 $\overline{RD}$ 下降沿	10			ns
$t_{HT_\overline{RD}\overline{CS}}$	保持时间：$\overline{RD}$ 上升沿至 $\overline{CS}$ 上升沿	10			ns
$t_{PH_\overline{RD}}$	$\overline{RD}$ 高电平时间	10			ns
$t_{PL_\overline{RD}}$	$\overline{RD}$ 低电平时间	30			ns

6.6 时序要求 (continued)

在 AVDD = 5V、DVDD = 1.71V 至 5.25V、V_{IL} 和 V_{IH} 等于数据表限值且 f_{SAMPLE} = 1MSPS 条件下测得（除非另有说明）；最小值和最大值是在 T_A = –40°C 至 +125°C 条件下测得；典型值是在 T_A = 25°C 条件下测得。

		最小值	标称值	最大值	单位
串行数据读取					
t_{SCLK}	SCLK 时间周期，1.71V ≤ DVDD ≤ 2.3V	50			ns
	SCLK 时间周期，2.3V < DVDD ≤ 3V	25			ns
	SCLK 时间周期，DVDD > 3V	20			ns
t_{PH_SCLK}	SCLK 高电平时间	0.45		0.55	t_{SCLK}
t_{PL_SCLK}	SCLK 低电平时间	0.45		0.55	t_{SCLK}
$t_{SU_\overline{CS}CK}$	设置时间：$\overline{CS}$ 下降沿至 SCLK 下降沿 DVDD > 3V	10.5			ns
	设置时间：$\overline{CS}$ 下降沿至 SCLK 下降沿 2.3V < DVDD ≤ 3V	13.5			ns
	设置时间：$\overline{CS}$ 下降沿至 SCLK 下降沿 1.71V ≤ DVDD ≤ 2.3V	20			ns
$t_{HT_CK\overline{CS}}$	保持时间：SCLK 至 $\overline{CS}$ 上升时间	10			ns
并行和字节数据写入					
$t_{SU_\overline{CS}\overline{WR}}$	设置时间：$\overline{CS}$ 下降沿至 $\overline{WR}$ 下降沿	10			ns
$t_{HT_\overline{WR}\overline{CS}}$	保持时间：$\overline{WR}$ 上升沿至 $\overline{CS}$ 上升沿	10			ns
$t_{PH_\overline{WR}}$	$\overline{WR}$ 高电平时间	20			ns
$t_{PL_\overline{WR}}$	$\overline{WR}$ 低电平时间	30			ns
$t_{SU_DIN\overline{WR}}$	设置时间：DIN 变化至 $\overline{WR}$ 上升沿	30			ns
$t_{HT_\overline{WR}DIN}$	保持时间：$\overline{WR}$ 上升沿至 DIN 变化	10			ns
t_{DZ_CONFIG}	器件配置时间：$\overline{WR}$ 上升沿至 CONVST 上升沿	20			ns
串行数据写入					
t_{SU_DINCK}	设置时间：DIN 至 SCLK 下降沿	10			ns
t_{HT_CKDIN}	保持时间：SCLK 下降沿至 DIN 变化	8			ns

6.7 开关特性

在 AVDD = 5V、DVDD = 1.71V 至 5.25V、V_{IL} 和 V_{IH} 等于数据表限值且 f_{SAMPLE} = 1MSPS 条件下测得（除非另有说明）；最小值和最大值是在 T_A = –40°C 至 +125°C 条件下测得；典型值是在 T_A = 25°C 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
CONVST 控制						
t_{CYC}	ADC 周期时间	无过采样、并行或字节或串行 2 线模式回读	1			µs
t_{CONV}	转换时间: CONVST 上升沿至 BUSY 下降沿时间，输入通道	无过采样		475	520	ns
		2 倍过采样		1.4		µs
		4 倍过采样		3.2		µs
		8 倍过采样		6.7		µs
		16 倍过采样		13.7		µs
		32 倍过采样		27.9		µs
		64 倍过采样		55.9		µs
		128 倍过采样		112		µs

Copyright © 2022 Texas Instruments Incorporated

6.7 开关特性 (continued)

在 AVDD = 5V、DVDD = 1.71V 至 5.25V、V_{IL} 和 V_{IH} 等于数据表限值且 f_{SAMPLE} = 1MSPS 条件下测得（除非另有说明）；最小值和最大值是在 T_A = –40°C 至 +125°C 条件下测得；典型值是在 T_A = 25°C 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
t_{CONV_DIAG}	转换时间: CONVST 上升沿至 BUSY 下降沿时间，诊断通道	无过采样		525	570	ns
		2 倍过采样		1.4		µs
		4 倍过采样		3.2		µs
		8 倍过采样		6.7		µs
		16 倍过采样		13.7		µs
		32 倍过采样		27.9		µs
		64 倍过采样		55.9		µs
		128 倍过采样		112		µs
t_{D_CNVBSY}	CONVST 上升沿至 BUSY 上升沿之间的延时	手动模式			32	ns
并行和字节数据读取						
$t_{D_\overline{RD}DB}$	延时时间：$\overline{RD}$ 下降沿至 DB[15:0] 变为新数据				30	ns
$t_{DHZ_\overline{CS}DB}$	延时时间：$\overline{CS}$ 上升沿至 DB[15:0] 变为三态	1.71V ≤ DVDD ≤ 2.3V			20	ns
	延时时间：$\overline{CS}$ 上升沿至 DB[15:0] 变为三态	DVDD > 2.3V			12	ns
串行数据读取						
$t_{D_\overline{CS}DO}$	延时时间：$\overline{CS}$ 下降沿至 SDOA 和 SDOB 变为有效（脱离三态）	1.71 V ≤ DVDD ≤ 2.3 V			16	ns
	延时时间：$\overline{CS}$ 下降沿至 SDOA 和 SDOB 变为有效（脱离三态）	DVDD > 2.3V			9	ns
t_{H_CKDO}	保持时间：SCLK 上升沿至 SDOA 和 SDOB 保持数据	1.71V ≤ DVDD ≤ 2.3V	3			ns
	保持时间：SCLK 上升沿至 SDOA 和 SDOB 保持数据	2.3V ≤ DVDD ≤ 3V	3			ns
	保持时间：SCLK 上升沿至 SDOA 和 SDOB 保持数据	DVDD > 3V	2.8			ns
t_{D_CKDO}	延时时间：SCLK 上升沿至 SDOA 和 SDOB 上的数据变为有效	1.71V ≤ DVDD ≤ 2.3V			20	ns
	延时时间：SCLK 上升沿至 SDOA 和 SDOB 上的数据变为有效	2.3V ≤ DVDD ≤ 3V			12	ns
	延时时间：SCLK 上升沿至 SDOA 和 SDOB 上的数据变为有效	DVDD > 3V			10	ns
$t_{DHZ_\overline{CS}DO}$	延时时间：$\overline{CS}$ 上升沿至 SDOA 和 SDOB 变为三态	1.71V ≤ DVDD ≤ 2.3V			20	ns
	延时时间：CS 上升沿至 SDOA 和 SDOB 变为三态	DVDD > 2.3V			10	ns

6.8 时序图通用

本部分中的所有图都是在 AVDD = 4.75V 至 5.25V、DVDD = 1.71V 至 AVDD、V_{REFIO} = 2.5V 外部基准和内部基准且 T_A = −40°C 至 +125°C 条件下测得的（除非另有说明）；经测试的接口时序使用的负载电容为 30pF，取决于 DVDD 和串行接口的负载电容（请参阅表 7-10）。

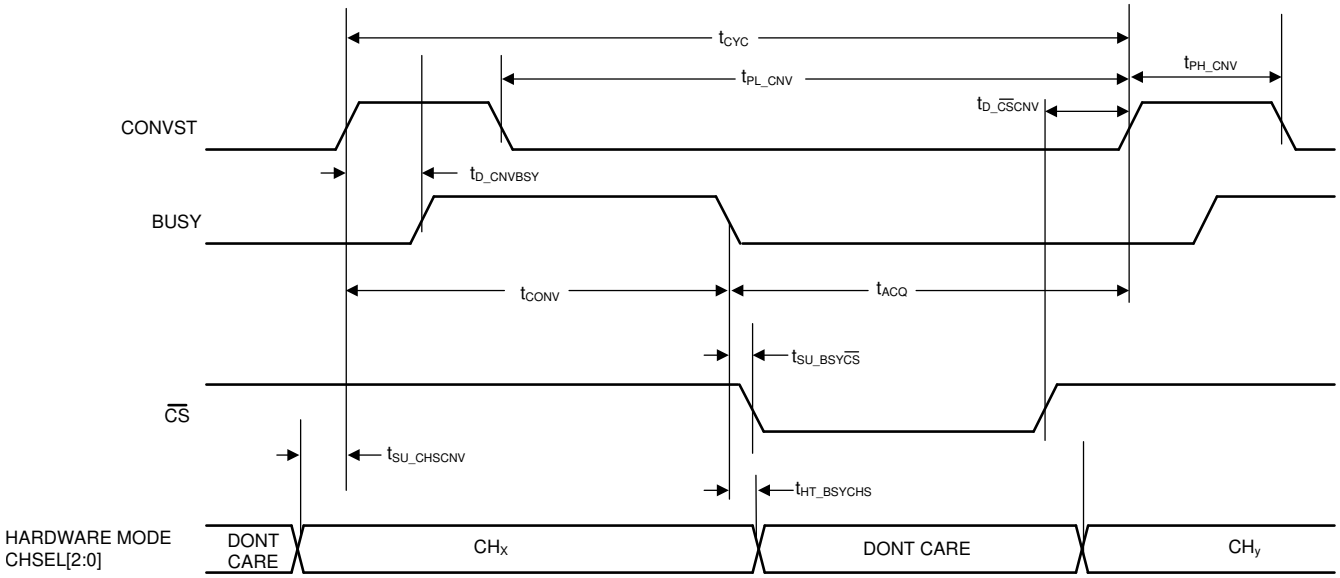


图 6-1. 所有接口的通用时序图

Copyright © 2022 Texas Instruments Incorporated

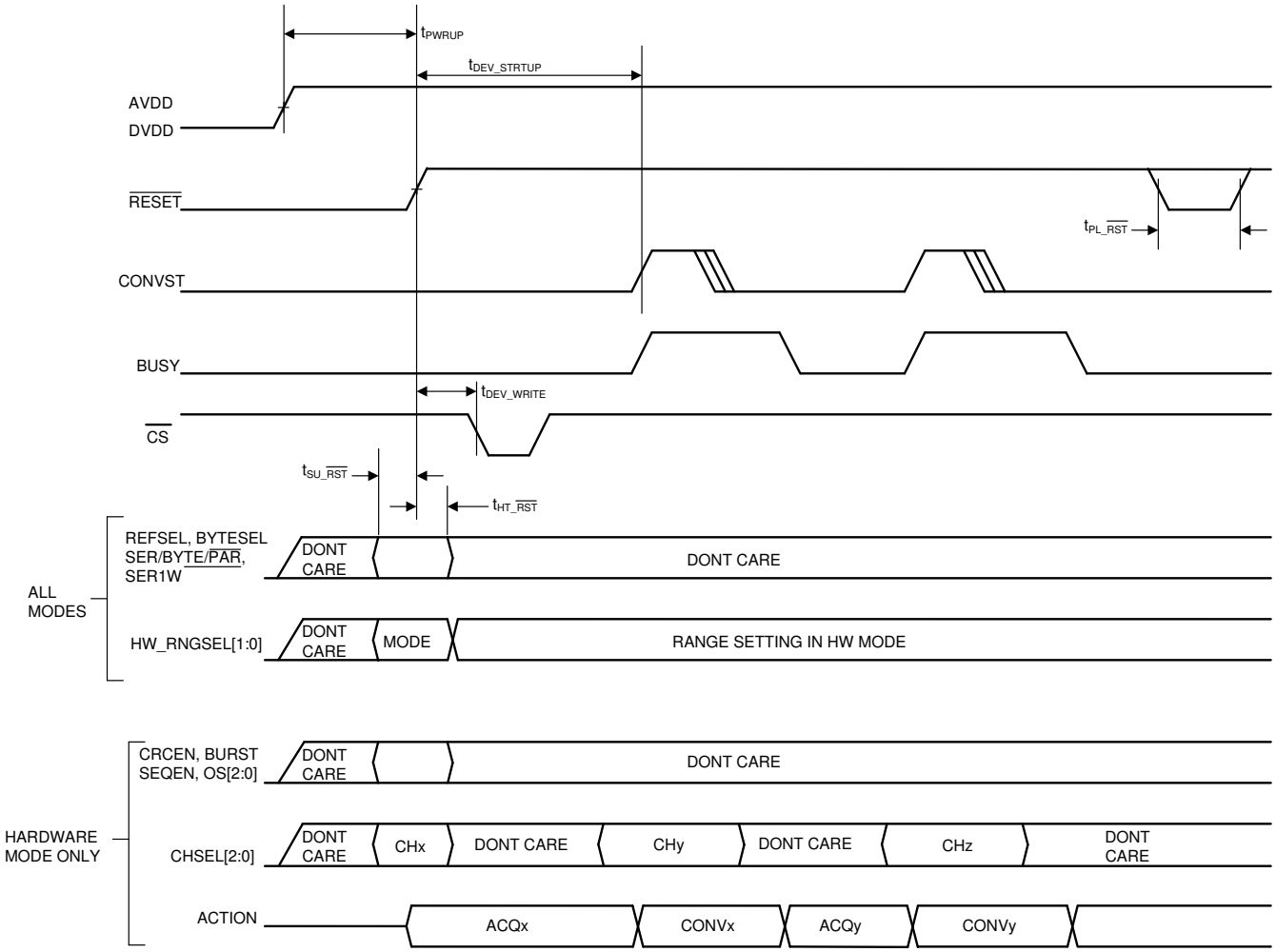

tPWRUP
tDEV_STRTUP
AVDD
DVDD
RESET
tPL_RST
CONVST
BUSY
tDEV_WRITE
CS
tSU_RST
tHT_RST
ALL MODES
REFSEL, BYTESEL
SER/BYTE/PAR,
SER1W
DONT CARE
DONT CARE
HW_RNGSEL[1:0]
DONT CARE
MODE
RANGE SETTING IN HW MODE
HARDWARE MODE ONLY
CRCEN, BURST
SEQEN, OS[2:0]
DONT CARE
DONT CARE
CHSEL[2:0]
DONT CARE
CHx
DONT CARE
CHy
DONT CARE
CHz
DONT CARE
ACTION
ACQx
CONVx
ACQy
CONVy

图 **6-2.** 复位时序

6.9 时序图：并行数据读取

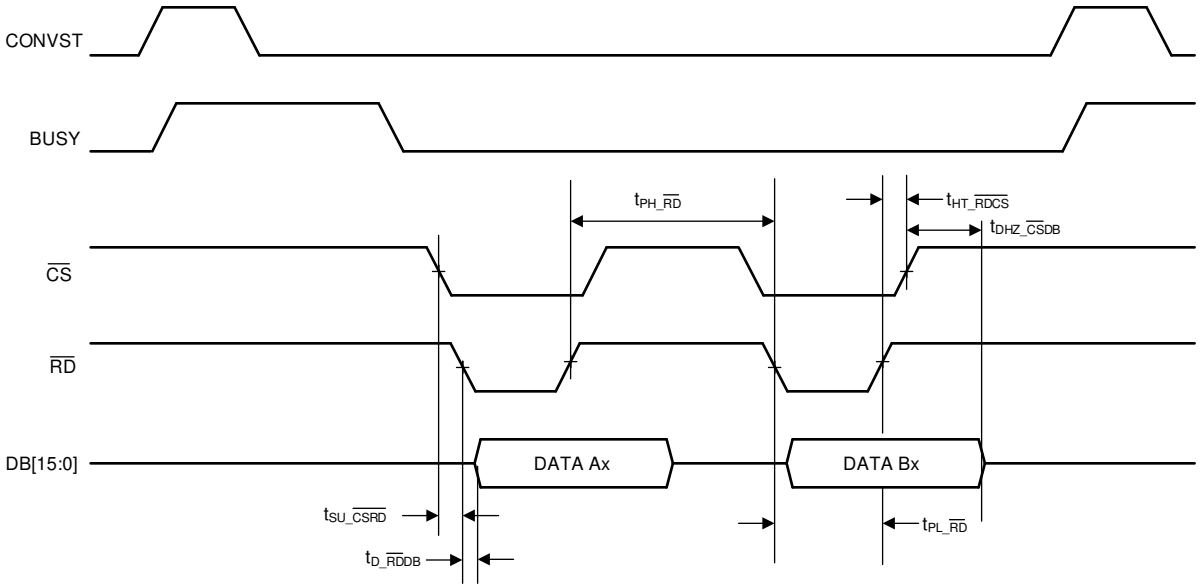


图 6-3. 并行读取时序图

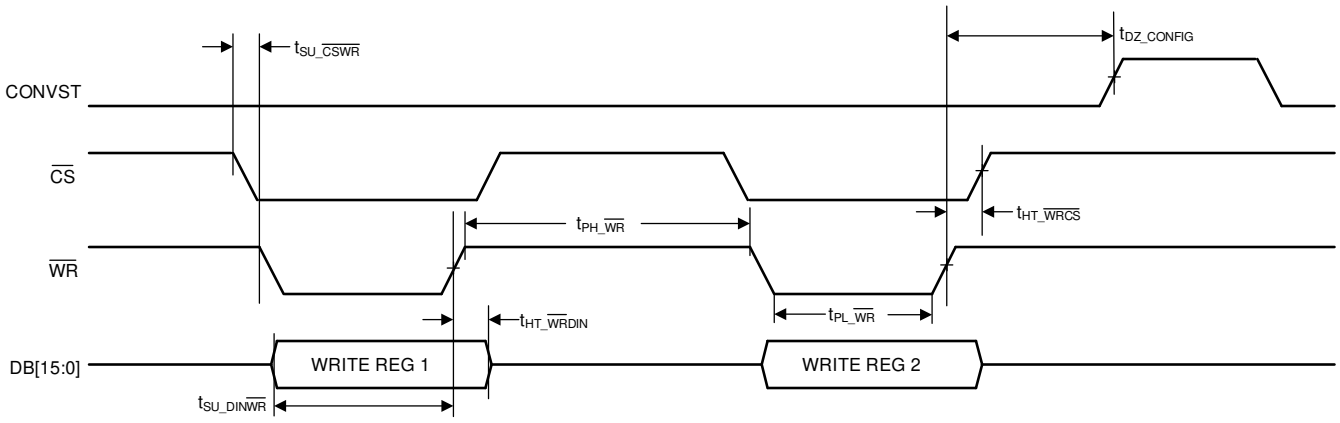


图 6-4. 并行写入时序图

Copyright © 2022 Texas Instruments Incorporated

6.10 时序图：串行数据读取

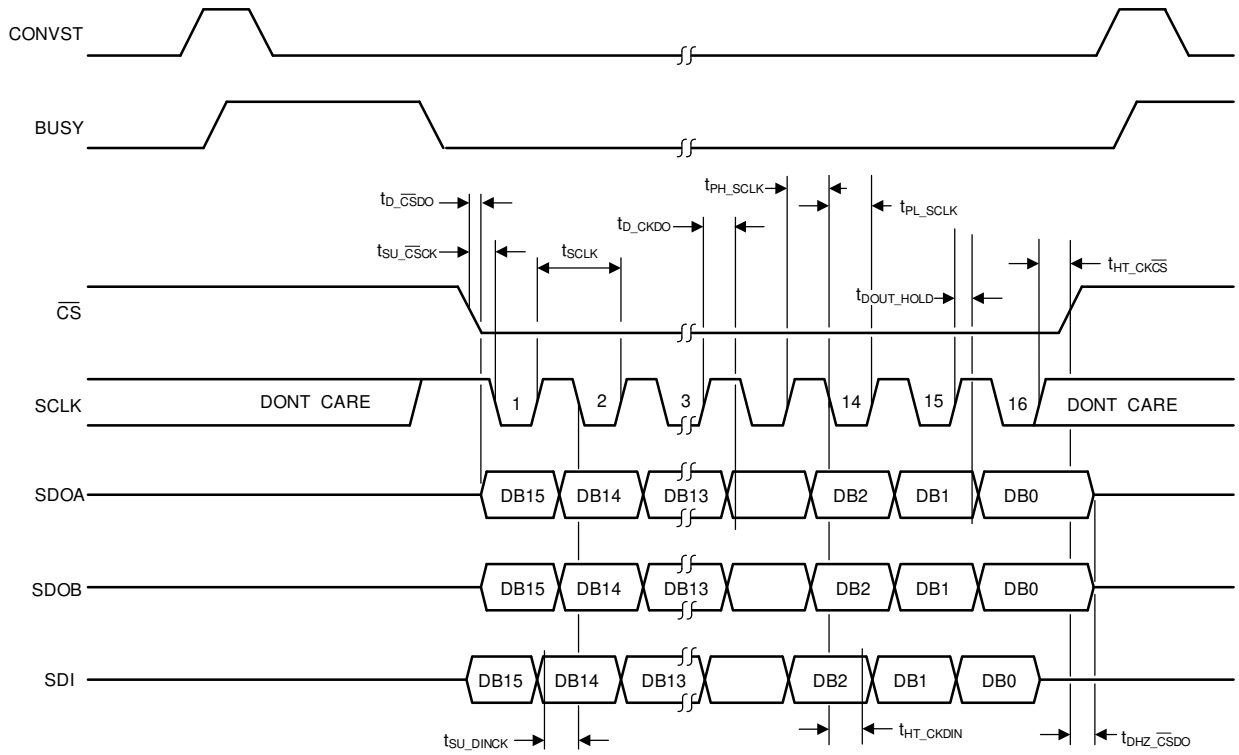
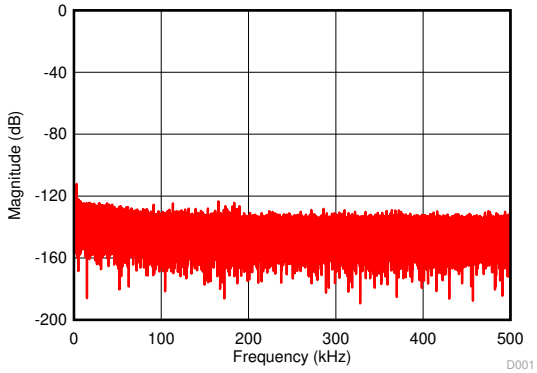


图 6-5. 串行时序图

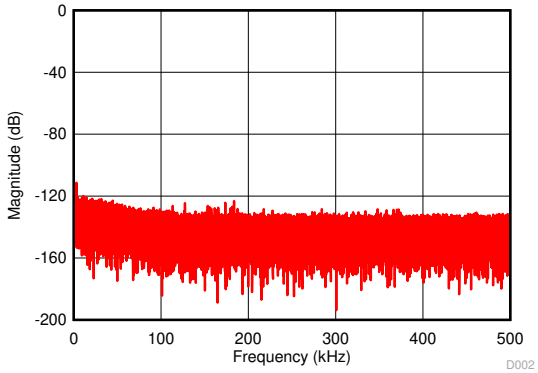
6.11 典型特性

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）



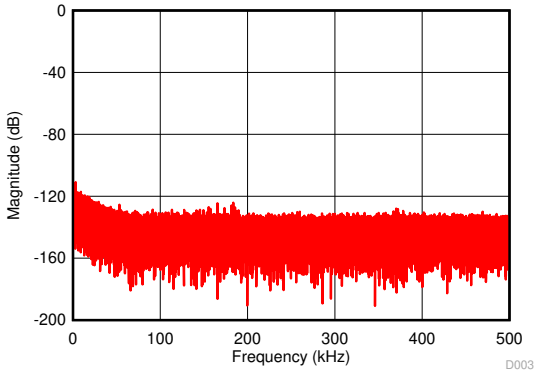
点数 = 256k，SNR = 90.73dB，
SINAD = 90.65dB，THD = –110dB，SFDR = 112.2dB

图 6-6. 典型 FFT 图
（±10V，正常模式，滤波器选项 1）



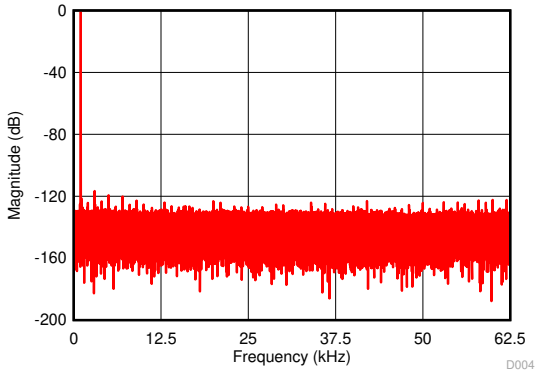
点数 = 256k，SNR = 89.56dB，
SINAD = 89.47dB，THD = –110.83dB，SFDR = 110.69dB

图 6-7. 典型 FFT 图
（±5V，正常模式，滤波器选项 1）



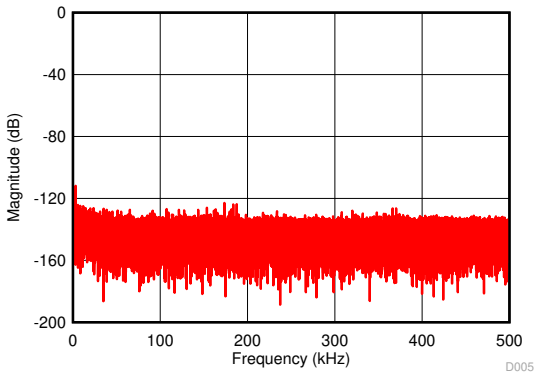
点数 = 256k，SNR = 89.03dB，
SINAD = 88.89dB，THD = –107.25dB，SFDR = 110.46dB

图 6-8. 典型 FFT 图
（±2.5V，正常模式，滤波器选项 1）



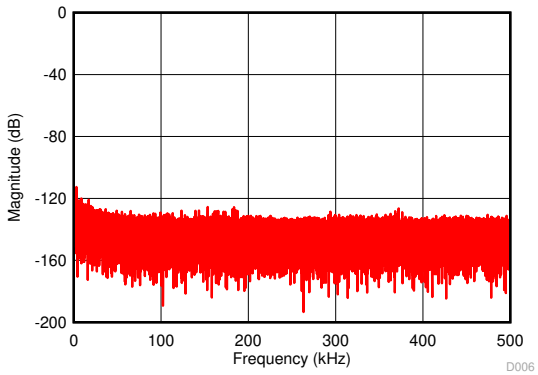
点数 = 256k，SNR = 90.27dB，
SINAD = 90.24dB，THD = –111.9dB，SFDR = 116.04dB

图 6-9. 典型 FFT 图
（±10V，突发模式，滤波器选项 1）



点数 = 256k，SNR = 91.93dB，
SINAD = 91.82dB，THD = –110.04dB，SFDR = 111.95dB

图 6-10. 典型 FFT 图
（±10V，正常模式，滤波器选项 2）



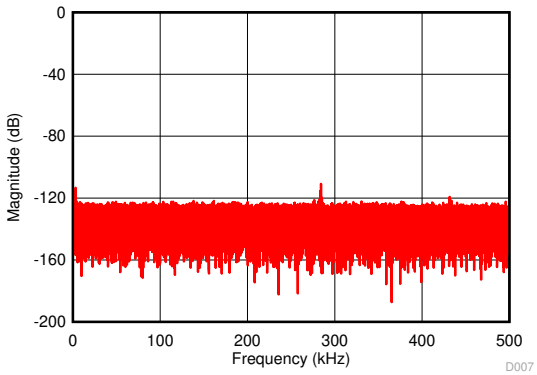
点数 = 256k，SNR = 90.99dB，
SINAD = 90.87dB，THD = –111.91dB，SFDR = 111.1dB

图 6-11. 典型 FFT 图
（±5V，正常模式，滤波器选项 2）

Copyright © 2022 Texas Instruments Incorporated

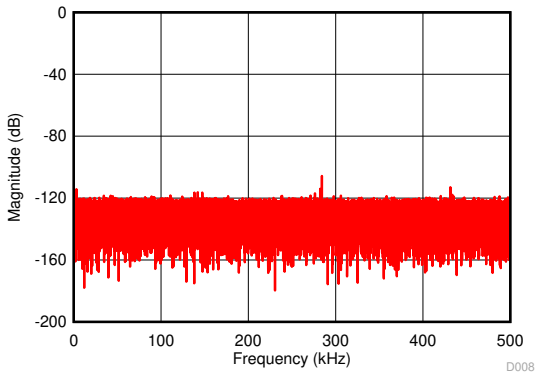
6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）



点数 = 256k，SNR = 84.29dB，
SINAD = 84.27dB，THD = – 110dB，SFDR = 113.6dB

图 6-12. 典型 FFT 图
（±10V，正常模式，滤波器选项 3）



点数 = 256k，SNR = 81.10dB，
SINAD = 81.01dB，THD = – 110.8dB，SFDR = 113.56dB

图 6-13. 典型 FFT 图
（±5V，正常模式，滤波器选项 3）

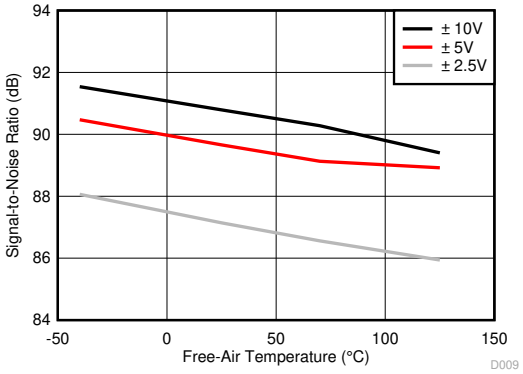


图 6-14. SNR 与自然通风温度间的关系
（滤波器选项 1）

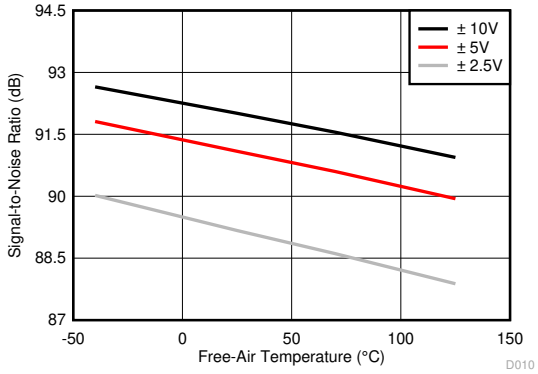


图 6-15. SNR 与自然通风温度间的关系
（滤波器选项 2）

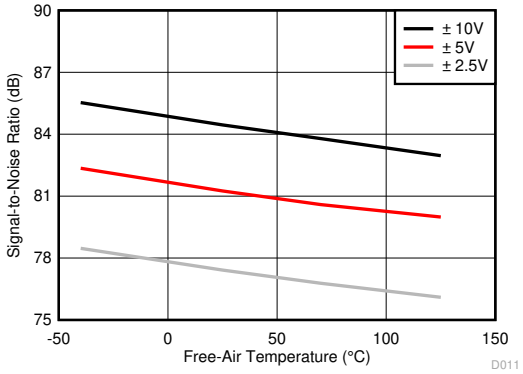


图 6-16. SNR 与自然通风温度间的关系
（滤波器选项 3）

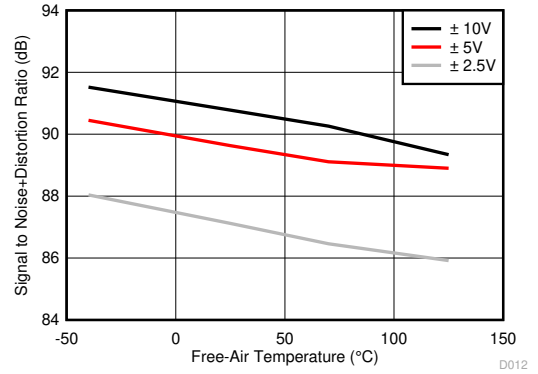


图 6-17. SINAD 与自然通风温度间的关系
（滤波器选项 1）

6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）

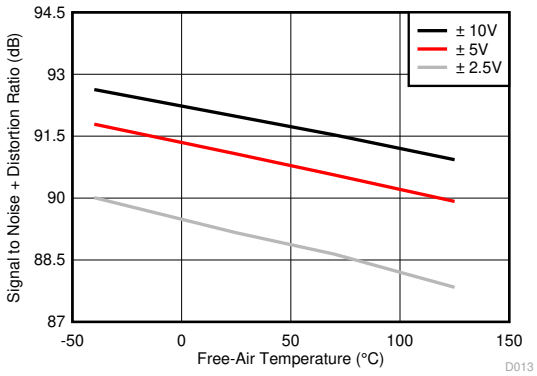


图 6-18. SINAD 与自然通风温度间的关系（滤波器选项 2）

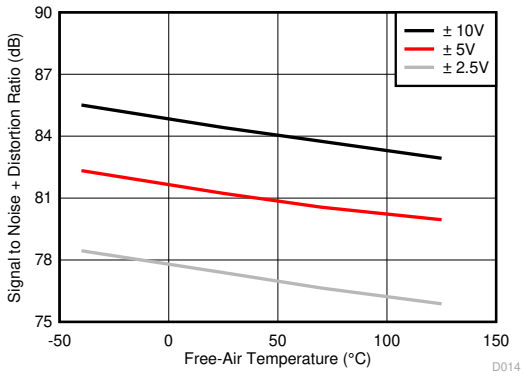


图 6-19. SINAD 与自然通风温度间的关系（滤波器选项 3）

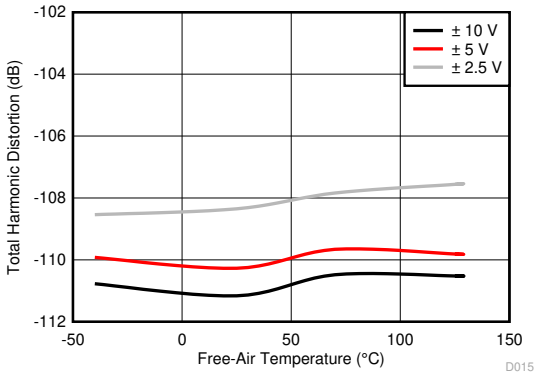


图 6-20. THD 与自然通风温度间的关系（滤波器选项 1）

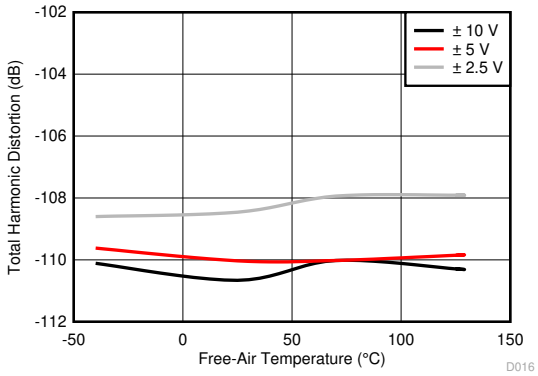


图 6-21. THD 与自然通风温度间的关系（滤波器选项 2）

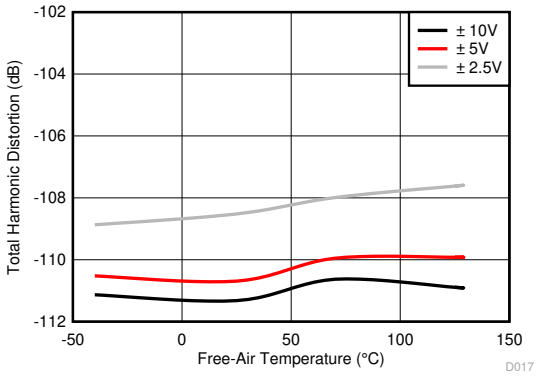


图 6-22. THD 与自然通风温度间的关系（滤波器选项 3）

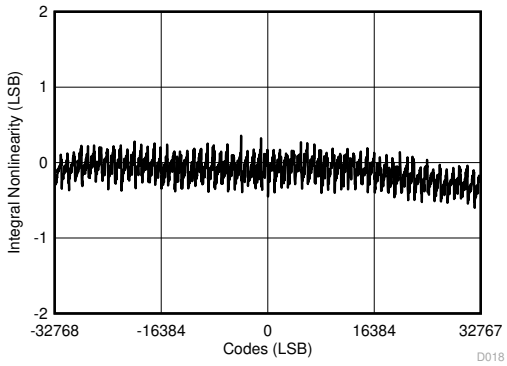


图 6-23. 所有代码的典型 INL (±10V)

Copyright © 2022 Texas Instruments Incorporated

6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）

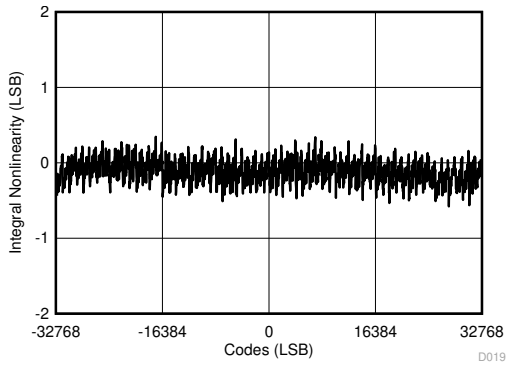


图 6-24. 所有代码的典型 INL (±5V)

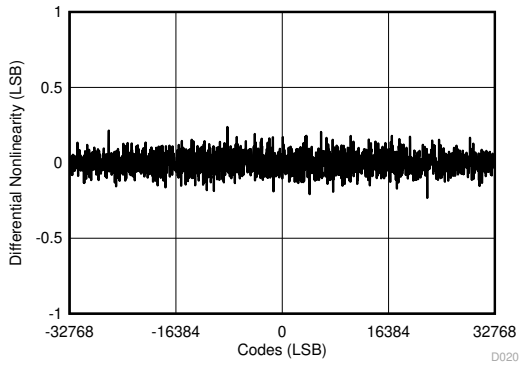


图 6-25. 所有代码的典型 DNL (±10V)

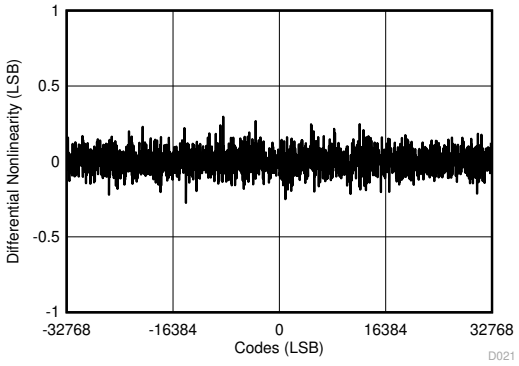
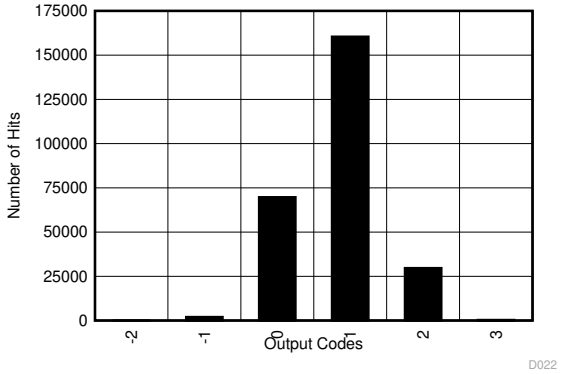
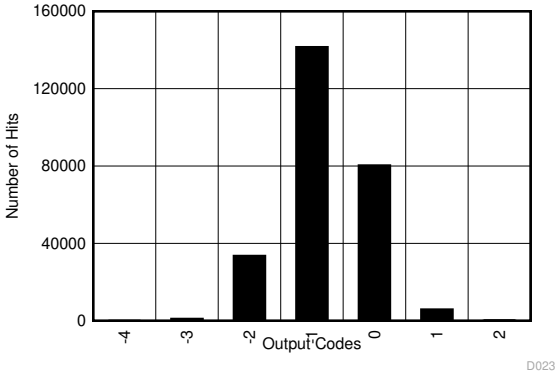


图 6-26. 所有代码的典型 DNL (±5V)



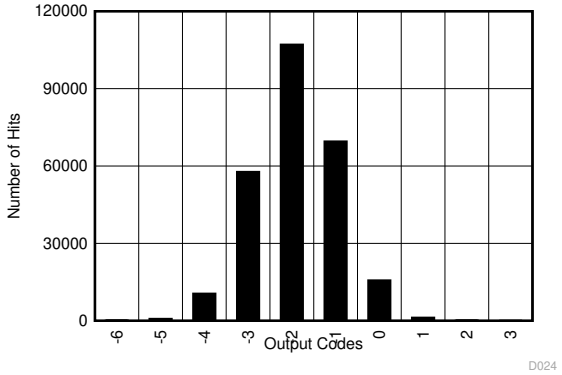
平均值 = 0.83，西格玛 = 0.62，命中数 = 256k，V_{IN} = 0V

图 6-27. 典型失调电压误差直方图 (±10V)



平均值 = –0.78，西格玛 = 0.7，命中数 = 256k，V_{IN} = 0V

图 6-28. 典型失调电压误差直方图 (±5V)



平均值 = -1.91，西格玛 = 0.97，命中数 = 256k，V_{IN} = 0V

图 6-29. 典型失调电压误差直方图 (±2.5V)

6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）

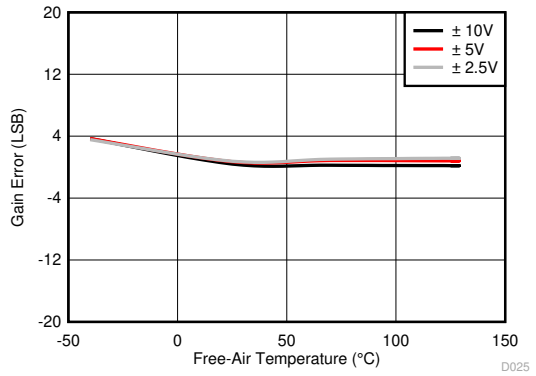


图 6-30. 增益误差与自然通风温度间的关系

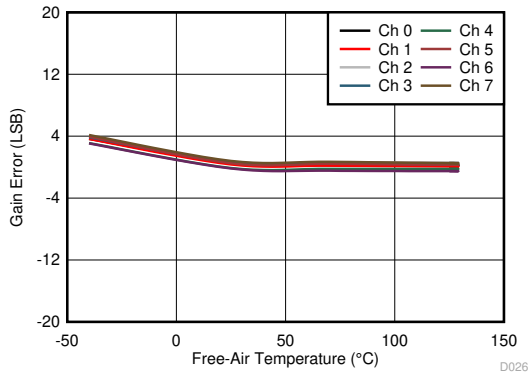


图 6-31. 增益误差与自然通风温度间的关系（±10V，通道间）

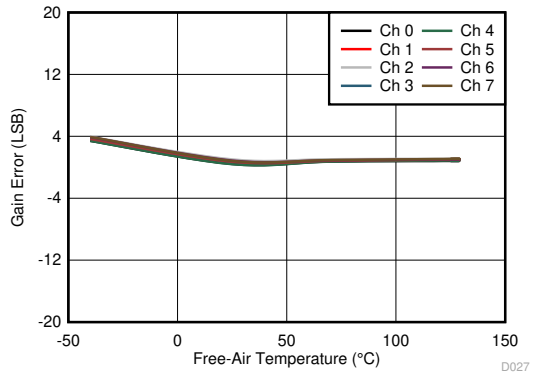


图 6-32. 增益误差与自然通风温度间的关系（±5V，通道间）

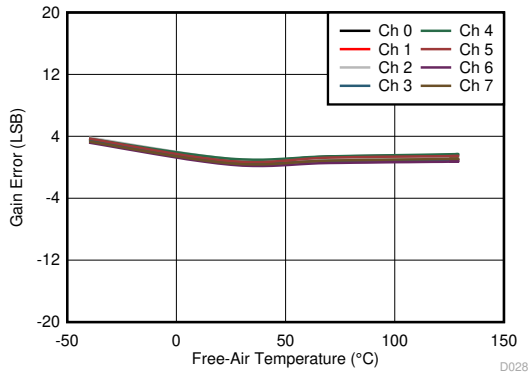


图 6-33. 增益误差与自然通风温度间的关系（±2.5V，通道间）

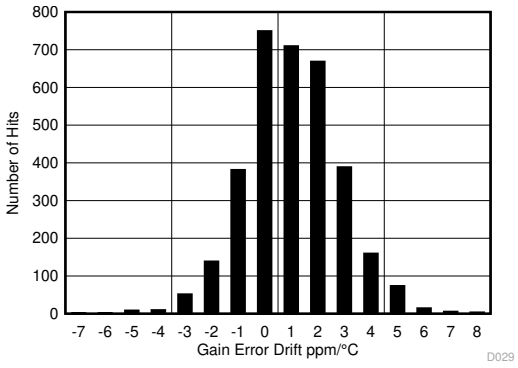


图 6-34. 增益误差漂移直方图

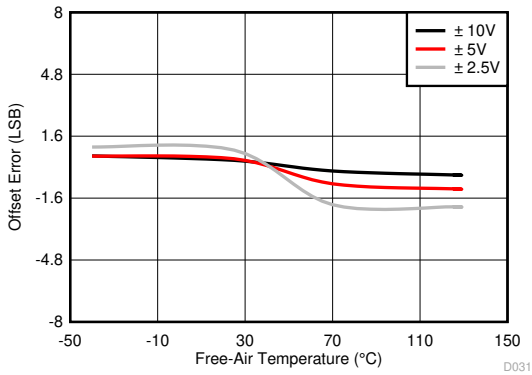


图 6-35. 失调电压误差与自然通风温度间的关系

Copyright © 2022 Texas Instruments Incorporated

6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）

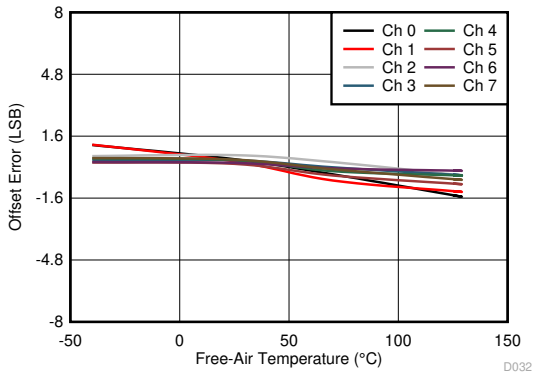


图 6-36. 失调电压误差与自然通风温度间的关系（±10V，通道间）

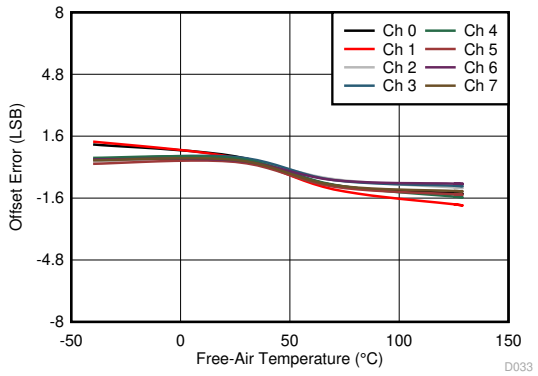


图 6-37. 失调电压误差与自然通风温度间的关系（±5V，通道间）

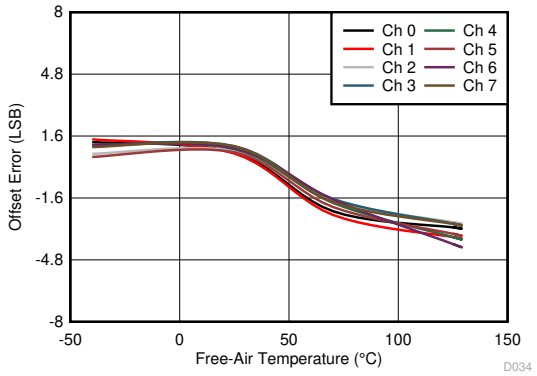


图 6-38. 失调电压误差与自然通风温度间的关系（±2.5V，通道间）

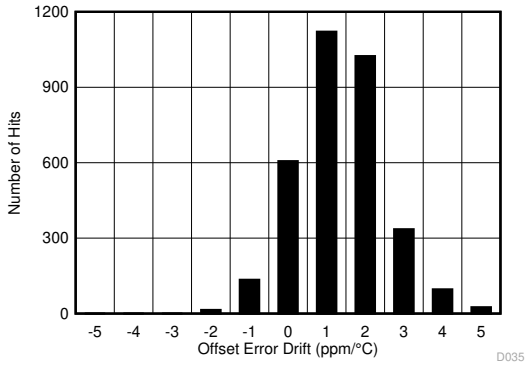


图 6-39. 失调电压误差温漂直方图

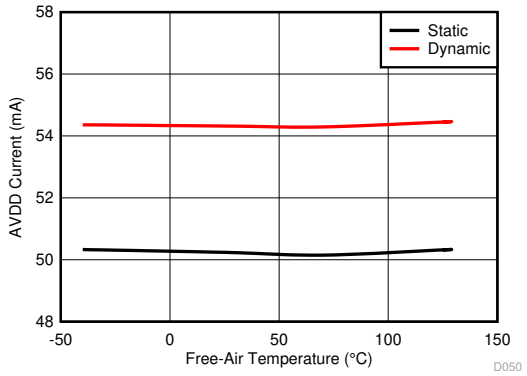


图 6-40. AVDD 电流与自然通风温度间的关系

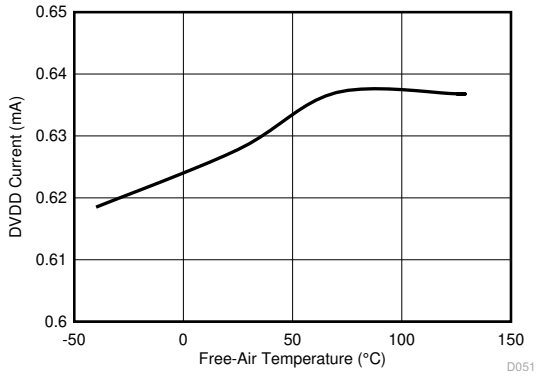


图 6-41. DVDD 电流与自然通风温度间的关系

6.11 典型特性 (continued)

在 T_A = 25°C、AVDD = 5V、DVDD = 3V、内部基准 V_{REF} = 2.5V 且 f_S = 1MSPS 的条件下测得（除非另有说明）

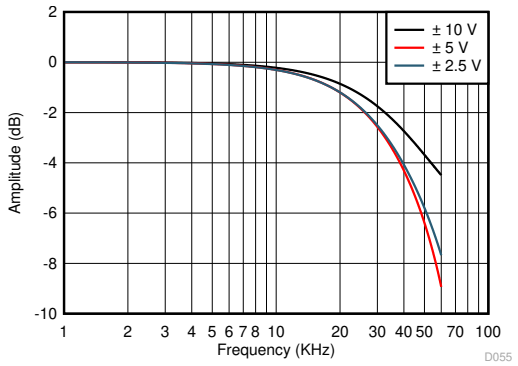


图 6-42. 整个范围内的频率响应
（滤波器选项 1）

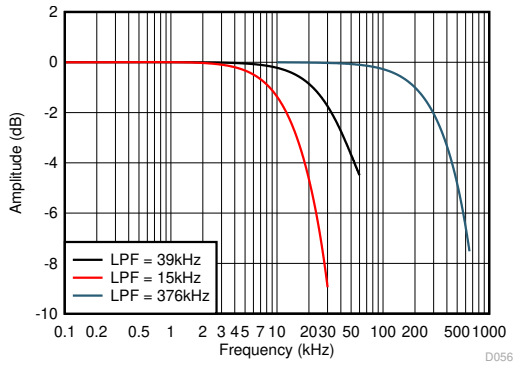


图 6-43. 频率响应随 LPF 设置的变化
(±10V)

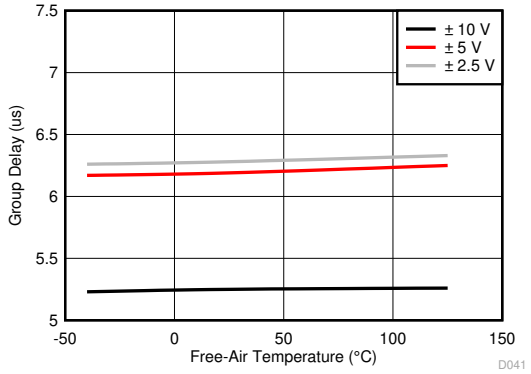


图 6-44. 群延时与自然通风温度间的关系
（滤波器选项 1）

Copyright © 2022 Texas Instruments Incorporated

7 详细说明

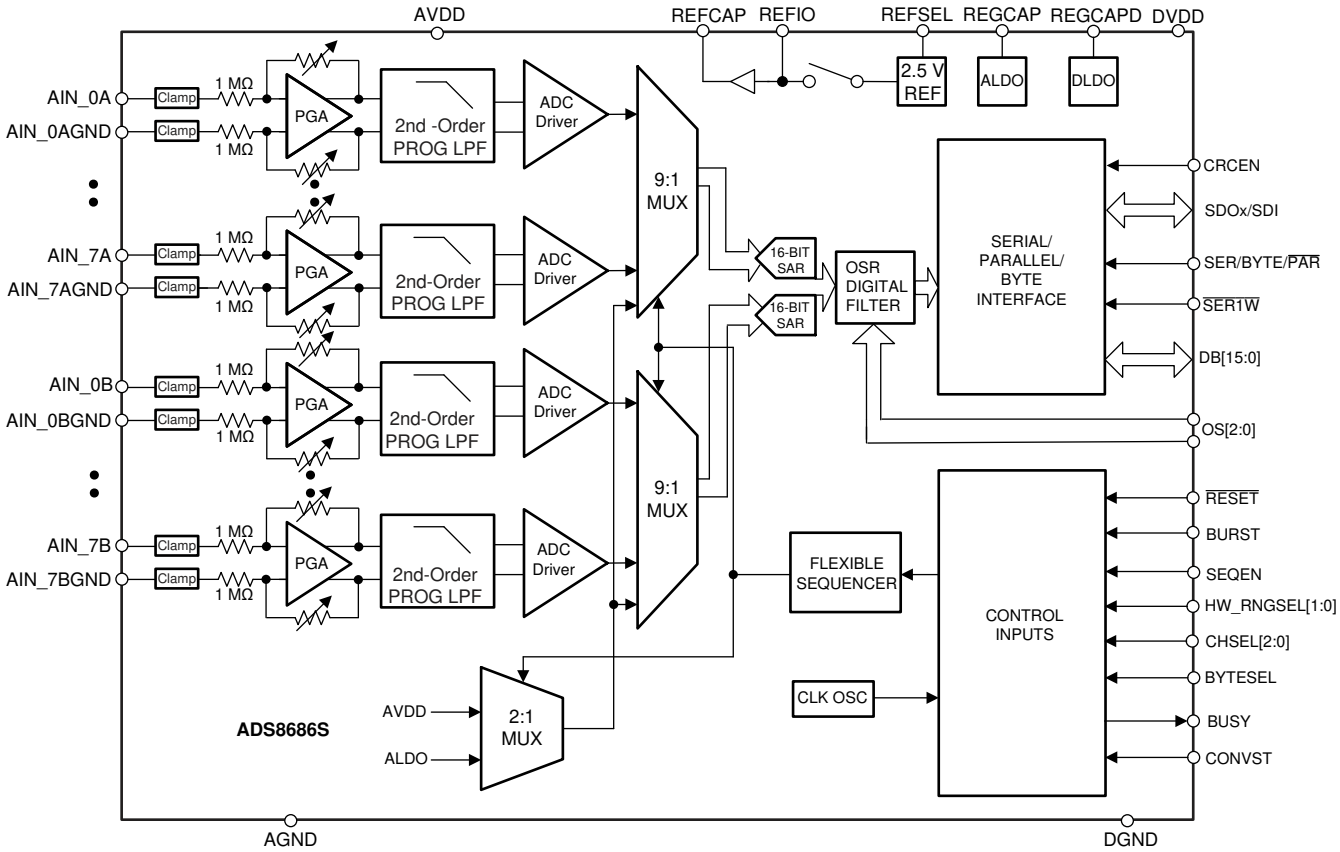
7.1 概述

ADS8686S 是具有 16 通道模拟输入的 16 位数据采集系统 (DAQ)。每个模拟输入通道由一个输入钳位保护电路、一个可编程增益放大器 (PGA)、一个后跟模数 (ADC) 驱动器的二阶可编程低通滤波器组成。ADC 驱动器输出通过双 8:1 多路复用器 (MUX) 连接到 16 位双同步采样 ADC。整个系统可实现每个 ADC 1MSPS 的最大吞吐量。该器件具有一个带快速稳定缓冲器的 2.5V 内部基准、一个用于改善噪声性能的可编程数字平均滤波器、一个灵活的通道序列发生器以及用于与各种数字主机通信的高速并行、字节和串行接口。

该器件采用单一 5V 模拟电源供电，可接受真双极输入信号。可编程模拟信号范围包括 ±10V、±5V 和 ±2.5V 选项，具有 20% 超量程。输入钳位保护电路可以承受高达 ±15V 的电压。无论采样频率或选定输入范围如何，该器件都提供恒定的 1MΩ 阻性输入阻抗。

该器件可以通过控制 HW_RNGSELx 引脚以硬件或软件模式运行。在硬件模式下，通过引脚控制配置器件。在软件模式下，通过并行、字节或串行接口访问控制寄存器，以配置器件。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

ADS8686S 整合了两个同步采样 16 位逐次逼近寄存器 (SAR) 模数转换器 (ADC)。每个 ADC 都通过多路复用器连接到八个模拟输入通道。该器件共有 16 个模拟输入。每个模拟输入通道有两个输入引脚：AIN_0A、AIN_0B 和 AIN_0AGND、AIN_0BGND 至 AIN_7A、AIN_7B 和 AIN_7AGND、AIN_7BGND。正输入（AIN_nA、AIN_nB）是单端模拟输入，负输入（AIN_nAGND、AIN_nBGND）连接到 AGND。图 7-1 显示每个模拟输入通道的简化电路原理图，包括输入钳位保护电路、PGA、低通滤波器、高速 ADC 驱动器、多路复用器和 16 位精密 SAR ADC。

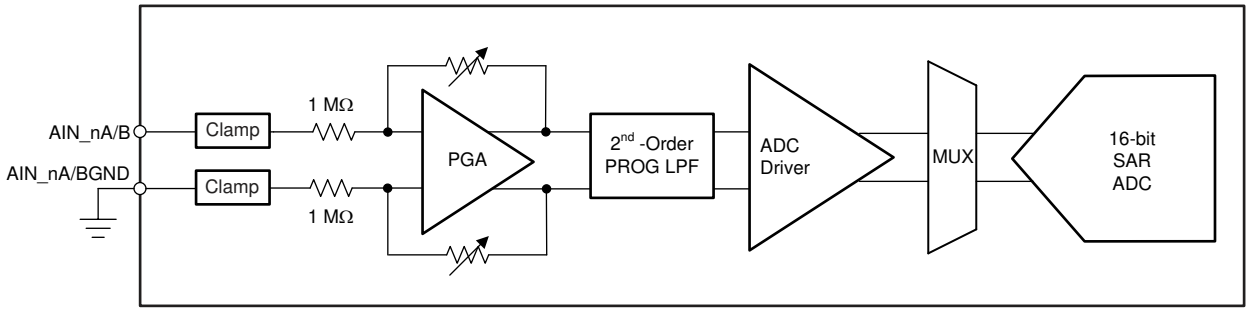


图 7-1. 选定模拟输入通道的前端电路原理图

该器件对选定模拟输入通道引脚之间的电压差（AIN_nA、AIN_nB – AIN_nAGND、AIN_nBGND）采样。该器件的所有模拟输入通道的 AIN_nAGND、AIN_nBGND 引脚上电压范围为 ±0.3V。当电路板上的传感器或信号调节块距离 ADC 较远并且传感器或信号调节器的接地电位与 ADC 接地电位可能存在差值时，在模块化系统中使用此特性。在这种情况下，建议在器件的 AIN_nAGND、AIN_nBGND 引脚与传感器或信号调节接地之间连接单独的电线

ADS8686S 还有监视 AVDD 电源的片上诊断通道和一个片上低压降稳压器 (LDO)。通过在硬件模式下控制 CHSELx 引脚或通过在软件模式下控制通道寄存器可以选择执行转换的通道。器件支持动态的通道选择，也可以启用片上序列发生器以预编程方式扫描通道。在硬件模式下，同步采样仅限于对应的 A 和 B 通道（即必须同时选择通道 AIN_0A 与通道 AIN_0B 进行采样）。无法在硬件运行模式下对诊断通道进行采样。对诊断通道采样需要使用软件模式。在软件模式下，可任意选择 AIN_nA 通道与 AIN_nB 通道进行同步采样。

7.3.2 模拟输入阻抗

器件中的每个模拟输入通道均存在 1MΩ 的恒定阻抗。每个通道的输入阻抗与 ADC 的配置范围或过采样模式无关。此类高阻抗输入的主要优势是，无需驱动具有低输出阻抗的放大器即可轻松驱动 ADC 输入。系统中不需要双极高压电源，因为该 ADC 不需要任何高压前端驱动器。在大多数应用中，信号源或传感器输出可直接连接到 ADC 输入，从而显著简化信号链设计。

为保持系统的直流精度，建议将 AIN_nA、AIN_nB 输入引脚上的外部源阻抗与 AIN_nAGND、AIN_nBGND 引脚上的等效电阻相匹配（参阅图 7-4）。如此匹配有助于消除外部电阻引起的任何额外的失调电压误差。

Copyright © 2022 Texas Instruments Incorporated

7.3.3 输入钳位保护电路

图 7-2 显示 ADS8686S 的模拟输入电路。该器件的 16 个模拟输入通道上分别具有内部钳位保护电路。

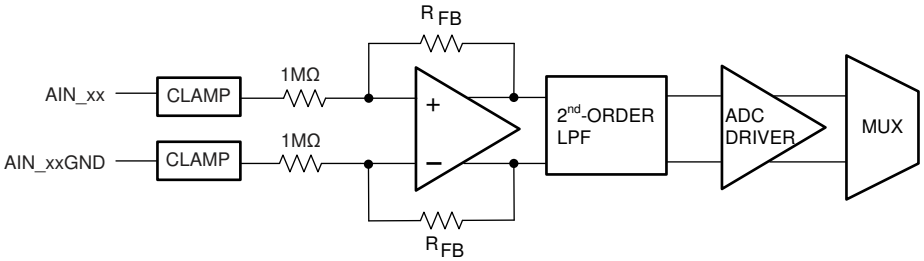


图 7-2. 模拟输入电路

ADS8686S 上的输入钳位保护电路允许每个模拟输入摆动至最大电压 ±15V。输入电压超过 ±15V 后，输入钳位电路将导通，并且仍由单一 5V 电源供电。图 7-3 显示了输入钳位电流与电压间的关系的典型特性曲线。当输入电压不超过 ±15V 时，钳位电路中没有电流。超过该电压，输入钳位电路将导通。

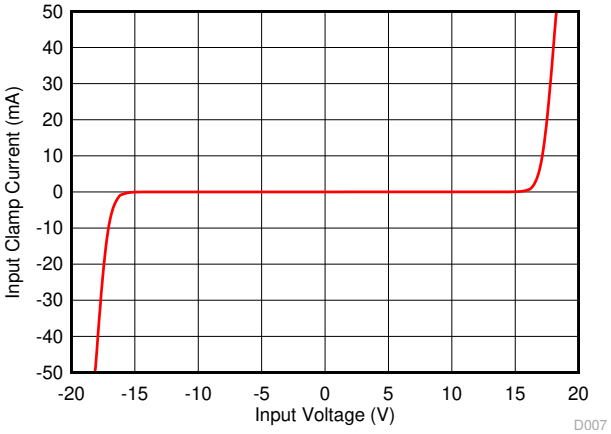


图 7-3. 输入保护钳位曲线 - 输入钳位电流与电源电压

如果输入电压高于钳位阈，确保输入电流不超过绝对最大额定值 ±10mA（参阅*绝对最大额定值*表），以防止对器件造成任何损坏。图 7-4 显示与模拟输入串联的小型串联电阻器是限制输入电流的有效方法。除了限制输入电流之外，该电阻器与电容器耦合时还可以提供抗混叠低通滤波器 (LPF)。为了保持系统的直流精度，建议将 AIN_nA、AIN_nB 输入引脚上的外部源阻抗与 AIN_nAGND AIN_nBGND 引脚上的等值电阻匹配起来。如此匹配有助于消除外部电阻引起的任何额外的失调电压误差。

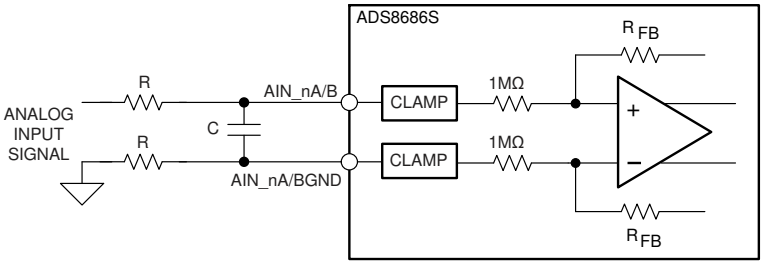


图 7-4. 模拟输入端的输入电阻匹配

ADS8686S 上的输入过压保护钳位用于控制输入引脚上的瞬态偏移。不建议在正常或断电模式下让器件长时间保持在钳位电路激活的状态，因为这种故障情况会降低器件性能和可靠性。此外，还建议将外部保护电路用作二级保护方案，以保护器件。使用外部保护器件有助于防止浪涌、静电放电 (ESD) 和电气快速瞬变 (EFT) 情况。

7.3.4 可编程增益放大器 (PGA)

该器件在每个单独的模拟输入通道上提供一个可编程增益放大器 (PGA)，将输入单端信号转换为全差分信号以驱动内部 16 位 ADC。PGA 在将输入信号馈送到 ADC 之前，还会调节输入信号的共模电平，以确保更大限度地利用 ADC 输入动态范围。

范围选择引脚 HW_RNGSEL[1:0] 上的逻辑电平确定了所有模拟输入通道的模拟输入范围（请参阅 *HW_RANGESEL[1:0]（输入）* 部分）。如果两个范围选择引脚都连接到逻辑低电平，则在软件模式下通过输入范围寄存器确定模拟输入范围（有关详细信息，请参阅 *寄存器映射* 部分）。在软件模式下，可以为每个通道配置单独的模拟输入范围。该器件在软件模式下还支持针对所有输入通道启用 20% 超量程功能。对 0x08H 和 0x0AH 寄存器中的 D[7:0] 位进行编程，以单独针对通道 AIN_xA 启用超量程功能。在两个寄存器中编程相同的值。对 0x09H 和 0x0Bh 寄存器中的 D[7:0] 位进行编程，以单独针对通道 AIN_xB 启用超量程功能。在两个寄存器中编程相同的值。有关已编程的寄存器值，请参阅 0x0AH 和 0x0BH 寄存器的详细信息。所选通道的编程范围增加 20%。例如，如果通道 AIN_0A 被编程为 ±10V 范围且启用超量程功能，则所得输入范围为 ±12V。

在硬件模式下，HW_RNGSEL[1:0] 引脚选择的范围适用于所有通道。HW_RNGSEL[1:0] 引脚上的逻辑变化会立即影响模拟输入范围；但是，除了低通滤波器选项 2 的正常采集时间要求外，通常还有大概 120μs 的稳定时间。

表 7-1 列出了 HW_RNGSEL[1:0] 引脚设置可实现的各种增益设置。

表 7-1. 模拟输入范围选择

HW_RNGSEL1	HW_RNGSEL0	模拟输入范围
0	0	根据输入范围寄存器编程进行配置
0	1	±2.5V
1	0	±5V
1	1	±10V

Copyright © 2022 Texas Instruments Incorporated

7.3.5 二阶可编程低通滤波器 (LPF)

为了降低 PGA 前端放大器和增益电阻器的噪声，ADS8686S 的每个模拟输入通道在 PGA 输出端都具有二阶可编程低通滤波器 (LPF)。

表 7-2 列出了器件中可用的各种可编程 LPF 选项。可编程 LPF 选项在软件运行模式下可用。

表 7-2. 可编程 LPF 设置

LPF 选项	寄存器设置	范围	LPF 转折频率
LPF 1	0x00b	±10V、±12V	39 kHz
LPF 1	0x00b	±5V、±2.5V、±6V、±3V	33kHz
LPF 2	0x01b	所有范围	15kHz
LPF 3	0x10b	所有范围	376 kHz

图 7-5 显示了模拟抗混叠滤波器针对各种范围和滤波器选项的幅值响应。

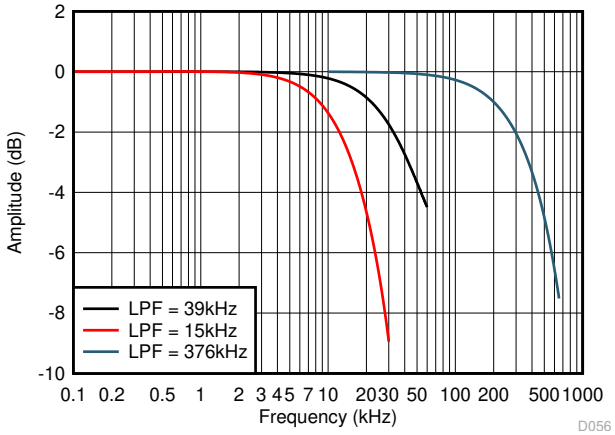


图 7-5. 二阶 LPF 幅值响应

7.3.6 ADC 驱动器

为满足 16 位 SAR ADC 在最大采样频率 (1MSPS) 下的性能要求，ADC 输入端的电容器必须在采集时间窗口内成功充电和放电。转换任何采样的模拟电压之前，ADC 输入必须稳定到优于 16 位的精度。要达到 ADC 输入端的这一驱动要求，需要使用高带宽、低噪声而且稳定的放大器缓冲器。ADS8686S 在每个模拟输入的信号链中集成了输入驱动器，从而简化了信号链设计。

7.3.7 多路复用器

ADS8686S 具有 16 通道模拟输入。模拟输入分为两组，每组八个通道，即 AIN_xA 和 AIN_xB。两个八通道组通过高度可配置的 9:1 多路复用器 (MUX) 连接到两个 16 位 SAR ADC。除了八通道外，该多路复用器还连接到一个内部 2:1 多路复用器。2:1 多路复用器可配置为监控内部节点以用于诊断。

在硬件模式下，多路复用器通道选择通过 CHSEL[2:0] 引脚状态控制。当复位释放时，CHSEL[2:0] 引脚状态决定了要配置的初始通道对。因此，在器件转换期间监视 CHSEL[2:0] 引脚状态，以确定多路复用器连接的下一个状态。在硬件模式下，无法访问内部诊断通道。

在软件模式下，多路复用器通道选择通过对适当的器件寄存器编程来控制。

在硬件和软件模式下，可启用序列发生器和突发模式，以减少循环通过多路复用器的软件开销；有关更多详细信息，请参阅*序列发生器* 部分。

7.3.8 数字滤波器和噪声

ADS8686S 具有可选的数字二阶正弦滤波器，该滤波器可在吞吐量较低且要求较低噪声和较高动态范围的应用中使用。如表 7-3 所述，数字滤波器的过采样率由硬件模式下的 OS[2:0] 引脚配置决定或由软件模式下的 OS 位编程决定。启用后，过采样适用于所有通道。ADC 的总吞吐量随着过采样率的增加而成比例下降。当过采样率增加时，SNR 性能成比例提高，输入信号的带宽成比例降低。

在过采样模式下，ADC 在 CONVST 信号的上升沿对每个通道进行首次采样。第一个样本转换后，内部生成的采样控制信号将进行后续采样。然后对样本求平均值，以降低信号链的噪声并提高 ADC 的 SNR。最终输出也会被抽取，为每个通道提供 16 位输出。

如果在突发模式下对序列发生器启用过采样，序列发生器先收集给定通道的额外样本，然后再移至下一个通道。

表 7-3. 过采样位解码

OSx 引脚，OS 位	OSR	LPF 选项	典型 SNR (dB)						-3dB 带宽 (kHz)
			±2.5V 范围	±3V 范围	±5V 范围	±6V 范围	±10V 范围	±12V 范围	±10V 范围
000	无 OSR	LPF 1	86.99	87.32	89.55	89.69	90.69	90.53	39.4
001	2	LPF 1	87.6	87.89	90.25	90.4	91.53	91.35	39.4
010	4	LPF 1	88.04	88.36	90.89	91.01	92.37	92.17	37.5
011	8	LPF 1	88.74	89.07	91.65	97.79	93.29	93.08	32.0
100	16	LPF 1	89.97	90.28	92.76	92.92	94.4	94.21	22.4
101	32	LPF 1	91.98	92.21	94.33	94.45	95.65	95.53	12.9
110	64	LPF 1	93.61	93.95	95.68	95.83	96.8	96.69	6.8
111	128	LPF 1	95.53	95.9	97.27	97.42	97.97	98.01	3.4
000	无 OSR	LPF 2	89.05	89.35	90.98	91.11	91.92	91.85	15.4
001	2	LPF 2	89.94	90.18	91.91	92.01	92.94	92.84	15.4
010	4	LPF 2	90.4	90.65	92.62	92.73	93.82	93.72	15.3
011	8	LPF 2	90.81	91.08	93.2	93.31	94.53	94.42	14.8
100	16	LPF 2	91.39	91.7	93.82	93.95	95.19	95.07	13.3
101	32	LPF 2	92.74	92.96	94.84	94.95	95.99	95.87	10.1
110	64	LPF 2	93.85	94.2	95.91	96.04	96.88	96.85	6.2
111	128	LPF 2	95.62	95.94	97.28	97.47	98.04	98.02	3.4
000	无 OSR	LPF 3	77.29	77.33	81.12	81.25	84.33	83.58	399.9
001	2	LPF 3	80.11	80.34	83.79	83.95	86.77	86.26	210.3
010	4	LPF 3	82.97	83.24	86.52	86.67	89.25	88.87	108.8
011	8	LPF 3	85.82	86.1	89.14	89.31	91.58	91.28	55.0
100	16	LPF 3	88.53	88.81	91.56	91.73	93.59	93.38	27.6
101	32	LPF 3	91.26	91.5	93.78	93.89	95.28	95.12	13.8
110	64	LPF 3	93.29	93.64	95.49	95.6	96.62	96.52	6.9
111	128	LPF 3	95.46	95.79	97.1	97.27	97.94	97.89	3.5

Copyright © 2022 Texas Instruments Incorporated

7.3.9 基准

ADS8686S 可使用内部或外部基准以及内部增益放大器运行。内部或外部基准选择由外部 REFSEL 引脚确定（详见 *REFSEL（输入）*部分中的解释）。REFIO 引脚输出内部带隙电压（在内部基准模式下）或用作外部基准电压的输入（在外部基准模式下）。在这两种情况下，始终启用片上放大器。使用该内部放大器获取基准电压并驱动内部 ADC 内核的实际基准输入，从而更大限度地提高性能。REFCAP（引脚 31）必须使用 10μF、X5R 或 X7R 陶瓷电容器连接到 REFGND（引脚 32）进行去耦。

7.3.9.1 内部基准

器件的内部带隙基准为 2.5V（标称值）。要选择内部基准，REFSEL 引脚必须连接高电平或连接至 DVDD。使用内部基准时，REFIO（引脚 33）成为使用内部基准值的输出引脚。建议在 REFIO 引脚和 REFIO_GND（引脚 34）之间放置一个 100nF（最小值）去耦电容器，如图 7-6 所示。电容器应尽可能靠近 REFIO 引脚放置。内部带隙的输出阻抗与该电容器形成一个低通滤波器，对带隙输出的噪声进行频带限制。使用较小的电容器会增加系统中的基准噪声，从而降低 SNR 和 SINAD 性能。请勿使用 REFIO 引脚驱动外部交流或直流负载，因为该引脚的电流输出能力有限。REFIO 引脚后面若连接合适的运算放大器缓冲器，可用作基准源。

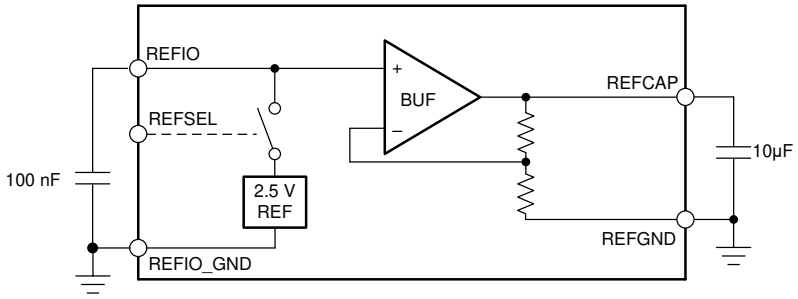


图 7-6. 基准电路

7.3.9.2 外部基准

应用中若需要温漂较低的基准电压或多个器件共有的基准电压，ADS8686S 允许通过使用内部缓冲器来驱动 ADC 基准，以使用外部基准。要选择外部基准模式，请将 REFSEL 引脚拉至低电平或将该引脚连接到 DGND。在此模式下，必须在 REFIO（引脚 33）上施加一个外部 2.5V 基准，该引脚成为高阻抗输入引脚。在此模式下可使用任何低漂移、小尺寸外部基准，因为内部缓冲器经过优化设计，可处理 ADC 基准输入上的动态负载。必须对外部基准输出进行滤波，以尽量减少基准噪声对系统性能的影响。图 7-7 描绘了此模式下的典型连接图。

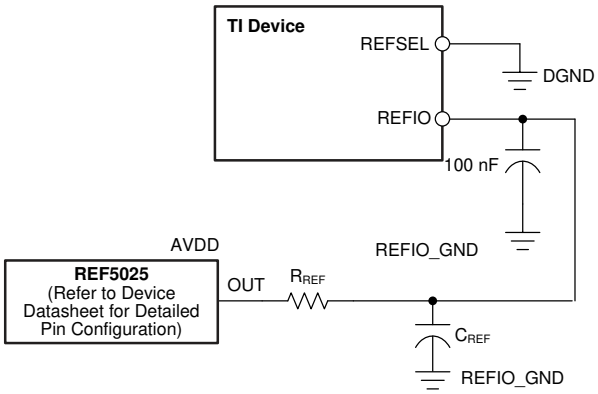


图 7-7. 使用外部 2.5V 基准的器件连接

7.3.9.3 为多个器件提供一个 V_{REF}

对于需要多个 ADS8686S 器件的应用，为所有 ADC 使用相同的基准电压源有助于消除系统中由于多个基准电压源之间的不匹配而导致的任何潜在错误。

图 7-8 显示了针对以下应用的建议连接图：在内部基准模式下使用一个器件并为其他器件提供基准源。用作电压基准源的器件通过 REFIO 引脚上的 10μF 电容器建立旁路，而其他器件则通过 100nF 电容器建立旁路。

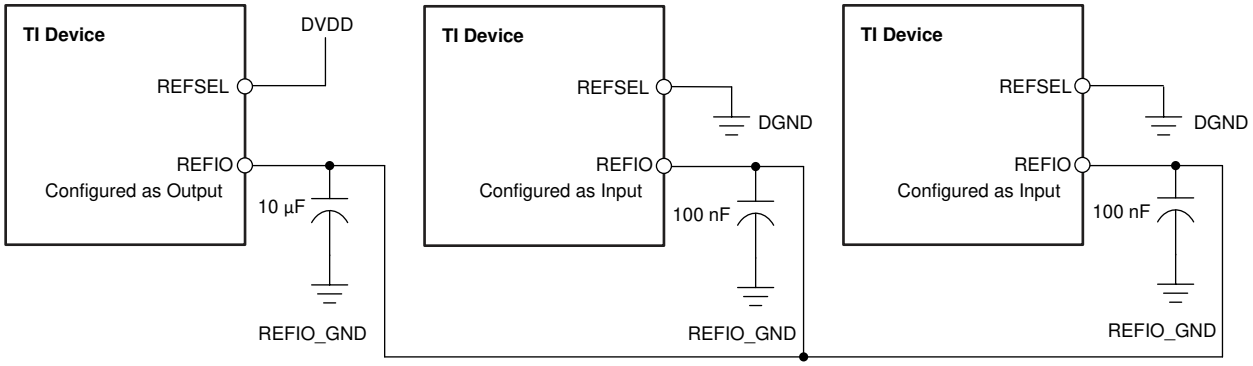


图 7-8. 使用一个器件的内部基准连接的多个器件

Copyright © 2022 Texas Instruments Incorporated

图 7-9 显示了针对以下应用的建议连接图：使用外部电压基准（例如 REF5025）为多个器件提供基准源。

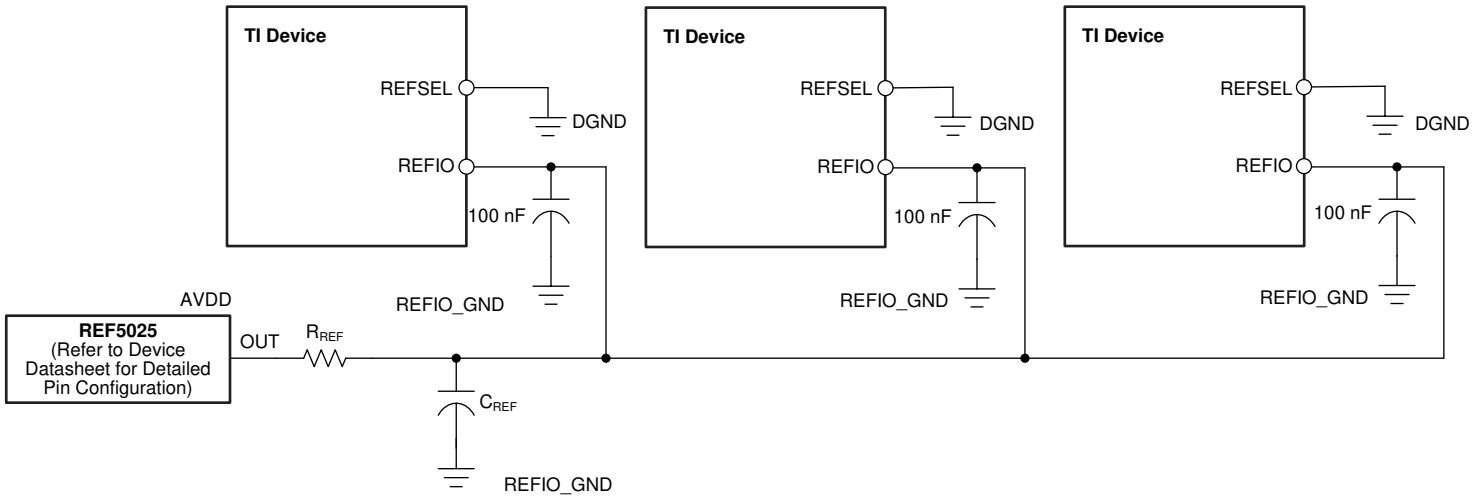


图 7-9. 使用外部基准连接的多个器件

7.3.10 ADC 传输特性

ADS8686S 以二进制补码格式输出所有范围的 16 位转换数据。设计的代码转换发生在连续 LSB 整数值中间（即 1/2 LSB 和 3/2 LSB）。对于 ADS8686S，LSB 大小等于满量程范围 ÷ 65,536。图 7-10 和表 7-4 显示 ADS8686S 的理想传输特性。LSB 大小取决于所选的模拟输入范围。

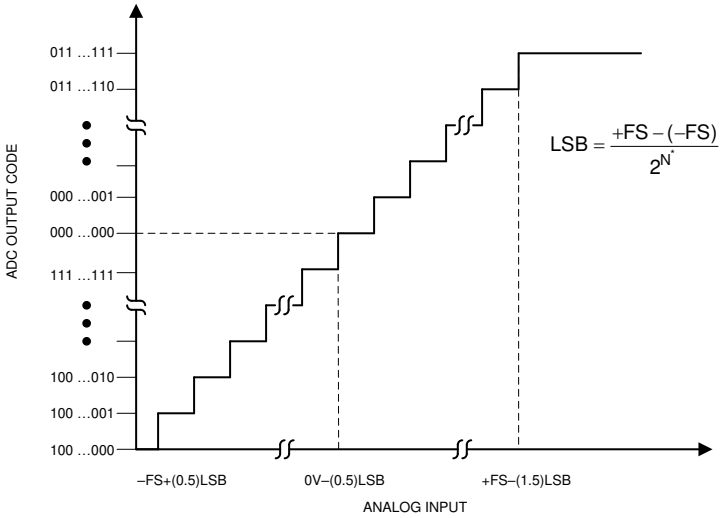


图 7-10. 传输特性

表 7-4. ADC 满量程范围和不同范围的 LSB 大小

范围 (V)	+FS (V)	中量程 (V)	– FS (V)	LSB (µV)
±12	12	0	– 12	366
±10	10	0	– 10	305
±6	6	0	-6	183
±5	5	0	– 5	152
±3	3	0	-3	92
±2.5	2.5	0	-2.5	76

7.4 器件功能模式

7.4.1 器件接口：引脚描述

ADS8686S 的多个数字引脚有双重功能。引脚功能由复位时 HW_RNGSELx 引脚的状态决定。表 7-6 概述了不同运行模式和接口模式下的引脚功能。

7.4.1.1 REFSEL（输入）

REFSEL 引脚是一个数字输入引脚，支持在器件的内部或外部基准运行模式之间进行选择。如果 REFSEL 引脚设置为逻辑高电平，则启用并选择内部基准。如果该引脚设置为逻辑低电平，则禁用并关断内部带隙基准电路。在此模式下，必须为 REFIO 引脚提供外部基准电压。在这两种情况下，始终启用内部基准缓冲器。

当 $\overline{\text{RESET}}$ 引脚从低电平转换为高电平时，REFSEL 引脚状态将被锁存。配置基准后，REFSEL 信号的逻辑电平变化将被忽略。

7.4.1.2 $\overline{\text{RESET}}$（输入）

$\overline{\text{RESET}}$ 引脚是有源低电平数字输入。专用复位引脚允许器件随时以异步方式复位。ADS8686S 提供两种复位模式：完全复位和部分复位。$\overline{\text{RESET}}$ 引脚必须保持低电平才能进入其中一种复位模式。拉低电平的持续时间决定了复位模式。部分复位不会影响软件模式下的编程值或硬件运行模式下的锁存值。部分复位会重新初始化器件的内部模块。完全复位会将器件编程为在默认状态下运行。当所有电源和基准已稳定到所需精度时，器件必须始终在上电后以及从关断模式恢复后复位。如果正在进行转换的过程中发出复位，则器件将中止转换并且输出数据无效。如果在数据读取操作期间应用复位信号，则输出数据寄存器全部复位为零。

为了在复位条件失效后启动下一个转换周期，在 $\overline{\text{RESET}}$ 输入的上升沿和 CONVST 输入的上升沿之间留出最小的时间延时（请参阅*时序要求* 表）。任何违反此时序要求的行为都可能导致下一次转换的结果损坏。

7.4.1.3 SEQEN（输入）

SEQEN 引脚是一个数字输入引脚，用于在硬件运行模式下启用内部通道序列发生器模式以进行数据采集。如果在器件退出完全复位时 SEQEN 引脚设置为逻辑高电平，则启用通道序列发生器。根据突发模式选择设置，器件使用 CONVST 信号在通道序列中循环。有关更多详细信息，请参阅*序列发生器* 部分。

7.4.1.4 HW_RANGESEL[1:0]（输入）

HW_RNGSEL 引脚是数字输入引脚，用于选择硬件或软件运行模式。这些引脚的状态在完全复位时锁存，以选择软件或硬件运行模式。在硬件运行模式下，引脚还可为所有输入通道选择模拟输入范围。有关更多详细信息，请参阅*工作模式* 部分。

7.4.1.5 SER/BYTE/$\overline{\text{PAR}}$（输入）

SER/BYTE/$\overline{\text{PAR}}$ 是一个数字输入引脚，它与 DB9/BYTESEL 引脚一起为器件通信选择数字接口选项。如果在完全复位时 SER/BYTE/$\overline{\text{PAR}}$ 引脚设置为逻辑低电平，则选择并行接口。如果在完全复位时 SER/BYTE/$\overline{\text{PAR}}$ 引脚设置为逻辑高电平，则根据 DB9/BYTESEL 引脚的状态选择串行或字节接口。有关更多详细信息，请参阅*编程* 部分。

Copyright © 2022 Texas Instruments Incorporated

7.4.1.6 DB[3:0]（输入/输出）

DB[3:0] 是数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用这些引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用这些引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在软件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] = 00）中，使用这些引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在硬件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] ≠ 00）中，使用这些引脚从器件读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，将这些引脚连接到 DGND。

7.4.1.7 DB4/$\overline{SER1W}$（输入/输出）

DB4/$\overline{SER1W}$ 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在软件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在硬件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，该引脚决定器件串行数据输出仅在 SDOA 引脚上提供还是在 SDOA 和 SDOB 引脚上均提供。在完全复位释放时锁存状态。如果 $\overline{SER1W}$ 处于低电平，则仅在 SDOA 上提供串行输出。如果 $\overline{SER1W}$ 处于高电平，则 SDOA 和 SDOB 上均提供串行输出。有关更多详细信息，请参阅*串行接口*部分。

7.4.1.8 DB5/CRCEN（输入/输出）

DB5/CRCEN 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在软件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在硬件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，该引脚充当 CRC 使能输入。在完全复位释放时锁存状态。如果 CRCEN 处于高电平，则在最后一次转换结果之后发送一个额外的 CRC 字。如果 CRCEN 处于低电平，则不会发出 CRC 字。有关更多详细信息，请参阅*接口诊断：自检和 CRC* 部分。

7.4.1.9 DB[7:6]（输入/输出）

DB[7:6] 是数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用这些引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用这些引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在软件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] = 00）中，使用这些引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在硬件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] ≠ 00）中，使用这些引脚从器件读取数据。有关更多详细信息，请参阅*并行字节接口*部分。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，将这些引脚连接到 DGND。

7.4.1.10 DB8（输入/输出）

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节和串行接口模式 (SER/BYTE/$\overline{PAR}$ = 1) 中，将该引脚连接到 DGND。

7.4.1.11 DB9/BYTESEL（输入/输出）

DB9/BYTESEL 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节和串行接口模式 (SER/BYTE/$\overline{PAR}$ = 1) 中，该引脚不用于器件通信，而是编程为器件输入。该引脚的状态在完全复位时锁存，以确定字节或串行接口模式。如果 BYTESEL 处于高电平，则选择字节接口模式。如果 BYTESEL 处于低电平，则选择串行接口模式。锁存信号后，将忽略该引脚上的任何数字活动。

7.4.1.12 DB10/SDI（输入/输出）

DB10/SDI 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在软件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] = 00）中，该引脚充当器件编程的串行数据输入。有关更多详细信息，请参阅*串行接口*部分。

在硬件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] ≠ 00）中，将该引脚连接到 DGND。

7.4.1.13 DB11/SDOB（输入/输出）

DB11/SDOB 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

Copyright © 2022 Texas Instruments Incorporated

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，该引脚充当串行数据输出 B。有关更多详细信息，请参阅*串行接口* 部分。

7.4.1.14 DB12/SDOA（输入/输出）

DB12/SDOA 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）中，该引脚充当串行数据输出 A。有关更多详细信息，请参阅*串行接口* 部分。

7.4.1.15 DB13/OS0（输入/输出）

DB13/OS0 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在硬件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] ≠ 00）中，该引脚充当过采样选择位 0。该引脚的状态在完全复位释放时被锁存。有关更多详细信息，请参阅*数字滤波器和噪声*部分。

7.4.1.16 DB14/OS1（输入/输出）

DB14/OS1 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在硬件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] ≠ 00）中，该引脚充当过采样选择位 1。该引脚的状态在完全复位释放时被锁存。有关更多详细信息，请参阅*数字滤波器和噪声*部分。

7.4.1.17 DB15/OS2（输入/输出）

DB15/OS2 是双功能数字输入/输出引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）中，使用该引脚在写操作期间对器件编程，在读操作期间读取数据。有关更多详细信息，请参阅*并行接口*部分。

在硬件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] ≠ 00）中，使用该引脚从器件读取数据。有关更多详细信息，请参阅*并行接口*部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）中，将该引脚连接至 DGND。

在硬件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] ≠ 00）中，该引脚充当过采样选择位 2。该引脚的状态在完全复位释放时被锁存。有关更多详细信息，请参阅*数字滤波器和噪声*部分。

7.4.1.18 $\overline{WR}$/BURST（输入）

$\overline{WR}$/BURST 是双功能数字输入引脚。

在软件并行接口模式（SER/BYTE/$\overline{PAR}$ = 0，HW_RNGSEL[1:0] = 00）下，使用该引脚控制器件写入操作。$\overline{CS}$ 和 $\overline{WR}$ 信号一起启用 DB[15:0] 作为数字输入来对器件进行编程。有关更多详细信息，请参阅*并行接口* 部分。

在软件字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1，HW_RNGSEL[1:0] = 00）下，使用该引脚控制器件写入操作。$\overline{CS}$ 和 $\overline{WR}$ 信号一起启用 DB[7:0] 作为数字输入来对器件进行编程。有关更多详细信息，请参阅*并行字节接口* 部分。

在软件串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0，HW_RNGSEL[1:0] = 00）下，将该引脚连接到 DGND。

在硬件模式 (HW_RNGSEL[1:0] ≠ 00) 下，该引脚充当突发模式启用。该引脚的状态在完全复位释放时被锁存。如果 BURST 引脚设置为逻辑高电平，则启用突发模式。如果 BURST 引脚设置为逻辑低电平，则禁用突发模式。有关更多详细信息，请参阅*突发序列发生器* 部分。

7.4.1.19 SCLK/$\overline{RD}$（输入）

SCLK/$\overline{RD}$ 是双功能数字输入引脚。

在串行接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 0）下，对器件的所有同步访问都相对于 SCLK 信号的上升沿进行计时。有关更多详细信息，请参阅*串行接口* 部分。

在并行接口模式 (SER/BYTE/$\overline{PAR}$ = 0) 下，使用该引脚控制器件读取操作。$\overline{CS}$ 和 $\overline{RD}$ 信号一起启用 DB[15:0] 作为从器件读取的数字输出。有关更多详细信息，请参阅*并行接口* 部分。

在字节接口模式（SER/BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1）下，使用该引脚控制器件读取操作。$\overline{CS}$ 和 $\overline{RD}$ 信号一起启用 DB[7:0] 作为从器件读取的数字输出。有关更多详细信息，请参阅*并行字节接口* 部分。

7.4.1.20 $\overline{CS}$（输入）

$\overline{CS}$ 是低电平有效的芯片选择数字输入信号。

在三态模式下，$\overline{CS}$ 信号的上升沿对所有数据线进行编程。此功能允许多个器件共享同一输出数据线。在器件的任何接口运行模式下，$\overline{CS}$ 信号的下降沿标志着输出数据传输帧的开始。

在并行和字节接口模式下，$\overline{CS}$ 和 $\overline{WR}$ 或 $\overline{RD}$ 输入引脚必须驱动为低电平，才能使数字总线写入寄存器或读取转换数据（对于并行接口，使用 DB[15:0]；对于字节接口，使用 DB[7:0]）。

在串行模式下，$\overline{CS}$ 信号的下降沿使用模式 00 中的标准 SPI 接口启动数据通信。

7.4.1.21 CHSEL[2:0]（输入）

CHSEL[2:0] 是数字输入引脚。

在硬件模式（HW_RNGSEL[1:0] ≠ 00，SEQEN = 0）中，这些输入引脚为下一次转换选择通道。有关更多详细信息，请参阅*硬件模式*部分。

在硬件序列模式（HW_RNGSEL[1:0] ≠ 00，SEQEN = 1）中，这些输入引脚选择硬件序列中的最后一个通道对。有关更多详细信息，请参阅*硬件模式序列发生器*部分。

在软件模式 (HW_RNGSEL[1:0] = 00) 中，将这些引脚连接到 DGND。

7.4.1.22 BUSY（输出）

BUSY 是高电平有效的数字输出引脚。

BUSY 是高电平有效的数字输出信号。该引脚在 CONVST 信号的上升沿后变为逻辑高电平，表示所选输入通道的前端跟踪保持电路处于保持模式，而且 ADC 转换已开始。当 BUSY 信号变为高电平时，CONVST 输入的任何活

Copyright © 2022 Texas Instruments Incorporated

动都不会对器件产生影响。BUSY 输出保持高电平，直到转换过程完成并且转换数据锁存到输出数据寄存器以便读出。如果在 BUSY 处于高电平时读取之前转换的转换数据，请确保在 BUSY 输出的下降沿之前完成数据读取操作。

在突发运行模式中，BUSY 引脚在 CONVST 信号的上升沿之后变为逻辑高电平。BUSY 信号保持高电平，直到序列中的所有转换都完成。有关更多详细信息，请参阅*突发序列发生器*部分。

7.4.1.23 CONVST（输入）

CONVST 是高电平有效的数字输入引脚。

当 BUSY 处于低电平时，CONVST 引脚的上升沿对通道组 A 和通道组 B 中选定的输入通道对启动新的转换。对于正常模式和序列发生器运行模式，每个 CONVST 信号根据过采样设置对选定通道对执行一次转换。

对于突发运行模式，序列发生器只需要一个 CONVST 信号来循环遍历通道序列。在此期间，BUSY 信号会保持高电平。

7.4.2 器件运行模式

ADS8686S 支持多种运行模式，这些模式可通过硬件或软件控制模式启用。该器件根据完全复位时 HW_RNGSEL[1:0] 引脚的状态进入硬件或软件模式。在硬件模式中，所有器件配置均通过引脚控制并禁止访问内部寄存器。在软件模式中，接口和基准配置通过各自的引脚控制。所有其他器件配置仅通过寄存器访问启用。要在硬件模式和软件模式之间切换，需要完全复位。

7.4.2.1 关断模式

ADS8686S 支持低功耗关断模式，在该模式下，整个内部电路会断电并且所有寄存器都被清除且复位为默认值。在关断模式下，器件的总功耗为 700μW。

要进入关断模式，应将 $\overline{\text{RESET}}$ 引脚保持在低电平持续 1.2 μs 以上。

当 $\overline{\text{RESET}}$ 引脚从低电平设置为高电平时，器件将退出关断模式。此时，器件退出关断模式，并根据 HW_RNGSEL[1:0] 引脚的状态进入硬件或软件运行模式。在软件模式下执行寄存器写入的上电时间大概为 240μs。15ms 后可启动转换。

7.4.2.2 工作模式

7.4.2.2.1 硬件模式

如果 HW_RNGSEL[1:0] 引脚在完全复位时设置为 01、10 或 11，则器件进入硬件模式。在硬件模式下，器件的功能受限。所有器件功能通过引脚控制进行配置。完全复位时以下信号的逻辑电平配置 ADS8686S 的功能：CRC、BURST、SEQEN、SER/BYTE/$\overline{\text{PAR}}$、DB9/BYESEL、DB8 和 OSx。表 7-5 汇总了完全复位释放时器件锁存的信号。器件配置完毕后，需要通过 $\overline{\text{RESET}}$ 引脚进行完全复位，才能退出配置并设置替代配置。所选的数据通信接口还决定了硬件模式中可用的功能。表 7-6 提供了硬件并行、字节或串行模式中可用功能的完整列表。

表 7-5. 硬件引脚行为汇总

信号	在完全复位时锁存		在复位时读取		忙时读取		边缘驱动	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
REFSEL	是	是						
SEQEN	是							
HW_RNGSELx（范围变化）			是	是			是	
HW_RNGSELx（硬件或软件模式）	是	是						
CRCEN	是	否						
OSx	是	否						
BURST	是	否						
CHSELx			是		是			
$\overline{\text{SER1W}}$	是	是						

表 7-5. 硬件引脚行为汇总 (continued)

信号	在完全复位时锁存		在复位时读取		忙时读取		边缘驱动	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
SER/BYTE/ $\overline{PAR}$	是	是						
DB9/BYTESEL	是	是						

表 7-6. 引脚功能概述

引脚名称	运行模式					
	软件，HW_RNGSELx = 00			硬件，HW_RNGSELx ≠ 00		
	串行，SER/BYTE/ $\overline{PAR}$ = 1，DB9/ BYTESEL = 0	并行字节，SER/ BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1	并行，SER/BYTE/ $\overline{PAR}$ = 0	串行，SER/BYTE/ $\overline{PAR}$ = 1，DB9/ BYTESEL = 0	并行字节，SER/ BYTE/$\overline{PAR}$ = 1，DB9/BYTESEL = 1	并行，SER/BYTE/ $\overline{PAR}$ = 0
CHSELx	无功能，连接到 DGND	无功能，连接到 DGND	无功能，连接到 DGND	CHSELx	CHSELx	CHSELx
SCLK/$\overline{RD}$	SCLK	$\overline{RD}$	$\overline{RD}$	SCLK	$\overline{RD}$	$\overline{RD}$
$\overline{WR}$/BURST	连接到 DGND	$\overline{WR}$	$\overline{WR}$	BURST	BURST	BURST
DB[15:13]/OS[0:2]	连接到 DGND	连接到 DGND	DB15 至 DB13	OSx	连接到 DGND	DB15 至 DB13
DB12/SDOA	SDOA	连接到 DGND	DB12	SDOA	连接到 DGND	DB12
DB11/SDOB	SDOB，在串行 1 线模式下保持悬空	连接到 DGND	DB11	SDOB	连接到 DGND	DB11
DB10/SDI	SDI	连接到 DGND	DB10	连接到 DGND	连接到 DGND	DB10
DB9/BYTESEL	连接到 DGND	连接到 DVDD	DB9	连接到 DGND	连接到 DVDD	DB9
DB8 至 DB6，DB3 至 DB0	连接到 DGND	DB8 至 DB6，DB3 至 DB0	DB8 至 DB6，DB3 至 DB0	连接到 DGND	DB8 至 DB6，DB3 至 DB0	DB8 至 DB6，DB3 至 DB0
DB5/CRCEN	连接到 DGND	DB5	DB5	CRCEN	DB5	DB5
DB4/$\overline{SER1W}$	$\overline{SER1W}$	DB4	DB4	$\overline{SER1W}$	DB4	DB4
HW_RNGSELx	连接到 DGND	连接到 DGND	连接到 DGND	配置模拟输入范围	配置模拟输入范围	配置模拟输入范围
SEQEN	连接到 DGND	连接到 DGND	连接到 DGND	SEQEN	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

在硬件模式下，CHSELx 和 HW_RNGSELx 控制信号可以在器件运行期间改变它们的状态并对器件配置产生直接影响。

CHSELx 引脚在复位时被读取，以确定要采集的第一对待转换模拟输入通道。在序列发生器运行模式下，CHSELx 引脚会配置序列发生器的设置。有关更多详细信息，请参阅*序列发生器* 部分。CHSELx 引脚状态必须在 ADC 转换过程中（即在 CONVST 上升沿和 BUSY 下降沿之间）保持不变。在此期间读取 CHSELx 引脚的状态，以选择要转换的下一对通道或修改硬件序列发生器设置。

HW_RNGSELx 信号对模拟输入范围编程。选定的输入范围将应用于所有 16 个模拟输入通道。这些引脚上的逻辑变化会立即影响模拟输入范围。范围变化后，除了正常的采集时间要求，还允许 120µs（典型值）的稳定时间。推荐的做法是根据系统信号的目标输入范围对范围选择引脚进行硬接线。

7.4.2.2.2 软件模式

在软件模式下，除了基准和接口之外，所有配置设置都可以通过对片上寄存器进行编程来控制。在选择了软件模式时，ADS8686S 的所有功能都可用。表 7-5 以所选的运行模式为分类依据，提供了在完全复位释放时被器件锁存的信号汇总。

7.4.2.3 复位功能性

ADS8686S 支持两种复位模式：完全复位和部分复位。选择的复位模式取决于复位低电平脉冲的长度。

当 $\overline{RESET}$ 引脚保持低电平 40ns 至 500ns 时，应用部分复位。部分复位会重新初始化序列发生器、数字滤波器、SPI 和 SAR ADC 模块。

Copyright © 2022 Texas Instruments Incorporated

部分复位完成后，正在进行的转换结果将被丢弃。部分复位不会影响在软件模式下编程的寄存器值，也不会影响在硬件和软件模式下锁存的用户配置。在软件模式下，部分复位后需要进行虚拟转换。

部分复位释放后，器件在 50ns 后完全正常工作，并且可以启动虚拟转换。

当 $\overline{\text{RESET}}$ 引脚保持低电平至少 1.2μs 时，应用完全复位。完全复位会将器件配置为其默认通电状态。当 ADS8686S 从完全复位释放时，将配置硬件或软件模式、内部或外部基准以及接口类型。

在上电时，$\overline{\text{RESET}}$ 信号必须保持低电平，直到 AVDD 和 DVDD 电源稳定为止。当电源斜升至稳定运行条件后，可释放 $\overline{\text{RESET}}$ 信号。当 $\overline{\text{RESET}}$ 引脚被释放时，HW_RNGSELx、REFSEL、SER/BYTE/ $\overline{\text{PAR}}$、DB9/BYTESEL 和 DB4/ $\overline{\text{SER1W}}$ 引脚的逻辑电平将被锁存以确定器件配置。

释放 $\overline{\text{RESET}}$ 15ms 后，器件将完全重新配置并且可以启动转换。

在硬件模式下，当 $\overline{\text{RESET}}$ 引脚在完全复位模式下从低电平转换为高电平时，DB8CRCEN、OSx、BURST 和 SEQEN 引脚状态也将被锁存。这些信号锁存后的变化将被忽略，直到下一次完全复位后为止。在硬件模式下，模拟输入范围（HW_RNGSELx 信号）可以在完全复位或部分复位或正常操作期间配置，但硬件或软件模式选择在此设置被锁存时需要完全复位才能重新配置。

在硬件模式下，CHSELx 和 HW_RNGSELx 引脚从完全复位和部分复位释放后，执行以下操作将受到监控：

- 选择要采集的第一个模拟输入通道对以进行转换
- 配置序列发生器
- 选择模拟输入电压范围

CHSELx 信号在复位时不会被锁存。为下一次转换选择的通道对或硬件序列发生器可在正常操作期间重新配置，方法是在 CONVST 上升沿之前设置和保持 CHSELx 信号电平，并在器件将 BUSY 保持为高电平之前保持信号状态恒定。有关更多详细信息，请参阅*通道选择* 部分。

在硬件模式下，HW_RNGSELx 信号不会被锁存。这些引脚上的逻辑变化会立即影响所选的范围。有关更多详细信息，请参阅 *可编程增益放大器 (PGA)* 部分。

在软件模式下，所有器件功能都通过控制片上寄存器来配置。图 7-11 显示了器件复位配置，表 7-6 列出了引脚功能概述。

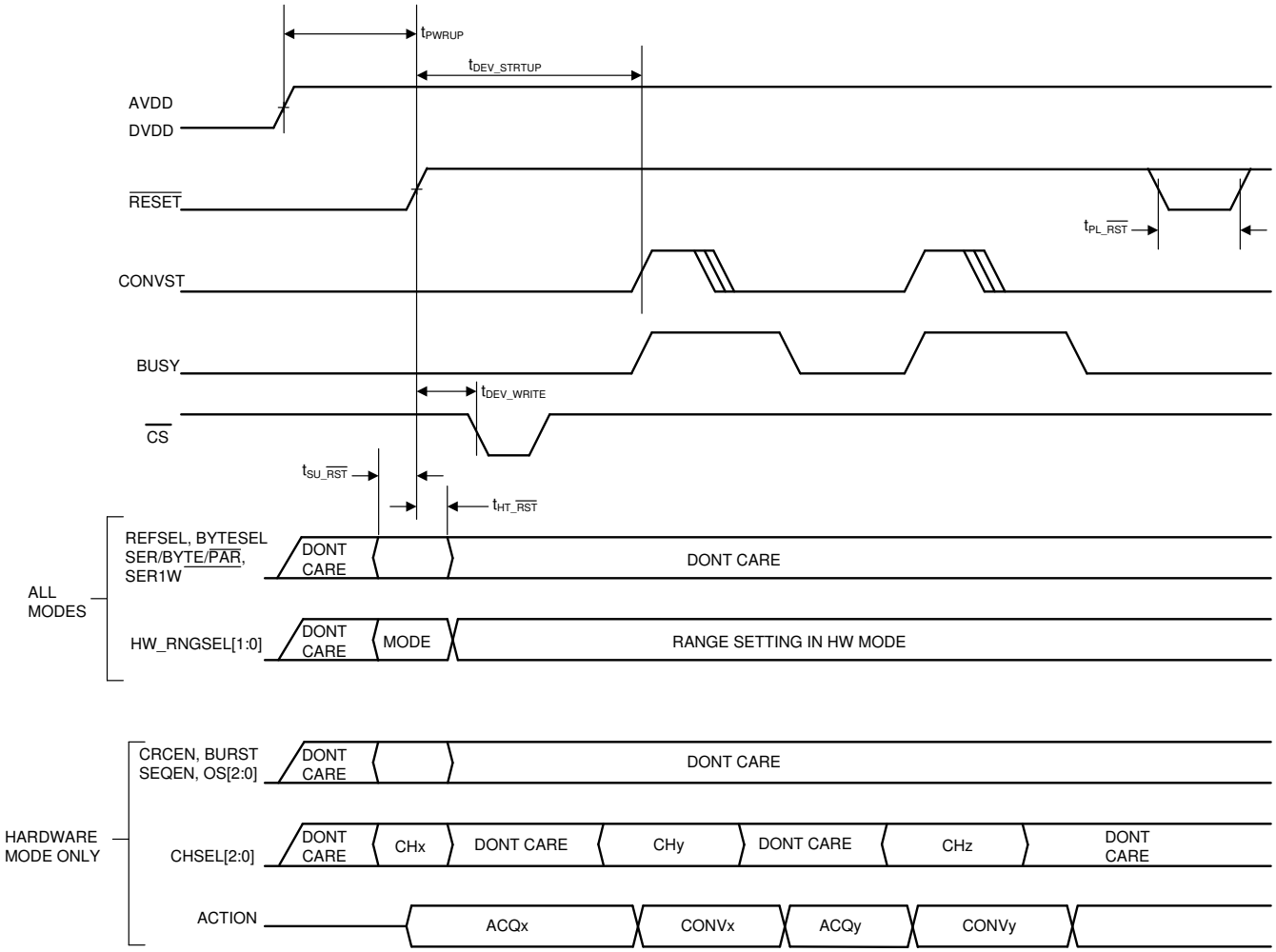


图 7-11. ADS8686S 复位时的配置

Copyright © 2022 Texas Instruments Incorporated

7.4.2.4 通道选择

7.4.2.4.1 硬件模式通道选择

在硬件模式下，持续转换期间 CHSELx 信号的逻辑电平决定了下一次转换的通道对。表 7-7 列出了 CHSELx 信号解码信息。完全或部分复位后，复位信号上升沿的 CHSELx 信号状态决定了在第一个 CONVST 信号可用时要采样和转换的初始通道对。在 CONVST 从低电平变为高电平之前，将 CHSELx 信号设置为所需的通道并保持该状态，直到 BUSY 从高电平变为低电平，表示转换完成。该器件在转换期间对 CHSELx 状态进行采样，以选择下一次转换的通道对。然后，多路复用器在所选通道的 ADC 驱动器与 SAR ADC 之间建立相关连接。图 7-12 显示了如何选择此模式的时序图。

表 7-7. CHSELx 引脚解码

通道选择输入引脚			要转换的模拟输入通道
CHSEL2	**CHSEL1**	**CHSEL0**	
0	0	0	AIN_0A、AIN_0B
0	0	1	AIN_1A、AIN_1B
0	1	0	AIN_2A、AIN_2B
0	1	1	AIN_3A、AIN_3B
1	0	0	AIN_4A、AIN_4B
1	0	1	AIN_5A、AIN_5B
1	1	0	AIN_6A、AIN_6B
1	1	1	AIN_7A、AIN_7B

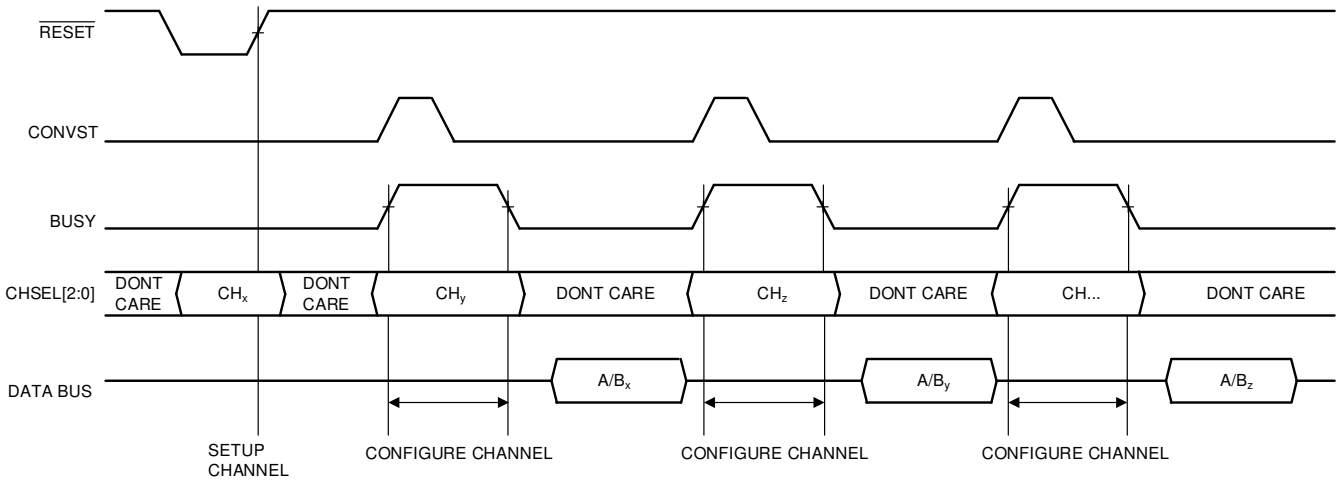


图 7-12. 硬件模式通道转换设置

7.4.2.4.2 软件模式通道选择

在软件模式下，通过对相关通道寄存器进行编程来选择要转换的通道。上电时或复位后，选择的默认转换通道为通道 AIN_0A 和通道 AIN_0B。有关通道选择的更多详细信息，请参阅图 7-13、图 7-14 和图 7-15。

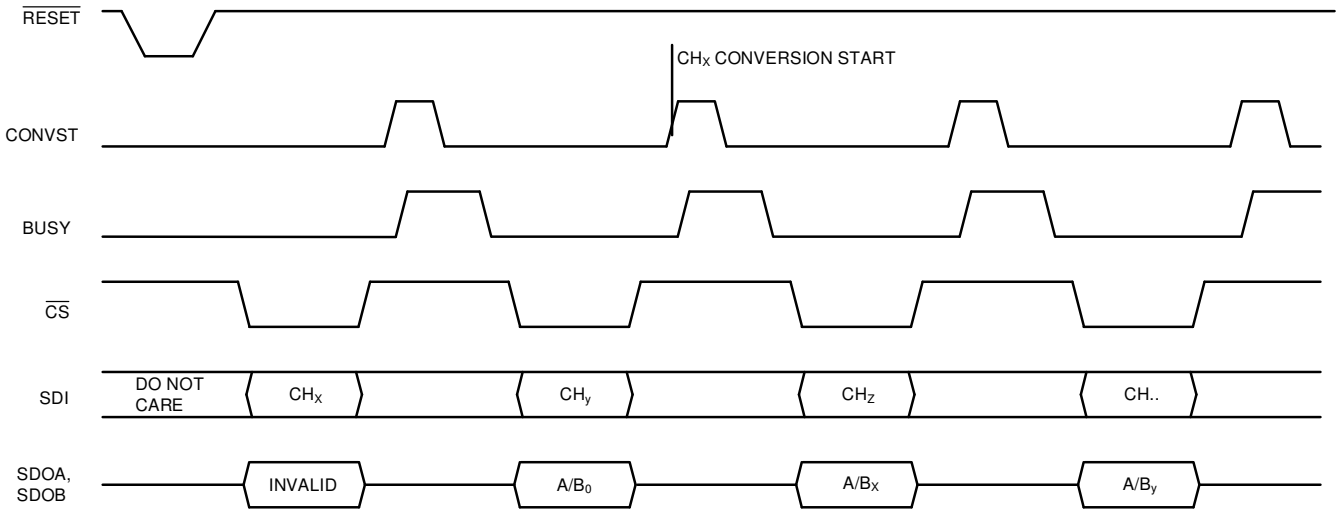


图 7-13. 软件串行模式通道转换设置

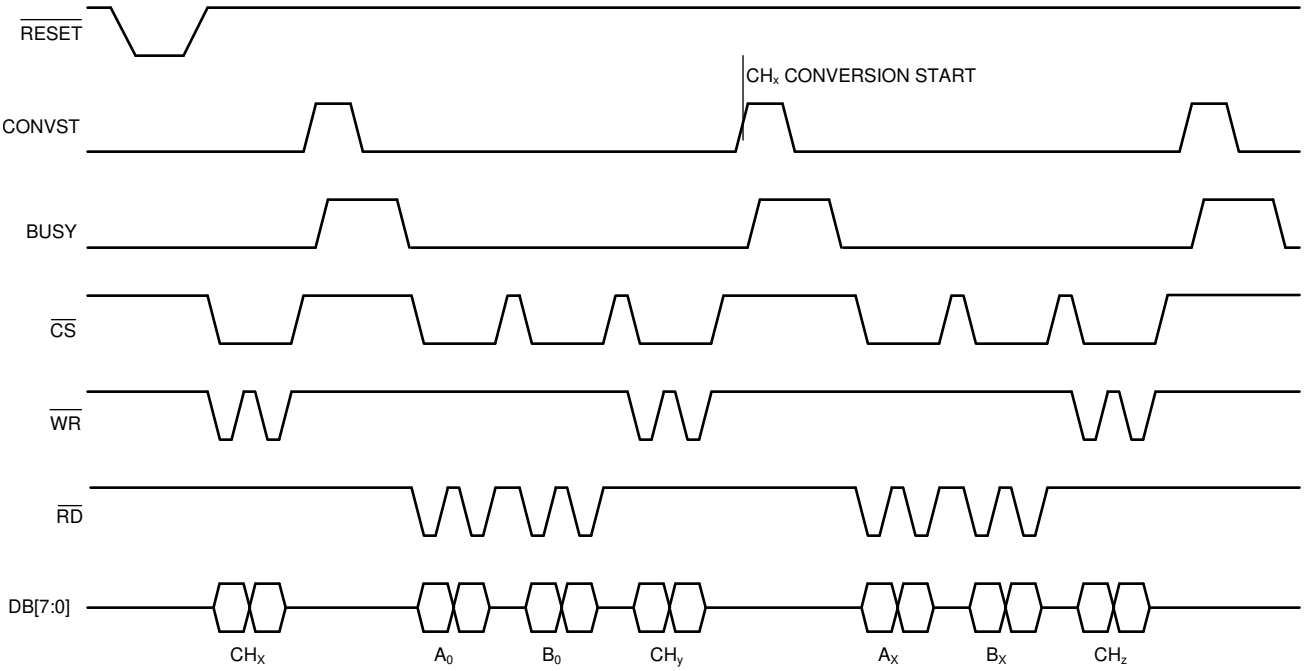


图 7-14. 软件并行字节模式通道转换设置

Copyright © 2022 Texas Instruments Incorporated

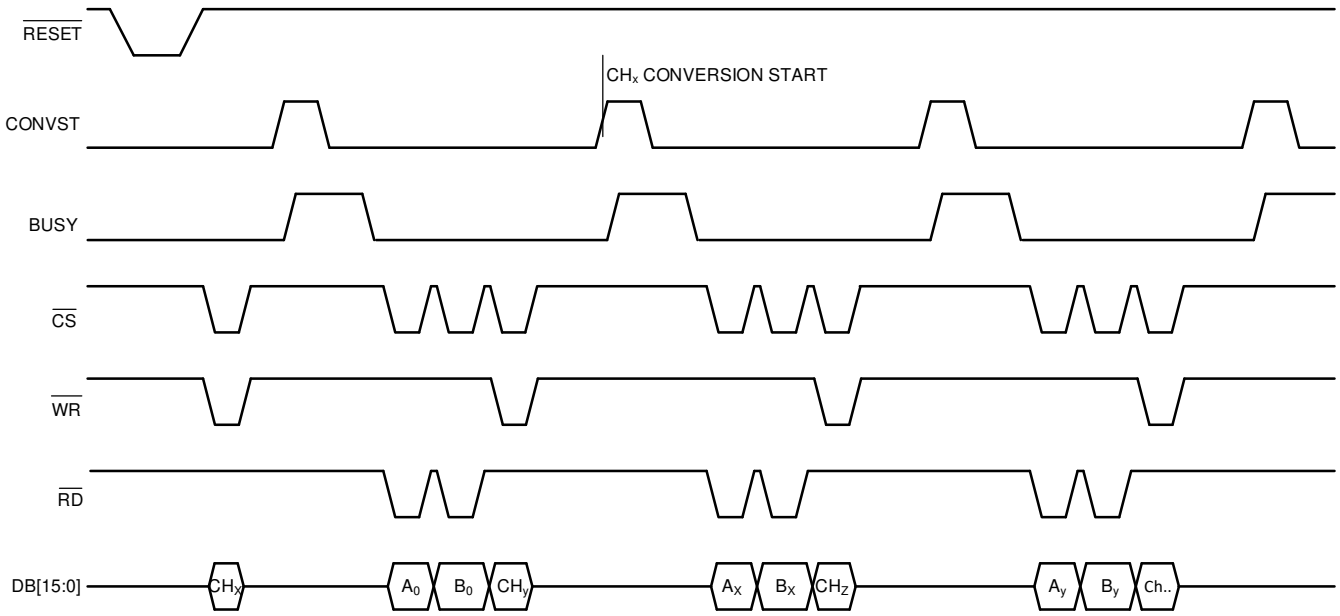


图 7-15. 软件并行模式通道转换设置

7.4.2.5 序列发生器

ADS8686S 具有高度可配置的序列发生器功能。序列发生器可按预定顺序选择内部 MUX 连接。这种架构有助于减少主机控制器上配置下一个转换通道的软件开销。

软件模式下提供了一套完整的序列发生器功能和可配置性。序列发生器堆栈涉及 32 个独特的可配置序列步骤。所有通道（包括诊断通道）都可按任何顺序随机编程。此外，任何通道 AIN_*n*A 输入可与任何通道 AIN_*n*B 输入或诊断通道配对。

序列发生器可在启用或不启用突发功能的情况下运行。启用突发功能后，只需一个 CONVST 脉冲即可转换序列中的每个通道。禁用突发模式后，序列中的每个转换步骤只需一个 CONVST 脉冲。有关在突发模式下运行的更多详细信息，请参阅*突发序列发生器* 部分。

7.4.2.5.1 硬件模式序列发生器

在硬件模式下，序列发生器的功能受限。序列发生器始终会选择特定通道对（例如 AIN_nA 和 AIN_nB）。

在硬件模式下，序列发生器通过 SEQEN 引脚和 CHSEL[2:0] 引脚控制。在完全复位后，当 $\overline{\text{RESET}}$ 从逻辑低电平转换为高电平时，SEQEN 引脚的逻辑电平被锁存。表 7-8 说明了完全复位后基于 SEQEN 引脚逻辑状态的序列发生器设置。需要完全复位才能退出序列发生器模式并设置替代配置。

表 7-8. 硬件模式序列发生器配置

SEQEN	接口模式
0	序列发生器禁用
1	序列发生器启用

启用序列发生器时，CHSEL[2:0] 引脚的逻辑电平决定序列中选定的要转换的通道对数。$\overline{\text{RESET}}$ 释放时的 CHSEL[2:0] 引脚决定第一序列中要转换的通道的初始设置。要重新配置为此后的转换选择的序列通道，请在序列中最终转换的 BUSY 脉冲持续时间内将 CHSEL[2:0] 引脚设置为所需的设置。表 7-9 解释了 CHSEL[2:0] 引脚与序列中选择的通道对之间的关系。有关时序的更多详细信息，请参阅图 7-16。

表 7-9. CHSELx 引脚解码序列发生器

通道选择输入引脚			要顺序转换的模拟输入通道
CHSEL2	CHSEL1	CHSEL0	
0	0	0	仅 AIN_0A、AIN_0B
0	0	1	AIN_0A、AIN_0B 至 AIN_1A、AIN_1B
0	1	0	AIN_0A、AIN_0B 至 AIN_2A、AIN_2B
0	1	1	AIN_0A、AIN_0B 至 AIN_3A、AIN_3B
1	0	0	AIN_0A、AIN_0B 至 AIN_4A、AIN_4B
1	0	1	AIN_0A、AIN_0B 至 AIN_5A、AIN_5B
1	1	0	AIN_0A、AIN_0B 至 AIN_6A、AIN_6B
1	1	1	AIN_0A、AIN_0B 至 AIN_7A、AIN_7B

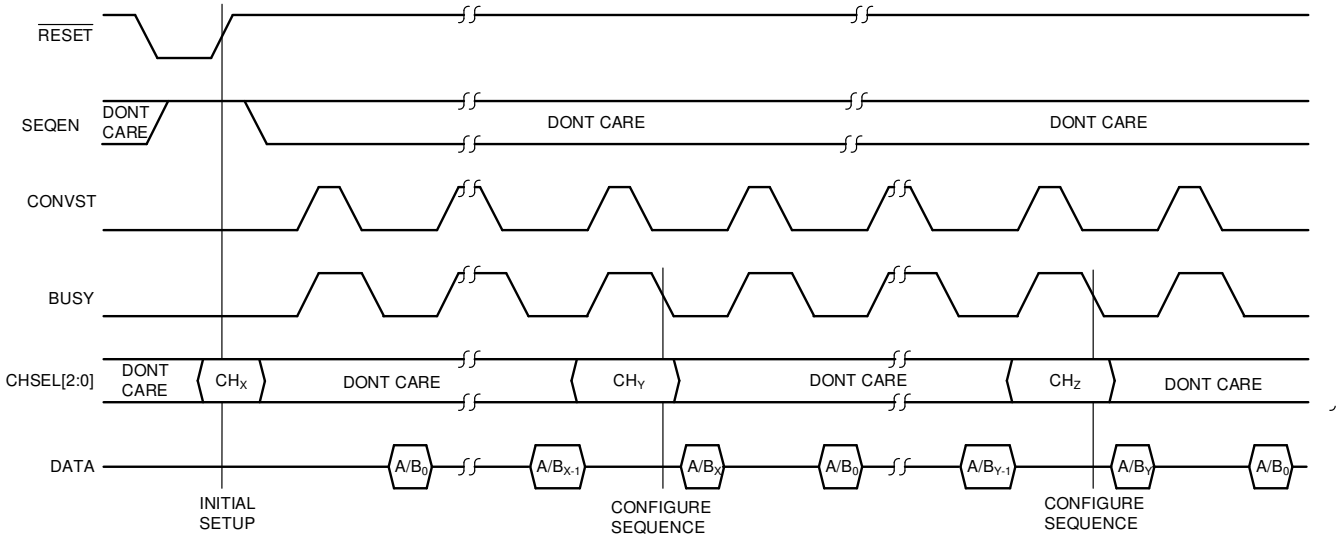


图 7-16. 硬件模式序列发生器配置

Copyright © 2022 Texas Instruments Incorporated

7.4.2.5.2 软件模式序列发生器

在软件模式下，ADS8686S 提供一个完全可配置的 32 堆栈序列发生器。配置寄存器和序列发生器堆栈寄存器可以使用并行、字节或串行接口进行编程。

每个堆栈寄存器有两个 4 位字段来控制每个单独的 MUX。此结构允许通道 AIN_nA 的任何输入与通道 AIN_nB 的任何输入或与任何诊断通道配对。序列发生器深度的可编程范围为 1 至 32。序列发生器深度的确定方法是：将序列发生器堆栈寄存器中的 SSRENx 位设置为与最后一步相对应。通过将每个序列发生器堆栈寄存器中的 ASELx 位和 BSELx 位编程为所需深度来选择要转换的通道。

通过将配置寄存器中的 SEQEN 位设置为 1 来激活序列发生器。

建议的配置和启用序列发生器的程序（有关更多信息，请参阅图 7-17）如下：

1. 对所需模拟输入通道的模拟输入范围进行编程。
2. 对序列发生器堆栈寄存器（S_0、S_1、...S_n）进行编程以选择序列的通道。
3. 在最后一个所需序列步骤中设置 SSRENx 位。
4. 设置配置寄存器中的 SEQEN 位。
5. 提供一个虚拟 CONVST 脉冲。
6. 提供额外的 CONVST 脉冲并读取转换结果。

在所有序列步骤循环完成后，序列会从序列发生器堆栈中的第一个元素自动重新启动，并且该元素带有下一个 CONVST 脉冲。

部分复位后，序列发生器指针会重新定位到堆栈的第一层，但寄存器编程值保持不变。

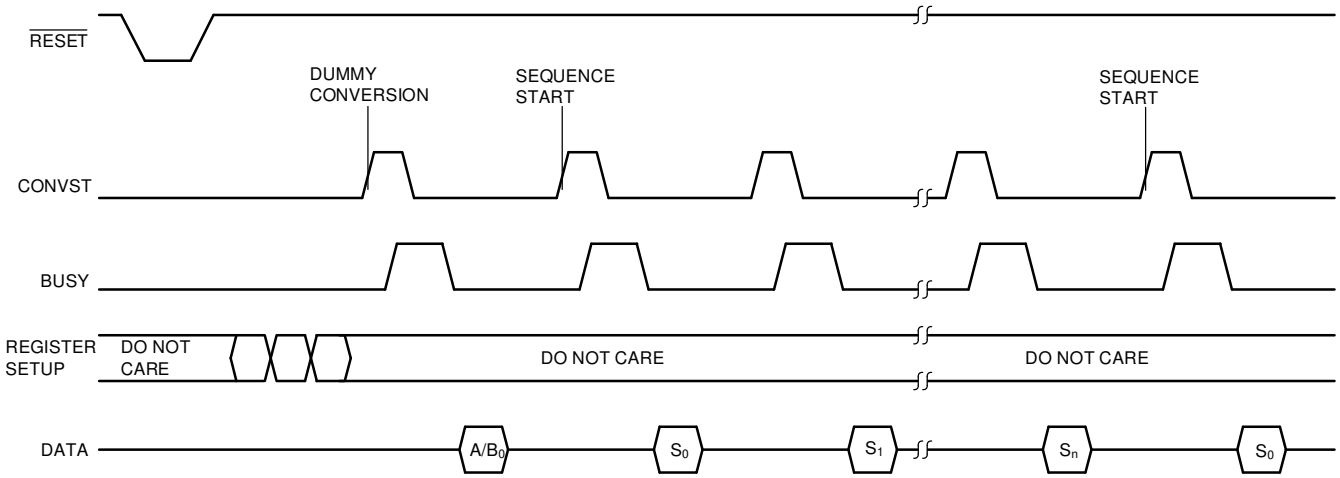


图 7-17. 软件模式序列发生器配置

7.4.2.6 突发序列发生器

ADS8686S 提供另外一个适用于突发模式采集的特性。该特性仅在启用序列发生器功能时适用。

启用突发特性后，一个 CONVST 脉冲会启动序列发生器中所有通道的转换。因此，对于配置为四个通道对的序列发生器，在采用突发序列发生器配置时只能提供一个 CONVST 脉冲，而采用纯序列发生器配置时可提供四个 CONVST 脉冲。

配置后，突发序列在 CONVST 的上升沿启动。BUSY 引脚变为高电平并保持高电平，直到序列中的所有转换完成。如果启用 OSR 模式，序列发生器将向给定通道对采集所需的样本，然后再移至序列发生器中的下一个通道对。BUSY 引脚变为低电平后，转换结果可回读。

在突发序列中所需的数据读取次数取决于配置的序列长度。

转换结果按照与编程序列相同的顺序显示在数据总线上（并行、字节或串行）。

ADS8686S 的吞吐率在突发模式中受限，因为每个通道对都需要采集、转换和回读时间。方程式 1 估算完成通道对数量为 N 的序列所需的时间。

$$t_{BURST} = (t_{CONV} + 50\ ns) + (N - 1)(t_{ACQ} + t_{CONV}) + N(t_{RB}) \quad (1)$$

其中

- t_{CONV} 是典型的转换时间
- T_{ACQ} 是典型的采集时间
- t_{RB} 是在串行 1 线、串行 2 线、并行字节或并行模式下读回转换结果所需的时间

Copyright © 2022 Texas Instruments Incorporated

7.4.2.6.1 硬件模式突发序列发生器

在硬件模式下，将 BURST 和 SEQEN 引脚设置为逻辑高电平以启用突发序列发生器模式。在完全复位事件后，当 $\overline{\text{RESET}}$ 信号从逻辑低电平转换为高电平时，器件会锁存这些输入。要退出突发运行模式，需要完全复位。

启用突发序列发生器时，CHSEL[2:0] 引脚的逻辑电平决定突发序列中选定的要转换的通道。$\overline{\text{RESET}}$ 释放时的 CHSEL[2:0] 引脚决定突发序列中要转换的通道的初始设置。要在复位后重新配置选定的要转换的通道，请在下一个 BUSY 脉冲的持续时间内将 CHSEL[2:0] 引脚设置为所需的设置。图 7-18 显示了此模式的时序图。

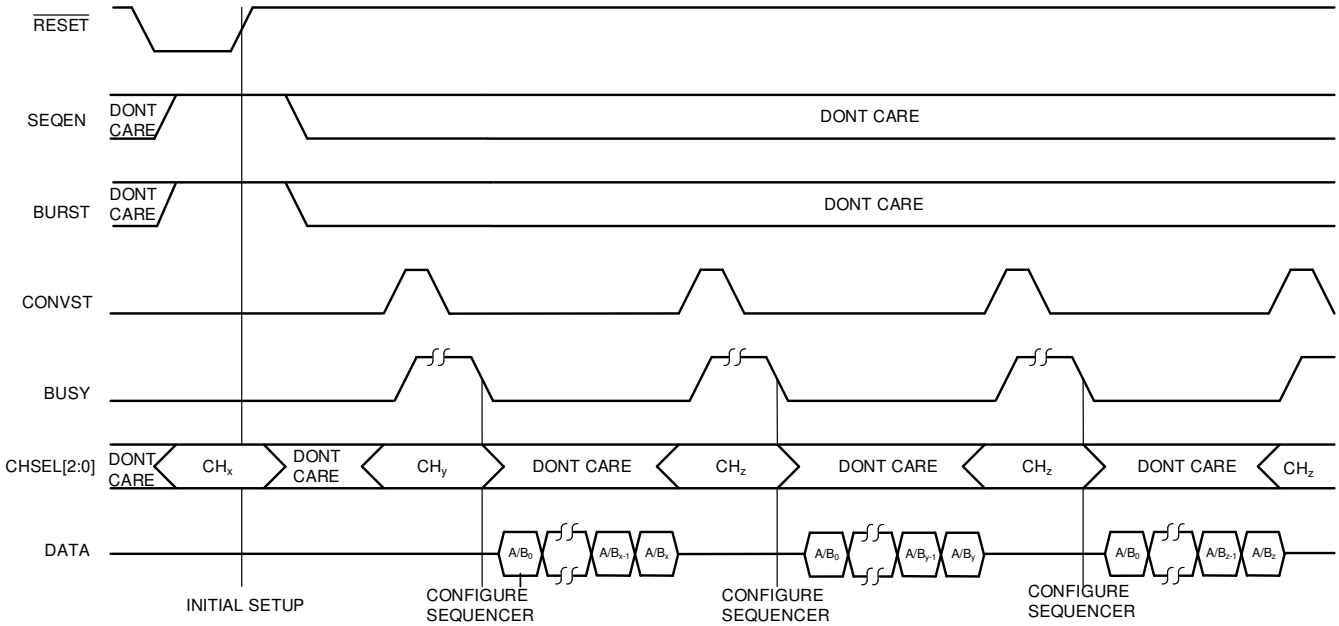


图 7-18. 突发序列发生器，硬件模式

7.4.2.6.2 软件模式突发序列发生器

在软件模式下，对配置寄存器中的 BURST 位进行编程可以启用突发功能。通过对配置寄存器进行编程来启用该设置以及 SEQEN 位。图 7-19 显示了此模式的时序图。

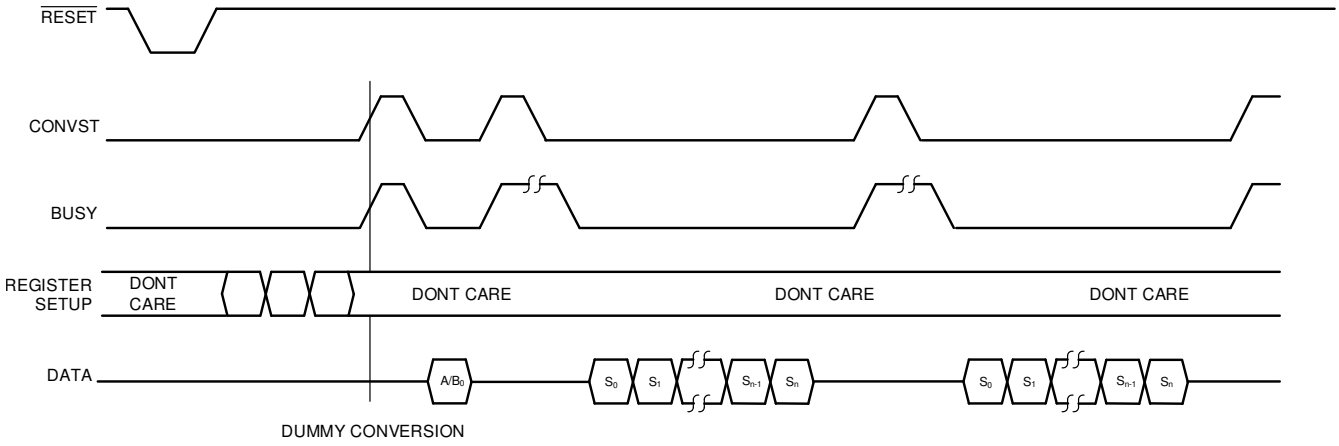


图 7-19. 突发序列发生器，软件模式

7.4.2.7 诊断

7.4.2.7.1 模拟诊断

ADS8686S 支持使用 SAR ADC 分别监视内部节点 AVDD 和 ALDO 以及 16 个模拟输入 AIN_nA 和 AIN_nB。通过将通道寄存器编程（参阅*寄存器映射*部分）为相应的通道标识符，可在软件运行模式下监视这些通道。诊断通道也可以添加到序列发生器堆栈中。

方程式 2 定义每个诊断通道的预期输出。图 7-20 和图 7-21 显示每个诊断通道的传递函数。

$$\text{AVDD Code} = \frac{\left((4 \times \text{AVDD}) - V_{REFCAP}\right) \times 32{,}768}{5 \times V_{REFCAP}}$$

$$\text{ALDO Code} = \frac{((10 \times \text{ALDO}) - (7 \times V_{REFCAP})) \times 32{,}768}{10 \times V_{REFCAP}} \quad (2)$$

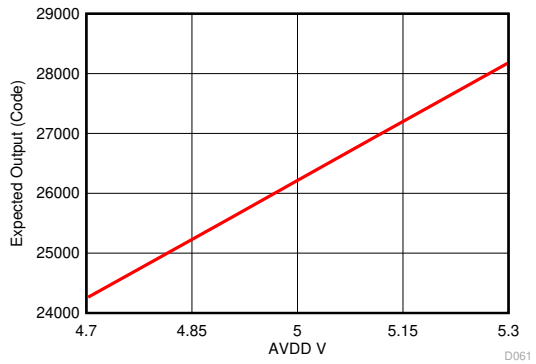


图 7-20. AVDD 与预期输出代码

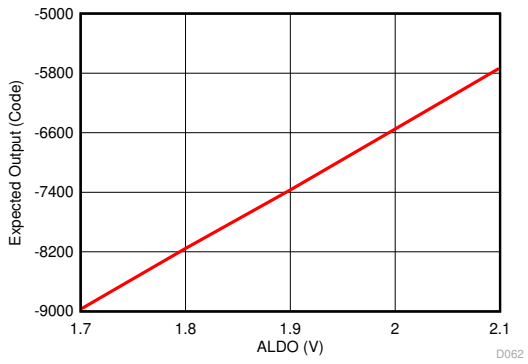


图 7-21. ALDO 与预期输出代码

7.4.2.7.2 接口诊断：自检和 CRC

ADS8686S 具有通信自检模式和循环冗余校验 (CRC) 模式。这些功能有助于诊断主机与器件之间的任何数字接口问题。

通过在通道寄存器中对通信自检通道编程，可启用通信自检（请参阅*寄存器映射*部分）。启用后，器件会强制转换结果寄存器输出已知的固定值。读取转换码时，输出代码 0xAAAA 作为 ADC A 的转换码，输出代码 0x5555 作为 ADC B 的转换码。此功能在软件运行模式下可用，但在硬件运行模式下不受支持。

ADS8686S 支持 CRC 校验和模式，可通过检测数据错误来提高接口稳健性。CRC 特性在软件（串行、字节和并行）模式和硬件（仅串行）模式下均可用。在硬件并行或硬件字节模式中，CRC 功能不可用。CRC 结果存储在状态寄存器中。启用 CRC 功能会启用状态寄存器，反之亦然。

在硬件模式下，ADS8686S 从完全复位释放时将 CRCEN 引脚设置为逻辑高电平，以启用 CRC 功能。当 $\overline{\text{RESET}}$ 引脚释放时，CRCEN 引脚的逻辑电平被锁存。需要完全复位才能退出该功能并设置替代配置。启用 CRC 后，状态寄存器的内容会附加到转换结果（有关 CRC 数据结构的详细信息，请参阅*寄存器映射*部分中的 STATUS 寄存器）。

在软件模式下，通过将配置寄存器中的 CRCEN 位或 STATUSEN 位设置为 1，启用 CRC 功能。

Copyright © 2022 Texas Instruments Incorporated

如果启用 CRC 功能，则根据通道 AIN_nA 和通道 AIN_nB 的转换结果计算 CRC。根据器件的配置，在转换结果发送后，计算 CRC 并在串行、字节或者并行接口上传输。汉明距离根据转换结果中的位数而变化。如果转换结果中的位数小于或等于 119，则汉明距离为 4。如果超过 119 位，则汉明距离为 1（即始终检测到 1 位错误）。

以下是如何在 ADS8686S 中实现 CRC 的伪代码说明：

```
crc = 8'b0;
i = 0;
x = number of conversion channel pairs;
for (i=0, i<x, i++) begin
crc1 = crc_out(An,Crc);
crc = crc_out(Bn,Crc1);
i = i +1;
end
```

其中函数 crc_out(data, crc) 如下：

```
crc_out[0] = data[14] ^ data[12] ^ data[8] ^ data[7] ^ data[6] ^ data[0] ^ crc[0] ^ crc[4] ^ crc[6];
crc_out[1] = data[15] ^ data[14] ^ data[13] ^ data[12] ^ data[9] ^ data[6] ^ data[1] ^ data[0] ^
crc[1] ^ crc[4] ^ crc[5] ^ crc[6] ^ crc[7];
crc_out[2] = data[15] ^ data[13] ^ data[12] ^ data[10] ^ data[8] ^ data[6] ^ data[2] ^ data[1] ^
data[0] ^ crc[0] ^ crc[2] ^ crc[4] ^ crc[5] ^ crc[7];
crc_out[3] = data[14] ^ data[13] ^ data[11] ^ data[9] ^ data[7] ^ data[3] ^ data[2] ^ data[1] ^
crc[1] ^ crc[3] ^ crc[5] ^ crc[6];
crc_out[4] = data[15] ^ data[14] ^ data[12] ^ data[10] ^ data[8] ^ data[4] ^ data[3] ^ data[2] ^
crc[0] ^ crc[2] ^ crc[4] ^ crc[6] ^ crc[7];
crc_out[5] = data[15] ^ data[13] ^ data[11] ^ data[9] ^ data[5] ^ data[4] ^ data[3] ^ crc[1] ^
crc[3] ^ crc[5] ^ crc[7];
crc_out[6] = data[14] ^ data[12] ^ data[10] ^ data[6] ^ data[5] ^ data[4] ^ crc[2] ^ crc[4] ^
crc[6];
crc_out[7] = data[15] ^ data[13] ^ data[11] ^ data[7] ^ data[6] ^ data[5] ^ crc[3] ^ crc[5] ^
crc[7];
```

ADS8686S 使用的初始 CRC 字是一个等于零的 8 位字。执行上述代码中描述的 XOR 运算以计算转换结果 An 的 CRC 字的每一位。然后，以此 CRC 字 (crc1) 为起点，计算转换结果 Bn 的 CRC 字 (crc)。对于转换的每对通道，周期性重复该过程。

根据 ADS8686S 的运行模式，状态寄存器值附加到转换数据，并通过额外的读取命令经由串行、字节或并行接口读出。如前面代码所述，可以为接收的转换结果重复 XOR 计算，以检查两个 CRC 字是否匹配。图 7-22 描绘了在每种运行模式下如何将 CRC 字附加到数据。

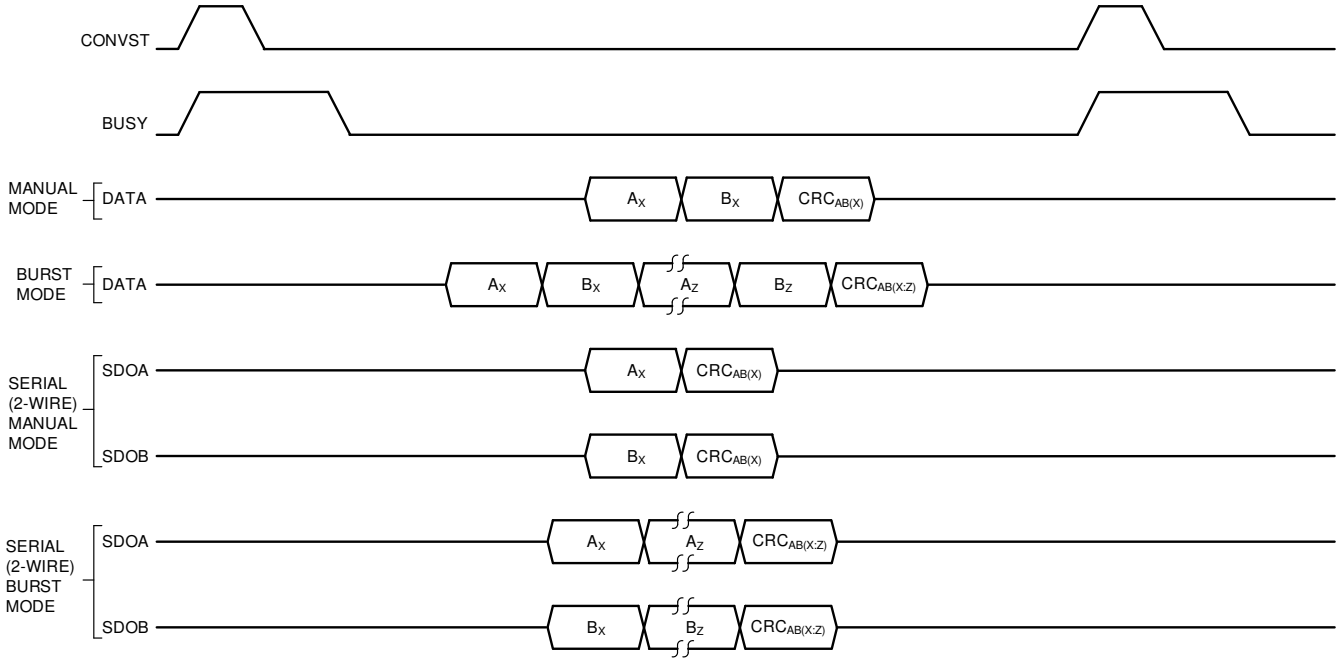


图 7-22. 所有模式下的 CRC 回读

Copyright © 2022 Texas Instruments Incorporated

7.5 编程

ADS8686S 可在硬件或软件运行模式下运行。当器件从完全复位释放时，HW_RNGSEL[1:0] 的逻辑电平确定了运行模式。如果 HW_RNGSEL[1:0] = 0b00，则器件进入软件模式，而对于任何其他设置，则会选择硬件模式。

使用以下三种接口中的任何一种与器件进行通信：并行、并行字节或串行。当器件从完全复位释放时，根据 SERIAL/BYTE/ $\overline{\text{PAR}}$ 引脚（引脚 40）和 DB9/BYTESEL 引脚（引脚 54）的逻辑电平来选择接口。

在硬件模式下，使用所选接口从器件捕获转换数据。所有其他器件设置均由器件引脚控制来控制。

在软件模式下，可以捕获转换数据以及对其编程，并且可以使用所选接口读取片上寄存器内容。

7.5.1 并行接口

ADS8686S 支持使用 $\overline{\text{CS}}$、$\overline{\text{RD}}$、$\overline{\text{WR}}$ 和 DB[15:0] 信号进行并行接口通信。要通过并行总线读取数据，请在器件从完全复位释放时，将 SER/BYTE/$\overline{\text{PAR}}$ 引脚连接到低电平。

7.5.1.1 读取转换结果

当 CONVST 信号从低电平转换为高电平时，将启动通道转换。BUSY 信号变为高电平并保持高电平以指示正在进行转换。BUSY 信号变为低电平后表明转换已完成，此时可以启动数据读取周期。

ADS8686S 可以使用具有标准 $\overline{\text{CS}}$、$\overline{\text{RD}}$ 和 DB[15:0] 信号的并行数据总线读取转换结果。$\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号在内部通过门控启用数据线路（DB15 至 DB0）。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为逻辑低电平时，这些信号将保持其高阻抗状态。

$\overline{\text{CS}}$ 输入信号的上升沿使总线进入三态，$\overline{\text{CS}}$ 输入信号的下降沿使总线退出高阻抗状态。$\overline{\text{CS}}$ 是启用数据线路的控制信号；此功能允许多个 ADS8686S 器件共享同一条并行数据总线。

所需的读取操作次数取决于器件配置。至少需要两次读取才能读取同时采样的 A 和 B 通道的转换结果。如果启用了其他功能（例如 CRC、状态和突发模式），则所需的回读次数会相应增加。

$\overline{\text{RD}}$ 引脚从输出转换结果寄存器中读取数据。向 ADS8686S 的 $\overline{\text{RD}}$ 引脚施加一系列 $\overline{\text{RD}}$ 脉冲，会为每个通道的转换结果触发计时结束并记录到并行总线（DB15 至 DB0）。BUSY 变为低电平和 $\overline{\text{CS}}$ 被拉至低电平后的第一个 $\overline{\text{RD}}$ 下降沿会为通道 Ax 的转换结果触发计时结束。下一个 $\overline{\text{RD}}$ 下降沿会使用通道 Bx 的转换结果更新总线。图 7-23 显示了并行数据读取时序图。

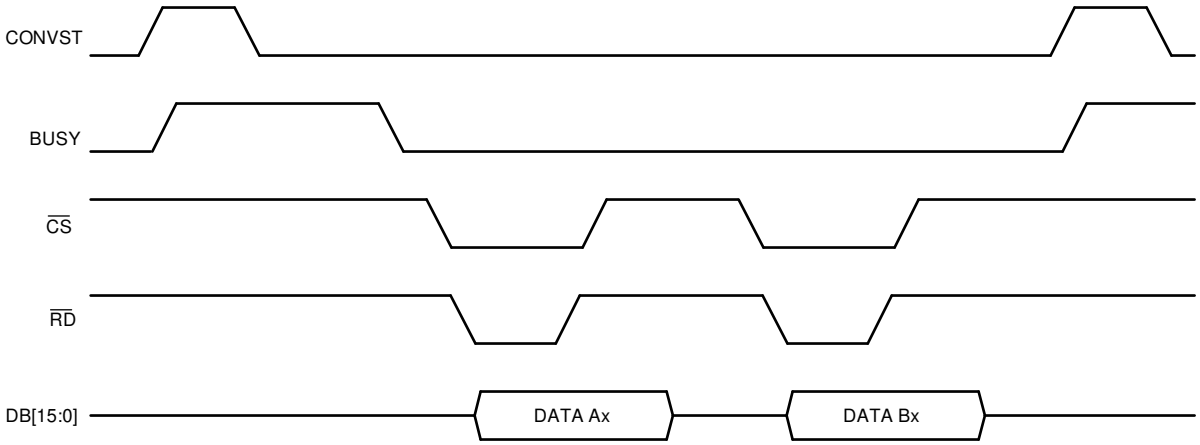


图 7-23. 并行接口转换回读

7.5.1.2 写入寄存器数据

在软件模式下，ADS8686S 支持进行片上寄存器访问。单个寄存器写入命令通过在并行总线（DB15 至 DB0）、$\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 信号中进行一路 16 位并行访问来执行。要馈送到 DB[15:0] 引脚的 16 位数据由要寻址的寄存器和应用所需的器件设置所确定。请参阅*寄存器映射*部分以确定寄存器内容。将 $\overline{\text{CS}}$ 引脚拉至低电平以使 DB[15:0] 引脚脱离高阻抗状态。将 $\overline{\text{WR}}$ 引脚拉至低电平以将 DB[15:0] 引脚配置为数字输入。主机驱动具有数据的 DB[15:0] 引

脚，以对片上寄存器进行编程。对寄存器编程后，将 $\overline{WR}$ 引脚拉至高电平。数据在 $\overline{WR}$ 的上升沿被锁存到器件中。图 7-24 显示了并行寄存器写入时序图。

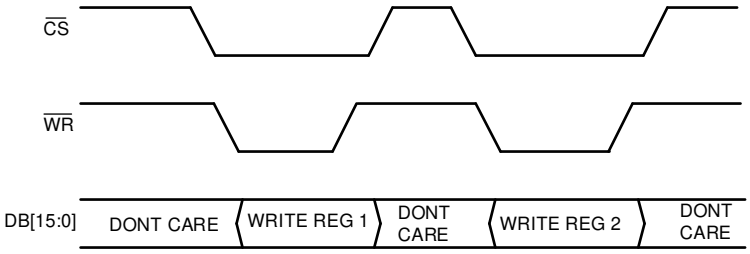


图 7-24. 并行接口寄存器写入

7.5.1.3 读取寄存器数据

在软件模式下，ADS8686S 支持进行片上寄存器访问。单个寄存器读取命令通过在并行总线（DB15 至 DB0）、$\overline{CS}$、$\overline{WR}$ 和 $\overline{RD}$ 信号中进行两路 16 位并行数据访问来执行。请参阅*寄存器映射*部分以确定要在 DB[15:0] 引脚上驱动的数据。将 $\overline{CS}$ 引脚拉至低电平以使 DB[15:0] 引脚脱离高阻抗状态。将 $\overline{WR}$ 引脚拉至低电平以将 DB[15:0] 引脚配置为数字输入。主机驱动具有数据的 DB[15:0] 引脚，以启用所选寄存器的读取操作。将 $\overline{WR}$ 引脚拉至高电平。寄存器地址在 $\overline{WR}$ 的上升沿被锁存到器件中。器件将寄存器数据传输到输出寄存器。将 $\overline{RD}$ 引脚拉至低电平以将 DB[15:0] 引脚配置为数字输出。器件在 DB[15:0] 引脚上输出寄存器内容。主机可以在 $\overline{RD}$ 引脚的上升沿读取数据。图 7-25 显示了并行寄存器读取时序图。

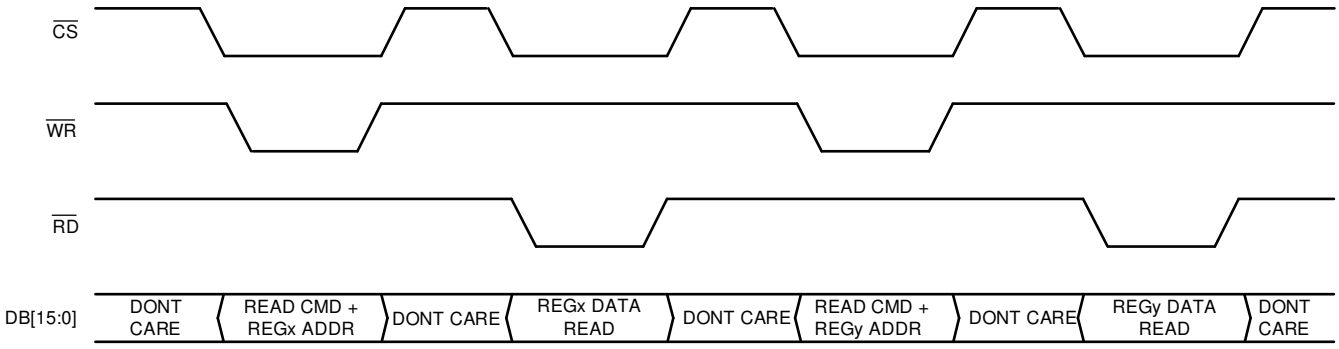


图 7-25. 并行接口寄存器读取

7.5.2 并行字节接口

ADS8686S 支持使用 $\overline{CS}$、$\overline{RD}$、$\overline{WR}$ 和 DB[7:0] 信号进行并行字节接口通信。要通过并行字节总线读取数据，请在器件从完全复位释放时，将 SER/BYTE/$\overline{PAR}$ 引脚和 DB9/BYTESEL 引脚连接到逻辑高电平状态。

7.5.2.1 读取转换结果

当 CONVST 信号从低电平转换为高电平时，将启动通道转换。BUSY 信号变为高电平并保持高电平以指示正在进行转换。BUSY 信号变为低电平后表明转换已完成，此时可以启动数据读取周期。

ADS8686S 可以使用具有标准 $\overline{CS}$、$\overline{RD}$ 和 DB[7:0] 信号的并行数据总线读取转换结果。$\overline{CS}$ 和 $\overline{RD}$ 输入信号在内部通过门控启用数据线路（DB7 至 DB0）。当 $\overline{CS}$ 和 $\overline{RD}$ 均为逻辑低电平时，这些信号将保持其高阻抗状态。

$\overline{CS}$ 输入信号的上升沿使总线进入三态，$\overline{CS}$ 输入信号的下降沿使总线退出高阻抗状态。$\overline{CS}$ 是启用数据线路的控制信号；此功能允许多个 ADS8686S 器件共享同一条并行数据总线。

所需的读取操作次数取决于器件配置。至少需要四次读取才能读取同时采样的 A 和 B 通道的转换结果。如果启用了其他功能（例如 CRC、状态和突发模式），则所需的回读次数会相应增加。

$\overline{RD}$ 引脚从输出转换结果寄存器中读取数据。向 ADS8686S 的 $\overline{RD}$ 引脚施加一系列 $\overline{RD}$ 脉冲，会为每个通道的转换结果触发计时结束并记录到并行总线（DB7 至 DB0）。BUSY 变为低电平和 $\overline{CS}$ 被拉至低电平后的前两个 $\overline{RD}$

Copyright © 2022 Texas Instruments Incorporated

脉冲会为通道 Ax 的转换结果的 MSB 触发计时结束，然后为其 LSB 触发计时结束。接下来的两个 $\overline{RD}$ 脉冲使用通道 Bx 的转换结果更新总线。图 7-26 显示了并行数据读取时序图。

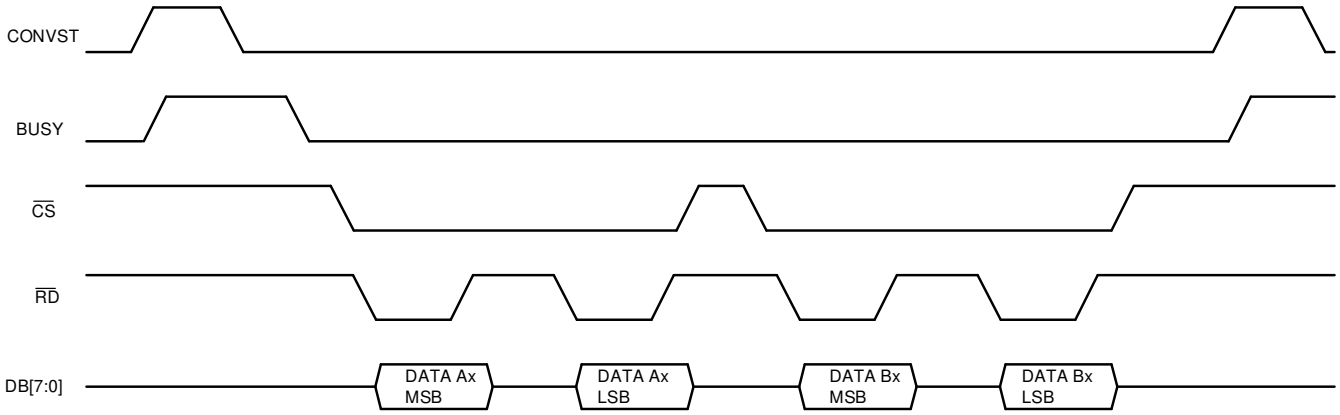


图 7-26. 并行字节接口转换回读

7.5.2.2 写入寄存器数据

在软件模式下，ADS8686S 支持进行片上寄存器访问。单个寄存器写入命令通过在并行字节总线（DB7 至 DB0）、$\overline{CS}$ 和 $\overline{WR}$ 信号中进行 16 位访问来执行。要馈送到 DB[7:0] 引脚的 16 位数据由要寻址的寄存器和应用所需的器件设置所确定。请参阅*寄存器映射*部分以确定寄存器内容。将 $\overline{CS}$ 引脚拉至低电平以使 DB[7:0] 引脚脱离高阻抗状态。将 $\overline{WR}$ 引脚拉至低电平以将 DB[7:0] 引脚配置为数字输入。主机驱动具有数据 MSB 的 DB[7:0] 引脚，以对片上寄存器进行编程。对 MSB 编程后，将 $\overline{WR}$ 引脚拉至高电平。重复相同的程序来驱动数据的 LSB，以对片上寄存器进行编程。数据在第二个 $\overline{WR}$ 脉冲的上升沿被锁存到器件中。任何额外的字节访问都将被忽略。将 $\overline{CS}$ 引脚拉至高电平以终止电阻器写入操作。图 7-27 显示了并行寄存器写入时序图。

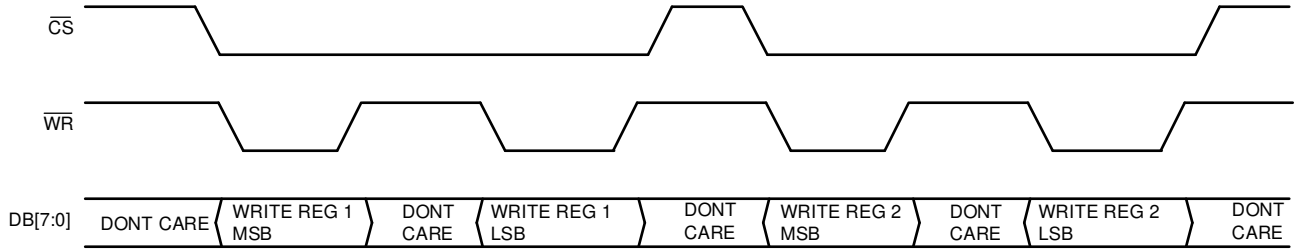


图 7-27. 并行字节接口寄存器写入

7.5.2.3 读取寄存器数据

在软件模式下，ADS8686S 支持进行片上寄存器访问。单个寄存器读取命令通过在并行总线（DB7 至 DB0）、$\overline{CS}$、$\overline{WR}$ 和 $\overline{RD}$ 信号中进行四路 8 位并行字节数据访问来执行。请参阅*寄存器映射*部分以确定要在 DB[7:0] 引脚上驱动的数据。将 $\overline{CS}$ 引脚拉至低电平以使 DB[7:0] 引脚脱离高阻抗状态。将 $\overline{WR}$ 引脚拉至低电平以将 DB[7:0] 引脚配置为数字输入。主机驱动具有 MSB 数据的 DB[7:0] 引脚，以启用所选寄存器的读取操作。将 $\overline{WR}$ 引脚拉至高电平。对寄存器读取操作的 LSB 数据重复上一步。寄存器地址在 $\overline{WR}$ 的第二个上升沿被锁存到器件中。器件将寄存器数据传输到输出寄存器。将 $\overline{RD}$ 引脚拉至低电平以将 DB[7:0] 引脚配置为数字输出。器件在每传输八位数据两次后即在 DB[7:0] 引脚上输出寄存器内容。主机可以在 $\overline{RD}$ 引脚的上升沿读取数据。图 7-28 显示了并行字节寄存器读取时序图。

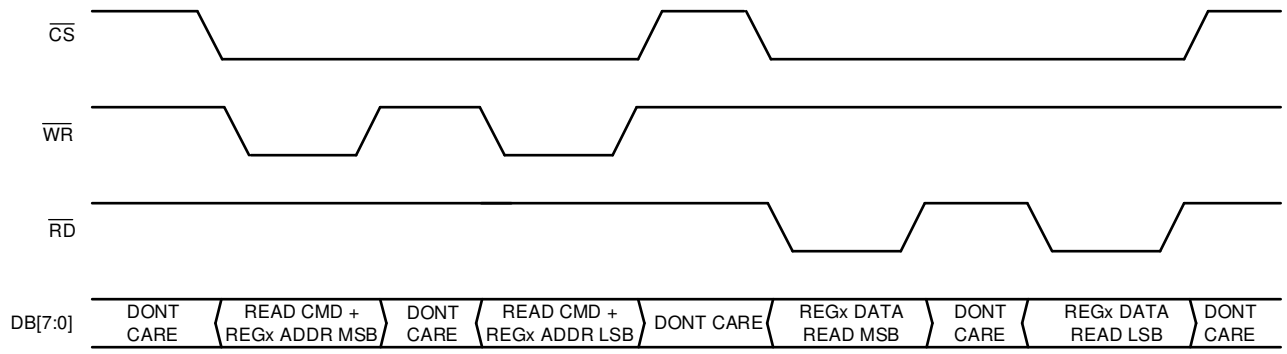


图 7-28. 并行字节接口寄存器读取

7.5.3 串行接口

ADS8686S 支持使用 $\overline{CS}$、SCLK、SDI、SDOA 和 SDOB 信号进行串行 (SPI) 接口通信。要使用串行接口读取数据，请在器件从完全复位释放时，将 SER/BYTE/ $\overline{PAR}$ 引脚连接到高电平并将 DB9/BYTESEL 引脚连接到低电平。

ADS8686S 支持使用两个输出引脚 SDOA 和 SDOB 在串行接口模式下进行数据捕获。可使用串行 1 线或串行 2 线模式从 ADS8686S 回读数据。

在串行 2 线模式下，SDOA 上显示通道 AIN_0A 到通道 AIN_7A 的转换结果，SDOB 上显示通道 AIN_0B 到通道 AIN_7B 的转换结果。在串行 1 线模式下，通道 AIN_0B 到通道 AIN_7B 的转换结果与通道 AIN_0A 到通道 AIN_7A 的转换结果隔行显示。要实现最大吞吐量，必须使用串行 2 线模式。

将 DB4/ $\overline{SER1W}$ 引脚连接到逻辑高电平，以将器件配置为在串行 2 线模式下运行。将 DB4/ $\overline{SER1W}$ 引脚连接到逻辑低电平，以将器件配置为在串行 1 线模式下运行。当 ADS8686S 从完全复位释放时，将配置串行 1 线或串行 2 线模式。

7.5.3.1 读取转换结果

当 CONVST 信号从低电平转换为高电平时，将启动通道转换。BUSY 信号变为高电平并保持高电平以指示正在进行转换。BUSY 信号变为低电平后表明转换已完成，此时可以启动数据读取周期。

$\overline{CS}$ 下降沿使数据输出线路 SDOA 和 SDOB 脱离三态，并为转换结果的 MSB 触发计时结束。SCLK 的上升沿将所有后续数据位计时到串行数据输出 SDOA 和 SDOB 上。图 7-29 展示了使用 ADS8686S 上的两条 SDOx 线路同时读取两个转换结果的情况。如果状态寄存器附加到转换结果中或在序列发生器突发模式下运行（其中 16 的倍数个 SCLK 将传输 ADS8686S 的访问数据），则在整个数据帧内保持 $\overline{CS}$ 为低电平。也可以仅使用 SDOA 线路为数据触发计时结束。要通过 ADS8686S 访问 SDOA 线路上的通道 AIN_xA 和通道 AIN_xB 的转换结果，总共需要 32 个 SCLK 周期。使用一个 $\overline{CS}$ 信号构建这 32 个 SCLK 周期的帧，或使用 $\overline{CS}$ 信号单独构建每组 16 个 SCLK 周期的帧。仅使用串行 1 线模式的缺点是吞吐率降低。

在串行 1 线模式下将未使用的 SDOB 线路保持未连接状态。如果使用 SDOA 作为单个串行数据输出线路，通道结果将按以下顺序输出：AIN_xA 和 AIN_xB。图 7-30 显示了一个串行 1 线回读操作。

在串行接口模式下，数据的回读速度取决于 SPI 频率、DVDD 电源以及 SDO 线路上负载的电容 C_{LOAD}。表 7-10 汇总显示了各种条件下可实现的最大速度。

表 7-10. SPI 频率与负载电容和 DVDD 的关系

DVDD (V)	C_{LOAD} (pF)	SPI 频率 (MHz)
1.8 至 3	20	40
3 至 5	30	50

Copyright © 2022 Texas Instruments Incorporated

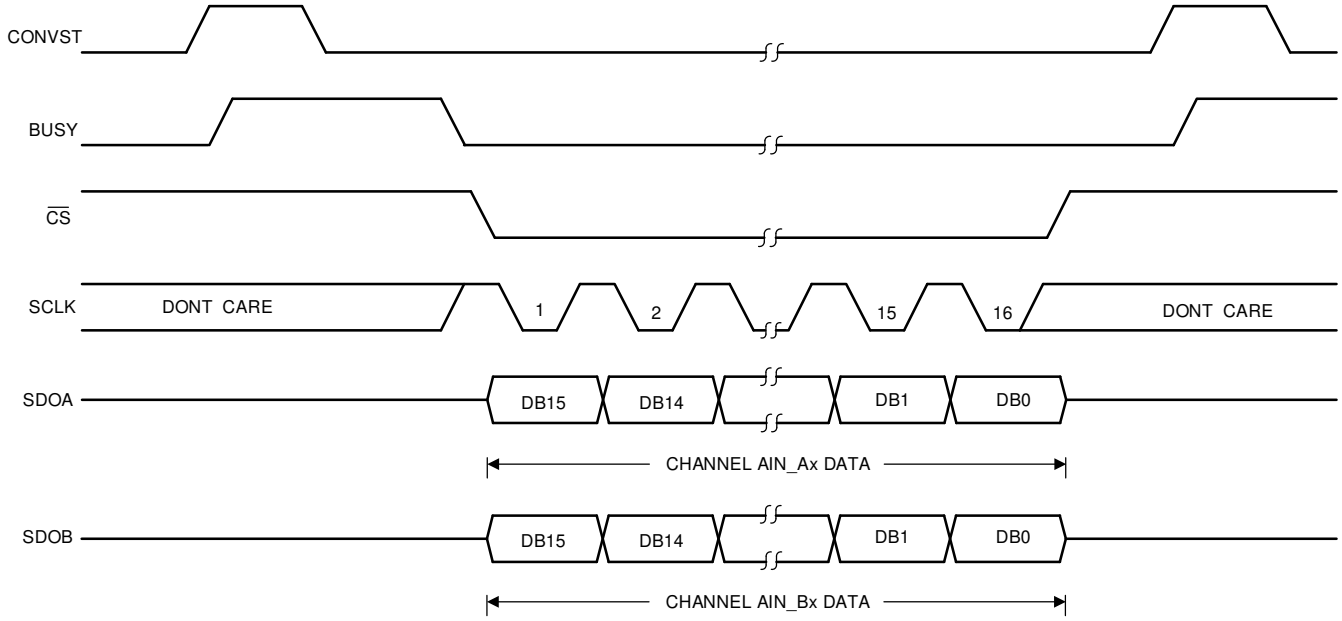


图 7-29. 串行接口，2 线模式

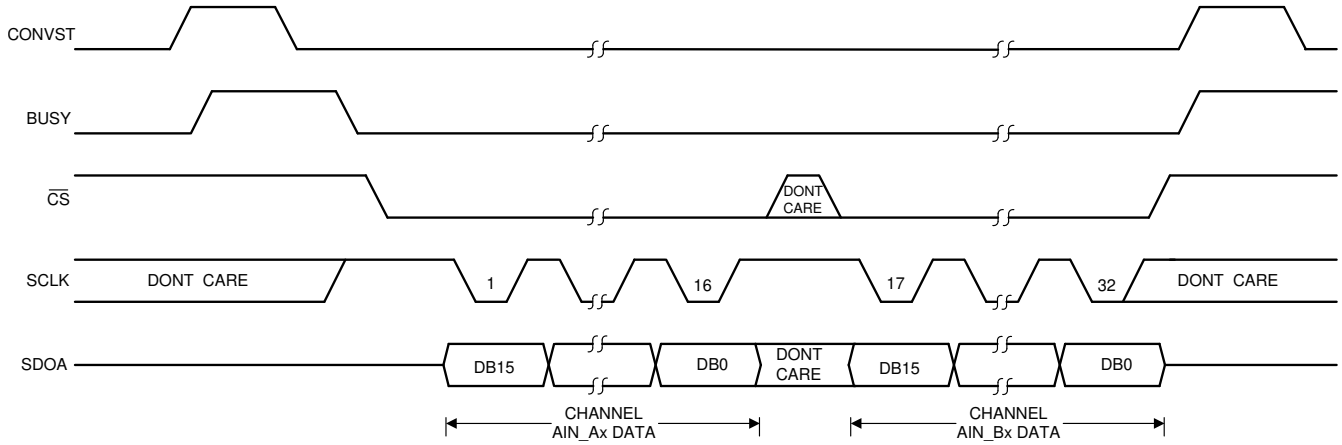


图 7-30. 串行接口，1 线模式

7.5.3.2 写入寄存器数据

在软件模式下，ADS8686S 片上寄存器可以使用串行接口写入。寄存器写入命令需要在 SDI 引脚上发送 16 位数据帧。表 7-11 描述了写入命令的格式。位 D15 必须设置为 1 才能选择写入命令。D[14:9] 位包含寄存器地址。随后的九位 (D[8:0]) 包含要写入所选寄存器的数据。图 7-31 显示了一个典型的串行写入命令。

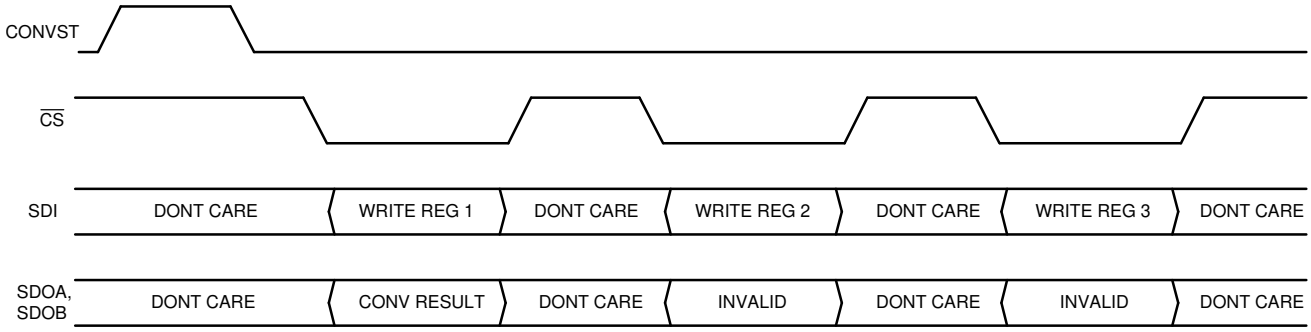


图 7-31. 串行接口寄存器写入

表 7-11. 写入命令消息配置

MSB																LSB
D15	D14	D13	D12	D11	D10	D9	D8	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/ $\overline{R}$	REGADDR[5:0]						Data[8:0]									
1	寄存器地址						要写入的数据									

7.5.3.3 读取寄存器数据

在软件模式下，ADS8686S 片上寄存器可以使用串行接口读取。寄存器数据内容仅在 SDOA 线路上共享，与串行 1 线或串行 2 线运行模式无关。寄存器读取可以通过发出寄存器读取命令以及寄存器地址后跟附加的 SPI 命令来执行，SPI 命令可以是有效命令，也可以是无操作 (NOP)。表 7-12 显示了读取命令的格式。位 D15 必须设置为 0 才能选择读取命令。D[14:9] 位包含寄存器地址。随后的九位 (D[8:0]) 将被忽略。请参阅*寄存器映射* 部分查看寄存器地址的完整列表。图 7-32 显示了一个典型的串行读取命令。

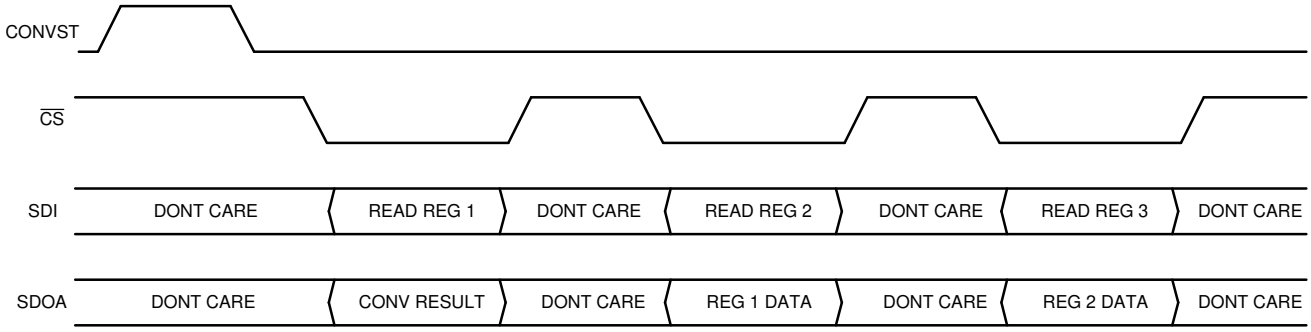


图 7-32. 串行接口寄存器读取

表 7-12. 读取命令消息配置

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/ $\overline{R}$	REGADDR[5:0]						Data[8:0]								
0	寄存器地址						无关位								

Copyright © 2022 Texas Instruments Incorporated

7.6 寄存器映射

7.6.1 页 1 寄存器

表 7-13 中列出了页 1 寄存器。表 7-13 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-13. 页 1 寄存器

地址	缩写	章节
0x2	配置	节 7.6.1.2
0x3	CHANNEL_SEL	节 7.6.1.3
0x4	RANGE_A1	节 7.6.1.4
0x5	RANGE_A2	节 7.6.1.5
0x6	RANGE_B1	节 7.6.1.6
0x7	RANGE_B2	节 7.6.1.7
0x8	STATUS	节 7.6.1.8
0xA	OVER_RANGE_SETTING_A	节 7.6.1.9
0xB	OVER_RANGE_SETTING_B	节 7.6.1.10
0xD	LPF_CONFIG	节 7.6.1.11
0x10	Device_ID	节 7.6.1.12
0x20	SEQ_STACK_0	节 7.6.1.13
0x21	SEQ_STACK_1	节 7.6.1.14
0x22	SEQ_STACK_2	节 7.6.1.15
0x23	SEQ_STACK_3	节 7.6.1.16
0x24	SEQ_STACK_4	节 7.6.1.17
0x25	SEQ_STACK_5	节 7.6.1.18
0x26	SEQ_STACK_6	节 7.6.1.19
0x27	SEQ_STACK_7	节 7.6.1.20
0x28	SEQ_STACK_8	节 7.6.1.21
0x29	SEQ_STACK_9	节 7.6.1.22
0x2A	SEQ_STACK_10	节 7.6.1.23
0x2B	SEQ_STACK_11	节 7.6.1.24
0x2C	SEQ_STACK_12	节 7.6.1.25
0x2D	SEQ_STACK_13	节 7.6.1.26
0x2E	SEQ_STACK_14	节 7.6.1.27
0x2F	SEQ_STACK_15	节 7.6.1.28
0x30	SEQ_STACK_16	节 7.6.1.29
0x31	SEQ_STACK_17	节 7.6.1.30
0x32	SEQ_STACK_18	节 7.6.1.31
0x33	SEQ_STACK_19	节 7.6.1.32
0x34	SEQ_STACK_20	节 7.6.1.33
0x35	SEQ_STACK_21	节 7.6.1.34
0x36	SEQ_STACK_22	节 7.6.1.35
0x37	SEQ_STACK_23	节 7.6.1.36
0x38	SEQ_STACK_24	节 7.6.1.37
0x39	SEQ_STACK_25	节 7.6.1.38
0x3A	SEQ_STACK_26	节 7.6.1.39
0x3B	SEQ_STACK_27	节 7.6.1.40
0x3C	SEQ_STACK_28	节 7.6.1.41
0x3D	SEQ_STACK_29	节 7.6.1.42
0x3E	SEQ_STACK_30	节 7.6.1.43

Copyright © 2022 Texas Instruments Incorporated

表 7-13. 页 1 寄存器 (continued)

地址	缩写	章节
0x3F	SEQ_STACK_31	节 7.6.1.44

复杂的位访问类型经过编码可适应小型表单元。表 7-14 显示了适用于此部分中访问类型的代码。

表 7-14. 页 1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.1 配置寄存器（地址 = 0x2）[复位 = 0x400]

图 7-33 中显示了配置，表 7-15 中对此进行了介绍。

返回到表 7-13。

图 7-33. 配置寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-10b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
SDEF	BURSTEN	SEQEN	OSR[2:0]			STATUSEN	CRCEN
R-0b	R/W-0b	R/W-0b	R/W-0b			R/W-0b	R/W-0b

表 7-15. 配置寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	读/写	10b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7	SDEF	R	0b	自诊断错误标志。 0b = 测试通过。ADS8686S 在上电后已成功进行自我配置。 1b = 测试失败。需要器件复位。
6	BURSTEN	R/W	0b	突发模式控制。 0b = 突发模式被禁用。 1b = 突发模式被启用。
5	SEQEN	R/W	0b	通道序列发生器控制。 0b = 通道序列发生器被禁用。 1b = 通道序列发生器被启用。
4-2	OSR[2:0]	R/W	0b	过采样率 (OSR) 配置。 0b = OSR 已禁用。 1b = OSR = 2 次采样。 10b = OSR = 4 次采样。 11b = OSR = 8 次采样。 100b = OSR = 16 次采样。 101b = OSR = 32 次采样。 110b = OSR = 64 次采样。 111b = OSR = 128 次采样。
1	STATUSEN	R/W	0b	状态寄存器输出控制。 0b = 状态寄存器内容未附加到转换结果中。 1b = 状态寄存器内容附加到转换结果中。
0	CRCEN	R/W	0b	数据输出 CRC 控制。STATUSEN 位和 CRCEN 位具有相同的功能。

7.6.1.2 CHANNEL_SEL 寄存器（地址 = 0x3）[复位 = 0x600]

图 7-34 中显示了 CHANNEL_SEL，表 7-16 中对此进行了介绍。

返回到表 7-13。

图 7-34. CHANNEL_SEL 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-11b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-16. CHANNEL_SEL 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	读/写	11b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。 0b = AIN_0B 1b = AIN_1B 10b = AIN_2B 11b = AIN_3B 100b = AIN_4B 101b = AIN_5B 110b = AIN_6B 111b = AIN_7B 1000b = AVDD 1001b = ALDO 1011b = 固定数字代码 0x5555。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。 0b = AIN_0A 1b = AIN_1A 10b = AIN_2A 11b = AIN_3A 100b = AIN_4A 101b = AIN_5A 110b = AIN_6A 111b = AIN_7A 1000b = AVDD 1001b = ALDO 1011b = 固定数字代码 0xAAAA。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.3 RANGE_A1 寄存器（地址 = 0x4）[复位 = 0x8FF]

图 7-35 中显示了 RANGE_A1，表 7-17 中对此进行了介绍。

返回到表 7-13。

图 7-35. RANGE_A1 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-100b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_3A[1:0]		AIN_2A[1:0]		AIN_1A[1:0]		AIN_0A[1:0]	
R/W-11b		R/W-11b		R/W-11b		R/W-11b	

表 7-17. RANGE_A1 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7-6	AIN_3A[1:0]	读/写	11b	通道 AIN_3A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
5-4	AIN_2A[1:0]	读/写	11b	通道 AIN_2A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
3-2	AIN_1A[1:0]	读/写	11b	通道 AIN_1A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
1-0	AIN_0A[1:0]	读/写	11b	通道 AIN_0A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.4 RANGE_A2 寄存器（地址 = 0x5）[复位 = 0xAFF]

图 7-36 中显示了 RANGE_A2，表 7-18 中对此进行了介绍。

返回到表 7-13。

图 7-36. RANGE_A2 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-101b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_7A[1:0]		AIN_6A[1:0]		AIN_5A[1:0]		AIN_4A[1:0]	
R/W-11b		R/W-11b		R/W-11b		R/W-11b	

表 7-18. RANGE_A2 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7-6	AIN_7A[1:0]	读/写	11b	通道 AIN_7A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
5-4	AIN_6A[1:0]	读/写	11b	通道 AIN_6A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
3-2	AIN_5A[1:0]	读/写	11b	通道 AIN_5A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
1-0	AIN_4A[1:0]	读/写	11b	通道 AIN_4A 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.5 RANGE_B1 寄存器（地址 = 0x6）[复位 = 0xCFF]

图 7-37 中显示了 RANGE_B1，表 7-19 中对此进行了介绍。

返回到表 7-13。

图 7-37. RANGE_B1 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-110b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_3B[1:0]		AIN_2B[1:0]		AIN_1B[1:0]		AIN_0B[1:0]	
R/W-11b		R/W-11b		R/W-11b		R/W-11b	

表 7-19. RANGE_B1 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7-6	AIN_3B[1:0]	读/写	11b	通道 AIN_3B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
5-4	AIN_2B[1:0]	读/写	11b	通道 AIN_2B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
3-2	AIN_1B[1:0]	读/写	11b	通道 AIN_1B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
1-0	AIN_0B[1:0]	读/写	11b	通道 AIN_0B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.6 RANGE_B2 寄存器（地址 = 0x7）[复位 = 0xEFF]

图 7-38 中显示了 RANGE_B2，表 7-20 中对此进行了介绍。

返回到表 7-13。

图 7-38. RANGE_B2 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-111b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_7B[1:0]		AIN_6B[1:0]		AIN_5B[1:0]		AIN_4B[1:0]	
R/W-11b		R/W-11b		R/W-11b		R/W-11b	

表 7-20. RANGE_B2 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7-6	AIN_7B[1:0]	读/写	11b	通道 AIN_7B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
5-4	AIN_6B[1:0]	读/写	11b	通道 AIN_6B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
3-2	AIN_5B[1:0]	读/写	11b	通道 AIN_5B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。
1-0	AIN_4B[1:0]	读/写	11b	通道 AIN_4B 电压范围选择。 0b = 输入范围 = ±10V。 1b = 输入范围 = ±2.5V。 10b = 输入范围 = ±5V。 11b = 输入范围 = ±10V。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.7 STATUS 寄存器（地址 = 0x8）[复位 = 0x0]

图 7-39 中显示了 STATUS，表 7-21 中对此进行了介绍。

返回到表 7-13。

图 7-39. STATUS 寄存器

15	14	13	12	11	10	9	8
CHSEL_A_ID[3:0]				CHSEL_B_ID[3:0]			
R-0b				R-0b			
7	6	5	4	3	2	1	0
CRC[7:0]							
R-0b							

表 7-21. 状态寄存器字段说明

位	字段	类型	复位	说明
15-12	CHSEL_A_ID[3:0]	R	0b	使用 ADC A 的最后一个转换通道的通道索引。请参阅寄存器 0x03 CHSEL_A 说明来解码通道索引。
11-8	CHSEL_B_ID[3:0]	R	0b	使用 ADC B 的最后一个转换通道的通道索引。请参阅寄存器 0x03 CHSEL_B 说明来解码通道索引。
7-0	CRC[7:0]	R	0b	8 位 CRC 计算结果。有关更多详细信息，请参阅 CRC 部分。

7.6.1.8 OVER_RANGE_SETTING_A 寄存器（地址 = 0xA）[复位 = 0x1400]

图 7-40 中显示了 OVER_RANGE_SETTING_A，表 7-22 中对此进行了介绍。

返回到表 7-13。

图 7-40. OVER_RANGE_SETTING_A 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-1010b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_7A_OVER_RANGE	AIN_6A_OVER_RANGE	AIN_5A_OVER_RANGE	AIN_4A_OVER_RANGE	AIN_3A_OVER_RANGE	AIN_2A_OVER_RANGE	AIN_1A_OVER_RANGE	AIN_0A_OVER_RANGE
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-22. OVER_RANGE_SETTING_A 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	1010b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7	AIN_7A_OVER_RANGE	R/W	0b	AIN_7A 超量程控制。 0b = 通道 AIN_7A 范围，如寄存器 0x05 中的编程所示。 1b = 为通道 AIN_7A 范围设置启用 20% 超量程，如寄存器 0x05 中的编程所示。
6	AIN_6A_OVER_RANGE	R/W	0b	AIN_6A 超量程控制。 0b = 通道 AIN_6A 范围，如寄存器 0x05 中的编程所示。 1b = 为通道 AIN_6A 范围设置启用 20% 超量程，如寄存器 0x05 中的编程所示。
5	AIN_5A_OVER_RANGE	R/W	0b	AIN_5A 超量程控制。 0b = 通道 AIN_5A 范围，如寄存器 0x05 中的编程所示。 1b = 为通道 AIN_5A 范围设置启用 20% 超量程，如寄存器 0x05 中的编程所示。
4	AIN_4A_OVER_RANGE	R/W	0b	AIN_4A 超量程控制。 0b = 通道 AIN_4A 范围，如寄存器 0x05 中的编程所示。 1b = 为通道 AIN_4A 范围设置启用 20% 超量程，如寄存器 0x05 中的编程所示。
3	AIN_3A_OVER_RANGE	R/W	0b	AIN_3A 超量程控制。 0b = 通道 AIN_3A 范围，如寄存器 0x04 中的编程所示。 1b = 为通道 AIN_3A 范围设置启用 20% 超量程，如寄存器 0x04 中的编程所示。
2	AIN_2A_OVER_RANGE	R/W	0b	AIN_2A 超量程控制。 0b = 通道 AIN_2A 范围，如寄存器 0x04 中的编程所示。 1b = 为通道 AIN_2A 范围设置启用 20% 超量程，如寄存器 0x04 中的编程所示。
1	AIN_1A_OVER_RANGE	R/W	0b	AIN_1A 超量程控制 0b = 通道 AIN_1A 范围，如寄存器 0x04 中的编程所示 1b = 为通道 AIN_1A 范围设置启用 20% 超量程，如寄存器 0x04 中的编程所示

Copyright © 2022 Texas Instruments Incorporated

表 7-22. OVER_RANGE_SETTING_A 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	AIN_0A_OVER_RANGE	R/W	0b	AIN_0A 超量程控制。 0b = 通道 AIN_0A 范围，如寄存器 0x04 中的编程所示。 1b = 为通道 AIN_0A 范围设置启用 20% 超量程，如寄存器 0x04 中的编程所示。

7.6.1.9 OVER_RANGE_SETTING_B 寄存器（地址 = 0xB）[复位 = 0x1600]

图 7-41 中显示了 OVER_RANGE_SETTING_B，表 7-23 中对此进行了介绍。

返回到表 7-13。

图 7-41. OVER_RANGE_SETTING_B 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-1011b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
AIN_7B_OVER_RANGE	AIN_6B_OVER_RANGE	AIN_5B_OVER_RANGE	AIN_4B_OVER_RANGE	AIN_3B_OVER_RANGE	AIN_2B_OVER_RANGE	AIN_1B_OVER_RANGE	AIN_0B_OVER_RANGE
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-23. OVER_RANGE_SETTING_B 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	1011b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	保留	R	0b	保留。读取返回 0b。
7	AIN_7B_OVER_RANGE	R/W	0b	AIN_7B 超量程控制。 0b = 通道 AIN_7B 范围，如寄存器 0x07 中的编程所示。 1b = 为通道 AIN_7B 范围设置启用 20% 超量程，如寄存器 0x07 中的编程所示。
6	AIN_6B_OVER_RANGE	R/W	0b	AIN_6B 超量程控制。 0b = 通道 AIN_6B 范围，如寄存器 0x07 中的编程所示。 1b = 为通道 AIN_6B 范围设置启用 20% 超量程，如寄存器 0x07 中的编程所示。
5	AIN_5B_OVER_RANGE	R/W	0b	AIN_5B 超量程控制。 0b = 通道 AIN_5B 范围，如寄存器 0x07 中的编程所示。 1b = 为通道 AIN_5B 范围设置启用 20% 超量程，如寄存器 0x07 中的编程所示。
4	AIN_4B_OVER_RANGE	R/W	0b	AIN_4B 超量程控制。 0b = 通道 AIN_4B 范围，如寄存器 0x07 中的编程所示。 1b = 为通道 AIN_4B 范围设置启用 20% 超量程，如寄存器 0x07 中的编程所示。
3	AIN_3B_OVER_RANGE	R/W	0b	AIN_3B 超量程控制 0b = 通道 AIN_3B 范围，如寄存器 0x06 中的编程所示 1b = 为通道 AIN_3B 范围设置启用 20% 超量程，如寄存器 0x06 中的编程所示
2	AIN_2B_OVER_RANGE	R/W	0b	AIN_2B 超量程控制。 0b = 通道 AIN_2B 范围，如寄存器 0x06 中的编程所示。 1b = 为通道 AIN_2B 范围设置启用 20% 超量程，如寄存器 0x06 中的编程所示。
1	AIN_1B_OVER_RANGE	R/W	0b	AIN_1B 超量程控制。 0b = 通道 AIN_1B 范围，如寄存器 0x06 中的编程所示。 1b = 为通道 AIN_1B 范围设置启用 20% 超量程，如寄存器 0x06 中的编程所示。

Copyright © 2022 Texas Instruments Incorporated

表 7-23. OVER_RANGE_SETTING_B 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	AIN_0B_OVER_RANGE	R/W	0b	AIN_0B 超量程控制。 0b = 通道 AIN_0B 范围，如寄存器 0x06 中的编程所示。 1b = 为通道 AIN_0B 范围设置启用 20% 超量程，如寄存器 0x06 中的编程所示。

7.6.1.10 LPF_CONFIG 寄存器（地址 = 0xD）[复位 = 0x1A00]

图 7-42 中显示了 LPF_CONFIG，表 7-24 中对此进行了介绍。

返回到表 7-13。

图 7-42. LPF_CONFIG 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-1101b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
RESERVED						LPF_CONFIG[1:0]	
R-0b						R/W-0b	

表 7-24. LPF_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	读/写	1101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8-2	RESERVED	R	0b	保留。读取返回 0b。
1-0	LPF_CONFIG[1:0]	R/W	0b	模拟低通滤波器配置控制。该设置应用于输入通道。 0b = LPF 截止频率= 39kHz 1b = LPF 截止频率 = 15kHz 10b = LPF 截止频率 = 376kHz

7.6.1.11 Device_ID 寄存器（地址 = 0x10）[复位 = 0x2002]

图 7-43 中显示了 Device_ID，表 7-25 中对此进行了介绍。

返回到表 7-13。

图 7-43. Device_ID 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						RESERVED
R/W-0b	R/W-10000b						R-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
RESERVED						DEVICE_ID[1:0]	
R-0b						R-10b	

表 7-25. Device_ID 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	10000b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8-2	RESERVED	R	0b	
1-0	DEVICE_ID[1:0]	R	10b	器件标识寄存器。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.12 SEQ_STACK_0 寄存器（地址 = 0x20）[复位 = 0x4000]

图 7-44 中显示了 SEQ_STACK_0，表 7-26 中对此进行了介绍。

返回到表 7-13。

图 7-44. SEQ_STACK_0 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100000b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-26. SEQ_STACK_0 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100000b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.13 SEQ_STACK_1 寄存器（地址 = 0x21）[复位 = 0x4211]

图 7-45 中显示了 SEQ_STACK_1，表 7-27 中对此进行了介绍。

返回到表 7-13。

图 7-45. SEQ_STACK_1 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100001b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-1b				R/W-1b			

表 7-27. SEQ_STACK_1 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100001b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	1b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-27. SEQ_STACK_1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	1b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.14 SEQ_STACK_2 寄存器（地址 = 0x22）[复位 = 0x4422]

图 7-46 中显示了 SEQ_STACK_2，表 7-28 中对此进行了介绍。

返回到表 7-13。

图 7-46. SEQ_STACK_2 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100010b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-10b				R/W-10b			

表 7-28. SEQ_STACK_2 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100010b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	读/写	10b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	读/写	10b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.15 SEQ_STACK_3 寄存器（地址 = 0x23）[复位 = 0x4633]

图 7-47 中显示了 SEQ_STACK_3，表 7-29 中对此进行了介绍。

返回到表 7-13。

图 7-47. SEQ_STACK_3 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100011b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-11b				R/W-11b			

表 7-29. SEQ_STACK_3 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100011b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	读/写	11b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-29. SEQ_STACK_3 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	读/写	11b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.16 SEQ_STACK_4 寄存器（地址 = 0x24）[复位 = 0x4844]

图 7-48 中显示了 SEQ_STACK_4，表 7-30 中对此进行了介绍。

返回到表 7-13。

图 7-48. SEQ_STACK_4 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100100b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-100b				R/W-100b			

表 7-30. SEQ_STACK_4 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100100b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	100b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	100b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.17 SEQ_STACK_5 寄存器（地址 = 0x25）[复位 = 0x4A55]

图 7-49 中显示了 SEQ_STACK_5，表 7-31 中对此进行了介绍。

返回到表 7-13。

图 7-49. SEQ_STACK_5 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100101b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-101b				R/W-101b			

表 7-31. SEQ_STACK_5 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	101b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-31. SEQ_STACK_5 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	101b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.18 SEQ_STACK_6 寄存器（地址 = 0x26）[复位 = 0x4C66]

图 7-50 中显示了 SEQ_STACK_6，表 7-32 中对此进行了介绍。

返回到表 7-13。

图 7-50. SEQ_STACK_6 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100110b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-110b				R/W-110b			

表 7-32. SEQ_STACK_6 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100110b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	110b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	110b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.19 SEQ_STACK_7 寄存器（地址 = 0x27）[复位 = 0x4F77]

图 7-51 中显示了 SEQ_STACK_7，表 7-33 中对此进行了介绍。

返回到表 7-13。

图 7-51. SEQ_STACK_7 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-100111b						R/W-1b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-111b				R/W-111b			

表 7-33. SEQ_STACK_7 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	100111b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	1b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	111b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-33. SEQ_STACK_7 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	111b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.20 SEQ_STACK_8 寄存器（地址 = 0x28）[复位 = 0x5000]

图 7-52 中显示了 SEQ_STACK_8，表 7-34 中对此进行了介绍。

返回到表 7-13。

图 7-52. SEQ_STACK_8 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101000b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-34. SEQ_STACK_8 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101000b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.21 SEQ_STACK_9 寄存器（地址 = 0x29）[复位 = 0x5200]

图 7-53 中显示了 SEQ_STACK_9，表 7-35 中对此进行了介绍。

返回到表 7-13。

图 7-53. SEQ_STACK_9 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101001b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-35. SEQ_STACK_9 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101001b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-35. SEQ_STACK_9 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.22 SEQ_STACK_10 寄存器（地址 = 0x2A）[复位 = 0x5400]

图 7-54 中显示了 SEQ_STACK_10，表 7-36 中对此进行了介绍。

返回到表 7-13。

图 7-54. SEQ_STACK_10 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101010b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-36. SEQ_STACK_10 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101010b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.23 SEQ_STACK_11 寄存器（地址 = 0x2B）[复位 = 0x5600]

图 7-55 中显示了 SEQ_STACK_11，表 7-37 中对此进行了介绍。

返回到表 7-13。

图 7-55. SEQ_STACK_11 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101011b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-37. SEQ_STACK_11 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101011b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-37. SEQ_STACK_11 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.24 SEQ_STACK_12 寄存器（地址 = 0x2C）[复位 = 0x5800]

图 7-56 中显示了 SEQ_STACK_12，表 7-38 中对此进行了介绍。

返回到表 7-13。

图 7-56. SEQ_STACK_12 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101100b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-38. SEQ_STACK_12 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101100b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.25 SEQ_STACK_13 寄存器（地址 = 0x2D）[复位 = 0x5A00]

图 7-57 中显示了 SEQ_STACK_13，表 7-39 中对此进行了介绍。

返回到表 7-13。

图 7-57. SEQ_STACK_13 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101101b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-39. SEQ_STACK_13 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-39. SEQ_STACK_13 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.26 SEQ_STACK_14 寄存器（地址 = 0x2E）[复位 = 0x5C00]

图 7-58 中显示了 SEQ_STACK_14，表 7-40 中对此进行了介绍。

返回到表 7-13。

图 7-58. SEQ_STACK_14 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101110b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-40. SEQ_STACK_14 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101110b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.27 SEQ_STACK_15 寄存器（地址 = 0x2F）[复位 = 0x5E00]

图 7-59 中显示了 SEQ_STACK_15，表 7-41 中对此进行了介绍。

返回到表 7-13。

图 7-59. SEQ_STACK_15 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-101111b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-41. SEQ_STACK_15 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	101111b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-41. SEQ_STACK_15 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.28 SEQ_STACK_16 寄存器（地址 = 0x30）[复位 = 0x6000]

图 7-60 中显示了 SEQ_STACK_16，表 7-42 中对此进行了介绍。

返回到表 7-13。

图 7-60. SEQ_STACK_16 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110000b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-42. SEQ_STACK_16 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110000b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.29 SEQ_STACK_17 寄存器（地址 = 0x31）[复位 = 0x6200]

图 7-61 中显示了 SEQ_STACK_17，表 7-43 中对此进行了介绍。

返回到表 7-13。

图 7-61. SEQ_STACK_17 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110001b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-43. SEQ_STACK_17 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110001b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-43. SEQ_STACK_17 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.30 SEQ_STACK_18 寄存器（地址 = 0x32）[复位 = 0x6400]

图 7-62 中显示了 SEQ_STACK_18，表 7-44 中对此进行了介绍。

返回到表 7-13。

图 7-62. SEQ_STACK_18 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110010b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-44. SEQ_STACK_18 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110010b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.31 SEQ_STACK_19 寄存器（地址 = 0x33）[复位 = 0x6600]

图 7-63 中显示了 SEQ_STACK_19，表 7-45 中对此进行了介绍。

返回到表 7-13。

图 7-63. SEQ_STACK_19 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110011b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-45. SEQ_STACK_19 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。

Copyright © 2022 Texas Instruments Incorporated

表 7-45. SEQ_STACK_19 寄存器字段说明 (continued)

位	字段	类型	复位	说明
14-9	REGADDR[5:0]	R/W	110011b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.32 SEQ_STACK_20 寄存器（地址 = 0x34）[复位 = 0x6800]

图 7-64 中显示了 SEQ_STACK_20，表 7-46 中对此进行了介绍。

返回到表 7-13。

图 7-64. SEQ_STACK_20 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110100b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-46. SEQ_STACK_20 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110100b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.33 SEQ_STACK_21 寄存器（地址 = 0x35）[复位 = 0x6A00]

图 7-65 中显示了 SEQ_STACK_21，表 7-47 中对此进行了介绍。

返回到表 7-13。

图 7-65. SEQ_STACK_21 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-110101b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

图 7-65. SEQ_STACK_21 寄存器 (continued)

表 7-47. SEQ_STACK_21 寄存器字段说明

位	字段	类型	复位	说明
15	W/ R̄	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.34 SEQ_STACK_22 寄存器（地址 = 0x36）[复位 = 0x6C00]

图 7-66 中显示了 SEQ_STACK_22，表 7-48 中对此进行了介绍。

返回到表 7-13。

图 7-66. SEQ_STACK_22 寄存器

15	14	13	12	11	10	9	8
W/ R̄	REGADDR[5:0]						SSREN
R/W-0b	R/W-110110b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-48. SEQ_STACK_22 寄存器字段说明

位	字段	类型	复位	说明
15	W/ R̄	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110110b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.35 SEQ_STACK_23 寄存器（地址 = 0x37）[复位 = 0x6E00]

图 7-67 中显示了 SEQ_STACK_23，表 7-49 中对此进行了介绍。

返回到表 7-13。

图 7-67. SEQ_STACK_23 寄存器

15	14	13	12	11	10	9	8
W/ R̄	REGADDR[5:0]						SSREN

Copyright © 2022 Texas Instruments Incorporated

图 7-67. SEQ_STACK_23 寄存器 (continued)

R/W-0b	R/W-110111b	R/W-0b

7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-49. SEQ_STACK_23 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	110111b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.36 SEQ_STACK_24 寄存器（地址 = 0x38）[复位 = 0x7000]

图 7-68 中显示了 SEQ_STACK_24，表 7-50 中对此进行了介绍。

返回到表 7-13。

图 7-68. SEQ_STACK_24 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111000b						R/W-0b

7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-50. SEQ_STACK_24 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111000b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.37 SEQ_STACK_25 寄存器（地址 = 0x39）[复位 = 0x7200]

图 7-69 中显示了 SEQ_STACK_25，表 7-51 中对此进行了介绍。

返回到表 7-13。

图 7-69. SEQ_STACK_25 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111001b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-51. SEQ_STACK_25 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111001b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.38 SEQ_STACK_26 寄存器（地址 = 0x3A）[复位 = 0x7400]

图 7-70 中显示了 SEQ_STACK_26，表 7-52 中对此进行了介绍。

返回到表 7-13。

图 7-70. SEQ_STACK_26 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111010b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-52. SEQ_STACK_26 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111010b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

7.6.1.39 SEQ_STACK_27 寄存器（地址 = 0x3B）[复位 = 0x7600]

图 7-71 中显示了 SEQ_STACK_27，表 7-53 中对此进行了介绍。

返回到表 7-13。

图 7-71. SEQ_STACK_27 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111011b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-53. SEQ_STACK_27 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111011b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.40 SEQ_STACK_28 寄存器（地址 = 0x3C）[复位 = 0x7800]

图 7-72 中显示了 SEQ_STACK_28，表 7-54 中对此进行了介绍。

返回到表 7-13。

图 7-72. SEQ_STACK_28 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111100b						R/W-0b
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-54. SEQ_STACK_28 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111100b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。

Copyright © 2022 Texas Instruments Incorporated

表 7-54. SEQ_STACK_28 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.41 SEQ_STACK_29 寄存器（地址 = 0x3D）[复位 = 0x7A00]

图 7-73 中显示了 SEQ_STACK_29，表 7-55 中对此进行了介绍。

返回到表 7-13。

图 7-73. SEQ_STACK_29 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111101b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-55. SEQ_STACK_29 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111101b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

7.6.1.42 SEQ_STACK_30 寄存器（地址 = 0x3E）[复位 = 0x7C00]

图 7-74 中显示了 SEQ_STACK_30，表 7-56 中对此进行了介绍。

返回到表 7-13。

图 7-74. SEQ_STACK_30 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111110b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-56. SEQ_STACK_30 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。

Copyright © 2022 Texas Instruments Incorporated

表 7-56. SEQ_STACK_30 寄存器字段说明 (continued)

位	字段	类型	复位	说明
14-9	REGADDR[5:0]	R/W	111110b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置

7.6.1.43 SEQ_STACK_31 寄存器（地址 = 0x3F）[复位 = 0x7E00]

图 7-75 中显示了 SEQ_STACK_31，表 7-57 中对此进行了介绍。

返回到表 7-13。

图 7-75. SEQ_STACK_31 寄存器

15	14	13	12	11	10	9	8
W/ $\overline{R}$	REGADDR[5:0]						SSREN
R/W-0b	R/W-111111b						R/W-0b
7	6	5	4	3	2	1	0
CHSEL_B[3:0]				CHSEL_A[3:0]			
R/W-0b				R/W-0b			

表 7-57. SEQ_STACK_31 寄存器字段说明

位	字段	类型	复位	说明
15	W/ $\overline{R}$	R/W	0b	寄存器读写访问。 0b = 为读取访问选择寄存器。 1b = 为写入访问选择寄存器。
14-9	REGADDR[5:0]	R/W	111111b	选择该寄存器进行读取/写入操作。写入寄存器地址以访问该寄存器。
8	SSREN	R/W	0b	序列堆栈返回控制。 0b = 正在进行的转换完成后移至下一个堆栈寄存器。 1b = 正在进行的转换完成后移至第一个堆栈寄存器。
7-4	CHSEL_B[3:0]	R/W	0b	针对 ADC B 的通道选择控制。请参阅寄存器 0x03 CHSEL_B 字段说明以了解单独的选择设置。
3-0	CHSEL_A[3:0]	R/W	0b	针对 ADC A 的通道选择控制。请参阅寄存器 0x03 CHSEL_A 字段说明以了解单独的选择设置。

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

ADS8686S 是基于双路同步采样 16 位 8 x 2 通道逐次逼近 (SAR) 模数转换器 (ADC) 的完全集成式数据采集系统 (DAQ)。双 ADC 架构使得 ADS8686S 能够同时对两个模拟通道采样。在电力自动化应用中，此特性对于电压和电流测量很重要。该器件包括每个输入通道的集成模拟前端和带有精密基准缓冲器的集成电压基准。因此，该器件不需要任何额外的有源电路来驱动 ADC 的基准模拟输入引脚。ADS8686S 还有更高的吞吐量、突发模式和灵活的通道序列发生器等特性，因此该器件非常适合电力自动化系统中的保护和测量应用。

8.2 典型应用

8.2.1 适用于电力自动化的 8x2 通道数据采集系统 (DAQ)

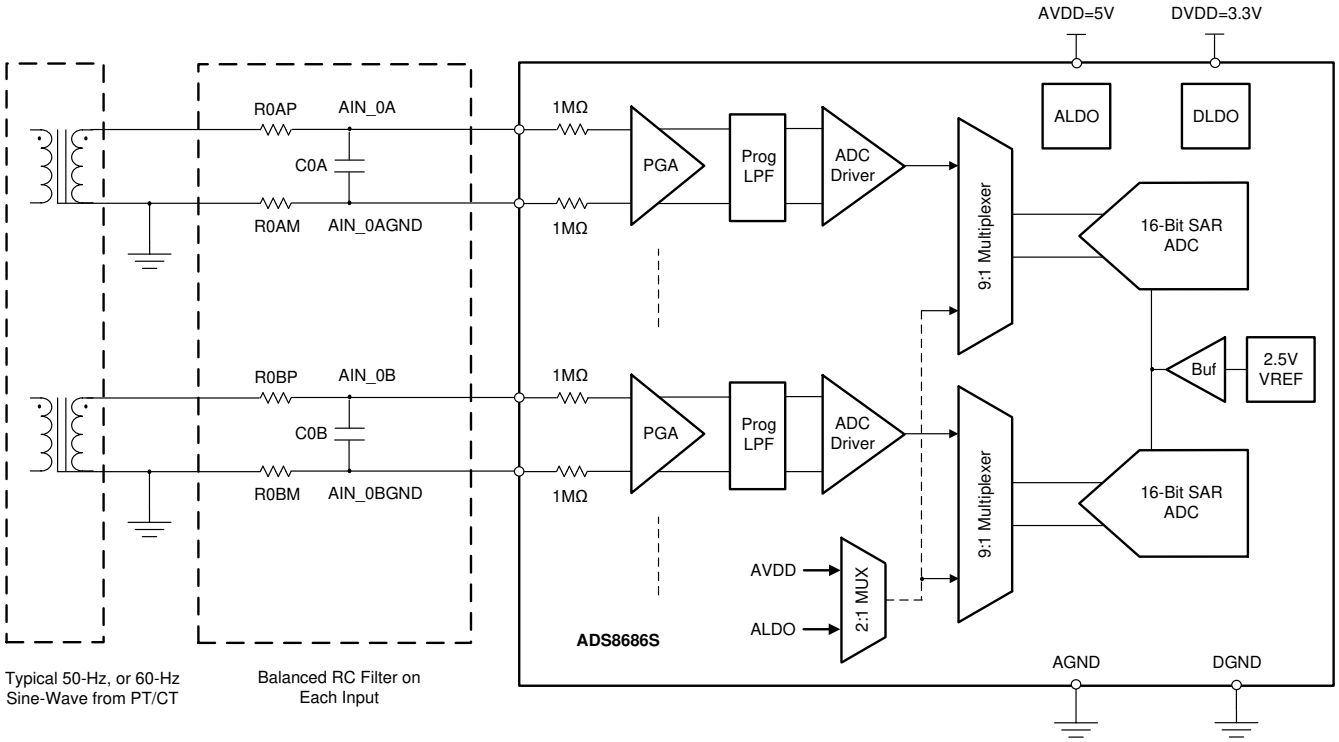


图 8-1. 使用 ADS8686S DAQ 的电力自动化应用

图 8-1 中的应用示例显示电力系统中电变量的测量。主要电气参数包括电力线上的电压和电流的振幅、频率和相位测量。要在电力自动化系统中启用计量以执行谐波分析、功率因数计算、电能质量评估等操作，这些参数非常重要。

Copyright © 2022 Texas Instruments Incorporated

8.2.1.1 设计要求

主要设计要求指定：

- 电压互感器的输出范围
- 电流互感器的输出范围
- 要采集的谐波数
- 每个周期的采样数
- 电源系统的基频
- 每个通道的模拟前端所需的输入阻抗
- 每个通道的模拟前端所需的信号调节类型

8.2.1.2 详细设计过程

对于 ADS8686S，每个通道都包含一个模拟前端，模拟前端由可编程增益放大器 (PGA)、可编程模拟低通滤波器 (LPF) 和 ADC 输入驱动器组成。每个通道的模拟输入均存在 1MΩ 的恒定阻抗（20% 超量程设置下阻抗为 1.2MΩ），与 ADC 采样频率无关。模拟前端电路的高输入阻抗允许直接连接到电压互感器 (PT) 和电流互感器 (CT)。ADC 输入可支持高达 ±10V、±5V 和 ±2.5V 的双极输入，每个输入有 20% 超量程选项，集成的信号调节功能消除了对外部放大器或 ADC 驱动器电路的需求。

如图 8-1 所示，电源系统中使用的 PT 和 CT 输出范围通常为 ±10V 或 ±5V。虽然 PT 和 CT 隔离了电源系统，但串联电阻（R_{XAP} 或 R_{XBP}）必须放置在模拟输入通道上。串联电阻有助于将输入电流限制到 ±10mA，以保护 ADC。

每个模拟输入通道通常使用 LPF 消除高频噪声拾取并充分减少混叠。图 8-2 显示输入 RC 滤波器的建议配置电路示例。平衡的 RC 滤波器配置将正路径上的外源电阻（R_{XAP} 或 R_{XBP}）与负路径上的相等电阻（R_{XAM} 或 R_{XBM}）相匹配。正负路径中的源阻抗匹配可改善共模噪声抑制，通过消除外部串联电阻引起的任何额外增益误差来帮助维持系统的直流精度。

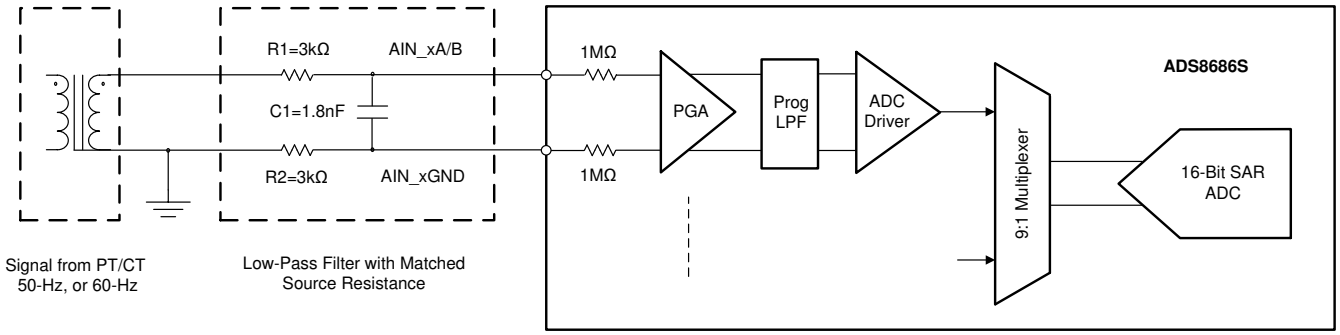


图 8-2. 输入 RC 低通滤波器

图 8-1 所示的数据采集系统的主要目标是在 60Hz 电源网络中测量高达 50 个谐波。因此，模拟前端必须有足够的带宽（如方程式 3 所示），以检测高达 3060Hz 的信号。

$$f_{min} = (50 + 1) \times 60Hz = 3060Hz \tag{3}$$

图 8-2 中所示的低通滤波器配置的通带由 –3dB 频率决定，根据方程式 4 计算。

$$f_{-3dB} = \frac{1}{2\pi \times (R1 + R2) \times C1} = \frac{1}{2\pi \times (3k\Omega + 3k\Omega) \times 1.8nF} = 14.7kHz \tag{4}$$

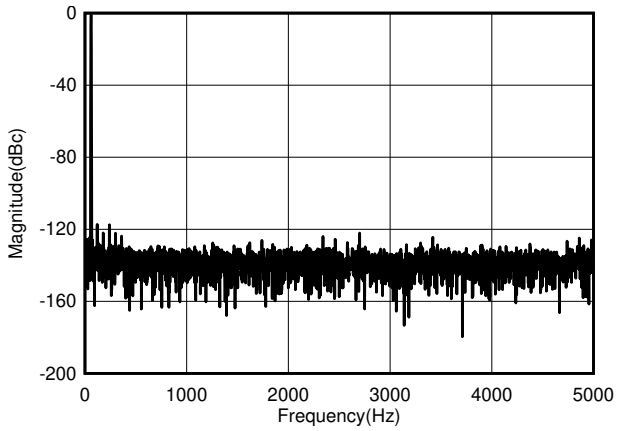
C1 的值选择为 1.8nF，这是 C0G 类型和 0603 尺寸表面贴装元件中可用的标准电容值。此 LPF 与 R1 和 R2 电阻结合使用，可提供足够的带宽来容纳 60Hz 输入信号所需的 50 个谐波。

8.2.1.3 应用曲线

图 8-3 显示 ADS8686S 在 60Hz 频率、±10V 正弦输入下采集数据的频谱。

此设计测量的交流性能参数为：

- SNR = 89.0dB；SINAD = 89.0dB
- THD = –112.4dB；SFDR = 117.2dB



f_{IN} = 60Hz，f_S = 1MSPS

图 8-3. 捕捉的频谱

Copyright © 2022 Texas Instruments Incorporated

8.2.2 电气过载输入保护

如果应用需要防范超过器件指定绝对最大额定值的过压或快速瞬态事件，建议选择使用瞬态电压抑制器 (TVS) 或肖特基二极管的外部保护钳位电路。图 8-4 显示了每个通道上的 TVS（DxA 或 DxB）保护。必须选择合适的 TVS 二极管来保护特定的 ADC 器件。如果 ADC 输入范围配置为 ±10V，可使用双向 TVS 二极管 10V 至 15V 之间的关断电压保护 ADS8686S。选定 TVS 二极管的击穿电压必须小于器件的指定绝对最大输入电压额定值，ADS8686S 上的此值为 ±15V。

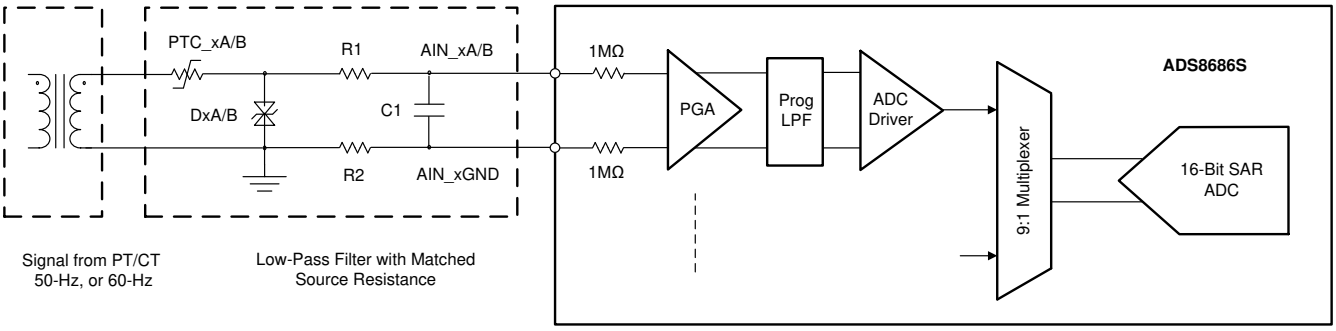


图 8-4. 电气过载输入保护

正温度系数 (PTC) 保险丝（PTC_xA 或 PTC_xB）串联放置以保护电路，在故障情况下发生过流时，从低电阻状态变为高电阻状态。PTC 保险丝的这一行为对输入保护电路很有用，因为在正常的未跳闸状态下，串联电阻会很低，失真也保持在相对较低的水平。在跳闸状态下，PTC 提供高串联电阻，以限制故障电流和功耗。PTC 与 TVS 二极管一起钳制过驱动信号。有关数据转换器上过载的理论解释，请参阅*数据转换器上的电气过载 视频系列*。

图 8-5 左侧显示了高电压连续输入过压正弦波信号 ($60V_{PP}$)，右侧显示了在 Eaton Electronics™ PTC 保险丝 (PTS120660V005) 和 ON Semiconductor® 双向 TVS 二极管 (SMBJ12CA) 共同作用下 ADS8686S EVM 上的钳位信号。外部双向 TVS 二极管导通，过压正弦波信号钳至 $\pm14.5V_{PEAK}$，小于 ADS8686S 器件的绝对最大输入电压额定值 ±15V，因此 ADC 器件可免受过压输入信号的影响。有关 ADS8686S 输入保护的详细信息，请参阅*采用 TVS 二极管和 PTC 保险丝的高电压 ADC 电路输入保护*应用手册。

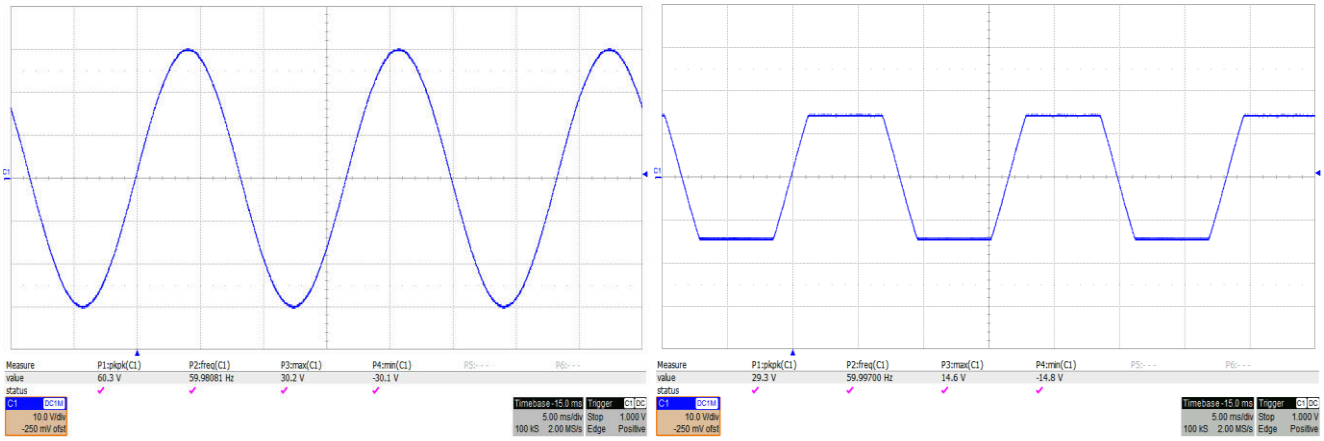


图 8-5. 使用 PTC 二极管、TVS 二极管和 ADS8686S 的输入保护响应

9 电源相关建议

9.1 电源

ADS8686S 具有两个独立的电源，即 AVDD 和 DVDD。AVDD 电源为 ADC 和模拟电路供电。DVDD 电源为数字接口供电。AVDD 和 DVDD 电源可以独立设置为允许范围内的电压。使用与 100nF 电容器并联的 10μF 电容器对 AVDD 和 DVDD 电源进行去耦。

图 9-1 显示了使用推荐的去耦电容器对器件电源抑制比 (PSRR) 性能的影响。

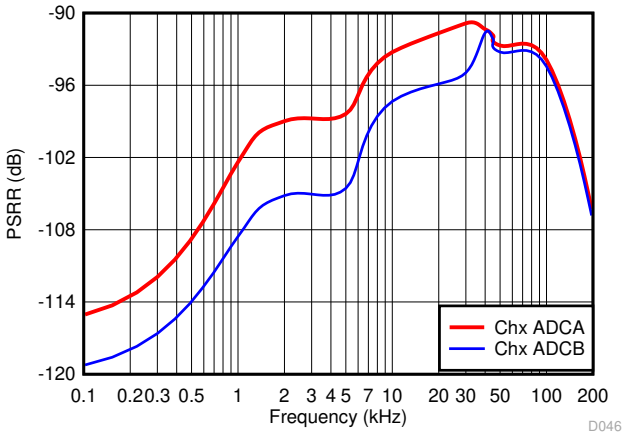


图 9-1. PSRR 与频率的关系

ADS8686S 使用内部 LDO 稳压器生成所需的额外电源。在 REGCAP 引脚和 REGGND 引脚之间使用 10μF 电容器对模拟 LDO (ALDO) 进行去耦。在 REGCAPD 引脚和 REGGNDD 引脚之间使用 10μF 电容器对数字 LDO (DLDO) 进行去耦。

ADS8686S 可稳健进行电源时序控制（即 AVDD 和 DVDD 可随机上电）。推荐的时序是先给 DVDD 上电，然后再给 AVDD 上电。保持 $\overline{\text{RESET}}$ 处于低电平直到两个电源稳定。

Copyright © 2022 Texas Instruments Incorporated

10 布局

10.1 布局指南

图 10-1 和图 10-2 展示了 ADS8686S 的印刷电路板 (PCB) 布局示例。

- 让模拟信号始终远离数字线路。这种布局有助于模拟输入和基准信号远离数字噪声。
- 使用单一公共接地层。对于需要分离模拟和数字接地层的设计，模拟和数字接地层必须处于相同的电位，并在靠近器件的位置连接起来。
- ADS8686S 的电源必须纯净且具有合适的旁路配置。由于转换期间有动态电流，所以每个 AVDD 引脚都必须有一个去耦电容器，以保持电源电压稳定。使用宽迹线或专用模拟电源平面来尽量减小迹线电感并减少干扰。在每个模拟 (AVDD) 电源引脚（引脚 6、15、30 和 71）和数字电源（引脚 49）附近使用一个 10μF 和 0.1μF 陶瓷电容器。
- 使用隔离过孔将 AVDD 电源引脚（引脚 71 和 30）连接到顶层和底层的旁路电容器。使用单独的过孔将旁路电容器连接到 AVDD 平面。
- 使用器件引脚附近的 10μF、0805 尺寸电容器对 REFCAP 引脚（引脚 31）去耦。避免在 REFCAP 引脚和去耦电容器之间放置过孔。
- 使用器件引脚附近的 10μF 和 0.1μF 陶瓷电容器对 REGCAP 引脚（引脚 70）去耦。避免在 REGCAP 引脚和去耦电容器之间放置过孔。
- 使用器件引脚附近的 10μF 和 0.1μF 陶瓷电容器对 REGCAPD 引脚（引脚 52）去耦。避免在 REGCAPD 引脚和去耦电容器之间放置过孔。
- 如果使用器件的内部基准，则使用 10μF、X7R 级、0603 尺寸的陶瓷电容器将 REFIO 引脚去耦至 REFIO_GND。将电容器放置在顶层靠近器件引脚的位置。避免在 REFIO 引脚和去耦电容器之间放置过孔。
- 使用低阻抗短路径将所有接地引脚 (AGND) 连接到接地层并将独立过孔连接到接地层。

10.2 布局示例

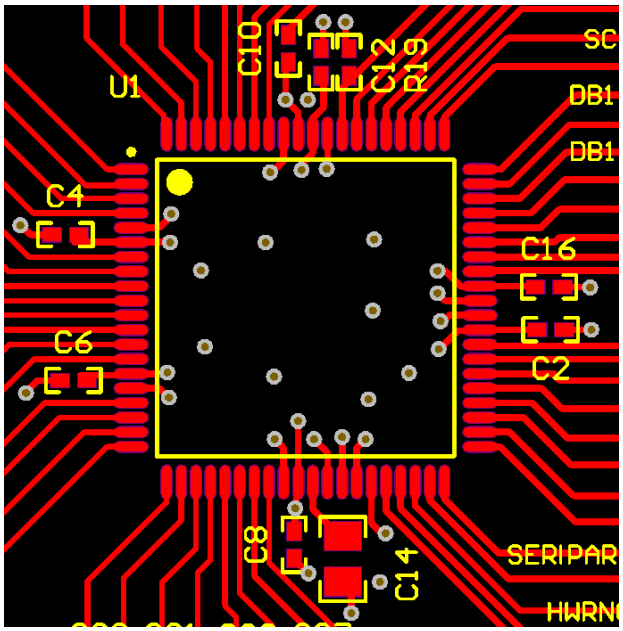


图 10-1. 顶层布局

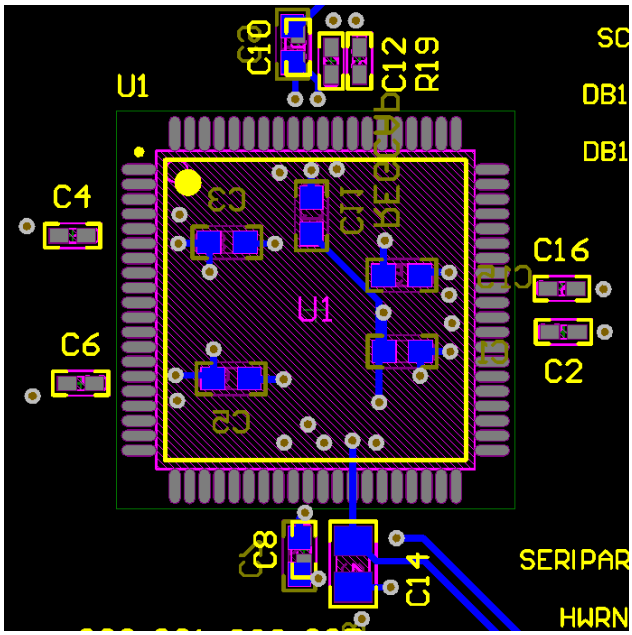


图 10-2. 底层布局

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

相关开发支持请参阅以下资源：

德州仪器 (TI)，*数据转换器上的电气过载* 视频系列

11.2 文档支持

11.2.1 相关文档

请参阅以下相关文档：

-
- 德州仪器 (TI)，*REF50xx 低噪声、极低温漂、精密电压基准* 数据表
- 德州仪器 (TI)，*采用 TVS 二极管和 PTC 保险丝的高电压 ADC 电路输入保护* 应用手册

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.5 商标

Eaton Electronics™ is a trademark of Eaton.
TI E2E™ is a trademark of Texas Instruments.
ON Semiconductor® is a registered trademark of Semiconductor Components Industries, LLC.
所有商标均为其各自所有者的财产。

11.6 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8686SIPZA	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZA.A	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZA.B	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
ADS8686SIPZAG4	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZAG4.A	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZAG4.B	Active	Production	LQFP (PZA) | 80	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
ADS8686SIPZAR	Active	Production	LQFP (PZA) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZAR.A	Active	Production	LQFP (PZA) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS8686S
ADS8686SIPZAR.B	Active	Production	LQFP (PZA) | 80	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

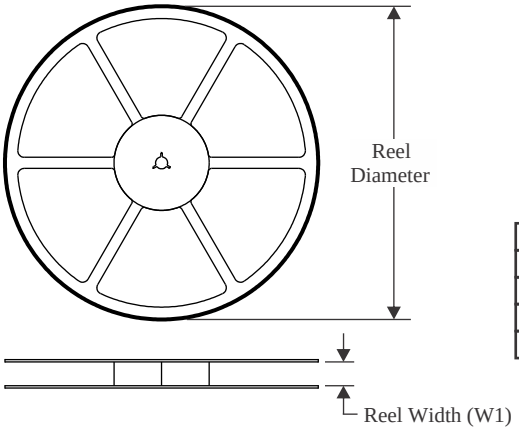
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

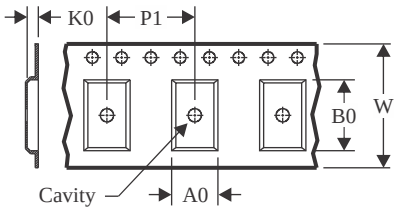
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

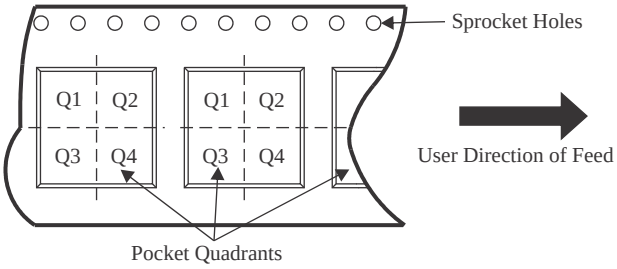


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

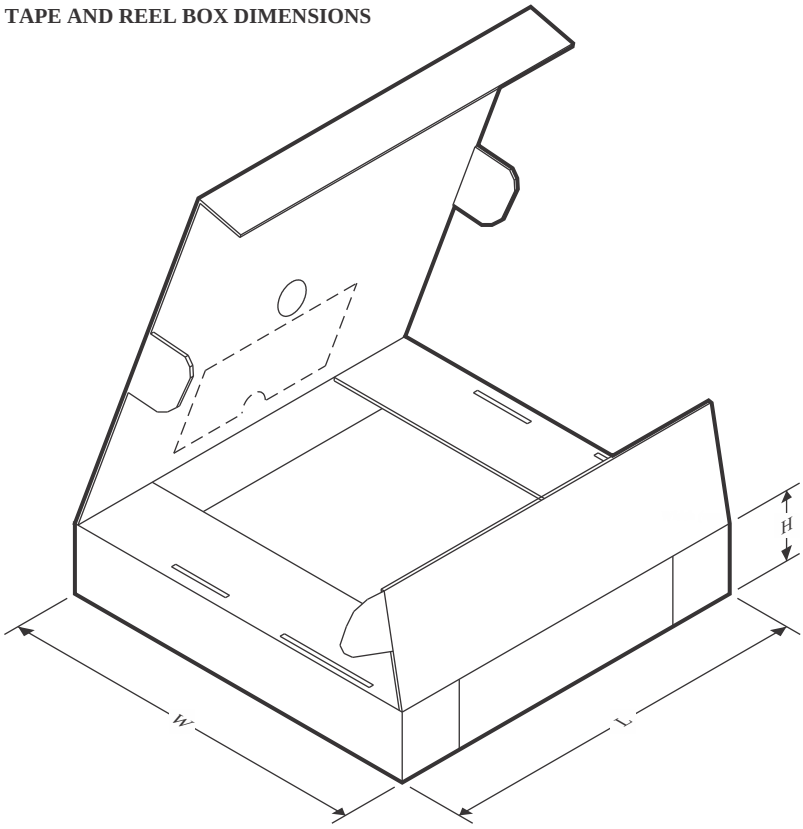
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8686SIPZAR	LQFP	PZA	80	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2

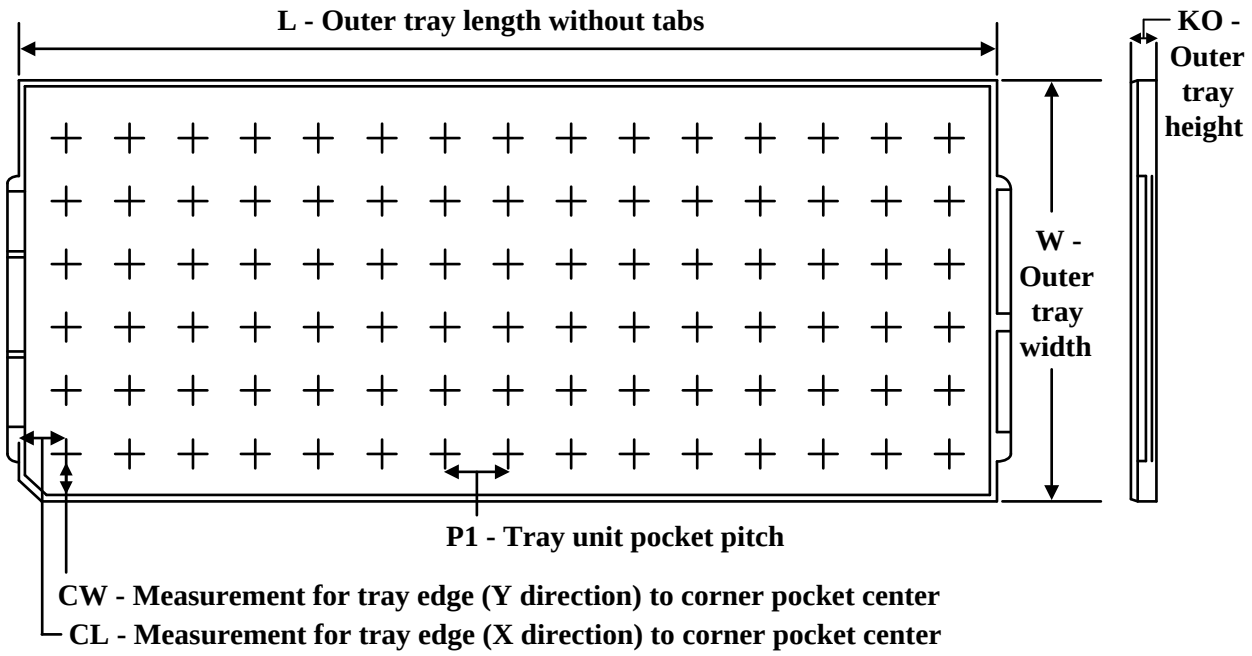
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8686SIPZAR	LQFP	PZA	80	1000	350.0	350.0	43.0

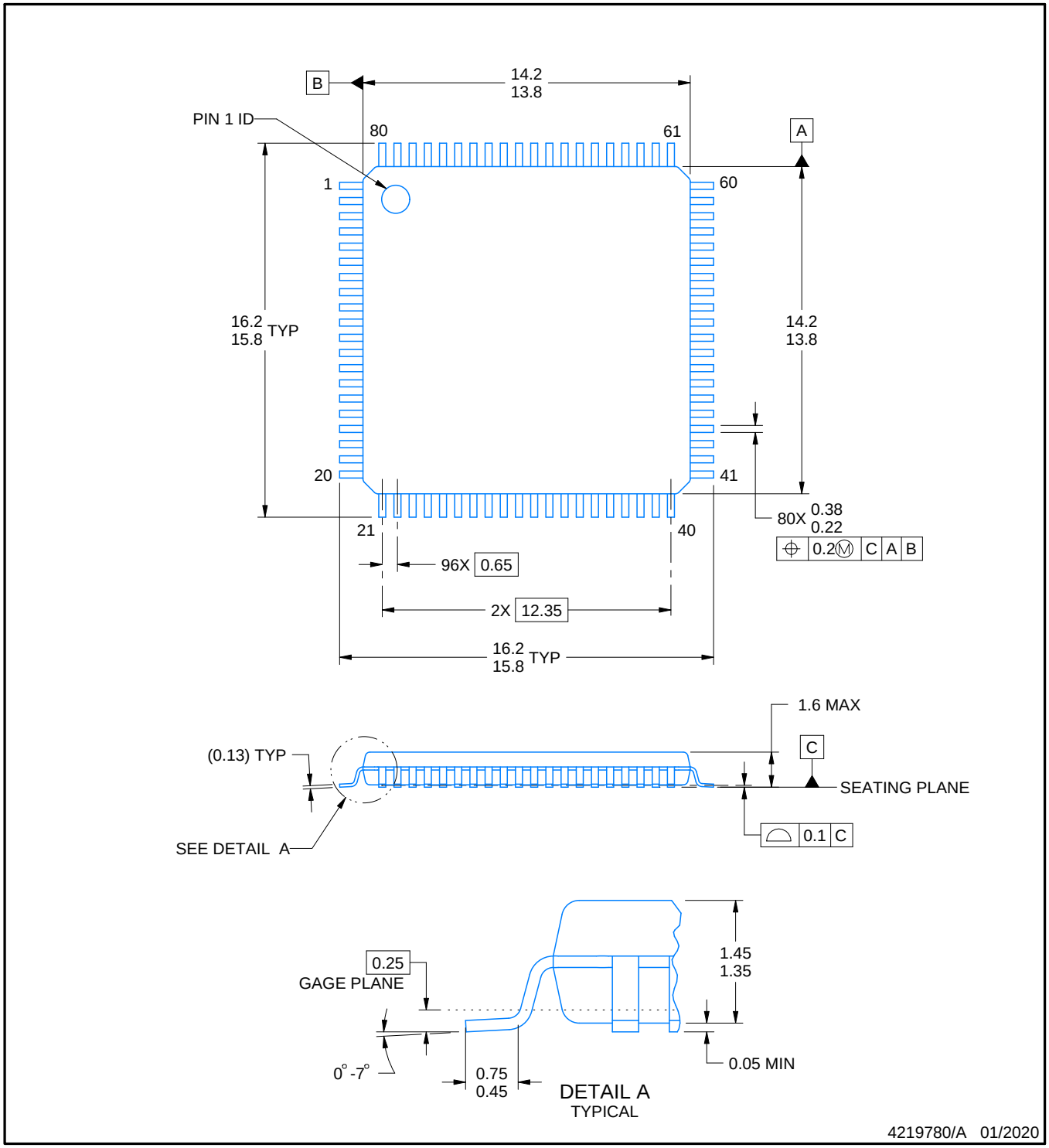
TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

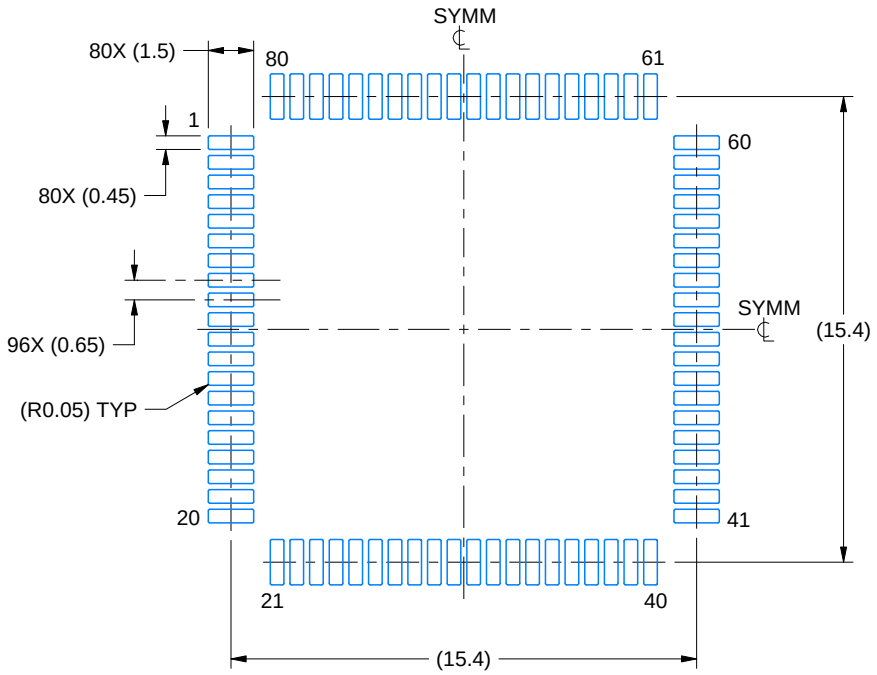
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADS8686SIPZA	PZA	LQFP	80	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
ADS8686SIPZA.A	PZA	LQFP	80	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
ADS8686SIPZAG4	PZA	LQFP	80	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
ADS8686SIPZAG4.A	PZA	LQFP	80	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45

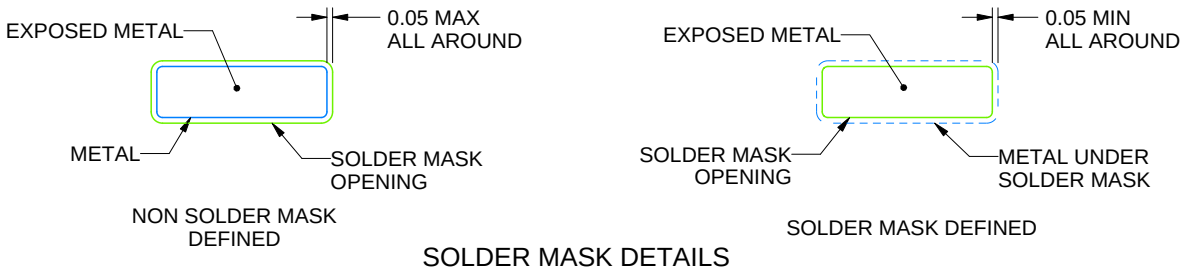


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 4X

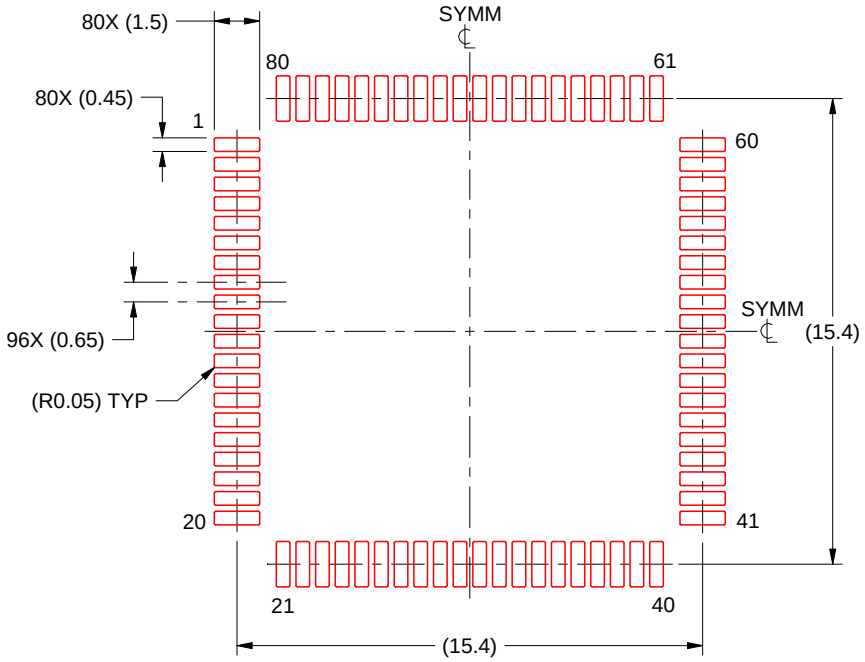


SOLDER MASK DETAILS

4219780/A 01/2020

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 4X

4219780/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月