

ADS8661W 具有可编程双极输入范围的 12-位高速单电源 SAR ADC 数据采集系统

1 特性

- 具有集成模拟前端的 12 位 ADC
- 高速：1.25MSPS
- 可通过软件编程的输入范围：
 - 双极差分范围： $\pm 12.288\text{V}$ 、 $\pm 10.24\text{V}$ 、 $\pm 6.144\text{V}$ 、 $\pm 5.12\text{V}$ 和 $\pm 2.56\text{V}$
 - 单极差分范围： $0\text{V} - 12.288\text{V}$ 、 $0\text{V} - 10.24\text{V}$ 、 $0\text{V} - 6.144\text{V}$ 和 $0\text{V} - 5.12\text{V}$
- 模拟电源 (5V)：1.65V 至 5V I/O 电源
- 恒定的阻性输入阻抗 $\geq 1\text{M}\Omega$
- 输入带宽：450kHz
- 输入过压保护：高达 $\pm 20\text{V}$
- 4.096V 低漂移片上基准
- 出色的性能：
 - DNL： $\pm 0.1\text{LSB}$ ；INL： $\pm 0.15\text{LSB}$
 - SNR：74dBFS；THD：-102dB
- 具有高、低阈值的警报功能
- multiSPI™ 接口，支持菊花链式连接
- 工业级工作温度范围：
 - -40°C 至 $+125^{\circ}\text{C}$

2 应用

- [模拟输入模块](#)
- [半导体测试](#)
- [伺服驱动器控制模块](#)

3 说明

ADS8661W 基于 逐次逼近型 (SAR) 模数转换器 (ADC) 拓扑的 采集系统系列。这些器件 高速、高精度 SAR ADC 和集成差分模拟前端 (AFE) 输入驱动器电路。ADS8661W 包括高达 $\pm 20\text{V}$ 的过压保护电路和温漂极低的片上 4.096V 基准。

这些器件 单个 5V 模拟电源运行，但支持真正的双极输入范围和单极输入范围。双极输入范围为 $\pm 12.288\text{V}$ 、 $\pm 6.144\text{V}$ 、 $\pm 10.24\text{V}$ 、 $\pm 5.12\text{V}$ 和 $\pm 2.56\text{V}$ ，单极输入范围为 0V 至 12.288V 、 10.24V 、 6.144V 和 5.12V 。此类器件提供高阻性输入阻抗 ($\geq 1\text{M}\Omega$)，不受所选输入范围的影响。

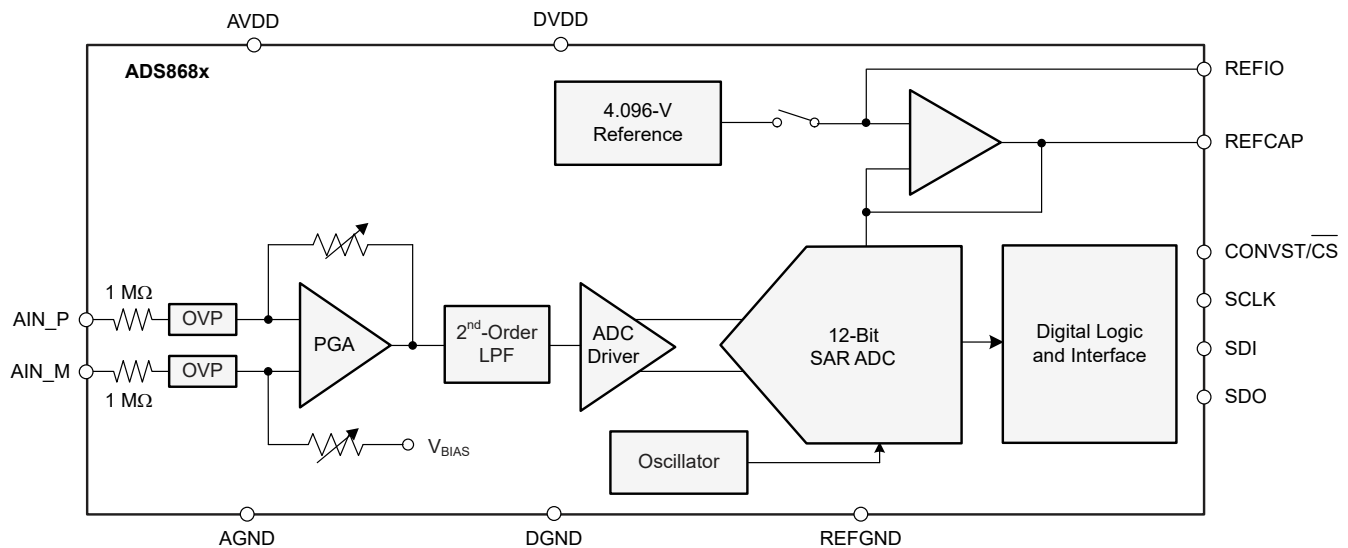
multiSPI 数字接口向后兼容传统 SPI 协议。此外，可配置特性简化了与各种主机控制器的接口连接。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS8661W	RUM (WQFN , 16)	4mm × 4mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



方框图



内容

1 特性	1	6.4 器件功能模式	32
2 应用	1	6.5 编程	37
3 说明	1	7 寄存器映射	45
4 引脚配置和功能	3	7.1 器件配置和寄存器映射.....	45
5 规格	4	8 应用和实施	53
5.1 绝对最大额定值.....	4	8.1 应用信息.....	53
5.2 ESD 等级.....	4	8.2 典型应用.....	53
5.3 建议运行条件.....	5	8.3 电源相关建议.....	55
5.4 热性能信息.....	5	8.4 布局.....	56
5.5 电气特性.....	6	9 器件和文档支持	58
5.6 时序要求.....	9	9.1 文档支持.....	58
5.7 开关特性.....	10	9.2 接收文档更新通知.....	58
5.8 时序图.....	11	9.3 支持资源.....	58
5.9 典型特性.....	14	9.4 商标.....	58
6 详细说明	19	9.5 静电放电警告.....	58
6.1 概述.....	19	9.6 术语表.....	58
6.2 功能方框图.....	19	10 修订历史记录	58
6.3 特性说明.....	20	11 机械、封装和可订购信息	58

4 引脚配置和功能

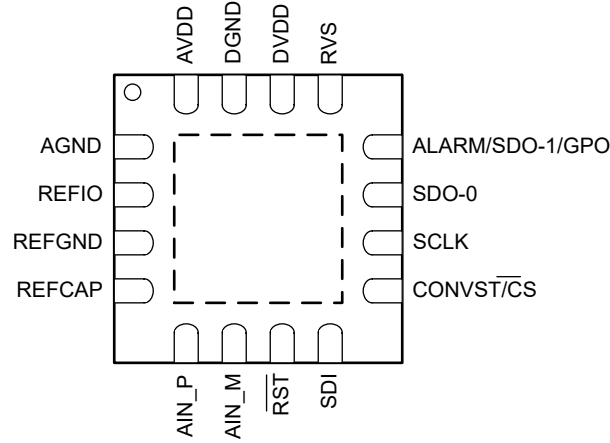


图 4-1. RUM 封装，16 引脚 WQFN（顶视图）

表 4-1. 引脚功能

名称	编号	类型 ⁽¹⁾	说明
AGND	1	P	模拟地引脚。使用 AVDD 引脚去耦。
AIN_M	6	AI	模拟输入：负。使用 AIN_P 引脚去耦。
AIN_P	5	AI	模拟输入：正。使用 AIN_M 引脚去耦。
ALARM/SDO-1/GPO	12	DO	多功能输出引脚。高电平有效警报。 数据输出 1 用于串行通信。通用输出引脚。
AVDD	16	P	模拟电源引脚。使用 AGND 引脚去耦。
CONVST/CS	9	DI	双功能引脚。 高电平有效逻辑：转换启动输入引脚。CONVST 上升沿使器件从采集阶段进入转换阶段。 低电平有效逻辑：芯片选择输入引脚。当 CS 为低电平时，器件控制数据总线。当 CS 为高电平时，SDO-x 引脚进入三态。
DGND	15	P	数字地引脚。使用 DVDD 引脚去耦。
DVDD	14	P	数字电源引脚。使用 DGND 引脚去耦。
REFCAP	4	AO	ADC 基准缓冲器去耦电容器引脚。使用 REFGND 引脚去耦。
REFGND	3	P	基准地引脚。将此引脚短接至模拟接地平面。使用 REFIO 和 REFCAP 引脚去耦。
REFIO	2	AIO	内部基准输出或外部基准输入引脚。使用 REFGND 去耦。
RST	7	DI	低电平有效逻辑输入，用于复位器件。
RVS	13	DO	多功能输出引脚，用于串行接口，请参阅 RESET 状态 部分。 当 CS 保持高电平时，RVS 反映内部 ADCST 信号的状态。 当 CS 为低电平时，RVS 的状态取决于输出协议选择。
SCLK	10	DI	串行通信：串行接口的时钟输入引脚。 所有系统同步数据传输协议根据 SCLK 信号计时。
SDI	8	DI	双功能：串行通信的数据输入引脚。 在菊花链模式下的串行通信期间将数据输入连接在一起。
SDO-0	11	DO	串行通信：数据输出 0。

(1) AI = 模拟输入，AIO = 模拟输入/输出，DI = 数字输入，DO = 数字输出，P = 电源。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
AIN_P、AIN_M 至 GND	AVDD = 5V	-20	20	V
	AVDD = 未供电	-15	15	
AVDD 至 GND 或 DVDD 至 GND		-0.3	7	V
REFCAP 至 REFGND 或 REFIO 至 REFGND		-0.3	5.7	V
GND 至 REFGND		-0.3	0.3	V
数字输入引脚至 GND		-0.3	DVDD + 0.3	V
数字输出引脚至 GND		-0.3	DVDD + 0.3	V
除电源引脚外任意引脚的输入电流		-10	10	mA
结温, T_J		-40	150	°C
贮存温度, T_{stg}		-60	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不意味着器件能够在该等条件下或在任何超出建议运行条件的其他条件下正常运行。如果在建议运行条件以外，但在绝对最大额定值范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能导致器件寿命缩短。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 模拟输入引脚 (AIN_P、AIN_M) ⁽¹⁾	±4000	V
		人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 其他所有引脚 ⁽¹⁾	±2000	
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD	模拟电源	AVDD 至 GND	4.75	5	5.25	V
DVDD	数字接口电源	DVDD 至 GND	1.65	3.3	AVDD	V
基准电压						
V _{REFIO_EXT}	REFIO 上的外部基准电压	REFIO 引脚配置为输入	4.046	4.096	4.146	V
模拟输入						
AIN _x	满标量程输入范围 (AIN _P 至 AIN _M)	输入范围 = ±3 x V _{REF}	-12.288		12.288	V
		输入范围 = ±2.5 x V _{REF}	-10.24		10.24	
		输入范围 = ±1.5 x V _{REF}	-6.144		6.144	
		输入范围 = ±1.25 x V _{REF}	-5.12		5.12	
		输入范围 = ±0.625 x V _{REF}	-2.56		2.56	
		输入范围 = 3 x V _{REF}	0		12.288	
		输入范围 = 2.5 x V _{REF}	0		10.24	
		输入范围 = 1.5 x V _{REF}	0		6.144	
		输入范围 = 1.25 x V _{REF}	0		5.12	
温度范围						
T _A	环境温度		-40	25	125	℃

5.4 热性能信息

热指标 ⁽¹⁾		ADS8661W	单位
		RUM (WQFN)	
		16 引脚	
R _{θJA}	结至环境热阻	31.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	27.9	°C/W
R _{θJB}	结至电路板热阻	7.4	°C/W
Ψ _{JT}	结至顶部特征参数	0.3	°C/W
Ψ _{JB}	结至电路板特征参数	7.4	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	1.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

所有最小值和最大值规格的适用条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ； $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{REF} = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
V _{IN}	满标量程输入范围 (A _{IN_P} 至 A _{IN_M})	输入范围 = ±3 x V _{REF}	-12.288		12.288	V
		输入范围 = ±2.5 x V _{REF}	-10.24		10.24	V
		输入范围 = ±1.5 x V _{REF}	-6.144		6.144	V
		输入范围 = ±1.25 x V _{REF}	-5.12		5.12	V
		输入范围 = ±0.625 x V _{REF}	-2.56		2.56	V
		输入范围 = 3 x V _{REF}	0		12.288	V
		输入范围 = 2.5 x V _{REF}	0		10.24	V
		输入范围 = 1.5 x V _{REF}	0		6.144	V
		输入范围 = 1.25 x V _{REF}	0		5.12	V
A _{IN_x}	满标量程输入范围 (A _{IN_P} 至 A _{IN_M})	输入范围 = ±3 x V _{REF}	-12.288		12.288	V
		输入范围 = ±2.5 x V _{REF}	-10.24		10.24	V
		输入范围 = ±1.5 x V _{REF}	-6.144		6.144	V
		输入范围 = ±1.25 x V _{REF}	-5.12		5.12	V
		输入范围 = ±0.625 x V _{REF}	-2.56		2.56	V
		输入范围 = 3 x V _{REF}	0		12.288	V
		输入范围 = 2.5 x V _{REF}	0		10.24	V
		输入范围 = 1.5 x V _{REF}	0		6.144	V
		输入范围 = 1.25 x V _{REF}	0		5.12	V
R _{IN}	输入阻抗	T _A = 25℃ 时, 输入范围 = ±3 x V _{REF}	1.02	1.2	1.38	V
		T _A = 25℃ 时, 输入范围 = ±2.5 x V _{REF}	0.85	1	1.15	V
		T _A = 25℃ 时, 输入范围 = ±1.5 x V _{REF}	1.02	1.2	1.38	V
		T _A = 25℃ 时, 输入范围 = ±1.25 x V _{REF}	0.85	1	1.15	V
		T _A = 25℃ 时, 输入范围 = ±0.625 x V _{REF}	0.85	1	1.15	V
		T _A = 25℃ 时, 输入范围 = 3 x V _{REF}	1.02	1.2	1.38	V
		T _A = 25℃ 时, 输入范围 = 2.5 x V _{REF}	0.85	1	1.15	V
		T _A = 25℃ 时, 输入范围 = 1.5 x V _{REF}	1.02	1.2	1.38	V
		T _A = 25℃ 时, 输入范围 = 1.25 x V _{REF}	0.85	1	1.15	V
I _{IN}	输入电流	所有输入范围	(V _{IN} - 2.5) / R _{IN}			μA
输入过压保护电路						
V _{OVP}	所有输入范围	AVDD = 5V, 所有输入范围	-20		20	V
		AVDD = 悬空, 所有输入范围	-15		15	V
输入带宽						
f _{-3 dB}	小信号输入带宽	- 3dB, 所有输入范围	500			kHz
f _{-0.1 dB}	小信号输入带宽	- 0.1dB, 所有输入范围	75			kHz

5.5 电气特性 (续)

所有最小值和最大值规格的适用条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ； $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $VREF = 4.096\text{V}$ (内部)，以及最大吞吐量 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
直流性能						
	分辨率		12			位
NMC	无丢码		12			位
DNL	微分非线性	所有输入范围	-0.5	± 0.1	0.5	LSB
INL	积分非线性	所有输入范围	-0.5	± 0.15	0.5	LSB
E_O	偏移误差	$T_A = 25^{\circ}\text{C}$ 时的所有双极范围	-1	± 0.2	1	mV
		$T_A = 25^{\circ}\text{C}$ 时的所有单极范围	-2	± 0.2	2	
	失调电压误差漂移与温度间的关系	所有输入范围	-3	± 0.75	3	ppm/ $^{\circ}\text{C}$
E_G	增益误差	所有输入范围, $T_A = 25^{\circ}\text{C}$	-0.038	± 0.01	0.038	%FSR
	增益误差漂移与温度间的关系	所有输入范围	-5	± 1	5	ppm/ $^{\circ}\text{C}$
交流性能						
SNR	信噪比	所有输入范围	71.5	72.4		dBFS
THD	总谐波失真	所有输入范围		-102		dB
SINAD	信噪比 + 失真	所有输入范围	71.4	72.3		dB
SFDR	无杂散动态范围	所有输入范围		103		dB
内部基准输出						
V_{REFIO}	REFIO 引脚上 (配置为输出)	WQFN (RUM) 封装, $T_A = 25^{\circ}\text{C}$	4.094	4.096	4.098	V
dV_{REFIO}/dT_A	内部基准温度漂移	WQFN (RUM) 封装, $T_A = 25^{\circ}\text{C}$		5		ppm/ $^{\circ}\text{C}$
C_{OUT_REFIO}	REFIO 引脚上的去耦电容器		4.7			μF
V_{REFCAP}	ADC 的基准电压 (在 REFCAP 引脚上)		4.0945	4.096	4.0975	V
	REFCAP 温漂			0.5	2	ppm/ $^{\circ}\text{C}$
C_{OUT_REFCAP}	REFCAP 引脚上的去耦电容器		10			μF
	导通时间	$C_{OUT_REFCAP} = 10\mu\text{F}$, $C_{OUT_REFIO} = 10\mu\text{F}$		20		ms
外部基准输入						
V_{REFIO_EXT}	REFIO 上的外部基准电压	REFIO 引脚配置为输入	4.046	4.096	4.146	
AVDD 比较器						
V_{TH_HIGH}	高阈值电压			5.3		V
V_{TH_LOW}	低阈值电压			4.7		V
电源要求						
AVDD	模拟电源电压	工作温度范围	4.75	5	5.25	V
DVDD	数字电源电压	工作温度范围	1.65	3.3	AVDD	V
		指定性能的电源电压范围	2.7	3.3	AVDD	V
I_{AVDD_DYN}	模拟电源电流, 器件以最大吞吐量转换	内部基准		7	9	mA
		外部基准		5.8	7.25	
I_{AVDD_STC}	模拟电源电流, 器件未转换	内部基准		4.7	6.25	mA
		外部基准		2.9	4	
$I_{AVDD_STD_BY}$	模拟电源电流, 器件处于待机模式	内部基准		2.8		mA
		外部基准		1.6		

5.5 电气特性 (续)

所有最小值和最大值规格的适用条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ； $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $VREF = 4.096\text{V}$ (内部)，以及最大吞吐量 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I_{AVDD_PD}	模拟电源电流，器件处于 PD 模式	内部基准		10		μA
		外部基准		10		
I_{DVDD_DYN}	数字电源电流，最大吞吐量			0.2	0.25	mA
I_{DVDD_STDBY}	数字电源电流，器件处于待机模式			1		μA
I_{DVDD_PD}	数字电源电流，器件处于 PD 模式			1		μA
数字输入 (CMOS)						
V_{IH}	数字高输入电压逻辑电平	$DVDD > 2.35\text{V}$	$0.7 \times DVDD$		$DVDD + 0.3$	V
		$DVDD \leq 2.35\text{V}$	$0.8 \times DVDD$		$DVDD + 0.3$	V
V_{IL}		$DVDD > 2.35\text{V}$	-0.3		$0.3 \times DVDD$	V
		$DVDD \leq 2.35\text{V}$	-0.3		$0.2 \times DVDD$	V
	输入漏电流			100		nA
	输入引脚电容			5		pF
数字输出 (CMOS)						
V_{OH}	数字高输出电压逻辑电平	$I_O = 500\mu\text{A}$ 拉电流	$0.8 \times DVDD$		$DVDD$	V
V_{OL}	数字低输出电压逻辑电平	$I_O = 500\mu\text{A}$ 灌电流	0		$0.2 \times DVDD$	V
	悬空状态漏电流	仅适用于数字输出引脚		1		μA
	内部引脚电容			5		pF

5.6 时序要求

所有最小值和最大值规格的适用条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ； $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $VREF = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

		最小值	典型值	最大值	单位
转换周期					
f_{cycle}	采样频率			1250	kSPS
t_{cycle}	ADC 周期时长	$1/f_{\text{cycle}}$			s
t_{acq}	采集时间	250			ns
异步复位					
$t_{\text{wl_RST}}$	脉冲持续时间： $\overline{\text{RST}}$ 为低电平	100			ns
SPI 兼容串行接口					
f_{CLK}	串行时钟频率			66.67	MHz
t_{CLK}	串行时钟时间周期	$1/f_{\text{CLK}}$			
$t_{\text{PH_CK}}$	SCLK 高电平时间	0.45		0.55	t_{CLK}
$t_{\text{PL_CK}}$	SCLK 低电平时间	0.45		0.55	t_{CLK}
$t_{\text{SU_CSC}}$	建立时间： $\overline{\text{CONVST/CS}}$ 下降沿至第一个 SCLK 捕捉边沿	7.5			ns
$t_{\text{SU_CKDI}}$	建立时间：SDI 数据有效至 SCLK 捕捉边沿	7.5			ns
$t_{\text{HT_CKDI}}$	保持时间：SCLK 捕捉边沿至 SDI 上的（前一个）数据有效	7.5			ns
源同步串行接口（外部时钟）					
f_{CLK}	串行时钟频率			66.67	MHz
t_{CLK}	串行时钟时间周期	$1/f_{\text{CLK}}$			
$t_{\text{PH_CK}}$	SCLK 高电平时间	0.45		0.55	t_{CLK}
$t_{\text{PL_CK}}$	SCLK 低电平时间	0.45		0.55	t_{CLK}

5.7 开关特性

所有最小值和最大值规格的适用条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ； $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $VREF = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

		最小值	典型值	最大值	单位
异步复位					
t_{conv}	转换时间			550	ns
$t_{\text{D_RST_POR}}$	POR 复位的延迟时间：RST 上升至 RVS 上升		20		ms
$t_{\text{D_RST_APP}}$	应用程序复位的延迟时间： $\overline{\text{RST}}$ 上升至 $\text{CONVST}/\overline{\text{CS}}$ 上升			1	μs
$t_{\text{NAP_WKUP}}$	唤醒时间：NAP 模式			20	μs
t_{PWRUP}	上电时间：PD 模式		20		ms
SPI 兼容串行接口					
$t_{\text{HT_CKCS}}$	延迟时间：最后一个 SCLK 捕捉边沿至 $\text{CONVST}/\overline{\text{CS}}$ 上升沿	7.5			ns
$t_{\text{DEN_CSDO}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 下降沿至数据启用			9.5	ns
$t_{\text{DZ_CSDO}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升至 SDO-x 进入三态			10	ns
$t_{\text{D_CKDO}}$	延迟时间：SCLK 启动沿至 SDO-x 上的（下一个）数据有效			12	ns
$t_{\text{D_CSRVS}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升沿至 RVS 下降			14	ns
源同步串行接口（外部时钟）					
	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 下降沿至数据启用			9.5	ns
	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升至 SDO-x 进入三态			10	ns
	延迟时间：SCLK 上升沿至 RVS 上升			14	ns
	延迟时间：SCLK 下降沿至 RVS 下降			14	ns
	延迟时间：RVS 上升至 SDO-x 上的（下一个）数据有效			2.5	ns
	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升沿至 RVS 显示内部器件状态			15	ns
源同步串行接口（内部时钟）					
$t_{\text{DEN_CSDO}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 下降沿至数据启用			9.5	ns
$t_{\text{DZ_CSDO}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升至 SDO-x 进入三态			10	ns
$t_{\text{DEN_CSRVS}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 下降沿至 RVS 上的第一个上升沿			50	ns
$t_{\text{D_RVSDO}}$	延迟时间：RVS 上升至 SDO-x 上的（下一个）数据有效			2.5	ns
t_{INTCLK}	时间周期：内部时钟	15			ns
$t_{\text{CYC_RVS}}$	时间周期：RVS 信号	15			ns
$t_{\text{WH_RVS}}$	RVS 高电平时间	0.4		0.6	t_{INTCLK}
$t_{\text{WL_RVS}}$	RVS 低电平时间	0.4		0.6	t_{INTCLK}
$t_{\text{D_CSRVS}}$	延迟时间： $\text{CONVST}/\overline{\text{CS}}$ 上升沿至 RVS 显示内部器件状态			15	ns

5.8 时序图

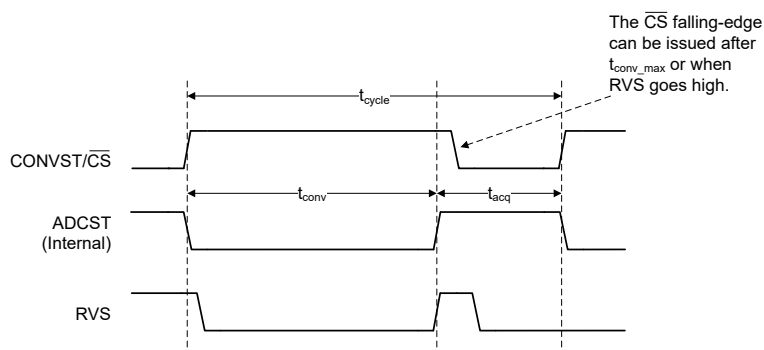


图 5-1. 转换周期时序图

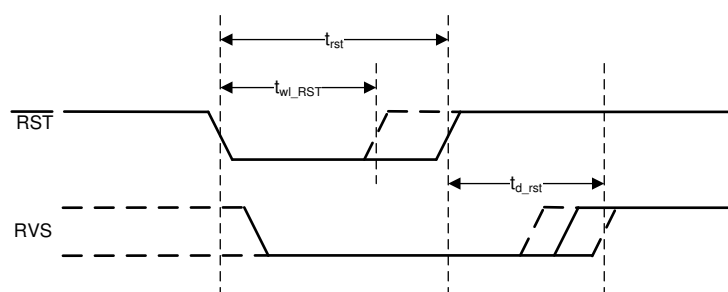


图 5-2. 异步复位时序图

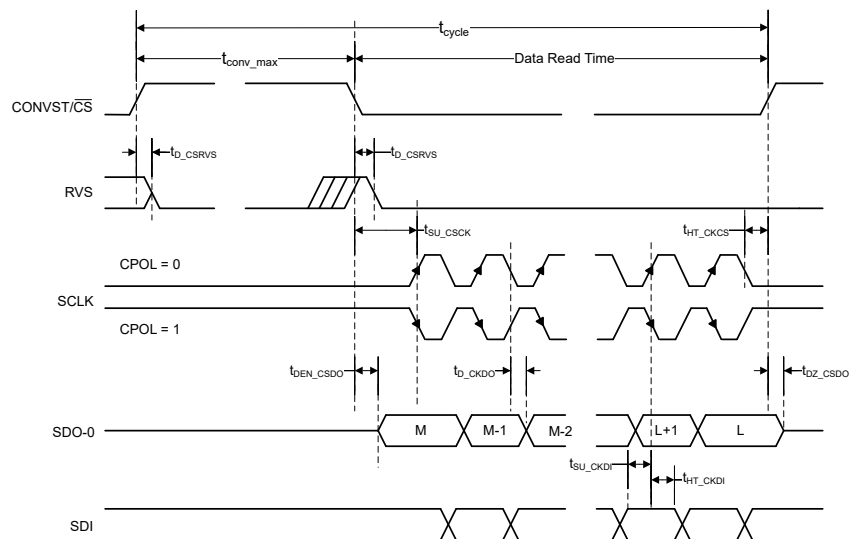


图 5-3. CPHA = 0 时的标准 SPI 接口时序图

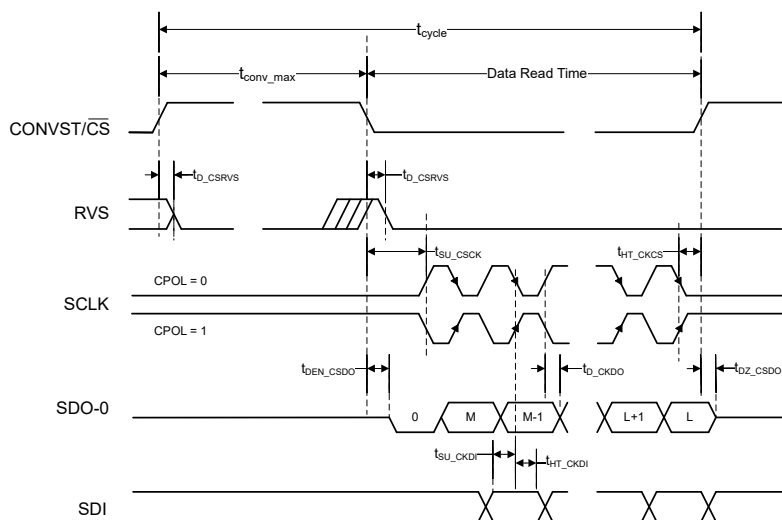


图 5-4. CPHA = 1 时的标准 SPI 接口时序图

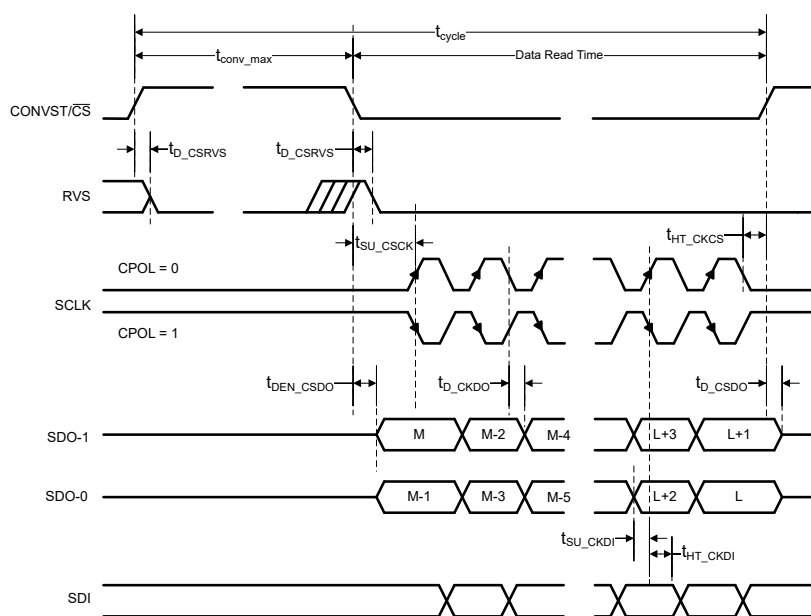


图 5-5. 双 SDO-x 和 CPHA = 0 时的 multiSPI 接口时序图

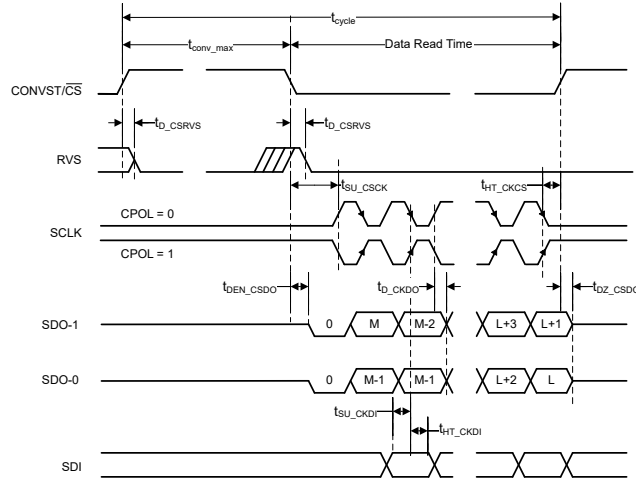


图 5-6. 双 SDO-x 和 CPHA = 1 时的 multiSPI 接口时序图

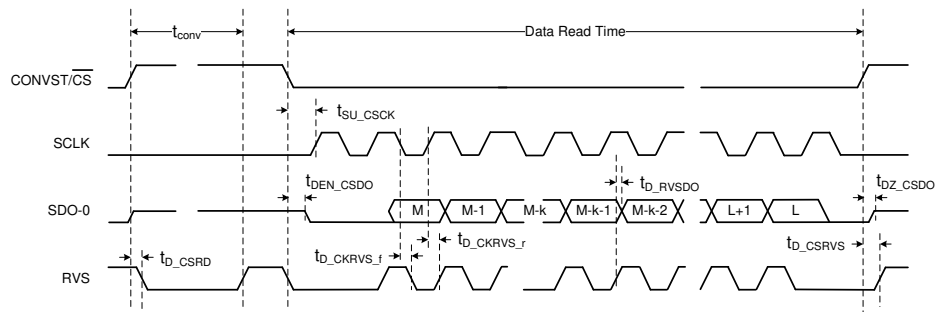


图 5-7. multiSPI 源同步外部时钟串行接口时序图

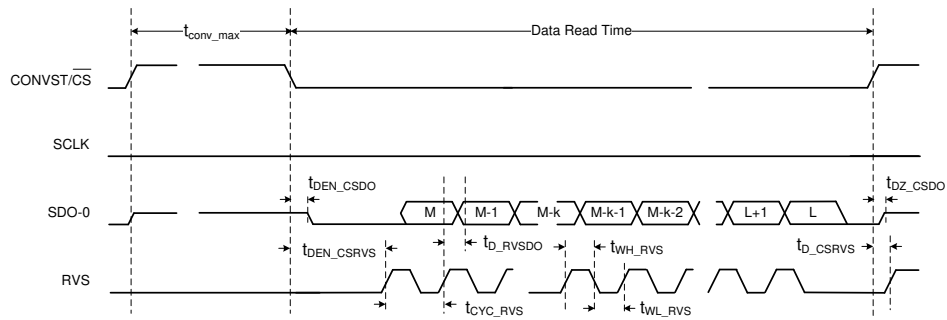


图 5-8. multiSPI 源同步内部时钟串行接口时序图

5.9 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ ， $V_{REF} = 4.096\text{V}$ （内部）和最大吞吐量的条件下测得（除非另有说明）

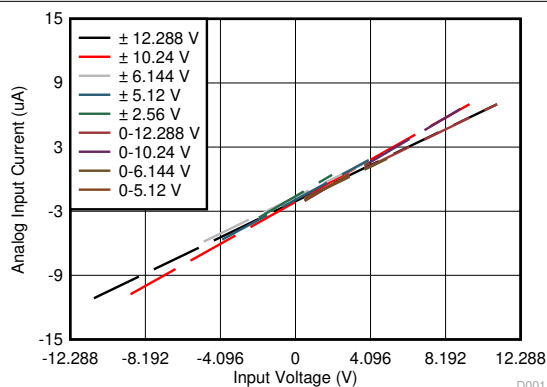
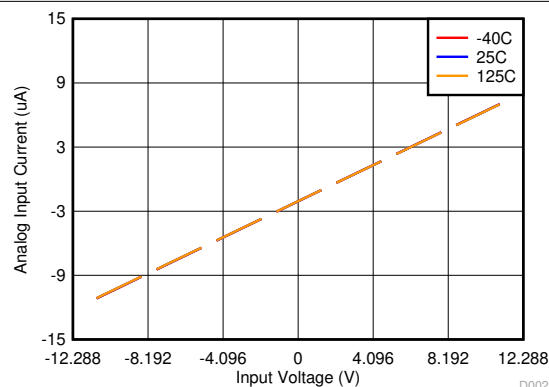


图 5-9. 整个输入范围内的输入 I-V 特性



范围 = $\pm 12.288\text{V}$

图 5-10. 整个温度范围内的输入 I-V 特性

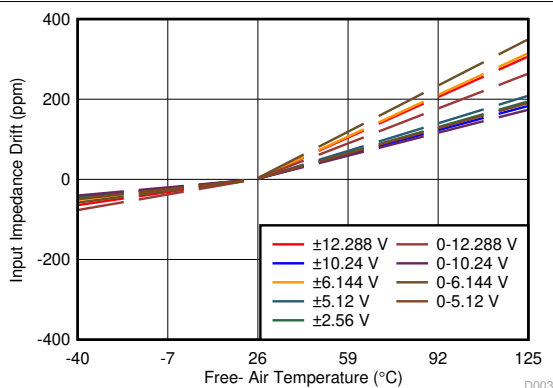
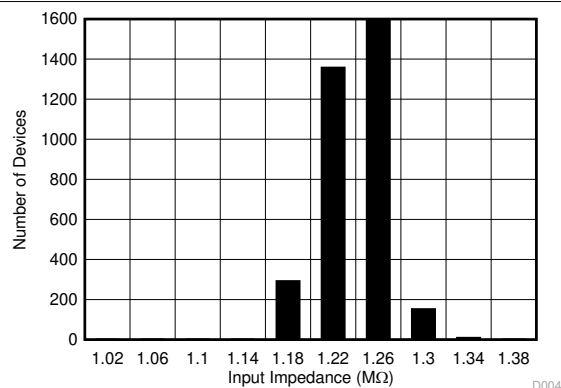
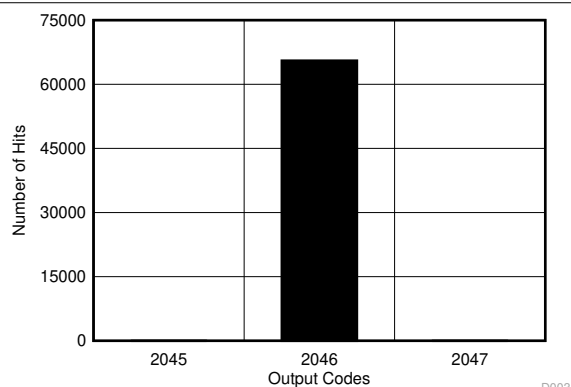


图 5-11. 输入阻抗漂移与温度间的关系



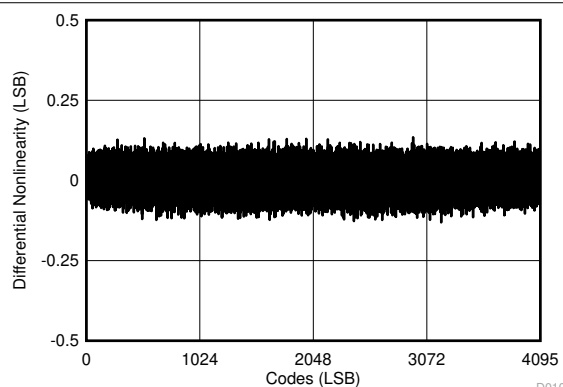
样本数 = 3398

图 5-12. 输入阻抗的典型分布



平均值 = 2046， $\sigma = 0$ ，输入 = 中量程

图 5-13. 所有输入范围的中量程输入直流直方图



所有输入范围

图 5-14. 所有代码的典型 DNL

5.9 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ ， $V_{REF} = 4.096\text{V}$ (内部) 和最大吞吐量的条件下测得 (除非另有说明)

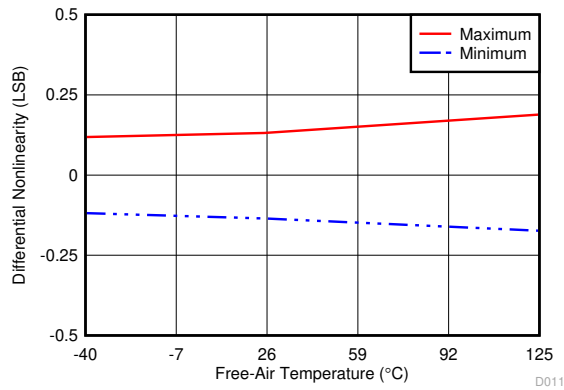


图 5-15. DNL 与温度间的关系

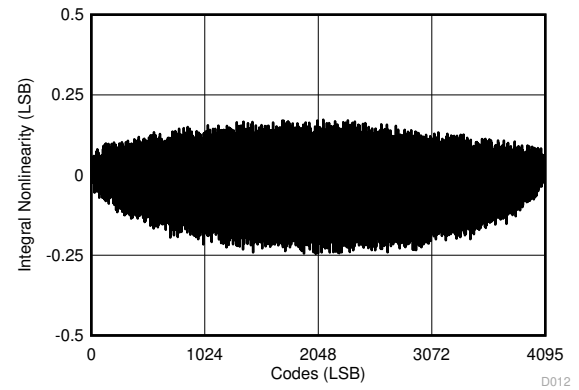


图 5-16. 所有代码的典型 INL (所有双极范围)

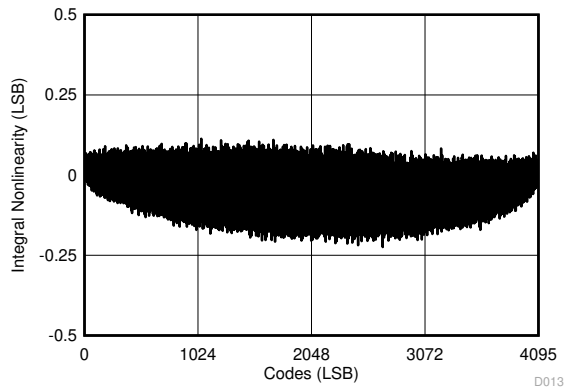


图 5-17. 所有代码的典型 INL (所有单极范围)

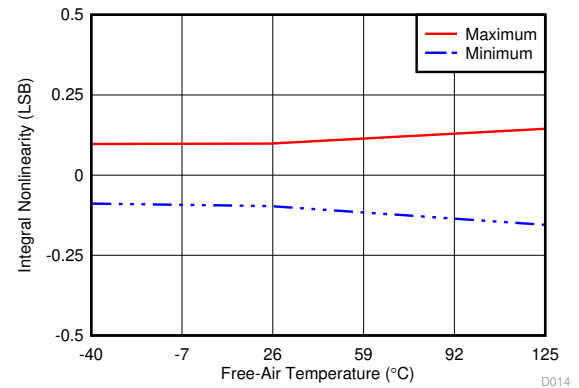


图 5-18. INL 与温度间的关系 (所有双极范围)

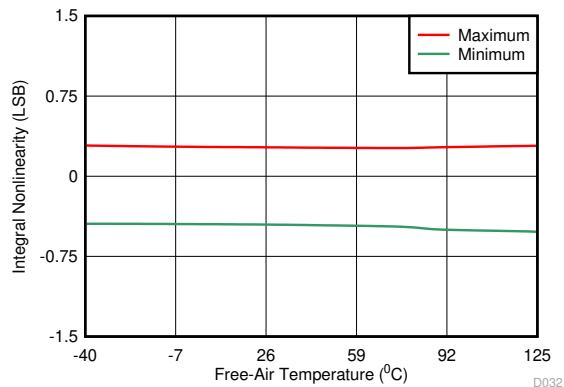


图 5-19. INL 与温度间的关系 (所有单极范围)

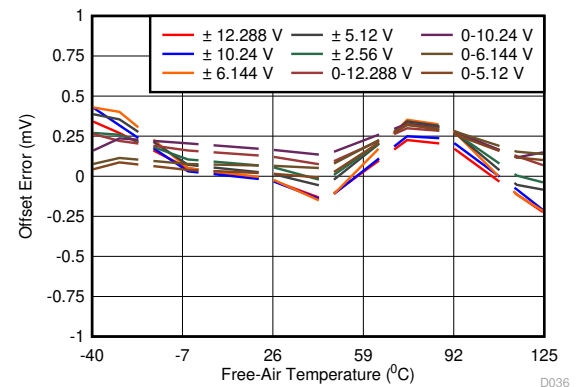


图 5-20. 整个输入范围内的失调电压误差与温度间的关系

5.9 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ ， $V_{REF} = 4.096\text{V}$ (内部) 和最大吞吐量的条件下测得 (除非另有说明)

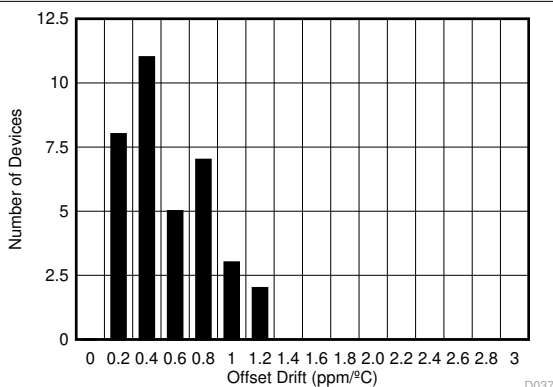


图 5-21. 温漂的典型直方图

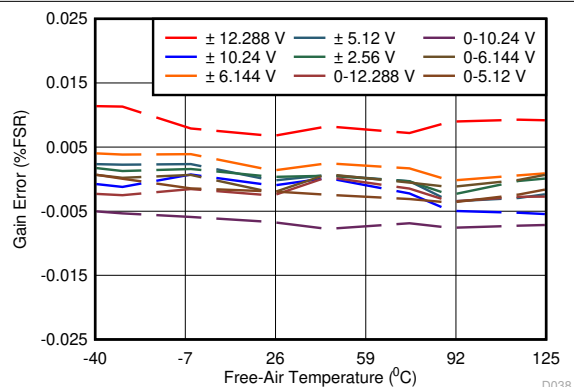


图 5-22. 整个输入范围内的增益误差与温度间的关系

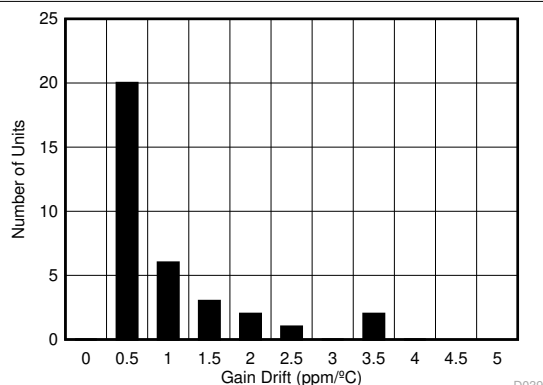


图 5-23. 增益误差漂移的典型直方图

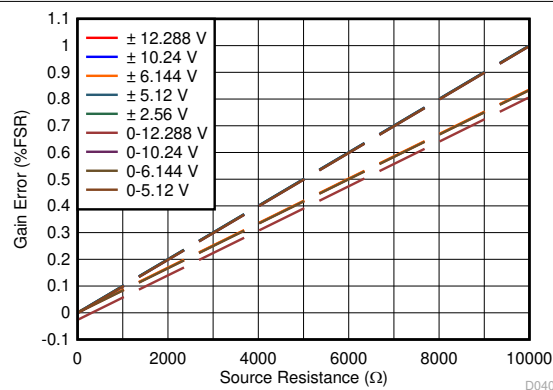


图 5-24. 增益误差与外部电阻 (R_{EXT}) 间的关系

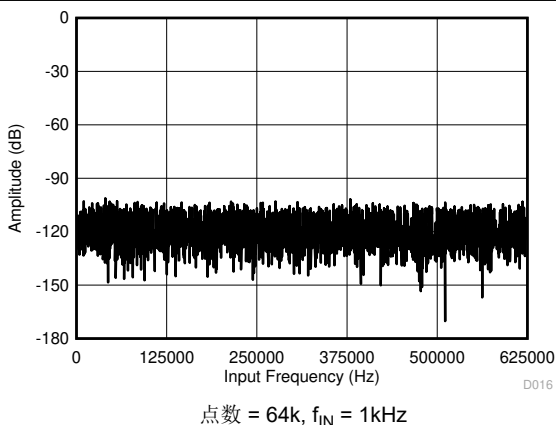


图 5-25. ADS8661W 的典型 FFT 图 (所有范围)

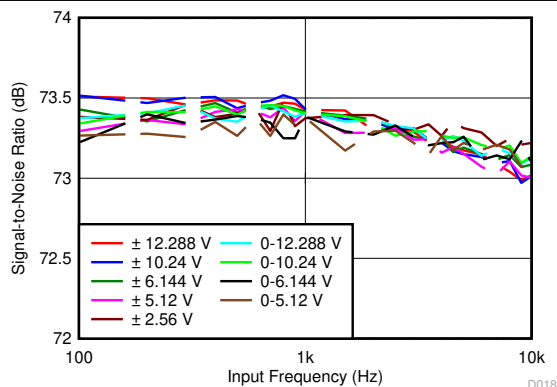


图 5-26. SNR 与输入频率间的关系

5.9 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ ， $V_{\text{REF}} = 4.096\text{V}$ (内部) 和最大吞吐量的条件下测得 (除非另有说明)

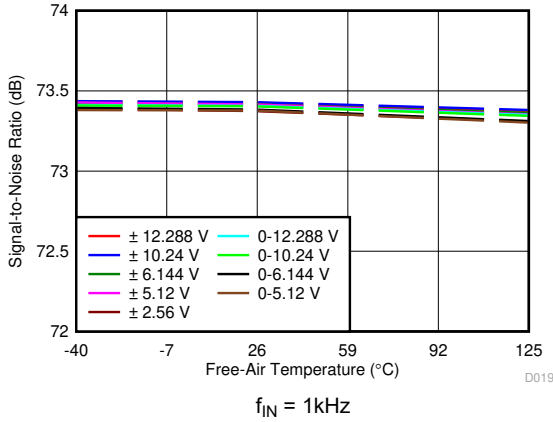


图 5-27. SNR 与温度间的关系

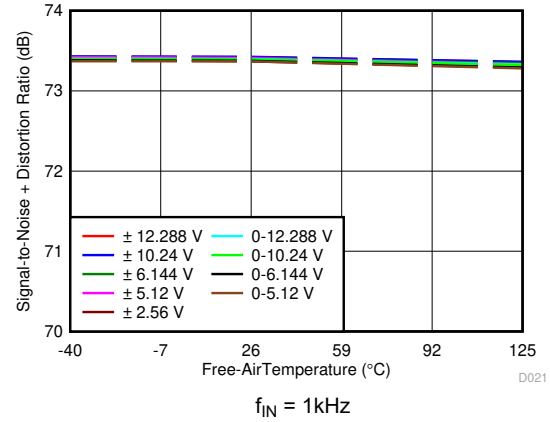


图 5-28. SINAD 与温度间的关系

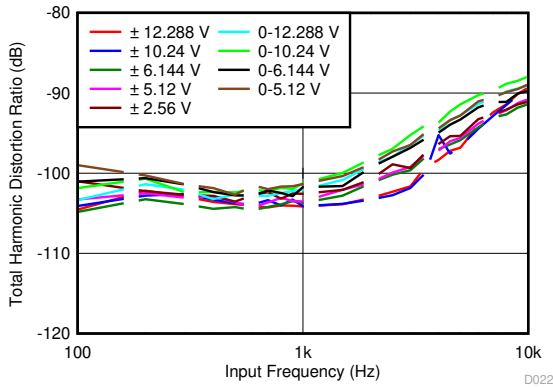


图 5-29. THD 与输入频率间的关系

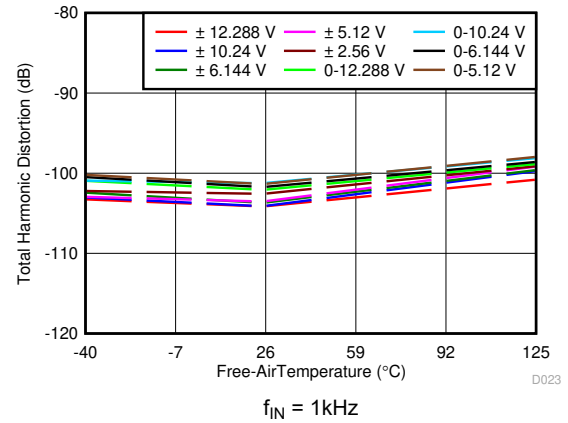


图 5-30. THD 与温度间的关系

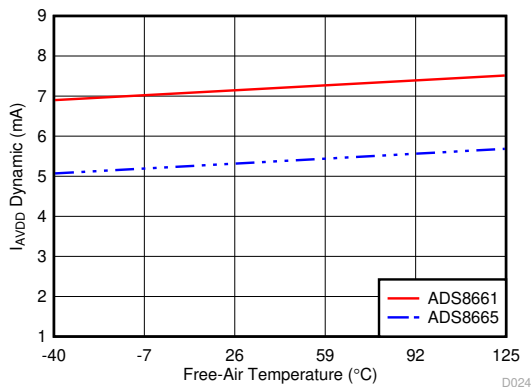


图 5-31. AVDD 电流与温度间的关系

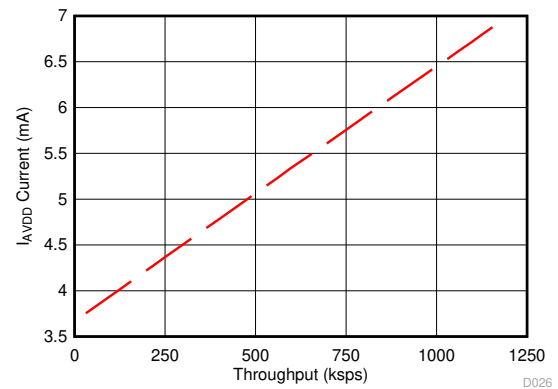


图 5-32. AVDD 电流与吞吐量间的关系

5.9 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ ， $V_{\text{REF}} = 4.096\text{V}$ (内部) 和最大吞吐量的条件下测得 (除非另有说明)

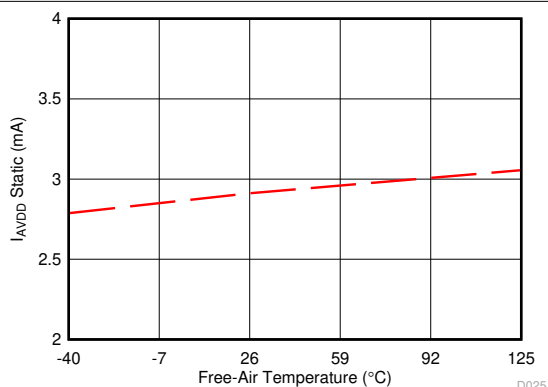


图 5-33. AVDD 电流与温度间的关系 (采样期间)

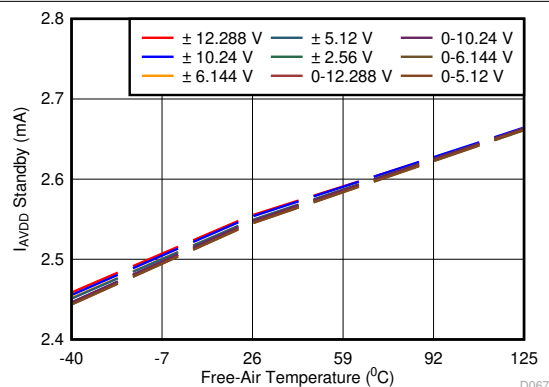


图 5-34. AVDD 电流与温度间的关系 (待机模式)

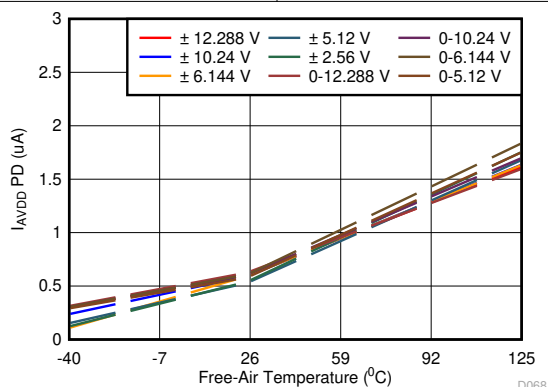


图 5-35. AVDD 电流与温度间的关系 (掉电模式)

6 详细说明

6.1 概述

ADS8661W 是一款易于使用的高速、高性能集成式数据采集系统器件。高达 $\pm 12.288\text{V}$ 的真正双极差分 摆幅，并由单个 5V 模拟电源供电。ADS8661W 具有增强型 SPI 接口 (multiSPI)，即使使用速度较低的主机控制器，也可以尽可能地提高采样速率。

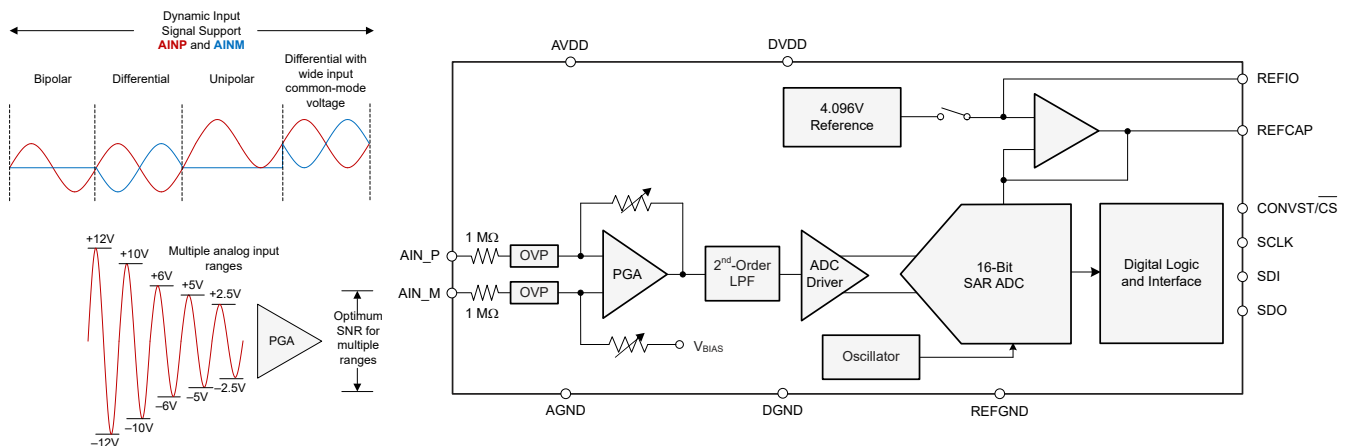
ADS8661W 包括高精度逐次逼近寄存器 (SAR) 模数转换器 (ADC) 和用于信号调节的低功耗模拟前端 (AFE) 电路。ADS8661W 包括：

- 不受采样速率影响的高阻性输入阻抗 ($\geq 1\text{M}\Omega$)
- 具有差分 and 单端输入配置的可编程增益放大器 (PGA)，支持九个软件可编程的单极和双极输入范围
- 二阶低通抗混叠滤波器
- ADC 驱动器放大器，可使 SAR ADC 输入快速稳定以实现高精度
- 高达 $\pm 20\text{V}$ 的输入过压保护电路

该器件有一个具有快速稳定缓冲器的低温漂、4.096V 内部基准，以及一个具有菊花链 (DAISY) 和警报功能的 multiSPI 串行接口。

集成式精密 AFE 电路包括高输入阻抗和由单个 5V 电源供电的精密 ADC。此 AFE 电路提供了一种简化的终端解决方案，无需外部高电压双极电源和复杂的驱动器电路。

6.2 功能方框图



6.3 特性说明

6.3.1 模拟输入结构

该器件采用差分输入结构。图 6-1 展示了 AFE 电路的简化电路原理图，包括输入过压保护电路、PGA、低通滤波器 (LPF) 和高速 ADC 驱动器。

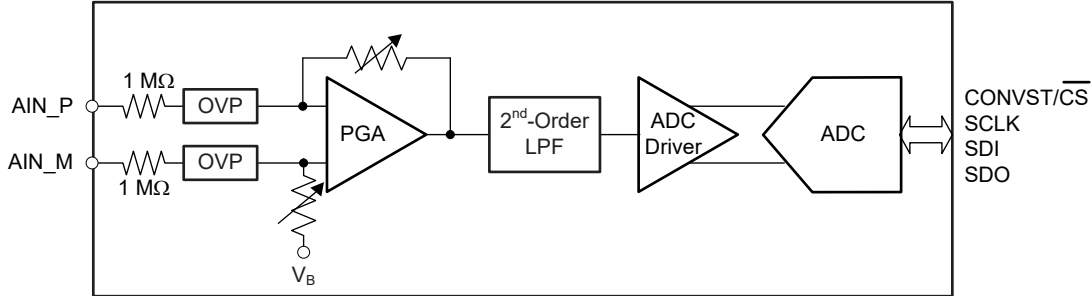


图 6-1. 简化模拟前端电路原理图

根据编程寄存器配置，ADS8661W 支持多个单极或双极、单端和差分输入电压范围。如 [RANGE_SEL_REG](#) 寄存器部分所述，将输入电压范围配置为双极或单极。双极范围为 $\pm 3V \times V_{REF}$ 、 $\pm 2.5V \times V_{REF}$ 、 $\pm 1.5V \times V_{REF}$ 、 $\pm 1.25V \times V_{REF}$ 和 $\pm 0.625V \times V_{REF}$ 。单极范围为 $0V$ 至 $3V \times V_{REF}$ ， $0V$ 至 $2.5V \times V_{REF}$ ， $0V$ 至 $1.5V \times V_{REF}$ 和 $0V$ 至 $1.25V \times V_{REF}$ 。将内部或外部基准电压设置为 $4.096V$ 时，将器件输入范围配置为双极或单极范围。配置的双极范围为 $\pm 12.288V$ 、 $\pm 10.24V$ 、 $\pm 6.144V$ 、 $\pm 5.12V$ 和 $\pm 2.56V$ 。配置的单极范围为 $0V$ 至 $12.288V$ 、 $0V$ 至 $10.24V$ 、 $0V$ 至 $6.144V$ 以及 $0V$ 至 $5.12V$ 。

该器件对 AIN_P 和 AIN_M 引脚之间的电压差进行采样。为获得出色性能，请确保每个输入路径的输入电流和阻抗相匹配。从信号源到 ADC 输入引脚尽可能对称地将两个单端信号路由到 AIN_P 和 AIN_M。

如果器件的模拟输入引脚 (AIN_P) 或 (AIN_M) 保持悬空状态，则 ADC 输出对应于内部偏置电压。如果器件在输入引脚悬空的情况下运行，则将 ADC 的输出视为无效。这种情况不会对器件造成任何损坏，在对引脚施加有效的输入电压后，器件便可完全正常工作。

6.3.2 模拟输入阻抗

该器件在每个模拟输入都有 $\geq 1M\Omega$ 的电阻式输入阻抗。输入阻抗与 ADC 采样频率或输入信号频率无关。此类高阻抗输入的主要优势是，无需驱动具有低输出阻抗的放大器即可轻松驱动 ADC 输入。系统中不需要双极高压电源，因为该 ADC 不需要任何高压前端驱动器。在大多数应用中，信号源或传感器输出直接连接到 ADC 输入，从而显著简化信号链设计。

为保持系统的直流精度，将 AIN_P 输入引脚上的外部源阻抗与 AIN_M 引脚上的等效电阻相匹配。如此匹配有助于消除外部电阻引起的任何额外的失调电压误差。

6.3.3 输入保护电路

该器件的每个模拟输入都有内部过压保护 (OVP) 电路。在终端应用中使用外部保护器件来防止浪涌、静电放电 (ESD) 和电气快速瞬变 (EFT) 情况。图 6-2 显示了内部 OVP 电路的概念方框图。

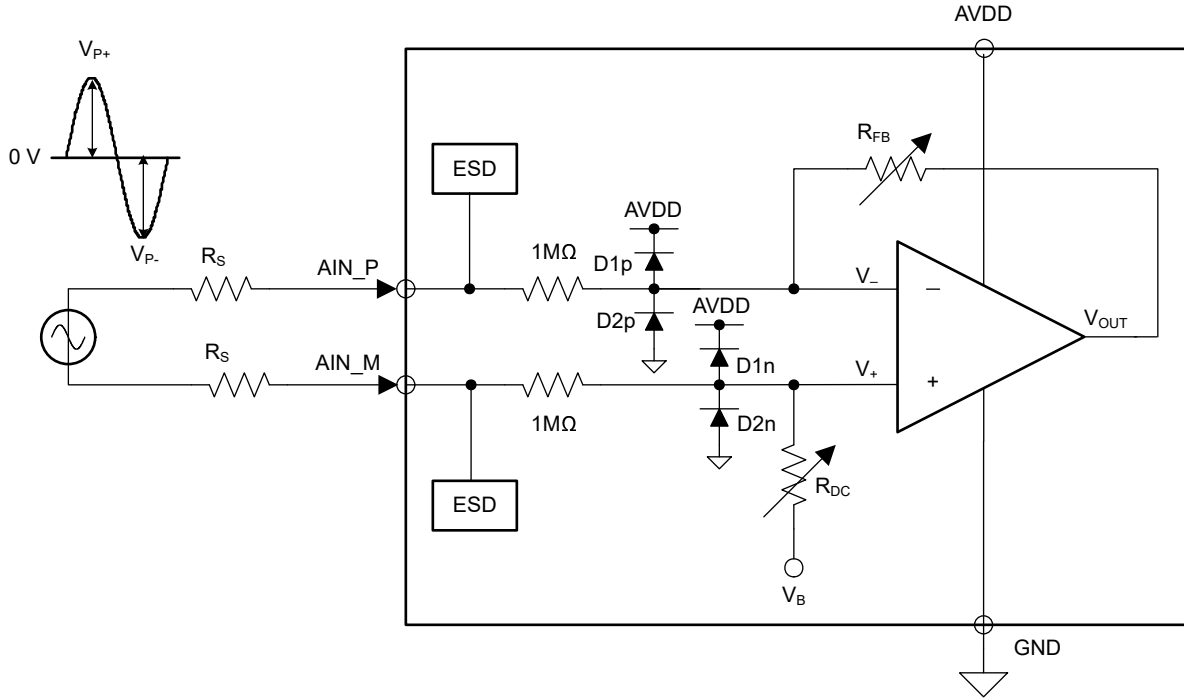


图 6-2. 输入过压保护电路原理图

如图 6-2 所示，输入电阻器和 PGA 增益设置电阻器 R_{FB} 和 R_{DC} 的组合会限制流入输入引脚的电流。使用 $1\text{M}\Omega$ （或对于相应的输入范围，使用 $1.2\text{M}\Omega$ ）输入电阻器。添加了反并联二极管 D1 和 D2 的组合，用来保护内部电路和设置过压保护限制。

表 6-1 说明了器件上电时的各种工作条件。确保器件已正确上电 ($AVDD = 5\text{V}$) 或提供小于 $30\text{k}\Omega$ 的低阻抗。正确设置后，内部过压保护电路在模拟输入引脚上可承受高达 $\pm 20\text{V}$ 的电压。

表 6-1. $AVDD = 5\text{V}$ 时的输入过压保护限制

输入条件 ⁽¹⁾ ($V_{OVP} = \pm 20\text{V}$)		测试条件	ADC 输出	注释
条件	范围			
$ V_{IN} < V_{RANGE} $	在工作范围内	所有输入范围	有效	该器件按照数据表规格运行。
$ V_{RANGE} < V_{IN} < V_{OVP} $	超出工作范围但处于过压范围内	所有输入范围	饱和	ADC 输出已饱和，但器件在内部受到保护（不建议长时间运行）。
$ V_{IN} > V_{OVP} $	超出过压范围	所有输入范围	饱和	这种使用状况可能会对器件造成不可逆转的损坏。

(1) $GND = 0\text{V}$, $AIN_M = 0\text{V}$, $|V_{RANGE}|$ 为任何选定输入范围的最大输入电压, $|V_{OVP}|$ 为内部 OVP 电路的击穿电压。假设 R_S 接近 0Ω 。

表 6-1 中显示的结果假定模拟输入引脚由一个极低阻抗源驱动 (R_S 大约为 0Ω)。但是，如果驱动输入的源阻抗更高，流经保护二极管的电流会进一步降低，从而增大 OVP 电压范围。较高的源阻抗会导致出现增益误差并影响整体系统噪声性能。

图 6-3 显示了器件上电时内部过压保护电路的电压与电流响应间的关系。根据这个电流至电压 (I-V) 响应，流入器件输入引脚的电流受输入阻抗的限制。输入阻抗为 $1\text{M}\Omega$ （对于相应的输入范围，阻抗为 $1.2\text{M}\Omega$ ）。但是，当电压超过 $\pm 20\text{V}$ 时，内部节点电压会超过内部晶体管的击穿电压。因此，在输入引脚上设置了过压保护的限值。

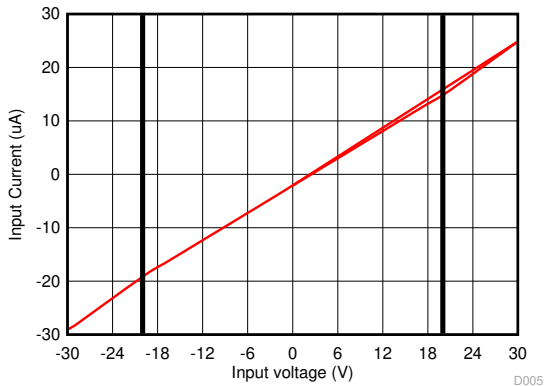


图 6-3. 输入 OVP 电路的 I-V 曲线 (AVDD = 5V)

当器件未上电且 AVDD 保持悬空时，该过压保护电路还能为器件提供保护。当在 ADC 完全上电之前施加输入信号时，会出现这种情况。表 6-2 显示了这种情况下的过压保护限值。

表 6-2. AVDD 悬空时的输入过压保护限值

输入条件 ⁽¹⁾ ($V_{OVP} = \pm 15V$)		测试条件	ADC 输出	注释
条件	范围			
$ V_{IN} < V_{OVP} $	在过压范围内	所有输入范围	无效	器件无法正常工作，但在内部受到 OVP 电路的保护。
$ V_{IN} > V_{OVP} $	超出过压范围	所有输入范围	无效	这种使用状况可能会对器件造成不可逆转的损坏。

(1) AVDD = 悬空, GND = 0V, AIN_M = 0V, $|V_{RANGE}|$ 为任何选定输入范围的最大输入电压, $|V_{OVP}|$ 为内部 OVP 电路的击穿电压。假设 R_S 接近 0Ω 。

图 6-4 显示了器件未上电时内部过压保护电路的 I-V 响应。根据这个 I-V 响应，流入器件输入引脚的电流受 $1M\Omega$ 输入阻抗的限制。但是，当电压超过 $\pm 15V$ 时，内部节点电压会超过内部晶体管的击穿电压。因此，在输入引脚上设置了过压保护的限值。

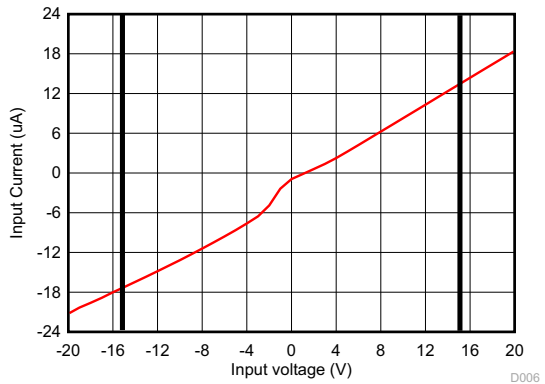


图 6-4. 输入 OVP 电路的 I-V 曲线 (AVDD = 悬空)

6.3.4 可编程增益放大器 (PGA)

该器件有一个可编程增益放大器 (PGA)，作为模拟信号调节电路的一部分。该电路将原始的单端或差分输入信号转换为驱动内部 SAR ADC 的信号。PGA 还会在信号馈送到 SAR ADC 之前调整输入信号的共模电平。此过程可更大限度地利用 ADC 输入动态范围。根据输入信号范围的不同，可通过设置配置寄存器中的 RANGE_SEL[3:0]

位来调整 PGA 增益。请参阅 [RANGE_SEL_REG](#) 寄存器。RANGE_SEL[3:0] 位的默认状态或上电状态为 0000，对应于输入信号范围为 $\pm 3V \times V_{REF}$ 。表 6-3 列出了 RANGE_SEL[3:0] 位针对不同模拟输入电压范围的各种配置。

PGA 使用精确匹配电阻网络来实现多种增益配置。可精确调整这些电阻器之间的匹配关系，从而保持所有输入范围的总体增益误差较低。

表 6-3. 输入范围选择位配置

模拟输入范围 (AIN_P – AIN_M)	RANGE_SEL[3:0]			
	位 3	位 2	位 1	位 0
$\pm 3V \times V_{REF}$	0	0	0	0
$\pm 2.5V \times V_{REF}$	0	0	0	1
$\pm 1.5V \times V_{REF}$	0	0	1	0
$\pm 1.25V \times V_{REF}$	0	0	1	1
$\pm 0.625V \times V_{REF}$	0	1	0	0
$0V - 3V \times V_{REF}$	1	0	0	0
$0V - 2.5V \times V_{REF}$	1	0	0	1
$0V - 1.5V \times V_{REF}$	1	0	1	0
$0V - 1.25V \times V_{REF}$	1	0	1	1

6.3.5 二阶低通滤波器 (LPF)

为了消除前端放大器和 PGA 增益电阻器的噪声，器件 AFE 电路在 PGA 输出端有一个二阶抗混叠 LPF。图 6-5 和图 6-6 分别显示了模拟抗混叠滤波器的幅值和相位响应曲线。为获得出色性能，抗混叠滤波器的 -3dB 截止频率通常设为 500kHz。滤波器性能在 ADC 支持的整个输入范围内保持恒定。

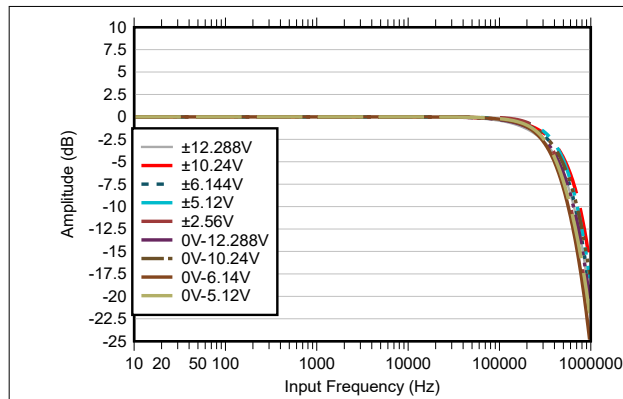


图 6-5. 二阶 LPF 幅值响应

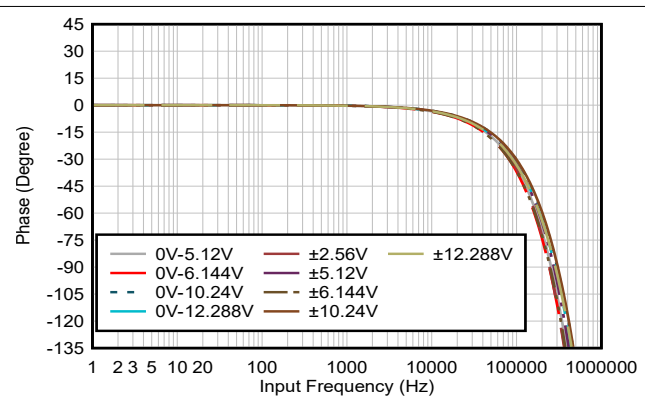


图 6-6. 二阶 LPF 相位响应

6.3.6 ADC 驱动器

为满足在最大采样速率下的性能要求，确保 ADC 输入端的采样和保持电容在采集时间窗内成功充电和放电。ADC 输入端的这一驱动要求使得必须使用高带宽低噪声的稳定放大器缓冲器。这种输入驱动器集成在器件模拟输入通道的前端信号路径中。

6.3.7 基准

该器件采用内部电压基准或外部电压基准运行（使用内部缓冲器）。通过对 [RANGE_SEL_REG](#) 寄存器的 INTREF_DIS 位进行编程来确定选择内部或外部基准。在复位后或器件上电时，默认启用内部基准源 (INTREF_DIS = 0)。将 INTREF_DIS 位编程为逻辑 1，以便在使用外部基准源时禁用内部基准源。

6.3.7.1 内部基准

该器件具有标称输出值为 4.096V 的内部基准电源。要选择内部基准，请将 **RANGE_SEL_REG** 寄存器的 **INTREF_DIS** 位编程为逻辑 0。使用内部基准时，**REFIO** 引脚成为具有内部基准值的输出。如图 6-7 所示，在 **REFIO** 引脚和 **REFGND** 引脚之间放置一个 4.7μF（最小值）去耦电容器。内部带隙电路的输出阻抗与该电容器形成一个低通滤波器，对基准的噪声进行频带限制。使用较小的电容器值会增加系统中的基准噪声，从而可能降低 **SNR** 和 **SINAD** 性能。因为 **REFIO** 引脚的电流输出能力有限，请勿使用该引脚驱动外部交流或直流负载。如果后面有一个可接受的运算放大器缓冲器（如 **OPA320**），请将 **REFIO** 引脚用作源。

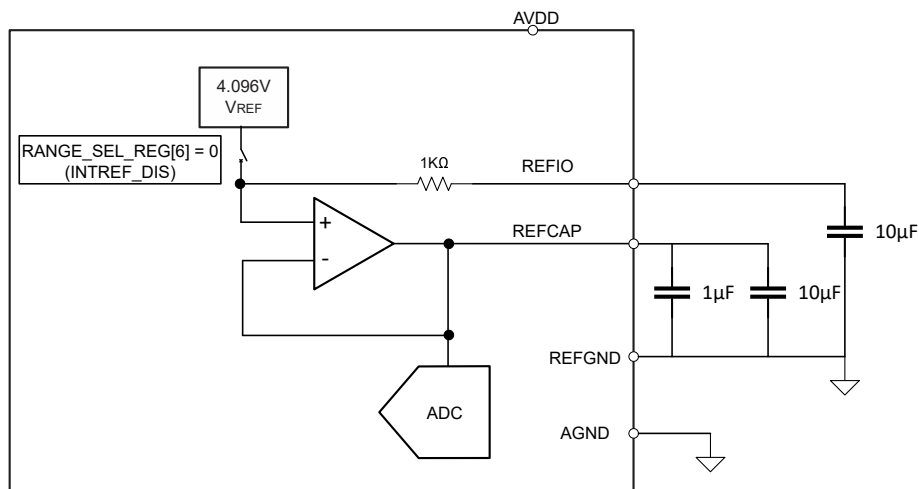


图 6-7. 使用内部 4.096V 基准的器件连接

器件内部基准经过出厂修整，可以提供初始精度规格。图 6-8 中的直方图显示了从超过 3420 个生产器件获取的内部电压基准输出的分布。

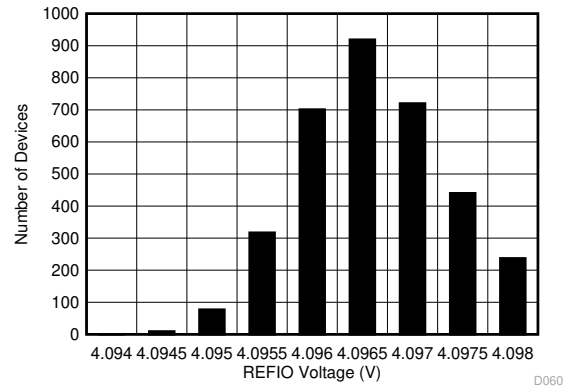


图 6-8. 室温下的内部基准精度直方图

如果芯片受到任何机械应力或热应力，内部基准的初始精度规格会下降。在焊接到印刷电路板 (PCB) 上时对器件加热以及任何后续焊接回流是 V_{REF} 值偏移的主要原因。热迟滞的主要原因是芯片应力发生变化，并且取决于封装、芯片焊接材料、封装胶料和器件布局。

为了说明这种影响，使用无铅焊锡膏和制造商建议的回流焊曲线焊接了 30 个器件。AN-2029 操作和处理建议应用手册对此过程进行了说明。如图 6-9 所示，在回流焊过程前后测量内部基准电压输出，并且通常会出现数值的漂移。尽管所有测试单元的输出电压都表现出正漂移，但也可能出现负漂移。图 6-9 中的直方图显示了暴露于单个回流焊曲线的典型漂移。在两侧都有表面贴装元件的 PCB 通常会暴露于多个回流焊，这会导致输出电压出现额外漂移。如果 PCB 要暴露于多个回流焊，则在第二道工序焊接 ADS8661W，以便更大限度地减少器件暴露于热应力的情况。

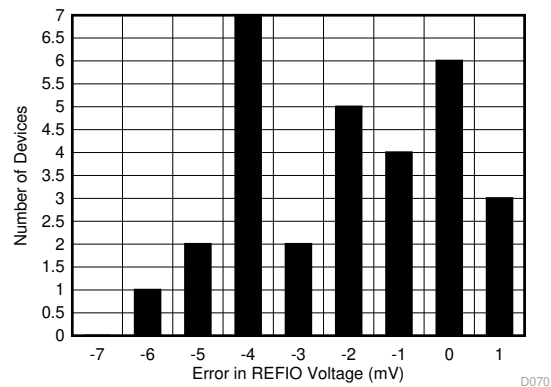


图 6-9. 焊接热漂移分布直方图

内部基准还具有温度补偿功能，可在 -40°C 至 $+125^{\circ}\text{C}$ 的工业级工作温度范围内提供出色的温度漂移。图 6-10 显示了内部基准电压在不同 AVDD 电源电压值下随温度的变化情况。图 6-11 分别显示了 WQFN (RUM) 封装基准电压漂移的直方图分布。

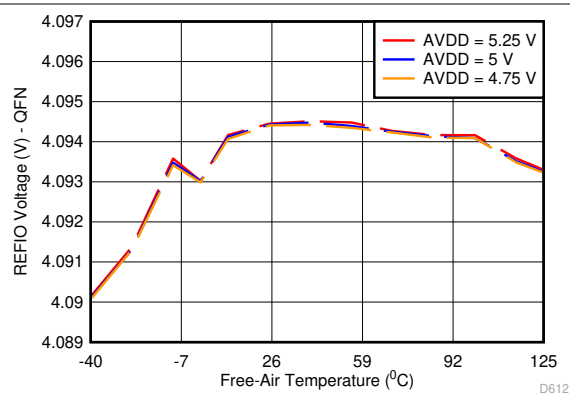
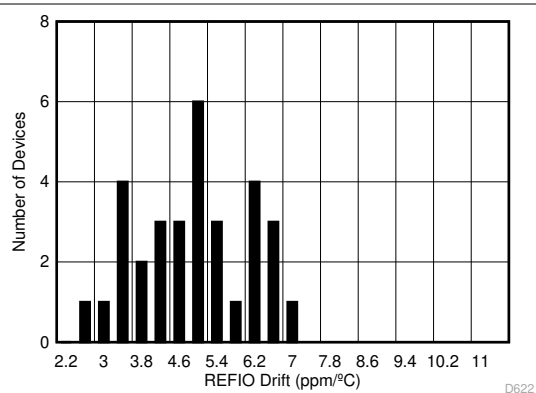


图 6-10. REFIO 电压在 AVDD 和温度范围内的变化



AVDD = 5V, 器件数 = 30, $\Delta T = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$

图 6-11. 内部基准温漂直方图

6.3.7.2 外部基准

器件为需要更好的基准电压或多个器件共享相同基准电压的应用提供了一种功能配置。这个配置可将外部基准源与内部缓冲器一同使用来驱动 ADC 基准引脚。要选择外部基准模式，请将 **RANGE_SEL_REG** 寄存器的 **INTREF_DIS** 位编程为逻辑 1。在此模式下，在 **REFIO** 引脚应用 4.096V 外部基准，用作输入。内部缓冲器经过优化设计，可处理 **REFCAP** 引脚上的动态负载，该引脚在内部连接到 ADC 基准输入。因此，在此模式下，任何低功耗、低漂移或小尺寸外部基准都适用。必须对外部基准的输出进行适当滤波，以便尽量减少基准噪声对系统性能的影响。图 6-12 显示了此模式下的典型连接图。

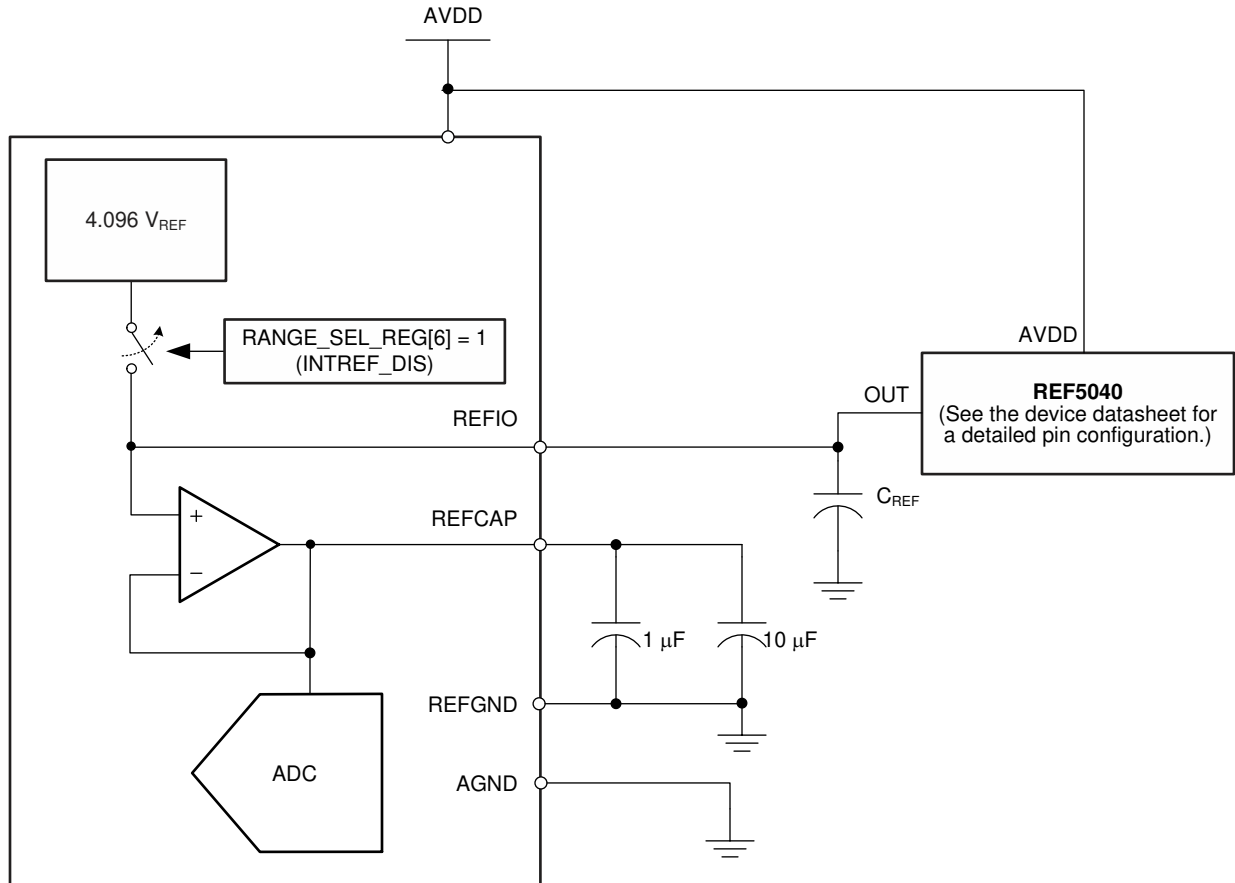


图 6-12. 使用外部 4.096V 基准的器件连接

在 **REFCAP** 引脚上获取内部基准缓冲器的输出。在 **REFCAP** 引脚和 **REFGND** 引脚之间放置一个最小 10 µF 的电容器。在尽可能靠近 **REFCAP** 引脚的位置放置另一个 1µF 电容器，用于对高频信号去耦。请勿使用内部缓冲器来驱动外部交流或直流负载，因为此缓冲器的电流输出能力有限。

在 -40°C 至 $+125^{\circ}\text{C}$ 的整个工作温度范围内，内部缓冲器输出的性能非常稳定。图 6-13 显示了在不同 AVDD 电源电压值时 REFCAP 输出在不同温度下的变化。如图 6-14 所示，基准缓冲器温漂的典型额定值为 $0.5\text{ppm}/^{\circ}\text{C}$ 。最大额定温漂等于 $2\text{ppm}/^{\circ}\text{C}$ 。

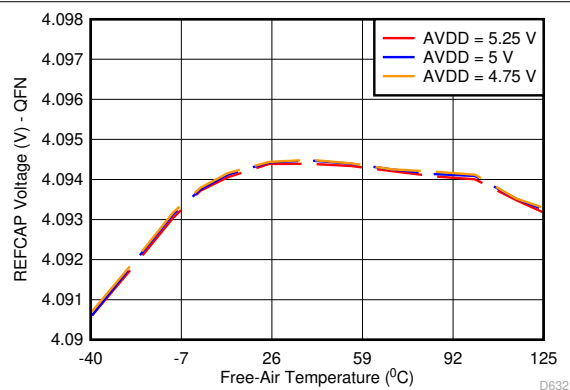
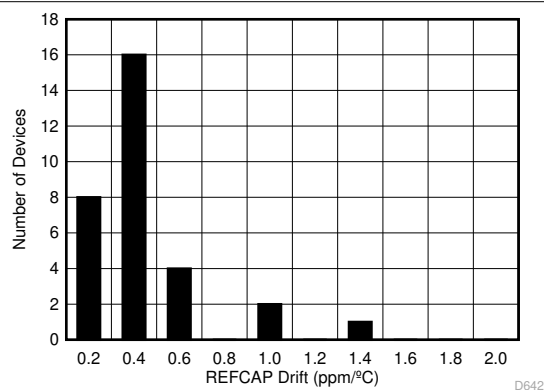


图 6-13. 基准缓冲器输出 (REFCAP) 变化与电源和温度间的关系



AVDD = 5V, 器件数 = 30, $\Delta T = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$

图 6-14. 基准缓冲器温漂直方图

6.3.8 ADC 传递函数

该器件支持单端和差分输入，支持双极和单极输入范围。对于单极和双极输入范围，器件输出都直接采用二进制格式。

图 6-15 展示了所有输入范围的理想传输特性。每个输入信号的满标量程 (FSR) 等于正满标量程 (PFS) 与负满标量程 (NFS) 输入电压之差。LSB 大小等于 $FSR / 2^{12}$ 。基准电压 $V_{REF} = 4.096V$ 时，不同输入范围对应的 LSB 值列于表 6-4 中。

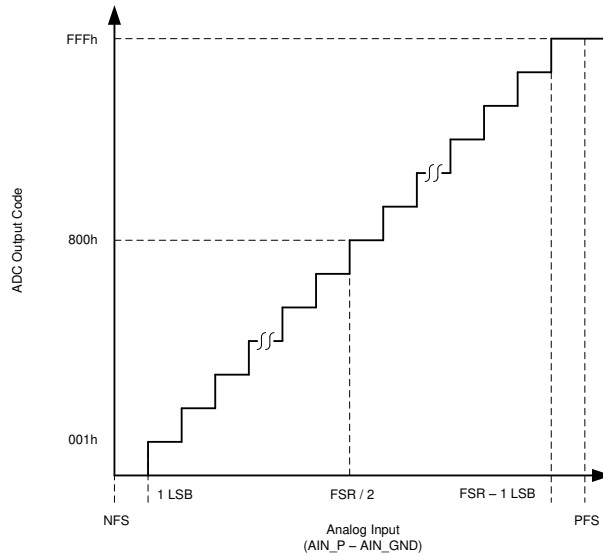


图 6-15. 器件传递函数 (直接采用二进制格式)

表 6-4. 不同输入范围对应的 ADC LSB 值 ($V_{REF} = 4.096V$)

输入范围	正满标量程 (V)	负满标量程 (V)	满标量程范围 (V)	LSB
$\pm 3V \times V_{REF}$	12.288	-12.288	24.576	6mV
$\pm 2.5V \times V_{REF}$	10.24	-10.24	20.48	5mV
$\pm 1.5V \times V_{REF}$	6.144	-6.144	12.288	3mV
$\pm 1.25V \times V_{REF}$	5.12	-5.12	10.24	2.5mV
$\pm 0.625V \times V_{REF}$	2.56	-2.56	5.12	1.25mV
0V 至 $3V \times V_{REF}$	12.288	0	12.288	3mV
0V 至 $2.5V \times V_{REF}$	10.24	0	10.24	2.5mV
0V 至 $1.5V \times V_{REF}$	6.144	0	6.144	1.5mV
0V 至 $1.25V \times V_{REF}$	5.12	0	5.12	1.25mV

6.3.9 警报功能

只要为警报功能配置了 **ALARM/SDO-1/GPO** 引脚，该器件就会在该引脚上提供高电平有效警报输出。要在多功能引脚上启用警报输出，请将 **SDO_CTL_REG** 寄存器的 **SDO1_CONFIG[1:0]** 位设置为 01b。

该器件具有两种类型的警报功能：输入警报和 **AVDD** 警报。

- 对于输入警报，监控 **ADC** 输入端的电压，并将其与用户可编程的高阈值和低阈值进行比较。当输入信号的相应数字值超过用户设置的高阈值或低阈值时，器件会设置高电平有效警报输出。有关输入警报功能的详细说明，请参阅 [输入警报](#) 部分。
- 对于 **AVDD** 警报，监控 **ADC** 模拟电源电压 (**AVDD**)，并将其与 **AVDD** 电源指定的典型阈值进行比较。低阈值为 4.7V，高阈值为 5.3V。如果 **AVDD** 值在任一方向超过指定的低阈值 (4.7V) 或高阈值 (5.3V)，则器件会设置高电平有效警报输出。

当警报功能打开时，默认启用输入警报功能和 **AVDD** 警报功能。可通过分别对 **RST_PWRCTL_REG** 寄存器的 **IN_AL_DIS** 位和 **VDD_AL_DIS** 位进行编程来选择性地禁用这些警报功能。

每个警报（输入或 **AVDD**）都有两个关联的警报标志类型：*活动* 警报标志和 *已触发* 警报标志。在 **ALARM_REG** 寄存器中读取所有警报标志。当触发关联警报时，设置这两个标志。在当前 **ADC** 转换结束时清除活动警报（如果警报情况仍然存在，则再次设置警报），但只有在读取 **ALARM_REG** 后才会清除已触发标志。

在每次转换结束时会在内部更新警报输出标志。在用户通过将 **CONVST/CS** 信号设为低电平来发起任何数据帧传输期间，读取这些输出标志。

以三种不同的方式读取警报输出标志。通过读取内部警报寄存器或通过数据输出中附加警报标志，可使用警报输出引脚读取这些标志。

- ALARM** 引脚上的高电平表示 **AVDD** 或器件模拟输入通道上存在过压或欠压情况。可以连接此引脚以中断主机输入。
- 在转换结束时更新 **ALARM_REG** 寄存器中的内部警报标志位。在输出引脚上接收到警报中断后，读取内部警报标志寄存器以了解有关生成警报条件的更多详细信息。
- 警报输出标志有选择性地附加到数据输出位流（有关配置详细信息，请参阅 **DATAOUT_CTL_REG** 寄存器）。

图 6-16 展示了器件报警功能的功能方框图。

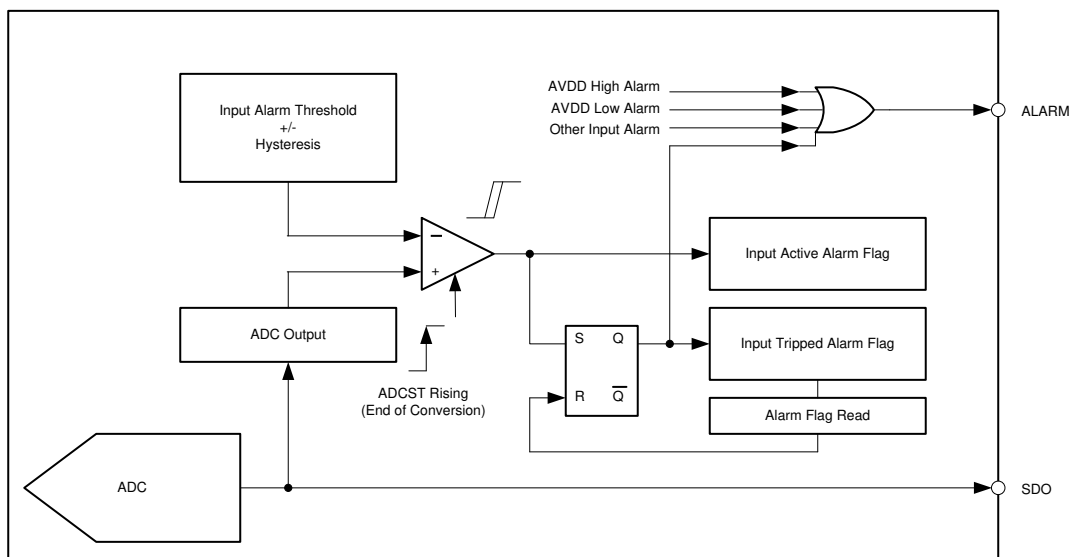


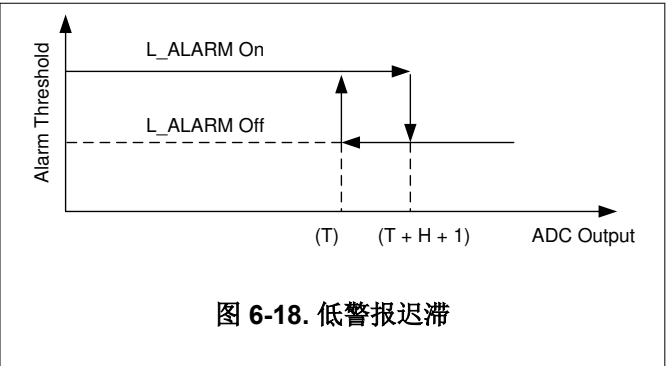
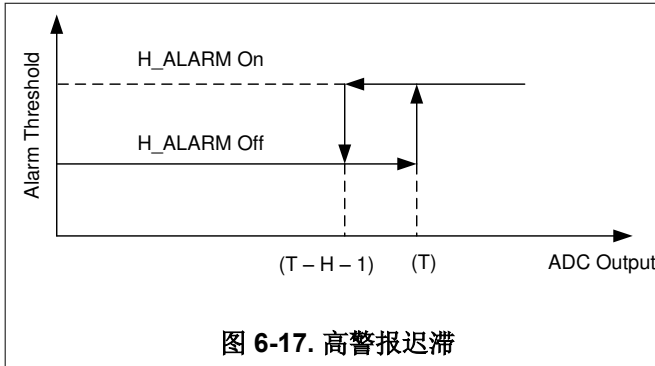
图 6-16. 警报功能原理图

6.3.9.1 输入警报

该器件在模拟输入上具有高警报和低警报。与输入信号相对应的警报具有可独立编程的阈值以及通过 [ALARM_H_TH_REG](#) 和 [ALARM_L_TH_REG](#) 寄存器控制的常见迟滞设置。

当数字输出超过高警报上限 [高警报阈值 (T)] 时，该器件会设置输入高警报。当数字输出小于或等于高警报下限 [高警报 (T) - H - 1] 时，警报会复位。图 6-17 显示了此功能。

同样，当数字输出降至低于低警报下限 [低警报阈值 (T)] 时，触发输入低警报。当数字输出大于或等于低警报上限 [低警报 (T) + H + 1] 时，警报会复位。图 6-18 显示了此功能。



6.3.9.2 AVDD 警报

该器件在模拟电压电源 AVDD 上设有高电压和低电压报警。与输入信号警报不同，AVDD 警报具有特意设置的固定跳变点。该器件特有一个内部模拟比较器，此比较器持续监视模拟电源的高低阈值电压。如果 AVDD 超过典型值 5.3V，则会设置高电平警报，如果 AVDD 降至 4.7V 以下，则会设置低电平警报。对于调试由模拟 AVDD 电源上的干扰或欠压情况引起的异常器件行为，此功能特别有用。

6.4 器件功能模式

该器件具有 multiSPI 数字接口，用于在器件和主机控制器之间进行通信和数据传输。multiSPI 接口支持多种数据传输协议，供主机用于与器件交换数据和命令。主机使用其中一种标准 SPI 模式将数据传输到器件中。但为了满足特定的应用吞吐量和延迟需求，该器件有各种配置可用于输出数据。这些模式下的数据输出由主机或器件控制，时序可以是系统同步，也可以是源同步。有关支持的数据传输协议的详细说明，请参阅[数据传输协议](#)部分。

本节介绍数字接口模块的主要元件以及支持的配置和协议。如图 6-19 所示，接口模块由移位寄存器（输入和输出）、配置寄存器和协议单元组成。在任何特定的数据帧期间，数据既会传输到器件中，也会传输到器件外。因此，主机始终将该器件视为 32 位输入输出移位寄存器。

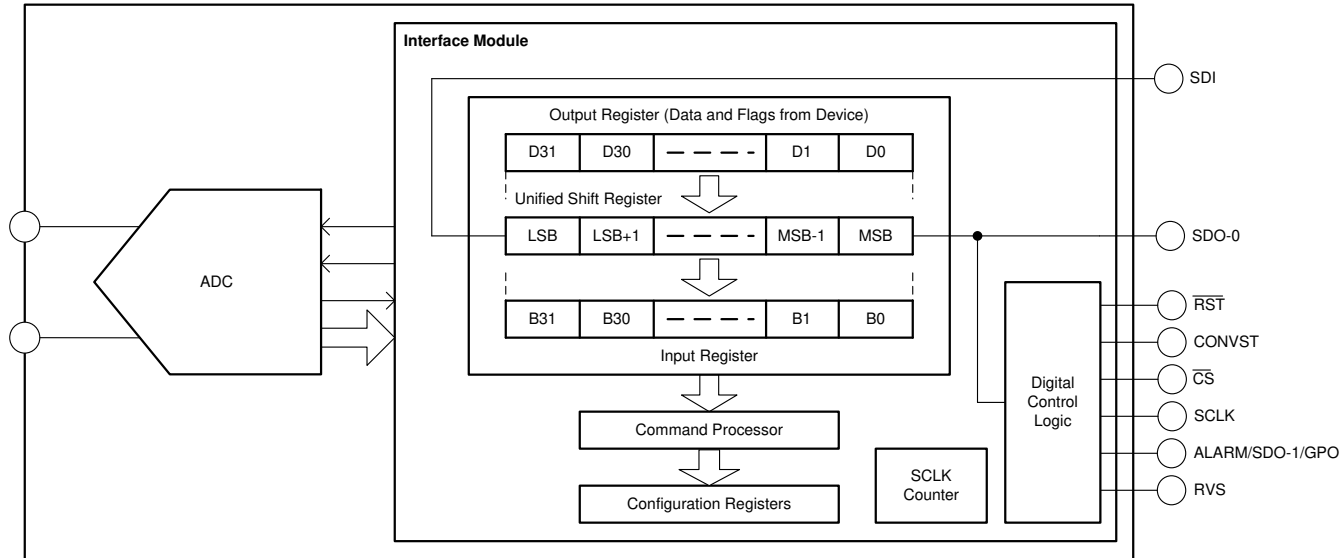


图 6-19. 器件接口模块

[引脚配置和功能](#)部分介绍了接口引脚。[数据传输帧](#)部分详细介绍了移位寄存器、SCLK 计数器和命令处理器的功能。[数据传输帧](#)部分详细介绍了支持的协议，[寄存器映射](#)部分介绍了配置寄存器和位设置。

6.4.1 主机到器件连接拓扑

multiSPI 接口和器件配置寄存器在主机控制器与器件交换数据或命令的方式上提供了极大的灵活性。本节介绍了如何选择硬件连接拓扑来满足不同的系统要求。

6.4.1.1 单个器件：所有 multiSPI 选项

图 6-20 显示为了使用 multiSPI 接口提供的所有选项，在主机控制器和独立器件之间进行的引脚连接。

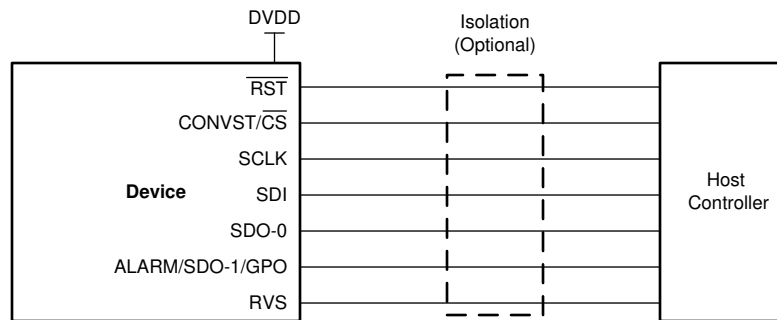


图 6-20. 所有 multiSPI 协议引脚配置

6.4.1.2 单个器件：标准 SPI 接口

图 6-21 显示了使用标准 SPI 协议的应用的最小引脚接口。

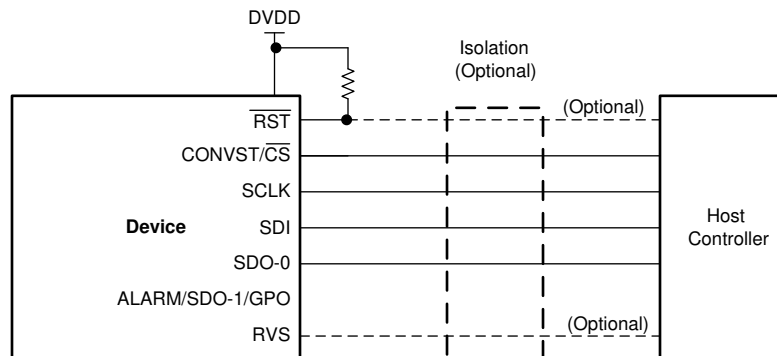


图 6-21. 标准 SPI 协议引脚配置

CONVST/CS、SCLK、SDI 和 SDO-0 引脚构成主机控制器的标准 SPI 端口。将 RST 引脚连接到 DVDD。监控 RVS 引脚以了解时序优势。请勿在 ALARM/SDO-1/GPO 引脚上放置任何外部连接。

6.4.1.3 多个器件：菊花链拓扑

图 6-22 显示了在菊花链拓扑中有多个器件的典型连接图。

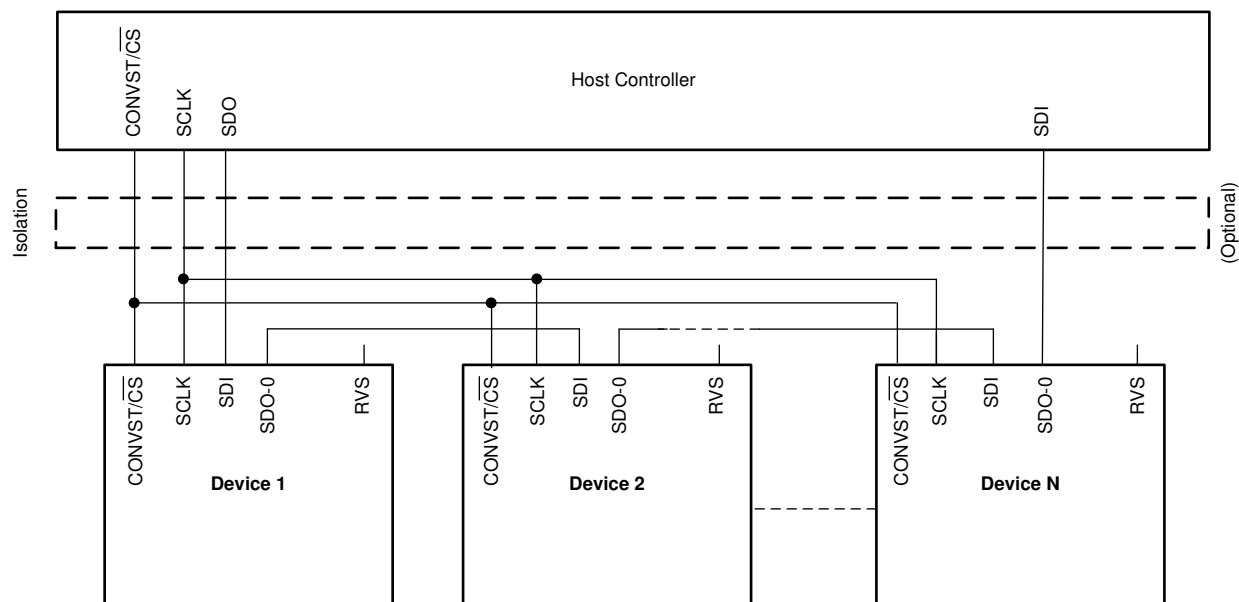


图 6-22. 菊花链连接原理图

所有器件的 $\overline{\text{CONVST/CS}}$ 和 SCLK 输入连接在一起，并分别由主机控制器的单个 $\overline{\text{CONVST/CS}}$ 和 SCLK 引脚控制。链中第一个器件（器件 1）的 SDI 输入引脚连接到主机控制器的 SDO-x 引脚。器件 1 的 SDO-0 输出引脚连接到器件 2 的 SDI 输入引脚，依此类推。链中最后一个器件（器件 N）的 SDO-0 输出引脚连接到主机控制器的 SDI 引脚。

要在菊花链拓扑中运行多个器件，主机控制器以相同的值对每个器件中的配置寄存器进行编程。这些器件以单个 SDO-0 输出运行，使用外部时钟信号，并支持使用任何与 SPI 兼容的传统协议进行数据读取和数据写入操作。在 SDO_CTL_REG 寄存器中，将位 7-0 编程为 00h。

菊花链拓扑中的所有器件在 $\overline{\text{CONVST/CS}}$ 信号的上升沿对模拟输入信号进行采样。数据传输帧从相同信号的下降沿开始。在 SCLK 信号的启动沿，链中的每个器件都将 MSB 移出到 SDO-0 引脚。在每个 SCLK 捕捉边沿，每个菊花链器件会移入在 SDI 引脚上接收的数据，作为统一移位寄存器的 LSB 位。图 6-19 展示了此过程的示意图。因此，在菊花链配置中，主机控制器先接收器件 N 的数据，然后接收器件 N-1 的数据，依此类推。此过程以 MSB 优先的方式继续进行。在 $\overline{\text{CONVST/CS}}$ 信号的上升沿，每个器件解码统一移位寄存器中的内容并采取适当的操作。

对于菊花链拓扑中连接的 N 个器件，最佳数据传输帧包含 $32 \times N$ 个 SCLK 捕捉边沿（请参阅图 6-23）。避免较短的数据传输帧，这会导致器件配置错误。对于具有超过 $32 \times N$ 个 SCLK 捕捉边沿的数据传输帧，主机控制器会适当地对齐每个器件的配置数据。然后，主机使 $\overline{\text{CONVST/CS}}$ 变为高电平。

系统的总吞吐量随着菊花链拓扑中所连接的器件数的增多而按比例减少。

图 6-23 显示了以菊花链拓扑连接并使用 SPI-00-S 协议的三个器件的典型时序图。

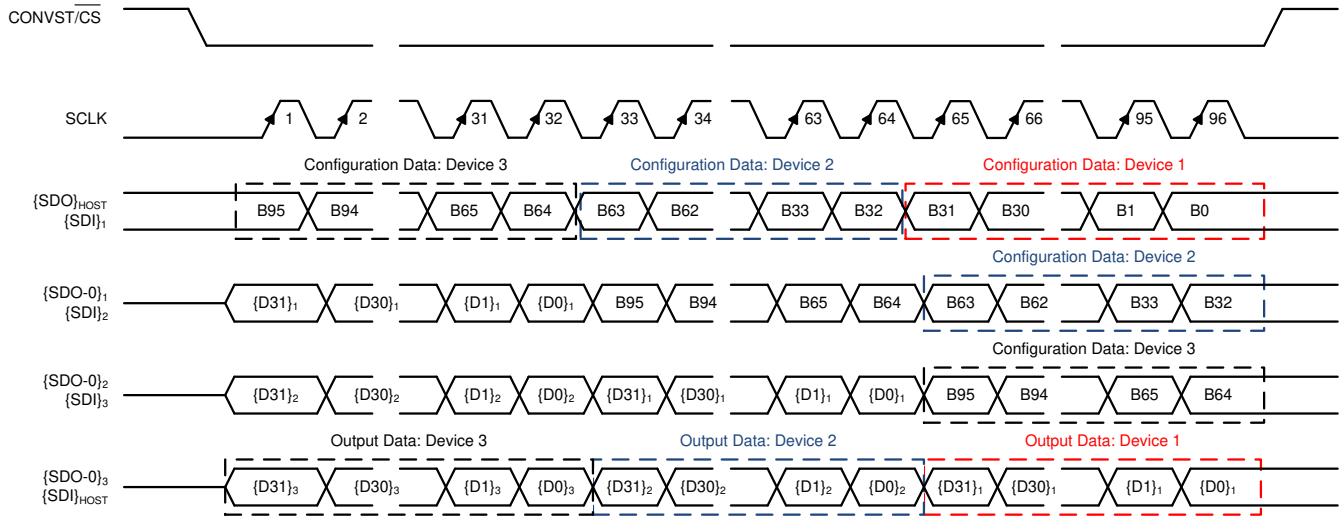


图 6-23. 菊花链模式中三个器件的时序图

6.4.2 器件工作模式

如图 6-24 所示，该器件支持三种功能状态：RESET、ACQ 和 CONV。器件状态由主机控制器提供的 CONVST/CS 和 RST 控制信号的状态决定。

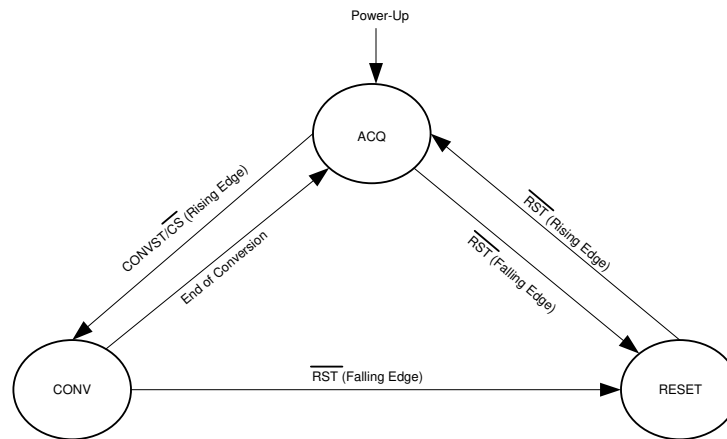


图 6-24. 器件功能状态

6.4.2.1 RESET 状态

该器件有一个低电平有效 $\overline{\text{RST}}$ 引脚，该引脚是一个异步数字输入。要进入 RESET 状态，请拉低 $\overline{\text{RST}}$ 引脚并在 $t_{\text{wl_RST}}$ 时段内保持低电平（如 [开关特性](#) 表中所指定）。

该器件有两种不同类型的复位功能：应用程序复位或上电复位 (POR)。 $\overline{\text{RST}}$ 引脚的功能由 [RST_PWRCTL_REG](#) 寄存器中的 RSTn_APP 位的状态来决定。

- 要配置 $\overline{\text{RST}}$ 引脚以发出应用程序复位命令，请将 [RST_PWRCTL_REG](#) 寄存器中的 RSTn_APP 位配置为 1b。在此 RESET 状态下，所有配置寄存器（请参阅 [寄存器映射](#)）均重置为默认值， RVS 引脚保持低电平， SDO-x 引脚为三态。
- $\overline{\text{RST}}$ 引脚的默认配置在拉至低电平时发出上电复位命令。在此状态下， RSTn_APP 位设置为 0b。发出 POR 后，所有内部器件电路（包括 PGA、ADC 驱动器和电压基准）都会复位。当器件退出 POR 状态时，需要保持长度为 $t_{\text{D_RST_POR}}$ 的持续时间，以便内部电路能够准确地稳定下来。请参阅 [开关特性](#) 表以了解 $t_{\text{D_RST_POR}}$ 持续时间。

要退出任何 RESET 状态，请在 $\text{CONVST}/\overline{\text{CS}}$ 和 SCLK 保持低电平时将 $\overline{\text{RST}}$ 引脚拉至高电平。在经过 $t_{\text{D_RST_POR}}$ 或 $t_{\text{D_RST_APP}}$ 延迟（请参阅 [开关特性](#) 表）后，器件会进入 ACQ 状态且 RVS 引脚变为高电平。

要在其他两种状态（ACQ 或 CONV）中的任一种状态下运行器件，请将 $\overline{\text{RST}}$ 引脚保持在高电平。当 $\overline{\text{RST}}$ 引脚保持高电平时， $\text{CONVST}/\overline{\text{CS}}$ 引脚上的转换决定了器件的功能状态。[图 5-1](#) 展示了典型转换周期。

6.4.2.2 ACQ 状态

在 ACQ 状态下，器件获取模拟输入信号。在任何异步复位之后或每次转换结束后，上电时器件都会进入 ACQ 状态。

$\overline{\text{RST}}$ 下降沿使器件从 ACQ 状态进入 RESET 状态。 $\text{CONVST}/\overline{\text{CS}}$ 信号的上升沿使器件从 ACQ 状态进入 CONV 状态。

该器件提供低功耗 NAP 模式来降低 ACQ 状态下的功耗。有关 NAP 模式的更多详细信息，请参阅 [NAP 模式](#) 部分。

6.4.2.3 CONV 状态

该器件在 $\text{CONVST}/\overline{\text{CS}}$ 信号的上升沿从 ACQ 状态切换至 CONV 状态。转换过程使用内部时钟，并且器件会忽略 $\text{CONVST}/\overline{\text{CS}}$ 信号的任何进一步转换，直至正在进行的转换完成。也就是说，器件会忽略 t_{conv} 时段内的任何进一步转换。

转换结束时，器件进入 ACQ 状态。[方程式 1](#) 给出了器件的周期时间：

$$t_{\text{cycle-min}} = t_{\text{conv}} + t_{\text{acq-min}} \quad (1)$$

备注

转换时间 t_{conv} 在 $t_{\text{conv_min}}$ 至 $t_{\text{conv_max}}$ 的指定限值范围内变化（如 [开关特性](#) 表中所指定）。启动转换后，主机控制器会监测 RVS 引脚上从低电平到高电平的转换，或等待 $t_{\text{conv_max}}$ 时间结束。然后，主机发起一个新操作（数据传输或转换）。如果未监测 RVS ，则将 [方程式 1](#) 中的 t_{conv} 替换为 $t_{\text{conv_max}}$ 。

6.5 编程

该器件具有九个配置寄存器（如 [寄存器映射](#) 部分所述），支持两种类型的数据传输操作。这些操作包括数据写入（主机配置器件）和数据读取（主机从器件读取数据）。

6.5.1 数据传输帧

器件和主机控制器之间的数据传输帧从 $\text{CONVST}/\overline{\text{CS}}$ 引脚的下降沿开始。当器件在随后的上升沿开始转换时，此帧结束。主机控制器通过在 CONV 阶段结束后将 $\text{CONVST}/\overline{\text{CS}}$ 信号拉至低电平（[图 6-25](#)）来启动数据传输帧。[CONV 状态](#) 部分说明了此过程。

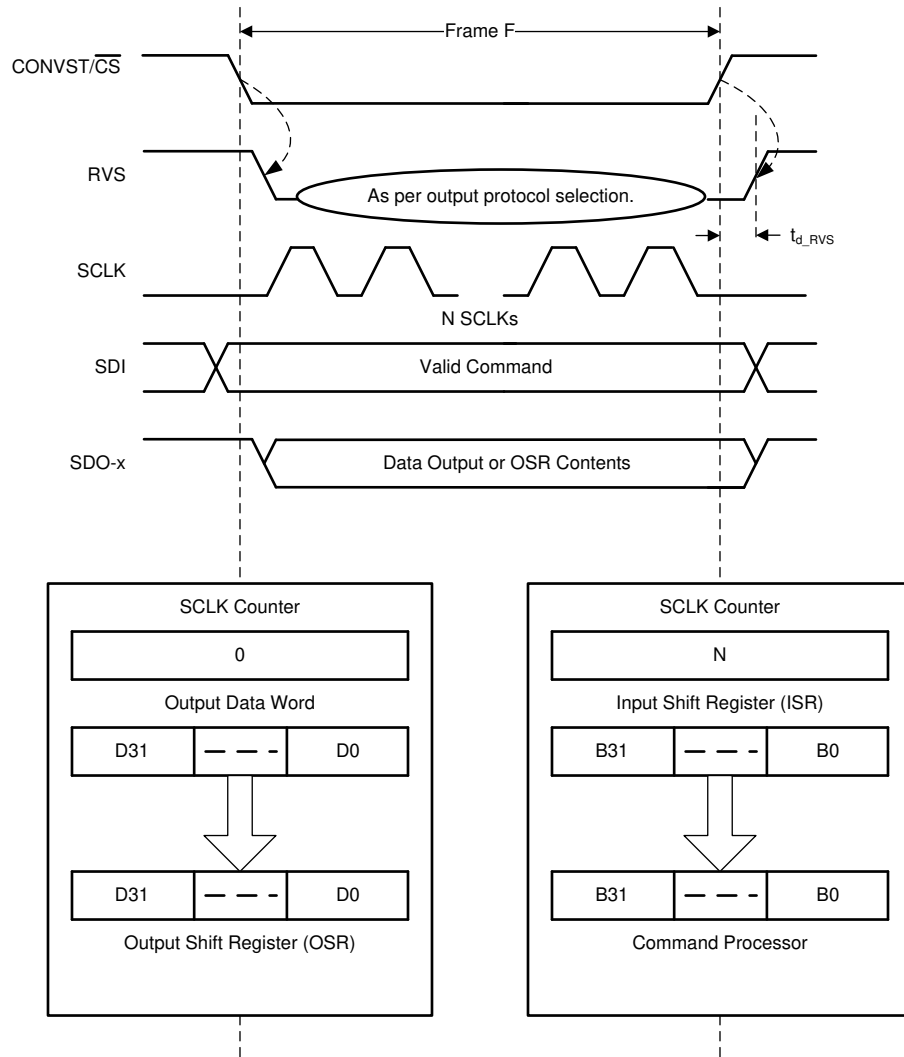


图 6-25. 数据传输帧

对于典型的数据传输帧 F：

1. 主机控制器将 CONVST/ $\overline{\text{CS}}$ 拉至低电平，以便启动数据传输帧。在 CONVST/ $\overline{\text{CS}}$ 信号的下降沿：
 - RVS 变为低电平，指示数据传输帧开始。
 - 内部 SCLK 计数器复位为 0。
 - 器件控制数据总线。如图 6-25 所示，输出数据字的内容加载到 32 位输出移位寄存器 (OSR) 中。
 - 内部配置寄存器复位为 0000h，相当于执行了一个 NOP 命令。
2. 在数据帧期间，主机控制器在 SCLK 引脚上提供时钟信号：
 - 在每个 SCLK 捕获边沿，SCLK 计数器递增。然后，在 SDI 引脚上接收到的数据位移入输入移位寄存器的 LSB。
 - 在输出时钟的每个启动边沿，输出移位寄存器数据的 MSB 在选定的 SDO-x 引脚上移出。在本例中，SCLK 是输出时钟。
 - RVS 引脚的状态取决于输出协议选择（请参阅 [从器件读取数据时使用的协议](#) 部分）。
3. 主机控制器将 CONVST/ $\overline{\text{CS}}$ 引脚拉至高电平以结束数据传输帧。在 CONVST/ $\overline{\text{CS}}$ 的上升沿：
 - SDO-x 引脚进入三态。
 - 如图 6-25 所示，输入移位寄存器的内容传输至命令处理器以进行解码和进一步操作。
 - RVS 输出变为低电平，指示转换开始。

将 CONVST/ $\overline{\text{CS}}$ 拉为高电平后，主机控制器会监测 RVS 引脚上的从低电平到高电平转换。或者，主机控制器会等待 $t_{\text{conv_max}}$ 时间（请参阅 [开关特性](#) 表）结束，然后再启动新的数据传输帧。

在数据传输帧 F 结束时：

- 如果 SCLK 计数器为 32，则器件会将帧 F 视为任何读取或写入操作的最优数据传输帧。在最优数据传输帧结束时，命令处理器将 32 位输入移位寄存器内容视为有效命令字。
- 如果 SCLK 计数器小于 32，则器件会将帧 F 视为短数据传输帧。
 - 对器件的数据写入操作无效，器件将此帧视为 NOP 命令。
 - 在短帧期间，SDO-x 引脚上传输的输出数据位仍然是有效数据。主机控制器使用短数据传输帧从 32 位输出移位寄存器中仅读取所需数量的 MSB 位。
- 如果 SCLK 计数器大于 32，则器件会将帧 F 视为长数据传输帧。在长数据传输帧结束时，命令处理器将 32 位输入移位寄存器内容视为有效命令字。任何数据传输帧 F 中提供的最大时钟数没有限制。当主机提供长数据传输帧时，在 CONVST/ $\overline{\text{CS}}$ 上升沿之前移入器件的最后 32 位构成所需命令。

6.5.2 输入命令字和寄存器写入操作

对器件的任何数据写入操作始终同步到 SCLK 引脚上提供的外部时钟。

该器件允许在任何器件编程操作期间读取或写入一个字节或两个字节（相当于半个字）。表 6-5 列出了器件支持的输入命令。与在一个操作中读取或写入两个字节相关的输入命令以 **HWORD** 为后缀。

对于任何 HWORD 命令，始终忽略 9 位地址的 LSB 并将其视为 0b。例如，无论为任何特定 HWORD 命令输入了地址 04h 还是地址 05h，器件始终在地址 04h 上执行命令。

表 6-5. 输入命令列表

操作码 B[31:0]	命令首字母缩写词	命令描述
00000000_00000000_00000000_00000000	NOP	无操作
11000_xx_<9 位地址>_<16 位数据> ⁽¹⁾	CLEAR_HWORD	- 用于清除寄存器的任何（或一组）位的命令。 - 数据字段中任何标记为 1 的位都会导致指定寄存器的这个特定位复位为 0。其他位保持不变。 - 半字命令（即，这些命令功能每次处理 16 位的数据）。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。⁽²⁾
11001_xx_<9 位地址>_00000000_00000000	READ_HWORD	- 用于执行 16 位读取操作的命令。 - 半字命令（即，器件一次输出 16 位寄存器数据）。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。 - 收到此命令后，器件在下一帧中发送寄存器的 16 位。
01001_xx_<9 位地址>_00000000_00000000	读取	与 READ_HWORD 相同，唯一的例外是在下一帧中仅返回寄存器的八位（字节读取）。
11010_00_<9 位地址>_<16 位数据>	写入	- 半字写入命令（两个字节的输入数据写入到指定的地址）。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。
11010_01_<9 位地址>_<16 位数据>		- 半字写入命令。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。 - 使用此命令时，仅在指定寄存器地址写入 16 位数据字的 MS 字节。忽略 LSB。
11010_10_<9 位地址>_<16 位数据>		- 半字写入命令。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。 - 使用此命令时，仅在指定寄存器地址写入 16 位数据字的 LSB。忽略 MSB。
11011_xx_<9 位地址>_<16 位数据>	SET_HWORD	- 用于设置寄存器的任何（或一组）位的命令。 - 数据字段中任何标记为 1 的位都会导致指定寄存器的这个特定位设置为 1。其他位保持不变。 - 半字命令（即，这些命令功能每次处理 16 位的数据）。 - 始终忽略 9 位地址的 LSB 并将其视为 0b。
所有其他输入命令组合	NOP	无操作

(1) 通过在 MSB 位置添加一个 0，后跟 8 位寄存器地址来实现 <9 位地址>，如表 7-1 中所定义。寄存器 0x04h 的 <9 位地址> 为 0x0-0000-0100b。

(2) HWORD 命令在寄存器映射中的一组 16 位上运行，该映射通常标识为两个各含八位的寄存器。例如，对于 RST_PWRCTL_REG 寄存器的位 15:0，对命令 11000_xx_<0_0000_0101><16 位数据> 的处理方式与命令 11000_xx_<0_0000_0100><16 位数据> 相同。

验证用于配置内部寄存器的所有输入命令（包括表 6-5 中列出的 CLEAR_HWORD、WRITE 和 SET_HWORD 命令）长度均为 32 位。如果在特定数据帧 F 中提供了这些命令中的任何一个，则该命令将在 CONVST/CS 信号的上升沿执行。

6.5.3 输出数据字

通过对配置寄存器进行编程，从器件读取的数据同步到 SCLK 引脚上的外部时钟或内部器件时钟。有关详细信息，请参阅 [数据传输协议](#) 部分。

在任何数据传输帧中，内部输出移位寄存器的内容都在 SDO-x 引脚上移出。任何帧 (F+1) 的输出数据由帧 F 中发出的命令和 DATA_VAL[2:0] 位的状态决定：

- 如果 DATAOUT_CTL_REG 寄存器中的 DATA_VAL[2:0] 位设置为 1xxb，则帧 (F+1) 的输出数据字包含固定的数据模式。
- 如果在帧 F 中发出有效的 READ 命令，则帧 (F+1) 的输出数据字包含 8 位寄存器数据，后跟 0。
- 如果在帧 F 中发出有效的 READ_HWORD 命令，则帧 (F+1) 的输出数据字包含 16 位寄存器数据，后跟 0。
- 对于所有其他组合，帧 (F+1) 的输出数据字包含最新的 16 位转换结果。对 DATAOUT_CTL_REG 寄存器进行编程，以便将各种数据标志附加到转换结果。按照以下顺序附加数据标志：
 1. 如果 DEVICE_ADDR_INCL 位设置为 1，则附加 DEVICE_ADDR[3:0] 位。
 2. 如果 RANGE_INCL 位设置为 1，则附加 ADC 输入范围标志。
 3. 如果 VDD_ACTIVE_ALARM_INCL 位设置为 1，则附加 AVDD 警报标志。
 4. 如果 IN_ACTIVE_ALARM_INCL 位设置为 1，则附加输入警报标志。
 5. 如果 PAR_EN 位设置为 1，则附加奇偶校验位。
 6. 32 位输出数据字中的所有剩余位都设置为 0。

表 6-6 显示了已启用所有数据标志的输出数据字。

表 6-6. 已启用所有数据标志的输出数据字

DEVICE_ADDR_INCL = 1b , VDD_ACTIVE_ALARM_INCL = 1b , IN_ACTIVE_ALARM_INCL = 1b , RANGE_INCL = 1b , PAR_EN = 1b						
D[31:16]	D[15:12]	D[11:8]	D[7:6]	D[5:4]	D[3:2]	D[1:0]
转换结果	器件地址	ADC 输入范围	AVDD 警报标志	输入警报标志	奇偶校验位	00b

表 6-7 显示了仅启用部分数据标志的输出数据字。

表 6-7. 仅启用部分数据标志的输出数据字

DEVICE_ADDR_INCL = 0b , VDD_ACTIVE_ALARM_INCL = 1b , IN_ACTIVE_ALARM_INCL = 0b , RANGE_INCL = 1b , PAR_EN = 1b				
D[31:16]	D[15:12]	D[11:10]	D[9:8]	D[7:0]
转换结果	ADC 输入范围	AVDD 警报标志	奇偶校验位	00000000b

6.5.4 数据传输协议

该器件具有一个 multiSPI 接口。借助此接口，主机控制器能够以较慢的 SCLK 速度运行，并仍然以更快的响应时间实现所需的周期时间。

- 对于任何数据写入操作，主机控制器使用四种传统的 SPI 兼容协议中的任何一种来配置器件。[配置器件的协议](#)部分介绍了这些协议。
- 对于从器件进行的任何数据读取操作，multiSPI 接口模块提供以下选项：
 - 具有单个 SDO-x 的传统 SPI 兼容协议 (请参阅 [支持单 SDO-x 的传统、SPI 兼容 \(SYS-xy-S\) 协议](#) 部分)
 - 具有双 SDO-x 的传统 SPI 兼容协议 (请参阅 [支持双 SDO-x 的传统、SPI 兼容 \(SYS-xy-S\) 协议](#) 部分)
 - 用于数据传输的 ADC 控制器时钟或源同步 (SRC) 协议 (请参阅 [源同步 \(SRC\) 协议](#) 部分)

6.5.4.1 配置器件的协议

如表 6-8 所述，主机控制器使用四种与 SPI 兼容的传统协议中的任何一种将数据写入器件。这些协议是 SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S。

表 6-8. 用于配置器件的 SPI 协议

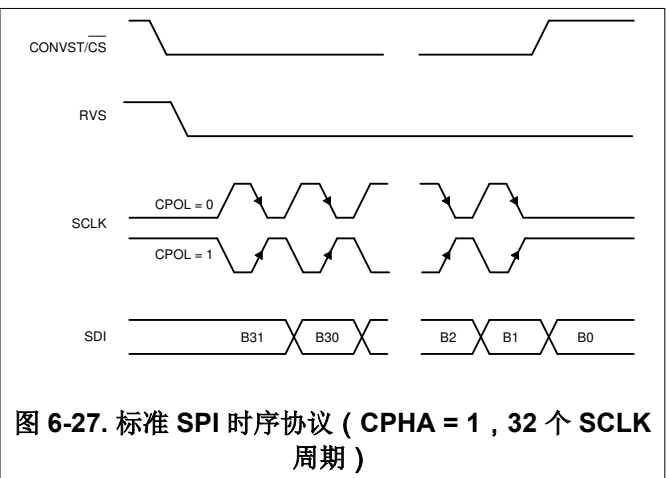
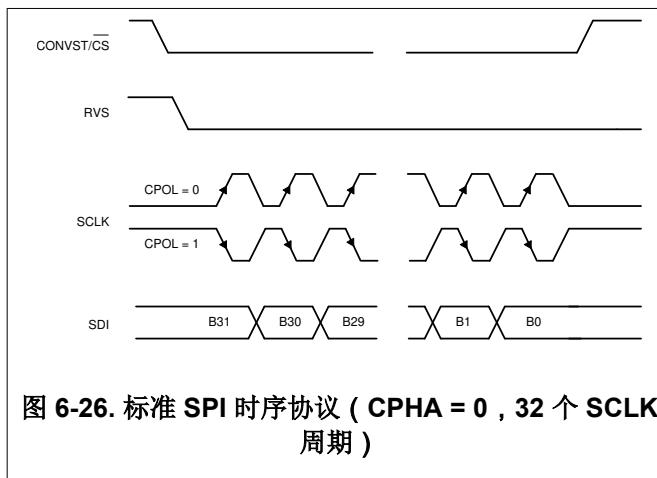
协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	SDI_CTL_REG	SDO_CTL_REG	示意图
SPI-00-S	低	上升	00h	00h	图 6-26
SPI-01-S	低	下降	01h	00h	图 6-26
SPI-10-S	高	下降	02h	00h	图 6-27
SPI-11-S	高	上升	03h	00h	图 6-27

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。要选择不同的 SPI 兼容协议，请对 [SDI_CNTL_REG](#) 寄存器中的 SDI_MODE[1:0] 位进行编程。这个首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都遵循新选择的协议。通过 SDI_MODE[1:0] 的配置所选择的 SPI 协议适用于读取和写入操作。

[图 6-26](#) 和 [图 6-27](#) 详细说明了使用最优数据帧的四种协议；有关相关时序参数的信息，请参阅 [开关特性](#) 表。

备注

对器件的有效写操作要求在数据传输帧内至少提供 32 个 SCLK。有关详细信息，请参阅 [数据传输帧](#) 部分。



6.5.4.2 从器件读取数据时使用的协议

数据读取操作的协议大致分为三类：

1. 支持单 SDO-x 的传统、SPI 兼容协议
2. 支持双 SDO-x 的传统、SPI 兼容协议
3. 用于数据传输的 ADC 控制器时钟或源同步 (SRC) 协议

6.5.4.2.1 支持单 SDO-x 的传统、SPI 兼容 (SYS-xy-S) 协议

如表 6-9 所示，主机控制器使用四种传统的 SPI 兼容协议中的任何一种从器件中读取数据。这些协议是 SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S。

表 6-9. 用于从器件读取的 SPI 协议

协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CTL_REG	SDO_CTL_REG	示意图
SPI-00-S	低	上升	$\overline{\text{CS}}$ 下降	00h	00h	图 6-28
SPI-01-S	低	下降	第 1 个 SCLK 上升	01h	00h	图 6-28
SPI-10-S	高	下降	$\overline{\text{CS}}$ 下降	02h	00h	图 6-29
SPI-11-S	高	上升	第 1 个 SCLK 下降	03h	00h	图 6-29

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。若要为两种数据传输操作选择不同的 SPI 兼容协议：

1. 对 SDI_CTL_REG 寄存器中的 SDI_MODE[1:0] 位进行编程。这个首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都遵循新选择的协议。
2. 设置 SDO_CTL_REG 寄存器中的 SDO_MODE[1:0] 位 = 00b。

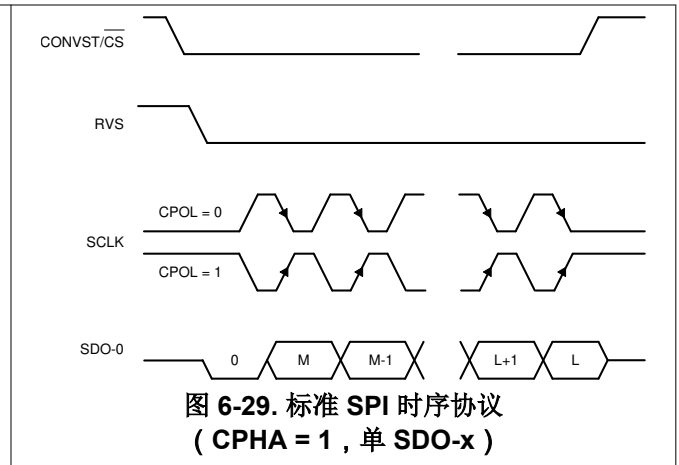
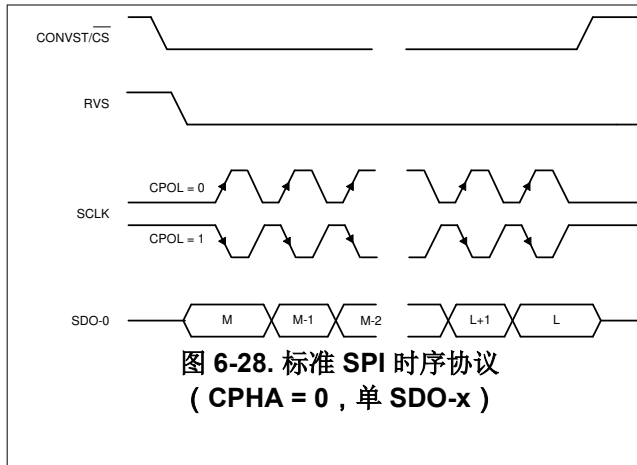
备注

通过配置 SDI_CTL_REG 寄存器中的 SDI_MODE[1:0] 位来选择的 SPI 传输协议将确定写入和读取操作的数据传输协议。从器件读取数据，或选择其中一种 SRC 协议进行数据读取，如源同步 (SRC) 协议部分所述。从器件读取数据时，通过配置 SDO_CTL_REG 寄存器中的 SDO_MODE[1:0] 位 = 00b 来使用所选的 SPI 协议。

当使用任何与 SPI 兼容的协议时，RVS 输出在整个数据传输帧内保持低电平。若要了解相关的时序参数，请参阅开关特性表。

图 6-28 和图 6-29 说明了四个协议的详细信息。主机控制器使用短数据传输帧从 32 位输出数据字中仅读取所需数量的 MSB 位。有关详细信息，请参阅数据传输帧部分

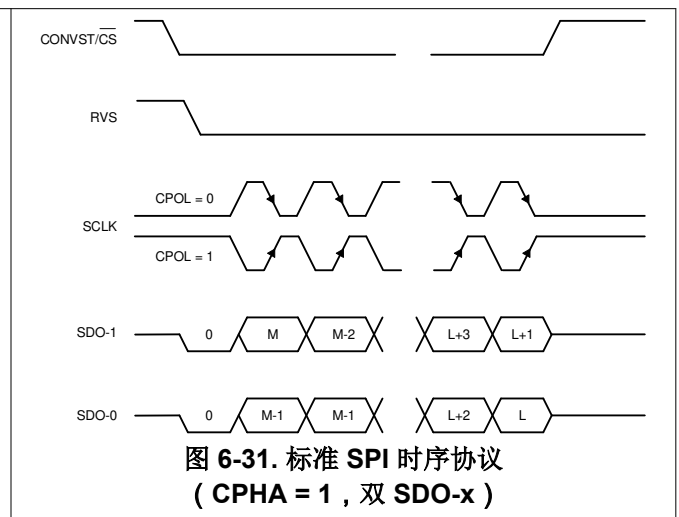
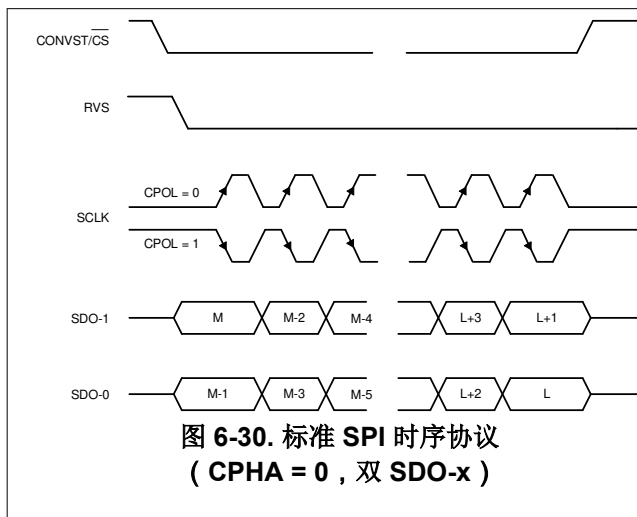
如果主机控制器在 SDO_CNTL_REG[7:0] = 00h 时使用长数据传输帧，则器件以菊花链运行。请参阅多个器件：菊花链拓扑部分。



6.5.4.2.2 支持双 SDO-x 的传统、SPI 兼容 (SYS-xy-S) 协议

或者, 在使用任何数据传输协议运行时, 该器件可以选择将 SDO-x 总线宽度从一位增加到两位 (双 SDO-x)。默认总线宽度为一位 (单 SDO-x)。要在双 SDO 模式下运行器件, 请将 SDO_CTL_REG 寄存器中的 SDO1_CONFIG[1:0] 位设置为 11b。在此模式下, ALARM/SDO-1/GPO 引脚用作 SDO-1。

在双 SDO 模式下, 在每个 SCLK 启动沿上的两个 SDO-x 引脚 (SDO-0 和 SDO-1) 启动两位数据。图 6-30 和图 6-31 显示了双 SDO 模式的时序图。



备注

对于任何特定的 SPI 协议, 器件都遵循单 SDO 和双 SDO 模式的相同时序规格。唯一的区别是, 在单 SDO 模式下, 器件需要一半的 SCLK 周期来输出相同数量的位。因此, 对于 ADC 的特定采样率, 所需的最小 SCLK 频率会降低。

6.5.4.2.3 源同步 (SRC) 协议

multiSPI 接口支持 ADC 控制器时钟或源同步模式，用于器件和主机控制器之间的数据传输。在此模式下，器件提供与输出数据同步的输出时钟。此外，主机控制器还在此工作模式下选择输出时钟源和数据总线宽度选项。在所有 SRC 运行模式中，RVS 引脚提供输出时钟，与器件数据输出同步。

SRC 协议允许配置时钟源（内部或外部）和输出总线宽度，类似于 SPI 协议。

6.5.4.2.3.1 输出时钟源选项

该器件让 RVS 引脚上的输出时钟可与外部时钟或器件内部时钟同步。在这种情况下，在 SCLK 引脚上提供外部时钟。通过配置 SSYNC_CLK 位来完成此选择，如 SDO_CTL_REG 寄存器部分所述。图 5-7 和 开关特性 表中提供了在外部 CLK 模式下使用 SRC 协议运行器件的时序图和规格。图 5-8 和 开关特性 表中提供了在内部 CLK 模式下使用 SRC 协议运行器件的时序图和规格。

6.5.4.2.3.2 输出总线宽度选项

或者，在使用任何 SRC 协议运行时，该器件可以选择将 SDO-x 总线宽度从一位增加到两位（双 SDO-x）。默认总线宽度为一位（单 SDO-x）。要在双 SDO 模式下运行器件，请将 SDO_CTL_REG 寄存器中的 SDO1_CONFIG[1:0] 位设置为 11b。在此模式下，ALARM/SDO-1/GPO 引脚用作 SDO-1。

备注

对于任何特定的 SRC 协议，器件都遵循单 SDO 和双 SDO 模式的相同时序规格。唯一的区别是，在单 SDO 模式下，器件需要一半的时钟周期来输出相同数量的位。因此，对于 ADC 的特定采样率，所需的最小时钟频率会降低。

7 寄存器映射

7.1 器件配置和寄存器映射

该器件具有九个配置寄存器，映射过程如表 7-1 中所述。每个配置寄存器由四个寄存器组成，每个寄存器包含一个数据字节。

表 7-1. 配置寄存器映射

地址	寄存器名称	寄存器功能
00h	DEVICE_ID_REG	器件 ID 寄存器
04h	RST_PWRCTL_REG	复位和电源控制寄存器
08h	SDI_CTL_REG	SDI 数据输入控制寄存器
0Ch	SDO_CTL_REG	SDO-x 数据输入控制寄存器
10h	DATAOUT_CTL_REG	输出数据控制寄存器
14h	RANGE_SEL_REG	输入范围选择控制寄存器
20h	ALARM_REG	警报输出寄存器
24h	ALARM_H_TH_REG	警报高阈值和迟滞寄存器
28h	ALARM_L_TH_REG	警报低阈值寄存器

表 7-2 列出了配置寄存器的访问代码。

表 7-2. 寄存器部分访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
-n		复位后的值或默认值

7.1.1 DEVICE_ID_REG 寄存器 (地址 = 00h)

此寄存器包含的唯一标识号对应于在涉及多个器件的菊花链配置中使用的器件。

位 7-0、15-8、23-16 和 31-24 的地址分别为 00h、01h、02h 和 03h。

图 7-1. DEVICE_ID_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								保留				DEVICE_ADDR[3:0]			
R-00h								R-0000b				R/W-0000b			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															
R-0000h															

表 7-3. DEVICE_ID_REG 寄存器字段说明

位	字段	类型	复位	说明
31-24	保留	R	00h	保留。读取返回 00h。
23-20	保留	R	0000b	保留。读取返回 0000b。
19-16	DEVICE_ADDR[3:0] ⁽¹⁾	R/W	0000b	这些位标识系统中多达 16 个不同的器件。
15-0	保留	R	0000h	保留。读取返回 0000h。

(1) 这些位在菊花链模式下很有用。

7.1.2 RST_PWRCTL_REG 寄存器 (地址 = 04h)

此寄存器控制由转换器提供的复位和掉电功能。

对 RST_PWRCTL_REG 寄存器执行写入操作之前要进行写入操作，将寄存器地址设置为 05h，寄存器数据设置为 69h。

位 7-0、15-8、23-16 和 31-24 的地址分别为 04h、05h、06h 和 07h。

图 7-2. RST_PWRCTL_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKEY[7:0]								保留	VDD_AL_DIS	IN_AL_DIS	保留	RSTn_APP	NAP_EN	PWRDN	
R/W-00h								R-00b	R/W-0b	R/W-0b	R-0b	R/W-<0>b	R/W-<0>b	R/W-0b	

表 7-4. RST_PWRCTL_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0000h。
15-8	WKEY[7:0]	R/W	00h	此值充当保护密钥，可用来启用对位 5-0 的写入。 仅当 WKEY 先设置为 69h 时，才写入位。
7-6	保留	R	00b	保留。读取返回 00b
5	VDD_AL_DIS	R/W	0b	0b = 启用 VDD 警报 1b = 禁用 VDD 警报
4	IN_AL_DIS	R/W	0b	0b = 启用输入警报 1b = 禁用输入警报
3	保留	R	0b	保留。读取返回 0h。
2	RSTn_APP ⁽¹⁾	R/W	0b	0b = $\overline{\text{RST}}$ 引脚用作 POR 类复位 (导致器件完全初始化) 1b = $\overline{\text{RST}}$ 引脚用作应用程序复位 (仅清除用户编程的模式)
1	NAP_EN ⁽²⁾	R/W	0b	0b = 禁用转换器的 NAP 模式 1b = 如果在当前转换完成后 $\text{CONVST}/\overline{\text{CS}}$ 保持高电平，则使转换器进入 NAP 模式
0	PWRDN ⁽²⁾	R/W	0b	0b = 将转换器置于活动模式 1b = 将转换器置于掉电模式

(1) 设置此位将强制 $\overline{\text{RST}}$ 引脚用作应用程序复位功能，直至下一次下电上电。

(2) 请参阅 表，了解进入和退出相关低功耗模式时所遇到延迟的详细信息。

7.1.3 SDI_CTL_REG 寄存器 (地址 = 08h)

此寄存器配置用于向器件写入数据的协议。

位 7-0、15-8、23-16 和 31-24 的地址分别为 08h、09h、0Ah 和 0Bh。

图 7-3. SDI_CTL_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								保留						SDI_MODE [1:0]	
R-00h								R-000000b						R/W-<00>b	

表 7-5. SDI_CTL_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0000h。
15-8	保留	R	00h	保留。读取返回 00h。
7-2	保留	R	000000b	保留。读取返回 000000b。
1-0	SDI_MODE[1:0]	R/W	00b	这些位选择从器件读取或写入器件时所用的协议。 00b = 标准 SPI 且 CPOL = 0 和 CPHASE = 0 01b = 标准 SPI 且 CPOL = 0 和 CPHASE = 1 10b = 标准 SPI 且 CPOL = 1 和 CPHASE = 0 11b = 标准 SPI 且 CPOL = 1 和 CPHASE = 1

7.1.4 SDO_CTL_REG 寄存器 (地址 = 0Ch)

此寄存器控制从器件的 SDO-x 引脚发送数据时所用的数据协议。

位 7-0、15-8、23-16 和 31-24 的地址分别为 0Ch、0Dh、0Eh 和 0Fh。

图 7-4. SDO_CTL_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
保留																	
R-0000h																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
保留			GPO_VAL		保留		SDO1_CONFIG [1:0]		保留		SSYNC_CLK		保留			SDO_MODE[1:0]	
R-000b			R/W-0b		R-00b		R/W-00b		R-0b		R/W-<0>b		R-0h			R/W-<0>b	

表 7-6. SDO_CTL_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0h。
15-13	保留	R	000b	保留。读取返回 000b。
12	GPO_VAL	R/W	0b	GPO 引脚上输出的 1 位值。
11-10	保留	R	00b	保留。读取返回 00b。
9-8	SDO1_CONFIG[1:0]	R/W	00b	两位配置 ALARM/SDO-1/GPO : 00b = SDO-1 始终处于三态 ; 1 位 SDO 模式 01b = SDO-1 用作 ALARM ; 1 位 SDO 模式 10b = SDO-1 用作 GPO ; 1 位 SDO 模式 11b = SDO-1 与 SDO-0 结合来提供 2 位 SDO 模式
7	保留	R	0b	保留。读取返回 0b。
6	SSYNC_CLK ⁽¹⁾	R/W	0b	此位控制为源同步传输所选时钟的源。 0b = 外部时钟 (无分频) 1b = 内部时钟 (无分频)
5-2	保留	R	0000b	保留。读取返回 0000b。
1-0	SDO_MODE[1:0]	R/W	00b	这些位控制器件的数据输出模式。 0xb = SDO 模式遵循与 SDI 相同的 SPI 协议 ; 请参阅 SDI_CTL_REG 寄存器 10b = 无效配置 11b = SDO 模式, 遵循 ADC 控制器时钟或源同步协议

(1) 此位仅在 ADC 控制器时钟或源同步运行模式下生效。

7.1.5 DATAOUT_CTL_REG 寄存器 (地址 = 10h)

此寄存器控制器件输出的数据。

位 7-0、15-8、23-16 和 31-24 的地址分别为 10h、11h、12h 和 13h。

图 7-5. DATAOUT_CTL_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	DEVICE_ADDR_INCL	VDD_ACTIVE_ALARM_INCL[1:0]	IN_ACTIVE_ALARM_INCL[1:0]		保留	RANGE_INCL	保留				PAR_EN	DATA_VAL[2:0]			
R-0b	R/W-0b	R/W-0b		R/W-0b		R-0b	R/W-0b	R-0000b				R/W-<0>b	R/W-000b		

表 7-7. DATAOUT_CTL_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0000h。
15	保留	R	0b	保留。读取返回 0b。
14	DEVICE_ADDR_INCL	R/W	0b	控制是否在 SDO-x 输出位流中包括 4 位 DEVICE_ADDR 寄存器值。 0b = 不包括寄存器值 1b = 包括寄存器值
13-12	VDD_ACTIVE_ALARM_INCL[1:0]	R/W	00b	控制是否在 SDO-x 输出位流中包括活动 VDD ALARM 标志。 00b = 不包括 01b = 包括 ACTIVE_VDD_H_FLAG 10b = 包括 ACTIVE_VDD_L_FLAG 11b = 包括两个标志
11-10	IN_ACTIVE_ALARM_INCL[1:0]	R/W	00b	控制是否在 SDO-x 输出位流中包括活动输入 ALARM 标志。 00b = 不包括 01b = 包括 ACTIVE_IN_H_FLAG 10b = 包括 ACTIVE_IN_L_FLAG 11b = 包括两个标志
9	保留	R	0b	保留。读取返回 0h。
8	RANGE_INCL	R/W	0b	控制是否在 SDO-x 输出位流中包括 4 位输入范围设置。 0b = 不包括范围配置寄存器值 1b = 包括范围配置寄存器值
7-4	保留	R	0000b	保留。读取返回 0000b。
3	PAR_EN ⁽¹⁾	R/W	0b	0b = 输出数据不包含奇偶校验信息 1b = 两个奇偶校验位 (ADC 输出和输出数据帧) 附加到输出数据的 LSB ADC 输出奇偶校验位仅反映 ADC 输出位的偶校验。 输出数据帧奇偶校验位反映了整个输出数据帧的偶校验签名。此签名包括 ADC 输出位和任何内部标志或寄存器设置。帧奇偶校验位计算中不包括 ADC 输出奇偶校验位。
2-0	DATA_VAL[2:0]	R/W	000b	这些位控制转换器输出的数据值。 0xxb = 值输出是转换数据 100b = 值输出为全 0 101b = 值输出为全 1 110b = 值输出为 0 和 1 交替 111b = 值输出为 00 和 11 交替

(1) 设置此位会将输出数据的长度增加两位。

7.1.6 RANGE_SEL_REG 寄存器 (地址 = 14h)

此寄存器控制转换器的内部基准和输入电压范围的配置。

位 7-0、15-8、23-16 和 31-24 的地址分别为 14h、15h、16h 和 17h。

图 7-6. RANGE_SEL_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								保留	INTREF_DIS	保留		RANGE_SEL[3:0]			
R-00h								R-0b	R/W-0b	R-00b		R/W-<0000>b			

表 7-8. RANGE_SEL_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0000h。
15-8	保留	R	00h	保留。读取返回 00h。
7	保留	R	0b	保留。读取返回 0b。
6	INTREF_DIS	R/W	0b	用于禁用 ADC 内部基准的控制位。 0b = 启用内部基准 1b = 禁用内部基准
5-4	保留	R	00b	保留。读取返回 00b。
3-0	RANGE_SEL[3:0]	R/W	0000b	这些位组成了 4 位寄存器，用于选择 ADC 的九个输入范围。 0000b = $\pm 3V \times V_{REF}$ 0001b = $\pm 2.5V \times V_{REF}$ 0010b = $\pm 1.5V \times V_{REF}$ 0011b = $\pm 1.25V \times V_{REF}$ 0100b = $\pm 0.625V \times V_{REF}$ 1000b = $3V \times V_{REF}$ 1001b = $2.5V \times V_{REF}$ 1010b = $1.5V \times V_{REF}$ 1011b = $1.25V \times V_{REF}$

7.1.7 ALARM_REG 寄存器 (地址 = 20h)

此寄存器包含输入和 AVDD 警报的输出警报标志 (活动标志和已触发标志)。

位 7-0、15-8、23-16 和 31-24 的地址分别为 20h、21h、22h 和 23h。

图 7-7. ALARM_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACTIVE_VDD_L_FLAG	ACTIVE_VDD_H_FLAG	保留	ACTIVE_IN_L_FLAG	ACTIVE_IN_H_FLAG	保留	TRP_VDD_L_FLAG	TRP_VDD_H_FLAG	TRP_IN_L_FLAG	TRP_IN_H_FLAG	保留	OVW_ALARM				
R-0b	R-0b	R-00b	R-0b	R-0b	R-00b	R-0b	R-0b	R-0b	R-0b	R-00b	R-0b				

表 7-9. ALARM_REG 寄存器字段说明

位	字段	类型	复位	说明
31-16	保留	R	0000h	保留。读取返回 0000h。
15	ACTIVE_VDD_L_FLAG	R	0b	低 AVDD 电压时的活动警报输出标志。 0b = 无警报条件 1b = 存在警报条件
14	ACTIVE_VDD_H_FLAG	R	0b	高 AVDD 电压时的活动警报输出标志。 0b = 无警报条件 1b = 存在警报条件
13-12	保留	R	00b	保留。读取返回 00b。
11	ACTIVE_IN_L_FLAG	R	0b	低输入电压时的活动警报输出标志。 0b = 无警报条件 1b = 存在警报条件
10	ACTIVE_IN_H_FLAG	R	0b	高输入电压时的活动警报输出标志。 0b = 无警报条件 1b = 存在警报条件
9-8	保留	R	00b	保留。读取返回 00b。
7	TRP_VDD_L_FLAG	R	0b	低 AVDD 电压时的已触发警报输出标志。 0b = 无警报条件 1b = 存在警报条件
6	TRP_VDD_H_FLAG	R	0b	高 AVDD 电压时的已触发警报输出标志。 0b = 无警报条件 1b = 存在警报条件
5	TRP_IN_L_FLAG	R	0b	低输入电压时的已触发警报输出标志。 0b = 无警报条件 1b = 存在警报条件
4	TRP_IN_H_FLAG	R	0b	高输入电压时的已触发警报输出标志。 0b = 无警报条件 1b = 存在警报条件
3-1	保留	R	000b	保留。读取返回 000b。
0	OVW_ALARM	R	0b	逻辑 OR 输出所有已触发警报标志。 0b = 无警报条件 1b = 存在警报条件

7.1.8 ALARM_H_TH_REG 寄存器 (地址 = 24h)

此寄存器控制输入警报的迟滞和高阈值。

位 7-0、15-8、23-16 和 31-24 的地址分别为 24h、25h、26h 和 27h。

图 7-8. ALARM_H_TH_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INP_ALARM_HYST[1:0]		保留													
R/W-0h								R-000h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INP_ALARM_HIGH_TH[11:0]												保留			
R/W-FFFh												R-0h			

表 7-10. ALARM_H_TH_REG 寄存器字段说明

位	字段	类型	复位	说明
31-30	INP_ALARM_HYST[1:0]	R/W	0h	用于输入警报的 2-位迟滞值。
29-16	保留	R	000h	保留。请勿更改复位值。
15-4	INP_ALARM_HIGH_TH[11:0]	R/W	FFFh	用于比较的 12-位阈值。
3-0	保留	R	0h	保留。请勿更改复位值。

7.1.9 ALARM_L_TH_REG 寄存器 (地址 = 28h)

此寄存器控制输入警报的低阈值。

位 7-0、15-8、23-16 和 31-24 的地址分别为 28h、29h、2Ah 和 2Bh。

图 7-9. ALARM_L_TH_REG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INP_ALARM_LOW_TH[11:0]												保留			
R/W-000h												R-0h			

表 7-11. ALARM_L_TH_REG 寄存器字段说明

位	字段	类型	复位	说明
32:16	保留	R	0000h	保留。请勿更改复位值。
15-4	INP_ALARM_LOW_TH[11:0]	R/W	000h	这些位是用于比较的阈值。
3:0	保留	R	0000h	保留。请勿更改复位值。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ADS8661W 是一款基于 16 位逐次逼近型 (SAR) 模数转换器 (ADC) 的完全集成式、全差分输入、数据采集 (DAQ) 器件。该器件包含一个用于驱动 ADC 输入的集成模拟前端 (AFE) 电路和一个带有缓冲器的集成精密基准。因此，这些器件不需要任何额外的外部电路来驱动 ADC 的基准或模拟输入引脚。

8.2 典型应用

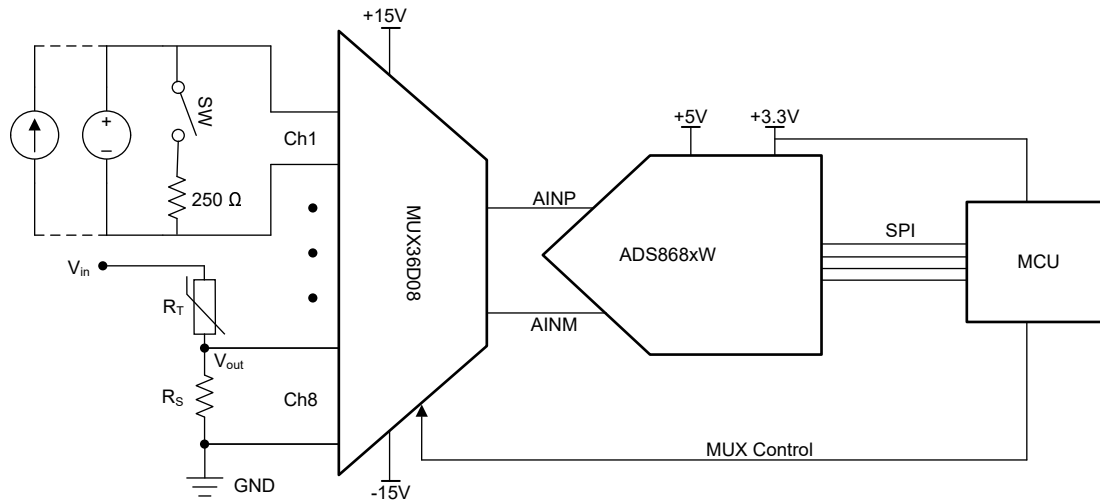


图 8-1. 适用于可编程逻辑控制器 (PLC) 的 16 位 8 通道模拟输入模块

8.2.1 设计要求

本节介绍了如何在工业模拟输入模块中使用 ADS8661W。此设计是一个过程控制终端设备的示例，该设备对标准双极或单极工业输入进行数字化，输入范围高达 $\pm 10V$ 。可编程逻辑控制器 (PLC)、分布式控制系统 (DCS) 或数据采集系统 (DAS) 模块就是终端设备示例。模拟电压和电流的范围通常包括 $\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ 、 $0V$ 至 $5V$ 、 $0V$ 至 $10V$ 、 $4mA$ 至 $20mA$ 和 $0mA$ 至 $20mA$ 。这些范围适用于工业环境。该参考设计测量所有标准工业电压和电流输入。该模块上提供了八个通道，通过软件配置将每个通道配置为电流或电压输入。

表 8-1 列出了此设计的参数。

表 8-1. 设计参数

参数	值
快速通道开关的快速稳定时间	$5\mu s$ ，精度为 1%
全差分放大器通道，具有用户可编程输入	高达八个通道
电压输入 (典型值 $Z_{IN} = 1M\Omega$)	$\pm 12V$
16 位 SAR ADC	3.3V 数字输出线路

8.2.2 详细设计过程

此设计将单通道 16 位 ADS8661W SAR ADC 与八通道 MUX36D08 差分多路复用器结合在一起。ADS8661W 可实现快速稳定的高带宽性能，以便支持外部分立式多路复用器来实现快速响应的通道间运行。

由于 ADS8661W 在 -3dB 时具有高达 400kHz 的高带宽输入，因此该器件可在 5 μ s (图 8-2) 内稳定至 1% 精度。ADS8661W 还包括内部可编程增益放大器、ADC 驱动器和基准。因此，该器件能够非常简单地连接一个振幅高达 ± 12.288 V 的信号，并且仅需单个模拟电源。此器件还包括各种安全功能，例如过压保护、输入警报和 AVDD 警报。

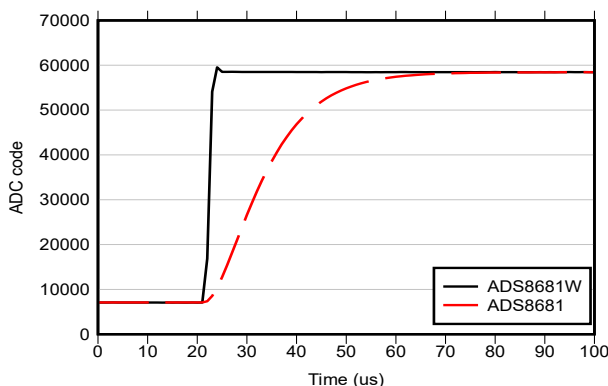


图 8-2. 阶跃稳定响应时间

MUX36D08 是差分多路复用器。此多路复用器支持使用多达八个差分输入，在宽输入电压范围内执行快速而精确的电压、电流或温度检测。此器件接受三条数字控制线来选择模拟输入。

ADS8661W 通过增强型 SPI 通信协议与控制器连接，从而简化了控制器速度要求。总体而言，此系统简化了各种单端或差分信号的连接，并包括能够在工业环境中安全监控这些信号的功能。

8.2.3 应用曲线

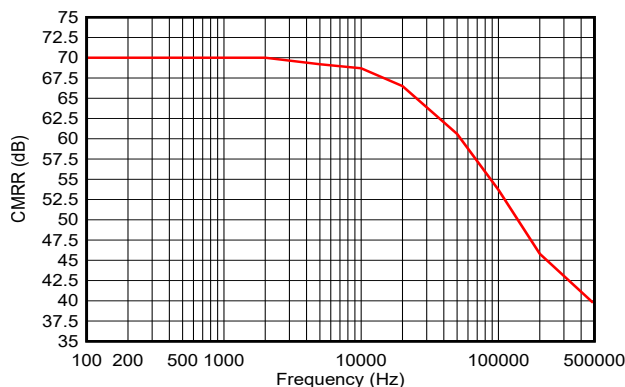


图 8-3. 共模抑制比与频率间的关系

8.3 电源相关建议

该器件使用两个独立的电源：AVDD 和 DVDD。器件内部电路使用 AVDD 电源运行，而 DVDD 电源用于数字接口。将 AVDD 和 DVDD 单独设置为允许范围内的任意值。

8.3.1 电源去耦

在各个电源上，使用最小 $10\mu\text{F}$ 和 $1\mu\text{F}$ 的电容器，在 AVDD 电源引脚与 AGND 之间去耦。将 $1\mu\text{F}$ 电容器尽可能靠近电源引脚放置。应将最小 $10\mu\text{F}$ 的去耦电容器靠近 DVDD 电源放置，用于提供高频数字开关电流。使用去耦电容器的作用表现在器件电源抑制比 (PSRR) 性能的差异上。图 8-4 显示了不使用去耦电容器时器件的 PSRR。如图 8-5 所示，使用去耦电容器时，PSRR 会有所改善。

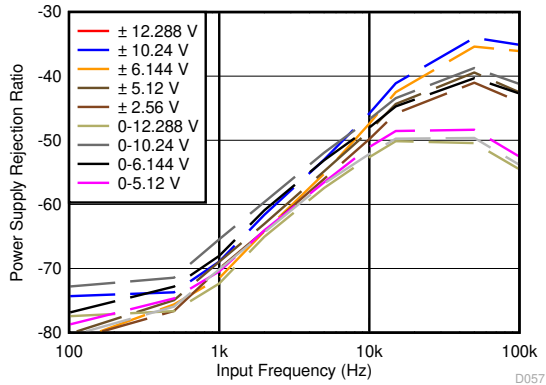


图 8-4. 不使用去耦电容器时的 PSRR

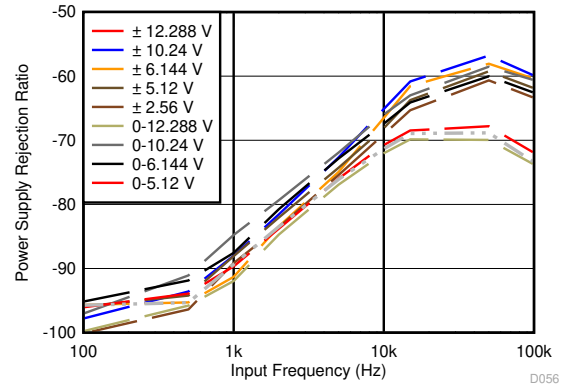


图 8-5. 使用去耦电容器时的 PSRR

8.3.2 节能

在正常运行模式下，在各个转换之间器件不会掉电，因此可实现高吞吐量。但该器件提供了两种可编程低功耗模式：当器件以较低的吞吐率工作时，NAP 和掉电 (PD) 模式可用于降低功耗。

8.3.2.1 NAP 模式

在 NAP 模式下，器件内部块置于低功耗模式，以便降低 ACQ 状态下的总体器件功耗。

若要启用 NAP 模式：

- 将 69h 写入寄存器地址 05h 来解锁 RST_PWRCTL_REG 寄存器。
- 将 RST_PWRCTL_REG 寄存器中的 NAP_EN 位设置为 1b。在转换过程结束时使 CONVST/ $\overline{\text{CS}}$ 引脚保持高电平。然后，器件在转换结束时进入 NAP 模式，并在 CONVST/ $\overline{\text{CS}}$ 引脚保持高电平时保持在 NAP 模式。

CONVST/ $\overline{\text{CS}}$ 上的下降沿会使器件退出 NAP 模式。然而，仅在经过 $t_{\text{NAP_WKUP}}$ 时间后主机控制器才会启动新的转换 (CONVST/ $\overline{\text{CS}}$ 上升沿) (请参阅开关特性表)。

8.3.2.2 掉电 (PD) 模式

该器件还具有深度掉电模式 (PD)，可在超低吞吐率下降低功耗。

完成以下步骤来进入 PD 模式：

1. 将 69h 写入寄存器地址 05h 来解锁 [RST_PWRCTL_REG](#) 寄存器。
2. 将 RST_PWRCTL_REG 寄存器中的 PWRDN 位设置为 1b。该器件在 CONVST/ $\overline{CS}$ 信号的上升沿进入 PD 模式。

在 PD 模式下，器件内的所有模拟块都会掉电。但接口会保持活动状态，并且寄存器内容也会保留。RVS 引脚为高电平，表示器件已准备好接收下一条命令。

退出 PD 模式：

1. 将 RST_PWRCTL_REG 寄存器中的 PWRDN 位清除为 0b。
2. RVS 引脚变为高电平，表示器件已开始退出 PD 模式。但主机控制器会等待 t_{PWRUP} （请参阅[开关特性](#)表）结束，然后再启动新的转换。

8.4 布局

8.4.1 布局指南

图 8-6 展示了 ADS8661W 的 PCB 布局示例，其中采用单端输入配置且 AINM 连接到 GND。

- 将 PCB 分为模拟和数字部分。确保让模拟信号始终远离数字线路。这种布局有助于使模拟输入和基准输入信号远离数字噪声。在此布局示例中，模拟输入和基准信号路由到电路板的底部。此外，数字连接路由到电路板的顶部。
- 使用单一专用接地平面。
- 确保 ADS8661W 的电源纯净且具有合适的旁路配置。在模拟 (AVDD) 电源引脚附近使用额定值至少为 10V 的 $1\mu\text{F}$ 、X7R 级、0603 尺寸陶瓷电容器。为了对数字电源引脚 (DVDD) 去耦，请使用额定值至少为 10V 的 $1\mu\text{F}$ 、X7R 级、0603 尺寸陶瓷电容器。避免在 AVDD 和 DVDD 引脚和旁路电容器之间放置过孔。使用低阻抗短路径将所有接地引脚连接到接地平面。
- REFCAP 引脚使用了两个去耦电容器。第一个电容器是小型 $1\mu\text{F}$ 、0603 尺寸陶瓷电容器，放置在器件引脚旁，用于对高频信号去耦。第二个电容器为 $10\mu\text{F}$ 、0805 尺寸陶瓷电容器，为器件基准电路提供所需的电荷。为 $10\mu\text{F}$ 电容器使用 ESR 小于 0.2Ω 的电容器。直接将两个电容器连接至器件引脚，引脚和电容器之间不能有任何过孔。
- 如果使用了器件的内部基准，则使用最小 $4.7\mu\text{F}$ 的陶瓷电容器对 REFIO 引脚去耦。将电容器靠近器件引脚放置。

8.4.2 布局示例

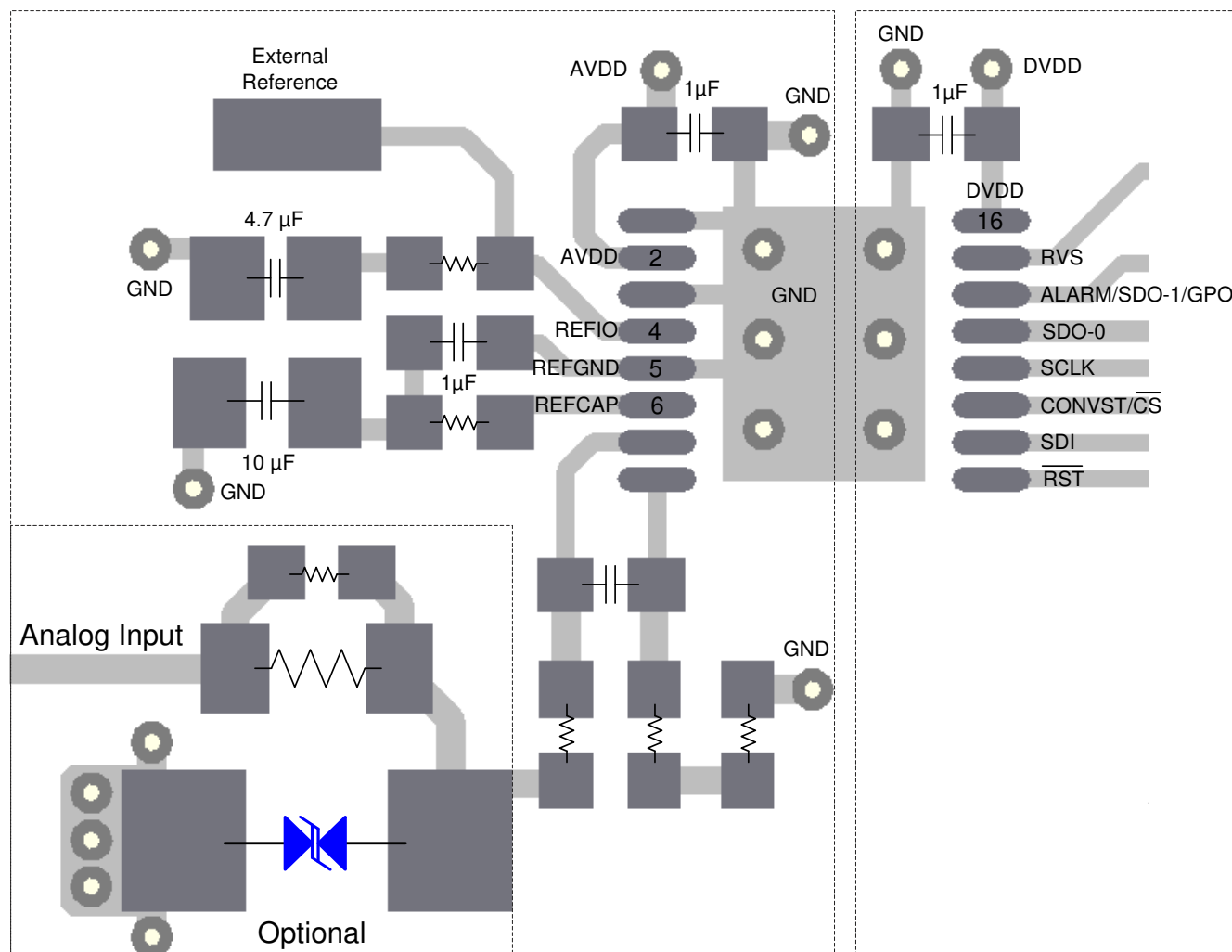


图 8-6. ADS8661W 的电路板布局布线

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[OPA320 具有关断功能的 20MHz、0.9pA、低噪声、RRIO、CMOS 精密运算放大器 数据表](#)
- 德州仪器 (TI)，[SN6501 隔离式电源用变压器驱动器 数据表](#)
- 德州仪器 (TI)，[TPS7A49 36V、150mA、超低噪声、正线性稳压器 数据表](#)
- 德州仪器 (TI)，[ISO764x FM 低功耗四通道数字隔离器 数据表](#)
- 德州仪器 (TI)，[AN-2029 操作和处理建议 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

multiSPI™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
January 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8661WRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8661W
ADS8661WRUMR.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8661W

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

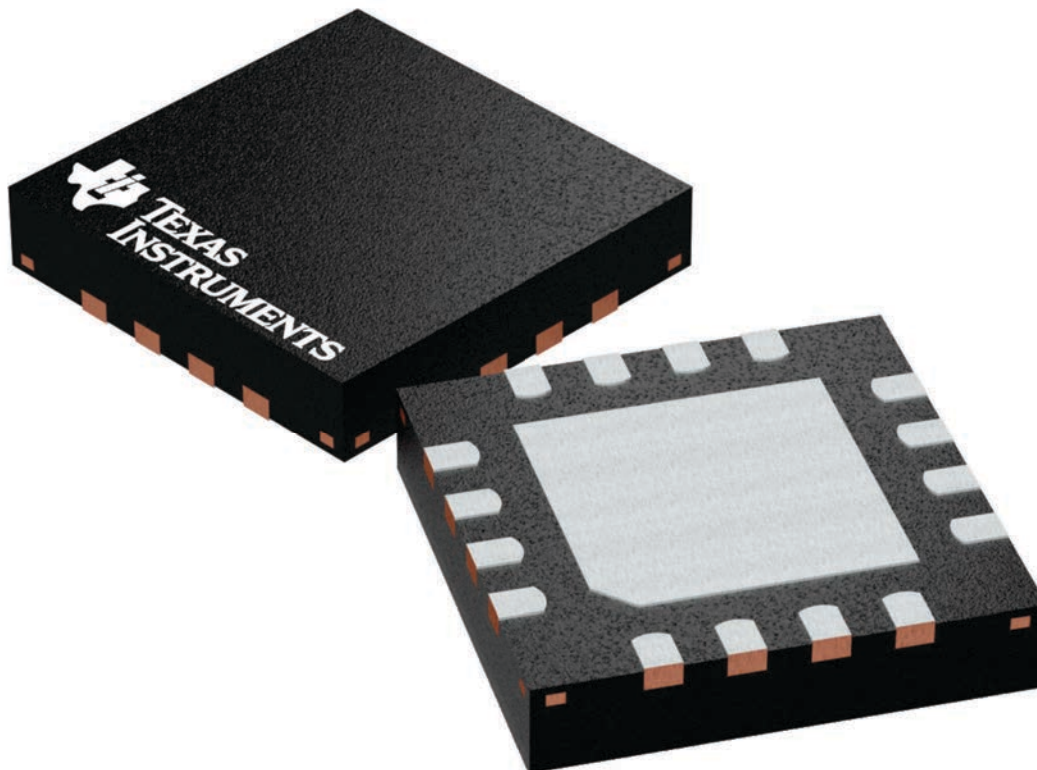
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

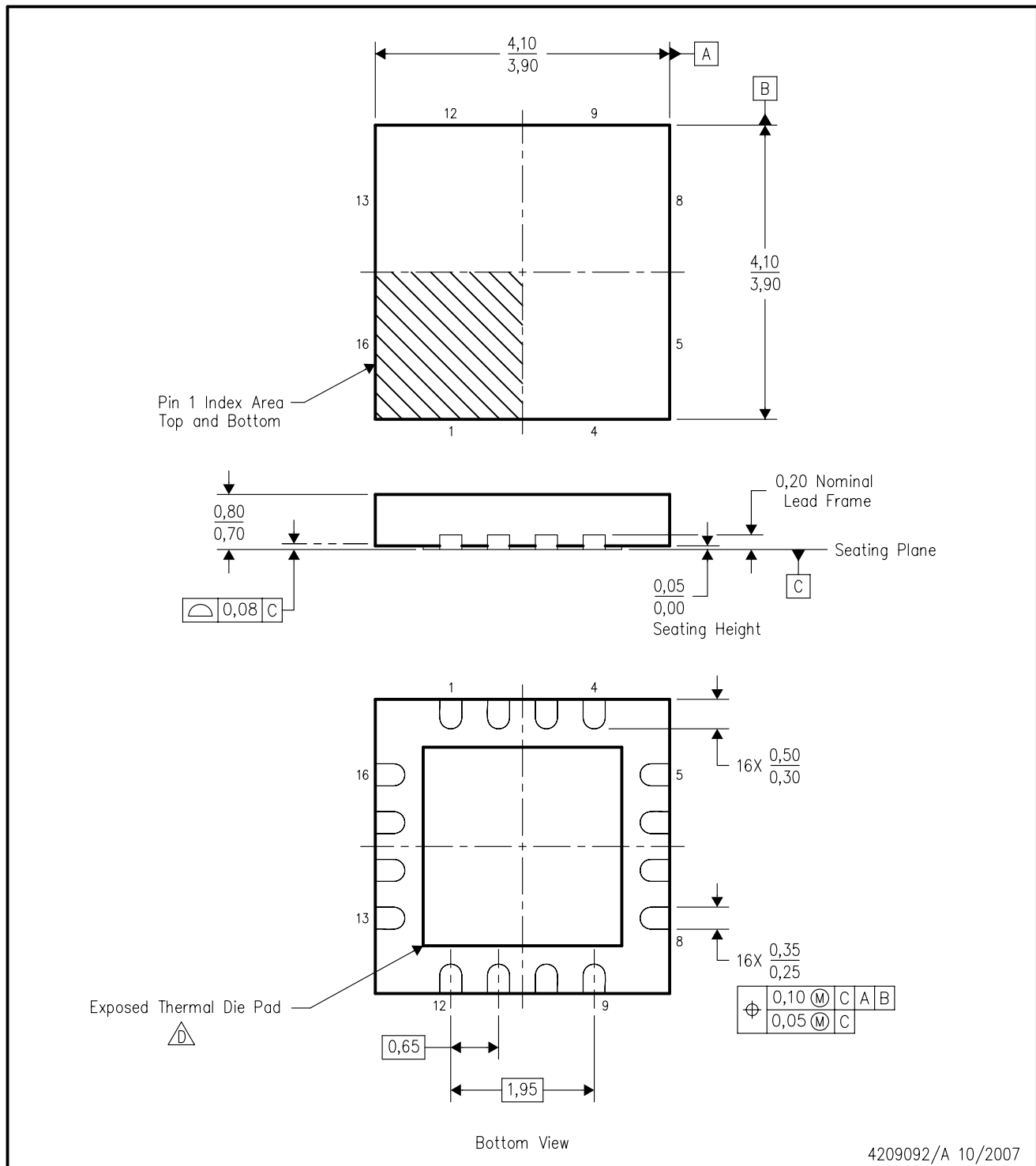
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



RUM (S-PQFP-N16)

PLASTIC QUAD FLATPACK



4209092/A 10/2007

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - Package complies to JEDEC MO-220 variation WGGC-3.

RUM (S-PWQFN-N16)

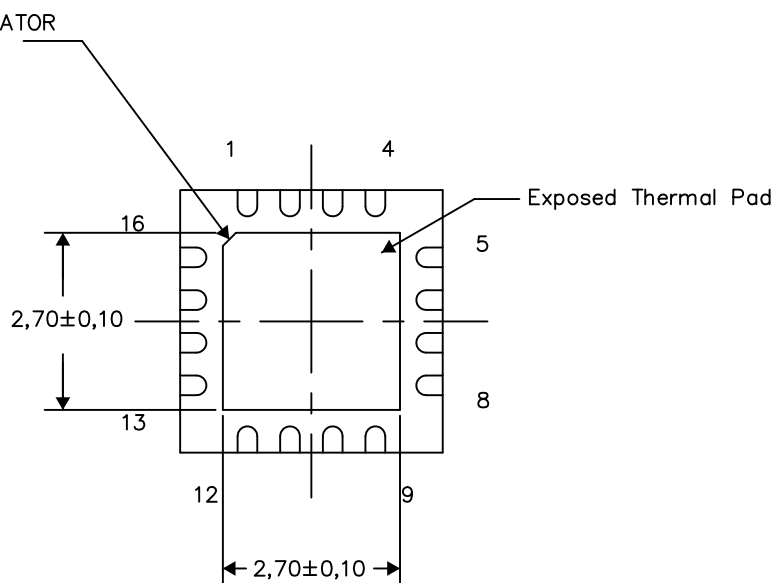
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093-2/F 09/15

NOTES: All linear dimensions are in millimeters

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月