

ADS117L1x 512kSPS、四通道和八通道同步采样 16 位 $\Delta\Sigma$ ADC

1 特性

- 同时测量四个或八个通道
- 宽带滤波器模式：高达 512kSPS
 - 线性相位响应
 - $\pm 0.0004\text{dB}$ 通带纹波
 - 106dB 阻带衰减
- 低延迟滤波器模式：高达 1365kSPS
 - 3.9 μs 转换延迟
- 功率可扩展速度模式：
 - 最大速度：21mW/通道 (512kSPS/1365kSPS)
 - 高速：16mW/通道 (400kSPS/1067kSPS)
 - 中速：9mW/通道 (200kSPS/533kSPS)
 - 低速：3mW/通道 (50kSPS/133kSPS)
- 高精度：
 - 200kSPS 时的 SNR：97.7dB (典型值)
 - THD：-115dB (典型值)
 - INL：0.5LSB (典型值)
 - 偏移漂移：60nV/°C (典型值)
 - 增益漂移：1ppm/°C 的 FSR (典型值)
- 预充电缓冲信号输入
- 双极或单极电源供电
- $\pm V_{\text{REF}}$ 或 $\pm 2V_{\text{REF}}$ 输入范围
- 可通过引脚设置或 SPI 进行编程
- 用于输出数据的帧同步端口
- 内部或外部时钟运行
- 模拟电源电压：2.85V 至 5.5V

2 应用

- 测试和测量：
 - 数据采集 (DAQ)
 - 冲击和振动仪器
 - 声音和动态应变计
- 工厂自动化和控制：
 - 状态监控
- 航空航天和国防：
 - 声纳
- 医疗：
 - 脑电图 (EEG)
- 电网基础设施：
 - 电能质量分析仪

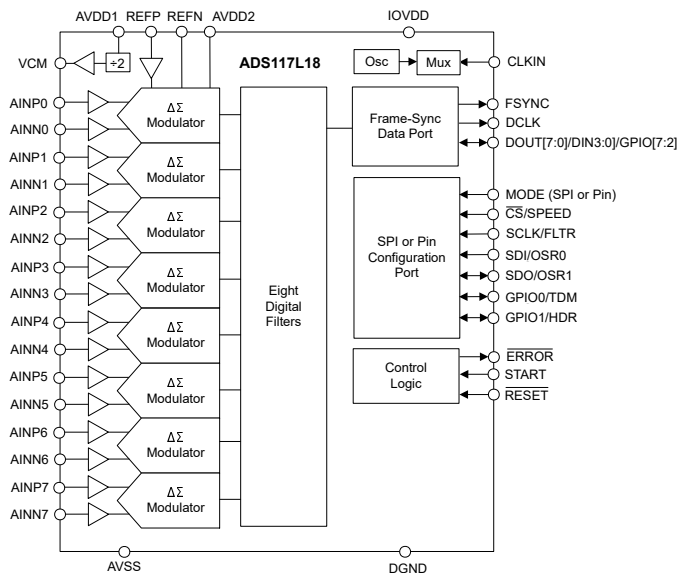
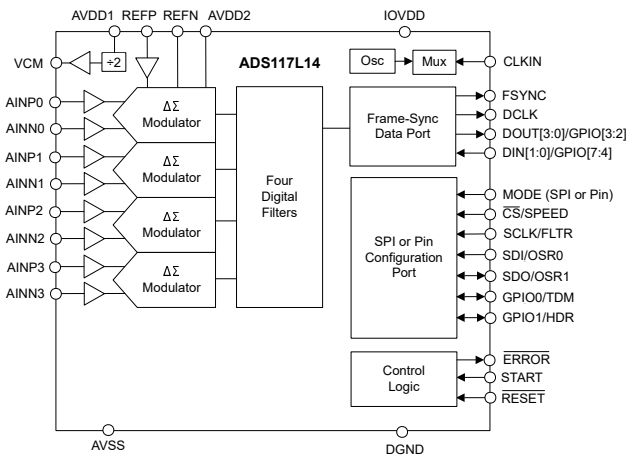
3 说明

ADS117L14 (四通道) 和 ADS117L18 (八通道) 都是 16 位 $\Delta\Sigma$ 模数转换器 (ADC)。这些器件能够以高达 512kSPS (宽带滤波器模式) 和 1365kSPS (低延迟滤波器模式) 的数据速率同时对四个或八个通道进行采样。24 位 [ADS127L14](#) (四通道) 和 [ADS127L18](#) (八通道) ADC 是用于提高分辨率的引脚兼容器件。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸
ADS117L1x	RSH (VQFN, 56)	7mm × 7mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。



功能方框图



功率可扩展速度模式允许用户在数据速率、带宽和功耗之间进行优化权衡。宽带和低延迟滤波器可在一个器件中优化交流信号性能或直流信号的数据吞吐量。

可编程过采样率 (OSR) 可决定数据速率和信号带宽。线性相位宽带滤波器可提供奈奎斯特频率的 80% 作为可用带宽，并且通带纹波为 $\pm 0.0004\text{dB}$ 。低延迟滤波器提供具有 $3.9\mu\text{s}$ 转换延迟的数据。

每个输入通道上的预充电缓冲器可降低模拟输入电流和采样噪声，从而提高精度。基准输入缓冲器可降低基准负载，实现更高的精度。

低漂移调制器可实现出色的直流精度和低噪声，从而提供出色的 16 位性能。低串扰误差可减少通道间的信号耦合，从而改善数据隔离。

这些器件可通过简单的引脚连接或 SPI 端口进行编程。具有可选数据通路数的帧同步数据端口以并行或时分多路复用格式转换数据。在菊花链运行时，扩展多个器件的系统通道数，减少数据通路数。

这些器件采用相同的 $7\text{mm} \times 7\text{mm}$ VQFN 封装，允许直接扩展，额定工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

内容

1 特性	1	6.11 IMD 测量.....	29
2 应用	1	6.12 SFDR 测量.....	29
3 说明	1	6.13 噪声性能.....	30
4 引脚配置和功能	4	7 详细说明	34
5 规格	8	7.1 概述.....	34
5.1 绝对最大额定值.....	8	7.2 功能方框图.....	35
5.2 ESD 等级.....	8	7.3 特性说明.....	35
5.3 建议运行条件.....	9	7.4 器件功能模式.....	52
5.4 热性能信息.....	9	7.5 编程.....	64
5.5 电气特性.....	10	8 寄存器映射	71
5.6 时序要求.....	15	9 应用和实施	86
5.7 开关特性.....	16	9.1 应用信息.....	86
5.8 时序图.....	16	9.2 典型应用.....	87
5.9 典型特性.....	19	9.3 电源相关建议.....	90
6 参数测量信息	26	9.4 布局.....	91
6.1 失调电压误差测量.....	26	10 器件和文档支持	93
6.2 温漂测量.....	26	10.1 文档支持.....	93
6.3 增益误差测量.....	26	10.2 接收文档更新通知.....	93
6.4 增益漂移测量.....	26	10.3 支持资源.....	93
6.5 NMRR 测量.....	26	10.4 商标.....	93
6.6 CMRR 测量.....	26	10.5 静电放电警告.....	93
6.7 PSRR 测量.....	27	10.6 术语表.....	93
6.8 SNR 测量.....	28	11 修订历史记录	93
6.9 INL 误差测量.....	28	12 机械、封装和可订购信息	93
6.10 THD 测量.....	28		

4 引脚配置和功能

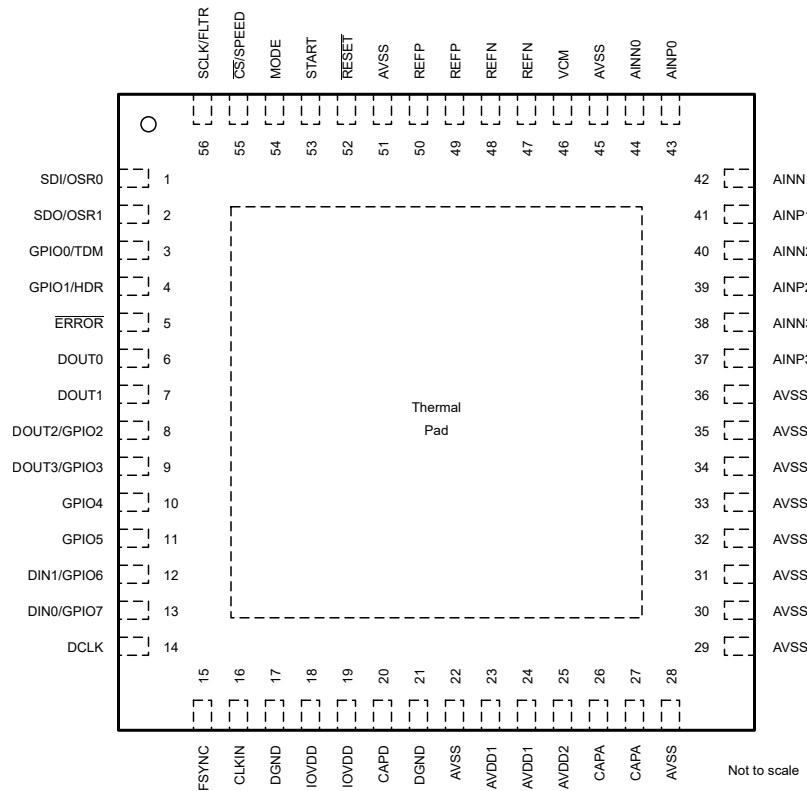


图 4-1. ADS117L14 RSH 封装，56 引脚 VQFN（顶视图）

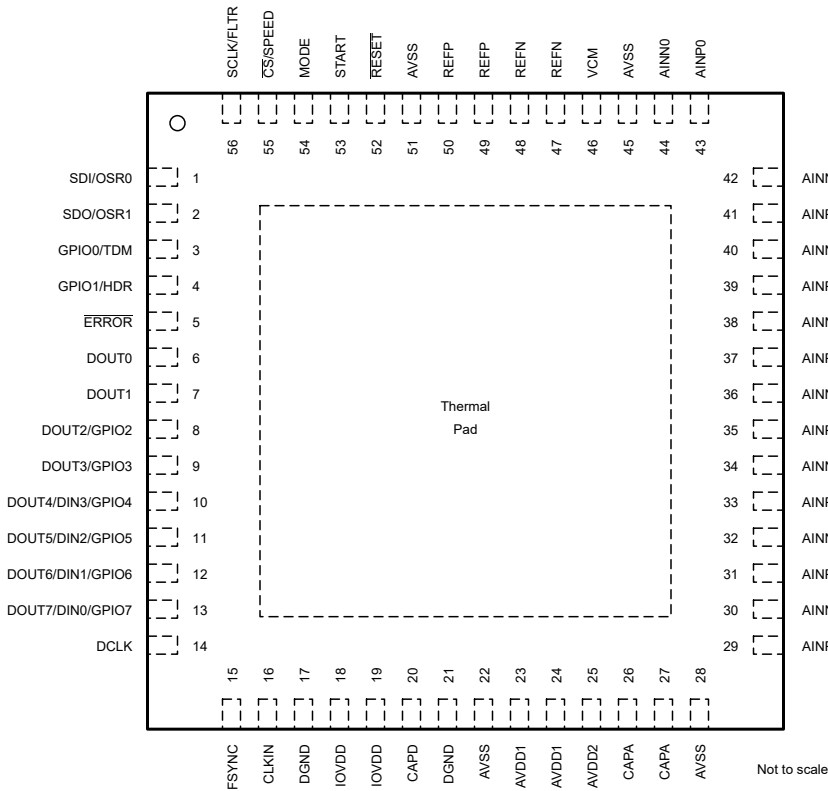


图 4-2. ADS117L18 RSH 封装，56 引脚 VQFN（顶视图）

表 4-1. 引脚功能

名称	ADS117L14 引脚	ADS117L18 引脚	类型 ⁽¹⁾	说明
AINN0	44	44	I	通道 0 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN1	42	42	I	通道 1 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN2	40	40	I	通道 2 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN3	38	38	I	通道 3 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN4	--	36	I	通道 4 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN5	--	34	I	通道 5 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN6	--	32	I	通道 6 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINN7	--	30	I	通道 7 负模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP0	43	43	I	通道 0 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP1	41	41	I	通道 1 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP2	39	39	I	通道 2 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP3	37	37	I	通道 3 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP4	--	35	I	通道 4 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP5	--	33	I	通道 5 正模拟输入。有关详细信息，请参阅 模拟输入 部分。
AINP6	--	31	I	通道 6 正模拟输入。有关详细信息，请参阅 模拟输入 部分。

表 4-1. 引脚功能 (续)

名称	ADS117L14 引脚	ADS117L18 引脚	类型 ⁽¹⁾	说明
AINP7	-	29	I	通道 7 正模拟输入。有关详细信息, 请参阅 模拟输入 部分。
AVDD1	23, 24	23, 24	P	正模拟电源 1。有关详细信息, 请参阅 电源相关建议 部分。
AVDD2	25	25	P	正模拟电源 2。有关详细信息, 请参阅 电源相关建议 部分。
AVSS	22、28、29、 30、31、32、 33、34、35、 36、45、51	22、28、45、51	P	负模拟电源。有关详细信息, 请参阅 电源相关建议 部分。
CAPA	26, 27	26, 27	P	模拟稳压器输出旁路。有关详细信息, 请参阅 CAPA 和 CAPD 部分。
CAPD	20	20	P	数字稳压器输出旁路。有关详细信息, 请参阅 CAPA 和 CAPD 部分。
CLKIN	16	16	I	时钟输入。有关详细信息, 请参阅 时钟运行 部分。
CS/SPEED	55	55	I	SPI 模式: 低电平有效芯片选择。有关详细信息, 请参阅 SPI 编程 部分。 硬件模式 (三态输入): 速度范围选择。 有关详细信息, 请参阅 硬件编程 部分。
DCLK	14	14	O	帧同步位时钟输出。有关详细信息, 请参阅 帧同步数据端口 部分。
DGND	17, 21	17, 21	GND	数字地。
DIN0/GPIO7	13	-	I/O	菊花链数据输入 0。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 7。有关详细信息, 请参阅 GPIO 部分。
DIN1/GPIO6	12	-	I/O	菊花链数据输入 1。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 6。有关详细信息, 请参阅 GPIO 部分。
DOUT0	6	6	O	数据输出 0。有关详细信息, 请参阅 帧同步数据端口 部分。
DOUT1	7	7	O	数据输出 1。有关详细信息, 请参阅 帧同步数据端口 部分。
DOUT2/GPIO2	8	8	I/O	数据输出 2。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 2。有关详细信息, 请参阅 GPIO 部分。
DOUT3/GPIO3	9	9	I/O	数据输出 3。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 3。有关详细信息, 请参阅 GPIO 部分。
DOUT4/DIN3/GPIO4	-	10	I/O	数据输出 4 和菊花链数据输入 3。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 4。有关详细信息, 请参阅 GPIO 部分。
DOUT5/DIN2/GPIO5	-	11	I/O	数据输出 5 和菊花链数据输入 2。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 5。有关详细信息, 请参阅 GPIO 部分。
DOUT6/DIN1/GPIO6	-	12	I/O	数据输出 6 和菊花链数据输入 1。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 6。有关详细信息, 请参阅 GPIO 部分。
DOUT7/DIN0/GPIO7	-	13	I/O	数据输出 7 和菊花链数据输入 0。有关详细信息, 请参阅 帧同步数据端口 部分。 通用输入/输出 7。有关详细信息, 请参阅 GPIO 部分。
ERROR	5	5	O	开漏输出错误信号。有关详细信息, 请参阅 ERROR 引脚 和 ERR_FLAG 位部分。
FSYNC	15	15	O	帧同步字时钟输出。有关详细信息, 请参阅 帧同步数据端口 部分。
GPIO0/TDM	3	3	I/O	通用输入/输出 0。有关详细信息, 请参阅 GPIO 部分。 硬件模式 (三态输入): TDM 比率选择。 有关详细信息, 请参阅 硬件编程 部分。
GPIO1/HDR	4	4	I/O	通用输入/输出 1。有关详细信息, 请参阅 GPIO 部分。 硬件模式 (三态输入): 数据标头选择。 有关详细信息, 请参阅 硬件编程 部分。
GPIO4	10	-	I/O	通用输入/输出 4。有关详细信息, 请参阅 GPIO 部分。
GPIO5	11	-	I/O	通用输入/输出 5。有关详细信息, 请参阅 GPIO 部分。
IOVDD	18, 19	18, 19	P	数字 I/O 电源电压。有关详细信息, 请参阅 电源相关建议 部分。
模式	54	54	I	三态输入。配置模式选择: 1 = SPI 编程模式 0 或悬空 = 硬件编程模式
REFN	47, 48	47, 48	I	负基准电压输入。有关详细信息, 请参阅 基准电压 部分。
REFP	49、50	49、50	I	正基准电压输入。有关详细信息, 请参阅 基准电压 部分。
RESET	52	52	I	复位输入, 低电平有效。有关详细信息, 请参阅 RESET 引脚 部分。
SCLK/FLTR	56	56	I	SPI 模式: 串行时钟输入。有关详细信息, 请参阅 SPI 编程 部分。 硬件模式 (三态输入): 滤波器模式选择。 有关详细信息, 请参阅 硬件编程 部分。

表 4-1. 引脚功能 (续)

名称	ADS117L14 引脚	ADS117L18 引脚	类型 ⁽¹⁾	说明
SDI/OSR0	1	1	I	SPI 模式：串行数据输入。有关详细信息，请参阅 SPI 编程 部分。 硬件模式（三态输入）：滤波器 OSR0 选择。 有关详细信息，请参阅 硬件编程 部分。
SDO/OSR1	2	2	I/O	SPI 模式：串行数据输出。有关详细信息，请参阅 SPI 编程 部分。 硬件模式（三态输入）：滤波器 OSR1 选择。 有关详细信息，请参阅 硬件编程 部分。
开始	53	53	I	转换控制。有关详细信息，请参阅 同步 部分。
VCM	46	46	O	共模电压输出。有关详细信息，请参阅 VCM 输出电压 部分。
散热焊盘			—	散热 PowerPAD。将散热焊盘连接至 AVSS。

(1) I = 输入，O = 输出，I/O = 双向输入/输出，P = 电源，G = 地。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压	AVDD1 至 AVSS	-0.3	6.5	V
	AVDD2 至 AVSS	-0.3	6.5	
	AVSS 至 DGND	-3	0.3	
	IOVDD 至 DGND	-0.3	2.2	
模拟输入电压	AINPx、AINNx、REFP、REFN	AVSS - 0.3	AVDD1 + 0.3	V
模拟输出电压	CAPA 至 AVSS	AVSS	1.65	V
	CAPD 至 DGND	DGND	1.65	
	VCM 至 AVSS	AVSS	AVDD1	
数字输入/输出电压	至 DGND	DGND - 0.3	2.2	V
输入电流	连续，除电源引脚外的任何引脚 ⁽²⁾	-10	10	mA
温度	结温，T _J		150	°C
	贮存温度，T _{stg}	-65	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在“建议运行条件”之外但在“绝对最大额定值”范围内短暂运行，器件可能不会受到损坏，但可能不会完全正常运行。这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 模拟输入引脚 AINPx、AINNx、REFP 和 REFN 被二极管钳制至 AVDD1 和 AVSS。如果模拟输入电压 $\geq$ AVDD1 + 0.3V 或 $\leq$ AVSS - 0.3V，则将输入电流限制为 10mA。数字 I/O 引脚仅被二极管钳制至 DGND。如果数字引脚电压低于 DGND - 0.3V，则将输入电流限制为 10mA。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

				最小值	标称值	最大值	单位	
电源								
模拟电源	绝对输入电压	AVDD1 至 AVSS	最大速度模式	4.5		5.5	V	
			高速模式	4.5		5.5		
			中速模式	3		5.5		
			低速模式	2.85		5.5		
		AVDD1 至 DGND			1.65		V	
		双极电源 AVSS/AVDD1 比率				1.2	[V/V]	
		AVDD2 至 AVSS			1.74		5.5	V
		AVSS 至 DGND			-2.75		0	V
数字电源		IOVDD 至 DGND	1.65		1.95	V		
模拟输入								
V_{AINPn} 、 V_{AINNn}	绝对输入电压	输入缓冲器关闭	AVSS - 0.05		AVDD1 + 0.05	V		
	输入缓冲器开启	AVSS + 0.1		AVDD1 - 0.1				
V_{INn}	差分输入电压 $V_{IN} = V_{AINPn} - V_{AINNn}$	1 倍输入范围	$-V_{REF}$		V_{REF}	V		
		2 倍输入范围	$-2 \cdot V_{REF}$		$2 \cdot V_{REF}$			
电压基准输入								
V_{REF}	差分基准电压 $V_{REF} = V_{REFP} - V_{REFN}$	低基准范围	0.5	2.5	2.75	V		
		高基准范围	1	4.096	AVDD1 - AVSS			
V_{REFN}	负基准电压		AVSS - 0.05			V		
V_{REFP}	正向基准电压	REFP 缓冲器关闭			AVDD1 + 0.05	V		
		REFP 缓冲在			AVDD1 - 0.7			
时钟信号								
f_{CLK}	时钟频率	最大速度模式	0.5	32.768	33.66	MHz		
		高速模式	0.5	25.6	26.3			
		中速模式	0.5	12.8	13.15			
		低速模式	0.5	3.2	3.29			
数字输入								
	输入电压		0		IOVDD	V		
温度范围								
T_A	环境温度	工作中	-50		125	°C		
		规格	-40		125			

5.4 热性能信息

热指标 ⁽¹⁾		ADS117L14 , ADS117L18		单位
		VQFN (RSH)		
		56 引脚		
R _{θ JA}	结至环境热阻	23.5		°C/W
R _{θ JC(top)}	结至外壳 (顶部) 热阻	11.5		°C/W
R _{θ JB}	结至电路板热阻	6.3		°C/W
ψ _{JT}	结至顶部特征参数	0.1		°C/W
ψ _{JB}	结至电路板特征参数	6.2		°C/W
R _{θ JC(bot)}	结至外壳 (底部) 热阻	1.1		°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为：
 $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V}$ 至 5V 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、
 高基准范围、1x 输入范围、所有速度模式、所有通道均为活动状态、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟输入，最大速度模式					
输入电流， 差分输入电压	输入缓冲器关闭		125		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		60		
	输入缓冲器开启		± 2		μA
输入电流漂移， 差分输入电压	输入缓冲器关闭		5		$\text{nA/V}/^{\circ}\text{C}$
	输入缓冲器关闭，2 倍输入范围		2		
	输入缓冲器开启		20		$\text{nA}/^{\circ}\text{C}$
输入电流， 共模输入电压	输入缓冲器关闭		6.5		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		3		
	输入缓冲器开启		± 2		μA
模拟输入，高速模式					
输入电流， 差分输入电压	输入缓冲器关闭		95		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		47		
	输入缓冲器开启		± 1.5		μA
输入电流漂移， 差分输入电压	输入缓冲器关闭		3		$\text{nA/V}/^{\circ}\text{C}$
	输入缓冲器关闭，2 倍输入范围		1.5		
	输入缓冲器开启		5		$\text{nA}/^{\circ}\text{C}$
输入电流， 共模输入电压	输入缓冲器关闭		5		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		2.5		
	输入缓冲器开启		± 1.5		μA
模拟输入，中速模式					
输入电流， 差分输入电压	输入缓冲器关闭		47		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		25		
	输入缓冲器开启		± 1.5		μA
输入电流漂移， 差分输入电压	输入缓冲器关闭		2		$\text{nA/V}/^{\circ}\text{C}$
	输入缓冲器关闭，2 倍输入范围		1		
	输入缓冲器开启		5		$\text{nA}/^{\circ}\text{C}$
输入电流， 共模输入电压	输入缓冲器关闭		2.5		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		1.3		
	输入缓冲器开启		± 1.5		μA
模拟输入，低速模式					
输入电流， 差分输入电压	输入缓冲器关闭		12		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		6		
	输入缓冲器开启		± 0.4		μA
输入电流漂移， 差分输入电压	输入缓冲器关闭		1		$\text{nA/V}/^{\circ}\text{C}$
	输入缓冲器关闭，2 倍输入范围		0.5		
	输入缓冲器开启		0.2		$\text{nA}/^{\circ}\text{C}$
输入电流， 共模输入电压	输入缓冲器关闭		0.6		$\mu\text{A/V}$
	输入缓冲器关闭，2 倍输入范围		0.3		
	输入缓冲器开启		± 0.4		μA

5.5 电气特性 (续)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为：
AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、
高基准范围、1x 输入范围、所有速度模式、所有通道均为活动状态、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
DC 特性							
	分辨率	无丢码		16			位
e _n	DC 噪声			有关详细信息，请参阅 噪声性能 部分			
	偏移误差	T _A = 25°C		-250	±60	250	μV
	偏移漂移				50	200	nV/°C
	增益误差	T _A = 25°C		-2500	±200	2500	FSR 的 ppm 值
	增益漂移				1	3	FSR/°C 的 ppm 值
INL	积分非线性 ⁽¹⁾				0.5	1	LSB
CMRR	共模抑制比	DC		90	115		dB
		高达 10kHz			110		
		直流时，2 倍输入范围			105		
PSRR	电源抑制比	AVDD1，直流			98		dB
		AVDD2，直流			130		
		IOVDD，直流			108		
交流特性							
f _{DATA}	数据速率	最大速度模式	宽带滤波器	4		512	kSPS
			低延迟滤波器	0.1024		1365.3	
		高速模式	宽带滤波器	3.125		400	
			低延迟滤波器	0.08		1067	
		中速模式	宽带滤波器	1.5625		200	
			低延迟滤波器	0.08		533.3	
		低速模式	宽带滤波器	0.390625		50	
			低延迟滤波器	0.01		133.3	
SNR	信噪比	f _{IN} = 1kHz、 V _{IN} = - 0.2dBFS、 OSR = 64	宽带滤波器	97.0	97.7		dB
			宽带滤波器， V _{REF} = 2.5V， 2 倍输入范围		97.5		
			低延迟滤波器	97.0	97.9		
			低延迟滤波器， V _{REF} = 2.5V， 2 倍输入范围		97.8		
THD	总谐波失真	f _{IN} = 1kHz，V _{IN} = - 0.2dBFS			-115	-105	dB
		最大速度模式			-105	-100	
IMD	互调失真	f _{IN} = 9.7kHz 和 10.3kHz， V _{IN} = - 6.5dBFS	二阶项		-120		dB
			三阶项		-110		
SFDR	无杂散动态范围	f _{IN} = 1kHz，V _{IN} = - 0.2dBFS			110		dB
	串扰	f _{IN} = 1kHz，V _{IN} = - 0.2dBFS ⁽³⁾			-120		dB
NMRR	常模抑制比	f _{IN} = 50Hz (±1Hz)，f _{DATA} = 50SPS，sinc3 滤波器		100			dB
		f _{IN} = 60Hz (±1Hz)，f _{DATA} = 60SPS，sinc3 滤波器		100			
宽带滤波器特性							
	通带频率	在通带纹波的包络内		0.4 • f _{DATA}			Hz
		- 0.1dB 频率		0.4125 • f _{DATA}			
		- 3dB 频率		0.4374 • f _{DATA}			

5.5 电气特性 (续)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为： $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V}$ 至 5V 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高基准范围、1x 输入范围、所有速度模式、所有通道均为活动状态、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
	通带纹波			-0.0004		0.0004	dB
	阻带频率	阻带衰减		0.5 · f _{DATA}			Hz
	阻带衰减 ⁽²⁾			106			dB
	组延迟			34 / f _{DATA}			s
	稳定时间			68 / f _{DATA}			s
电压基准输入							
	REFP 和 REFN 输入电流	REFP 缓冲器关闭	最大速度模式	225			μA/V/通道
			高速模式	190			
			中速模式	130			
			低速模式	80			
	REFP 输入电流	REFP 缓冲在		±3			μA/ch
	REFP 和 REFN 输入电流漂移	REFP 缓冲器关闭		20			nA/°C/通道
	REFP 输入电流漂移	REFP 缓冲在		10			nA/°C/通道
内部振荡器							
f _{OSC}	振荡器频率			25.4	25.6	25.8	MHz
VCM 输出电压							
	输出电压			(AVDD1 + AVSS) / 2			V
	精度			-1%	±0.1%	1%	
	电压噪声	1kHz 带宽		25			μV _{RMS}
	启动时间	C _L = 100nF		1			ms
	容性负载			100			nF
	阻性负载			2			kΩ
	短路电流限制			10			mA
数字输入/输出							
V _{IL}	逻辑低输入电平			0.3 IOVDD			V
V _{IH}	逻辑高输入电平			0.7 IOVDD			V
I _{LEAK}	外部漏电流	三态引脚，悬空输入状态		-5			5 μA
C _{LOAD}	容性负载	三态引脚，悬空输入状态		50			pF
R _{EXT}	上拉或下拉电阻	三态引脚，逻辑低电平或高电平状态		0			3 kΩ
V _{OL}	逻辑低输出电平	OUT_DRV = 0b，I _{OL} = 2mA		0.2 · IOVDD			V
		OUT_DRV = 1b，I _{OL} = 1mA		0.2 · IOVDD			
V _{OH}	逻辑高输出电平	OUT_DRV = 0b，I _{OH} = - 2mA		0.8 · IOVDD			V
		OUT_DRV = 1b，I _{OH} = - 1mA		0.8 · IOVDD			
		ERROR 引脚，I _{OH} = - 2μA		0.8 · IOVDD			
	输入迟滞			150			mV
	输入电流			-1			1 μA

5.5 电气特性 (续)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为：
 $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V}$ 至 5V 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、
 高基准范围、1x 输入范围、所有速度模式、所有通道均为活动状态、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
模拟电源电流							
I _{AVDD1} 、 I _{AVSS}	AVDD1、AVSS 电流 (缓冲器关闭)	单通道	最大速度模式		1.9	2.1	mA
		每个额外通道			1.7	2.0	mA/通道
		单通道	高速模式		1.5	1.7	mA
		每个额外通道			1.3	1.6	mA/通道
		单通道	中速模式		0.9	1.0	mA
		每个额外通道			0.7	0.85	mA/通道
		单通道	低速模式		0.3	0.35	mA
		每个额外通道			0.2	0.21	mA/通道
		待机模式			110		μA
		断电模式			5		μA
	AVDD1、AVSS 缓冲器电流	输入缓冲器	最大速度模式		1.78	2.1	mA/缓冲器
			高速模式		1.36	1.6	
			中速模式		0.7	0.85	
			低速模式		0.2	0.25	
		REFP 缓冲器	最大速度模式		1.6	1.7	mA/缓冲器
			高速模式		1.5	1.65	
			中速模式		0.9	1.0	
			低速模式		0.4	0.5	
		VCM 缓冲器			0.1		mA
		I _{AVDD2} 、 I _{AVSS}	AVDD2、AVSS 电流	最大速度模式			4.6
高速模式					3.6	4.0	
中速模式					2.3	2.55	
低速模式					0.85	0.96	
待机模式					60		μA
断电模式					1		μA
数字电源电流							
I _{IOVDD}	IOVDD 电流	宽带滤波器， OSR = 32	最大速度模式		2.1	2.5	mA/通道
			高速模式		1.6	2.0	
			中速模式		0.8	1	
			低速模式		0.2	0.35	
		低延迟滤波器， OSR = 32	最大速度模式		0.6	0.8	
			高速模式		0.5	0.7	
			中速模式		0.20	0.35	
			低速模式		0.05	0.15	
		待机模式	外部时钟		15		μA
			内部振荡器		50		
		断电模式			35		μA

5.5 电气特性 (续)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为：
 $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V}$ 至 5V 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、
高基准范围、1x 输入范围、所有速度模式、所有通道均为活动状态、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
功率耗散							
P _D	功率耗散	ADS117L14 宽带滤波器， AVDD2 = 1.8V， 缓冲器关闭	最大速度模式		83	95	mW
			高速模式		64	76	
			中速模式		37	43	
			低速模式		12	14	
		ADS117L14 低延迟滤波器， AVDD2 = 1.8V， 缓冲器关闭	最大速度模式		72	83	
			高速模式		57	66	
			中速模式		33	39	
			低速模式		11	13	
		ADS117L18 宽带滤波器， AVDD2 = 1.8V， 缓冲器关闭	最大速度模式		165	190	mW
			高速模式		128	151	
			中速模式		74	86	
			低速模式		24	28	
		ADS117L18 低延迟滤波器， AVDD2 = 1.8V， 缓冲器关闭	最大速度模式		144	165	
			高速模式		112	132	
			中速模式		65	77	
			低速模式		21	25	

- (1) 最佳拟合法。
- (2) 由数字滤波器提供的阻带衰减。阻带内的输入频率与从 $f_{MOD} / 32$ 开始的斩波频率进行互调，从而使阻带衰减 $<106\text{dB}$ 。有关详细信息，请参阅阻带衰减图。
- (3) 在具有三个 (ADS117L14) 和七个 (ADS117L18) 活动通道的一条短接输入通道上测得的串扰。

5.6 时序要求

1.65V ≤ IOVDD ≤ 1.95V，在工作环境温度范围内（除非另有说明）

		最小值	最大值	单位
时钟				
t _c (CLKIN)	CLKIN 周期	15	2000	ns
t _w (CLKINL)	脉冲持续时间, CLKIN 低电平	6.5		ns
t _w (CLKINH)	脉冲持续时间, CLKIN 高电平	6.5		ns
t _c (CLK) ⁽¹⁾	ADC 时钟周期, 最大速度模式	29.7	2000	ns
	ADC 时钟周期, 高速模式	38	2000	
	ADC 时钟周期, 中速模式	76	2000	
	ADC 时钟周期, 低速模式	304	2000	
t _w (CLKL)	脉冲持续时间, CLK 低电平, 最大速度模式	13.2		ns
	脉冲持续时间, CLK 低电平, 高速模式	17		
	脉冲持续时间, CLK 低电平, 中速模式	34		
	脉冲持续时间, CLK 低电平, 低速模式	128		
t _w (CLKH)	脉冲持续时间, CLK 高电平, 最大速度模式	13.2		ns
	脉冲持续时间, CLK 高电平, 高速模式	17		
	脉冲持续时间, CLK 高电平, 中速模式	34		
	脉冲持续时间, CLK 高电平, 低速模式	128		
帧同步 (数据端口)				
t _c (DCLK)	DCLK 周期, 独立运行模式	15		ns
	DCLK 周期, 菊花链运行模式	29.7		ns
SPI (配置端口)				
t _c (SCLK)	SCLK 周期	75		ns
t _w (SCL)	脉冲持续时间, SCLK 低电平	25		ns
t _w (SCH)	脉冲持续时间, SCLK 高电平	25		ns
t _d (CSSC)	延迟时间, $\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	20		ns
t _{su} (DI)	建立时间, SCLK 下降沿前的 SDI 有效	6		ns
t _h (DI)	保持时间, SDI 在 SCLK 下降沿后有效	8		ns
t _d (SCCS)	延迟时间, 最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	20		ns
t _w (CSH)	脉冲持续时间, $\overline{CS}$ 为高电平	20		ns
START 引脚				
t _w (STL)	脉冲持续时间, START 低电平	4		t _{CLK}
t _w (STH)	脉冲持续时间, START 高电平	4		t _{CLK}
t _{su} (STCL)	建立时间, START 上升沿在 CLKIN 上升沿之前 ⁽²⁾	4		ns
t _h (STCL)	保持时间, START 上升沿在 CLKIN 上升沿之后 ⁽²⁾	6		ns
t _{su} (STFS)	建立时间, START 下降沿或 STOP 位设置在 FSYNC 上升沿之前, 旨在停止下一次转换 (启动/停止转换模式)	24		t _{CLK}
RESET 引脚				
t _w (RSL)	脉冲持续时间, $\overline{RESET}$ 低电平	4		t _{CLK}

(1) f_{CLK} 是主 ADC 时钟。

(2) 为了避免同步的不确定性, 应避免在建立时间和保持时间规格之间将 START 驱动为高电平。

5.7 开关特性

$1.65V \leq IOVDD \leq 1.9V$ ，在工作环境温度范围内， $OUT_DRV = 0b$ ， $C_{LOAD} = 20pF$ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
时钟						
t _C (CLK)	ADC 时钟周期 (可编程) ⁽¹⁾		1、2、3、4 或 8 / f _{CLKIN} 或 / f _{OSC}			
帧同步 (数据端口)						
t _c (FSYNC)	FSYNC 周期		1 / f _{DATA}		ns	
t _w (FSYNCH)	脉冲持续时间, FSYNC 高电平		0.5 / f _{DATA}		ns	
t _w (FSYNCL)	脉冲持续时间, FSYNC 低电平		0.5 / f _{DATA}		ns	
t _p (FSDC)	传播延迟时间, FSYNC 上升沿至 DCLK 下降沿		-1		1	ns
t _c (DCLK)	DCLK 周期 (可编程) ⁽¹⁾		1、2、4 或 8 / f _{CLKIN} 或 / f _{OSC}			
t _w (DCLKH)	脉冲持续时间, DCLK 低电平		0.5 • t _C (DCLK)		ns	
t _w (DCLKL)	脉冲持续时间, DCLK 高电平		0.5 • t _C (DCLK)		ns	
t _h (DCDO)	保持时间, DCLK 上升沿至上一个 DOUT 无效		-2		ns	
t _p (DCDO)	传播延迟时间, DCLK 下降沿至新 DOUT 有效				7	ns
SPI (配置端口)						
t _p (CSDO)	传播延迟时间, $\overline{CS}$ 下降沿至 SDO 驱动状态				16	ns
t _p (CSDOZ)	传播延迟时间, $\overline{CS}$ 上升沿至 SDO 三态				16	ns
t _p (SCDO)	传播延迟时间, SCLK 上升沿至有效 SDO				20	ns
START 引脚						
t _p (STFS1)	传播延迟时间, START 下降沿至 FSYNC 信号停止 (启动/停止模式)		11			t _{CLK}
t _p (STDC)	传播延迟时间, START 下降沿至 DCLK 信号停止 (启动/停止模式)		7			t _{CLK}
t _p (STFS2)	传播延迟时间, START 上升沿至 FSYNC 上升沿 (第一次转换就绪)		请参阅数字滤波器部分			
RESET 引脚						
t _p (RSFS)	传播延迟时间, $\overline{RESET}$ 上升沿至 FSYNC 下降沿 (ADC 就绪)		10 ⁴			t _{CLK}

(1) 菊花链需要外部时钟运行、 $CLK_DIV[2:0]$ 、 $DCLK_DIV[1:0] = 1$ 分频。

5.8 时序图

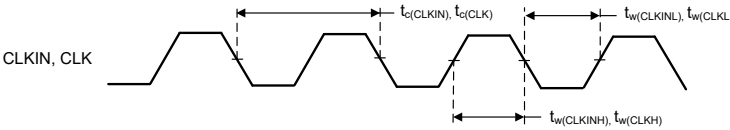


图 5-1. 时钟时序要求

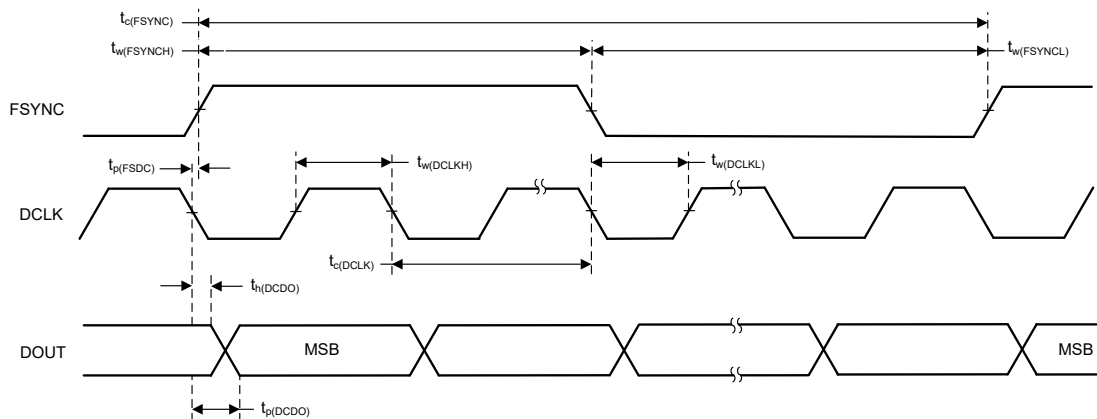


图 5-2. 帧同步端口开关特性

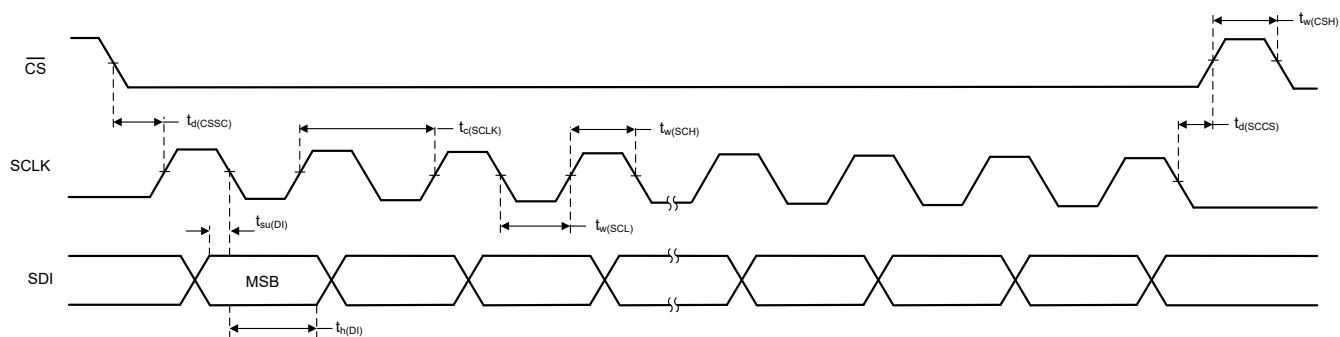


图 5-3. SPI 时序要求

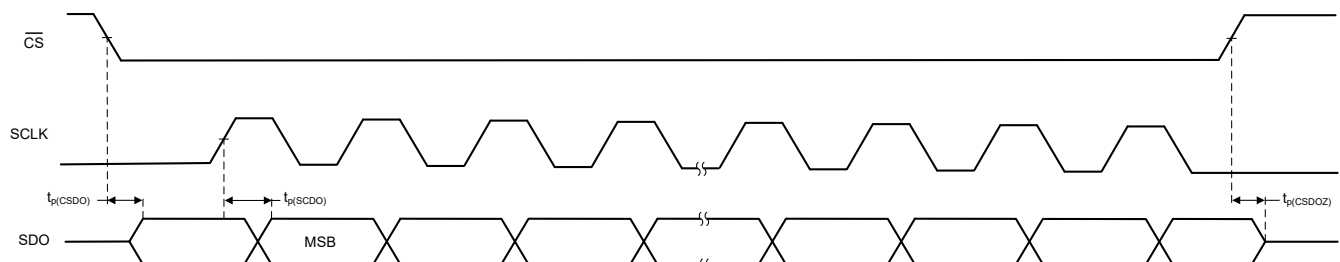


图 5-4. SPI 开关特性

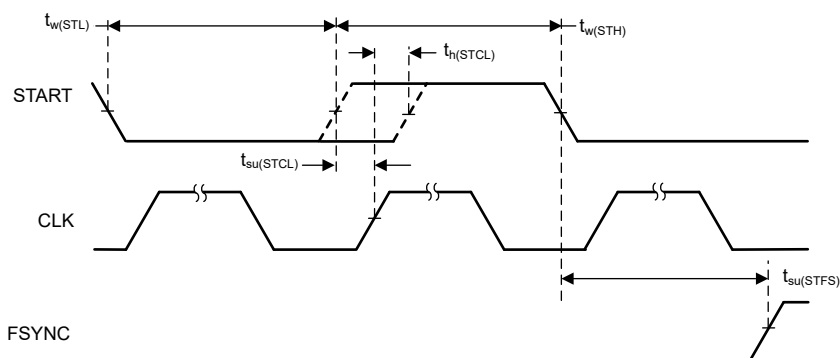


图 5-5. START 引脚时序要求

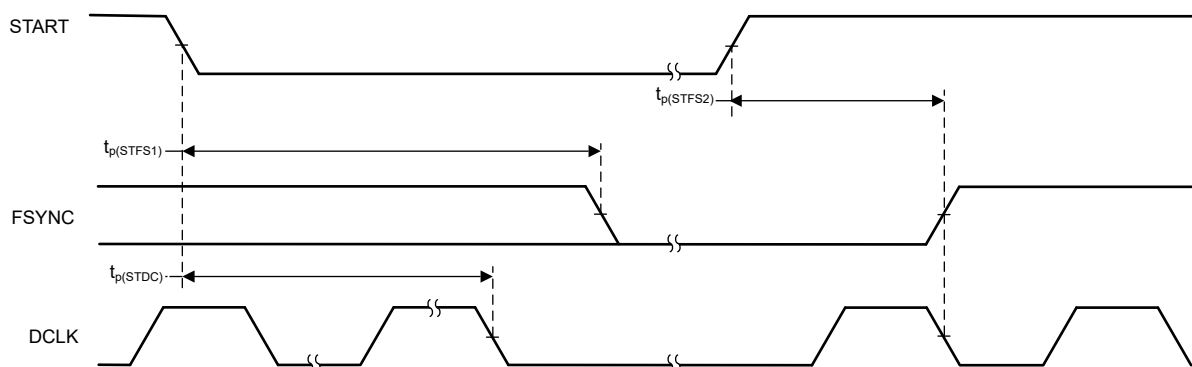


图 5-6. START 引脚开关特性

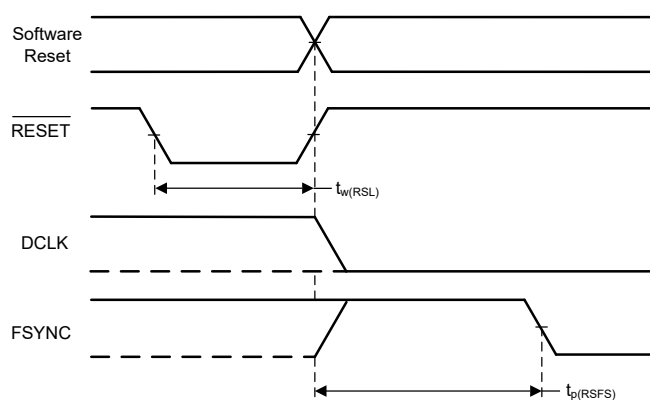


图 5-7. RESET 引脚时序要求和开关特性

5.9 典型特性

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。

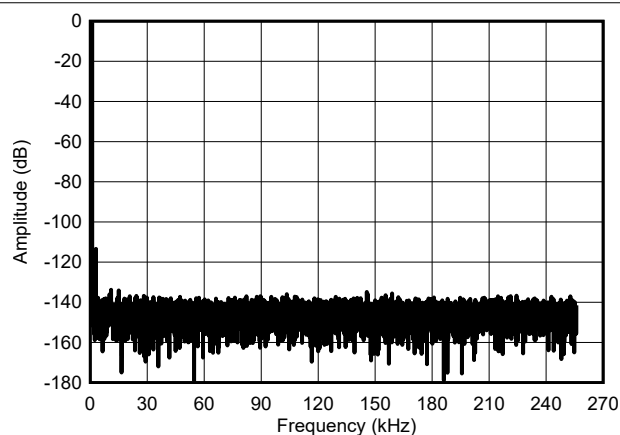


图 5-8. 最大速度模式，满量程 FFT

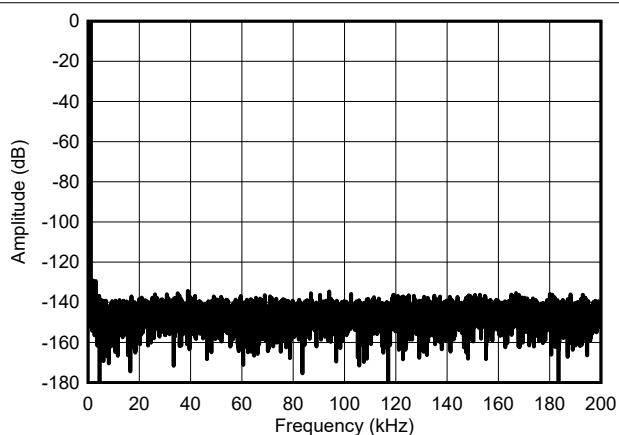


图 5-9. 高速模式，满量程 FFT

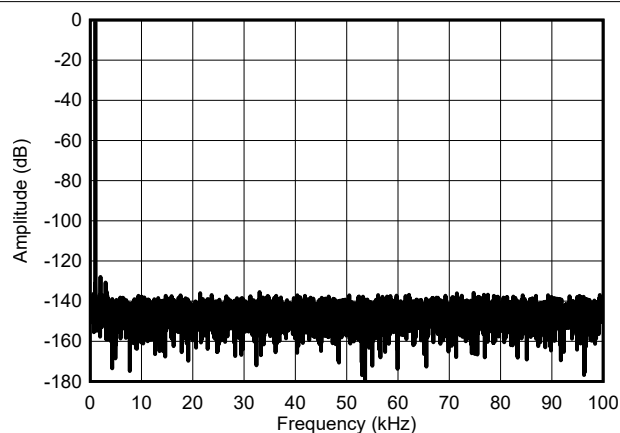


图 5-10. 中速模式，满量程 FFT

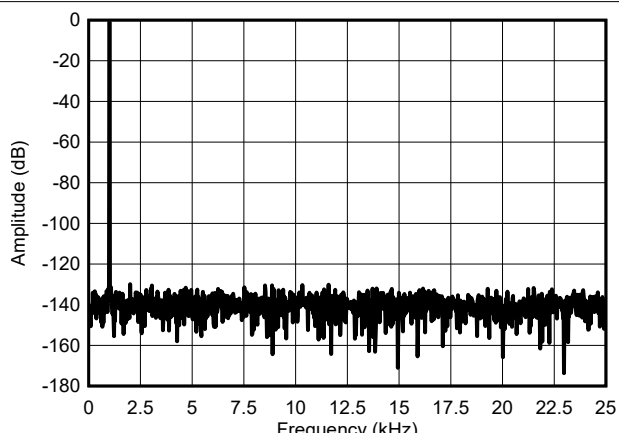
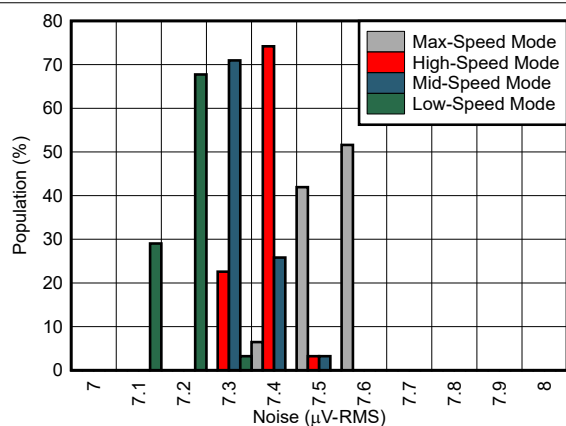


图 5-11. 低速模式，满量程 FFT

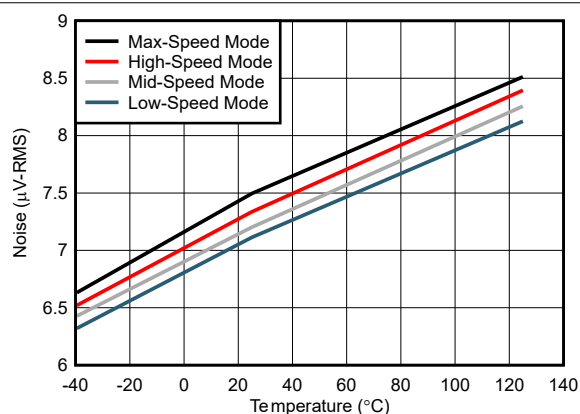
5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。



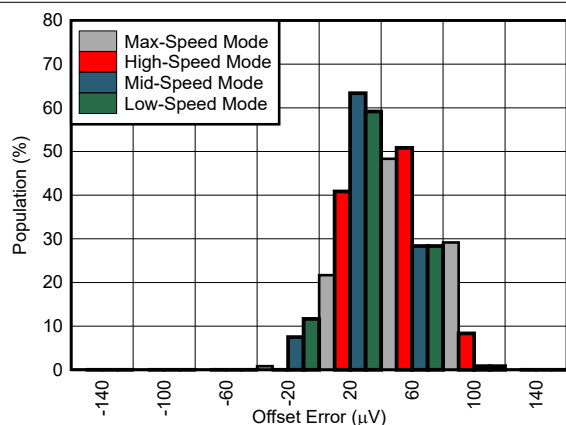
宽带滤波器，OSR = 64，30 个单元

图 5-12. 噪声直方图



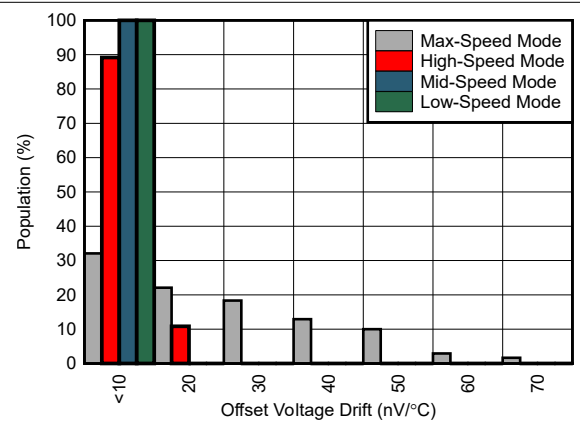
宽带滤波器，OSR = 64

图 5-13. 噪声与温度间的关系



30 个单元

图 5-14. 失调电压直方图



30 个单元

图 5-15. 失调电压漂移直方图

5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。

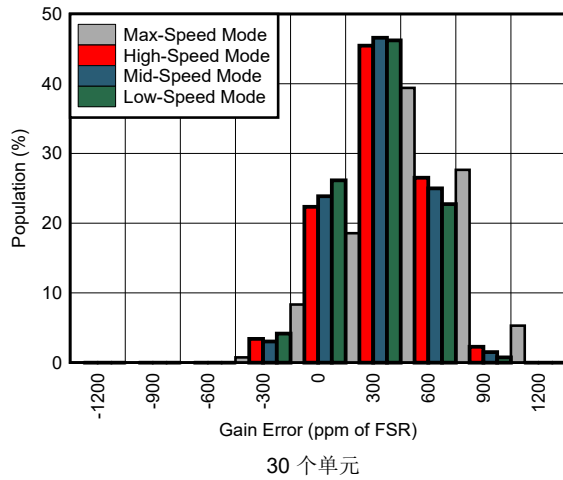


图 5-16. 增益误差直方图

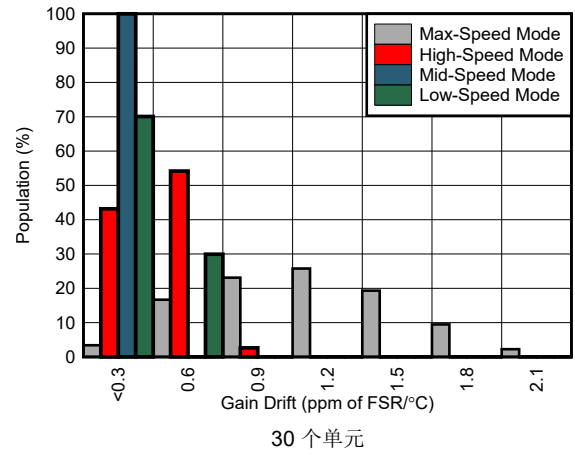


图 5-17. 增益漂移直方图

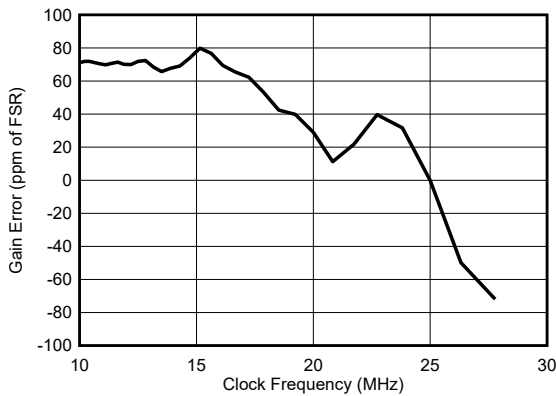


图 5-18. 增益误差与时钟频率间的关系

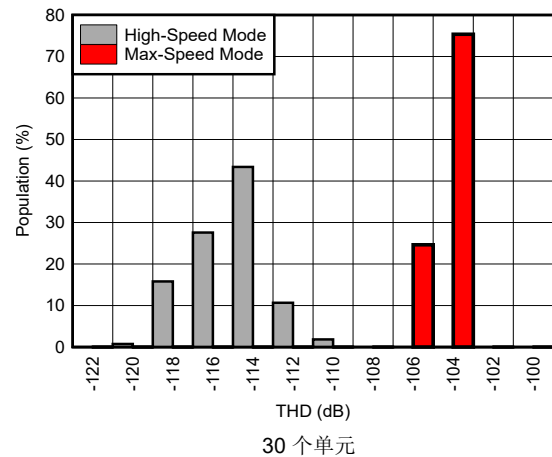


图 5-19. THD 直方图

5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。

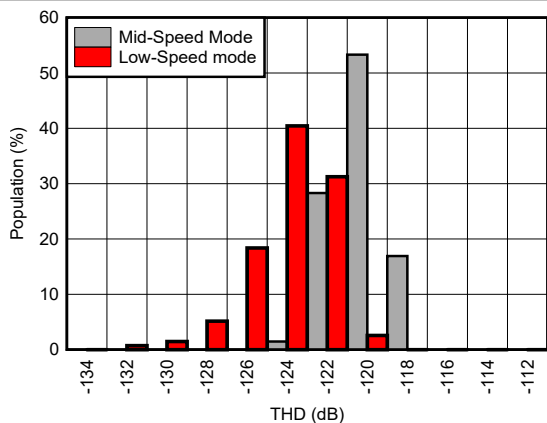


图 5-20. THD 直方图

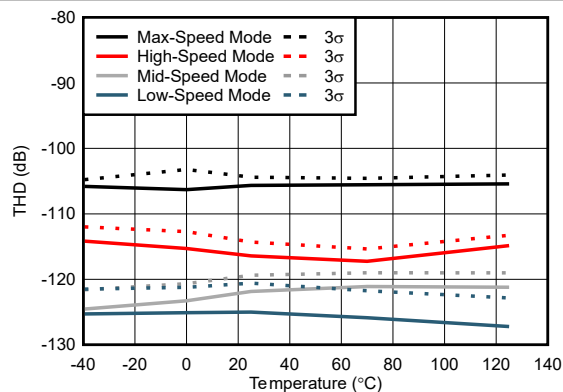
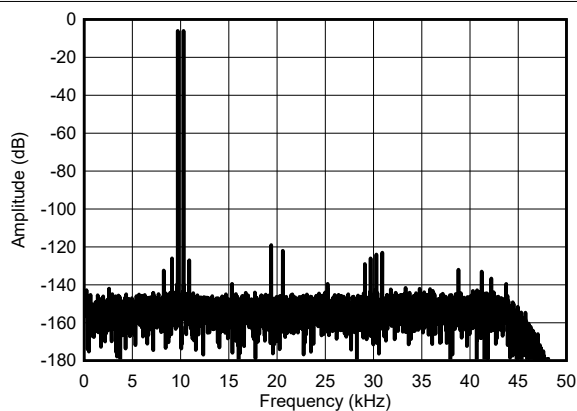
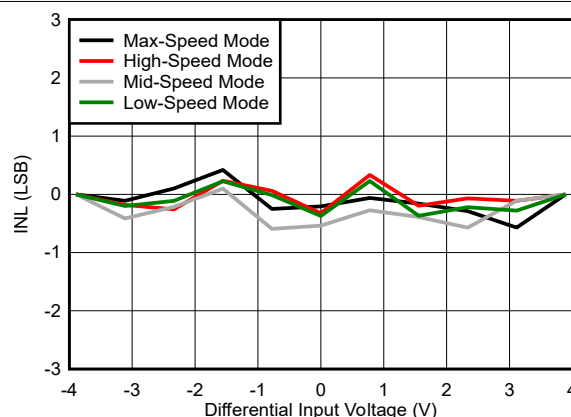


图 5-21. THD 与温度间的关系



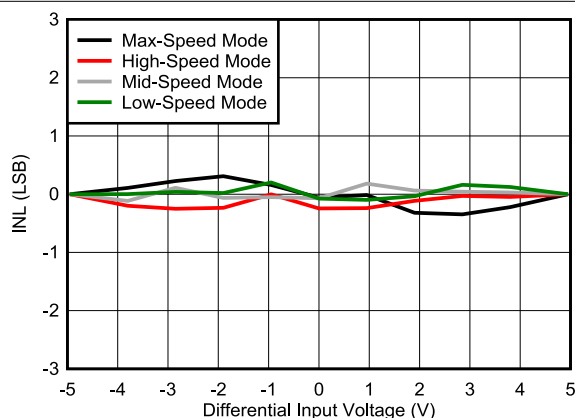
高速模式，OSR = 64

图 5-22. IMD FFT



$V_{REF} = 4.096V$ ，1 倍输入范围

图 5-23. INL 与输入电压间的关系



$V_{REF} = 2.5V$ ，2 倍输入范围

图 5-24. INL 与输入电压间的关系

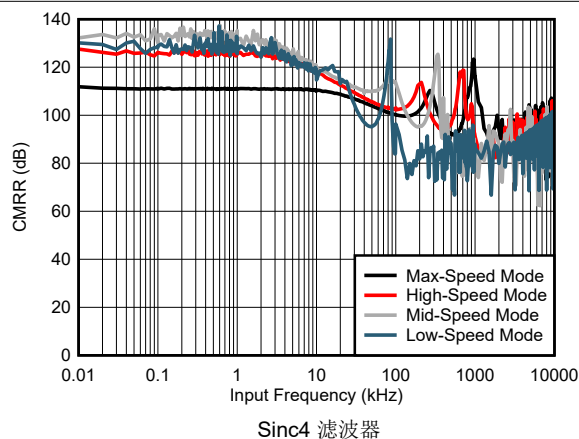


图 5-25. CMRR 与频率间的关系

5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。

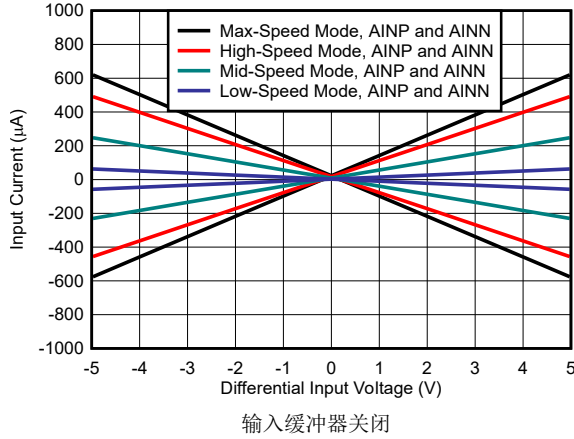


图 5-26. 输入电流与输入电压间的关系

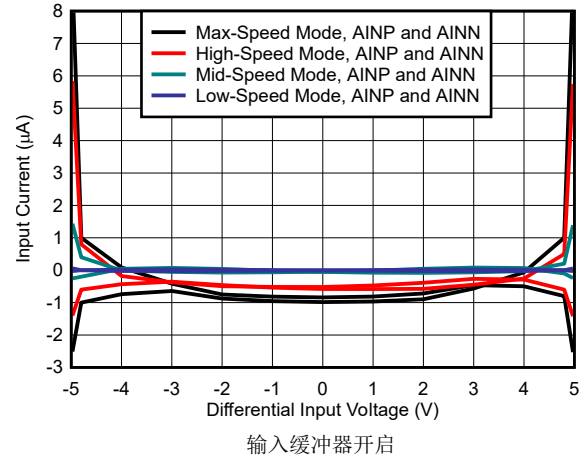


图 5-27. 输入电流与输入电压间的关系

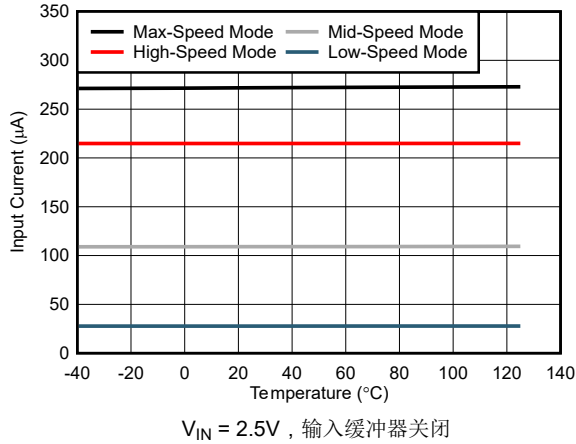


图 5-28. 输入电流与温度间的关系

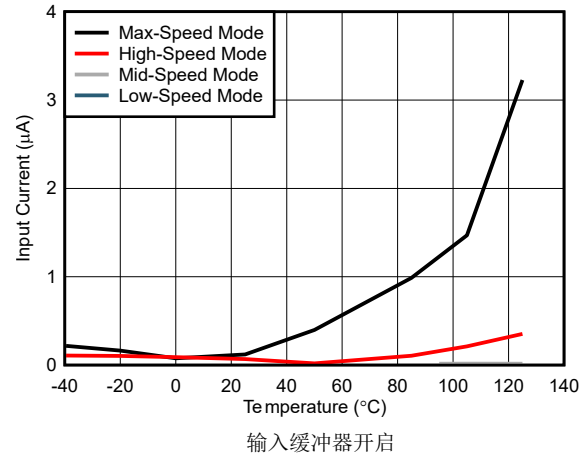


图 5-29. 输入电流与温度间的关系

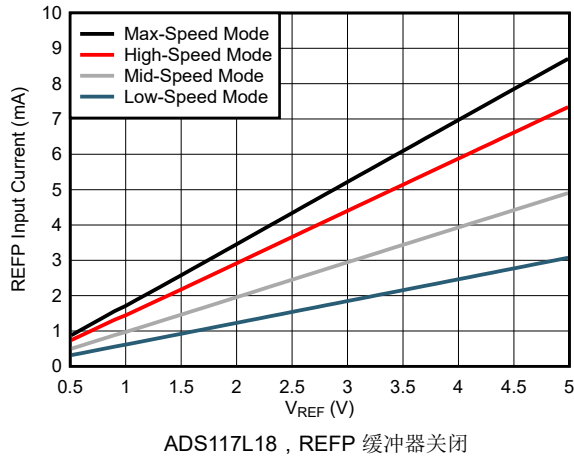


图 5-30. REFP 输入电流与基准电压间的关系

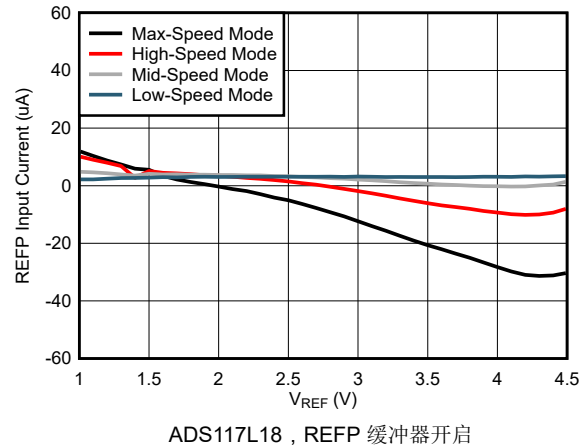


图 5-31. REFP 输入电流与基准电压间的关系

5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。

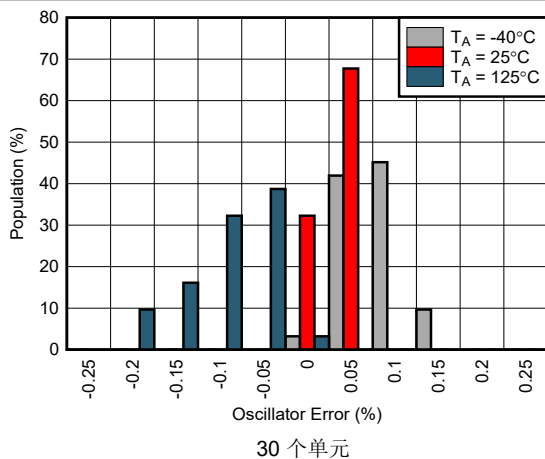


图 5-32. 振荡器频率直方图

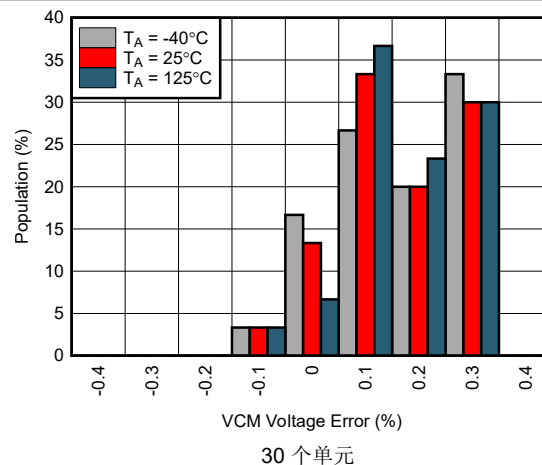


图 5-33. VCM 输出电压直方图

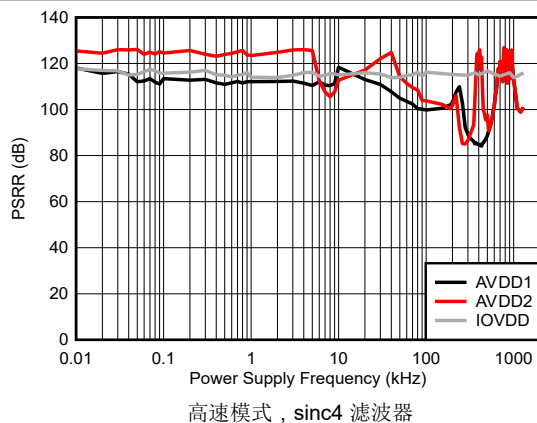


图 5-34. PSRR 与电源频率间的关系

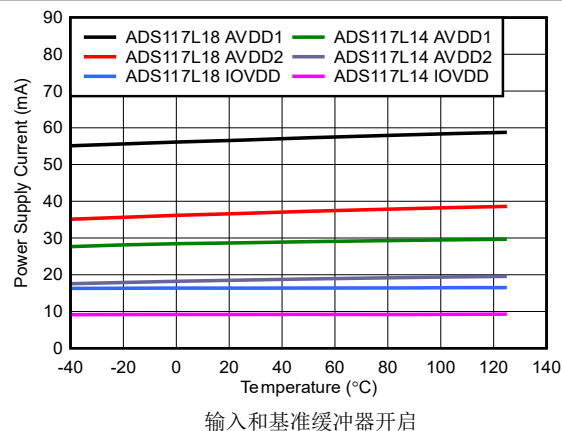


图 5-35. 最大速度模式电源电流与温度间的关系

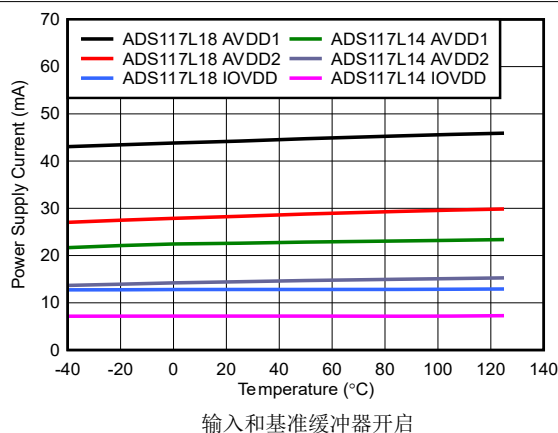


图 5-36. 高速模式电源电流与温度间的关系

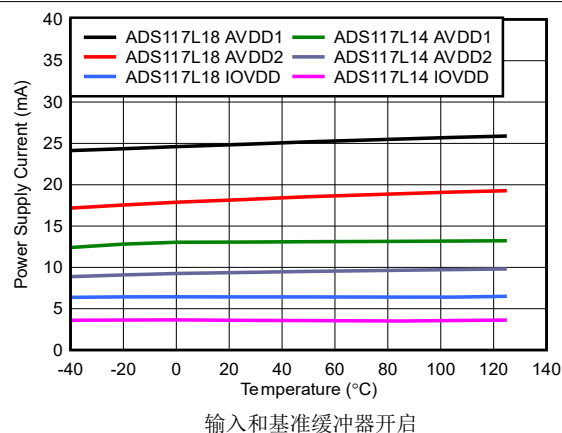
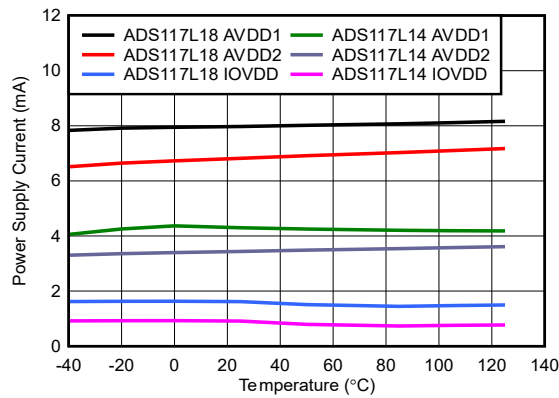


图 5-37. 中速模式电源电流与温度间的关系

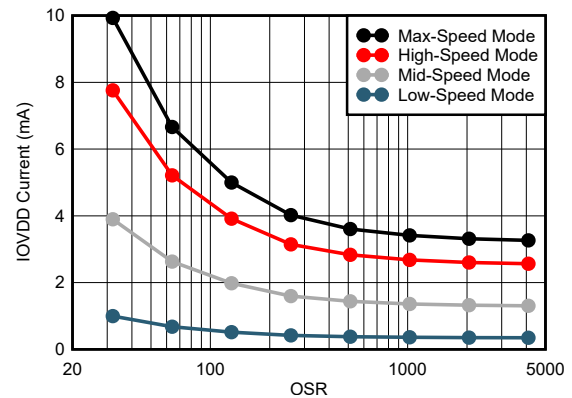
5.9 典型特性 (续)

AVDD1 = AVDD2 = 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高基准范围、高速模式、宽带滤波器、OSR = 32、1倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 $T_A = 25^{\circ}C$ 。数据代表典型的通道性能（除非另有说明）。



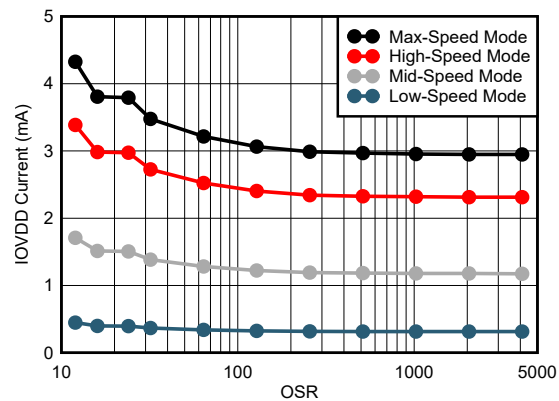
输入和基准缓冲器开启

图 5-38. 低速模式电源电流与温度间的关系



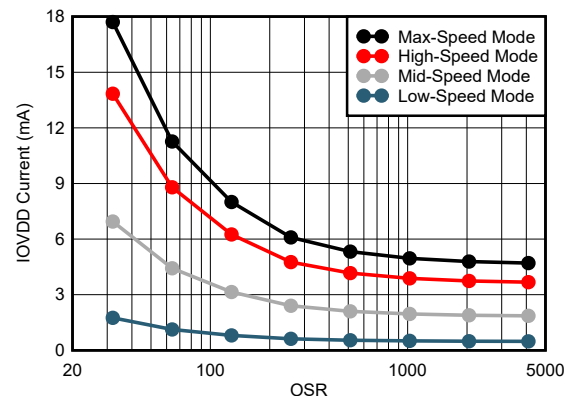
宽带滤波器

图 5-39. ADS117L14 IOVDD 电流与 OSR 间的关系



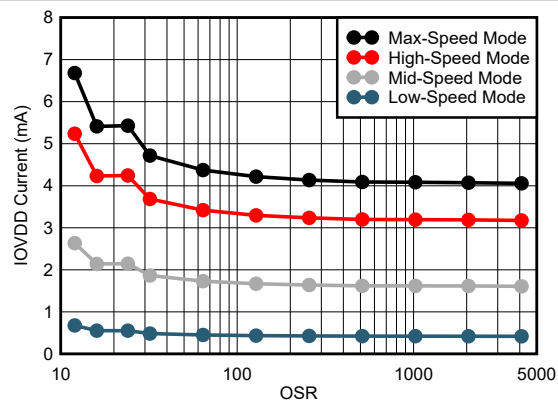
Sinc4 滤波器

图 5-40. ADS117L14 IOVDD 电流与 OSR 间的关系



宽带滤波器

图 5-41. ADS117L18 IOVDD 电流与 OSR 间的关系



Sinc4 滤波器

图 5-42. ADS117L18 IOVDD 电流与 OSR 间的关系

6 参数测量信息

6.1 失调电压误差测量

失调电压误差是在外部将 ADC 输入短接在一起的情况下测量的。输入共模电压固定为 AVDD1 和 AVSS 电源电压范围的中点。失调电压误差在 $T_A = 25^\circ\text{C}$ 时测量。

6.2 温漂测量

温漂定义为额定温度范围内的多个点测得的失调电压变化。使用框方法计算温漂，在最大和最小失调电压以及额定温度范围内形成一个框。框方法指定温度误差的限值，但不指定被测器件的确切形状和斜率。方程式 1 表示使用框方法的温漂计算。

$$\text{Offset Drift (nV/}^\circ\text{C)} = 10^9 \cdot (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

其中：

- V_{OFSMAX} 和 V_{OFSMIN} = 额定温度范围内的最大失调电压和最小失调电压
- T_{MAX} 和 T_{MIN} = 最高温度和最低温度

6.3 增益误差测量

增益误差被定义为 ADC 传递函数的实际斜率和理想斜率之间的差值。通过在 FSR 的 -95% 和 95% 上施加直流测试电压来测量增益误差。误差通过以下方式计算得出：从 ADC 输出电压的差值（实际斜率）中减去直流测试电压（理想斜率）的差值。斜率的差值除以理想斜率，再乘以 10^6 ，将误差转换为 FSR 的 ppm。ADC 基准电压产生的误差不包括在增益误差测量结果中。增益误差是在 $T_A = 25^\circ\text{C}$ 时指定的。方程式 2 表示增益误差的计算方法：

$$\text{Gain Error (ppm of FSR)} = 10^6 \cdot (\Delta V_{\text{OUT}} - \Delta V_{\text{IN}}) / \Delta V_{\text{IN}} \quad (2)$$

其中：

- ΔV_{OUT} = 两个 ADC 输出电压的差值
- ΔV_{IN} = 两个输入测试电压的差值

6.4 增益漂移测量

增益漂移定义为在额定温度范围内的多个点测量的增益误差变化。使用框方法时，在额定温度范围内的最大和最小增益误差范围内形成框。框方法指定温度误差的限值，但不指定被测器件的确切形状和斜率。方程式 3 描述了使用框方法的增益漂移计算。

$$\text{Gain Drift (ppm/}^\circ\text{C)} = (G_{\text{EMAX}} - G_{\text{EMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (3)$$

其中：

- G_{EMAX} 和 G_{EMIN} = 额定温度范围内的最大和最小增益误差
- T_{MAX} 和 T_{MIN} = 最高温度和最低温度

6.5 NMRR 测量

正常模式抑制比 (NMRR) 指定 ADC 在特定频率下抑制正常模式输入信号的能力。这些输入频率通常表示为 50Hz 和 60Hz。正常模式抑制完全由数字滤波器的频率响应决定。在这种情况下，处于 50Hz 和 60Hz 的低延迟 sinc3 滤波器选项的频率响应中的零位在这些频率下提供了抑制作用。

6.6 CMRR 测量

共模抑制比 (CMRR) 指定 ADC 抑制共模输入信号的能力。CMRR 表示为直流和交流参数。为了测量 CMRR (dc)，需要施加三个共模测试电压，并在外部将输入短接在一起。这些测试电压等于 $\text{AVSS} + 50\text{mV}$ 、 $\text{AVDD1} +$

$AVSS) / 2$ 和 $AVDD1 - 50\text{mV}$ 。记录的是 ADC 失调电压的最大变化与共模测试电压的变化。方程式 4 表示 CMRR (dc) 的计算方法。

$$\text{CMRR (dc) (dB)} = 20 \cdot \log(\Delta V_{\text{CM}} / \Delta V_{\text{OS}}) \quad (4)$$

其中：

- ΔV_{CM} = 直流共模测试电压的变化
- ΔV_{OS} = 相应电压偏移量的变化

为测量 CMRR (ac)，在 95% 满量程范围的各种测试频率下施加交流共模信号。在施加共模信号的情况下可根据 ADC 数据计算得出 FFT。如方程式 5 所示，频谱中九个最大幅值杂散频率的乘方求和。然后，这些频率与共模测试信号的幅值相关。

$$\text{CMRR (ac) (dB)} = 20 \cdot \log(V_{\text{CM}} / V_{\text{O}}) \quad (5)$$

其中：

- V_{CM} (RMS) = 共模输入信号幅值
- V_{O} (RMS) = 杂散频率的平方和根幅度 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.7 PSRR 测量

电源抑制比 (PSRR) 指定 ADC 抑制电源干扰的能力。PSRR 表示为交流和直流参数。为了测量 PSRR (dc)，电源电压在最小、标称和最大额定电压范围内变化，输入端在外部短接在一起。记录 ADC 失调电压的最大变化与电源电压变化之间的关系。PSRR (dc) 的计算如方程式 6 所示，即电源电压阶跃变化与失调电压变化之比。

$$\text{PSRR (dc) (dB)} = 20 \cdot \log(\Delta V_{\text{PS}} / \Delta V_{\text{OS}}) \quad (6)$$

其中：

- ΔV_{PS} = 电源电压的变化
- ΔV_{OS} = 失调电压的变化

为了测量 PSRR (ac)，在不同的测试频率下，以 100mVpp (35mV_{RMS}) 的信号调制电源电压。对经过电源电压调制的 ADC 数据进行 FFT。如方程式 7 所示，频谱中九个最大幅值杂散频率的乘方求和。此外，这些频率也与电源调制信号的幅值相关。

$$\text{PSRR (ac) (dB)} = 20 \cdot \log(V_{\text{PS}} / V_{\text{O}}) \quad (7)$$

其中：

- V_{PS} (RMS) = 35mV 交流电源调制信号
- V_{O} (RMS) = 杂散频率的平方和根幅度 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.8 SNR 测量

信噪比 (SNR) 是在满量程交流输入信号条件下对噪声性能的衡量。对于 SNR 测量, 使用一个 -0.2dBFS、1kHz 测试信号, 其 V_{CM} 等于 $1/2 V_S$ 电压。如 [方程式 8](#) 所示, SNR 是输入信号的 rms 值与从 ADC 输出样本的 FFT 结果得出的所有其他频率分量的平方和根之比。SNR 计算中不包括原始信号的直流和谐波。如果由于非相干采样而使用 FFT 窗口函数, 则会在计算 SNR 时移除原始信号附近的频谱泄漏频段。

$$SNR (dB) = 20 \cdot \log(V_{IN} / e_n) \quad (8)$$

其中：

- V_{IN} = 输入测试信号
- e_n = 除直流和信号谐波之外的频率分量的平方和根

6.9 INL 误差测量

积分非线性 (INL) 误差指定了 ADC 直流传递函数的线性度。INL 的测量方法是在 ADC 输入范围内施加一系列直流测试电压。INL 是一组直流测试电压 $[V_{IN(N)}]$ 与相应的一组输出电压 $[V_{OUT(N)}]$ (根据 ADC 的斜率和偏移传递函数计算得出) 之间的差值。[方程式 9](#) 表示计算 INL 误差的终点方法。

$$INL (LSB) = \text{Maximum of test voltage series } [2^{16} \cdot |V_{IN(N)} - V_{OUT(N)}| / FSR] \quad (9)$$

其中：

- N = 直流测试电压的索引
- $[V_{IN(N)}]$ = 在 -95% 至 95% 范围内的测试电压组
- $[V_{OUT(N)}]$ = 一组相应的 ADC 输出电压
- FSR (满量程范围) = $2 \cdot V_{REF}$ (1 倍输入范围) 或 $4 \cdot V_{REF}$ (2 倍输入范围)

INL 最佳拟合法使用最小平方误差 (LSE) 计算方法来确定新的直线。这条线可更大限度地减小原始终点线上方和下方 INL 误差的平方和根。

6.10 THD 测量

总谐波失真 (THD) 指定 ADC 与交流输入信号的动态线性关系。对于 THD 测量, 需施加一个 -0.2dBFS、1kHz 差分输入信号, 其 V_{CM} 等于 $1/2 V_S$ 电压。收集足够数量的数据点, 以生成频率间隔宽度为 5Hz 或更低的 FFT 结果。5Hz 间隔宽度可降低谐波区间中的噪声, 从而实现一致的 THD 测量。如 [方程式 10](#) 所示, THD 的计算方法为谐波的平方和根幅值与输入信号幅值之比。

$$THD (dB) = 20 \cdot \log(V_H / V_{IN}) \quad (10)$$

其中：

- V_H = 谐波的平方和根: $\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}$, 其中 V_n = 第九次谐波电压
- V_{IN} = 输入信号基波分量

6.11 IMD 测量

互调失真 (IMD) 是指两个输入信号的混合效应。信号混合是由 ADC 非线性引起的，这种非线性会产生未包含在原始信号中的和频及差频。IMD 二阶项为 $(f_1 + f_2)$ 和 $(f_1 - f_2)$ 。IMD 三阶项为 $(2f_1 + f_2)$ 、 $(2f_1 - f_2)$ 、 $(f_1 + 2f_2)$ 和 $(f_1 - 2f_2)$ 。测试信号 $f_1 = 9.7\text{kHz}$ 和 $f_2 = 10.3\text{kHz}$ 为 -6.5dBFS 。方程式 11 所示为 IMD 计算公式。

$$\begin{aligned} \text{IMD}_2 (\text{dB}) &= 20 \cdot \log(V_2 / V_{\text{IN}}) \\ \text{IMD}_3 (\text{dB}) &= 20 \cdot \log(V_3 / V_{\text{IN}}) \end{aligned} \quad (11)$$

其中：

- IMD_2 = 二阶 IMD
- IMD_3 = 三阶 IMD
- V_2 = 二阶项的平方和根
- V_3 = 三阶项的平方和根
- V_{IN} = 输入测试信号的总幅值

6.12 SFDR 测量

无杂散动态范围 (SFDR) 是单频交流输入的 rms 值与 ADC 频谱中最高杂散信号的比值。SFDR 测量包括原始信号的谐波。对于 SFDR 测量，需施加一个 -0.2dBFS 、 1kHz 输入信号，其 V_{CM} 等于 $1/2 V_{\text{S}}$ 电压。如方程式 12 所示，SFDR 是输入信号的 rms 值与单个最高杂散信号 (包括原始信号的谐波) 的比值。

$$\text{SFDR} (\text{dB}) = 20 \cdot \log(V_{\text{IN}} / V_{\text{SPUR}}) \quad (12)$$

其中：

- V_{IN} = 输入测试信号
- V_{SPUR} = 单个最高杂散电平

6.13 噪声性能

ADC 提供四种速度模式，配有可编程的 OSR，可在功耗和带宽之间进行权衡。这些模式分别是最大速度、高速、中速和低速模式，器件功耗和信号带宽级别依次降低。

短接 ADC 输入后，输出代码为单个值或两个或更多值之间的闪烁代码。代码闪烁取决于所选 OSR 值的 ADC 噪声以及与下一个代码转换相关的直流信号。ADC 峰峰噪声值通常为 $6.6 \times \text{RMS}$ 噪声值。当噪声的振幅足够大能够触发代码转换时，会产生代码闪烁。

ADC 的量化误差是 $\pm 0.5\text{LSB}$ 。在交流信号中，量化误差成为量化噪声。图 6-1 展示了信号变化时转换为噪声的量化误差 (LSB 误差图)。在非相干采样中，该量化噪声近似为白噪声，并均匀分布在整个频带中。在一个 N 位 ADC 中，信号与量化噪声比 (SQNR) 如下： $\text{SQNR (dB)} = 6.02 \times N + 1.76$ 。在一个 16 位 ADC 中，SQNR 为 98.1dB。

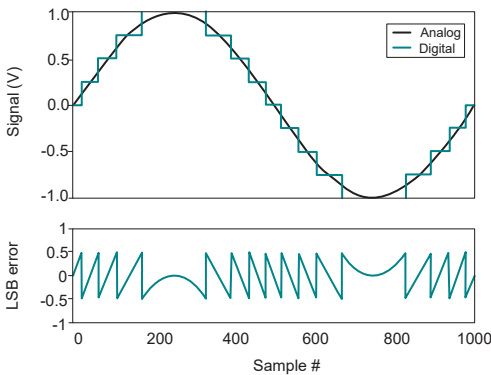


图 6-1. 正弦波输入的量化噪声

表 6-1 至表 6-5 总结了噪声性能。表格中的 SNR 值通过 RMS 满量程范围与 ADC 热噪声和 16 位量化噪声的和方根结果之比计算得出。在该器件中，量化噪声的值通常大于热噪声，因此对于较大的 OSR 值，SNR 限制为 98.1dB。

表 6-1. 宽带滤波器噪声性能 ($V_{\text{REF}} = 4.096\text{V}$, 1 倍输入范围)

模式	f _{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e _n , μVRMS)	SNR (dB)
最大速度	32.768	32	512	10.9	97.7
高速	25.6		400	10.8	97.7
中速	12.8		200	10.5	97.8
低速	3.2		50	10.4	97.8
最大速度	32.768	64	256	7.48	97.9
高速	25.6		200	7.33	97.9
中速	12.8		100	7.21	97.9
低速	3.2		25	7.17	97.9
最大速度	32.768	128	128	5.17	98.0
高速	25.6		100	5.14	98.0
中速	12.8		50	5.02	98.0
低速	3.2		12.5	5.02	98.0
最大速度	32.768	256	64	3.64	98.1
高速	25.6		50	3.59	98.1
中速	12.8		25	3.55	98.1
低速	3.2		6.25	3.55	98.1

表 6-1. 宽带滤波器噪声性能 ($V_{REF} = 4.096V$, 1 倍输入范围) (续)

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n , μV_{RMS})	SNR (dB)
最大速度	32.768	512	32	2.56	98.1
高速	25.6		25	2.55	98.1
中速	12.8		12.5	2.49	98.1
低速	3.2		3.125	2.49	98.1
最大速度	32.768	1024	16	1.73	98.1
高速	25.6		12.5	1.80	98.1
中速	12.8		6.25	1.73	98.1
低速	3.2		1.5625	1.75	98.1
最大速度	32.768	2048	8	1.37	98.1
高速	25.6		6.25	1.28	98.1
中速	12.8		3.125	1.26	98.1
低速	3.2		0.78125	1.26	98.1
最大速度	32.768	4096	4	0.93	98.1
高速	25.6		3.125	0.92	98.1
中速	12.8		1.5625	0.90	98.1
低速	3.2		0.390625	0.89	98.1

表 6-2. Sinc4 滤波器噪声性能 ($V_{REF} = 4.096V$, 1 倍输入范围)

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n , μV_{RMS})	SNR (dB)
最大速度	32.768	12	1365.3	65.1	91.9
高速	25.6		1066.6	66.1	91.8
中速	12.8		533.3	65.3	91.9
低速	3.2		133.33	65.3	91.9
最大速度	32.768	16	1024	25.1	96.4
高速	25.6		800	25.1	96.4
中速	12.8		400	24.6	96.5
低速	3.2		100	24.7	96.5
最大速度	32.768	24	682.67	10.4	97.8
高速	25.6		533.3	10.3	97.8
中速	12.8		266.67	10.1	97.8
低速	3.2		66.67	10.1	97.8
最大速度	32.768	32	512	8.05	97.9
高速	25.6		400	7.83	97.9
中速	12.8		200	7.78	97.9
低速	3.2		50	7.76	97.9
最大速度	32.768	64	256	5.46	98.0
高速	25.6		200	5.44	98.0
中速	12.8		100	5.30	98.0
低速	3.2		25	5.30	98.0
最大速度	32.768	128	128	3.79	98.1
高速	25.6		100	3.76	98.1
中速	12.8		50	3.68	98.1
低速	3.2		12.5	3.62	98.1

表 6-2. Sinc4 滤波器噪声性能 ($V_{REF} = 4.096V$, 1 倍输入范围) (续)

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n , μV_{RMS})	SNR (dB)
最大速度	32.768	256	64	2.74	98.1
高速	25.6		50	2.69	98.1
中速	12.8		25	2.63	98.1
低速	3.2		6.25	2.62	98.1
最大速度	32.768	512	32	1.90	98.1
高速	25.6		25	1.89	98.1
中速	12.8		12.5	1.86	98.1
低速	3.2		3.125	1.84	98.1
最大速度	32.768	1024	16	1.34	98.1
高速	25.6		12.5	1.34	98.1
中速	12.8		6.25	1.33	98.1
低速	3.2		1.56	1.32	98.1
最大速度	32.768	2048	8	0.98	98.1
高速	25.6		6.25	0.95	98.1
中速	12.8		3.125	0.93	98.1
低速	3.2		0.78	0.92	98.1
最大速度	32.768	4096	4	0.70	98.1
高速	25.6		3.125	0.69	98.1
中速	12.8		1.563	0.66	98.1
低速	3.2		0.39	0.66	98.1

表 6-3. Sinc4 + Sinc1 滤波器性能 ($V_{REF} = 4.096V$, 1 倍输入范围)

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n) (μV_{RMS})	SNR (dB)
最大速度	32.768	64	256	6.77	98.0
高速	25.6		200	6.62	98.0
中速	12.8		100	6.60	98.0
低速	3.2		25	6.50	98.0
最大速度	32.768	128	128	5.16	98.0
高速	25.6		100	5.13	98.0
中速	12.8		50	5.07	98.0
低速	3.2		12.5	5.02	98.0
最大速度	32.768	320	51.2	3.39	98.1
高速	25.6		40	3.35	98.1
中速	12.8		20	3.29	98.1
低速	3.2		5	3.28	98.1
最大速度	32.768	640	25.6	2.42	98.1
高速	25.6		20	2.39	98.1
中速	12.8		10	2.35	98.1
低速	3.2		2.5	2.36	98.1
最大速度	32.768	1280	12.8	1.74	98.1
高速	25.6		10	1.73	98.1
中速	12.8		5	1.69	98.1
低速	3.2		1.25	1.68	98.1

表 6-3. Sinc4 + Sinc1 滤波器性能 ($V_{REF} = 4.096V$, 1 倍输入范围) (续)

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n) (μV_{RMS})	SNR (dB)
最大速度	32.768	3200	5.12	1.10	98.1
高速	25.6		4	1.09	98.1
中速	12.8		2	1.07	98.1
低速	3.2		0.5	1.07	98.1
最大速度	32.768	6400	2.56	0.79	98.1
高速	25.6		2	0.78	98.1
中速	12.8		1	0.77	98.1
低速	3.2		0.25	0.77	98.1
最大速度	32.768	12800	1.28	0.57	98.1
高速	25.6		1	0.56	98.1
中速	12.8		0.5	0.55	98.1
低速	3.2		0.125	0.54	98.1
最大速度	32.768	32000	0.512	0.37	98.1
高速	25.6		0.4	0.37	98.1
中速	12.8		0.2	0.37	98.1
低速	3.2		0.05	0.37	98.1

表 6-4. Sinc3 滤波器性能 ($V_{REF} = 4.096V$, 1 倍输入范围)

模式	f_{CLK} (MHz)	OSR	数据速率 (SPS)	噪声 (e_n) (μV_{RMS})	SNR (dB)
最大速度	32.768	26667	614.4	0.32	98.1
高速	25.6		480	0.32	98.1
中速	12.8		240	0.32	98.1
低速	3.2		60	0.32	98.1
最大速度	32.768	32000	512	0.32	98.1
高速	25.6		400	0.31	98.1
中速	12.8		200	0.31	98.1
低速	3.2		50	0.31	98.1

表 6-5. Sinc3 + Sinc1 滤波器性能 ($V_{REF} = 4.096V$, 1 倍输入范围)

模式	f_{CLK} (MHz)	OSR	数据速率 (SPS)	噪声 (e_n) (μV_{RMS})	SNR (dB)
最大速度	32.768	96000	170.6	0.25	98.1
高速	25.6		133.3	0.25	98.1
中速	12.8		66.6	0.25	98.1
低速	3.2		16.6	0.25	98.1
最大速度	32.768	160000	102.4	0.24	98.1
高速	25.6		80	0.25	98.1
中速	12.8		40	0.25	98.1
低速	3.2		10	0.25	98.1

7 详细说明

7.1 概述

ADS117L14 和 ADS117L18 分别为四通道和八通道、16 位、同步采样和 $\Delta\Sigma$ 模数转换器 (ADC)。这些器件集出色的直流精度、交流分辨率和宽信号带宽于一体，适用于同步多通道数据采集系统。这些 ADC 具有宽信号带宽和低功耗等优势。

[功能方框图](#) 展示了器件特性。这些器件包含四个或八个独立的 $\Delta\Sigma$ ADC，这些 ADC 的数据通过帧同步数据端口读取。每个 ADC 都具有可编程数字滤波器，这些滤波器在宽带滤波器模式下提供高达 512kSPS 的采样率，在低延迟滤波器模式下提供高达 1365.3kSPS 的采样率。四种可选的功率可扩展速度模式可以优化信号带宽、SNR 和功耗。

每个 ADC 通道的信号和基准电压输入预充电缓冲器可降低模拟输入电流和采样噪声，从而允许使用低带宽信号驱动器。VCM 输出作为缓冲的 $1/2 V_{S}$ 电压，用于驱动外部缓冲器和增益级的共模电压。

多位 $\Delta\Sigma$ 调制器根据差分基准 $V_{REF} = (V_{REFP} - V_{REFN})$ 测量差分输入信号 $V_{IN} = (V_{AINP} - V_{AINN})$ 。调制器生成低分辨率、高频数据。调制器的噪声整形会将低分辨率数据的量化噪声移至带外频率范围内，在此范围内通过数字滤波器去除该噪声。通带内剩余的噪声为低电平热噪声。数字滤波器对调制器数据进行抽取和滤除，以便提供最终输出数据。

数字滤波器有两种滤波器模式：低延迟滤波器（通常用于直流信号测量）和宽带滤波器（通常用于交流信号测量）。低延迟滤波器是一种可变阶 sinc 滤波器，具有 sinc4、sinc4 + sinc1、sinc3 和 sinc3 + sinc1 滤波器选项。利用该滤波器，可以在噪声性能、转换延迟和信号带宽之间进行优化。宽带滤波器是一种多级线性相位有限脉冲响应 (FIR) 滤波器。该滤波器具有出色的频率响应特性，包括低通带纹波、窄过渡带和高阻带衰减。这些器件支持以 2 的幂倍数关系设置通道间的数据速率。

MODE 引脚可以选择器件配置方法：使用硬件引脚设置或 SPI 串行接口。

帧同步数据端口使用四个或八个数据通路或时分多路复用 (TDM) 格式提供转换数据，将数据通路的数量减少至两个或一个。在菊花链中将一个器件的 DOUTx 引脚连接到下一个器件的 DINx 引脚，以菊花链方式连接多个器件。

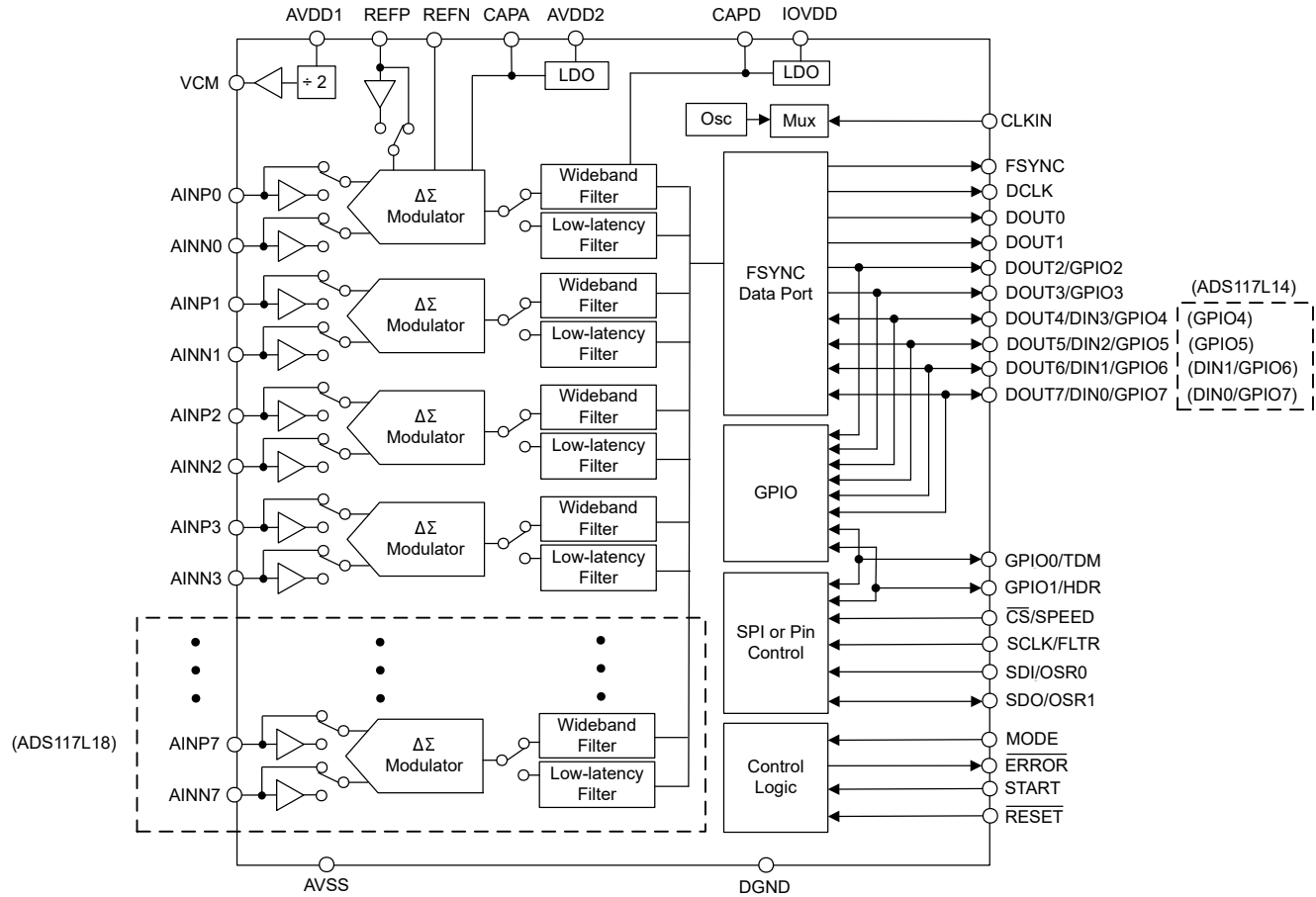
该器件支持在同步应用中使用外部时钟运行，而在独立应用中使用内部振荡器运行。START 引脚可以同时同步 ADC 通道。RESET 引脚复位 ADC。

帧同步端口和 SPI 配置端口可以使用循环冗余校验 (CRC) 错误检测功能。寄存器映射 CRC 在后台运行以便在初始值上传到器件后检测对寄存器值的意外更改。当检测到 ADC 错误时，开漏 ERROR 输出引脚将置为低电平。

该器件有八个通用输入/输出 (GPIO) 引脚。两个 GPIO 是独立引脚，其余六个 GPIO 引脚与帧同步 DINx 和 DOUTx 引脚进行多路复用。

AVDD1 电源电压为预充电缓冲器和输入采样开关供电。AVDD2 通过内部稳压器为调制器供电。IOVDD 电源电压用作数字 I/O 电压，还通过第二个稳压器为数字内核供电。内部稳压器可降低总体功耗，并在不同的电源条件下保持一致的器件性能水平。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入 (AINP、AINN)

ADC 通道的模拟输入为差分输入，输入定义为差分电压： $V_{IN} = V_{AINP} - V_{AINN}$ 。为了获得出色性能，使用差分信号驱动输入，共模电压以 $1/2 V_s$ (即 $(AVDD1 + AVSS) / 2$) 为中心。将未使用的输入端接地或连接到 AVSS 至 AVDD1 电源电压范围内的直流电压。

ADC 通过相应地配置 AVDD1 和 AVSS 电源，可接受单极或双极输入信号。图 7-1 展示了单极电源配置下的差分信号示例。当共模电压等于 $1/2 V_s$ ($AVDD1/2$) 时，可提供对称输入电压余量。在单极运行模式下，请使用 $AVDD1 = 5V$ 和 $AVSS = 0V$ (中速和低速模式提供更低 AVDD1 电源电压的选项)。VCM 引脚提供缓冲共模电压，以对外部驱动器级中的信号电压进行电平转换。

图 7-2 展示了双极电源配置下的差分信号示例。信号的共模电压通常为 $0V$ 。在双极运行模式下，请使用 $AVDD1$ 和 $AVSS = \pm 2.5V$ (中速和低速模式提供更低 AVDD1 - AVSS 电源电压的选项)。

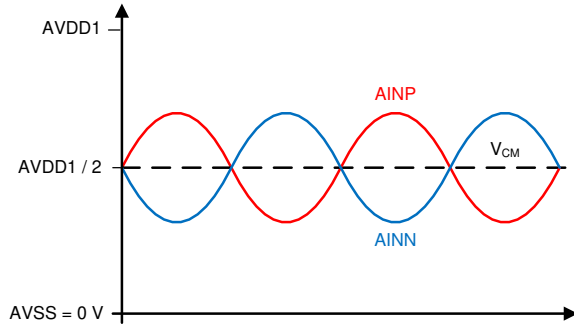


图 7-1. 单极差分输入信号

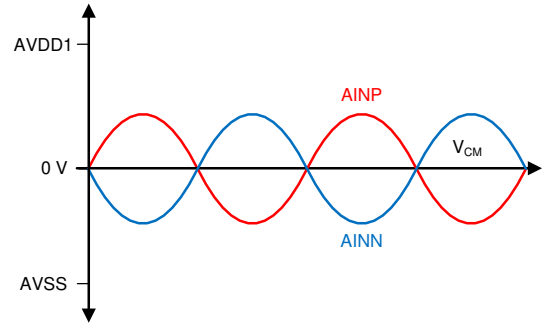


图 7-2. 双极差分输入信号

在双极和单极配置中，ADC 通过将 AINN 输入连接到 AVSS、地或 $1/2 V_s$ 来接受单端输入信号。但是，由于 AINN 为固定电压，因此无法获得全差分输入摆幅范围。所以，ADC 动态范围限制为 AINP 输入的电压摆幅（5V 电源时为 $\pm 2.5V$ 或 0V 至 5V）。

图 7-3 中的电路显示了 ADC 通道的简化模拟输入电路。在静电放电 (ESD) 受控环境中制造的二极管可保护模拟输入免受 ESD 事件的影响，ESD 事件在制造过程和印刷电路板 (PCB) 组装过程中发生。如果输入被驱动至 $AVSS - 0.3V$ 以下或 $AVDD1 + 0.3V$ 以上，保护二极管可能会导通。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为绝对最大额定值部分中所示的值。

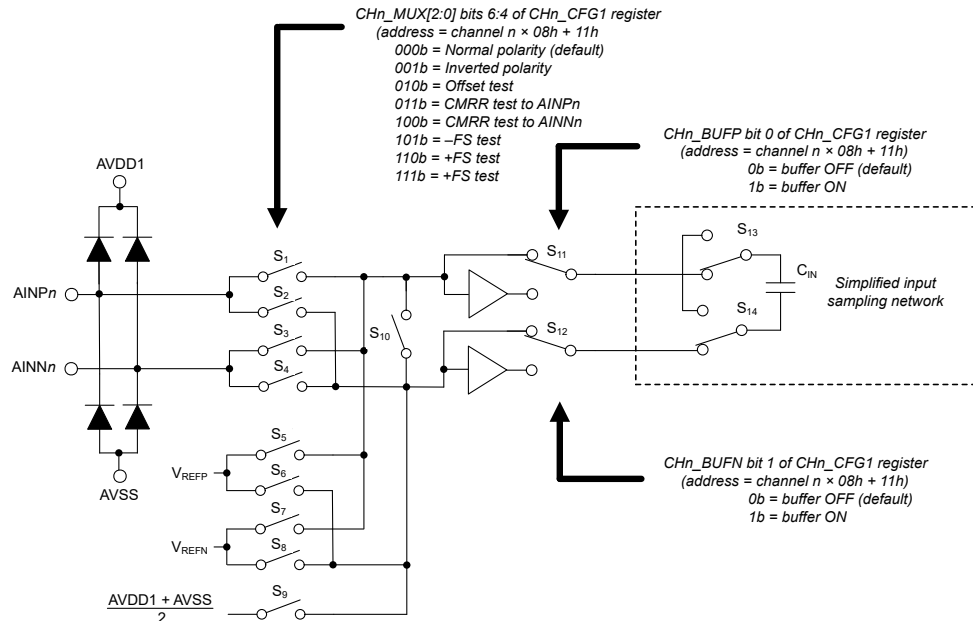


图 7-3. 模拟输入电路

ADC 通道的输入多路复用器可独立配置。多路复用器可提供正常或反向信号极性和内部测试模式的选项。这些测试模式用于 ADC 性能测试和诊断。输入短路测试模式通过将输入短接至 $1/2 V_s$ 电压来验证噪声和失调电压误差。通过选择 +FS 或 -FS 连接可以测试满量程范围。为了避免评估期间输出代码被削波，请减小增益寄存器的值或将 ADC 编程为扩展范围模式。CMRR 测试模式通过将输入短接在一起以及由用户向 AINPn 或 AINNn 输入施加直流或交流测试信号来验证 CMRR 性能。用户对生成的数据进行分析以确定 CMRR 性能。使用测试模式时，可启用输入预充电缓冲器以获得出色精度。

表 7-1 展示了图 7-3 的输入多路复用器电路的开关配置。

表 7-1. 输入多路复用器配置

CH _n _MUX[2:0] 位	闭合开关	说明
000b	S ₁ 、S ₄	正常极性输入
001b	S ₂ 、S ₃	反极性输入
010b	S ₉ 、S ₁₀	输入短路以进行失调电压和噪声测试
011b	S ₁ 、S ₁₀	输入短路且用户向 AINP _n 施加信号以进行 CMRR 测试
100b	S ₄ 、S ₁₀	输入短路且用户向 AINN _n 施加信号以进行 CMRR 测试
101b	S ₆ 、S ₇	-FS 直流信号用于增益测试
110b	S ₅ 、S ₈	+FS 直流信号用于增益测试
111b	S ₅ 、S ₈	+FS 直流信号用于增益测试

输入采样电容器 C_{IN} 是图 7-3 虚线框所示的简化输入采样网络的一部分。鉴于 C_{IN} 的瞬时电荷需求，信号必须在调制器频率的半个周期 $t = 1 / (2 \cdot f_{\text{MOD}})$ 内稳定。为了满足这一要求，驱动器带宽通常比原始信号频率大得多。当达到 THD 和 SNR 数据表性能时，即可确定驱动器的带宽足够。由于低速模式下的调制器采样率只有高速模式下的八分之一，因此有更多的时间可供驱动器实现稳定。

输入采样电容器所需的电荷被建模为 ADC 输入的平均输入电流。如方程式 13 和方程式 14 所示，输入电流由差分 and 绝对分量组成。

$$\text{Input Current (Differential Input Voltage)} = f_{\text{MOD}} \cdot C_{\text{IN}} \cdot 10^6 \text{ (}\mu\text{A/V)} \quad (13)$$

其中：

- $f_{\text{MOD}} = f_{\text{CLK}} / 2$
- $C_{\text{IN}} = 7.4\text{pF}$ (1 倍输入范围)、 3.6pF (2 倍输入范围)

$$\text{Input Current (Absolute Input Voltage)} = f_{\text{MOD}} \cdot C_{\text{CM}} \cdot 10^6 \text{ (}\mu\text{A/V)} \quad (14)$$

其中：

- $f_{\text{MOD}} = f_{\text{CLK}} / 2$
- $C_{\text{CM}} = 0.35\text{pF}$ (1 倍输入范围)、 0.17pF (2 倍输入范围)

对于 $f_{\text{MOD}} = 12.8\text{MHz}$ (高速模式)、 $C_{\text{IN}} = 7.4\text{pF}$ 且 $C_{\text{CM}} = 0.3\text{pF}$ 的情况，差分电压产生的输入电流为 $95\mu\text{A/V}$ ，绝对电压产生的输入电流为 $4.5\mu\text{A/V}$ 。例如，如果 $\text{AINP}_n = 4.5\text{V}$ 且 $\text{AINN}_n = 0.5\text{V}$ ，则 $V_{\text{IN}} = 4\text{V}$ 。总 AINP_n 输入电流 = $(4\text{V} \cdot 95\mu\text{A/V}) + (4.5\text{V} \cdot 4.5\mu\text{A/V}) = 400\mu\text{A}$ 。总 AINN_n 电流 = $(-4\text{V} \cdot 95\mu\text{A/V}) + (0.5 \cdot 4.5\mu\text{A/V}) = -378\mu\text{A}$ 。

该器件集成了输入预充电缓冲器，可显著降低电容器 C_{IN} 所需的电荷。在运行中，预充电缓冲器将提供充电电流。在采样阶段接近结束时，电容器 C_{IN} 几乎充满电。缓冲器断开连接 (图 7-3 的 S₁₁ 和 S₁₂ 处于向上位置) 以便让外部驱动器为电容器提供精细充电。采样阶段完成时，采样电容器放电以完成该周期，此后将重复采样过程。预充电缓冲器的运行可将输入电流降低 99% 以上，在许多情况下这会提高 THD 和 SNR 性能。预充电缓冲器由 CH_n_CFG1 寄存器的 CH_n_BUFP 和 CH_n_BUFN 位启用。如果任何通道的 AINN 输入接地或连接到低阻抗源，则应禁用 AINN 缓冲器以降低功耗。低阻抗源的一个示例是单端输入应用。

7.3.1.1 输入范围

ADC 的输入范围是可编程的，定义为 $V_{IN} = \pm V_{REF}$ 或 $V_{IN} = \pm 2V_{REF}$ 。当使用 2.5V 基准电压时， $\pm 2V_{REF}$ 输入范围会使可用输入范围加倍。 $\pm 2V_{REF}$ 输入范围通常可将动态范围提高 +1dB。但是，需要将输入驱动至 AVDD1 和 AVSS 电源轨，才能实现全动态范围（使用 2.5V 基准电压）。与使用 2.5V 基准电压运行时相比，使用 4.096V 和 5V 基准电压可分别将动态范围性能提高 +4dB 和 +6dB。选择高基准范围（用于 4.096V 或 5V 基准电压）后， $\pm 2V_{REF}$ 范围选择在内部强制为 $\pm V_{REF}$ 范围。请参阅 [CHn_CFG1](#) 寄存器的 CHn_INP_RNG 位以对输入范围进行编程。

在某些 ADC 配置中，可用输入范围超过电源电压。一个示例是在 $\pm 2V_{REF}$ 模式下使用 3V AVDD1 电源和 2.5V 基准电压。在这种情况下，完整的 $\pm 2V_{REF}$ 输入范围不可用。

ADC 通道支持将输入范围扩展 25%。此模式为信号提供了额外的余量。输出数据按比例调整，使正负满量程输出代码（7FFFFFFh 和 800000h）出现在：

$$V_{IN} = \pm 1.25 \times k \times V_{REF} \quad (15)$$

其中：

- $k = 1$ 或 2 ，具体取决于选择的是 $\pm V_{REF}$ 还是 $\pm 2V_{REF}$ 范围

请参阅 [CHn_CFG1](#) 寄存器以对扩展范围选项进行编程。

在扩展范围模式下，信号超过正常满量程范围的 110% 时，ADC 会提供有效的转换结果，但 SNR 性能会因调制器饱和而下降。帧同步 STATUS 字节的 MOD_FLAG 位可以指示发生调制器饱和的情况。有关详细信息，请参阅帧同步 STATUS 字节。图 7-4 展示了扩展范围模式下的 SNR 性能与输入幅度间的关系。

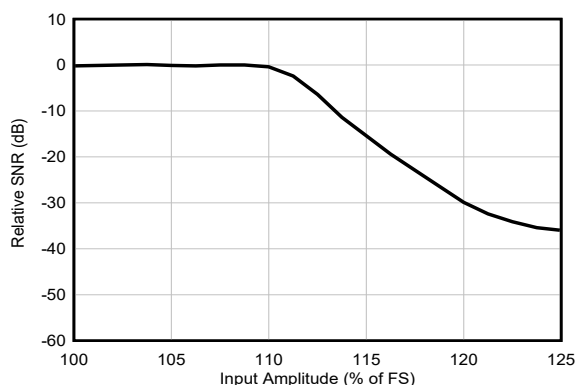


图 7-4. 扩展范围 SNR 性能

7.3.2 基准电压 (REFP、REFN)

运行需要基准电压。基准电压输入为差分电压，定义为： $V_{REF} = V_{REFP} - V_{REFN}$ ，施加到所有通道的 REFP 和 REFN 输入。有关基准电压工作范围的详细信息，请参阅[基准电压范围](#)部分。

如图 7-5 所示，基准输入采样结构与模拟输入结构类似。ESD 二极管可以保护基准输入，并在超过基准引脚电压阈值时导通。要使这些二极管保持关断状态，请确保基准引脚电压不会比 AVSS 低 0.3V 以上，也不会比 AVDD1 高 0.3V 以上。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为指定值。

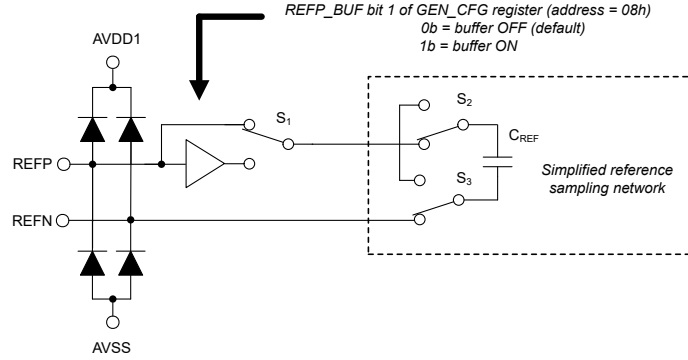


图 7-5. 基准输入电路

基准电压由采样电容器 C_{REF} 采样。在非缓冲模式下，电流流经基准输入，为采样电容器充电。电流由一个直流分量和一个交流分量组成，随调制器采样时钟的频率而变化。有关基准输入电流规格，请参阅 [节 5.5](#) 表。

在采样阶段 $t = 1 / (2 \cdot f_{MOD})$ 结束时，需要确保外部基准驱动器已经稳定，以便基准采样电容器可以充电。基准电压不完全稳定会增加增益误差和增益误差漂移。在较低速度模式下运行会降低调制器采样时钟频率，因此让基准驱动器有更多的时间稳定下来。

REFP 输入可以通过预充电缓冲器选项来减少采样电容器消耗的电荷。预充电缓冲器为基准采样电容器 C_{REF} 提供粗略充电电流。在采样阶段的中途，预充电缓冲器会被旁路掉 (S_1 处于向上位置，如 [图 7-5](#) 所示)。此时，外部驱动器为采样电容器提供精细充电电流。由于缓冲器减少了采样电容器的充电需求，从而大大降低了外部驱动器的带宽要求。

流经 REFN 输入的采样电流不会被 REFP 缓冲器减小。由于许多应用将 REFN 接地或将 REFN 连接到 AVSS，因此不需要用于 REFN 的预充电缓冲器。对于 REFN 不是低阻抗的应用，请缓冲 REFN 输入。

7.3.2.1 基准电压范围

可以选择基准电压范围（低基准范围或高基准范围）来优化 ADC 性能。需对电压范围进行编程，以便匹配基准电压（例如 2.5V 或 4.096V）。低电压范围接受 0.5V 至 2.75V 的电压，高电压范围接受 1V 至 AVDD1 - AVSS 的电压。在范围重叠的情况下（例如 2.5V），请使用低基准范围以获得出色的性能。对 [GEN_CFG1](#) 寄存器的 REF_RNG 位进行编程以选择基准电压范围。选择高基准范围时，输入范围强制为 $V_{IN} = \pm V_{REF}$ 。

7.3.3 时钟运行

[图 7-6](#) 显示了时钟方框图。输入时钟多路复用器选择 CLKIN 引脚的外部时钟信号或内部时钟振荡器信号。该信号将路由到所有 ADC 通道。时钟分频器对主 ADC 时钟频率 (f_{CLK}) 和帧同步端口 DCLK 信号的频率 (f_{DCLK}) 进行编程。 f_{CLK} 进行 2 分频后得出调制器采样时钟频率 (f_{MOD})。 f_{CLK} 也进行 32 分频后驱动一个自由运行的计数器以用于时钟信号诊断 (CLK_CNT 寄存器)。

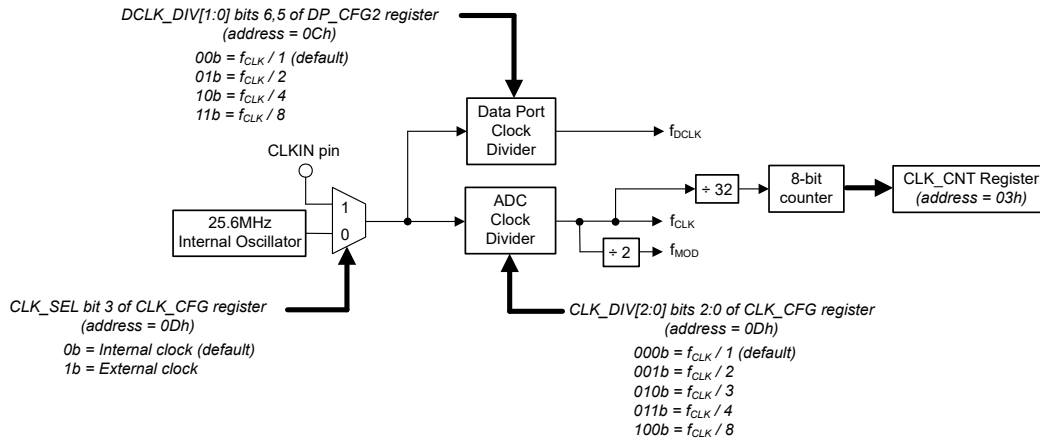


图 7-6. 时钟方框图

速度模式决定了允许的最大时钟频率。如需了解每种速度模式的时钟频率，请参阅[速度模式](#)部分。

7.3.3.1 时钟分频器

ADC 提供了两个时钟分频器，一个分频器用于 ADC 时钟，另一个分频器用于帧同步端口的 DCLK 信号。

ADC 时钟频率由 CLK_DIV[2:0] 位进行 1、2、3、4 或 8 分频。对于时钟分频器值 > 1 的情况，由于分频时钟信号的相位未知，ADC 同步具有不确定性。但是，器件内的 ADC 通道是一起同步的。为了避免同步不确定性，请使用 1 分频选项。此外，帧同步端口在菊花链运行中需要 1 分频选项。

DCLK 频率由 DCLK_DIV[1:0] 位进行 1、2、4 或 8 分频。与 ADC 时钟相比，DCLK 具有更快的运行速率，因此支持高数据传输速率。

7.3.3.2 内部振荡器

ADC 提供了一个内部振荡器来运行 ADC。由于时钟抖动，建议仅将内部振荡器用于直流信号测量。当这些器件采用菊花链连接或需要与系统时钟同步时，使用外部时钟测量交流信号。在 SPI 模式下，默认使用内部振荡器运行，通过设置 CLK_SEL 位 = 1b 可以更改为外部时钟。在硬件编程模式下，默认采用外部时钟运行。由于内部振荡器的频率为 25.6MHz 固定频率，因此应根据速度模式的要求对 ADC 时钟分频器进行编程，再设置 ADC 频率。

将时钟模式从外部时钟更改为内部振荡器时，应在更改时钟模式后保持外部时钟。在完成更改时钟模式的 SPI 寄存器写入命令后，需将该时钟模式保持至少四个周期。时钟模式更改后，ADC 会在 150 μ s 的时间忽略控制输入 (START 和 RESET 引脚)。这段时间可以让内部振荡器稳定下来。

7.3.3.3 外部时钟

ADC 支持外部时钟运行。要在 SPI 编程模式下选择外部时钟运行，请将 CLK_SEL 位设置为 1 并将时钟信号应用于 CLKIN 引脚。在硬件编程模式下，只能使用外部时钟运行。

如果需要，可以在标称额定频率的基础上降低时钟频率，从而产生介于可用 OSR 值之间的特定数据速率。这样做时，降低后的数据速率下的转换噪声与原始频率相同。只有增加数字滤波器 OSR 值或改变速度或滤波器模式，才能降低转换噪声。

时钟抖动会导致调制器采样的时序变化，从而导致 SNR 性能下降。使用低抖动时钟能满足数据表 SNR 性能要求。例如，在信号频率为 100kHz，在 SNR 降低之前，可以容忍高达 50ps (rms) 的时钟抖动。在许多类型的 RC 振荡器中，抖动较厉害，但在交流信号测量中需要避免这些抖动。请改用晶体振荡器或集成电路时钟源。通过在驱动 ADC 的时钟缓冲器的输出端放置一个串联电阻来减少时钟输入端的振铃。

7.3.4 上电复位(POR)

ADC 使用电源监控器来检测上电和欠压事件。IOVDD 电源上电或下电上电会使器件复位。模拟电源上电或下电上电不会使器件复位。

图 7-7 展示了 IOVDD 和调节的 CAPD 上电电压阈值。当电压超过阈值时，ADC 将在经过 $t_{d(RSSC)}$ 的延迟时间后从复位状态释放。如果 START 引脚为高电平，ADC 会启动转换过程并向数据端口提供数据。SPI STATUS 寄存器的 POR_FLAG 位和数据端口标头字节的 PWR_FLAG 可以指示器件 POR。尽管不是运行所必需的，但向 POR_FLAG 位写入 1b 可以清除标志，从而检测下一个 POR 事件。数据端口状态字节的 PWR_FLAG 在硬件编程模式下保持禁用状态。

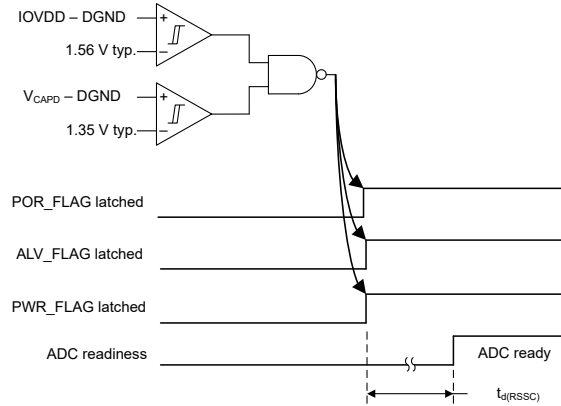


图 7-7. 数字电源阈值

图 7-8 展示了模拟电源上电阈值。有四个监控器用于四种电源状况 (AVDD1 - DGND)、(AVDD1 - AVSS)、(AVDD2 - AVSS) 和调节的 CAPA 电压 (CAPA - AVSS)。当模拟电源电压低于阈值时，ALV_FLAG 位 (SPI STATUS 寄存器) 和 PWR_FLAG (数据端口标头字节) 锁存为 1b。尽管不是运行所必需的，但向 ALV_FLAG 位写入 1b 可以清除标志，从而检测下一个模拟电源低电压情况。对模拟电源进行下电上电不会复位 ADC。由于 IOVDD 电源上的低电压会复位内部模拟 LDO (CAPA)，因此也会设置模拟低电压标志 (ALV_FLAG)。当器件在硬件编程模式下运行时，数据端口状态字节的 PWR_FLAG 将禁用。

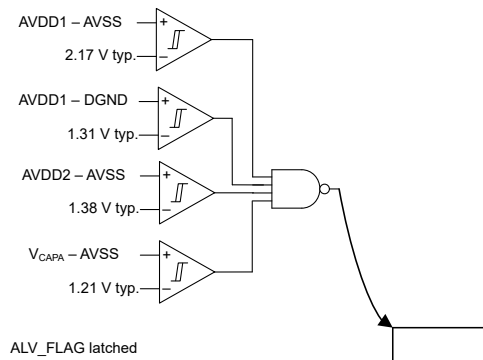


图 7-8. 模拟电源阈值

7.3.5 VCM 输出电压

VCM 引脚具有缓冲直流输出电压，等于 AVDD1 和 AVSS 的中点。VCM 输出是对信号进行电平转换的电压，通常用作全差分放大器 (FDA) 的 VCM 输入。通过 GEN_CFG1 寄存器的 VCM 位来启用 VCM 输出。如果未使用 VCM，请将该引脚保持未连接和禁用状态。

7.3.6 GPIO

ADC 提供 8 个通用数字输入/输出 (GPIO) 引脚。GPIO 电压电平为 IOVDD 和 DGND。图 7-9 展示了 GPIO 方框图。

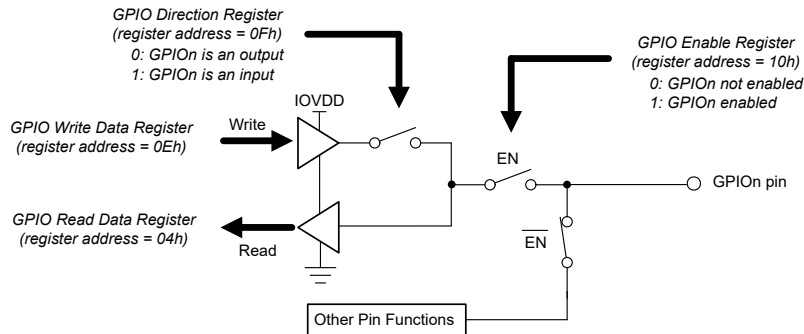


图 7-9. GPIO 方框图

GPIO 引脚由 **GPIO EN** 寄存器启用，可由 **GPIO DIR** 寄存器编程为输入或输出。GPIO 引脚由 **GPIO RD** 寄存器读取，并由 **GPIO WR** 寄存器写入。当编程为输出时，GPIO 读取寄存器操作会返回 GPIO 引脚电压的值。GPIO 引脚与其他功能进行多路复用，当启用 GPIO 后，其优先级高于其他功能。与所有数字输入一样，当配置为输入时，GPIO 引脚不要悬空。图 7-10 显示了 GPIO 引脚位置。

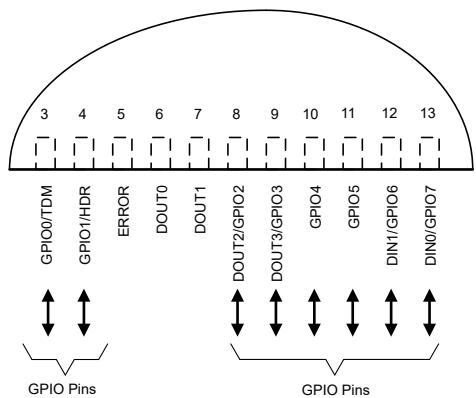


图 7-10. GPIO 引脚 (所示为 ADS117L14 引脚)

7.3.7 调制器

调制器是开关电容器三阶架构，可实现出色的噪声和线性性能并具有低功耗。与大多数调制器一样，当高振幅信号或带外信号超出范围时，可能会发生调制器饱和。饱和时，带内信号仍会转换，但本底噪声会增加。图 7-11 展示了为避免调制器饱和以及噪声增加而设定的带外信号振幅限制。直流和带内信号的振幅限制比满量程范围高 1dB。

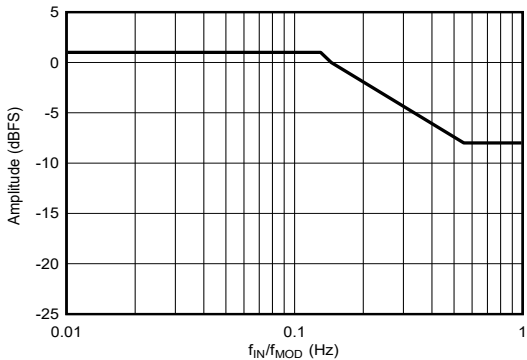


图 7-11. 为避免调制器饱和而设置的振幅限制

调制器饱和由每个通道的数据端口状态标头的 MOD_FLAG 位进行报告。在转换期间会锁存饱和状态并在每次进行新的转换时更新。可在 ADC 输入端使用模拟滤波器来过滤带外信号，以防止噪声增加。[典型应用](#) 部分展示了一个四阶带宽限制抗混叠滤波器的示例。

7.3.8 数字滤波器

数字滤波器对调制器低分辨率数据进行带宽限制（滤波）和抽取（降低数据速率）以生成高分辨率、低速的 ADC 输出数据。过采样率 (OSR) 决定了滤波和抽取量，进而影响信号带宽、带内噪声和 ADC 输出数据速率。ADC 输出数据速率由以下公式定义： $f_{\text{DATA}} = f_{\text{MOD}} / \text{OSR}$ 。

ADC 提供两种滤波器类型：宽带滤波器和低延迟滤波器。滤波器可以优化频率特性（宽带滤波器 - 平坦通带）或时域特性（低延迟滤波器 - 快速响应时间）。所有 ADC 通道必须是相同的滤波器类型，但允许不同的数据速率，只要数据速率的比率为 2^x （其中 $x = 0, 1, 2, 3$ 等）即可。滤波器类型可由 CHn_CFG2 寄存器进行编程（其中 $n =$ 通道编号）。

7.3.8.1 宽带滤波器

宽带滤波器作为多级 FIR 设计，具有线性相位响应、平坦通带振幅、窄过渡带和高阻带衰减特性。由于这些特性，推荐使用此滤波器测量交流信号。ADC 提供八个可编程 OSR 值和四种速度模式，从而提供不同的数据速率、带宽和分辨率选项。

图 7-12 至图 7-16 说明了宽带滤波器的频率响应。图 7-12 展示了通带纹波的详细信息。图 7-13 展示了过渡带的频率响应。

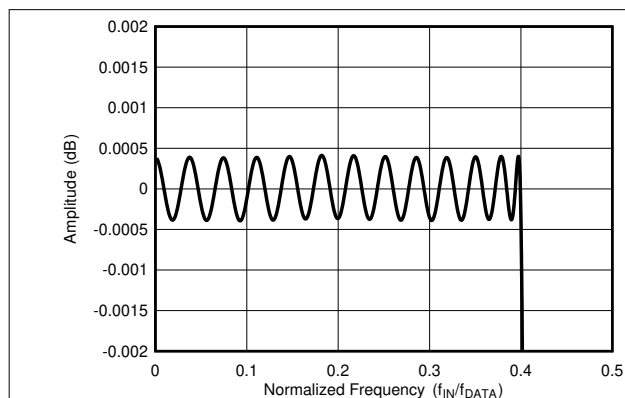


图 7-12. 宽带滤波器通带纹波

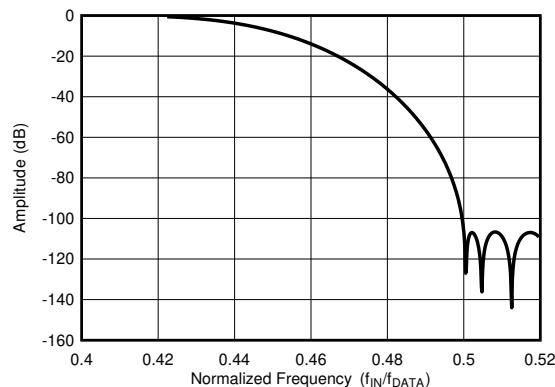


图 7-13. 宽带滤波器过渡带

图 7-14 显示了 $\text{OSR} \geq 64$ 时 f_{DATA} 的频率响应。阻带从 $f_{\text{DATA}}/2$ 开始，可以防止奈奎斯特频率下的混叠。图 7-15 显示了 $\text{OSR} = 32$ 时 f_{MOD} 的阻带衰减。在阻带区中，带外输入频率与 $f_{\text{MOD}} / 32$ 斩波频率的倍数进行混合。此过程会创建一系列阻带响应峰值，这些峰值超过数字滤波器所提供的衰减。响应峰值的宽度是滤波器带宽的两倍。当与 ADC 输入上的抗混叠滤波器配合使用时，可提高阻带衰减。

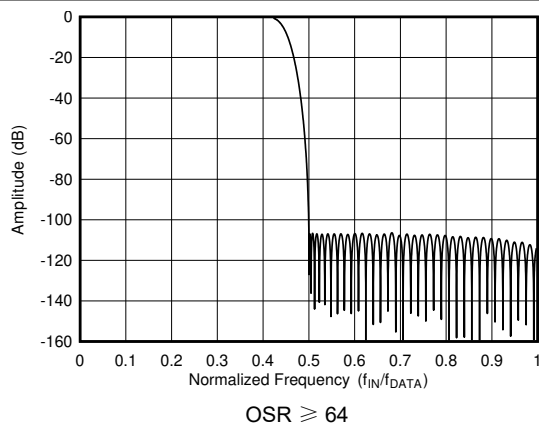


图 7-14. 宽带滤波器频率响应

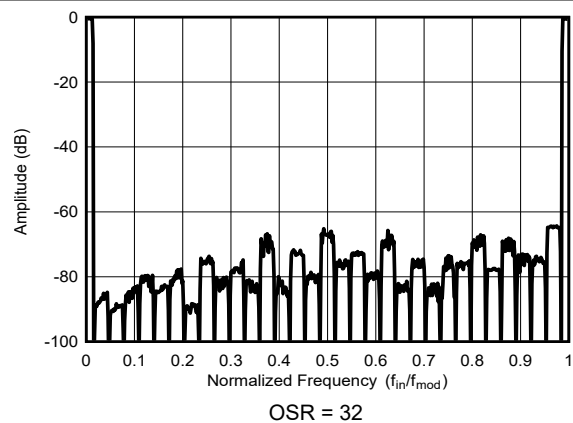


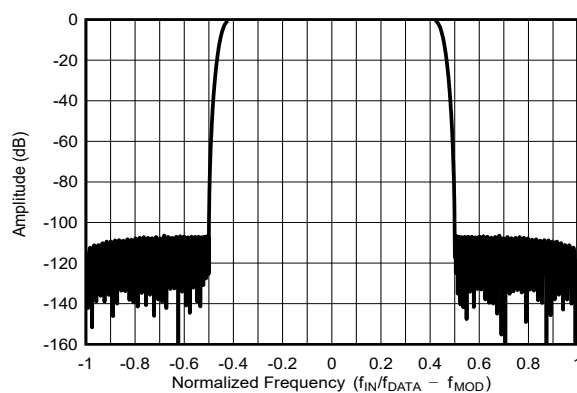
图 7-15. 宽带滤波器阻带

图 7-16 显示了以 f_{MOD} 为中心的滤波器响应，其中重复出现滤波器响应。如果不被抗混叠滤波器去除， f_{MOD} 下的输入频率在通带中显示为混叠频率。输入频率为 f_{MOD} 的倍数时，也会出现混叠。这些频段的定义如下：

$$\text{Alias frequency bands: } (N \cdot f_{MOD}) \pm f_{BW} \quad (16)$$

其中：

- $N = 1, 2, 3$ 等
- f_{MOD} = 调制器采样频率
- f_{BW} = 滤波器带宽

图 7-16. 以 f_{MOD} 为中心的宽带滤波器频率响应

滤波器的群延迟是信号从滤波器的输入端传播到输出端的时间。由于滤波器是线性相位设计，因此多频复杂信号的包络不会因滤波器处理而失真。群延迟（以时间单位表示）相对于信号频率保持恒定，等于 $34/f_{DATA}$ 。请注意，在向 ADC 输入施加阶跃输入后，68 个数据周期之后会出现完全稳定的数据。图 7-17 展示了滤波器群延迟 ($34/f_{DATA}$) 和阶跃输入的稳定时间 ($68/f_{DATA}$)。

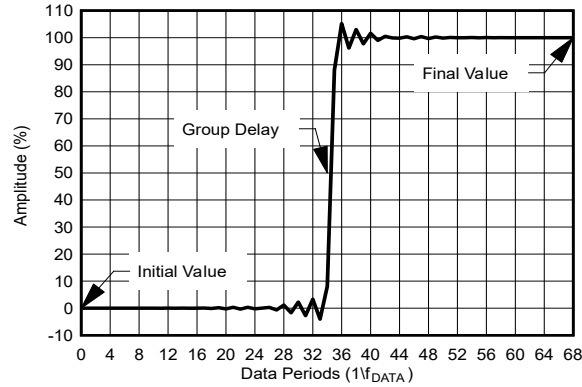


图 7-17. 宽带滤波器阶跃响应

当 ADC 同步时，数字滤波器会重新启动。同步后，滤波器会丢弃接下来的 68 次转换以考虑滤波器稳定时间。表 7-2 的延迟时间列中列出了同步后在帧同步端口上出现第一次转换的时间。延迟时间包括滤波器复位的初始开销时间。第一个数据是完全稳定的数据。如果在连续转换时出现阶跃输入，则接下来的 69 次转换不是完全稳定的数据。

表 7-2. 宽带滤波器特性

模式	f _{CLK} (MHz)	OSR	数据速率 (kSPS)	- 0.1dB 频率 (kHz)	- 3dB 频率 (kHz)	延迟时间 ⁽¹⁾ (μs)
最大速度	32.768	32	512	211.2	223.9	134.2
高速	25.6		400	165	174.96	171.8
中速	12.8		200	82.5	87.48	343.5
低速	3.2		50	20.63	21.87	1374
最大速度	32.768	64	256	105.6	112.0	267.0
高速	25.6		200	82.5	87.48	341.8
中速	12.8		100	41.25	43.74	683.5
低速	3.2		25	10.31	10.94	2734
最大速度	32.768	128	128	52.8	55.99	532.0
高速	25.6		100	41.25	43.74	681.0
中速	12.8		50	20.63	21.87	1362
低速	3.2		12.5	5.1562	5.468	5448
最大速度	32.768	256	64	26.4	28.00	1064
高速	25.6		50	20.625	21.87	1362
中速	12.8		25	10.31	10.93	2724
低速	3.2		6.25	2.578	2.734	10895
最大速度	32.768	512	32	13.2	14.00	2126
高速	25.6		25	10.312	10.935	2721
中速	12.8		12.5	5.156	5.467	5443
低速	3.2		3.125	1.289	1.367	21770
最大速度	32.768	1024	16	6.6	7.998	4251
高速	25.6		12.5	5.156	5.467	5441
中速	12.8		6.25	2.578	2.734	10883
低速	3.2		1.5625	0.645	0.6834	43530

表 7-2. 宽带滤波器特性 (续)

模式	f _{CLK} (MHz)	OSR	数据速率 (kSPS)	-0.1dB 频率 (kHz)	-3dB 频率 (kHz)	延迟时间 ⁽¹⁾ (μs)
最大速度	32.768	2048	8	3.3	3.499	8501
高速	25.6		6.25	2.578	2.734	10881
中速	12.8		3.125	1.289	1.367	21762
低速	3.2		0.78125	0.322	0.3417	87050
最大速度	32.768	4096	4	1.65	1.750	17001
高速	25.6		3.125	1.289	1.367	21761
中速	12.8		1.5625	0.645	0.6834	43522
低速	3.2		0.390625	0.161	0.1709	174090

(1) 当启用模拟输入缓冲器后，延迟时间增加 $8/f_{CLK}$ (μs)。

7.3.8.2 低延迟滤波器 (Sinc)

低延迟滤波器是一种级联积分梳状 (CIC) 拓扑，其主要属性是在输入数据通过滤波器传播时具有最低延迟 (延迟)。由于具有特征 $\sin x/x$ (sinc) 频率响应，CIC 滤波器也被称为 sinc 滤波器。该器件有四种 sinc 滤波器配置可供选择：sinc4、sinc4 + sinc1、sinc3 和 sinc3 + sinc1。这些配置允许在采集时间、噪声性能和线路周期抑制之间进行权衡。

延迟时间是从器件同步时间到 FSYNC 上升沿 (此时稳定的数据首次可用) 的时间。与宽带滤波器相比，延迟时间较短，因此滤波器对于快速采集直流信号非常有用。同步后无需丢弃数据，因为数据已稳定。Sinc4 滤波器至 Sinc3 + Sinc1 滤波器部分给出了每个 sinc 滤波器模式的详细延迟数据。

如果输入信号在连续转换时发生变化，则接下来的几个转换不会完全稳定。通过将延迟时间值舍入为下一个整数转换周期，可以确定完全稳定数据所需的转换数。

方程式 17 表示 sinc 滤波器频率响应的一般表达式。对于单级 sinc 滤波器选项 (例如单级 sinc3 或 sinc4 滤波器)，不会使用第二级。

$$|H_{(n)}| = \left| \frac{\sin \left[\frac{A\pi f}{f_{MOD}} \right]}{A \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^n \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{MOD}} \right]}{B \sin \left[\frac{A\pi f}{f_{MOD}} \right]} \right| \quad (17)$$

其中：

- $n = 1$ 级滤波器阶数 (3 或 4)
- f = 信号频率
- $A = 1$ 级 OSR
- $B = 2$ 级 OSR
- $f_{MOD} = f_{CLK} / 2$

7.3.8.2.1 Sinc4 滤波器

sinc4 滤波器对调制器数据进行平均和抽取以产生高达 1365.3kSPS (最大速度模式)、1066.6kSPS (高速模式)、533.3kSPS (中速模式) 和 133.333kSPS (低速模式) 的数据速率。增大 OSR 值会降低 ADC 数据速率，从而降低因数据平均和抽取的增加而导致的信号带宽和总噪声。

表 7-3 列出了 sinc4 滤波器特性。

表 7-3. Sinc4 滤波器特性

模式	f _{CLK} (MHz)	OSR	数据速率 (kSPS)	- 3dB 频率 (kHz)	延迟时间 (μ s) ⁽¹⁾
最大速度	32.768	12	1365.3	310.2	3.9
高速	25.6		1066.6	242.3	5.1
中速	12.8		533.3	121.2	10.1
低速	3.2		133.33	30.3	40.5
最大速度	32.768	16	1024	232.7	4.9
高速	25.6		800	181.8	6.3
中速	12.8		400	90.9	12.6
低速	3.2		100	22.7	50.5
最大速度	32.768	24	682.67	155.1	6.9
高速	25.6		533.3	121.2	8.9
中速	12.8		266.67	60.6	17.1
低速	3.2		66.67	15.1	70.8
最大速度	32.768	32	512	116.3	8.9
高速	25.6		400	90.9	11.4
中速	12.8		200	45.4	22.8
低速	3.2		50	11.4	91.4
最大速度	32.768	64	256	58.2	16.6
高速	25.6		200	45.4	21.3
中速	12.8		100	22.7	42.6
低速	3.2		25	5.68	171
最大速度	32.768	128	128	29.1	32.3
高速	25.6		100	22.7	41.3
中速	12.8		50	11.4	82.6
低速	3.2		12.5	2.84	331
最大速度	32.768	256	64	14.5	63.6
高速	25.6		50	11.4	81.4
中速	12.8		25	5.68	163
低速	3.2		6.25	1.42	651
最大速度	32.768	512	32	7.27	126
高速	25.6		25	5.68	162
中速	12.8		12.5	2.84	324
低速	3.2		3.125	0.710	1294
最大速度	32.768	1024	16	3.64	251
高速	25.6		12.5	2.84	321
中速	12.8		6.25	1.42	643
低速	3.2		1.5625	0.355	2570

表 7-3. Sinc4 滤波器特性 (续)

模式	f _{CLK} (MHz)	OSR	数据速率 (kSPS)	- 3dB 频率 (kHz)	延迟时间 (μs) ⁽¹⁾
最大速度	32.768	2048	8	1.82	501
高速	25.6		6.25	1.42	641
中速	12.8		3.125	0.710	1282
低速	3.2		0.7813	0.178	5130
最大速度	32.768	4096	4	0.909	1001
高速	25.6		3.125	0.710	1281
中速	12.8		1.563	0.355	2562
低速	3.2		0.391	0.089	10250

(1) 当启用模拟输入缓冲器后，延迟时间增加 8/f_{CLK} (μs)。

图 7-18 和图 7-19 展示了 OSR = 32 时的 sinc4 频率响应。频率响应在 f_{DATA} 的整数倍处出现一系列响应零位及其间的一系列衰减峰值。在零频率时，滤波器具有零增益。当 f_{IN}/f_{DATA} > OSR/2 时，会出现滤波器响应的折叠图像，如图 7-19 的频率图 (OSR = 32) 所示。在接近 n × f_{MOD} (n = 1、2、3 等) 的输入频率下，衰减为 0dB。如果信号出现在这些频率下，则信号会被混叠到通带。

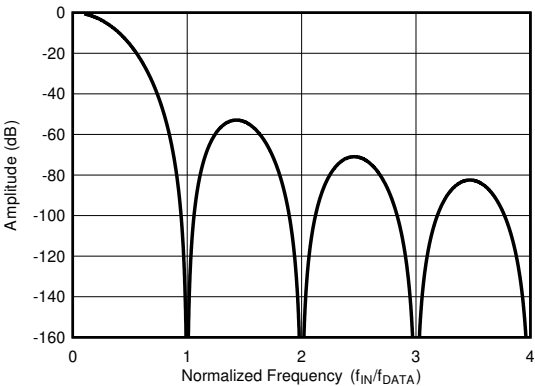


图 7-18. Sinc4 频率响应
(OSR = 32)

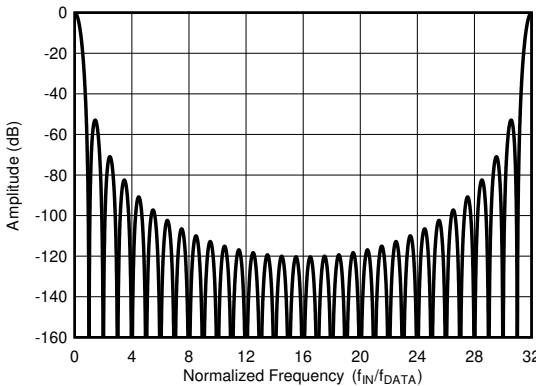


图 7-19. f_{MOD} 的 Sinc4 频率响应 (OSR = 32)

7.3.8.2.2 Sinc4 + Sinc1 级联滤波器

sinc4 + sinc1 滤波器是 sinc4 滤波器与 sinc1 滤波器的级联。sinc4 级的固定 OSR (OSR = 32) 乘以 sinc1 级的 OSR 决定了 ADC 输出数据速率。sinc4 + sinc1 滤波器模式比单级 sinc4 滤波器具有更短的延迟时间。表 7-4 总结了 sinc4 + sinc1 滤波器特性。

表 7-4. Sinc4 + Sinc1 级联滤波器特性

模式	f _{CLK} (MHz)	OSR (A × B) ⁽²⁾	数据速率 (kSPS)	- 3dB 频率 (kHz)	延迟时间 (μs) ⁽¹⁾
最大速度	32.768	64 (32 × 2)	256	87.49	10.9
高速	25.6		200	68.35	13.9
中速	12.8		100	34.18	27.9
低速	3.2		25	8.544	111
最大速度	32.768	128 (32 × 4)	128	52.44	14.8
高速	25.6		100	40.97	19.0
中速	12.8		50	20.49	37.9
低速	3.2		12.5	5.121	152

表 7-4. Sinc4 + Sinc1 级联滤波器特性 (续)

模式	f _{CLK} (MHz)	OSR (A × B) ⁽²⁾	数据速率 (kSPS)	- 3dB 频率 (kHz)	延迟时间 (μs) ⁽¹⁾
最大速度	32.768	320 (32 × 10)	51.2	22.36	26.5
高速	25.6		40	17.47	34.0
中速	12.8		20	8.735	67.9
低速	3.2		5	2.184	272
最大速度	32.768	640 (32 × 20)	25.6	11.28	46.0
高速	25.6		20	8.814	58.9
中速	12.8		10	4.407	118
低速	3.2		2.5	1.102	471
最大速度	32.768	1280 (32 × 40)	12.8	5.658	85.1
高速	25.6		10	4.420	109
中速	12.8		5	2.210	218
低速	3.2		1.25	0.552	871
最大速度	32.768	3200 (32 × 100)	5.12	2.266	202
高速	25.6		4	1.770	259
中速	12.8		2	0.885	517
低速	3.2		0.5	0.221	2068
最大速度	32.768	6400 (32 × 200)	2.56	1.133	398
高速	25.6		2	0.885	509
中速	12.8		1	0.443	1018
低速	3.2		0.25	0.111	4075
最大速度	32.768	12800 (32 × 400)	1.28	0.566	788
高速	25.6		1	0.442	1008
中速	12.8		0.5	0.221	2017
低速	3.2		0.125	0.055	8069
最大速度	32.768	32000 (32 × 1000)	0.512	0.226	1960
高速	25.6		0.4	0.177	2508
中速	12.8		0.2	0.089	5018
低速	3.2		0.05	0.022	20070

(1) 当启用模拟输入缓冲器后，延迟时间增加 $8/f_{CLK}$ (μs)。

(2) A = 第一级 OSR, B = 第二级 OSR。

图 7-20 展示了 sinc4 + sinc1 滤波器对于三个 OSR 值的频率响应。组合的频率响应是 sinc4 和 sinc1 滤波器的重叠响应。对于较低的 OSR 值，响应曲线取决于 sinc4 滤波器的滚降。频率响应中的零位在 $n \cdot f_{DATA}$ 时发生，n = 1、2、3 等。在零频率时，滤波器具有零增益。

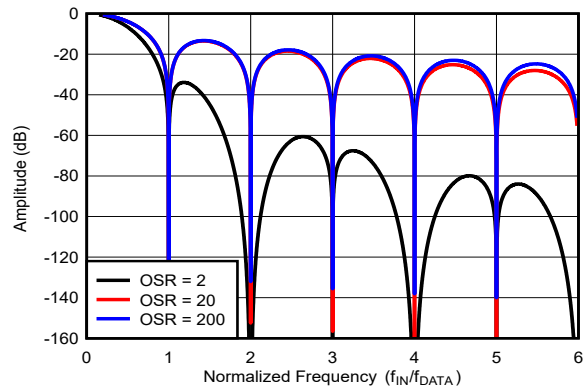


图 7-20. Sinc4 + Sinc1 频率响应

7.3.8.2.3 Sinc3 滤波器

sinc3 滤波器模式是一种单级滤波器。sinc3 滤波器提供多个数据速率选项（包括 400SPS、60SPS 和 50SPS）来实现线路周期噪声抑制。在低速模式下将 ADC 时钟减慢到 $10/50 \times 3.2\text{MHz} = 0.64\text{MHz}$ 可实现 10SPS。由于频率响应陷波的宽度较大，因此可实现出色的线频 NMRR 和 CMRR。表 7-5 总结了 sinc3 滤波器的特性。

表 7-5. Sinc3 滤波器特性

模式	f _{CLK} (MHz)	OSR	数据速率 (SPS)	- 3dB 频率 (Hz)	延迟 (ms)	第一个零位处的 NMRR (dB)	
						2% 时钟容差	6% 时钟容差
最大速度	32.768	26667	614.4	161.3	4.88	100	71
高速	25.6		480	126	6.25		
中速	12.8		240	63.0	12.5		
低速	3.2		60	15.7	50.0		
最大速度	32.768	32000	512	134	5.86	100	71
高速	25.6		400	105	7.50		
中速	12.8		200	252	15		
低速	3.2		50	13.1	60.0		

图 7-21 展示了 sinc3 滤波器的频率响应 (OSR = 32000)。图 7-22 显示了 0.9 至 $1.1 \cdot f_{IN} / f_{DATA}$ 区域的详细响应。

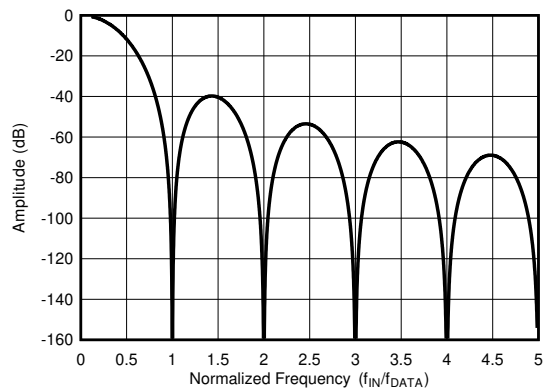


图 7-21. Sinc3 频率响应
(OSR = 32000)

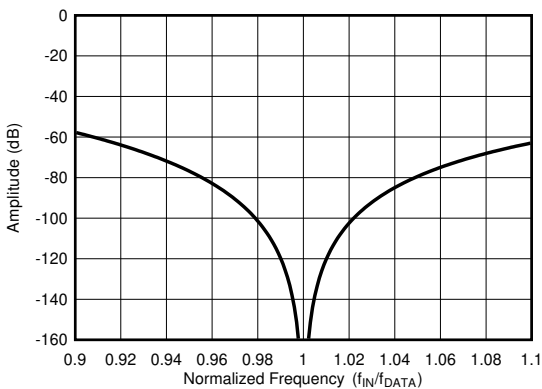


图 7-22. 详细的 Sinc3 频率响应 (OSR = 32000)

7.3.8.2.4 Sinc3 + Sinc1 滤波器

sinc3 + sinc1 滤波器模式是 sinc3 与 sinc1 滤波器级联的模式。sinc3 级的 OSR 是固定的 ($OSR = 32000$)，sinc1 级的 OSR 可编程为 3 和 5。表 7-6 总结了 sinc3 + sinc1 滤波器的特性。

表 7-6. Sinc3 + Sinc1 滤波器特性

模式	f _{CLK} (MHz)	OSR (A × B) ⁽¹⁾	数据速率 (SPS)	- 3dB 频率 (Hz)	延迟 (ms)	第一个零位处的 NMRR (dB)	
						2% 时钟容差	6% 时钟容差
最大速度	32.768	96000 (32000 × 3)	170	69	9.77	34	26
高速	25.6		133.3	54	12.5		
中速	12.8		66.6	27	25		
低速	3.2		16.7	6.7	100		
最大速度	32.768	160000 (32000 × 5)	102	43.5	13.7	34	26
高速	25.6		80	34	17.5		
中速	12.8		40	17	35		
低速	3.2		10	4.2	140		

(1) A = 第一级 OSR，B = 第二级 OSR。

图 7-23 展示了 sinc3 + sinc1 滤波器的频率响应。频率响应呈现出典型的 sinc 滤波器响应波瓣和零位。零位出现在 f_{DATA} 及其整数倍处。图 7-24 显示了 0.9 至 $1.1 \cdot f_{IN} / f_{DATA}$ 区域的详细响应。

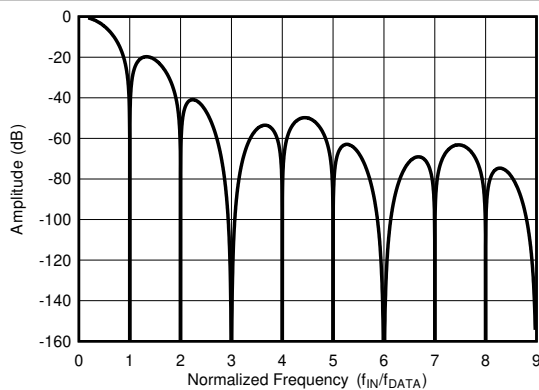


图 7-23. Sinc3 + Sinc1 频率响应

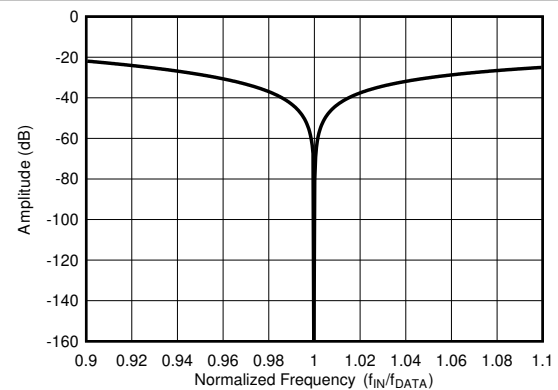


图 7-24. 详细的 Sinc3 + Sinc1 频率响应

7.4 器件功能模式

7.4.1 复位

ADC 在上电时执行自动复位。也可以通过 $\overline{\text{RESET}}$ 引脚或 SPI 端口执行手动复位。控制逻辑、数字滤波器、SPI、数据端口运行状态和用户寄存器将复位为默认值。此外，还会重新扫描用于对器件进行编程的硬件编程引脚。器件复位通过 SPI STATUS 寄存器的 POR_FLAG 进行确认。有关在复位后 ADC 什么时候可用于运行的详细信息，请参阅图 5-7。

7.4.1.1 $\overline{\text{RESET}}$ 引脚

$\overline{\text{RESET}}$ 引脚是用于复位 ADC 的低电平有效输入。 $\overline{\text{RESET}}$ 引脚是施密特触发输入，旨在降低噪声灵敏度。请参阅图 5-7，了解 $\overline{\text{RESET}}$ 引脚时序以及在复位后 SPI 通信开始的时间。由于 ADC 在上电时执行自动复位，因此无需手动复位。

7.4.1.2 通过 SPI 寄存器进行复位

将 01011000b 写入 CONTROL 寄存器，通过 SPI 操作对器件复位。在 $\overline{\text{CS}}$ 置为高电平时，复位在帧末尾生效。向寄存器写入任何其他值都不会使器件复位。

7.4.1.3 通过 SPI 输入模式进行复位

该器件还通过 SPI 以特殊的输入模式进行复位。这种输入模式不遵循输入命令格式。若要复位，请输入至少 1024 个连续的 1，然后将 $\overline{\text{CS}}$ 置为高电平，此时会发生复位。图 7-25 展示了复位模式。

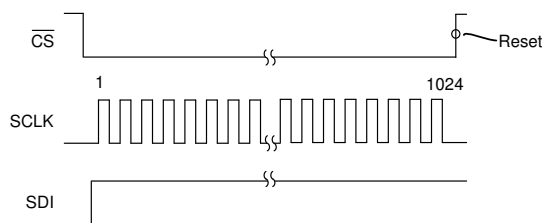


图 7-25. SPI 复位模式

7.4.2 空闲和待机模式

当转换停止后，ADC 可以选择使转换进入空闲状态或待机模式。该模式是通过 GEN_CFG2 寄存器的 STBY_MODE 位编程的所有通道的全局设置。在空闲模式下，模拟电路完全偏置并运行，包括对信号和电压基准输入的采样。只有数字滤波器才会空闲。当转换开始后，数字滤波器重新启动以开始转换过程。

在待机模式下停止转换后，信号和基准电压的采样将停止以节省功耗。当重新开始转换时，信号和基准电压的采样会恢复。退出待机模式会向滤波器的转换延迟时间增加 24 个 f_{CLK} 周期。

7.4.3 断电

各个通道由相应 CHn_CFG2 配置寄存器的 CHn_PWDN 位单独断电。通道的模拟部分被禁用，输出数据是最后已知的数据。在 TDM 模式下，断电通道的时隙位置得以保留。重新启用通道后，转换会在写入 SPI 寄存器时复位。如果需要，重新同步 ADC。如果是从全通道断电状态激活通道，请等待 300 μs ，然后再同步通道。

7.4.4 速度模式

四种可编程速度模式可以在数据速率、噪声性能和功耗之间进行权衡。表 7-7 展示了最大数据速率 (OSR 为最小值) 和标称时钟频率。对于不需要大信号带宽的应用, 在更低速度模式下运行可以降低器件在较低带宽下的功耗。

表 7-7. 数据速率和时钟频率

模式	时钟频率 (f _{CLK})	f _{DATA} 宽带滤波器	f _{DATA} 低延迟滤波器
最大速度	32.768MHz	512kSPS	1365.3kSPS
高速	25.6MHz	400kSPS	1066.6kSPS
中速	12.8MHz	200kSPS	533.3kSPS
低速	3.2MHz	50kSPS	133.3kSPS

速度模式由 GEN_CFG2 寄存器的 SPEED_MODE[1:0] 位进行编程。速度模式选择是通用设置, 适用于所有通道。有关时钟频率容差, 请参阅节 5.3。

7.4.5 同步

ADC 通道由 START 引脚同步或通过写入 SPI CONTROL 寄存器的 START 位进行同步。同步会将所有 ADC 通道的转换时间对齐到一起。如果通过 SPI 控制转换 (使用启动/停止控制模式), 则将 START 引脚保持在低电平, 以避免与引脚发生争用。在 SPI 编程模式下, 对地址范围为 08h 至 50h 的寄存器进行写入会导致所有通道同时重新启动。重新启动会导致与原始 START 信号失去同步。如有必要, 重新同步 ADC 通道。

当使用值大于 1 的内部时钟分频器时, 由于分频时钟信号的相位未知, ADC 同步对于 ADC 通道进行转换的时间具有不确定性。但是, ADC 通道仍然会同步在一起。为了避免同步不确定性, 请使用 1 分频选项。

同步后, ADC 会等待数字滤波器稳定后才提供输出数据。等待时间等于滤波器延迟 (有关滤波器延迟数据, 请参阅数字滤波器部分)。当通道的 OSR 值不同时, 该器件会等待最慢的数据通道稳定后才会开始帧同步输出信号。这种情况下, 在较快通道的更新期间重复数据时, 会设置较慢通道 DP_STATUS 字节的 RPT_DATA 位。

ADC 有两种同步和控制模式: 同步和启动/停止控制模式, 每种模式具有特定的功能。在 SPI 编程模式下, 通过 GEN_CFG2 寄存器的 START_MODE[1:0] 位对该模式进行编程。在硬件编程模式下, 选择宽带滤波器模式后, 便会强制进入同步控制模式。选择低延迟滤波器模式后, 则会强制进入启动/停止控制模式。通过 SPI 操作不能使用同步控制模式。

7.4.5.1 同步控制模式

同步控制模式在 START 引脚的上升沿使 ADC 通道同步。无论 START 是高电平还是低电平, 转换都会继续。可向 START 引脚施加单个同步脉冲输入或连续时钟输入。

如图 7-26 所示, 同步发生在第一个 START 上升沿。如果到下一个 START 上升沿的时间在 $\pm 1/f_{CLK}$ 窗口内是转换周期的 n 倍, 则 ADC 不会重新同步 ($n = 1, 2, 3$ 等)。由于 ADC 转换周期等于 START 信号周期, 因此不会发生重新同步。相反, 如果 START 信号周期在一个 f_{CLK} 周期内不是转换周期的 n 倍, 则 ADC 通道会重新同步。START 信号的时间周期没有限制。

图 7-26 展示了当 START 输入周期不等于转换周期的一倍多倍时的 ADC 重新同步情况。由于数字滤波器的处理时间, 导致同步的 START 信号与产生的 FSYNC 输出信号之间存在时间差。该时间差随滤波器的 OSR 值而变化。

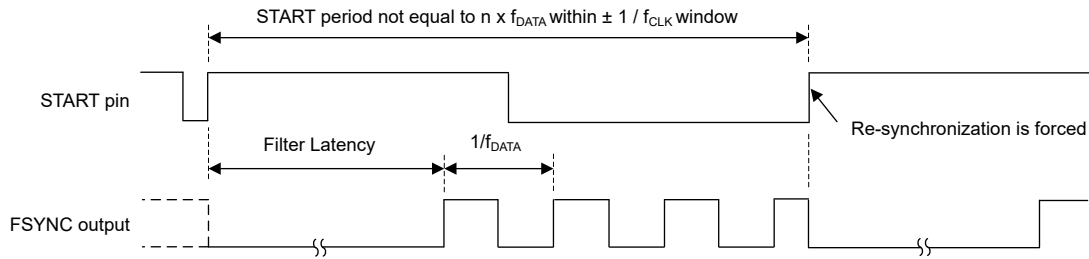


图 7-26. 同步控制模式

7.4.5.2 启动/停止控制模式

启动/停止控制模式可以启用和禁用转换。通过将 **START** 引脚置为高电平，或向 **CONTROL** 寄存器的 **START** 位写入 **1b**，可以同步（启动）所有通道。在寄存器写入操作后将 **CS** 置为高电平时，会确认 **START** 位。通过将 **START** 引脚置为低电平，或向 **STOP** 位写入 **1b**，可以让 ADC 持续转换，直到停止。停止时，正在进行的转换会完成，其他转换会停止。**FSYNC** 时钟信号的最后一个上升沿是最后的转换数据。要重新启动正在进行的转换，请短暂地将 **START** 从低电平变为高电平，然后再恢复为低电平，或再次向 **START** 位写入 **1b**。要执行单次转换，请短暂地将 **START** 拉高，或在写入 **START** 位后立即写入 **STOP** 位。图 7-27 显示了 **START** 控制和 **FSYNC** 输出信号。

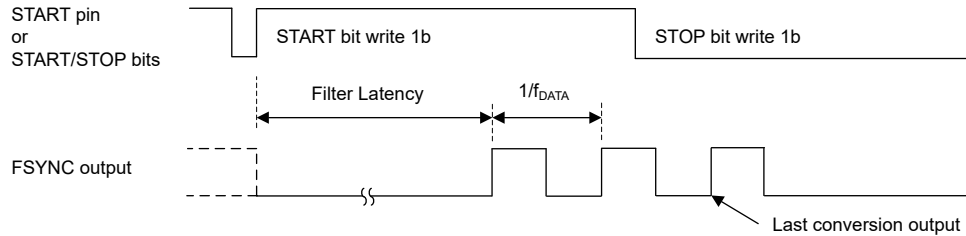


图 7-27. 启动/停止控制模式

7.4.6 转换开始延迟时间

同步后，经过一段可编程的延迟时间，首次转换才会开始。在对首次转换进行延迟后，后续转换不会延迟，直到再次同步。该延迟时间使外部元件能够实现稳定。例如，通过外部多路复用器提供信号切换时间。该延迟是所有 ADC 通道的全局延迟时间，增加了转换延迟时间。请参阅 **GEN_CFG1** 寄存器的 **DELAY[2:0]** 位。

7.4.7 校准

每个通道的偏移和增益寄存器可校正偏移和增益误差。如图 7-28 所示，在乘以 24 位增益寄存器值之前，从转换数据中减去 24 位偏移寄存器值。数据四舍五入为 16 位，并在最终输出中削波为 **+FS** 和 **-FS** 代码值。

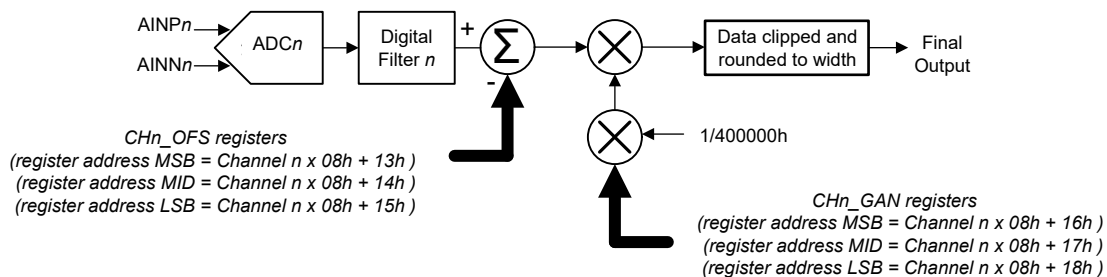


图 7-28. 校准方框图

方程式 18 表示如何校准转换数据：

$$\text{Final Output Data} = (\text{Data} - \text{CHn_OFS}) \times \text{CHn_GAN} / 400000h \quad (18)$$

7.4.7.1 偏移校准寄存器

偏移校准值是一个 24 位字，由三个以二进制补码格式编码的寄存器组成。从转换数据中减去偏移值。每个通道中三个寄存器的最有效字节为低地址。请参阅 [CHn 偏移寄存器](#) 以了解每个通道的寄存器地址。转换数据是左对齐的，能与最有效偏移字节保持一致。表 7-8 展示了示例偏移校准值。

表 7-8. OFFSET 寄存器值

OFFSET 寄存器值	已应用偏移
001000h	-16 LSB
000100h	-1 LSB
FFFF00h	1 LSB
FFF000h	16 LSB

7.4.7.2 增益校准寄存器

增益校准值是一个 24 位字，由三个采用直接二进制格式编码的寄存器组成，并标准化为 400000h 的单位增益。例如，要校正大于 1 的增益误差，增益校准值小于 400000h。表 7-9 展示了增益校准值示例。三个寄存器的最高有效字节为低地址。请参阅 [CHn 增益寄存器](#) 以了解每个通道的 GAIN 寄存器地址。

表 7-9. GAIN 寄存器值

GAIN 寄存器值	应用的增益校正
433333h	1.05
400000h	1
3CCCCCh	0.95

7.4.7.3 校准过程

推荐的校准程序如下：

1. 分别将偏移和增益校准寄存器预设为 000000h 和 400000h。
2. 使用输入多路复用器对输入进行短接以执行偏移校准。为了纳入外部放大器级的偏移误差，请对系统的输入进行短接。从通道获取转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。
3. 通过向输入应用校准信号来执行增益校准。为了纳入外部放大器级的增益误差，请向系统输入应用信号。对于标准输入范围模式，请选择小于满量程输入范围的校准电压，以避免输出代码被削波。输出代码被削波会导致校准不准确。例如，使用 $V_{REF} = 4.096V$ 的 3.9V 校准信号。如果在扩展输入范围模式下运行，则可以使用等于 V_{REF} 的校准信号。从通道获取转换数据并对结果求平均值。根据方程式 19 计算增益校准值。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \cdot 400000h \quad (19)$$

例如，使用 4.096V 基准电压的 3.9V 校准电压的预期输出代码为： $(3.9V / 4.096V) \cdot 7FFFFFFh = 79E000h$ 。

7.4.8 诊断

该器件具有多个诊断功能，可在 ADC 运行期间检测错误。

7.4.8.1 ERROR 引脚和 ERR_FLAG 位

ERROR 引脚是开漏数字输出，有一个内部 100kΩ 上拉电阻器可驱动为低电平以指示错误。图 7-29 展示了 **ERROR** 引脚方框图。如果来自控制器输入的漏电流会导致输出高电平电压错误，请使用更强的上拉电阻器。多个器件的 **ERROR** 引脚可以连接在一起。读取 **STATUS** 寄存器可以确定产生错误的器件。

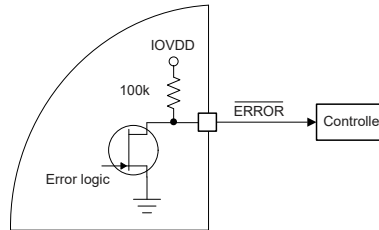


图 7-29. ERROR 引脚

错误是七个 SPI STATUS 寄存器位的逻辑“或”运算结果。表 7-10 展示了导致错误的 STATUS 寄存器位。

表 7-10. 错误位

STATUS 寄存器位	位置：	功能
ALV_FLAG	STATUS[6]	模拟低电压标志
POR_FLAG	STATUS[5]	上电复位标志
SPI_ERR	STATUS[4]	SPI 输入 CRC 错误
REG_ERR	STATUS[3]	寄存器映射 CRC 错误
ADC_ERR	STATUS[2]	内部 ADC 错误
ADDR_ERR	STATUS[1]	SPI 寄存器地址错误
SCLK_ERR	STATUS[0]	SCLK 计数错误

由于 ALV_FLAG 和 POR_FLAG 标志自动置为有效， $\overline{\text{ERROR}}$ 会在上电时驱动为低电平。尽管不是器件运行所必需的，但向 SPI STATUS 寄存器写入 1b 可以清除电源标志，以便指示其他错误。在导致错误的错误条件消失后，通过写入 1b 来清除其他错误位。数据端口 STATUS 字节的 ERR_FLAG 是 $\overline{\text{ERROR}}$ 引脚的反转值。在硬件控制模式下，无法访问 STATUS 寄存器，因此只有 ADC_ERR 位会导致错误。

7.4.8.2 SPI CRC

SPI CRC 是一种 SPI 错误检查代码，用于检测 SPI 端口进出方向上的传输错误。主机发送的 ADC 输入数据会附带一个 CRC 字节。ADC 发送的寄存器数据也会附带一个 CRC 字节。通过 GEN_CFG3 寄存器的 SPI_CRC_EN 位启用 SPI CRC 错误检查。

SPI CRC 参数为两个字节。通过两个输入命令字节可以计算 CRC-In 代码。填充到帧开头的任何输入字节都不包括在 CRC 计算中。ADC 检查输入命令 CRC 代码与根据两个接收到的字节计算出的内部代码是否匹配。如果 CRC 代码不匹配，则不会执行命令，并且会在 STATUS 字节中设置 SPI_ERR 位。除了 STATUS 寄存器，后续寄存器写入操作将被阻止，以便可以通过将 1b 写入 SPI_ERR 位来清除 SPI CRC 错误。除非在紧接的寄存器读取命令帧中检测到 SPI_CRC 错误，否则不会阻止寄存器读取操作。

CRC-Out 代码基于输出寄存器数据字节和 STATUS 字节进行计算。如果 STATUS 被禁用，则在 CRC-Out 计算中会将该字节视为零。

CRC 值是可变长度参数与 CRC 多项式进行逐位异或 (XOR) 运算后的 8 位余数。8 位 CRC 基于 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：1 00000111。

以下是计算 CRC 值的过程：

1. 通过在 LSB 中附加 0 来将初始数据值左移 8 位，从而创建新的数据值。
2. 使用 FFh 对步骤 1 中新数据值的 MSB 执行初始 XOR 运算。
3. 将 CRC 多项式的 MSB 与数据的最左侧的逻辑 1 对齐。
4. 未与 CRC 多项式对齐的数据值位会移出并附加到新 XOR 结果的右侧。将数据值与对齐的 CRC 多项式进行 XOR 运算。XOR 运算会创建一个新的较短长度值。
5. 如果 XOR 结果小于或等于 8 位 CRC 长度，该程序结束，生成 8 位 CRC 代码结果。否则，使用当前 XOR 结果在步骤 3 继续进行 XOR 运算。循环迭代次数取决于初始数据的值。

7.4.8.3 寄存器映射 CRC

寄存器映射 CRC 可以检测寄存器值的变化。CRC 是存储在寄存器 05h (高字节) 和寄存器 06h (低字节) 中的 16 位值。计算寄存器地址范围 08h 至 50h 内的 CRC (适用于 ADS117L14 和 ADS117L18) 并将值写入 CRC 寄存器。ADC 会将 CRC 寄存器值与内部计算结果进行比较。如果 CRC 寄存器值不正确, 则会设置 STATUS 字节的 REG_ERR 标志。更正 CRC 值, 然后向 REG_ERR 位写入 1b 以清除错误。GEN_CFG3 寄存器的 REG_CRC_EN 位启用寄存器 CRC。

寄存器映射 CRC 使用基于 CRC-16-IBM 多项式的 16 位多项式: $X^{16} + X^{15} + X^2 + 1$ 。17 个系数为 1 10000000 00000101。

7.4.8.4 ADC 误差

ADC 对内部非易失性存储器执行连续检查。如果检测到错误, 则会设置 STATUS 寄存器的 ADC_ERR 标志。对 ADC 进行复位或下电上电可以清除 ADC_ERR。

7.4.8.5 SPI 地址范围

在读取和写入命令访问寄存器时会检查有效地址范围。对于 ADS117L14 和 ADS117L18 器件, 有效地址范围均为 00h 至 50h。当超出寄存器地址范围时, 在 STATUS 寄存器中会设置 ADDR_ERR 位。通过写入 1b 可以清除错误。如果设置了该标志, 除 STATUS 寄存器外, 寄存器写入操作会被阻止。在 GEN_CFG3 寄存器中设置 SPI_ADDR_EN = 1b 即可启用地址范围检查。

7.4.8.6 SCLK 计数器

SCLK 计数器可以监控 SPI 帧中的 SCLK 数量是否为 8 的倍数。如果 SCLK 数量不是 8 的倍数, 则会设置 STATUS 寄存器的 SCLK_ERR 标志。除 STATUS 寄存器外, 寄存器写入操作会被阻止, 直到通过向相应的位写入 1b 来清除标志。可以通过设置 GEN_CFG3 寄存器的 SCLK_CNT_EN = 1b 来启用 SCLK 计数器。

7.4.8.7 时钟计数器

ADC 提供一个时钟计数器来验证内部时钟频率。CLK_CNT 是在连续翻转模式下以频率 = $f_{CLK}/32$ 运行的 8 位寄存器。要验证时钟频率, 应当按照已知时间间隔读取寄存器, 并比较这些值与预期值的差异。ADC 必须处于有效的转换模式且最小 SCLK 频率为 $f_{CLK}/32$ 才能读取计数器值。

计数器由 GEN_CFG3 寄存器的 CLK_CNT_EN 位启用。启用后, 计数器值初始化为 00h。禁用后, 计数器值为 00h。

7.4.8.8 帧同步 CRC

帧同步 CRC 是附加到转换数据的可选字节。该 CRC 为 8 位, 根据两数据字节计算得出, 如果启用, 可包括 STATUS_DP 字节的三字节。该 CRC 使用与 SPI CRC 相同的 CRC-8 ATM 多项式。DP_CFG1 寄存器的 DP_CRC_EN 位可以启用 CRC 字节。

7.4.8.9 自检

该器件的每个通道均提供偏移误差、增益误差、噪声和 CMRR 测试功能。这些测试是使用输入多路复用器的测试模式并通过对结果数据进行外部处理来完成的。有关测试选项, 请参阅表 7-1。

7.4.9 帧同步数据端口

帧同步数据端口可以输出转换数据。该端口是具有 FSYNC 和 DCLK 输出时钟信号的同步只读接口, 并具有可编程的 DOUTx 引脚数据通路数量。除非在启动/停止控制模式下停止, 否则帧同步信号将持续运行。

图 7-30 展示了帧同步引脚。帧同步端口的引脚 8 至 13 与 GPIO 引脚进行多路复用。启用后, GPIO 功能优先于帧同步引脚。默认操作是禁用 GPIO。

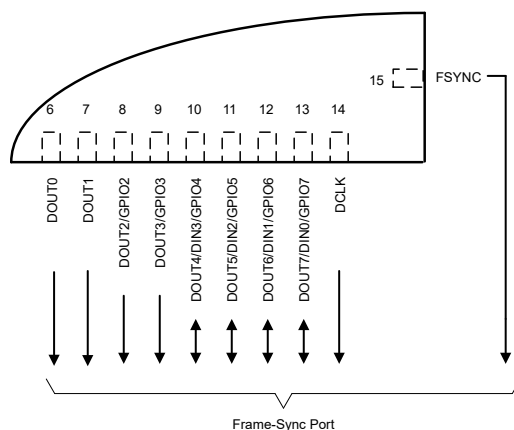


图 7-30. ADS117L18 帧同步端口引脚

图 7-31 显示了 FSYNC、DCLK 和 DOUTx 信号。(DIN 和 GPIO 功能随后从引脚名称中删除)。新转换数据在 FSYNC 上升沿同步，其中数据位在 DCLK 下降沿更新。数据会连续移出，数据包之间没有中断。图中所示的 *dependent* 字段取决于时分多路复用以及菊花链运行模式的输入位。

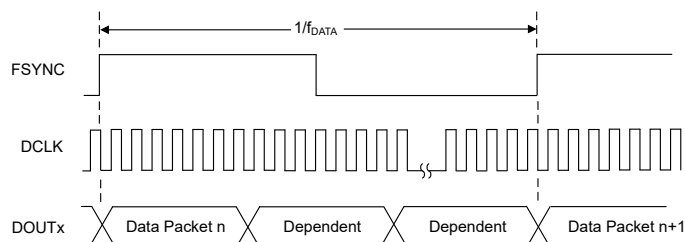
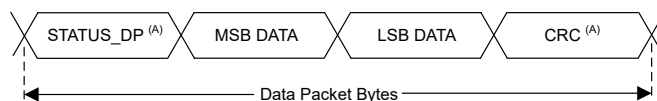


图 7-31. 帧同步端口运行方式

7.4.9.1 数据包

数据端口以数据包的形式提供转换数据。数据包由 STATUS_DP 标头字节、通道数据和 CRC 字节组成。STATUS_DP 和 CRC 字节是可选的，对应于每个通道的转换数据。图 7-32 显示了完整长度的四字节数据包，但可配置为两字节数据包，仅包含 16 位数据。数据包的 STATUS_DP 标头字节和 CRC 字节由 DP_CFG1 寄存器的位 7 和 6 启用。



A. STATUS_DP 和 CRC 字节是可选的。

图 7-32. 数据包

7.4.9.2 数据格式

ADC 支持两种数据格式：双极和单极，可通过每个通道的 CHn_CFG1 寄存器的 CHn_FORMAT 位编程。双极格式表示正负信号范围，数据以二进制补码格式编码，MSB 符号位在前。单极格式仅表示正信号范围，采用直接二进制格式编码。负信号范围的数据值被钳位为 0。正范围信号的完整 16 位分辨率由单极格式提供。表 7-11 显示了数据定标。当信号超过最小/最大输入范围时，转换数据削波至最小/最大代码值。

表 7-11. 双极数据格式 (CH_n_FORMAT = 0)

输入电压 V _{IN} (V) ⁽¹⁾	输出数据 ⁽²⁾	
	标准范围	扩展范围
$1.25 \cdot k \cdot V_{REF} \cdot (2^{15} - 1) / 2^{15}$	7FFFh	7FFFh
$k \cdot V_{REF} \cdot (2^{15} - 1) / 2^{15}$		6666h
$k \cdot V_{REF} / 2^{15}$	0001h	0001h
0	0000h	0000h
$-k \cdot V_{REF} / 2^{15}$	FFFFh	FFFFh
$-k \cdot V_{REF}$	8000h	999Ah
$-1.25 \cdot k \cdot V_{REF}$		8000h

表 7-12. 单极数据格式 (CH_n_FORMAT = 1)

输入电压 V _{IN} (V) ⁽¹⁾	输出数据 ⁽²⁾	
	标准范围	扩展范围
$1.25 \cdot k \cdot V_{REF}$	FFFFh	FFFFh
$k \cdot V_{REF}$		CCCCh
$k \cdot V_{REF} / 2^{16}$	0001h	0001h
≤ 0	0000h	0000h

(1) k = 1 或 2，具体取决于 1 倍还是 2 倍输入范围选项。

(2) 理想输出数据，不包括偏移、增益、线性和噪声误差。

7.4.9.3 STATUS_DP 标头字节

STATUS_DP 是一个作为转换数据前缀的可选标头字节。STATUS_DP 指示数据通道编号以及状态指示器。图 7-33 和表 7-13 显示了字段说明。通过设置 DP_CFG1 寄存器的 DP_STAT_EN 位可以启用 STATUS_DP 标头。

图 7-33. STATUS_DP 标头

7	6	5	4	3	2	1	0
PWR_FLAG	ERR_FLAG	MOD_FLAG	RPT_DATA	PWDN	CH_ID[2:0]		

表 7-13. STATUS_DP 标头字段说明

位	字段	说明
7	PWR_FLAG	电源标志。 此标志是 SPI STATUS 寄存器中 ALV_FLAG 和 POR_FLAG 的“或”运算结果，用于指示器件上电。如果需要，可通过清除 ALV_FLAG 和 POR_FLAG 来清除 PWR_FLAG。清除 PWR_FLAG 不是运行器件的必要条件。在硬件编程模式下，此位始终为 0b。 0b = 自上次清除标志起没有电源事件 1b = 电源事件
6	ERR_FLAG	错误标志。 此位是 ERROR 引脚输出的反转值。在硬件编程模式下，此位始终为 0b。更多详细信息，请参阅 Error 引脚 部分。 0b = 无错误 1b = 错误
5	MOD_FLAG	调制器饱和和标志。 此位指示转换周期中发生的调制器饱和。每次转换完成时更新该标志。 0b = 无调制器饱和 1b = 调制器饱和

表 7-13. STATUS_DP 标头字段说明 (续)

位	字段	说明
4	RPT_DATA	重复数据标志。 此位指示数据是新数据还是重复数据。重复数据是由于通道之间的数据速率不同而引起的，较慢通道在较快通道的更新之间重复原始数据。重复数据也由重复数据模式引起，该模式由 DP_CFG1 寄存器的 DP_DAI5Y 位编程。在硬件编程模式下，此位始终为 0b。 0b = 数据是新数据 1b = 数据是重复数据
3	PWDN	断电标志。 此位指示断电或待机模式。 0b = 通道处于断电或待机模式 1b = 正常运行
2:0	CH_ID[2:0]	通道标识号。 这些位显示与数据对应的通道编号。 000b = 通道 0 001b = 通道 1 010b = 通道 2 011b = 通道 3 100b = 通道 4 (仅限 ADS117L18) 101b = 通道 5 (仅限 ADS117L18) 110b = 通道 6 (仅限 ADS117L18) 111b = 通道 7 (仅限 ADS117L18)

7.4.9.4 FSYNC 引脚

FSYNC 引脚是帧同步端口的字时钟信号。FSYNC 转换为高电平以指示新通道数据开始。FSYNC 时钟频率为 f_{DATA} 。如果通道被编程为不同的数据速率，则 FSYNC 频率是最快的数据通道。

7.4.9.5 DCLK 引脚

DCLK 引脚是从 DOUTx 引脚移出转换数据的帧同步端口位时钟输出信号。数据在 DCLK 下降沿更新并在 DCLK 上升沿读取。

DCLK 频率由可编程分频器从时钟输入信号获得。有关 CLK 和 DCLK 分频器的详细信息，请参阅 [时钟运行](#) 部分。DCLK 信号频率必须足以在一个转换周期内发送数据，否则数据将丢失。[方程式 20](#) 显示了如何计算八通道 ADS117L18 的最小 DCLK 频率。

$$f_{DCLK} \geq f_{DATA} \cdot TDM \text{ ratio} \cdot \text{Data Packet Size} \quad (20)$$

其中：

- f_{DATA} = 数据速率 (Hz)。
- TDM 比率 = 1 (八个数据通路)、2 (四个数据通路)、4 (两个数据通路)、8 (一个数据通路)。
- 数据包 = 通道数据包中的位数 (16、24 或 32 位)。

例如，八通道 ADS117L18 的操作条件如下： $f_{DATA} = 200\text{kSPS}$ 、TDM 比率 = 2 (四个数据通路)、32 位数据包和最小 DCLK 频率 = $200\text{kHz} \cdot 2 \cdot 32 = 12.8\text{MHz}$ 。DCLK 可以高于所需的最小值，在这种情况下，数据包位之后出现的额外位将被忽略。在四通道 ADS117L14 中，将 f_{DCLK} 公式中的 TDM 比率 (与数据通道数量有关) 除以 2。当器件在菊花链模式下运行时， f_{DCLK} 公式中的 TDM 比率将乘以菊花链中的器件数。

[表 7-14](#) 显示了 ADS117L18 中 CLK 和 DCLK 频率的其他示例。可使用 DCLK 和 CLK 分频器，根据速度模式、数据速率、TDM 比率和数据包大小提供所需的 ADC 和 DCLK 时钟频率。

表 7-14. 八通道 ADS117L18 的 DCLK 频率示例

速度模式	数据速率 (kSPS)	TDM 比率	数据包大小	DCLK 最小值 (MHz)	CLKIN 输入 (MHz)	CLK 分频器 ⁽¹⁾	ADC 时钟 (MHz)	DCLK 分频器 ⁽¹⁾	DCLK 实际值 (MHz)
最大值	1365.3	2	24	65.536	65.536	2	32.768	1	65.536

表 7-14. 八通道 ADS117L18 的 DCLK 频率示例 (续)

速度模式	数据速率 (kSPS)	TDM 比率	数据包大小	DCLK 最小值 (MHz)	CLKIN 输入 (MHz)	CLK 分频器 ⁽¹⁾	ADC 时钟 (MHz)	DCLK 分频器 ⁽¹⁾	DCLK 实际值 (MHz)
最大值	512	1	24	12.288	32.768	1	32.768	2	16.384
最大值	512	4	24	49.152	65.536	2	32.768	1	65.536
高	400	4	24	38.4	51.2	2	25.6	1	51.2
中	200	4	32	25.6	25.6	2	12.8	1	25.6
中	200	1	32	6.4	12.8	1	12.8	1	12.8
低	50	8	32	12.8	12.8	4	3.2	1	12.8

(1) 在菊花链运行模式下需要将 CLK 和 DCLK 分频器编程为 1 分频选项。

7.4.9.6 DOUTx 引脚

DOUTx 是帧同步端口的数据输出引脚。输出数据在 DCLK 下降沿更新，并由主机在上升沿锁存。提供通道数据的 DOUTx 引脚数量由 DP_CFG1 寄存器的 DP_TDM[1:0] 位进行编程。非活动 DOUTx 引脚可用作 GPIO 或菊花链输入引脚 (DIN)，以便输入来自另一个器件的数据。

7.4.9.7 DINx 引脚

DINx 引脚是从其他器件接收数据以支持菊花链运行模式的帧同步端口数字输入。DOUTx 引脚 (或数据通路) 的数量由 DP_CFG1 寄存器的 DP_TDM[1:0] 位进行编程。根据 DP_TDM[1:0] 编程电平，未使用的 DOUTx 引脚会自动将状态更改为 DINx 输入引脚。DOUT1 引脚例外，仍作为输出。如果未使用菊花链模式，应将 DINx 引脚接地或使用下拉电阻器。请勿让 DINx 引脚悬空。

7.4.9.8 时分多路复用

时分多路复用 (TDM) 模式将通道数据串行化到数据通路中。对于 ADS117L18，数据通路的数量可编程为 1、2、4 或 8，对于 ADS117L14，可编程为 1、2 或 4。当数据通路数的数量小于通道数量时，器件会在 TDM 模式下打包数据。DP_CFG1 寄存器的 DP_TDM[1:0] 位对数据通路的数量进行编程。

数据通路的一般特性如下。

- 如果数据通路数少于八 (ADS117L18) 或少于四 (ADS117L14)，则未使用的 DOUT 引脚将成为支持菊花链的数据输入。DOUT1 是例外，仍然作为驱动的输出。
- DINx 引脚编号与菊花链的 DOUTx 引脚编号相关。数据输入必须接低电平 (或根据需要接高电平)，或者由菊花链器件驱动。
- 当通道断电时，数据时隙将占据与冻结数据相同的位置。STATUS 字节的通道 ID 位保持有效。
- 当通道断电时，数据通路的 DOUTx 引脚仍然作为输出。

图 7-34 显示了 ADS117L18 的单数据通路选项。DOUT2 至 DOUT7 成为未使用的输入，且不得让其悬空。将菊花链数据应用于 DIN0 引脚。未使用的引脚必须接地。

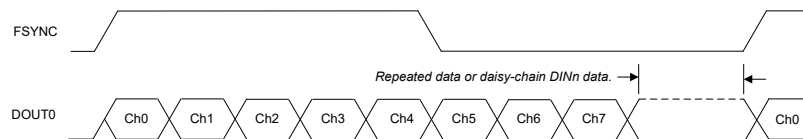


图 7-34. DP_TDM[1:0] = 00b，一个数据通路 (ADS117L18)

图 7-35 显示了 ADS117L18 的双数据通路选项和 ADS117L14 的单数据通路选项。DOUT2 至 DOUT7 (ADS117L18) 和 DOUT2、DOUT3 (ADS117L14) 成为未使用的输入，且不得悬空。将菊花链数据应用于 DIN0 引脚 (ADS117L14) 和 DIN0、DIN1 (ADS117L18)。未使用的引脚必须接地。

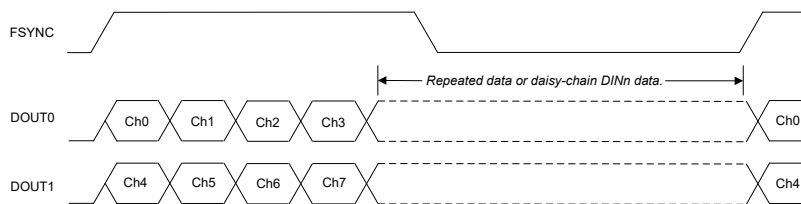


图 7-35. DP_TDM[1:0] = 01b，两个数据通路 (ADS117L18) 或一个数据通路 (ADS117L14)

图 7-36 显示了 ADS117L18 的四数据通路选项和 ADS117L14 的双数据通路选项。DOUT4 至 DOUT7 (ADS117L18) 成为未使用的输入，且不得悬空。将菊花链数据应用于 DIN0、DIN1 (ADS117L14) 和 DIN0 至 DIN3 (ADS117L18)。未使用的引脚必须接地。

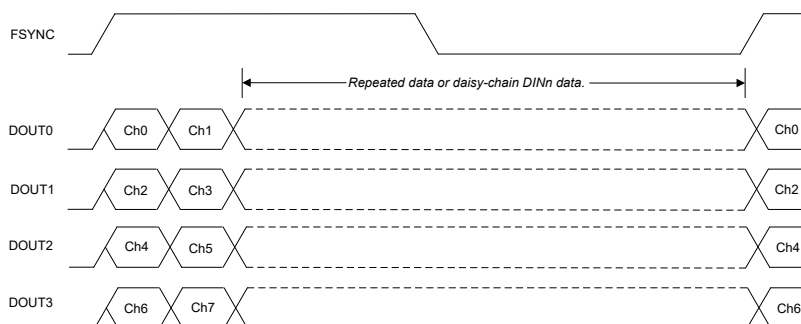


图 7-36. DP_TDM[1:0] = 10b，四个数据通路 (ADS117L18) 或两个数据通路 (ADS117L14)

图 7-37 显示了 ADS117L18 的八数据通路选项和 ADS117L14 的四数据通路选项。DOUT4 至 DOUT7 不适用于 ADS117L14。此模式下不支持菊花链。

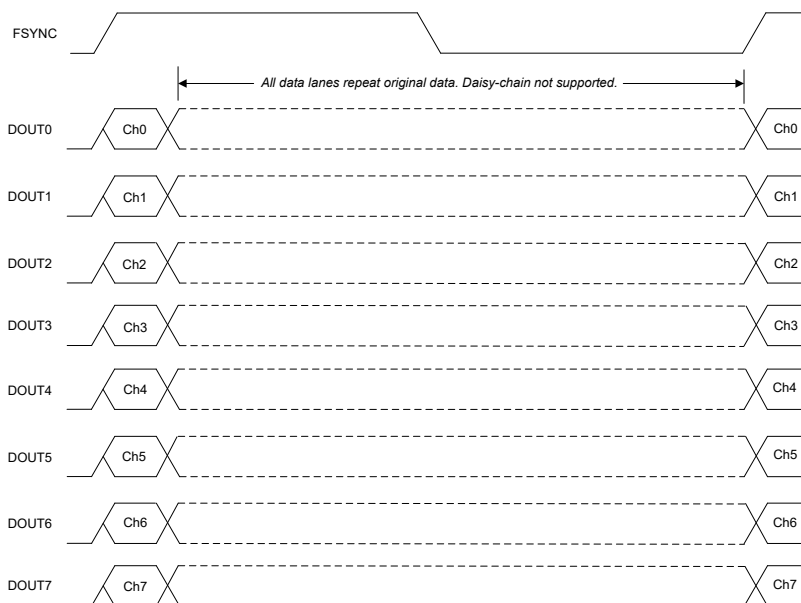


图 7-37. DP_TDM[1:0] = 11b，八个数据通路 (ADS117L18) 或四个数据通路 (ADS117L14)

7.4.9.9 菊花链

该器件支持帧同步端口的菊花链连接，因此可以在使用多个器件时减少数据通路的数量。为了进行菊花链连接，请将 DOUTx 引脚连接到后续器件的 DINx 引脚。出现在后续器件 DINx 引脚上的数据会移入并附加到 DOUTx 上。

的数据。DP_CFG1 寄存器的 DP_DAISY 位对 DINx 引脚进行编程以接收菊花链所需的数据。如果禁用，菊花链输入数据将被忽略，并会重复每个器件的原始数据。

菊花链连接的器件数量没有限制，但前提是要考虑 **OSR** 和数据包大小，以便在一个转换周期内输出所有数据，否则数据将丢失。有关 **DCLK** 的详细信息，请参阅 **DCLK 引脚** 部分。

以菊花链方式运行的器件的一般要求如下：

- ADC 时钟和 DCLK 频率相同。
- DCLK_DIV[1:0] 和 CLK_DIV[2:0] 被编程为 1 分频值。
- 外部时钟运行。
- 菊花链中所有器件以相同的方式对 DP_TDM[1:0] (TDM 模式) 进行编程。
- 所有器件一起同步。

图 7-38 展示了两个 ADS117L18 器件采用菊花链连接，对 16 个数据通道使用一个数据通路 (DP_TDM[1:0] = 00b)。在该 TDM 模式下，DOUT[7:4] 引脚默认为 DIN[3:0] 数据输入。由于 DOUT2 和 DOUT3 也成为未使用的输入，因此使用外部下拉电阻器来防止输入悬空。DOUT1 是未连接的输出。由于在一个数据周期内需要移出的数据量，OSR 的最小值必须为 256，才能支持 32 位数据包。

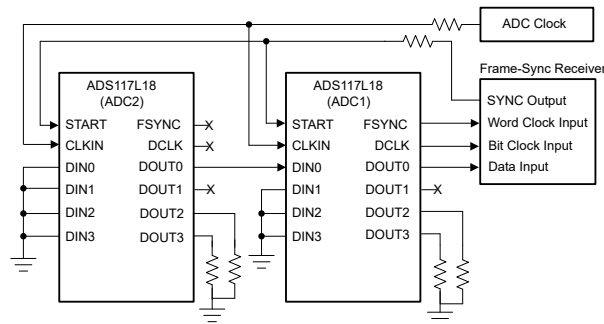


图 7-38. 单通路菊花链

图 7-39 展示了单数据通路连接的数据格式。



图 7-39. 单通路菊花链数据

图 7-40 展示了两个 ADS117L18 器件采用菊花链连接，对 16 个数据通道使用四个数据通路 (DP_TDM[1:0] = 10b)。另一种方法是以双数据通路模式并行运行器件，产生相同数量的数据通路，但采用不同的数据格式。

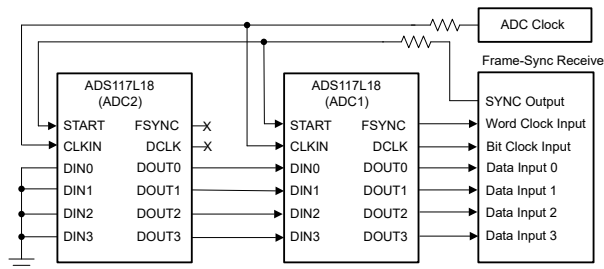


图 7-40. 四通道菊花链

图 7-41 展示了四数据通道连接的数据格式。

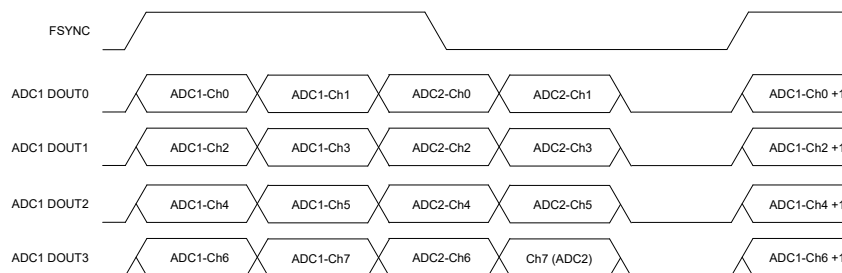


图 7-41. 四通道菊花链数据

7.4.9.10 DOUTx 时序

DOUTx 引脚的时序是可编程的，有助于满足外部要求。DOUTx 相对于 FSYNC 和 DCLK 信号在 $\pm 6\text{ns}$ 范围内延迟或提前，近似的位权重 = 0.3ns ，如图 7-42 所示。FSYNC 和 DCLK 信号之间的时序是固定的。DP_CFG2 寄存器的 DOUT_DLY[4:0] 位可对 DOUTx 时序进行编程。

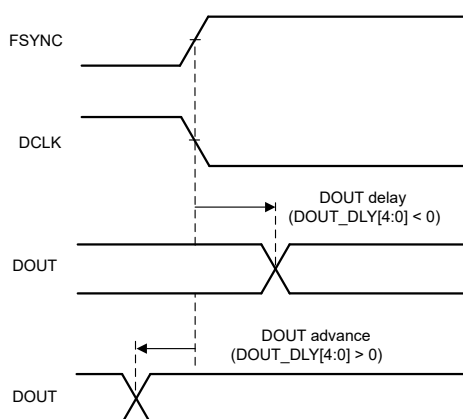


图 7-42. DOUT 时序调整

7.5 编程

该器件有两个接口：帧同步接口和 SPI 接口。帧同步接口提供转换数据，而 SPI 接口用于配置器件。该器件还可通过硬件器件引脚进行编程以取代 SPI 编程。MODE 引脚可在硬件编程或 SPI 编程模式之间进行选择。在上电时和复位后会读取 MODE 引脚以确定编程模式。有关详细信息，请参阅 [硬件编程](#) 部分。有关 SPI 编程详细信息，请参阅 [SPI 编程](#) 部分。

7.5.1 硬件编程

在硬件编程模式下，对器件进行编程的方式是将引脚搭接至 IOVDD、DGND 或悬空，也可以将其连接到控制器 I/O 以根据需要更改 ADC 配置。通过将 MODE 引脚悬空或接地（在这种情况下会禁用 SPI 编程）来选择硬件编程。图 7-43 和表 7-15 显示了硬件引脚和引脚功能。并非所有器件选项都在硬件模式下可用。有关 SPI 编程的详细信息，请参阅 [SPI 编程](#) 部分。

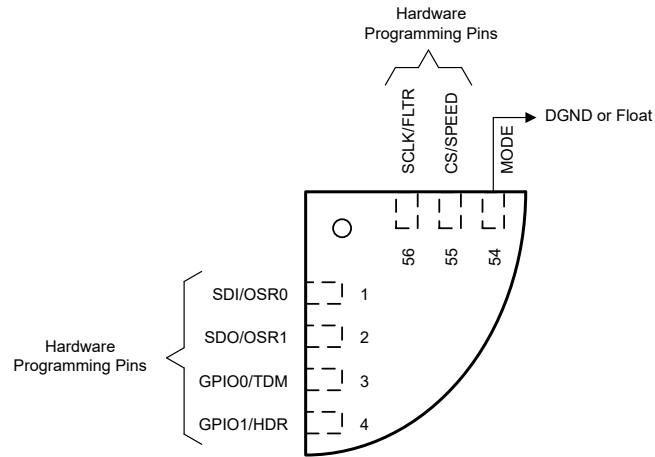


图 7-43. 硬件编程模式

表 7-15. 硬件编程引脚

引脚	编号	说明	状态 ⁽¹⁾	功能		
模式	54	SPI 或硬件编程模式	0	硬件编程，所有缓冲器均开启		
			1	SPI 编程		
			F	硬件编程，所有缓冲器均关闭		
$\overline{\text{CS}}$ /SPEED	55	速度模式	0	低速模式		
			1	最大速度模式		
			F	中速模式		
SCLK/FLTR	56	滤波器类型	0	宽带滤波器		
			1	低延迟 sinc4 滤波器		
			F	低延迟 sinc4 + sinc1 滤波器		
SDO/OSR1 SDI/OSR0	2.1	滤波器 OSR	OSR1/ OSR0	宽带滤波器	SINC4 滤波器	SINC4 + SINC1 滤波器
			00	32	12	64
			01	64	16	128
			0F	128	24	320
			10	256	32	640
			11	512	64	1280
			1F	1024	128	3200
			F0	2048	256	6400
			F1	4096	1024	12800
			FF	4096	4096	32000
GPIO0/TDM	3	数据端口 TDM	0	无 TDM，四个或八个数据通路（使用所有 DOUTx 引脚）		
			1	ADS117L18：一个数据通路（DOUT0 引脚）		
			F	ADS117L14：一个数据通路（DOUT0 引脚） ADS117L18：两个数据通路（DOUT0 和 DOUT1 引脚）		
GPIO1/HDR	4	数据端口标头	0	（仅）16 个数据位		
			1	STATUS 标头字节 + 16 个数据位		
			F	STATUS 标头字节 + 16 个数据位 + CRC 字节		

1. F = 悬空状态。

该器件在上电和器件复位时通过弱驱动器 ($Z_{\text{OUT}} = 25\text{k}\Omega$) 施加脉冲来读取引脚。确保在上电或复位之前建立引脚电平。如果检测到悬空情况，该器件会将引脚驱动至低电平，以防止引脚在正常运行期间悬空。读取引脚后，直到下次上电或复位周期才会确认引脚的更改。

由于该器件会施加脉冲来读取引脚，因此悬空状态会限制外部引脚电容和外部漏电流。逻辑 1 和 0 输入条件也会限制最大上拉和下拉电阻。图 7-44 显示了每种状态的电气限制。为了进行正确的引脚模式检测，请勿将其他器件的悬空输入连接在一起。

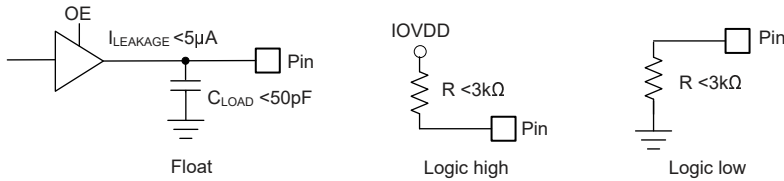


图 7-44. 硬件编程引脚条件

硬件模式下不可用的编程选项采用 SPI 寄存器的默认值。如需了解这些默认值，请参阅[寄存器映射](#)部分。[表 7-16](#)展示了 SPI 默认值的例外情况。

表 7-16. 硬件编程默认值

功能	硬件模式默认值
时钟模式	外部时钟
基准范围	高基准范围
数模转换器 (VCM) 输出	启用

7.5.2 SPI 编程

通过将 MODE 引脚连接到 IOVDD 可以选择 SPI 编程。在 SPI 模式下，硬件模式被禁用，并且通过写入 SPI 寄存器对器件进行编程。[图 7-45](#) 显示了 SPI 引脚。

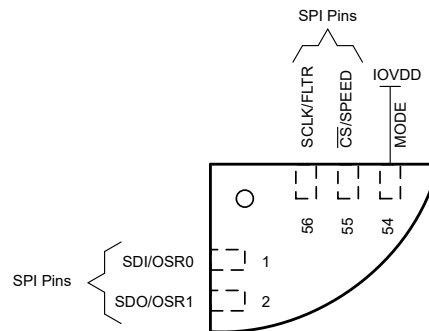


图 7-45. SPI 引脚

SPI 包含四个信号： $\overline{CS}$ 、SCLK、SDI 和 SDO（随后从引脚名称中删除硬件引脚功能）。该接口在被动模式下运行，其中 SCLK 是由主机驱动的器件输入。该接口与 SPI 模式 1（CPOL = 0 且 CPHA = 1）兼容。在 SPI 模式 1 中，SCLK 在空闲状态下维持低电平，在 SCLK 上升沿更新数据，在 SCLK 下降沿读取数据。该接口支持全双工运行，这意味着会同时发送输入数据和输出数据。

可选的 8 位 CRC 值可以验证主机和器件之间的数据发送。16 位 CRC 寄存器值可以在加载初始寄存器数据后检测寄存器映射变化。

7.5.2.1 片选 ($\overline{CS}$)

$\overline{CS}$ 是实现 SPI 通信的低电平有效输入。 $\overline{CS}$ 置为低电平将启动通信，而 $\overline{CS}$ 置为高电平将结束通信。当 $\overline{CS}$ 置为高电平时，器件通过解释输入数据的最后 16 位（CRC 模式下为 24 位）来结束通信。无论移入的位数如何，器件都会解释最后几个位。当 $\overline{CS}$ 为高电平时，SPI 接口复位，命令被阻止，SDO 引脚进入高阻抗状态。

7.5.2.2 串行时钟 (SCLK)

SCLK 是用于将寄存器数据移入和移出 ADC 的串行时钟输入。输出数据在 SCLK 上升沿更新，输入数据在 SCLK 下降沿锁存。SCLK 是一种施密特触发输入，旨在提高抗噪性能。尽管 SCLK 具有抗噪性，但应尽可能使 SCLK 保持无噪声，以避免 SCLK 意外转换。避免 SCLK 输入上出现振铃和过冲。在 SCLK 驱动器处放置的串联终端电阻器通常可减少振铃。

7.5.2.3 串行数据输入 (SDI)

SDI 是 SPI 数据输入。SDI 用于向器件输入数据。数据在 SCLK 下降沿被锁存。SDI 未激活时处于高电平或低电平空闲状态。

7.5.2.4 串行数据输出 (SDO)

SDO 是 SPI 数据输出。来自 ADC 的输出数据在 SCLK 上升沿更新。当 $\overline{CS}$ 为高电平时，SDO 引脚处于三态。

7.5.3 SPI 帧

通过 SPI 进行的通信基于帧的概念。帧通过将 $\overline{\text{CS}}$ 置为低电平来启动，并通过将 $\overline{\text{CS}}$ 置为高电平来结束。当 $\overline{\text{CS}}$ 置为高电平时，器件会对数据的最后 16 位或 24 位（具体取决于配置）进行解释，而不管移入的数据量是多少。

7.5.4 命令

使用命令可读取和写入寄存器数据以配置和控制器件。命令的长度为两个字节（加上一个可选的 CRC 字节）。寄存器映射是一系列 8 位寄存器，可通过读取和写入操作进行访问，一次访问一个寄存器。启用 SPI CRC 后，器件会计算 CRC 字节之前两个字节的 CRC 输入值以验证命令。表 7-17 显示了命令格式。

表 7-17. 命令

命令	BYTE1	BYTE2	字节 3 (可选 CRC 模式)
读取寄存器	00h + 寄存器地址 [6:0]	无关	字节 1 和字节 2 的 CRC
写入寄存器	80h + 寄存器地址 [6:0]	寄存器数据	字节 1 和字节 2 的 CRC

有一种直接复位 ADC 的特殊输入位模式。有关详细信息，请参阅[通过 SPI 输入模式进行复位](#)部分。

表 7-18 总结了与 STATUS 和 CRC 选项相对应的读取和写入命令的输入和输出字节序列。通过设置 GEN_CFG3 寄存器中的相应位即可启用 STATUS 和 CRC。通信帧的大小为 2 或 3 个字节，具体取决于是否启用了 CRC。

表 7-18. SPI 帧大小

帧大小	状态	CRC	输入字节序列	输出字节序列 ⁽¹⁾
2 字节	否	否	写入命令：命令 + 数据 读取命令：命令 + 0	写入命令：ECHO + 0 读取命令：数据 + 0
	是	否		写入命令：ECHO + STATUS 读取命令：数据 + STATUS
3 字节	否	是	写入命令：命令 + 数据 + CRC 读取命令：命令 + 0 + CRC	写入命令：ECHO + 0 + CRC 读取命令：数据 + 0 + CRC
	是	是		写入命令：ECHO + STATUS + CRC 读取命令：数据 + STATUS + CRC

(1) ECHO 是写入命令回显到下一帧的上一帧寄存器数据字节

7.5.4.1 写入寄存器命令

写入寄存器命令写入寄存器数据。写入寄存器操作在单个帧中执行。命令的第一个字节是添加到 7 位寄存器地址的基本值 (80h)。命令的第二个字节是寄存器数据。如果启用了地址验证，当出现地址超出范围时，写入操作将被拒绝，并在 STATUS 字节中设置 ADDR_ERR 标志。寄存器数据格式为 MSB 优先。

图 7-46 展示了在禁用 STATUS 和 CRC 的情况下写入寄存器数据（从而执行双字节命令操作）的示例。如果前一个操作是写入寄存器命令，则第一个输出字节是先前写入的寄存器数据的回显。否则，第一个输出字节是来自寄存器读取操作的寄存器数据。

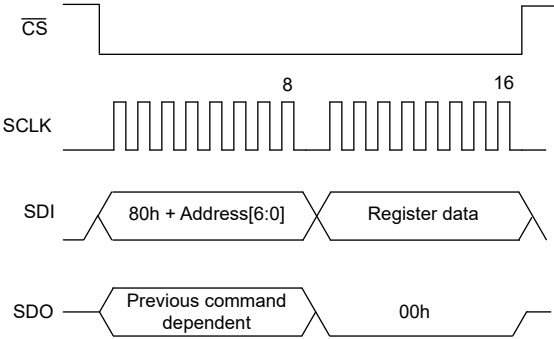


图 7-46. 写入寄存器数据（禁用 STATUS 和 CRC）

图 7-47 展示了在启用 STATUS 和 CRC 情况下的写入寄存器操作示例。由于启用了 CRC，帧长度为三个字节。如果前一个操作是写入寄存器命令，则第一个输出字节是先前写入的寄存器数据的回显。如果在前一帧中发生 CRC 或地址超出范围错误，则写入操作会被拒绝。然后，对回显字节进行反转，并在 STATUS 字节中设置 SPI_FLAG 位。后续寄存器写入操作会被阻止，直到通过写入 1b 进行清除以复位 SPI_FLAG。如果前一个操作是寄存器读取，则第一个输出字节是寄存器数据。

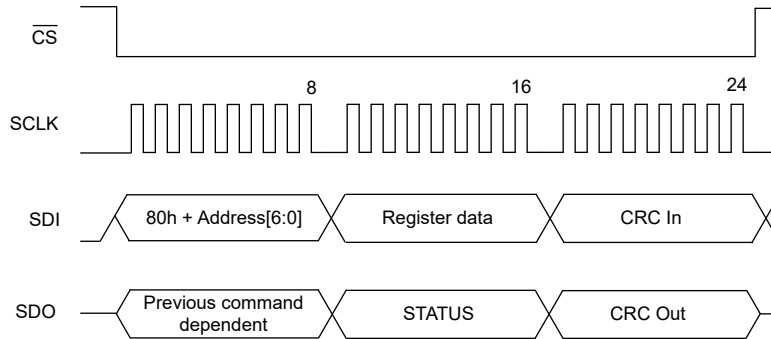


图 7-47. 写入寄存器数据 (启用 STATUS 和 CRC)

7.5.4.2 读取寄存器命令

读取寄存器命令读取寄存器数据。该命令遵循帧外协议，其中读取命令在一帧内发送，而 ADC 在下一帧中响应寄存器数据。命令的第一个字节是 00h 加上 7 位寄存器地址。第二个字节未使用。对超出有效范围的寄存器地址的响应为 00h，如果启用了 SPI 地址范围验证，则会在 STATUS 字节中设置 ADDR_ERR 标志。寄存器数据格式为 MSB 优先。通过在读取当前寄存器数据时移入下一个命令，可以实现全双工操作。

图 7-48 展示了在禁用 STATUS 和 CRC 字节的情况下读取寄存器数据的示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将 CS 置为高电平来分隔帧。在本例中，由于 CRC 被禁用，响应帧的长度为两个字节。或者，在读取寄存器数据后通过将 CS 置为高电平来缩短响应帧的周期。从无效寄存器读取时将返回寄存器数据为 0。

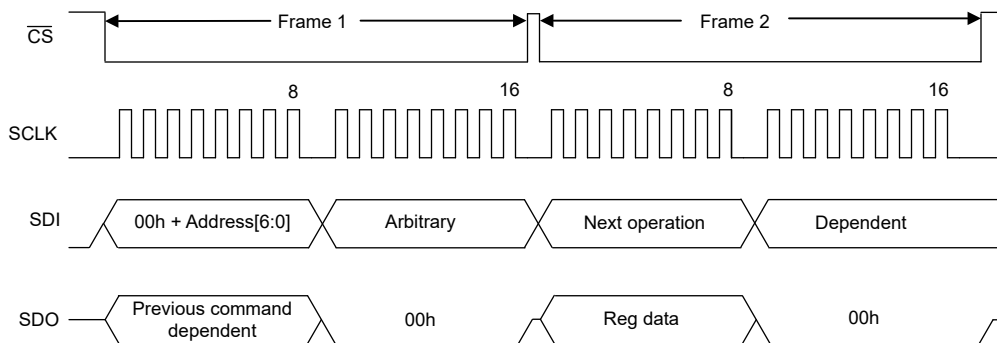


图 7-48. 读取寄存器数据 (禁用 STATUS 和 CRC)

图 7-49 展示了在启用 STATUS 和 CRC 的情况下读取寄存器数据的示例。由于启用了 CRC，帧的长度为三个字节。第二个命令字节的值是任意的，但与第一个命令字节一起用于确定 CRC In 值。寄存器数据字节和 STATUS 字节决定了 CRC Out 值。

如果在寄存器读取命令期间发生 CRC 错误，则会在 STATUS 中设置 SPI_ERR 标志。如果在寄存器读取命令期间发生地址超出范围错误，则寄存器响应数据 (寄存器数据) 为零，并且会在 STATUS 中设置 ADDR_ERR 标志。在这两种情况下，无论是设置还是清除错误标志，都会处理未来的读取。

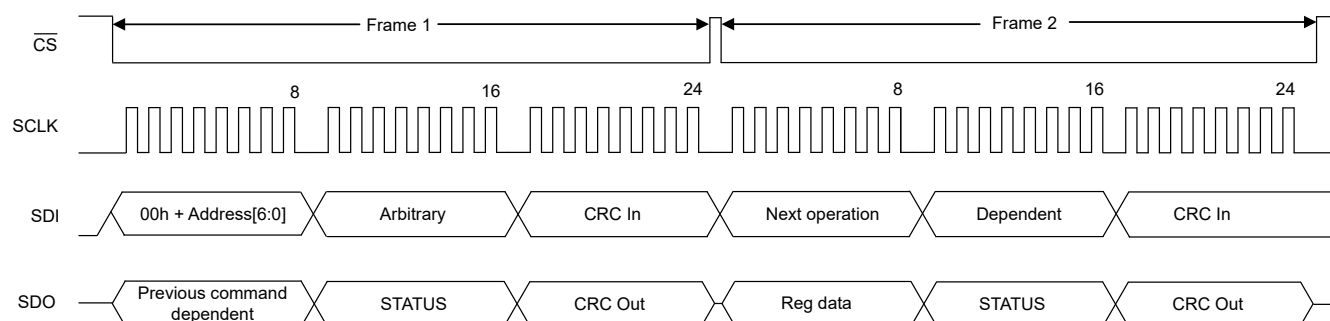


图 7-49. 读取寄存器数据 (启用 STATUS 和 CRC)

7.5.5 SPI 菊花链

SPI 支持通过菊花链连接多个器件。为了形成菊花链，请将 SDO 引脚连接到后续器件的 SDI 引脚。无需特殊编程，只需应用额外的移位时钟即可扩展帧长度，从而访问菊花链中的所有器件。为了输入数据，首先移入用于菊花链中最后一个器件的数据。这些器件会在将 $\overline{CS}$ 置为高电平之前解释最后两个或三个字节的的数据（如果启用了 CRC，则为三个字节）。从菊花链中的最后一个器件移出数据后再从第一个器件移出数据。

图 7-50 显示了一个双器件菊花链连接，图 7-51 显示了每个器件的寄存器写入命令的数据格式。控制器的 *Data Out* 线路连接到 ADC (1) SDI，ADC (2) SDO 连接到控制器的 *Data In* 线路。ADC (1) 输入数据在 SDO 上移出以驱动 ADC (2) SDI。移位操作将继续，直至到达链中的最后一个器件。当 $\overline{CS}$ 置为高电平时，SPI 帧结束，此时将解释移入每个器件的数据。第二个帧通过 ADC (2) SDO 引脚从两个器件移出寄存器数据。

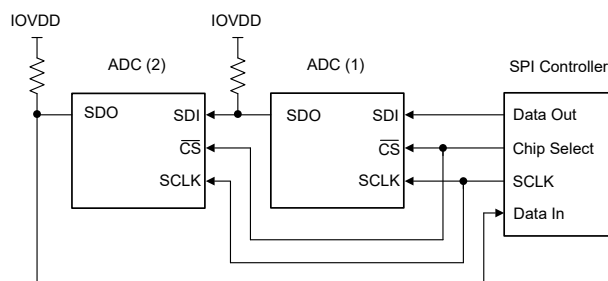


图 7-50. SPI 菊花链

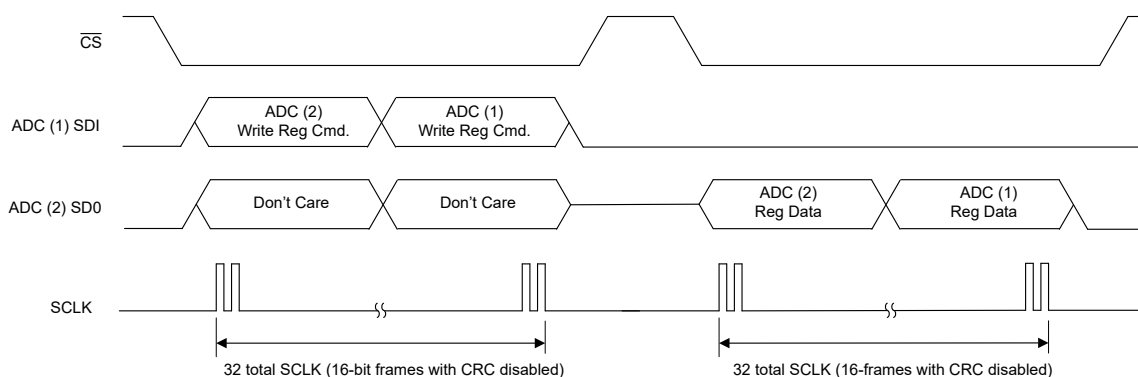


图 7-51. SPI 菊花链寄存器写入数据格式

8 寄存器映射

表 8-1 列出了 ADS117L14 和 ADS117L18 的寄存器存储器映射。存储器地址 02h 至 10h 是所有器件通道的通用编程地址。地址 11h 至 30h 适用于器件通道 0 至 3。地址 31h 至 50h 适用于器件通道 4 至 7。未列出的寄存器地址不会被写入。

表 8-1. 寄存器映射摘要

地址	寄存器	复位	位 7		位 6		位 5		位 4		位 3		位 2		位 1		位 0	
00h	DEV_ID	xxh	DEV_ID[7:0]															
01h	REV_ID	xxh	REV_ID[7:0]															
02h	STATUS	60h	RESERVED	ALV_FLAG		POR_FLAG		SPI_ERR		REG_ERR		ADC_ERR		ADDR_ERR		SCLK_ERR		
03h	CLK_CNT	00h	CLK_CNT[7:0]															
04h	GPIO_RD	00h	GPIO_RD[7:0]															
05h	CRC_MSB	00h	CRC_MSB[7:0]															
06h	CRC_LSB	00h	CRC_LSB[7:0]															
07h	CONTROL	00h	RESET[5:0]												开始		STOP	
08h	GEN_CFG1	00h	RESERVED				DELAY[2:0]				VCM				REFP_BUF		REF_RNG	
09h	GEN_CFG2	04h	RESERVED						START_MODE[1:0]				SPEED_MODE[1:0]				STBY_MODE	
0Ah	GEN_CFG3	C0h	OUT_DRV		RESERVED		CLK_CNT_EN		SPI_STAT_EN		SPI_ADDR_EN		SCLK_CNT_EN		SPI_CRC_EN		REG_CRC_EN	
0Bh	DP_CFG1	20h	DP_CRC_EN		DP_STAT_EN		DP_TDM[1:0]				RESERVED				DP_DAI5Y		RESERVED	
0Ch	DP_CFG2	00h	RESERVED		DCLK_DIV[1:0]				DOUT_DLY[4:0]									
0Dh	CLK_CFG	00h	RESERVED								CLK_SEL		CLK_DIV[2:0]					
0Eh	GPIO_WR	00h	GPIO_WR[7:0]															
0Fh	GPIO_DIR	00h	GPIO_DIR[7:0]															
10h	GPIO_EN	00h	GPIO_EN[7:0]															
11h	CH0_CFG1	00h	CH0_FORMAT		CH0_MUX[2:0]						CH0_INP_RNG		CH0_EX_RNG		CH0_BUFN		CH0_BUFP	
12h	CH0_CFG2	00h	RESERVED				CH0_PWDN		CH0_FLTR[4:0]									
13h	CH0_OFS_MSB	00h	CH0_OFFSET_MSB[7:0]															
14h	CH0_OFS_MID	00h	CH0_OFFSET_MID[7:0]															
15h	CH0_OFS_LSB	00h	CH0_OFFSET_LSB[7:0]															
16h	CH0_GAN_MSB	40h	CH0_GAIN_MSB[7:0]															
17h	CH0_GAN_MID	00h	CH0_GAIN_MID[7:0]															
18h	CH0_GAN_LSB	00h	CH0_GAIN_LSB[7:0]															
19h	CH1_CFG1	00h	CH1_FORMAT		CH1_MUX[2:0]						CH1_INP_RNG		CH1_EX_RNG		CH1_BUFN		CH1_BUFP	
1Ah	CH1_CFG2	00h	RESERVED				CH1_PWDN		CH1_FLTR[4:0]									
1Bh	CH1_OFS_MSB	00h	CH1_OFFSET_MSB[7:0]															
1Ch	CH1_OFS_MID	00h	CH1_OFFSET_MID[7:0]															
1Dh	CH1_OFS_LSB	00h	CH1_OFFSET_LSB[7:0]															
1Eh	CH1_GAN_MSB	40h	CH1_GAIN_MSB[7:0]															
1Fh	CH1_GAN_MID	00h	CH1_GAIN_MID[7:0]															
20h	CH1_GAN_LSB	00h	CH1_GAIN_LSB[7:0]															
21h	CH2_CFG1	00h	CH2_FORMAT		CH2_MUX[2:0]						CH2_INP_RNG		CH2_EX_RNG		CH2_BUFN		CH2_BUFP	
22h	CH2_CFG2	00h	RESERVED				CH2_PWDN		CH2_FLTR[4:0]									
23h	CH2_OFS_MSB	00h	CH2_OFFSET_MSB[7:0]															
24h	CH0_OFS_MID	00h	CH2_OFFSET_MID[7:0]															
25h	CH2_OFS_LSB	00h	CH2_OFFSET_LSB[7:0]															
26h	CH2_GAN_MSB	40h	CH2_GAIN_MSB[7:0]															
27h	CH2_GAN_MID	00h	CH2_GAIN_MID[7:0]															
28h	CH2_GAN_LSB	00h	CH2_GAIN_LSB[7:0]															
29h	CH3_CFG1	00h	CH3_FORMAT		CH3_MUX[2:0]						CH3_INP_RNG		CH3_EX_RNG		CH3_BUFN		CH3_BUFP	
2Ah	CH3_CFG2	00h	RESERVED				CH3_PWDN		CH3_FLTR[4:0]									
2Bh	CH3_OFS_MSB	00h	CH3_OFFSET_MSB[7:0]															
2Ch	CH3_OFS_MID	00h	CH3_OFFSET_MID[7:0]															
2Dh	CH3_OFS_LSB	00h	CH3_OFFSET_LSB[7:0]															
2Eh	CH3_GAN_MSB	40h	CH3_GAIN_MSB[7:0]															
2Fh	CH3_GAN_MID	00h	CH3_GAIN_MID[7:0]															

表 8-1. 寄存器映射摘要 (续)

地址	寄存器	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
30h	CH3_GAN_LSB	00h	CH3_GAIN_LSB[7:0]							
31h	CH4_CFG1	00h	CH4_FORMAT	CH4_MUX[2:0]			CH4_INP_RNG	CH4_EX_RNG	CH4_BUFN	CH4_BUFP
32h	CH4_CFG2	00h	RESERVED		CH4_PWDN	CH4_FLTR[4:0]				
33h	CH4_OFS_MSB	00h	CH4_OFFSET_MSB[7:0]							
34h	CH4_OFS_MID	00h	CH4_OFFSET_MID[7:0]							
35h	CH4_OFS_LSB	00h	CH4_OFFSET_LSB[7:0]							
36h	CH4_GAN_MSB	40h	CH4_GAIN_MSB[7:0]							
37h	CH4_GAN_MID	00h	CH4_GAIN_MID[7:0]							
38h	CH4_GAN_LSB	00h	CH4_GAIN_LSB[7:0]							
39h	CH5_CFG1	00h	CH5_FORMAT	CH5_MUX[2:0]			CH5_INP_RNG	CH5_EX_RNG	CH5_BUFN	CH5_BUFP
3Ah	CH5_CFG2	00h	RESERVED		CH5_PWDN	CH5_FLTR[4:0]				
3Bh	CH5_OFS_MSB	00h	CH5_OFFSET_MSB[7:0]							
3Ch	CH5_OFS_MID	00h	CH5_OFFSET_MID[7:0]							
3Dh	CH5_OFS_LSB	00h	CH5_OFFSET_LSB[7:0]							
3Eh	CH5_GAN_MSB	40h	CH5_GAIN_MSB[7:0]							
3Fh	CH5_GAN_MID	00h	CH5_GAIN_MID[7:0]							
40h	CH5_GAN_LSB	00h	CH5_GAIN_LSB[7:0]							
41h	CH6_CFG1	00h	CH6_FORMAT	CH6_MUX[2:0]			CH6_INP_RNG	CH6_EX_RNG	CH6_BUFN	CH6_BUFP
42h	CH6_CFG2	00h	RESERVED		CH6_PWDN	CH6_FLTR[4:0]				
43h	CH6_OFS_MSB	00h	CH6_OFFSET_MSB[7:0]							
44h	CH6_OFS_MID	00h	CH6_OFFSET_MID[7:0]							
45h	CH6_OFS_LSB	00h	CH6_OFFSET_LSB[7:0]							
46h	CH6_GAN_MSB	40h	CH6_GAIN_MSB[7:0]							
47h	CH6_GAN_MID	00h	CH6_GAIN_MID[7:0]							
48h	CH6_GAN_LSB	00h	CH6_GAIN_LSB[7:0]							
49h	CH7_CFG1	00h	CH7_FORMAT	CH7_MUX[2:0]			CH7_INP_RNG	CH7_EX_RNG	CH7_BUFN	CH7_BUFP
4Ah	CH7_CFG2	00h	RESERVED		CH7_PWDN	CH7_FLTR[4:0]				
4Bh	CH7_OFS_MSB	00h	CH7_OFFSET_MSB[7:0]							
4Ch	CH7_OFS_MID	00h	CH7_OFFSET_MID[7:0]							
4Dh	CH7_OFS_LSB	00h	CH7_OFFSET_LSB[7:0]							
4Eh	CH7_GAN_MSB	40h	CH7_GAIN_MSB[7:0]							
4Fh	CH7_GAN_MID	00h	CH7_GAIN_MID[7:0]							
50h	CH7_GAN_LSB	00h	CH7_GAIN_LSB[7:0]							

表 8-2 显示了本节中的访问类型代码。

表 8-2. 寄存器访问类型代码

访问类型	代码	说明
R	R	只读
W	W	只写入
W1C	W1C	写入 1 以进行清除
R/W	R/W	读取或写入

8.1 DEV_ID 寄存器 (地址 = 00h) [复位 = 04h 或 06h]

表 8-3 中对 DEV_ID 进行了介绍。

表 8-3. DEV_ID 寄存器说明

位	字段	类型	复位	说明
7-0	DEV_ID[7:0]	R	00000xx0b	器件标识号。 00000101b = ADS117L14 00000111b = ADS117L18

8.2 REV_ID 寄存器 (地址 = 01h) [复位 = xxh]

表 8-4 中对 REV_ID 进行了介绍。

表 8-4. REV_ID 寄存器说明

位	字段	类型	复位	说明
7-0	REV_ID[7:0]	R	xxxxxxxxb	裸片修订版本号。 器件生产过程中裸片修订版本号可能会发生变化，而不另行通知。

8.3 STATUS 寄存器 (地址 = 02h) [复位 = 60h]

图 8-1 显示了 STATUS，且在表 8-5 中对此进行了介绍。

图 8-1. STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED	ALV_FLAG	POR_FLAG	SPI_ERR	REG_ERR	ADC_ERR	ADDR_ERR	SCLK_ERR
R-0b	R/W1C-1b	R/W1C-1b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b

表 8-5. 状态寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留
6	ALV_FLAG	R/W1C	1b	模拟电源低电压标志。 此位指示模拟电源的低电压状况。写入 1b 会复位该标志，以便检测下一个低电压状况。 0b = 自上次清除标志起没有事件 1b = 检测到模拟电源低电压
5	POR_FLAG	R/W1C	1b	上电复位标志。 此位指示器件已在 IOVDD 电源上电或欠压时复位或由用户复位操作进行了复位。写入 1b 会复位该标志，以便检测下一次器件复位。 0b = 自上次清除标志起没有复位 1b = 发生复位
4	SPI_ERR	R/W1C	0b	SPI CRC 错误。 此位指示检测到 SPI CRC 错误。当设置了此位时，除该寄存器外，寄存器写入操作将被阻止。写入 1b 可以清除此位。通过 SPI_CRC_EN 位可以启用 CRC 验证。 0b = 无错误 1b = SPI CRC 错误
3	REG_ERR	R/W1C	0b	寄存器映射 CRC 错误。 此位指示寄存器映射 CRC 错误。用户可以向 CRC_MSB 和 CRC_LSB 寄存器写入一个 16 位 CRC 值，这个值是针对两个器件的地址 08h 至 50h 计算得出的。通过更正 CRC 值可以清除错误，然后写入 1b 来清除此位。通过 REG_CRC_EN 寄存器位可以启用寄存器映射 CRC 验证。 0b = 无错误 1b = 寄存器映射 CRC 错误

表 8-5. 状态寄存器字段说明 (续)

位	字段	类型	复位	说明
2	ADC_ERR	R	0b	ADC 错误。 此位指示内部 ADC 错误。应复位器件或执行下电上电以清除错误。 0b = 无错误 1b = ADC 错误
1	ADDR_ERR	R/W1C	0b	SPI 寄存器地址错误。 此位指示无效的寄存器读取或写入地址。两个器件的有效地址范围均为 00h 至 50h。设置错误后, 除 STATUS 寄存器外, 寄存器写入操作会被阻止。通过写入 1b 可以清除错误。设置 SPI_ADDR_EN = 1b 即可启用地址错误检查。 0b = 无错误 1b = 无效的寄存器读取/写入地址
0	SCLK_ERR	R/W1C	0b	SPI SCLK 计数错误。 此位指示 SCLK 周期数不是 8 的倍数。设置该标志后, 除 STATUS 寄存器外, 寄存器写入操作会被阻止。通过写入 1b 可以清除错误。设置 SCLK_CNT_EN = 1b 即可启用 SCLK 计数错误检查。 0b = 无错误 1b = SCLK 时钟周期数不是 8 的倍数

8.4 CLK_CNT 寄存器 (地址 = 03h) [复位 = 00h]

表 8-6 中对 CLK_CNT 进行了介绍。

表 8-6. CLK_CNT 寄存器说明

位	字段	类型	复位	说明
7-0	CLK_CNT[7:0]	R	00000000b	时钟计数值寄存器。 此寄存器是 ADC 时钟的计数器。此计数器以 $f_{CLK}/32$ 再除以 CLK_DIV[2:0] 设置值的速率递增。应以已知的时间间隔读取寄存器以验证 ADC 时钟频率。时钟计数由 CLK_CNT_EN 寄存器位启用。启用后, 计数器值复位为 00h。禁用后, 计数值为 00h。

8.5 GPIO_RD 寄存器 (地址 = 04h) [复位 = 00h]

图 8-2 展示了 GPIO_RD，表 8-7 中对此进行了介绍。

图 8-2. GPIO_RD 寄存器

7	6	5	4	3	2	1	0
GPIO_RD7	GPIO_RD6	GPIO_RD5	GPIO_RD4	GPIO_RD3	GPIO_RD2	GPIO_RD1	GPIO_RD0
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-7. GPIO_RD 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPIO_RD[7:0]	R	00000000b	GPIO 读取数据寄存器。这些位是 GPIO 的读取值。如果 GPIO 编程为输出，则返回的值来自 GPIO 引脚。

8.6 CRC_MSB、CRC_LSB 寄存器 (地址 = 05h、06h) [复位 = 00h]

表 8-8 中介绍了 CRC 寄存器。

表 8-8. CRC 寄存器说明

名称	地址	类型	复位	说明
CRC_MSB	5h	R/W	00h	由两个字节组成的寄存器映射 CRC 值。写入一个在寄存器范围 08h 至 50h 内计算得出的 16 位 CRC 值。通过 REG_CRC_EN 位可以启用寄存器映射 CRC 校验。CRC 错误会报告给 STATUS 寄存器的 REG_ERR 位。
CRC_LSB	6h	R/W	00h	

8.7 CONTROL 寄存器 (地址 = 07h) [复位 = 00h]

图 8-3 展示了 CONTROL，表 8-9 中对此进行了介绍。

图 8-3. CONTROL 寄存器

7	6	5	4	3	2	1	0
RESET[5:0]						开始	STOP
R/W-000000b						R/W-0b	R/W-0b

表 8-9. CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESET[5:0]	R/W	000000b	软件复位。 写入 010110b 值可以复位 ADC。确保同一写入操作中的 START 位或 STOP 位也是 0b。这些位会自行清除并且始终为 000000b。
1	开始	R/W	0b	启动转换。 通过写入 1b 来启动通道转换。此位也会重新启动正在进行的转换。转换会持续直到向 STOP 位写入 1b。此位在写入后自行清除，因此始终为 0b。此位在同步控制模式下不起作用。 0b = 无操作 1b = 启动或重新启动转换
0	STOP	R/W	0b	停止转换。 通过写入 1b 来停止通道转换。此位在写入后自行清除，因此始终为 0b。此位在同步控制模式下不起作用。 0b = 无操作 1b = 停止所有通道上的转换

8.8 GEN_CFG1 寄存器 (地址 = 08h) [复位 = 00h]

图 8-4 显示了 GEN_CFG1，且在表 8-10 中对此进行了介绍。

图 8-4. GEN_CFG1 寄存器

7	6	5	4	3	2	1
RESERVED		DELAY[2:0]		VCM	REFP_BUF	REF_RNG
R-00b		R/W-000b		R/W-0b	R/W-0b	R/W-0b

表 8-10. GEN_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留。
5-3	DELAY[2:0]	R/W	000b	转换启动延迟时间选择。 选择将 START 置为高电平 (或设置 START 位) 后的转换启动延迟时间 (以 f_{MOD} 周期数表示)。 000b = 0 001b = 4 010b = 8 011b = 16 100b = 32 101b = 128 110b = 512 111b = 1024
2	VCM	R/W	0b	共模电压输出使能。 此位启用 VCM 引脚的共模电压输出。VCM 输出电压等于 $(AVDD1 + AVSS)/2$ 。 0b = 禁用 1b = 启用
1	REFP_BUF	R/W	0b	基准正缓冲器使能。 此位启用所有通道的 REFP 预充电缓冲器。 0b = 禁用 1b = 启用
0	REF_RNG	R/W	0b	电压基准范围选择。 此位选择基准输入的低电压或高电压工作范围。需对范围进行编程以匹配实际基准电压。 0b = 低电压基准范围 1b = 高电压基准范围

8.9 GEN_CFG2 寄存器 (地址 = 09h) [复位 = 04h]

图 8-5 显示了 GEN_CFG2，且在表 8-11 中对此进行了介绍。

图 8-5. GEN_CFG2 寄存器

7	6	5	4	3	2	1	0
RESERVED			START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE
R-000b			R/W-00b		R/W-10b		R/W-0b

表 8-11. GEN_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	000b	保留
4-3	START_MODE[1:0]	R/W	00b	START 模式选择。 这些位对 START 引脚的功能模式进行编程。更多详细信息，请参阅 同步 部分。 00b = 启动/停止控制模式 01b = 保留 10b = 同步控制模式 11b = 保留
2-1	SPEED_MODE[1:0]	R/W	10b	速度模式选择。 这些位对器件速度模式进行编程。 00b = 低速模式 ($f_{CLK} = 3.2\text{MHz}$) 01b = 中速模式 ($f_{CLK} = 12.8\text{MHz}$) 10b = 高速模式 ($f_{CLK} = 25.6\text{MHz}$) 11b = 最大速度模式 ($f_{CLK} = 32.768\text{MHz}$)
0	STBY_MODE	R/W	0b	待机模式选择。 此位启用停止转换时的待机模式。与空闲模式相比，待机模式可降低功耗。 0b = 空闲模式，器件完全上电 1b = 待机模式，通道的模拟部分断电

8.10 GEN_CFG3 寄存器 (地址 = 0Ah) [复位 = 80h]

图 8-6 显示了 GEN_CFG3，且在表 8-12 中对此进行了介绍。

图 8-6. GEN_CFG3 寄存器

7	6	5	4	3	2	1	0
OUT_DRV	RESERVED	CLK_CNT_EN	SPI_STAT_EN	SPI_ADDR_EN	SCLK_CNT_EN	SPI_CRC_EN	REG_CRC_EN
R/W-1b	R-1b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-12. GEN_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_DRV	R/W	1b	数字输出驱动选择。 选择数字输出驱动器强度。全驱动强度会增加输出信号的压摆率。 0b = 全功率驱动器强度 1b = 半功率驱动器强度
6	RESERVED	R	1b	保留
5	CLK_CNT_EN	R/W	0b	时钟计数器使能。 此位启用 ADC 时钟计数器寄存器。 0b = 禁用 1b = 启用
4	SPI_STAT_EN	R/W	0b	SPI 状态字节输出使能。 此位启用 SPI 输出中的 STATUS 寄存器值。 0b = 禁用 1b = 启用
3	SPI_ADDR_EN	R/W	0b	SPI 寄存器地址使能。 此位启用 SPI 地址验证。如果寄存器读取或写入地址无效，则会设置 STATUS 寄存器的 ADDR_ERR 位。 0b = 禁用 1b = 启用
2	SCLK_CNT_EN	R/W	0b	SCLK 计数使能。 此位启用 SPI SCLK 计数验证。如果帧中的 SCLK 周期数不是 8 的倍数，则会设置 STATUS 寄存器的 SCLK_ERR 位。 0b = 禁用 1b = 启用
1	SPI_CRC_EN	R/W	0b	SPI CRC 使能。 此位启用 SPI CRC 输出字节和输入数据 CRC 校验。如果输入 CRC 有错误，则会设置 STATUS 字节的 SPI_ERR 位。向 SPI_ERR 位写入 1b 以清除错误。 0b = 禁用 1b = 启用
0	REG_CRC_EN	R/W	0b	寄存器映射 CRC 使能。 此位启用寄存器映射 CRC 错误验证。如果 CRC 值错误，则会设置 STATUS 字节的 REG_ERR 位。 0b = 禁用 1b = 启用

8.11 DP_CFG1 寄存器 (地址 = 0Bh) [复位 = 20h]

图 8-7 显示了 DP_CFG1，且在表 8-13 中对此进行了介绍。

图 8-7. DP_CFG1 寄存器

7	6	5	4	3	2	1	0
DP_CRC_EN	DP_STAT_EN	DP_TDM[1:0]		RESERVED		DP_DAI5Y	RESERVED
R/W-0b	R/W-0b	R/W-10b		R-00b		R/W-0b	R-0b

表 8-13. DP_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	DP_CRC_EN	R/W	0b	数据端口 CRC 字节使能。 此位启用数据端口 CRC 字节。CRC 字节附加在通道数据的末尾。 0b = 禁用 1b = 启用
6	DP_STAT_EN	R/W	0b	数据端口状态字节使能。 此位启用数据端口状态字节。状态字节作为通道数据开头的前缀。 0b = 禁用 1b = 启用
5-4	DP_TDM[1:0]	R/W	10b	数据端口时分多路复用 (TDM) 配置。 这些位选择数据通路的数量。有关详细信息，请参阅 时分多路复用 部分。 00b = 一个数据通路 01b = 一个 (ADS117L14)/两个数据通路 (ADS117L18) 10b = 两个 (ADS117L14)/四个数据通路 (ADS117L18) 11b = 四个 (ADS117L14)/八个数据通路 (ADS117L18)
3-2	RESERVED	R	00b	保留。
1	DP_DAI5Y	R/W	0b	数据端口菊花链模式。 此位选择菊花链模式或重复数据模式。 0b = TDM 数据模式。DINx 数据移入并附加到原始通道数据。 1b = 重复数据模式。原始通道数据将重复，DINx 数据被忽略。
0	RESERVED	R	0b	保留。

8.12 DP_CFG2 寄存器 (地址 = 0Ch) [复位 = 00h]

图 8-8 显示了 DP_CFG2，且在表 8-14 中对此进行了介绍。

图 8-8. DP_CFG2 寄存器

7	6	5	4	3	2	1	0
RESERVED	DCLK_DIV[1:0]		DOUT_DLY[4:0]				
R-0b	R/W-00b		R/W-00000b				

表 8-14. DP_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留
6-5	DCLK_DIV[1:0]	R/W	00b	数据端口 DCLK 分频器。 这些位选择帧同步 DCLK 频率。 00b = 1 分频 01b = 2 分频 10b = 4 分频 11b = 8 分频
4-0	DOUT_DLY[4:0]	R/W	00000b	数据端口 DOUTx 延迟。 这些位选择 DOUTx 信号相对于 DCLK 和 FSYNC 信号的延迟或提前。正值使 DOUTx 信号提前；负值使 DOUTx 信号延迟。位权重约为 0.3ns。有关详细信息，请参阅数据端口偏移时序部分。

8.13 CLK_CFG 寄存器 (地址 = 0Dh) [复位 = 00h]

图 8-9 展示了 CLK_CFG，表 8-15 中对此进行了介绍。

图 8-9. CLK_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				CLK_SEL	CLK_DIV[2:0]		
R-0000b				R/W-0b	R/W-000b		

表 8-15. CLK_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000b	保留。
3	CLK_SEL	R/W	0b	ADC 时钟选择。 此位选择内部振荡器或外部时钟运行。 0b = 内部振荡器 1b = 外部时钟
2-0	CLK_DIV[2:0]	R/W	000b	ADC 时钟分频器。 这些位选择外部时钟和内部振荡器的时钟信号分频器。 000b = 1 分频 001b = 2 分频 010b = 3 分频 011b = 4 分频 100b - 111b = 8 分频

8.14 GPIO_WR 寄存器 (地址 = 0Eh) [复位 = 00h]

图 8-10 展示了 GPIO_WR，表 8-16 中对此进行了介绍。

图 8-10. GPIO_WR 寄存器

7	6	5	4	3	2	1	0
GPIO_WR7	GPIO_WR6	GPIO_WR5	GPIO_WR4	GPIO_WR3	GPIO_WR2	GPIO_WR1	GPIO_WR0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-16. GPIO_WR 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPIO_WR[7:0]	R/W	00000000b	GPIO 写入数据。 此寄存器是 GPIO 写入数据寄存器。将 GPIO 引脚的方向设置为输出模式可以写入值。请参阅 GPIO_RD 寄存器以读取 GPIO 数据。 0b = GPIO 引脚被驱动为低电平 1b = GPIO 引脚被驱动为高电平

8.15 GPIO_DIR 寄存器 (地址 = 0Fh) [复位 = 00h]

图 8-11 展示了 GPIO_DIR，表 8-17 中对此进行了介绍。

图 8-11. GPIO_DIR 寄存器

7	6	5	4	3	2	1	0
GPIO_DIR7	GPIO_DIR6	GPIO_DIR5	GPIO_DIR4	GPIO_DIR3	GPIO_DIR2	GPIO_DIR1	GPIO_DIR0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-17. GPIO_DIR 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPIO_DIR[7:0]	R/W	00000000b	GPIO 方向。 此寄存器将 GPIO 方向编程为输入或输出。 0b = GPIO 引脚为输出 1b = GPIO 引脚为输入

8.16 GPIO_EN 寄存器 (地址 = 10h) [复位 = 00h]

图 8-12 展示了 GPIO_EN，表 8-18 中对此进行了介绍。

图 8-12. GPIO_EN 寄存器

7	6	5	4	3	2	1	0
GPIO_EN7	GPIO_EN6	GPIO_EN5	GPIO_EN4	GPIO_EN3	GPIO_EN2	GPIO_EN1	GPIO_EN0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-18. GPIO_EN 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPIO_EN[7:0]	R/W	00000000b	GPIO 使能。 此寄存器启用每个引脚的 GPIO 功能。启用后，GPIO 引脚功能优先于其他引脚功能。 0b = 禁用 GPIO 引脚 1b = 启用 GPIO 引脚

8.17 CH_n_CFG1 寄存器 (地址 = 通道数 × 08h + 11h) [复位 = 00h]

通道 *n* 配置 1 寄存器地址如表 8-19 所示。图 8-13 展示了寄存器位映射，表 8-20 中对此进行了介绍。

表 8-19. CH_n_CFG1 寄存器地址

名称	说明	地址
CH0_CFG1	通道 0 配置 1	11h
CH1_CFG1	通道 1 配置 1	19h
CH2_CFG1	通道 2 配置 1	21h
CH3_CFG1	通道 3 配置 1	29h
CH4_CFG1	通道 4 配置 1	31h
CH5_CFG1	通道 5 配置 1	39h
CH6_CFG1	通道 6 配置 1	41h
CH7_CFG1	通道 7 配置 1	49h

图 8-13. CH_n_CFG1 寄存器

7	6	5	4	3	2	1	0
CH _n _FORMAT	CH _n _MUX[2:0]			CH _n _INP_RNG	CH _n _EX_RNG	CH _n _BUFN	CH _n _BUFP
R/W-0b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-20. CH_n_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	CH _n _FORMAT	R/W	0b	数据格式。 该位选择数据格式。 0b = 正负信号的二进制补码格式 1b = 仅正信号的直接二进制格式
6-4	CH _n _MUX[2:0]	R/W	000b	通道输入多路复用器选择。 这些位在信号输入或输入测试模式之间进行选择。有关详细信息，请参阅 模拟输入 (A_{INP}、A_{INN}) 部分。 000b = 正常输入极性 001b = 反向输入极性 010b = 偏移和噪声测试：内部短接至 1/2 V _s 011b = CMRR 测试至 A _{INP} 100b = CMRR 测试至 A _{INN} 101b = -FS 测试 110b = +FS 测试 111b = +FS 测试
3	CH _n _INP_RNG	R/W	0b	通道输入范围选择。 此位选择 1 倍或 2 倍输入范围。更多详细信息，请参阅 输入范围 部分。 0b = 1 倍输入范围 1b = 2 倍输入范围
2	CH _n _EX_RNG	R/W	0b	通道扩展输入范围选择。 此位使输入范围扩展 25%。更多详细信息，请参阅 输入范围 部分。 0b = 禁用 1b = 启用：FS 范围扩展 25%
1	CH _n _BUFN	R/W	0b	通道模拟输入负缓冲器使能。 此位启用通道 A _{INN} 预充电缓冲器。 0b = 禁用 1b = 启用
0	CH _n _BUFP	R/W	0b	通道模拟输入正缓冲器使能。 此位启用通道 A _{INP} 预充电缓冲器。 0b = 禁用 1b = 启用

8.18 CH_n_CFG2 寄存器 (地址 = 通道数 × 08h + 12h) [复位 = 00h]

通道 *n* 配置 2 寄存器地址如表 8-21 所示。图 8-14 展示了寄存器位映射，表 8-22 中对此进行了介绍。

表 8-21. CH_n_CFG2 寄存器地址

名称	寄存器说明	地址
CH0_CFG2	通道 0 配置 2	12h
CH1_CFG2	通道 1 配置 2	1Ah
CH2_CFG2	通道 2 配置 2	22h
CH3_CFG2	通道 3 配置 2	2Ah
CH4_CFG2	通道 4 配置 2	32h
CH5_CFG2	通道 5 配置 2	3Ah
CH6_CFG2	通道 6 配置 2	42h
CH7_CFG2	通道 7 配置 2	4Ah

图 8-14. CH_n_CFG2 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH _n _PWDN	CH _n _FLTR[4:0]				
R-00b		R/W-0b	R/W-00000b				

表 8-22. CH_n_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留。
5	CH _n _PWDN	R/W	0b	通道断电模式选择。 设置此位后，ADC 通道断电。断电后，通道数据是最后剩余的数据。 0b = 活跃 1b = 关断

表 8-22. CH_n_CFG2 寄存器字段说明 (续)

位	字段	类型	复位	说明
4-0	CH _n _FLTR[4:0]	R/W	00000b	通道数字滤波器和数据速率选择。这些位配置每个通道的数字滤波器和数据速率。通道之间的数据速率必须是 2 的幂次方。该器件具有五种滤波器配置：宽带、sinc4、sinc4 + sinc1、sinc3 和 sinc3 + sinc1。如需了解与 OSR 相对应的数据速率，请参阅数字滤波器部分。 00000b = 宽带 : OSR = 32 00001b = 宽带 : OSR = 64 00010b = 宽带 : OSR = 128 00011b = 宽带 : OSR = 256 00100b = 宽带 : OSR = 512 00101b = 宽带 : OSR = 1024 00110b = 宽带 : OSR = 2048 00111b = 宽带 : OSR = 4096 01000b = Sinc4 : OSR = 12 01001b = Sinc4 : OSR = 16 01010b = Sinc4 : OSR = 24 01011b = Sinc4 : OSR = 32 01100b = Sinc4 : OSR = 64 01101b = Sinc4 : OSR = 128 01110b = Sinc4 : OSR = 256 01111b = Sinc4 : OSR = 512 10000b = Sinc4 : OSR = 1024 10001b = Sinc4 : OSR = 2048 10010b = Sinc4 : OSR = 4096 10011b = Sinc4 : OSR = 32 + sinc1 : OSR = 2 10100b = Sinc4 : OSR = 32 + sinc1 : OSR = 4 10101b = Sinc4 : OSR = 32 + sinc1 : OSR = 10 10110b = Sinc4 : OSR = 32 + sinc1 : OSR = 20 10111b = Sinc4 : OSR = 32 + sinc1 : OSR = 40 11000b = Sinc4 : OSR = 32 + sinc1 : OSR = 100 11001b = Sinc4 : OSR = 32 + sinc1 : OSR = 200 11010b = Sinc4 : OSR = 32 + sinc1 : OSR = 400 11011b = Sinc4 : OSR = 32 + sinc1 : OSR = 1000 11100b = Sinc3 : OSR = 26667 11101b = Sinc3 : OSR = 32000 11110b = Sinc3 : OSR = 32000 + sinc1 : OSR = 3 11111b = Sinc3 : OSR = 32000 + sinc1 : OSR = 5

8.19 CH_n 偏移寄存器 [复位 = 000000h]

表 8-23 中对通道 *n* 偏移寄存器进行了介绍。

表 8-23. CH_n 偏移寄存器说明

名称	地址			类型	复位	说明
	MSB	MID	LSB			
通道 0 偏移	13h	14h	15h	R/W	000000h	三字节的偏移字。 三个寄存器构成每个通道的 24 位偏移校准字。偏移值采用二进制补码表示形式，并从转换结果中减去它。偏移运算在增益运算之前。转换数据左对齐，与偏移值对齐。
通道 1 偏移	1Bh	1Ch	1Dh			
通道 2 偏移	23h	24h	25h			
通道 3 偏移	2Bh	2Ch	2Dh			
通道 4 偏移	33h	34h	35h			
通道 5 偏移	3Bh	3Ch	3Dh			
通道 6 偏移	43h	44h	45h			
通道 7 偏移	4Bh	4Ch	4Dh			

8.20 CH_n 增益寄存器 [复位 = 400000h]

表 8-24 中对通道 *n* 增益寄存器进行了介绍。

表 8-24. CH_n 增益寄存器说明

名称	地址			类型	复位	说明
	MSB	MID	LSB			
通道 0 增益	16h	17h	18h	R/W	400000h	这些寄存器是 3 字节的增益寄存器。 三个寄存器构成每个通道的 24 位增益校准字。增益值采用直接二进制表示形式，当增益 = 1 时标准化为 400000h。在执行偏移运算后，转换数据会乘以 GAIN[23:0] / 400000h。
通道 1 增益	1Eh	1Fh	20h			
通道 2 增益	26h	27h	28h			
通道 3 增益	2Eh	2Fh	30h			
通道 4 增益	36h	37h	38h			
通道 5 增益	3Eh	3Fh	40h			
通道 6 增益	46h	47h	48h			
通道 7 增益	4Eh	4Fh	50h			

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

当熟悉输入驱动器、抗混叠滤波器、基准电压、旁路电容器和 PCB 布局的要求时，可实现 ADS117L1x 器件的性能能力。以下各节介绍了设计指南。

9.1.1 输入驱动器

输入预充电缓冲器可降低由 ADC 采样电容器导致的反冲电压。降低反冲电压可改善线性性能并放宽信号驱动器的带宽要求。通常，这些缓冲器可以给 10MHz 或更低的输入驱动器带宽带来极大的优势。对于更高带宽的驱动器，可以选择禁用预充电缓冲器以降低功耗。然而，当缓冲器用于低于 150MHz 的输入驱动器时，可实现满额定值的 THD 数据表性能。在较低 ADC 速度模式下，调制器以较慢的时钟速率运行，因此驱动器有更多的时间在调制器输入样本之间稳定下来。有关 THP210 驱动器性能的详细信息，请参阅相关的单通道 ADC [THP210](#) 和 [ADS127L11 性能应用手册](#)。

9.1.2 抗混叠滤波器

在调制器采样率 (f_{MOD}) 附近出现的输入信号混叠到通带，从而导致数据错误。如果存在混叠，则无法通过后处理来消除错误。如果存在这些信号，则 ADC 输入端的模拟低通滤波器会滤除带外频率以减少混叠。抗混叠滤波器的顺序取决于 OSR 值和所需的衰减水平。较大的 OSR 值可提供奈奎斯特频率和 f_{MOD} 之间更大的频率范围，以便滤波器衰减信号。例如，对于 $\text{OSR} = 128$ ，超过二十倍频会将 f_{DATA} 和 f_{MOD} 分开。当转角频率 = f_{DATA} 时，三阶 60dB/dec 滤波器可在 f_{MOD} 下提供 120dB 的混叠抑制。

9.1.3 基准电压

为了满足数据表中描述的性能，需要一个具有低噪声和足够驱动强度的基准电压，以便稳定采样的基准输入。基准电压的不完全稳定会导致系统出现增益误差。在基准稳定不良的极端情况下，器件线性度会受到影响。正输入的基准预充电缓冲器会显著降低基准输入电荷，从而降低增益误差。有关基准输入旁路电容器，请参阅[电源相关建议](#)部分。

9.2 典型应用

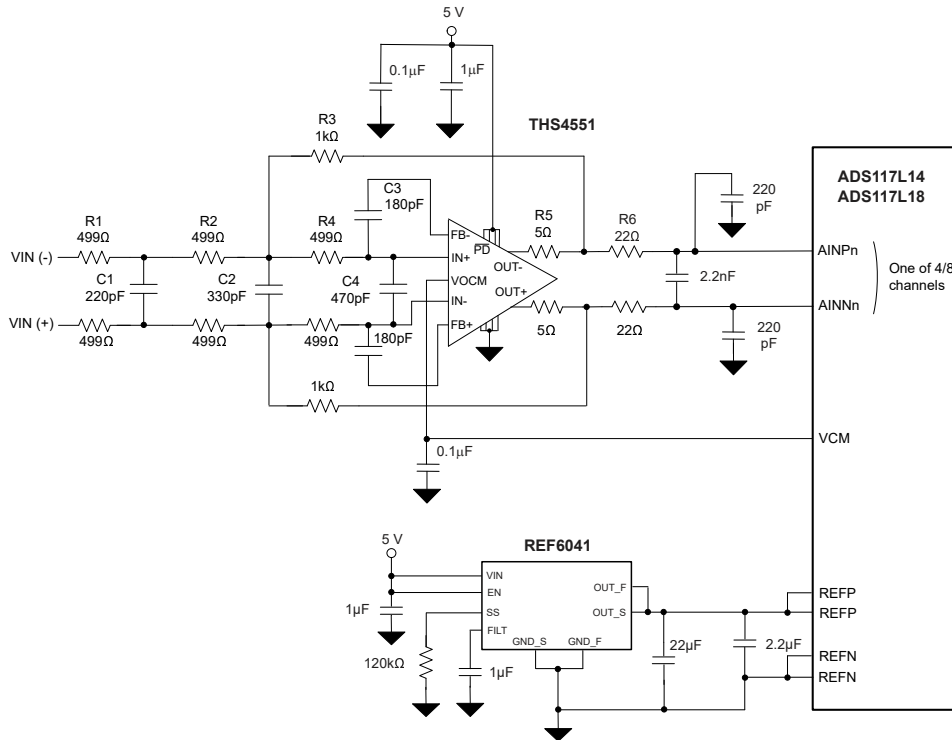


图 9-1. 输入信号抗混叠滤波器和基准电压

9.2.1 设计要求

图 9-1 显示了使用 THS4551 全差分输入信号驱动器时的输入抗混叠滤波器。此设计的目标是在 ADC 输入端使用抗混叠滤波器，以在调制器采样率 (f_{MOD}) 下衰减带外信号。滤波器要求是在宽带滤波器模式下使用 $OSR = 32$ ($f_{DATA} = 400kHz$) 在 f_{MOD} 频率 (高速模式下为 $12.8MHz$) 下实现 $90dB$ 衰减。其他滤波器设计目标包括信号通带内的平坦振幅响应和低群延迟误差。

表 9-1 列出了目标设计值和此设计中实现的实际值。

表 9-1. 抗混叠滤波器设计要求

滤波器参数	目标值	实际值
电压增益	0dB	0dB
12.8MHz 下的混叠抑制	90dB	90dB
- 0.1dB 频率	250kHz	260kHz
- 3dB 频率	500kHz	550kHz
通带振幅峰值	20m dB	12m dB
群延迟线性度	0.1 μs	0.017 μs
滤波器和 ADC 的总噪声 (165kHz 带宽)	12 μV	11.8 μV

9.2.2 详细设计过程

抗混叠滤波器由一个无源一阶输入滤波器、一个有源二阶滤波器和一个无源一阶输出滤波器组成。滤波器总体上为四阶。滤波器设计可适应最坏情况下的宽带滤波器 OSR 值 (32)。这一最坏情况下的值会产生 f_{DATA} 奈奎斯特频率和 f_{MOD} 频率之间频率范围的不到二十倍频程。该四阶滤波器在此频率范围内提供 $90dB$ 的滚降。 f_{MOD} 下的滚降是滤波器的关键要求。

由于 135MHz 的增益带宽积和 50ns 的稳定时间，因此为有源滤波器级选择 THS4551 放大器。该放大器 GBP 足以在 12.8MHz 下保持平坦的通带响应和稳定的滤波器滚降。与增益配合使用的 10MHz 放大器具有边际 GBP，可完全支持 f_{MOD} 频率下所需的滚降。

有源滤波器部分的设计先假设 R 相等，从而减少需要选择的元件值数量。滤波器的直流增益为 $R_3 / (R_1 + R_2)$ 。1k Ω 电阻值足够低，可防止电阻器噪声和放大器输入电流噪声影响 ADC 的噪声。

1k Ω 输入电阻器被分为两个 499 Ω 电阻器 (R_1 和 R_2)，以便使用 C_1 实现一阶滤波器。一阶滤波器与二阶有源滤波器彼此解耦，但共用 R_1 和 R_2 来确定每个滤波器级转角频率。转角频率由 C_1 和 C_1 端子处的戴维南电阻 ($R_{\text{TH}} = 2 \times 250\Omega$) 给出。

假定为该设计任意选择 R_4 ($2 \times 499\Omega$)。计算 2 个 180pF (C_3) 反馈电容器和单个 330pF 差分电容器 (C_2) 的值。这些值根据 [ADC 接口应用中 MFB 滤波器的设计方法应用手册](#) 中给出的滤波器设计公式计算得出。对于多反馈有源滤波器拓扑，设计输入为滤波器 f_0 和滤波器 Q。差分电容器 (C_4) 不是滤波器设计的一部分，但可以改善滤波器相位裕度。5 Ω 电阻器 (R_5) 将放大器输出与杂散电容隔离开，以进一步改进滤波器相位裕度。

ADC 输入端的最终 RC 滤波器有两个用途。首先，滤波器为整个滤波器响应提供第四个极点，从而增大滚降。输入端 RC 滤波器的另一个用途是电荷库，用于过滤 ADC 的采样输入。电荷库减少了放大器的瞬时电荷需求，保持了低失真和低增益误差，否则会因放大器未完全稳定而降低性能。输入滤波器值为 $2 \times 22\Omega$ 和 2.2nF。22 Ω 电阻器位于 THS4551 滤波器环路外部，用于将放大器输出与 2.2nF 电容器隔离开，以维持相位裕度。

低电压系数 C0G 电容器用在信号路径中的任何位置，以实现低失真特性。放大器增益电阻器的容差为 0.1%，可提供出色的 THD 性能。ADC VCM 输出连接到放大器 VOCM 输入引脚是可选的，因为放大器提供相同的功能。

有关有源滤波器设计和其他示例，请参阅 [THS4551 数据表](#)。

9.2.3 应用曲线

以下图表由 TINA-TI™ 基于 SPICE 的模拟仿真程序生成。在 THS4551 产品文件夹中下载 THS4551 SPICE 模型。

图 9-2 展示了抗混叠滤波器的频率响应以及抗混叠滤波器和 ADC 的总响应。如该图所示，滤波器提供从奈奎斯特频率到 12.8MHz f_{MOD} 频率的 90dB 阻带衰减。

图 9-3 展示了模拟滤波器群延迟。与 ADC 数字滤波器的 85 μs 群延迟 ($34 / f_{DATA}$) 相比，0.575 μs 的群延迟很小。模拟滤波器群延迟线性度为 0.017 μs ，在 165kHz 通带的边缘达到峰值。

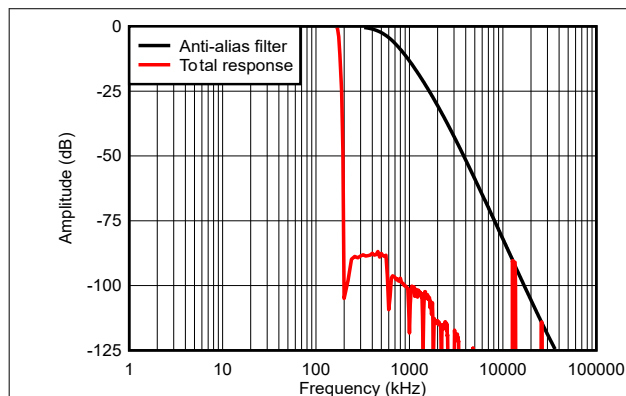


图 9-2. 抗混叠滤波器频率响应

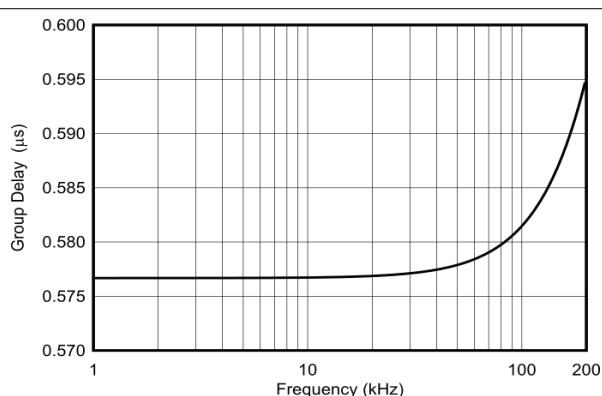


图 9-3. 抗混叠滤波器群延迟

图 9-4 展示了抗混叠滤波器电路的噪声密度、ADC 的噪声密度以及滤波器和 ADC 的组合噪声密度。噪声密度是每 $\sqrt{Hz}$ 带宽绘制的噪声电压与频率间关系图。

图 9-5 展示了从 1Hz 启动频率到 ADC 最终带宽的总噪声。低于 200Hz 时，噪声主要由 THS4551 放大器的 1/f 电压和电流噪声决定。在 200Hz 以上，噪声主要是 ADC 噪声。滤波器和 ADC 在 165kHz 带宽上的综合噪声为 11.8 μV ，满足 12 μV 的目标值。

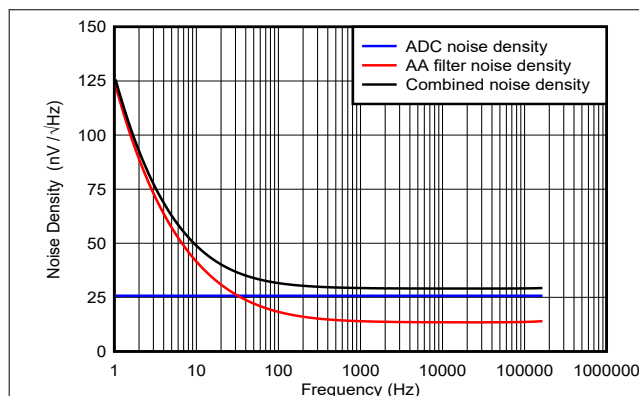


图 9-4. 噪声密度

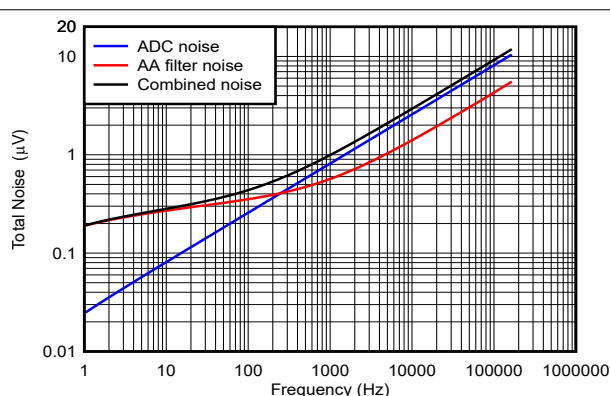


图 9-5. 总噪声

9.3 电源相关建议

ADC 有三个模拟电源和一个数字电源。电源电压 AVDD1 和 AVSS 将通道配置为单极或双极信号类型。示例配置包括：对于单极信号，AVDD1 = 5V 和 AVSS = DGND；对于双极信号，AVDD1 = 2.5V 和 AVSS = -2.5V。AVDD2 电源电压以 AVSS 为基准，IOVDD 电源电压以 DGND 为基准。[建议运行条件](#) 部分列出了电源的指定范围。

表 9-2 展示了电源配置选项。显示的电源电压值为标称值。

表 9-2. 电源配置 (标称值)

速度模式	配置	AVDD1 - DGND	AVSS - DGND	AVDD2 - DGND	IOVDD - DGND
最大速度	单极	5V	0V	1.8V 至 5V	1.8V
	双极	2.5V	-2.5V	0V 至 2.5V	1.8V
高速	单极	5V	0V	1.8V 至 5V	1.8V
	双极	2.5V	-2.5V	0V 至 2.5V	1.8V
中速	单极	3.3V 至 5V	0V	1.8V 至 5V	1.8V
	双极	1.65V 至 2.5V	-1.65V 至 -2.5V	0.15V 至 2.5V	1.8V
低速	单极	3V 至 5V	0V	1.8V 至 5V	1.8V
	双极	1.5V 至 2.5V	-1.5V 至 -2.5V	0.3V 至 2.5V	1.8V

这些电源不需要特殊时序，能够以任何顺序上电，并且能够耐受慢速或快速斜坡速率。但是，应确保模拟和数字输入不要超过各自的 AVDD1 和 AVSS (模拟) 或 IOVDD (数字) 电源电压。施加 IOVDD 电源电压后执行内部复位。

表 9-3 展示了推荐用于该系列器件的旁路电容器。所有电容器都是最小电压为 6.3V 的 X7R 陶瓷电介质电容器。除了为 DGND 使用单个接地平面外，还可通过为 IOVDD、AVDD1、AVDD2 和 AVSS 使用电源平面来实现出色性能。如果使用单极电源供电时 AVSS = 0V，请为 AVSS 和 DGND 使用一个接地平面。如果使用双极电源供电时 AVSS = -2.5V，请将 AVSS 和 AVDD1 旁路至 DGND 平面。

对于 ADS117L14 和 ADS117L18，AVSS 引脚编号 45 和 51 不需要旁路电容器。此外，ADS117L14 AVSS 引脚编号 29 至 36 不需要旁路电容器。请将这些引脚连接到 AVSS 平面。

表 9-3. 旁路电容器

正极引脚	负极引脚	电容器 (X7R)
IOVDD (引脚 18、19 连接在一起)	DGND (引脚 17)	2.2uF
CAPD (引脚 20)	DGND (引脚 21)	2.2uF
AVDD1 (引脚 23、24 连接在一起)	AVSS (引脚 22)	2.2uF
AVDD2 (引脚 25)	AVSS (引脚 22)	2.2uF
CAPA (引脚 26、27 连接在一起)	AVSS (引脚 28)	10uF
REFP (引脚 49、50 连接在一起)	REFN (引脚 47、48 连接在一起)	2.2μF (REFP 缓冲器开启)、10μF (REFP 缓冲器关闭)
REFN (引脚 47、48 连接在一起)	AVSS (引脚 45、51 连接在一起)	2.2μF (仅当 REFN 未接地时才需要)

9.3.1 AVDD1 和 AVSS

AVDD1 和 AVSS 是为预充电缓冲器和调制器采样开关供电的模拟电源电压。ADC 可以配置为双极运行 (例如 ±2.5V 电源) 或单极运行 (例如 AVDD1 = 5V 和 AVSS = DGND)。中速和低速运行模式提供了降低 AVDD1 的选项。有关详细信息，请参阅[节 5.3](#) 部分。

9.3.2 AVDD2

AVDD2 是为调制器内核供电的模拟电源电压。为了简化电源的数量，应将 AVDD2 连接到 AVDD1 或以更低的电压运行 AVDD2 以降低功耗。

9.3.3 IOVDD

IOVDD 是器件 I/O 引脚的数字电源电压。IOVDD 也在内部进行调节，以便为数字内核供电。IOVDD 的电压电平与模拟电源配置无关。

9.3.4 CAPA 和 CAPD

CAPA 和 CAPD 是内部稳压器的输出电压。这些电压用于内部运行，不用于驱动外部负载。这些引脚需要表 9-3 所示的外部旁路电容器。

9.4 布局

9.4.1 布局指南

为了实现数据表性能，请使用最小四层 PCB 板，其内层专用于接地平面和电源平面。应使用一个或多个电源平面将电源连接到 ADC。通过在单个不间断接地平面上组合模拟和数字接地，可实现出色性能。但在某些布局几何形状中，需要使用单独的模拟和数字接地来将数字电流引导至远离模拟接地的位置。有噪声的数字电流包括脉冲 LED 指示灯、继电器等等。在这种情况下，请考虑为这些数字电流提供单独的接地返回路径。当使用单独的模拟和数字接地时，应在 ADC 处接地。

顶层和底层对模拟和数字信号进行布线。在整个信号链中将输入信号布线为匹配的差分对，以减少差分噪声耦合。避免数字信号与模拟信号交叉或相邻放置。将 ADC 时钟输入信号与 SPI、帧同步信号和其他时钟信号分开，以免出现耦合（可能导致抖动）。

将电压基准靠近 ADC 放置。调整基准的方向，使基准接地引脚靠近 ADC REFN 引脚，并从 ADC REFN 直接连接到基准接地引脚。将基准输入电容器靠近 ADC 基准输入引脚放置。将信号输入旁路电容器靠近 ADC 输入端放置。应优化差分输入电容器相对于每个输入端到接地端之间电容器位置的位置。

图 9-6 展示了采用 SPI 连接的 ADS117L18 布局示例。模拟输入差分电容器为 2.2nF C0G 电介质电容器。模拟输入共模电容器为 220pF C0G 电介质电容器。差分输入电容器靠近模拟输入引脚放置。输入驱动器位于 PCB 的顶部和底部以节省空间。

10 Ω 电阻器与数字输出串联使用以增大 40 Ω 驱动器输出阻抗，从而降低 PCB 布线中发生振铃的可能性。用于 DOUTx/DINx/GPIOn 引脚（引脚 10 至 13）的下拉电阻器可防止这些引脚在编程为输入时悬空。

9.4.2 布局示例

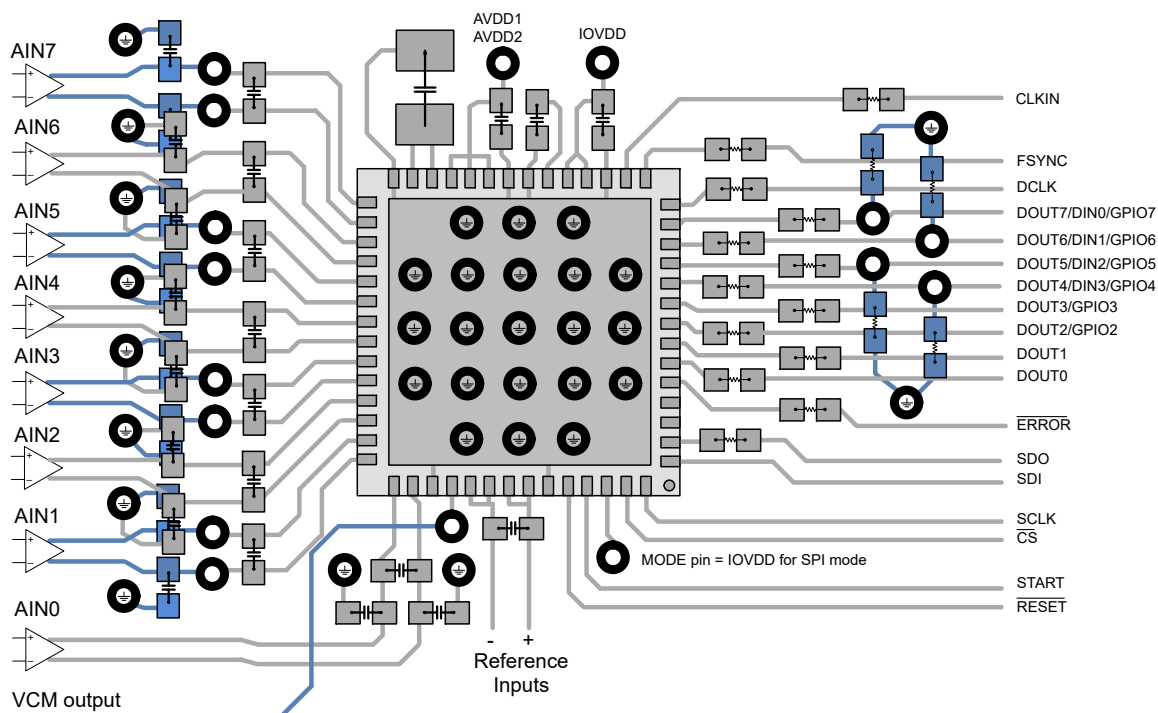


图 9-6. ADS117L18 PCB 布局示例

有关将 VQFN 封装连接到印刷电路板的详细信息，请参阅 [QFN 和 SON PCB 连接应用手册](#)。

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [THP210 和 ADS127L11 性能应用手册](#)
- 德州仪器 (TI), [ADS127L11 设计计算器](#)
- 德州仪器 (TI), [适用于 PLC 模拟输入的 IEPE 振动传感器接口参考设计 设计指南](#)
- 德州仪器 (TI), [THS4551 低噪声、高精度 150MHz 全差分放大器 数据表](#)
- 德州仪器 (TI), [REF60xx 具有集成 ADC 驱动器缓冲器的高精度电压基准 数据表](#)
- 德州仪器 (TI), [ADC 接口应用中 MFB 滤波器的设计方法 应用手册](#)
- 德州仪器 (TI), [QFN 和 SON PCB 附件应用手册](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS117L14IRSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS117L14
ADS117L18IRSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS117L18

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

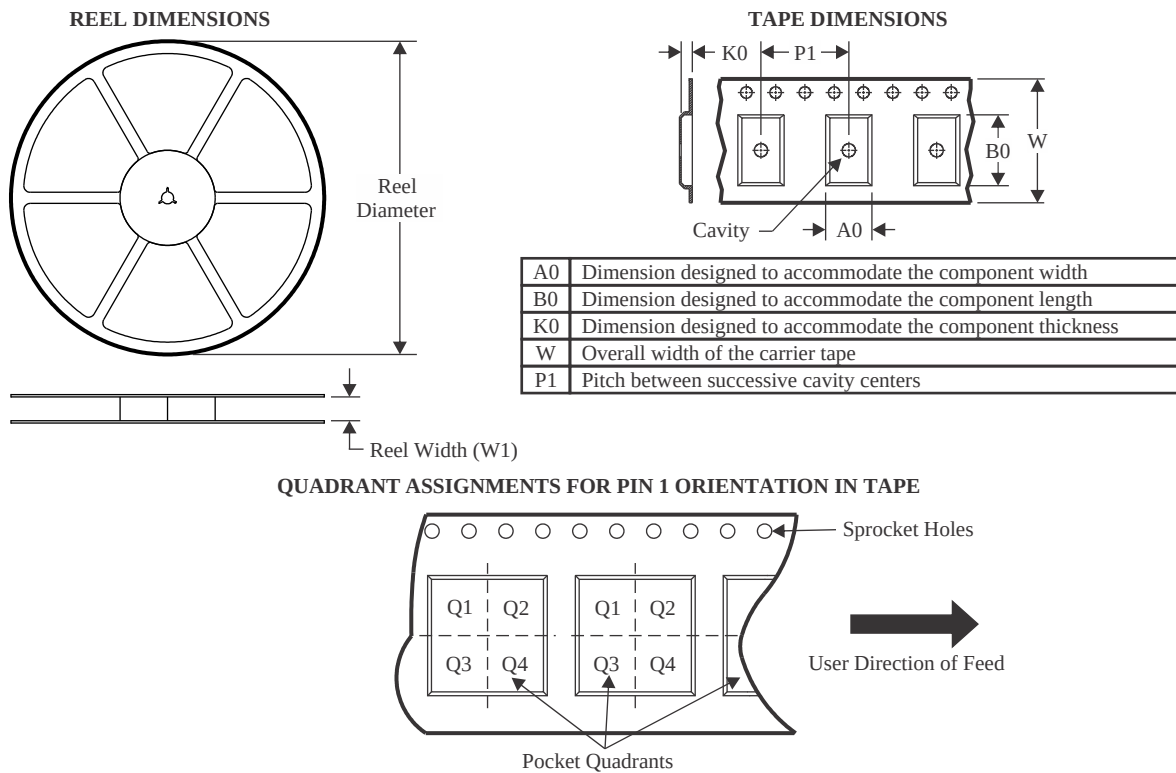
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

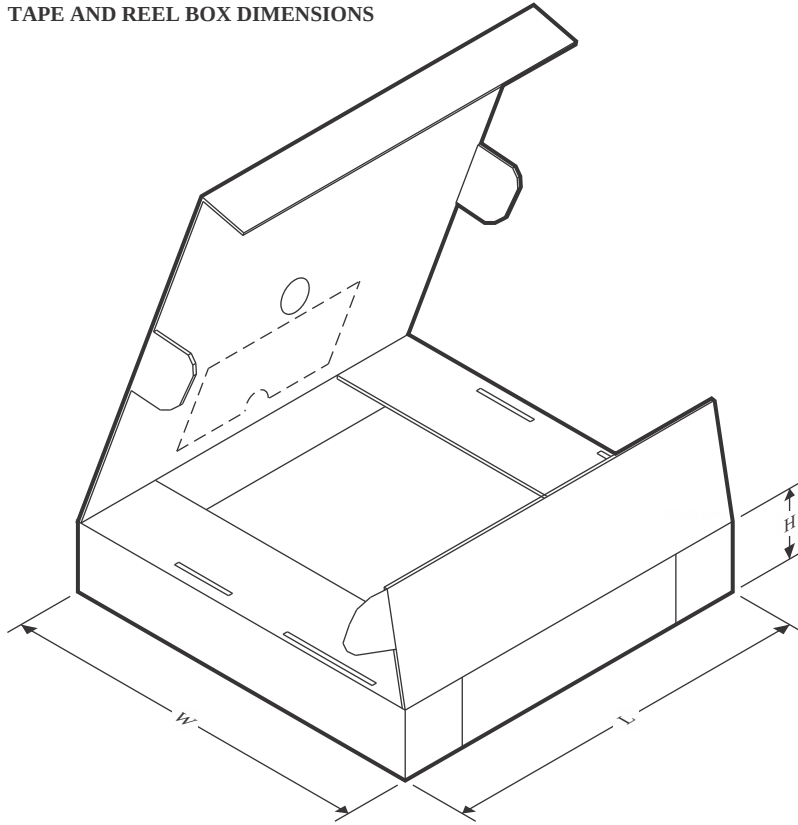
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS117L14IRSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS117L18IRSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

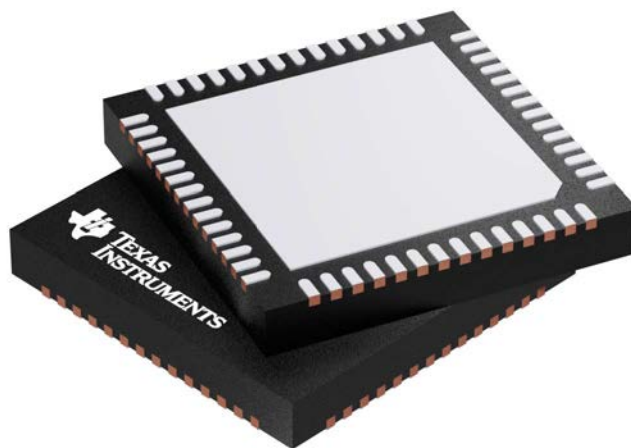
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS117L14IRSHR	VQFN	RSH	56	2500	367.0	367.0	35.0
ADS117L18IRSHR	VQFN	RSH	56	2500	367.0	367.0	35.0

RSH 56

GENERIC PACKAGE VIEW

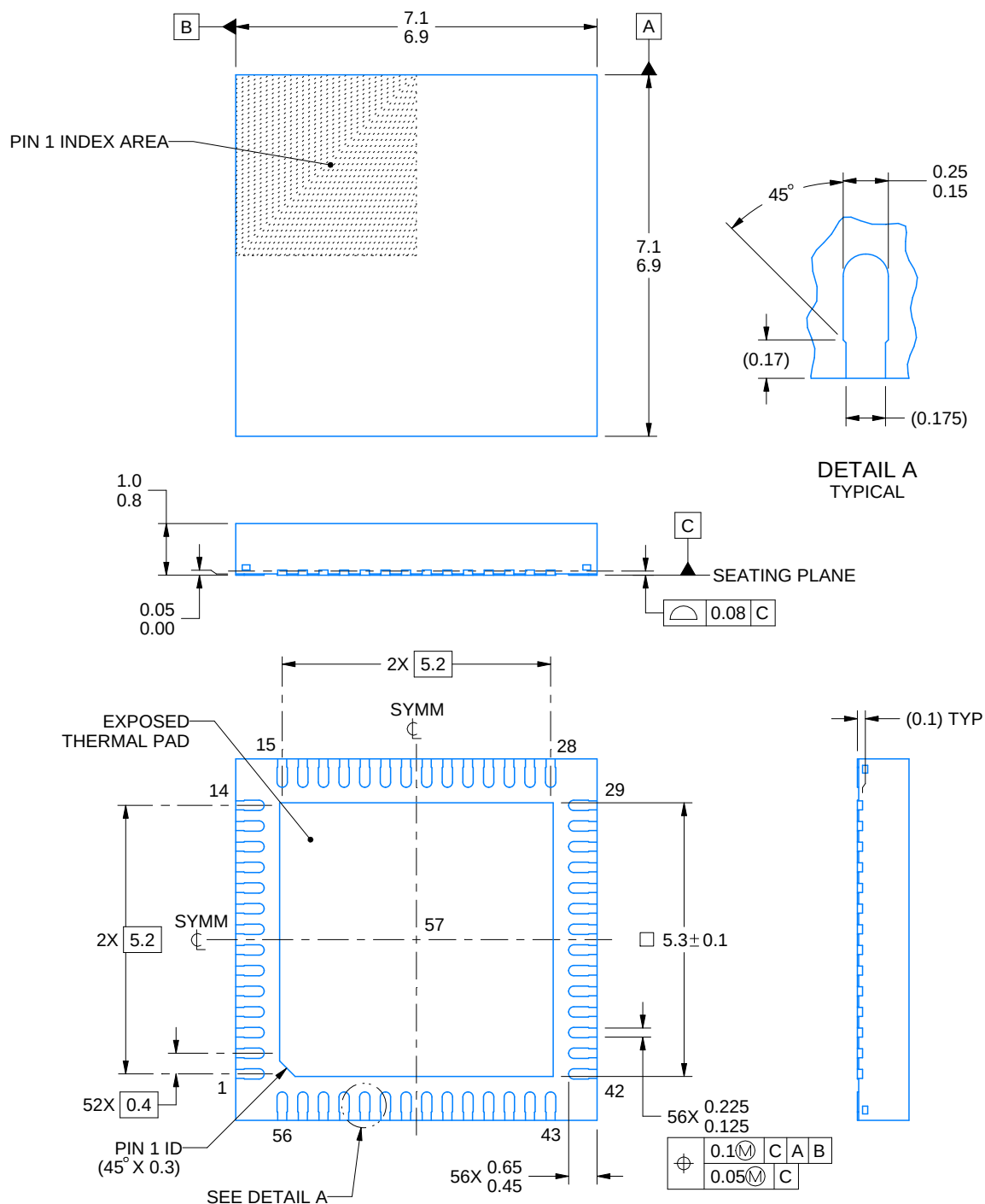
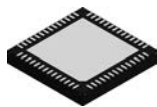
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D



4229539/B 08/2023

NOTES:

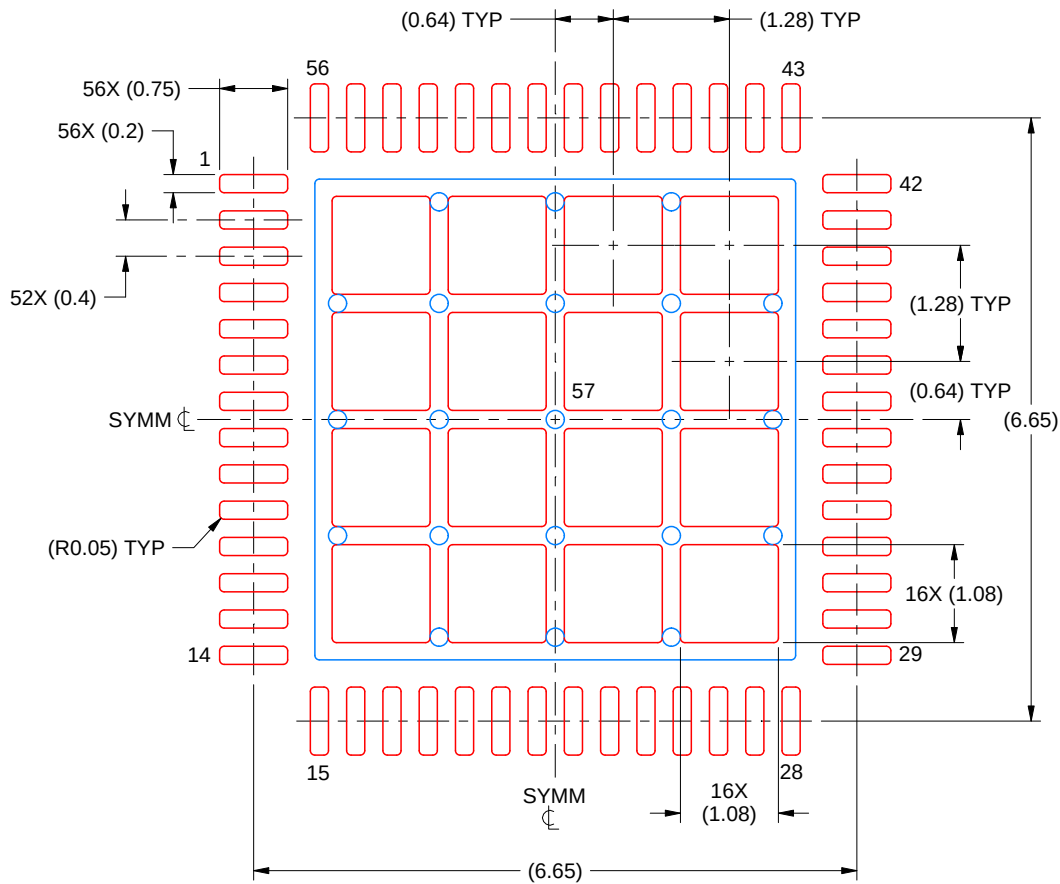
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE STENCIL DESIGN

RSH0056G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.100 MM THICK STENCIL
SCALE: 12X

EXPOSED PAD 57
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229539/B 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月