

ADC3664-SEP ADC3664-EP 14 位、125MSPS、低噪声、低功耗双通道 ADC

1 特性

- 耐辐射 (仅 -SEP) :
 - 单粒子锁定 (SEL) 抗扰度为 $\text{LET} = 43 \text{ MeV-cm}^2/\text{mg}$
 - 单粒子功能中断 (SEFI) 的 LET 特征值高达 $43 \text{ MeV-cm}^2/\text{mg}$
 - 电离辐射总剂量 (TID) : $30\text{krad}(\text{Si})$
- 增强型产品 (-EP a -SEP) :
 - 符合 ASTM E595 释气规格要求
 - 供应商项目图 (VID)
 - 温度范围: -55°C 至 105°C
 - 一个制造、封装和测试基地
 - 金键合线, NiPdAu 铅涂层
 - 晶圆批次可追溯性
 - 延长了产品生命周期
- 双通道、125MSPS ADC
- 14 位分辨率 (无丢码)
- 本底噪声: $-156.9\text{dBFS}/\text{Hz}$
- 低功耗: $100\text{mW}/\text{通道}$ (125MSPS 时)
- 延迟: 2 个时钟周期
- 电压基准选项:
 - 外部: 1 到 125MSPS
 - 内部: 100 到 125MSPS
- 输入带宽: 200MHz (3dB)
- INL: $\pm 2.6 \text{ LSB}$; DNL: $\pm 0.9 \text{ LSB}$ (典型值)
- 片上 DSP (可选/可旁路)
 - 2 倍、4 倍、8 倍、16 倍、32 倍抽取率
 - 32 位 NCO
- 串行 LVDS 数字接口 (2 线、1 线和 1/2 线)
- 小尺寸: 40 QFN ($5 \times 5\text{mm}$) 封装
- 频谱性能 ($f_{\text{IN}} = 5\text{MHz}$):
 - SNR: 77.5dBFS
 - SFDR: 84dBc HD2、HD3
 - SFDR: 92dBFS 最严重毛刺

2 应用

- 高速数据采集
- 卫星光学通信有效载荷
- 卫星成像有效载荷
- 卫星通信有效载荷
- 卫星雷达和激光雷达有效载荷

3 说明

ADC3664-xEP 器件是一款低噪声、超低功耗、14 位、125MSPS 高速双通道 ADC。该器件可实现超低噪声性能和 $-156.9\text{dBFS}/\text{Hz}$ 的噪声频谱密度, 还具有线性度和动态范围。ADC3664-xEP 可提供中频采样支持, 使器件适合各种应用。高速控制环路受益于低至一个时钟周期的低延迟。该 ADC 在 125MSPS 下的功耗仅为每通道 100mW , 且其功耗随采样率减小而降低。

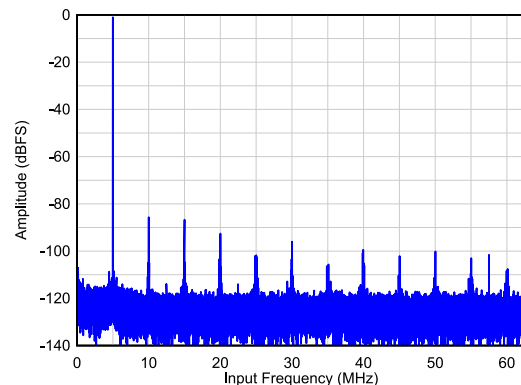
ADC3664-xEP 使用串行 LVDS (SLVDS) 接口输出数据, 可更大限度减少数字互连的次数。该器件提供双通道、单通道和半通道选项。该器件支持 -55°C 至 $+105^\circ\text{C}$ 的工作温度范围。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADC3664-SEP	VQFN (40)	5mm × 5mm
ADC3664-EP		

(1) 有关更多信息, 请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



$F_{\text{IN}} = 5\text{MHz}$ 时的单音 FFT



内容

1 特性	1	7.4 器件功能模式	42
2 应用	1	7.5 编程	43
3 说明	1	8 应用信息免责声明	45
4 引脚配置和功能	3	8.1 应用信息	45
5 规格	5	8.2 典型应用	45
5.1 绝对最大额定值.....	5	8.3 初始化设置	48
5.2 ESD 等级.....	5	8.4 电源相关建议	49
5.3 建议运行条件.....	5	8.5 布局	50
5.4 热性能信息.....	5	9 寄存器映射	52
5.5 电气特性 - 功耗.....	6	9.1 寄存器详细说明.....	53
5.6 电气特性 - 直流规格.....	7	10 器件和文档支持	66
5.7 电气特性 - 交流规格.....	9	10.1 接收文档更新通知.....	66
5.8 时序要求.....	10	10.2 支持资源.....	66
5.9 典型特性.....	12	10.3 商标.....	66
6 参数测量信息	17	10.4 静电放电警告.....	66
7 详细说明	19	10.5 术语表.....	66
7.1 概述.....	19	11 修订历史记录	66
7.2 功能方框图.....	19	12 机械、封装和可订购信息	66
7.3 特性说明.....	20	12.1 机械数据.....	67

4 引脚配置和功能

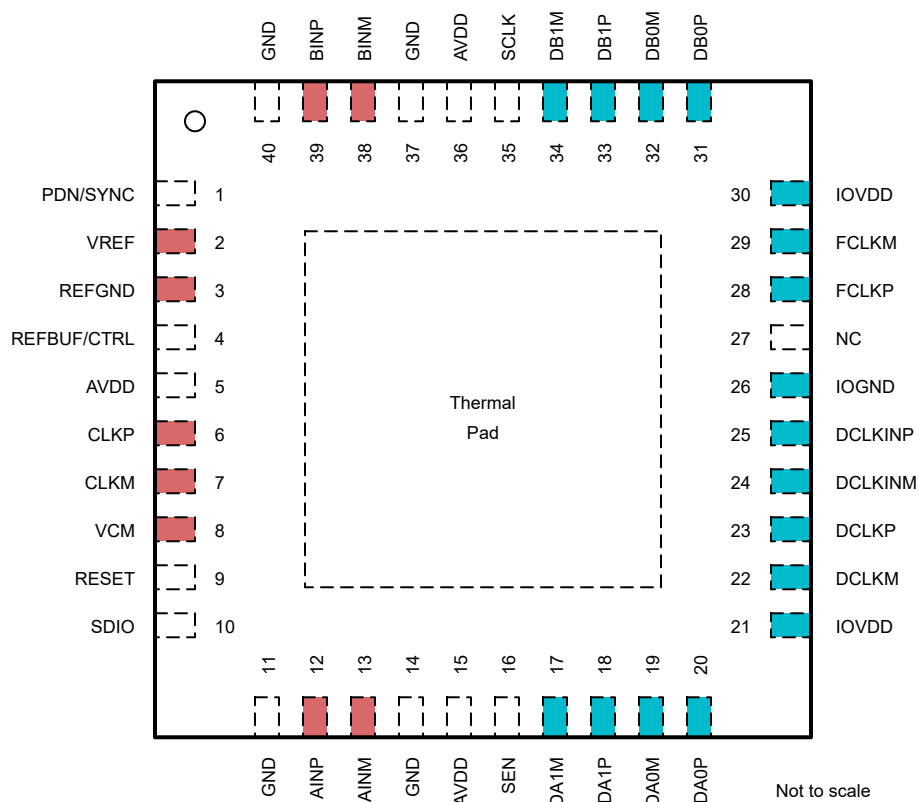


图 4-1. RSB (WQFN) 封装，40 引脚
(俯视图)

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
输入/基准			
AINM	13	I	负模拟输入，通道 A
AINP	12	I	正模拟输入，通道 A
BINP	39	I	正模拟输入，通道 B
BINM	38	I	负模拟输入，通道 B
REFGND	3	I	基准接地输入、0V
VCM	8	O	用于模拟输入的共模电压输出，0.95V
VREF	2	I	外部电压基准输入
时钟			
CLKM	7	I	ADC 的负差采样时钟输入
CLKP	6	I	ADC 的正差分采样时钟输入
配置			

表 4-1. 引脚功能 (续)

引脚		类型	说明
名称	编号		
PDN/SYNC	1	I	断电/同步输入。该引脚通过 SPI 接口进行配置。高电平有效。该引脚具有内部 21k Ω 下拉电阻器。
REFBUF/CTRL	4	I	该引脚用于配置上电时的默认采样时钟类型和电压基准源。有一个到 AVDD 的内部 100k Ω 上拉电阻器。
复位	9	I	硬件复位。高电平有效。该引脚具有内部 21k Ω 下拉电阻器。
SCLK	35	I	串行接口时钟输入。该引脚具有内部 21k Ω 下拉电阻器。
SDIO	10	I	串行接口数据输入和输出。该引脚具有内部 21k Ω 下拉电阻器。
SEN	16	I	串行接口使能。低电平有效。该引脚具有内部 21k Ω 下拉电阻器至 AVDD。
NC	27	-	不连接
数字接口			
DA0P	20	O	线路 0 通道 A 的正差分串行 LVDS 输出。
DA0M	19	O	线路 0 通道 A 的负差分串行 LVDS 输出。
DA1P	18	O	线路 1 通道 A 的正差分串行 LVDS 输出。
DA1M	17	O	线路 1 通道 A 的负差分串行 LVDS 输出。
DB0P	31	O	线路 0 通道 B 的正差分串行 LVDS 输出。
DB0M	32	O	线路 0 通道 B 的负差分串行 LVDS 输出。
DB1P	33	O	线路 1 通道 B 的正差分串行 LVDS 输出。
DB1M	34	O	线路 1 通道 B 的负差分串行 LVDS 输出。
DCLKP	23	O	正差分串行 LVDS 位时钟输出。
DCLKM	22	O	负差分串行 LVDS 位时钟输出。
FCLKP	28	O	正差分串行 LVDS 帧时钟输出。
FCLKM	29	O	负差分串行 LVDS 帧时钟输出。
DCLKINP	25	I	正差分串行 LVDS 位时钟输入。内部 100 Ω 差分端接。
DCLKINM	24	I	负差分串行 LVDS 位时钟输入。内部 100 Ω 差分端接。
电源			
AVDD	5,15,36	I	模拟 1.8V 电源
GND	11、14、37、40、PowerPAD™	I	接地, 0V
IOGND	26	I	地, 0V, 用于数字接口
IOVDD	21,30	I	用于数字接口的 1.8V 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	最大值	单位
电源电压范围, AVDD, IOVDD		-0.3	2.1	V
电源电压范围, GND, IOGND, REFGND		-0.3	0.3	V
施加到输入引脚的电压	AINP/M、BINP/M、CLKP/M、VREF、REFBUF	-0.3	最小值 (2.1, AVDD+0.3)	V
	PDN/SYNC、RESET、SCLK、SEN、SDIO	-0.3	最小值 (2.1, AVDD+0.3)	
	DCLKINP/M	-0.3	最小值 (2.1, IOVDD+0.3)	
结温, T _J			125	°C
贮存温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	2500	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	1000	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源电压范围	AVDD ⁽¹⁾	1.75	1.8	1.85	V
	IOVDD ⁽¹⁾	1.75	1.8	1.85	V
T _A	自然通风条件下的工作温度范围	-55		105	°C
T _J	工作结温			105 ⁽²⁾	°C

(1) 接地测量。

(2) 长时间高于此结温使用可能会增加器件的时基故障 (FIT) 率。

5.4 热性能信息

热指标 ⁽¹⁾		ADC3664-SEP	单位
		RSB (QFN)	
		40 引脚	
R _{θJA}	结至环境热阻	30.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	16.4	°C/W
R _{θJB}	结至电路板热阻	10.5	°C/W
Ψ _{JT}	结至顶部特征参数	0.2	°C/W
Ψ _{JB}	结至电路板特征参数	10.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息, 请参阅半导体和 IC 封装热指标应用报告 (SPRA953)。

5.5 电气特性 - 功耗

除非另有说明，否则典型值在 $T_A = 25^\circ\text{C}$ 下测得，完整温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 到 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 125 MSPS，50% 时钟占空比， $AVDD = IOVDD = 1.8\text{ V}$ ，1.6 V 外部参考，以及 -1-dBFS 差分输入

参数		测试条件	最小值	典型值	最大值	单位
ADC3664-SEP : 125 MSPS						
I_{AVDD}	模拟电源电流	外部基准		64	80	mA
I_{IOVDD}	I/O 电源电流	SLVDS 2 线		47	72	
P_{DIS}	功率耗散	外部基准，2 线		200	274	mW
I_{IOVDD}	I/O 电源电流	2 线，1/2 摆幅		35		mA
		4 倍实时抽取率，16 位，1 线		50		
		16 倍实时抽取率，16 位，1 线		45		
		16 倍实时抽取率，16 位，1/2 线		41		
		4 倍复数抽取率，16 位，1 线		57		
		8 倍复数抽取率，16 位，1 线		54		
		8 倍复数抽取率，16 位，1/2 线		50		
		16 倍复数抽取率，16 位，1 线		50		
		16 倍复数抽取率，16 位，1/2 线		47		
		32 倍复数抽取率，16 位，1 线		48		
		32 倍复数抽取率，16 位，1/2 线		43		
I_{AVDD}	内部基准，额外模拟电源电流	通过 SPI 启用		4		mA
	外部 1.2V 基准 (REFBUF)，额外模拟电源电流			0.5		
	单端时钟输入，将模拟电源电流减少			1		
P_{DIS}	全局断电模式下的功耗	默认屏蔽设置		12		mW

5.6 电气特性 - 直流规格

除非另有说明，否则典型值在 $T_A = 25^{\circ}\text{C}$ 下测得，完整温度范围为 $T_{\text{MIN}} = -55^{\circ}\text{C}$ 到 $T_{\text{MAX}} = 105^{\circ}\text{C}$ ，ADC 采样率 = 125 MSPS，50% 时钟占空比， $\text{AVDD} = \text{IOVDD} = 1.8\text{ V}$ ，1.6 V 外部参考，以及 -1-dBFS 差分输入

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
无丢码			14			位
PSRR		$F_{\text{IN}} = 1\text{MHz}$		35		dB
DNL	微分非线性	$F_{\text{IN}} = 5\text{MHz}$	-1.8	± 0.9	+1.8	LSB
INL	积分非线性	$F_{\text{IN}} = 5\text{MHz}$	-7.5	± 2.6	+7.5	LSB
$V_{\text{OS_ERR}}$	偏移误差		-55	± 30	55	LSB
$V_{\text{OS_DRIFT}}$	不同温度下的温漂			± 0.06		LSB/ $^{\circ}\text{C}$
GAIN_{ERR}	增益误差	外部 1.6V 基准		± 2		%FSR
$\text{GAIN}_{\text{DRIFT}}$	不同温度下的增益漂移	外部 1.6V 基准		± 57		ppm/ $^{\circ}\text{C}$
GAIN_{ERR}	增益误差	内部基准		± 3		%FSR
$\text{GAIN}_{\text{DRIFT}}$	不同温度下的增益漂移	内部基准		106		ppm/ $^{\circ}\text{C}$
切换噪声				0.7		LSB
ADC 模拟输入 (AINP/M、BINP/M)						
FS	满量程输入	差分		3.2		V _{pp}
V_{CM}	输入共模电压		0.9	0.95	1.0	V
R_{IN}	输入电阻	直流下的差分		8		k Ω
C_{IN}	输入电容	直流下的差分		5.4		pF
V_{OCM}	输出共模电压			0.95		V
BW	模拟输入带宽 (-3dB)			200		MHz
内部电压基准						
V_{REF}	内部基准电压			1.6		V
V_{REF} 输出阻抗				8		Ω
参考输入缓冲器 (REFBUF)						
外部基准电压				1.2		V
外部电压基准 (VREF)						
V_{REF}	外部电压基准			1.6		V
输入电流				1		mA
输入阻抗				5.3		k Ω
时钟输入 (CLKP/M)						
输入时钟频率	外部基准		1		125	MHz
	内部基准		100		125	MHz
V_{ID}	差分输入电压		0.5	1	3.6	V _{pp}
V_{CM}	输入共模电压			0.9		V
R_{IN}	共模单端输入电阻			5		k Ω
C_{IN}	单端输入电容			1.5		pF
时钟占空比			45	50	60	%

5.6 电气特性 - 直流规格 (续)

除非另有说明, 否则典型值在 $T_A = 25^\circ\text{C}$ 下测得, 完整温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 到 $T_{\text{MAX}} = 105^\circ\text{C}$, ADC 采样率 = 125 MSPS, 50% 时钟占空比, $\text{AVDD} = \text{IOVDD} = 1.8\text{ V}$, 1.6 V 外部参考, 以及 -1-dBFS 差分输入

参数		测试条件	最小值	典型值	最大值	单位
数字输入 (RESET、PDN、SCLK、SEN、SDIO)						
V _{IH}	高电平输入电压		1.4			V
V _{IL}	低电平输入电压				0.4	
I _{IH}	高电平输入电流			90	150	uA
I _{IL}	低电平输入电流		-150	-90		uA
C _I	输入电容			1.5		pF
数字输出 (SDOUT)						
V _{OH}	高电平输出电压	I _{LOAD} = -400 μ A	IOVDD - 0.1	IOVDD		V
V _{OL}	低电平输出电压	I _{LOAD} = 400 μ A			0.1	
SLVDS 接口						
V _{ID}	差分输入电压	DCLKIN	200	350	650	mVpp
V _{CM}	输入共模电压		1	1.2	1.3	V
每个 CMOS 输出引脚		每个差分 SLVDS 输出			1000	Mbps
V _{OD}	差分输出电压		500	700	850	mVpp
V _{CM}	输出共模电压			1.0		V

5.7 电气特性 - 交流规格

除非另有说明，否则典型值在 $T_A = 25^\circ\text{C}$ 下测得，完整温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 到 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 125 MSPS，50% 时钟占空比， $AVDD = IOVDD = 1.8\text{ V}$ ，1.6 V 外部参考，以及 -1-dBFS 差分输入

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度	$f_{\text{IN}} = 5\text{MHz}$, $A_{\text{IN}} = -20\text{dBFS}$		-156.9		dBFS/Hz
SNR	信噪比	$f_{\text{IN}} = 5\text{MHz}$	72	77.5		dBFS
		$f_{\text{IN}} = 5\text{MHz}$, $A_{\text{IN}} = -20\text{dBFS}$		78.9		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		77.6		
		$f_{\text{IN}} = 40\text{MHz}$		76.9		
		$f_{\text{IN}} = 70\text{MHz}$		75.5		
		$f_{\text{IN}} = 100\text{MHz}$		74.1		
SINAD	信噪比和失真比	$f_{\text{IN}} = 5\text{MHz}$		75.7		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		74.2		
		$f_{\text{IN}} = 40\text{MHz}$		72.6		
		$f_{\text{IN}} = 70\text{MHz}$		71.3		
		$f_{\text{IN}} = 100\text{MHz}$		72.4		
ENOB	有效位数	$f_{\text{IN}} = 5\text{MHz}$		12.6		位
		$f_{\text{IN}} = 10\text{MHz}$		12.6		
		$f_{\text{IN}} = 40\text{MHz}$		12.5		
		$f_{\text{IN}} = 70\text{MHz}$		12.3		
		$f_{\text{IN}} = 100\text{MHz}$		12.0		
THD	总谐波失真 (前五个谐波)	$f_{\text{IN}} = 5\text{MHz}$	71.5	80		dBc
		$f_{\text{IN}} = 10\text{MHz}$		76		
		$f_{\text{IN}} = 40\text{MHz}$		74		
		$f_{\text{IN}} = 70\text{MHz}$		72		
		$f_{\text{IN}} = 100\text{MHz}$		76		
HD2	第二谐波失真	$f_{\text{IN}} = 5\text{MHz}$	77	84		dBc
		$f_{\text{IN}} = 10\text{MHz}$		78		
		$f_{\text{IN}} = 40\text{MHz}$		75		
		$f_{\text{IN}} = 70\text{MHz}$		77		
		$f_{\text{IN}} = 100\text{MHz}$		79		
HD3	第三谐波失真	$f_{\text{IN}} = 5\text{MHz}$	73.5	84		dBc
		$f_{\text{IN}} = 10\text{MHz}$		81		
		$f_{\text{IN}} = 40\text{MHz}$		88		
		$f_{\text{IN}} = 70\text{MHz}$		76		
		$f_{\text{IN}} = 100\text{MHz}$		81		
非 HD2,3	无杂散动态范围 (不包括 HD2 和 HD3)	$f_{\text{IN}} = 5\text{MHz}$	84	92		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		93		
		$f_{\text{IN}} = 40\text{MHz}$		89		
		$f_{\text{IN}} = 70\text{MHz}$		84		
		$f_{\text{IN}} = 100\text{MHz}$		86		
IMD3	双音互调失真	$f_1 = 10\text{MHz}$, $f_2 = 12\text{MHz}$, $A_{\text{IN}} = -7\text{dBFS/单音}$		88		dBc

5.8 时序要求

除非另有说明，否则典型值在 $T_A = 25^\circ\text{C}$ 下测得，MIN 和 MAX 时间值在完整温度范围 $T_{\text{MIN}} = -55^\circ\text{C}$ 到 $T_{\text{MAX}} = 105^\circ\text{C}$ 内表征，且未经生产测试，ADC 采样率 = 125 MSPS，50% 时钟占空比，AVDD = IOVDD = 1.8 V，1.6 V 外部参考，以及 -1-dBFS 差分输入

参数		测试条件	最小值	标称值	最大值	单位
ADC 时序规格						
t _{AD}	孔径延迟		0.85		ns	
t _A	孔径抖动	具有快速边缘的方波时钟	250		fs	
t _J	DCLKIN 上的抖动		±50		ps pk-pk	
+6 dB 过载条件下的恢复时间		预期值 1 dB 范围内的 SNR	1		时钟周期	
t _{ACQ}	信号采集周期	以采样时钟下降沿为基准	-T _S /4		采样时钟周期	
t _{CONV}	信号转换周期		6		ns	
唤醒时间	断电后的数据有效时间。内部基准。	已启用带隙基准，单端时钟	13		us	
		已启用带隙基准，差分时钟	15			
		已禁用带隙基准，单端时钟	2.4		ms	
		已禁用带隙基准，差分时钟	2.3			
	断电后的数据有效时间。外部 1.6V 基准。	已启用带隙基准，单端时钟	13		us	
		已启用带隙基准，差分时钟	14			
		已禁用带隙基准，单端时钟	2.0		ms	
		已禁用带隙基准，差分时钟	2.2			
t _{S, SYNC}	SYNC 输入信号的设置时间	以采样时钟上升沿为基准	500		ps	
t _{H, SYNC}	SYNC 输入信号的保持时间		600			
ADC 延迟	信号输入到数据输出	1/2 线 SLVDS	1		时钟周期	
		1 线 SLVDS	1			
		2 线 SLVDS	2			
添加。延迟	2 倍实时抽取率		21		输出时钟周期	
	2 倍复杂抽取率		22			
	4 倍、8 倍、16 倍、32 倍实时或复杂抽取率		23			
接口时序：串行 LVDS 接口						
t _{PD}	传播延迟：采样时钟下降沿到 DCLK 上升沿	采样时钟下降沿到 DCLKIN 上升沿的延迟小于 2.5ns。 T _{DCLK} = DCLK 周期 t _{CDCLK} = 采样时钟下降沿到 DCLKIN 下降沿	2 + T _{DCLK} + t _{CDCLK}	3 + T _{DCLK} + t _{CDCLK}	4 + T _{DCLK} + t _{CDCLK}	ns
		采样时钟下降沿到 DCLKIN 上升沿的延迟大于或等于 2.5ns。 T _{DCLK} = DCLK 周期 t _{CDCLK} = 采样时钟下降沿到 DCLKIN 下降沿	2 + t _{CDCLK}	3 + t _{CDCLK}	4 + t _{CDCLK}	

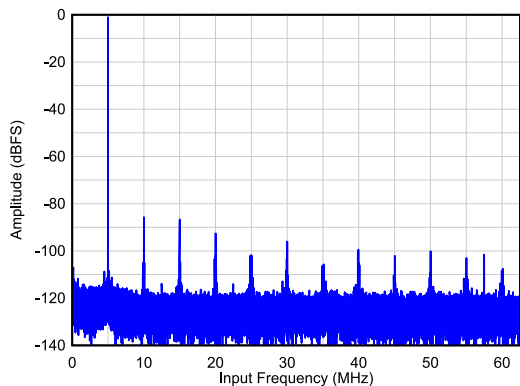
5.8 时序要求 (续)

除非另有说明, 否则典型值在 $T_A = 25^\circ\text{C}$ 下测得, MIN 和 MAX 时间值在完整温度范围 $T_{\text{MIN}} = -55^\circ\text{C}$ 到 $T_{\text{MAX}} = 105^\circ\text{C}$ 内表征, 且未经生产测试, ADC 采样率 = 125 MSPS, 50% 时钟占空比, AVDD = IOVDD = 1.8 V, 1.6 V 外部参考, 以及 -1-dBFS 差分输入

参数		测试条件	最小值	标称值	最大值	单位
t _{CD}	DCLK 上升沿到输出数据延迟， 2 线 SLVDS，14 位	Fout = 65 MSPS，DA/B0,1 = 455 MBPS	0	0.1	ns	
		Fout = 80 MSPS，DA/B0,1 = 560 MBPS	0	0.1		
		Fout = 125 MSPS，DA/B0,1 = 875 MBPS	-0.2	0.1		
	DCLK 上升沿到输出数据延迟， 1 线 SLVDS，14 位	Fout = 65 MSPS，DA/B0 = 910 MBPS	0	0.1		
	DCLK 上升沿到输出数据延迟， 1 线 SLVDS，16 位	Fout = 10MSPS，DA/B0 = 160MBPS	0	0.1		
		Fout = 25MSPS，DA/B0 = 400MBPS	0	0.1		
		Fout = 62.5MSPS，DA/B0 = 1000MBPS	-0.6	0.1		
	DCLK 上升沿到输出数据延迟， 1/2 线 SLVDS，16 位	Fout = 5MSPS，DA0 = 160MBPS	0	0.1		
		Fout = 10MSPS，DA0 = 320MBPS	0	0.1		
		Fout = 25MSPS，DA0 = 800MBPS	0	0.1		
t _{DV}	数据有效，2 线 SLVDS，14 位	Fout = 65 MSPS，DA/B0,1 = 455 MBPS	1.8	1.9	ns	
		Fout = 80 MSPS，DA/B0,1 = 560 MBPS	1.4	1.5		
		Fout = 125 MSPS，DA/B0,1 = 875 MBPS	0.6	0.8		
	数据有效，1 线 SLVDS，14 位	Fout = 65 MSPS，DA/B0 = 910 MBPS	0.6	0.8		
	数据有效，1 线 SLVDS，16 位	Fout = 10MSPS，DA/B0 = 160MBPS	5.7	5.8		
		Fout = 25MSPS，DA/B0 = 400MBPS	2.0	2.1		
		Fout = 62.5MSPS，DA/B0 = 1000MBPS	0.5	0.6		
	数据有效，1/2 线 SLVDS，16 位	Fout = 5MSPS，DA0 = 160MBPS	5.7	5.8		
		Fout = 10MSPS，DA0 = 320MBPS	2.7	2.8		
		Fout = 25MSPS，DA0 = 800MBPS	0.8	0.9		
串行编程接口 (SCLK、SEN、SDIO) - 输入						
f _{CLK,SCLK}	串行时钟频率				20	MHz
t _{s,SEN}	SEN 下降沿到 SCLK 上升沿		10		ns	
t _{H,SEN}	SCLK 上升沿到 SEN 上升沿		9			
t _{s,SDIO}	从 SCLK 上升沿的 SDIO 设置时间		17			
t _{H,SDIO}	从 SCLK 上升沿的 SDIO 保留时间		9			
串行编程接口 (SDIO) - 输出						
t _{OZD}	在读取操作期间从第 16 个 SCLK 周期的下降沿到 SDIO 从三态转换至数据生效的延迟时间		3.9		10.8	ns
t _{ODZ}	从 SEN 上升沿到 SDIO 从数据生效转换至三态的延迟时间		3.4		14	
t _{OD}	在读取操作期间从第 16 个 SCLK 周期的下降沿到 SDIO 生效的延迟时间		3.9		10.8	

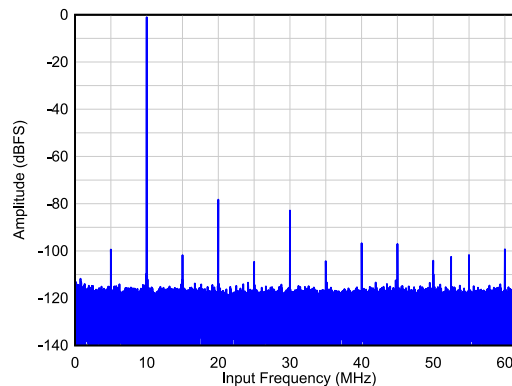
5.9 典型特性

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.6V 电压基准条件下指定的。



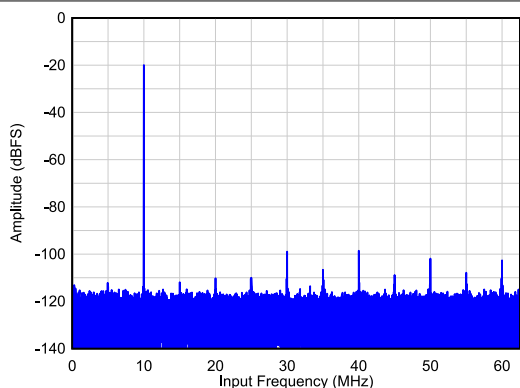
SNR = 77.5dBFS, HD2,3 = 85dBc, 非 HD23 = 92dBFS

图 5-1. $F_{IN} = 5\text{MHz}$ 时的单音 FFT



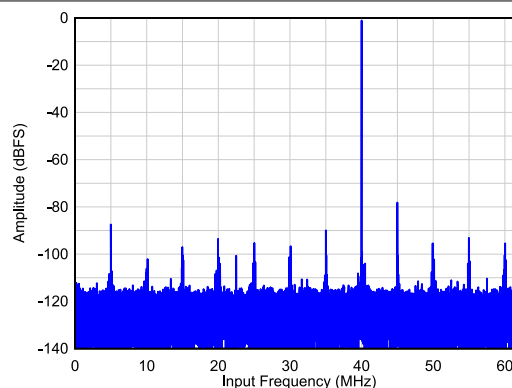
SNR = 77.5dBFS, HD2,3 = 78dBc, 非 HD23 = 93dBFS

图 5-2. $F_{IN} = 10\text{MHz}$ 时的单音 FFT



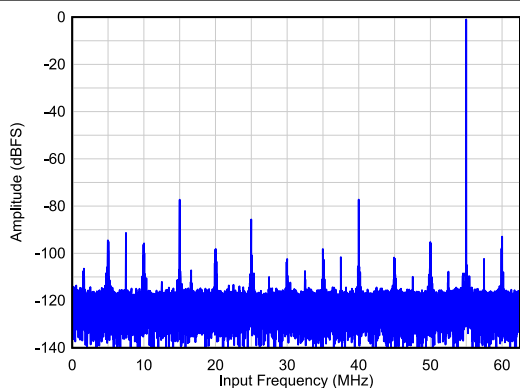
$A_{IN} = -20\text{dBFS}$, SNR = 78.9dBFS, HD2,3 = 78dBc, 非 HD23 = 102dBFS

图 5-3. $F_{IN} = 10\text{MHz}$ 时的单音 FFT



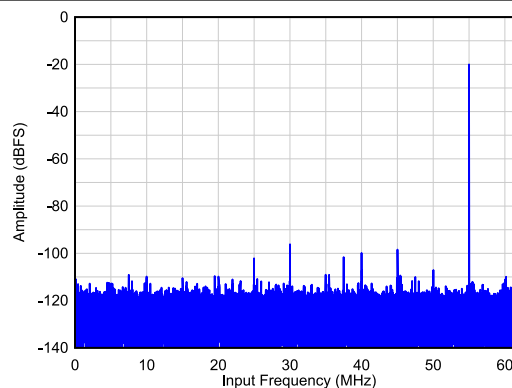
SNR = 76.9dBFS, HD2,3 = 78dBc, 非 HD23 = 94dBFS

图 5-4. $F_{IN} = 40\text{MHz}$ 时的单音 FFT



SNR = 75.5dBFS, HD2,3 = 77dBc, 非 HD23 = 85dBFS

图 5-5. $F_{IN} = 70\text{MHz}$ 时的单音 FFT

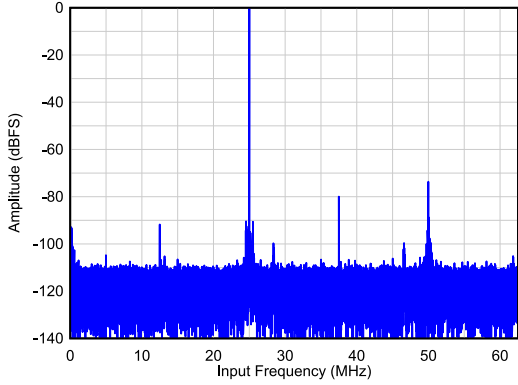


$A_{IN} = -20\text{dBFS}$, SNR = 77.5dBFS, HD2,3 = 77dBc, 非 HD23 = 98dBFS

图 5-6. $F_{IN} = 70\text{MHz}$ 时的单音 FFT

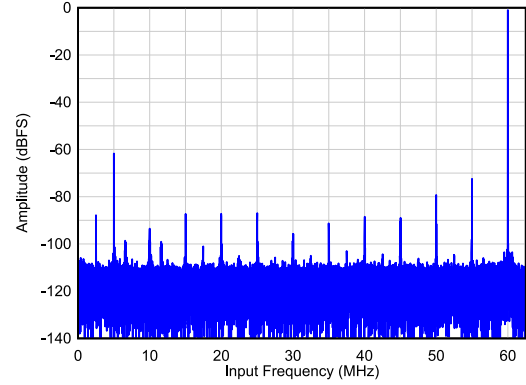
5.9 典型特性 (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.6V 电压基准条件下指定的。



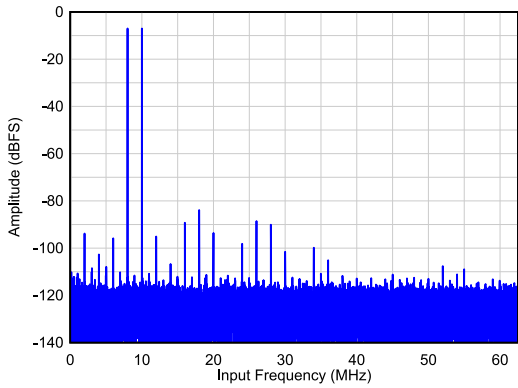
SNR = 71dBFS, HD2,3 = 73dBc, 非 HD23 = 90dBFS

图 5-7. $F_{IN} = 150\text{MHz}$ 时的单音 FFT



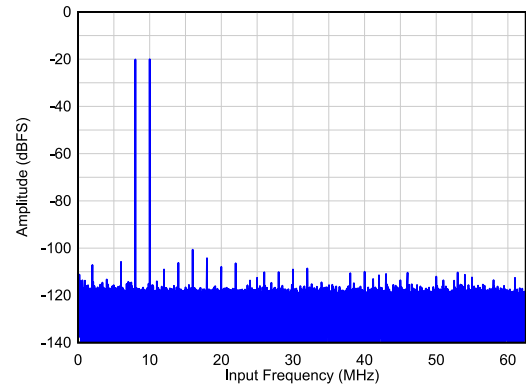
SNR = 69.5dBFS, HD2,3 = 61dBc, 非 HD23 = 78dBc

图 5-8. $F_{IN} = 190\text{MHz}$ 时的单音 FFT



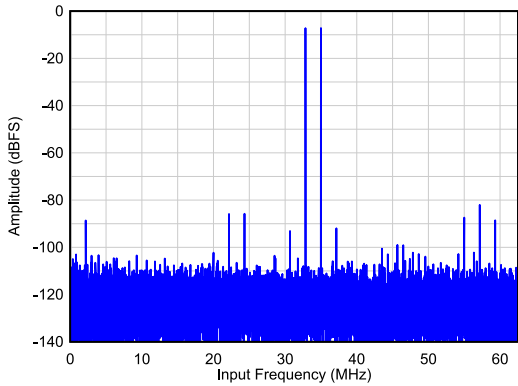
$A_{IN} = -7\text{dBFS/单音}$, IMD3 = 88dBc

图 5-9. $F_{IN} = 10\text{MHz}/12\text{MHz}$ 时的双音 FFT



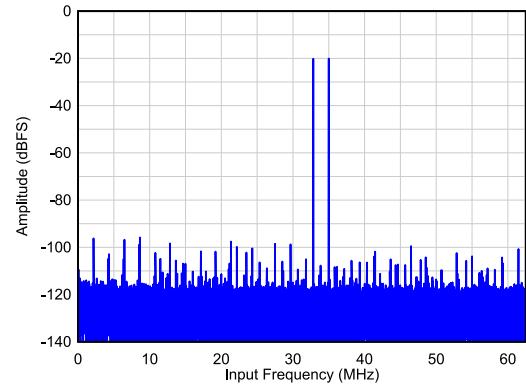
$A_{IN} = -2\text{dBFS/单音}$, IMD3 = 85dBc

图 5-10. $F_{IN} = 10\text{MHz}/12\text{MHz}$ 时的双音 FFT



$A_{IN} = -7\text{dBFS/单音}$, IMD3 = 85dBc

图 5-11. $F_{IN} = 90\text{MHz}/92\text{MHz}$ 时的双音 FFT



$A_{IN} = -20\text{dBFS/单音}$, IMD3 = 80dBc

图 5-12. $F_{IN} = 90\text{MHz}/92\text{MHz}$ 时的双音 FFT

5.9 典型特性 (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.6V 电压基准条件下指定的。

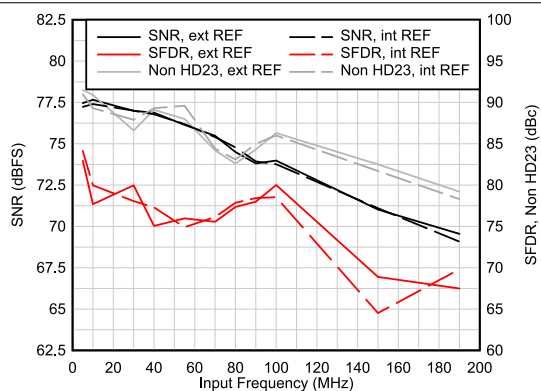


图 5-13. 交流性能与输入频率间的关系

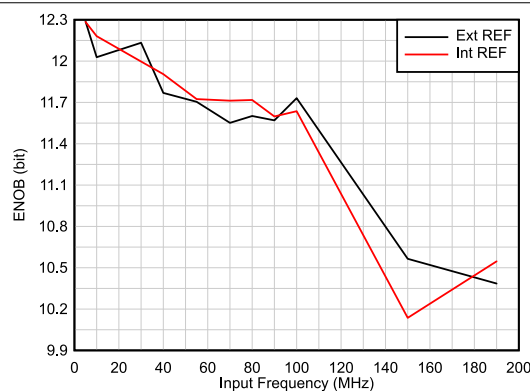


图 5-14. ENOB 与输入频率间的关系

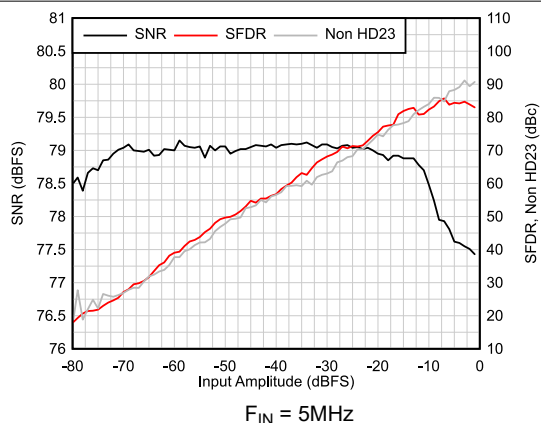


图 5-15. SNR、SFDR 与输入幅度间的关系

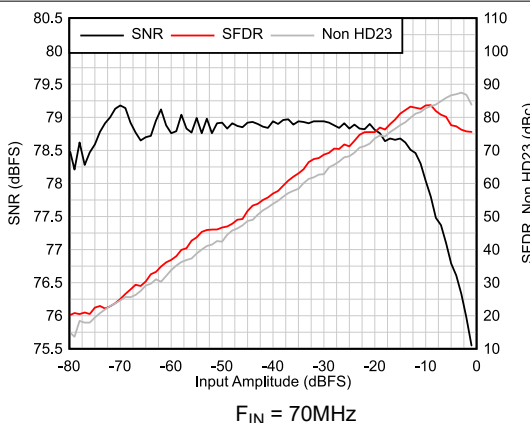


图 5-16. 交流性能与输入幅度间的关系

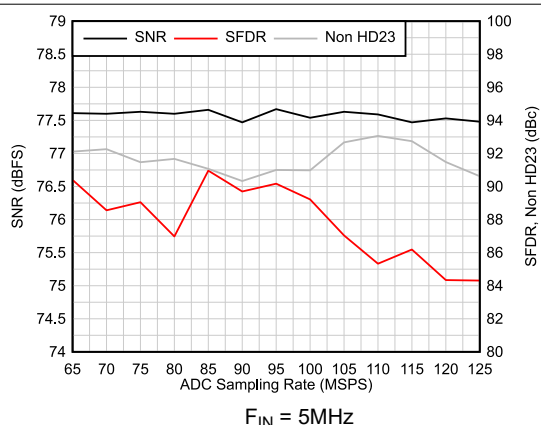


图 5-17. 交流性能与采样率间的关系

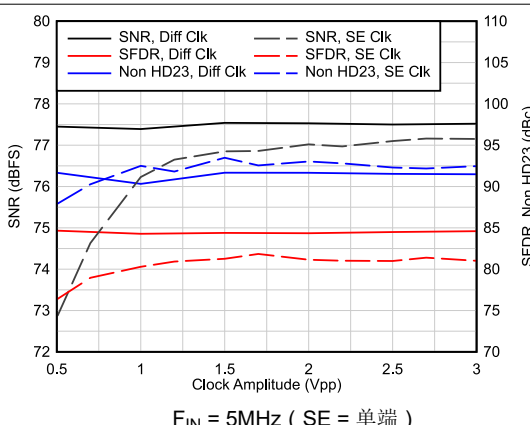


图 5-18. 交流性能与时钟振幅间的关系

5.9 典型特性 (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.6V 电压基准条件下指定的。

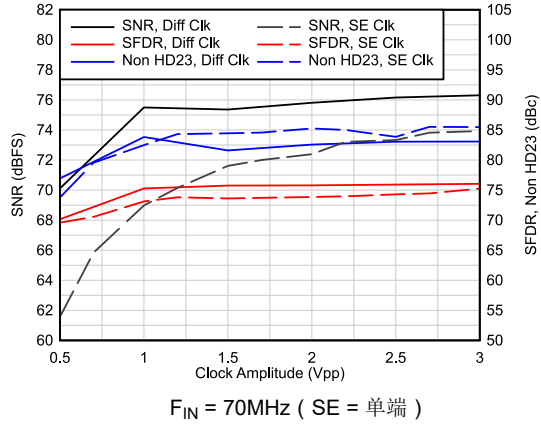


图 5-19. 交流性能与时钟幅度的关系

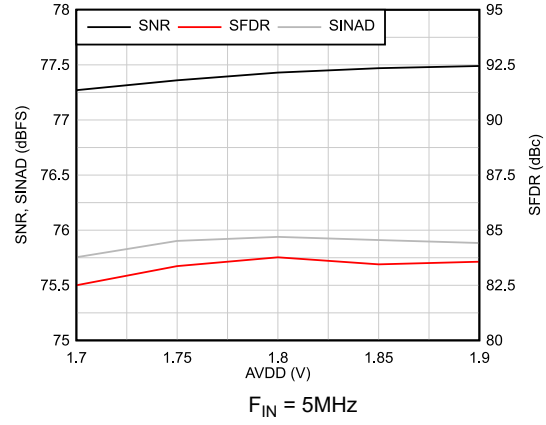


图 5-20. 交流性能与 AVDD 间的关系

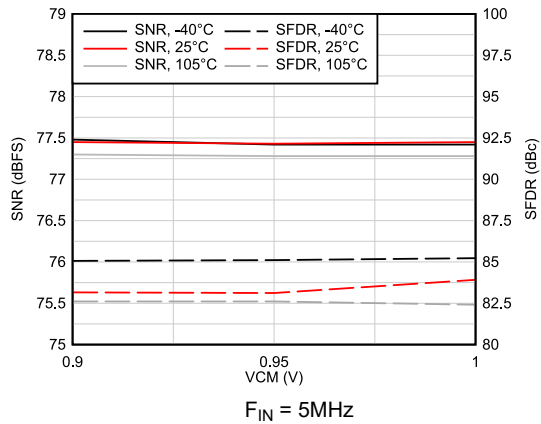


图 5-21. 交流性能与 VCM 和温度间的关系

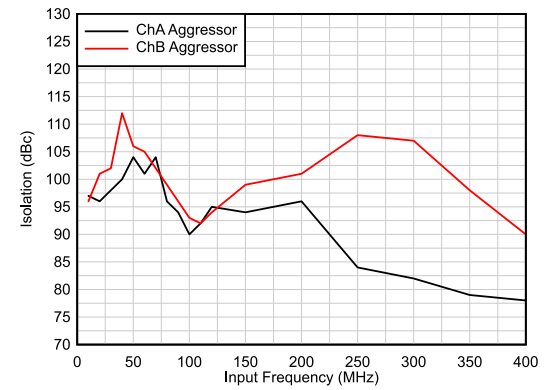


图 5-22. 隔离与输入频率间的关系

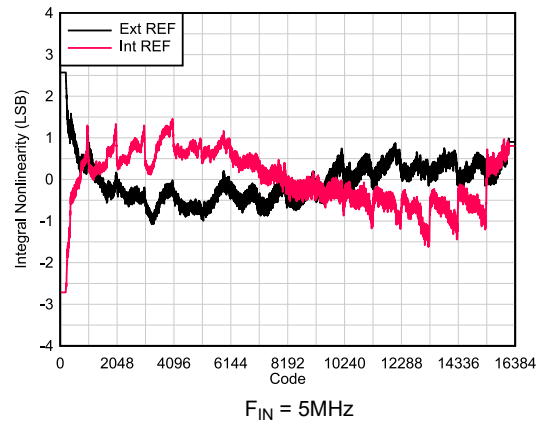


图 5-23. INL 与代码间的关系

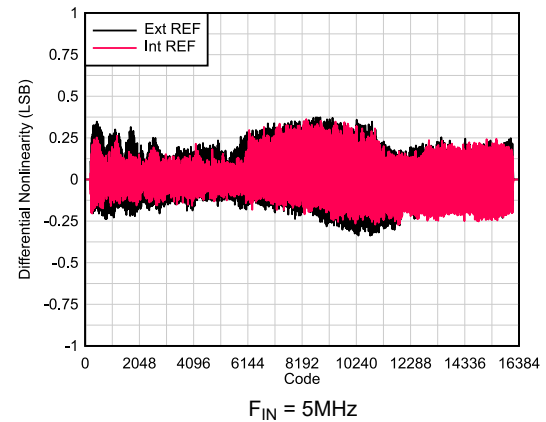


图 5-24. DNL 与代码间的关系

5.9 典型特性 (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.6V 电压基准条件下指定的。

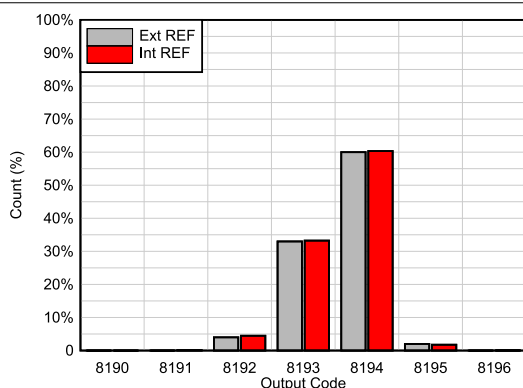
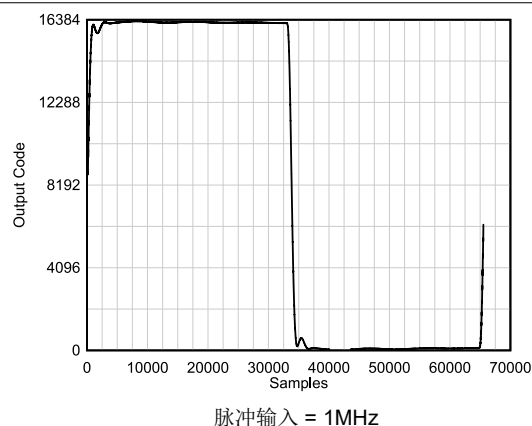


图 5-25. 直流偏移直方图



脉冲输入 = 1MHz

图 5-26. 脉冲响应

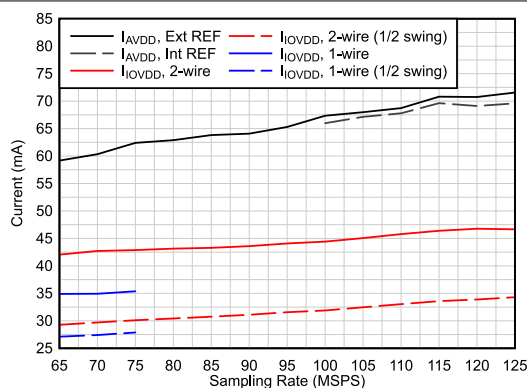
 $F_{IN} = 5\text{MHz}$

图 5-27. 功耗与采样率间的关系

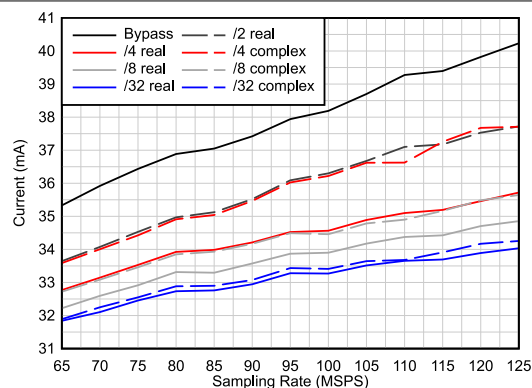
 $F_{IN} = 5\text{MHz}$, 2 线

图 5-28. 功耗与抽取间的关系

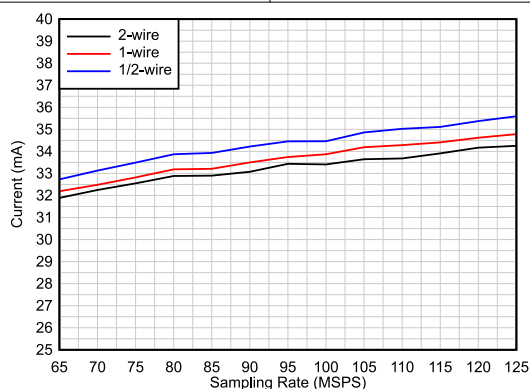
 $F_{IN} = 5\text{MHz}$, 32 倍复数抽取率

图 5-29. 功耗与输出接口间的关系

6 参数测量信息

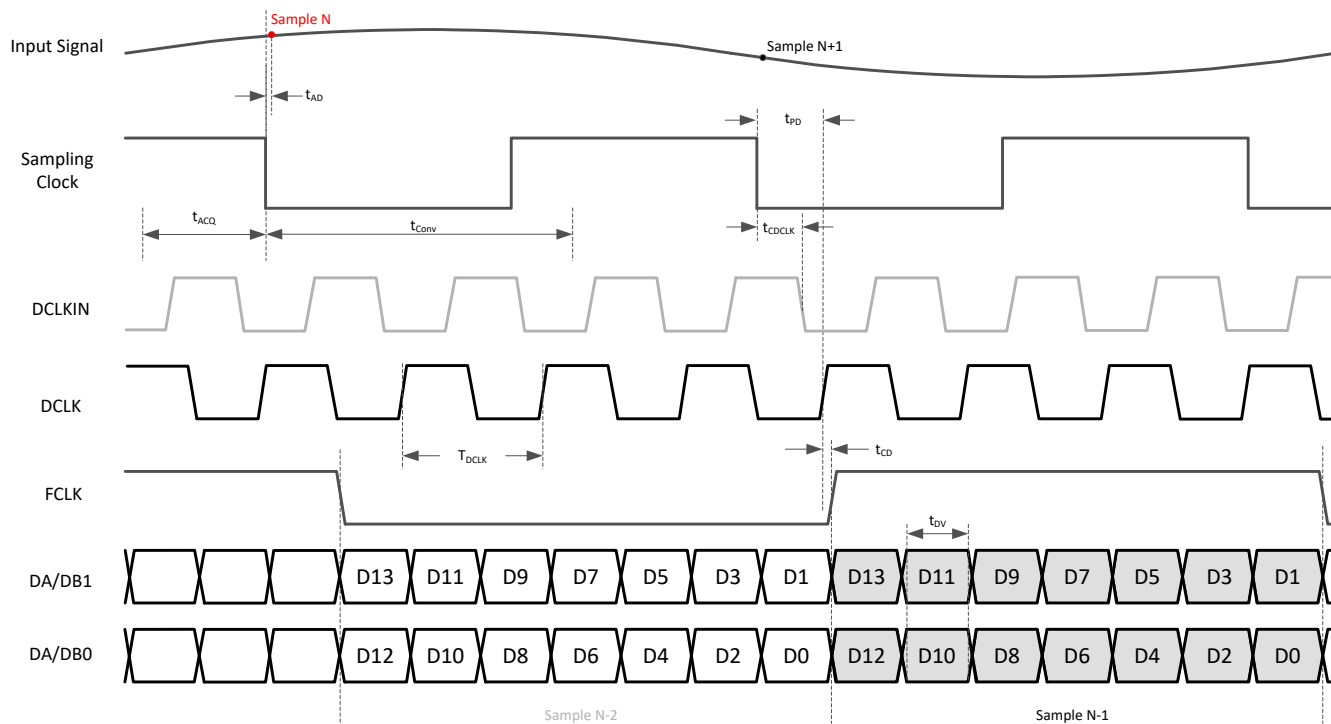


图 6-1. 时序图：2 线 SLVDS

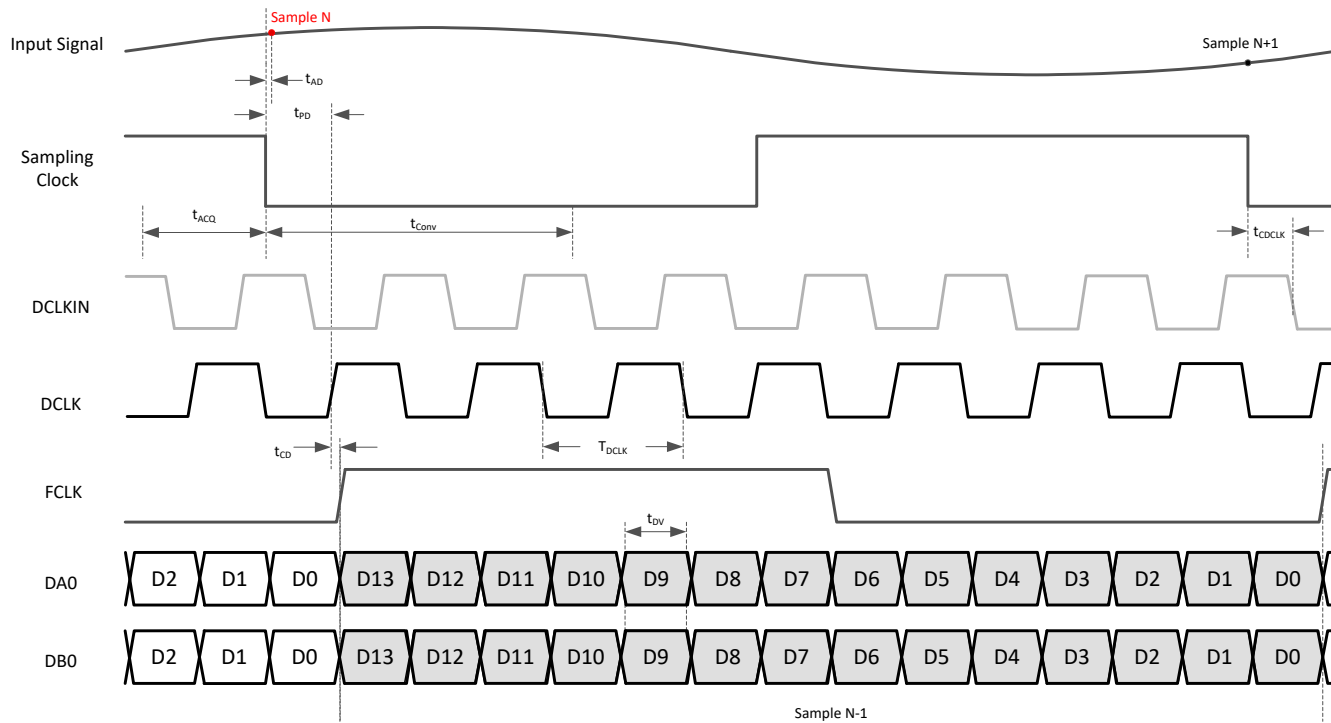


图 6-2. 时序图：1 线 SLVDS

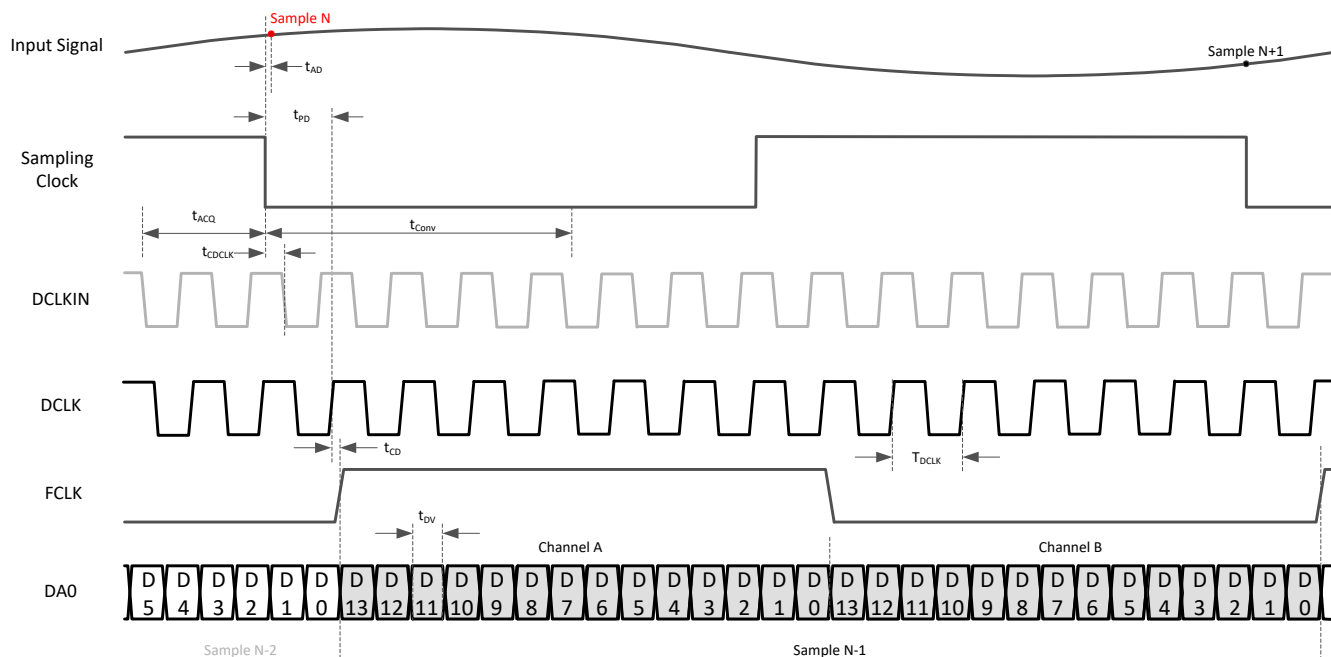


图 6-3. 时序图：1/2 线 SLVDS

7 详细说明

7.1 概述

ADC3664-xEP 是支持高达 125MSPS 采样率的低噪声、超低功耗 14 位高速双通道 ADC。该器件具有良好的直流精度和中频采样支持。使该器件设计适用于各种应用。ADC3664-xEP 配备了片上内部基准选项，但也支持使用外部高精度 1.6V 电压基准或外部 1.2V 基准，该基准在内部进行缓冲和增益。由于固有的低延迟架构，在数字输出接口上只需一个时钟周期即可获得数字输出结果。

备注

ADC3664-xEP 支持以下采样率：

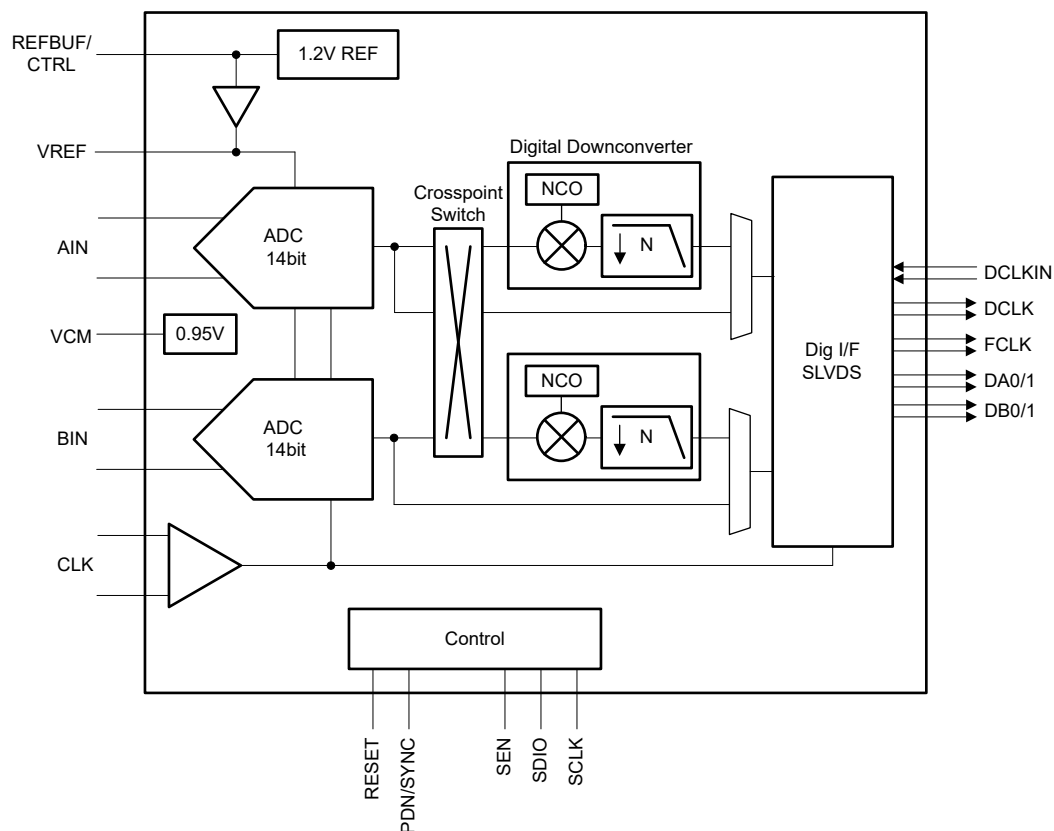
- 外部基准：1 到 125MSPS
- 内部基准：100 到 125MSPS

一个可选的可编程数字下变频器可以放宽外部抗混叠滤波器要求，并降低输出数据速率。数字滤波器提供 32 位可编程 NCO，并支持实时或复数抽取。

ADC3664-xEP 使用串行 LVDS (SLVDS) 接口输出数据，可更大限度减少数字互连的次数。该器件支持双通道 (2 线)、单通道 (1 线) 和半通道 (1/2 线) 选项。ADC3664-xEP 包含一个数字输出格式器、可支持 14 至 20 位的输出分辨率。

器件功能和控制选项可以通过引脚配置或通过 SPI 寄存器写入进行设置。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

ADC3664-xEP 的模拟输入旨在以差分方式驱动。支持模拟输入的交流耦合和直流耦合。模拟输入设计用于 0.95V 的输入共模电压，该电压在每个输入引脚上从外部提供。直流耦合输入信号的共模电压必须符合器件输入共模电压范围。

等效输入网络图如图 7-1 所示。所有四个采样开关（导通电阻以红色显示）都同时处于相同位置（打开或关闭）。

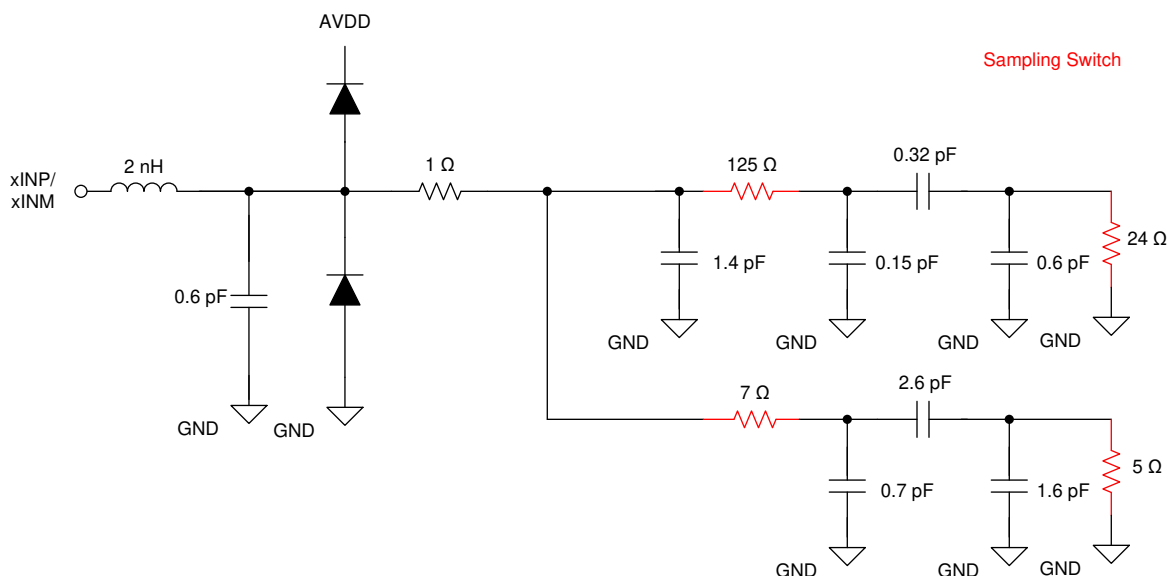


图 7-1. 等效输入网络

7.3.1.1 模拟输入带宽

图 7-2 展示了具有 50 Ω 差分终端的 ADC3664-xEP 模拟全功率输入带宽。-3dB 带宽约为 1.4GHz，具有良好交流性能的可用输入带宽约为 200MHz。

等效差分输入电阻 R_{IN} 和输入电容 C_{IN} 与频率的关系，如图 7-3 所示。

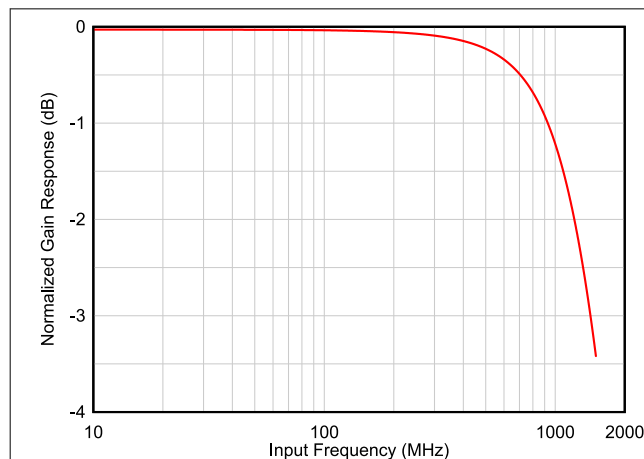


图 7-2. ADC 模拟输入带宽响应

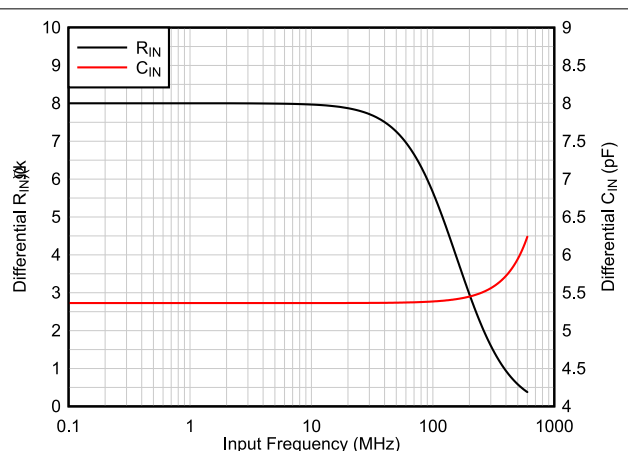


图 7-3. 等效 R_{IN}/C_{IN} 与输入频率间的关系

7.3.1.2 模拟前端设计

ADC3664-xEP 是一个无缓冲 ADC；因此，建议使用无源反激励滤波器来吸收采样操作中的干扰。根据输入是由平衡-非平衡变压器驱动还是由具有低输出阻抗的差分放大器驱动，需要一个端接网络。此外，在交流耦合应用中，需要一个无源直流偏置电路，该电路与端接网络相结合。

7.3.1.2.1 采样干扰滤波器设计

前端采样干扰滤波器旨在优化 ADC 的 SNR 和 HD3 性能。滤波器性能取决于输入频率；因此，建议针对如 图 7-5 和 图 7-4 所示的不同输入频率范围使用以下滤波器设计（假设 $50\ \Omega$ 源阻抗）。

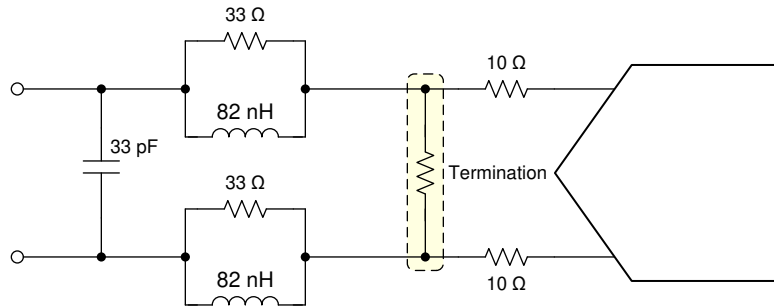


图 7-4. 适用于直流到 60MHz 输入频率的采样干扰滤波器示例

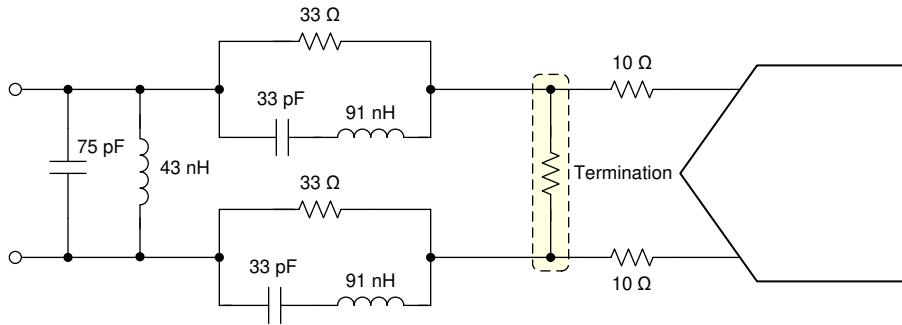


图 7-5. 适用于 60 到 120MHz 输入频率的采样干扰滤波器示例

7.3.1.2.2 模拟输入终端和直流偏置

根据输入驱动电路，需要提供端接网络和/或直流偏置。

7.3.1.2.2.1 交流耦合

ADC3664-xEP 需要使用 ADC 的共模输出电压 (VCM) 和端接网络进行外部直流偏置，如 图 7-6 所示。端接位于干扰滤波器网络内。如果在输入端使用平衡-非平衡变压器，则必须调整端接阻抗以考虑变压器的匝数比。使用放大器时，需调整端接阻抗以优化放大器性能。

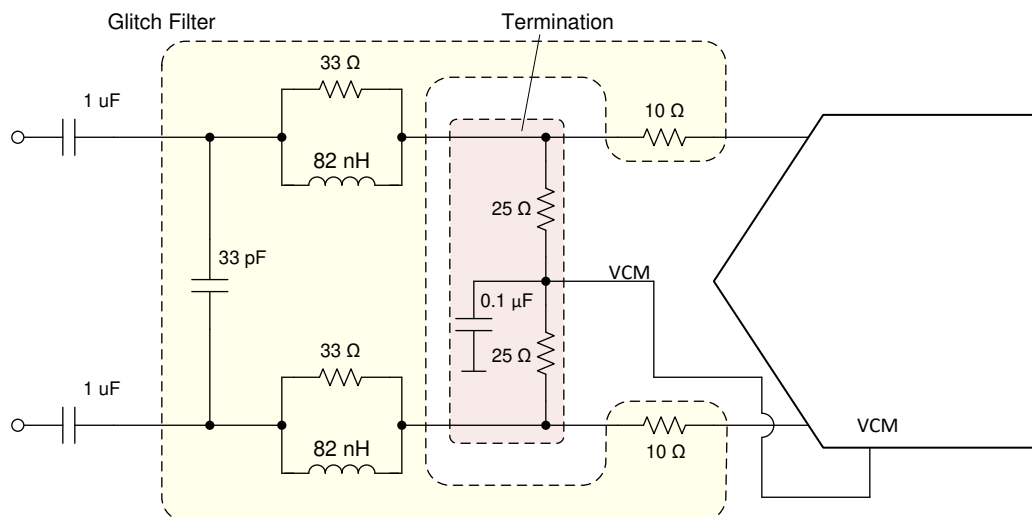


图 7-6. 交流耦合：端接网络提供直流偏置 (高达 60MHz 的干扰滤波器示例)

7.3.1.2.2.2 直流耦合

在直流耦合应用中，需要使用 ADC 的 VCM 输出从全差分放大器或 (FDA) 提供直流偏置，如 图 7-7 所示。在这种情况下，干扰滤波器位于抗混叠滤波器和 ADC 之间。如果放大器靠近 ADC 或终端是抗混叠滤波器的一部分，则无需端接。

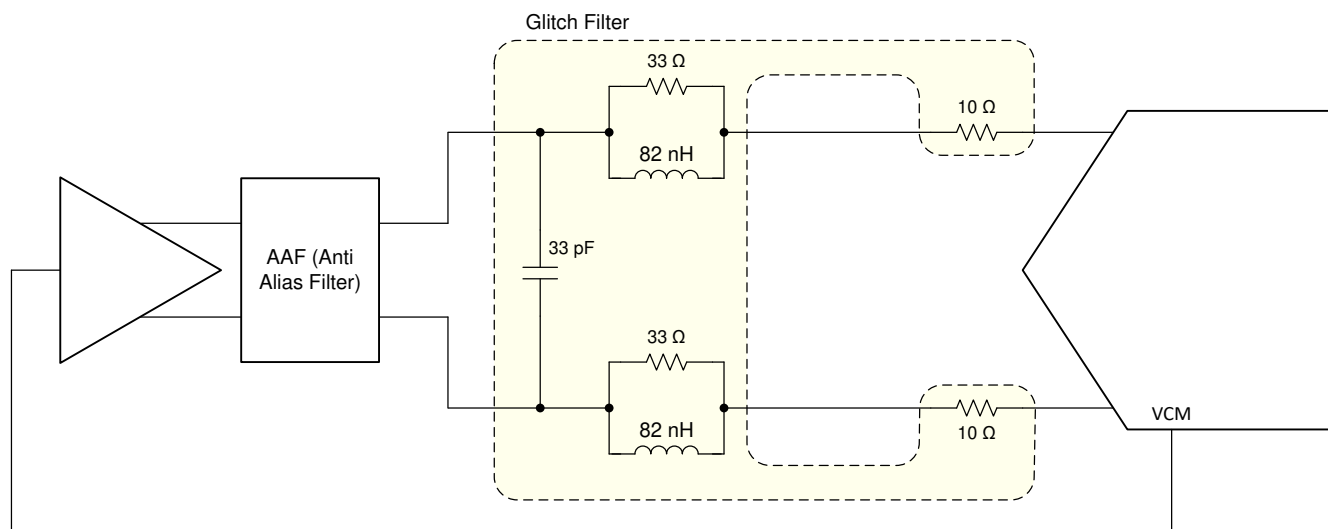
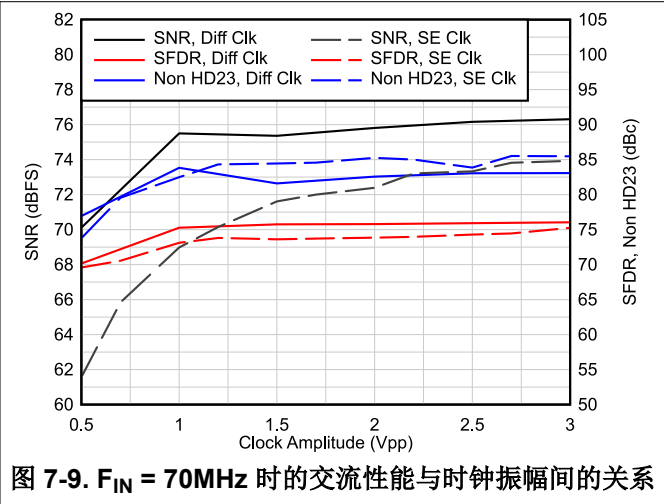
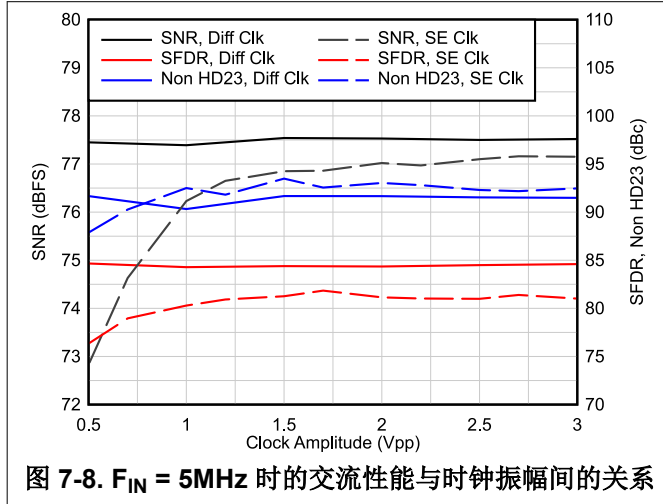


图 7-7. 直流耦合：由 FDA 提供的直流偏置 (直流-60MHz 的干扰滤波器示例)

7.3.2 时钟输入

为了最大化 ADC 信噪比性能，外部采样时钟应具有低抖动、差分信号和高转换速率。这在 IF 采样应用中尤其重要（图 7-8 和图 7-9）。对于对抖动不太敏感的应用，ADC3664-xEP 可以选择使用单端信号工作，从而节省额外的功耗。



7.3.2.1 单端与差分时钟输入

ADC3664-xEP 可以使用差分或单端时钟输入运行，其中单端时钟消耗的功耗更低。但是，时钟幅度影响 ADC 孔径抖动，从而影响 SNR。为了获得最佳 SNR 性能，需要提供具有快速转换率的大时钟信号。

- 差分时钟输入：时钟输入在外部进行交流耦合。该器件为此用例提供内部偏置。
- 单端时钟输入：此模式需要使用 SPI 寄存器（0x0E、D2 和 D0）或通过 REFBUF/CTRL 引脚进行配置。在此模式下，没有内部时钟偏置；因此时钟输入需要在 0.9V 中心附近进行直流耦合。未使用的时钟输入应交流耦合接地。

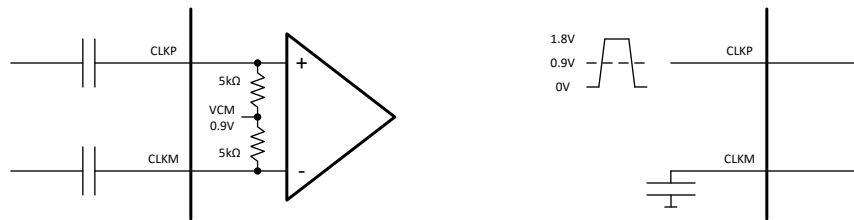


图 7-10. 使用差分（左）和单端（右）时钟输入的外部 and 内部连接

7.3.3 电压基准

ADC3664-xEP 提供了三个不同的选项，用于为 ADC 提供电压基准。外部 1.6V 基准电压直接连接到 VREF 输入；使用内部增益缓冲器将 1.2V 基准电压连接到 REFBUF/CTRL 输入，或者启用内部 1.2V 基准电压以生成 1.6V 基准电压。为了获得最佳性能，应通过将 $10\ \mu\text{F}$ 和 $0.1\ \mu\text{F}$ 陶瓷旁路电容器连接到 VREF 引脚来过滤基准噪声。ADC3664-xEP 的内部基准电路如 图 7-11 中所示。

备注

电压基准模式通过 SPI 写入或使用 REFBUF/CTRL 引脚（默认）作为控制引脚来选择（节 7.5.1）。如果 REFBUF/CTRL 引脚未用于配置，则应将 REFBUF/CTRL 引脚连接到 AVDD（即使 REFBUF/CTRL 引脚具有连接到 AVDD 的弱内部上拉电阻），并且必须使用 SPI 接口选择电压基准选项。

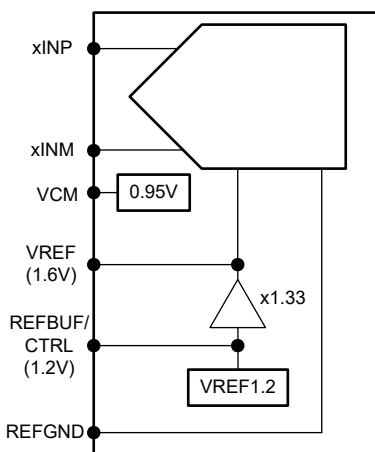


图 7-11. ADC3664-xEP 的不同电压基准选项

7.3.3.1 内部电压基准

使用片上 1.2V 基准和内部增益缓冲器为 ADC 内部生成 1.6V 基准。一个 $10\ \mu\text{F}$ 和一个 $0.1\ \mu\text{F}$ 陶瓷旁路电容器 (C_{VREF}) 必须连接在 VREF 和 REFGND 引脚之间，并尽可能靠近引脚。

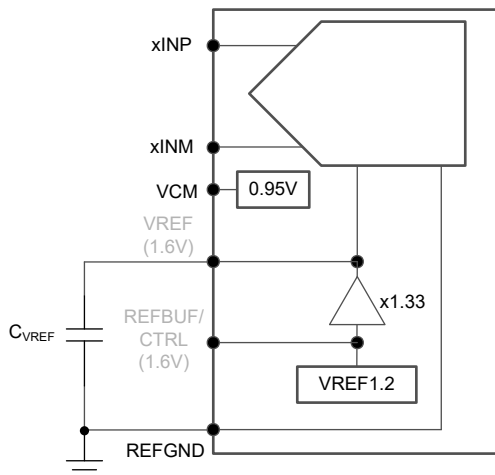


图 7-12. 内部基准

7.3.3.2 外部电压基准 (VREF)

为了获得最高的精度和最低的温度漂移，将 VREF 输入直接连接到外部 1.6V 基准电压源。建议在 VREF 和 REFGND 引脚之间连接一个 $10\mu\text{F}$ 和一个 $0.1\mu\text{F}$ 陶瓷旁路电容 (C_{VREF})，并尽可能靠近引脚放置。来自外部基准电压源的负载电流约为 1mA 。

备注

内部基准电压也用于器件内部的其他功能；因此，基准放大器只能在掉电状态下关闭，而不能在正常工作期间关闭。

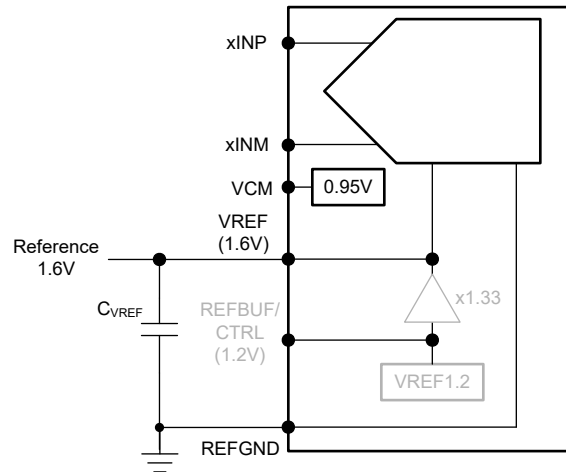


图 7-13. 外部 1.6V 基准

7.3.3.3 外部电压基准，带内部缓冲器 (REFBUF/CTRL)

ADC3664-xEP 配备了一个片上基准缓冲器，该缓冲器还包含可从外部 1.2V 基准生成 1.6V 基准电压的增益。建议在 VREF 和 REFGND 引脚之间连接一个 $10\mu\text{F}$ 和一个 $0.1\mu\text{F}$ 陶瓷旁路电容器 (C_{VREF})，并在 REFBUF/CTRL 和 REFGND 引脚之间连接一个 $10\mu\text{F}$ 和一个 $0.1\mu\text{F}$ 陶瓷旁路电容器。两个电容器应尽量靠近引脚放置。外部基准的负载电流小于 $100\mu\text{A}$ 。

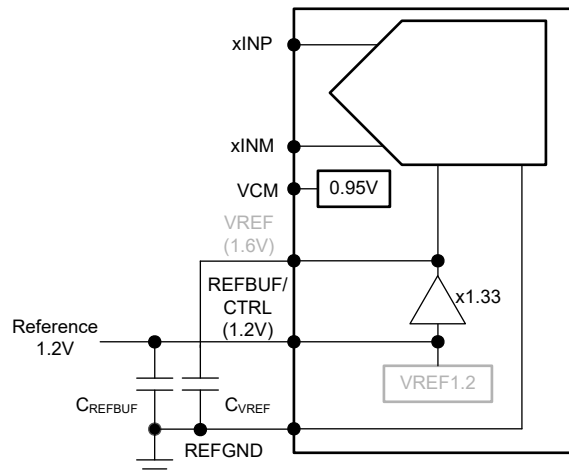


图 7-14. 使用内部基准缓冲器的外部 1.2V 基准

7.3.4 数字下变频器

ADC3664-xEP 包含一个可选的片上数字下变频 (DDC) 抽取滤波器，该滤波器通过 SPI 寄存器设置启用。它支持使用数字混频器和 32 位数控振荡器 (NCO) 进行 2、4、8、16 和 32 倍复数抽取，如 图 7-15 所示。此外，该器件还支持一种实数抽取模式，其中复数混频器被旁路 (NCO 应设置为 0 以实现最低功耗)，数字滤波器用作低通滤波器。

在内部，抽取滤波器的计算以 20 位分辨率执行，以避免因量化噪声限制而导致的任何信噪比下降。在数字接口上输出数据之前，[输出格式器](#) 截断到所选分辨率。

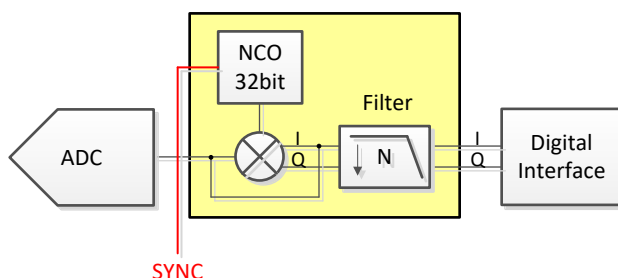


图 7-15. 内部数字抽取滤波器

7.3.4.1 DDC 多路复用器

ADC3664-xEP 在数字抽取滤波器前面包含一个多路复用器，可将 ADC 通道 A 输入连接到通道 B 的 DDC。

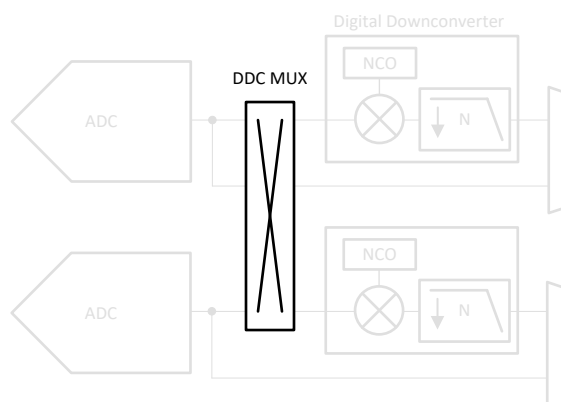


图 7-16. DDC 多路复用器

7.3.4.2 数字滤波器用途

复数抽取操作如图 7-17 中的示例所示。首先，输入信号（和负图像）按 NCO 频率进行频移，如图左侧所示。接下来，应用一个数字滤波器（以 0Hz 为中心），并抽取输出数据速率。在本示例中，输出数据速率 $F_{S,OUT} = F_S/8$ ，其中奈奎斯特区域为 $F_S/16$ 。在复数混频期间，频谱（信号和噪声）被分为实数部分和复数部分，因此，振幅降低了 6dB。为了补偿这种损失，抽取滤波器模块中有一个 6 dB 的数字增益选项，可以通过 SPI 写入来启用。

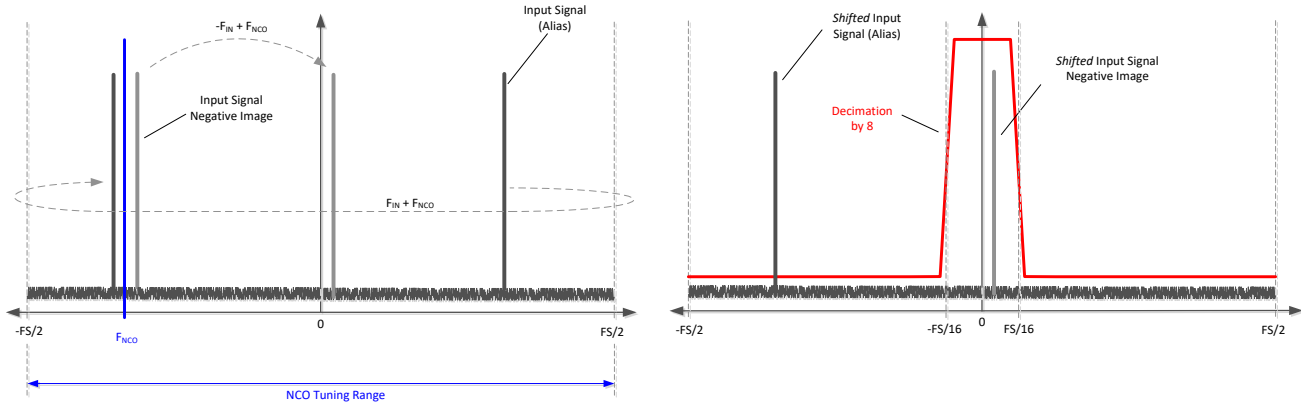


图 7-17. 复数抽取率图示

实数抽取操作如图 7-18 中的示例所示。没有发生频率偏移，仅使用复数数字滤波器的实数部分。该器件会对输出数据速率进行抽取。8 倍抽取率会导致输出数据速率 $F_{S,OUT} = F_S/8$ ，其中奈奎斯特区域为 $F_S/16$ 。

在实数混频期间，频谱（信号和噪声）幅度降低 3dB。为了补偿这种损失，抽取滤波器模块中有一个 3 dB 的数字增益选项，可以通过 SPI 写入来启用。

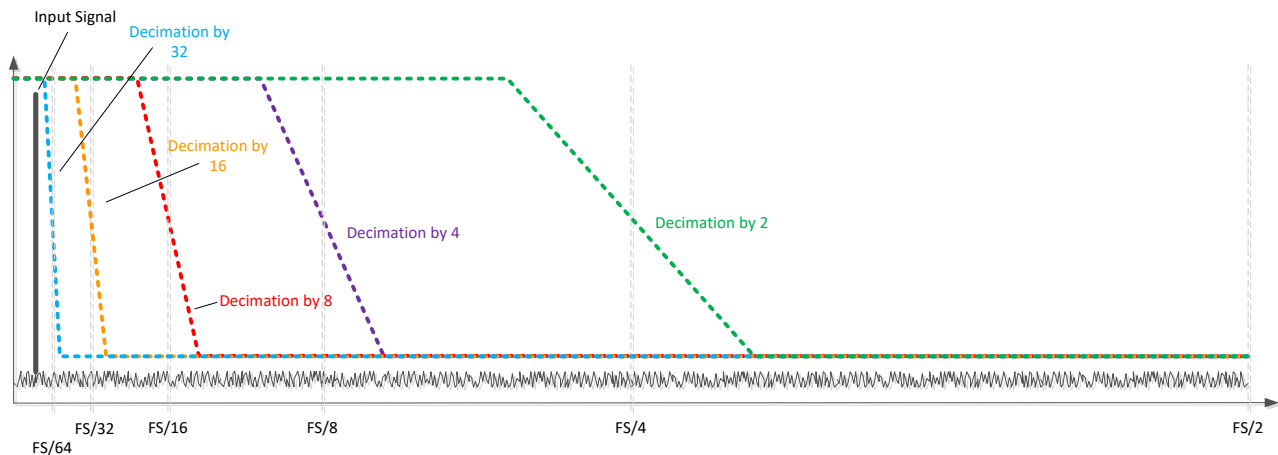


图 7-18. 实时抽取图示，

7.3.4.3 FS/4 与实时输出混合

在这种模式下，复数抽取后的输出与 FS/4 混合 (FS = 在这种情况下为输出数据速率)。输出不再是以 0Hz 为中心的输入信号的复数输出，而是以两倍的数据速率传输为实数输出，信号以 FS/4 (Fout/4) 为中心，如图 7-19 所示。

在此示例中，使用 8 倍复数抽取。输出数据作为实数输出传输，输出速率为 $F_{out} = FS'/4$ (FS' = ADC 采样率)。输入信号现在以 FS/4 (Fout/4) 或 FS'/16 为中心。

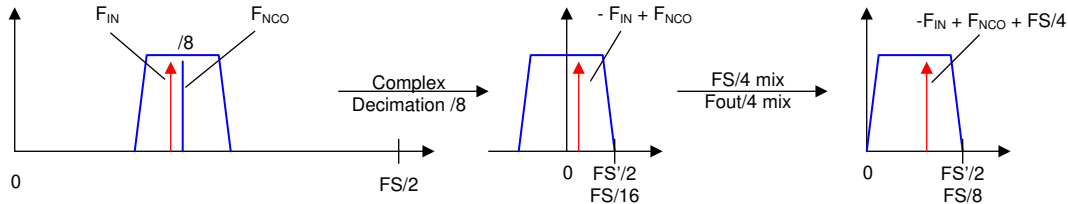


图 7-19. FS/4 与实时输出混合

7.3.4.4 数控振荡器 (NCO) 和数字混频器

抽取块配备了一个 32 位 NCO 和一个数字混频器，用于在数字滤波之前对频率旋转进行微调。振荡器会生成一个复指数序列：

$$e^{j\omega n} \text{ (default) or } e^{-j\omega n}$$

其中：频率 (ω) 通过 32 位寄存器设置指定为有符号数

复指数序列与 ADC 的实数输入相乘，以将所需的载波混合到等于 $f_{IN} + f_{NCO}$ 的频率。NCO 频率可在 $-F_S/2$ 至 $F_S/2$ 范围内进行调节，并以带符号的二进制补码形式处理。对新的 NCO 频率进行编程后，必须切换 MIXER RESTART 寄存器位或 SYNC 引脚，才能使新频率生效。此外，ADC3664-xEP 还通过 SPI 提供反转混频器相位的选项。

NCO 频率设置由 32 位寄存器值设置，计算方式如下：

$$\text{NCO frequency} = 0 \text{ to } +F_S/2: \text{NCO} = f_{NCO} \times 2^{32} / F_S \quad (1)$$

$$\text{NCO frequency} = -F_S/2 \text{ to } 0: \text{NCO} = (f_{NCO} + F_S) \times 2^{32} / F_S \quad (2)$$

其中：

- NCO = NCO 寄存器设置 (十进制值)
- f_{NCO} = 所需的 NCO 频率 (MHz)
- F_S = ADC 采样率 (MSPS)

以下示例进一步说明了 NCO 编程过程：

- ADC 采样率 $F_S = 125\text{MSPS}$
- 输入信号 $f_{IN} = 10\text{MHz}$
- 所需输出频率 $f_{OUT} = 0\text{MHz}$

对于此示例，实际上有四种方法可以对 NCO 进行编程并实现所需的输出频率，如表 7-1 所示。

表 7-1. NCO 值计算示例

别名或负数图像	f_{NCO}	NCO 值	混合器相位	f_{OUT} 的频率转换
$f_{IN} = -10\text{MHz}$	$f_{NCO} = 10\text{MHz}$	343597384	原样	$f_{OUT} = f_{IN} + f_{NCO} = -10\text{MHz} + 10\text{MHz} = 0\text{MHz}$
$f_{IN} = 10\text{MHz}$	$f_{NCO} = -10\text{MHz}$	4638564680		$f_{OUT} = f_{IN} + f_{NCO} = 10\text{MHz} + (-10\text{MHz}) = 0\text{MHz}$

表 7-1. NCO 值计算示例 (续)

别名或负数图像	f_{NCO}	NCO 值	混合器相位	f_{OUT} 的频率转换
$f_{\text{IN}} = 10\text{MHz}$	$f_{\text{NCO}} = 10\text{MHz}$	343597384	反	$f_{\text{OUT}} = f_{\text{IN}} - f_{\text{NCO}} = 10\text{MHz} - 10\text{MHz} = 0\text{MHz}$
$f_{\text{IN}} = -10\text{MHz}$	$f_{\text{NCO}} = -10\text{MHz}$	4638564680		$f_{\text{OUT}} = f_{\text{IN}} - f_{\text{NCO}} = -10\text{MHz} - (-10\text{MHz}) = 0\text{MHz}$

7.3.4.5 抽取滤波器

ADC3664-xEP 支持 2 倍、4 倍、8 倍、16 倍和 32 倍的复数抽取，通带带宽约为 80%，阻带抑制至少为 85dB。
表 7-2 概述了不同抽取设置相对于 ADC 采样率 F_S 的通带带宽。在实时抽取模式下，输出带宽是复杂带宽的一半。

表 7-2. 抽取滤波器摘要和最大可用输出带宽

实数/复数抽取	抽取设置 N	输出速率	输出带宽	输出速率 ($F_S = 125\text{MSPS}$)	输出带宽 ($F_S = 125\text{MSPS}$)
复数	2	$F_S / 2$ 复数	$0.8 \times F_S / 2$	62.5MSPS 复频率	50MHz
	4	$F_S / 4$ 复数	$0.8 \times F_S / 4$	31.25MSPS 复频率	25MHz
	8	$F_S / 8$ 复数	$0.8 \times F_S / 8$	15.625MSPS 复频率	12.5MHz
	16	$F_S / 16$ 复数	$0.8 \times F_S / 16$	7.8125MSPS 复频率	6.25MHz
	32	$F_S / 32$ 复数	$0.8 \times F_S / 32$	3.90625MSPS 复频率	3.125MHz
实数	2	$F_S / 2$ 实时	$0.4 \times F_S / 2$	62.5MSPS	25MHz
	4	$F_S / 4$ 实时	$0.4 \times F_S / 4$	31.25MSPS	12.5MHz
	8	$F_S / 8$ 实时	$0.4 \times F_S / 8$	15.625MSPS	6.25MHz
	16	$F_S / 16$ 实时	$0.4 \times F_S / 16$	7.8125MSPS	3.125MHz
	32	$F_S / 32$ 实时	$0.4 \times F_S / 32$	3.90625MSPS	1.5625MHz

抽取滤波器响应归一化为 ADC 采样时钟频率 F_S ，如 图 7-21 至 图 7-30 所示。其说明如下：

每张图都包含滤波器通带、过渡带和混叠或阻带，如 图 7-20 所示。x 轴显示了归一化为 ADC 采样率 F_S 的偏移频率（经过 NCO 频率偏移后）。

例如，在 4 分频复数设置中，输出数据速率为 $F_S/4$ 复数，奈奎斯特区域为 $F_S/8$ 或 $0.125 \times F_S$ 。过渡带（蓝色）以 $0.125 \times F_S$ 为中心，混叠过渡带以 $0.375 \times F_S$ 为中心。阻带（红色）在通带顶部混叠，以 $0.25 \times F_S$ 和 $0.5 \times F_S$ 为中心。阻带衰减大于 85dB。

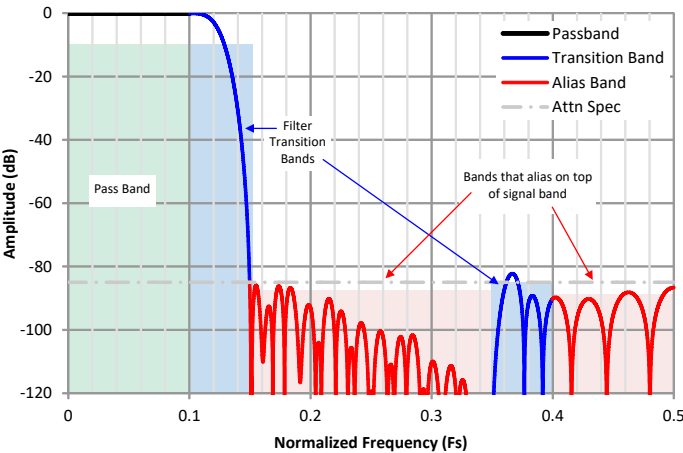


图 7-20. 抽取滤波器图的解释

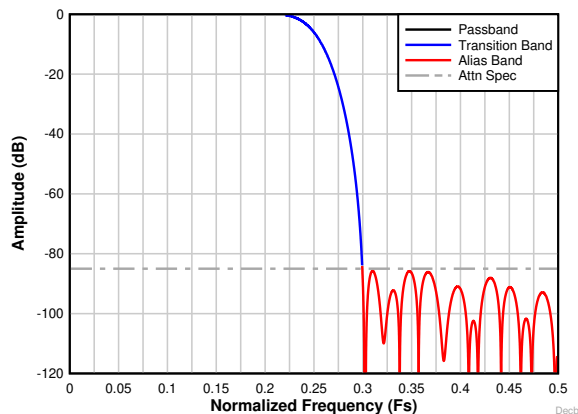


图 7-21. 2 倍复杂抽取率频率响应

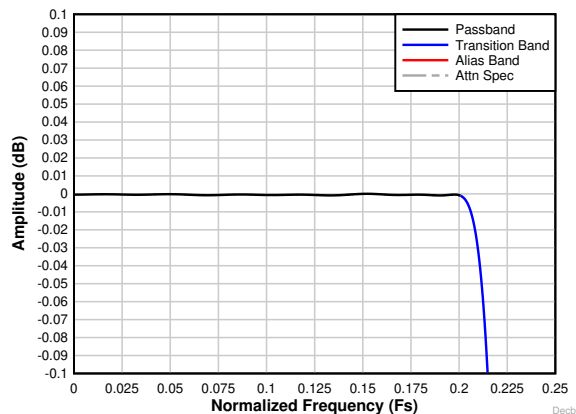


图 7-22. 2 倍复杂抽取率通带纹波响应

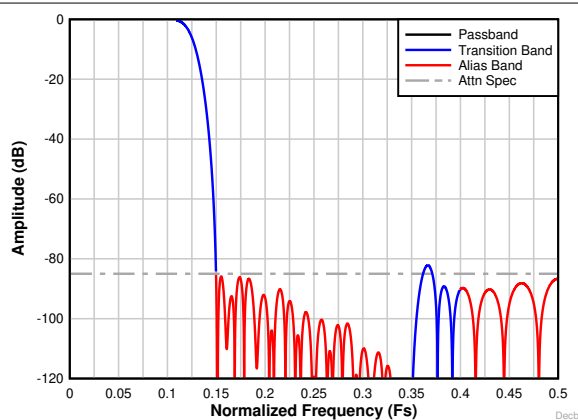


图 7-23. 4 倍复杂抽取率频率响应

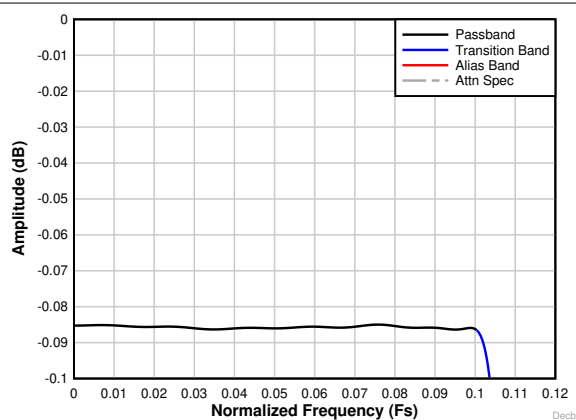


图 7-24. 4 倍复杂抽取率通带纹波响应

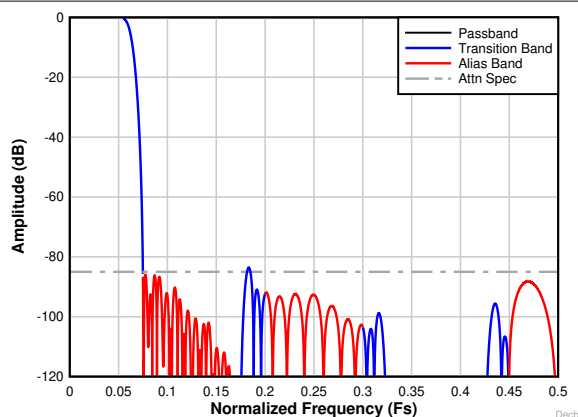


图 7-25. 8 倍复杂抽取率频率响应

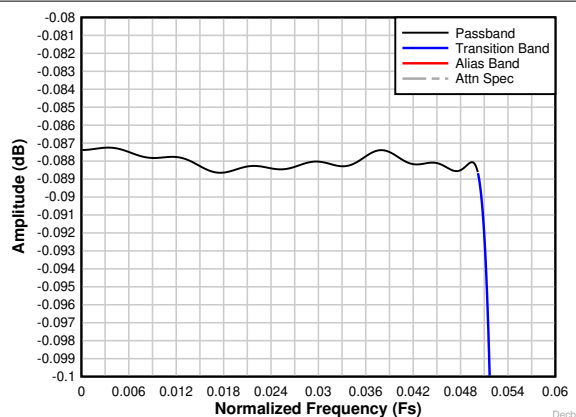


图 7-26. 8 倍复杂抽取率通带纹波响应

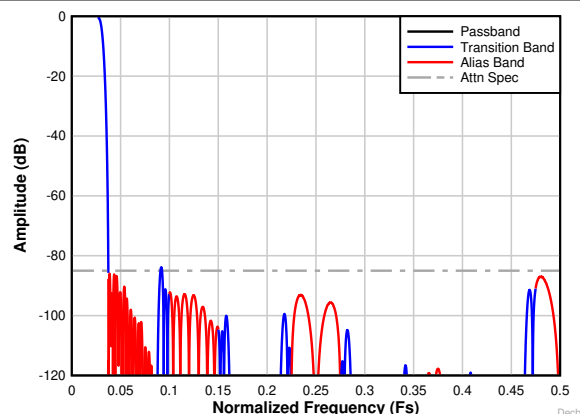


图 7-27. 16 倍复杂抽取率频率响应

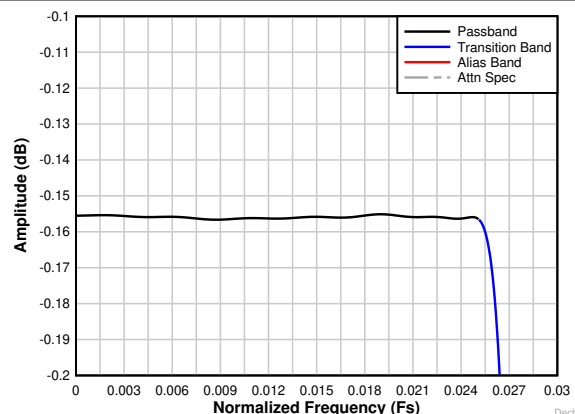


图 7-28. 16 倍复杂抽取率通带纹波响应

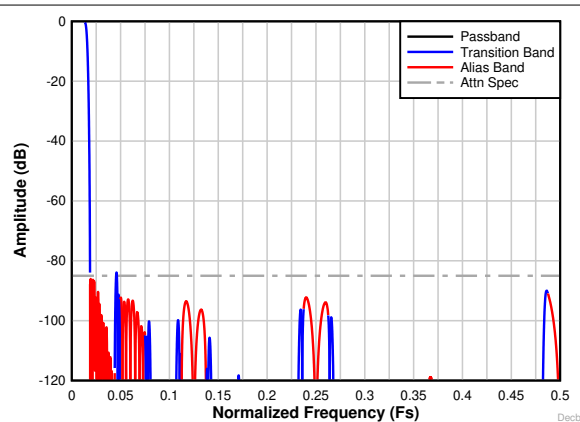


图 7-29. 32 倍复杂抽取率频率响应

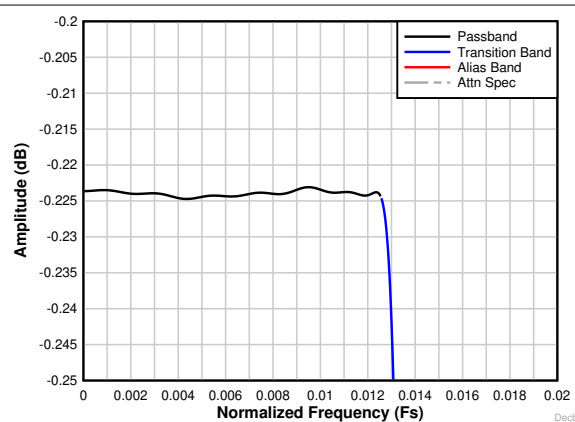


图 7-30. 32 倍复杂抽取率通带纹波响应

7.3.4.6 SYNC

PDN/SYNC 引脚用于通过外部 SYNC 信号同步多个器件。PDN/SYNC 引脚通过 SPI (SYNC EN 位) 从掉电配置为同步功能，并通过采样时钟的上升沿锁存，如 图 7-31 所示。

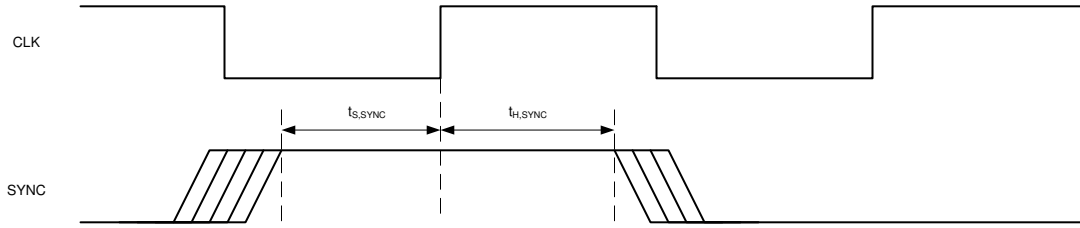


图 7-31. 外部 SYNC 时序图

仅在 (通过使用 SPI SYNC 寄存器或 PDN/SYNC 引脚) 使用抽取滤波器时，才需要同步信号。重置抽取滤波器中使用的内部时钟分频器，并使内部时钟以及同一采样中的 I 和 Q 数据对齐。如果未提供 SYNC 信号，则内部时钟分频器不同步，这可能导致不同器件之间出现小数延迟。SYNC 信号也会复位 NCO 相位，并加载新的 NCO 频率 (与 MIXER RESTART 位相同)。

尝试在操作过程中重新同步时，SYNC 切换发生在 $64 \cdot K$ 个时钟周期，其中 K 是一个整数。这提供了时钟分频器的相位连续性。

7.3.4.7 带抽取因子的输出格式

使用抽取时，输出数据的格式如 图 7-32 和 图 7-33 所示。显示的示例为 2 线 (8 倍串行化)、1 线 (16 倍串行化) 和 1/2 线 (32 倍串行化) 的 16 位输出。

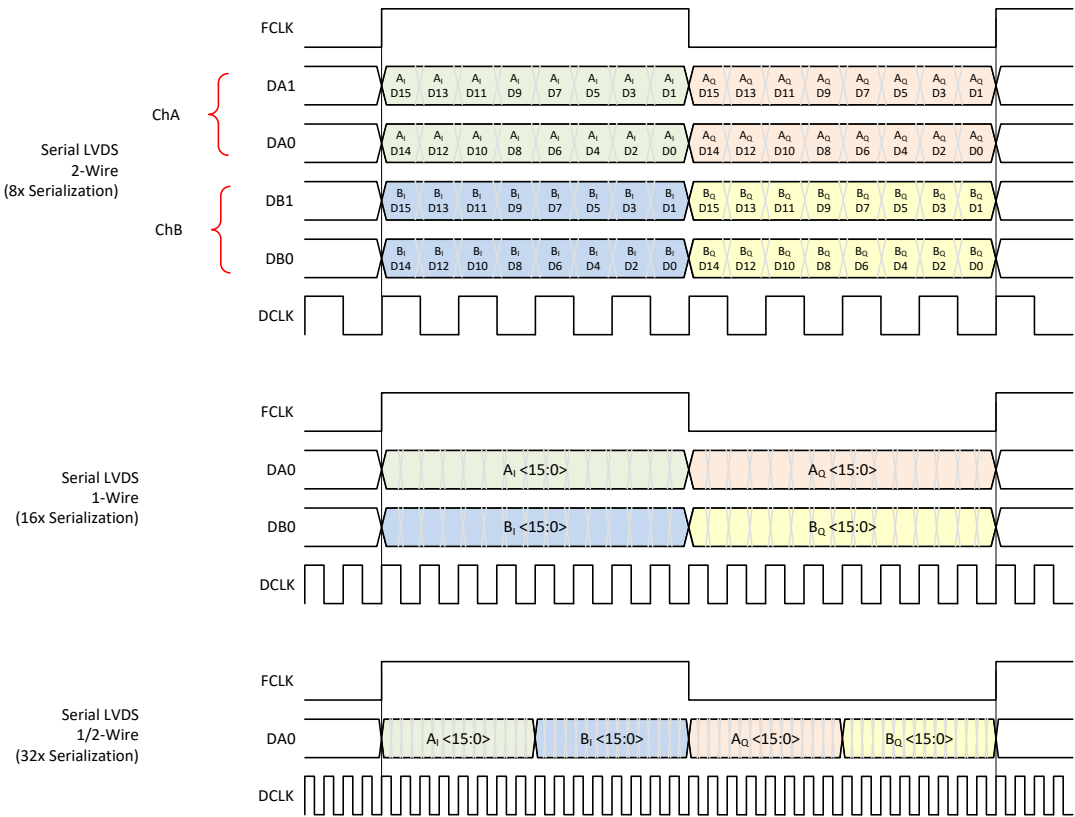


图 7-32. 复数抽取中的输出数据格式

表 7-3 展示了基于输出分辨率 (R)、SLVDS 线路数量 (L) 和复数抽取设置 (N) 的输出接口数据速率以及相应的 DCLK/DCLKIN 和 FCLK 频率。

该表显示了 2 线、1 线和 1/2 线接口、16 位输出分辨率以及 4 倍复数抽取的实际线路速率示例。

表 7-3. 具有实际抽取和 16 位输出分辨率的串行 LVDS 通道速率示例

抽取设置	ADC 采样速率	输出分辨率	电线数量	FCLK	DCLKIN、DCLK	DA/B0,1
N	F_S	R	L	F_S / N	$[DA/B0,1] / 2$	$F_S \times 2 \times R / L / N$
4	125MSPS	16	2	31.25MHz	250MHz	500MHz
			1		500MHz	1000MHz
	55MSPS		1/2	15.625MHz	50MHz	1000MHz

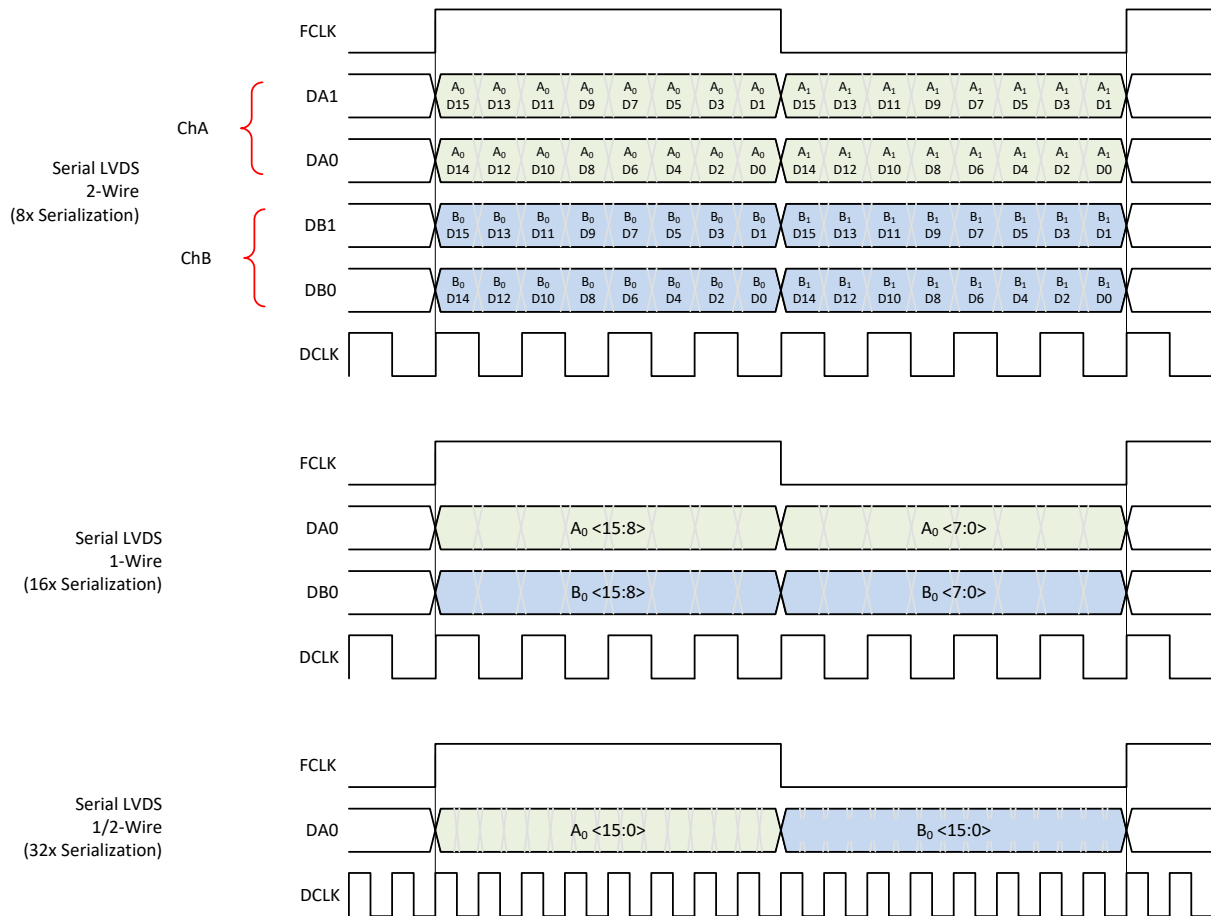


图 7-33. 实数抽取中的输出数据格式

表 7-4 展示了基于输出分辨率 (R)、SLVDS 线路数 (L) 和实数抽取设置 (M) 的输出接口数据速率以及相应的 DCLK/DCLKIN 和 FCLK 频率。

该表显示了 2 线、1 线和 1/2 线接口、16 位输出分辨率以及实际抽取 4 的实际线路速率示例。

表 7-4. 具有实时抽取和 16 位输出分辨率的串行 LVDS 通道速率示例

抽取设置	ADC 采样速率	输出分辨率	电线数量	FCLK	DCLKIN, DCLK	DA/DB _{0,1}
M	F _S	R	L	$F_S / M / 2$ (L = 2) F_S / M (L = 1, 1/2)	[DA/DB _{0,1}] / 2	F _S × R / L / M
4	125MSPS	16	2	15.625MHz	125MHz	250MHz
			1	31.25MHz	250MHz	500MHz
			1/2		500MHz	1000MHz

7.3.5 数字接口

串行 LVDS 接口支持 2 线、1 线和 1/2 线操作的数据输出。实际数据输出速率取决于输出分辨率和使用的线路数。

ADC3664-xEP 需要一个外部串行 LVDS 时钟输入 (DCLKIN)，用于将数据与数据时钟 (DCLK) 一起从 ADC 发出。DCLKIN 与采样时钟之间的相位关系无关紧要，但两个时钟都需要频率锁定。SLVDS 接口通过 SPI 寄存器写入进行配置。

7.3.5.1 输出格式器

数字输出接口使用灵活的输出位映射器 (图 7-34)。位映射器直接从 ADC 或数字滤波器块获取 14 位输出，然后将分辨率重新格式化为 14 位、16 位、18 位或 20 位。输出串行化因子会根据 2 线、1 线和 1/2 线接口模式相应进行调整。无论输出分辨率和串行化因子如何，都不能超过最大输出数据速率。

在非抽取模式下使用 16 位或更高的输出分辨率时，2 个 LSB 设置为 0。

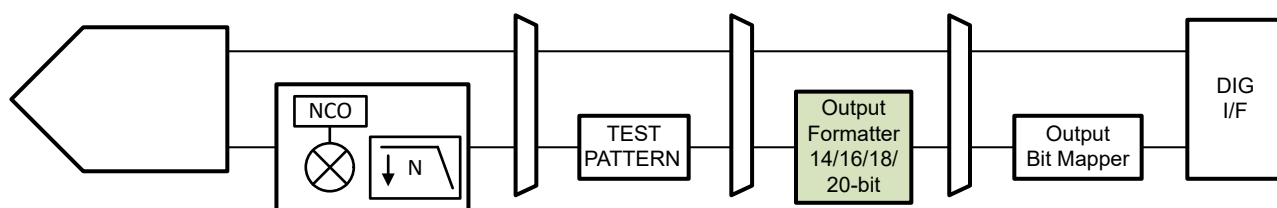


图 7-34. 接口输出位映射器

表 7-5 根据输出分辨率和输出模式对生成的串行化因子进行了概述。请注意：DCLKIN 频率也需要进行相应调整。例如，将输出分辨率更改为 16 位，2 线模式会导致 $DCLKIN = F_S * 4$ ，而不是 $* 3.5$ 。

输出位映射器用于旁路和抽取滤波器。

表 7-5. 不同输出模式的串行化因子与输出分辨率间的关系

输出分辨率	接口	SERIALIZATION	FCLK	DCLKIN	DCLK	D0/D1
14 位 (默认值)	2 线	7x	$F_S/2$	$F_S * 3.5$	$F_S * 3.5$	$F_S * 7$
	1 线	14x	F_S	$F_S * 7$	$F_S * 7$	$F_S * 14$
	1/2 线	28x	F_S	$F_S * 14$	$F_S * 14$	$F_S * 28$
16 位	2 线	8x	$F_S/2$	$F_S * 4$	$F_S * 4$	$F_S * 8$
	1 线	16x	F_S	$F_S * 8$	$F_S * 8$	$F_S * 16$
	1/2 线	32x	F_S	$F_S * 16$	$F_S * 16$	$F_S * 32$
18 位	2 线	9x	$F_S/2$	$F_S * 4.5$	$F_S * 4.5$	$F_S * 9$
	1 线	18x	F_S	$F_S * 9$	$F_S * 9$	$F_S * 18$
	1/2 线	36x	F_S	$F_S * 18$	$F_S * 18$	$F_S * 36$
20 位	2 线	10x	$F_S/2$	$F_S * 5$	$F_S * 5$	$F_S * 10$
	1 线	20x	F_S	$F_S * 10$	$F_S * 10$	$F_S * 20$
	1/2 线	40x	F_S	$F_S * 20$	$F_S * 20$	$F_S * 40$

输出接口/模式配置 中显示了将输出接口和/或分辨率从默认设置更改为其他设置的编程序列。

7.3.5.2 输出位映射器

输出位映射器允许更改任何选定接口模式的输出位顺序。

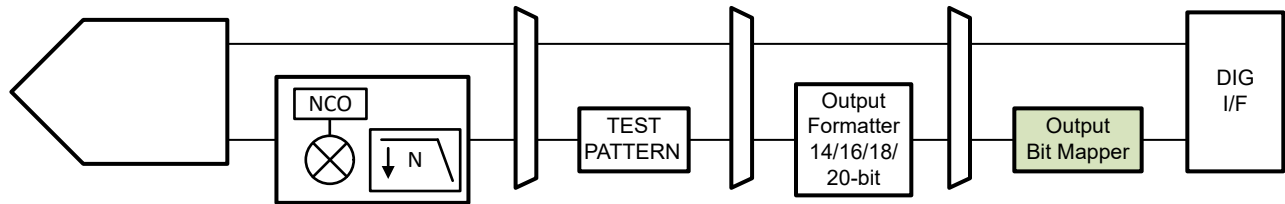


图 7-35. 输出位映射器

可以使用两步流程，更改输出位映射和组装输出数据总线：

1. 输出通道 A 和 B 都可以具有高达 20 位的输出。任何一个通道的每个输出位都有一个唯一标识符位，如 表 7-6 所示。MSB 从 D19 位开始（取决于所选的输出分辨率），LSB 为 D6（14 位）到 D0（20 位）。仅在 2 线模式下需要 上一个样本。
2. 然后使用位映射器组装输出样本。以下各节详细介绍了如何重新映射串行输出格式。

表 7-6. 每个数据位的唯一标识符

位	通道 A		通道 B	
	上个样本 (仅限 2w)	当前样本	上个样本 (仅限 2w)	当前样本
D19 (MSB)	0x2D	0x6D	0x29	0x69
D18	0x2C	0x6C	0x28	0x68
D17	0x27	0x67	0x23	0x63
D16	0x26	0x66	0x22	0x62
D15	0x25	0x65	0x21	0x61
D14	0x24	0x64	0x20	0x60
D13	0x1F	0x5F	0x1B	0x5B
D12	0x1E	0x5E	0x1A	0x5A
D11	0x1D	0x5D	0x19	0x59
D10	0x1C	0x5C	0x18	0x58
D9	0x17	0x57	0x13	0x53
D8	0x16	0x56	0x12	0x52
D7	0x15	0x55	0x11	0x51
D6	0x14	0x54	0x10	0x50
D5	0x0F	0x4F	0x0B	0x4B
D4	0x0E	0x4E	0x0A	0x4A
D3	0x0D	0x4D	0x09	0x49
D2	0x0C	0x4C	0x08	0x48
D1	0x07	0x47	0x03	0x43
D0 (LSB)	0x06	0x46	0x02	0x42

在串行输出模式下，需要将数据位（具有唯一标识符）分配给串行输出流中的每个位置。每个通道总共有 40 个可用地址。通道 A 的地址范围为 0x39 到 0x60，通道 B 的地址范围为 0x61 到 0x88。使用复数抽取时，输出位映射器同时应用于 “I” 和 “Q” 样本。

7.3.5.2.1 2 线模式

在此模式下，当前样本和上一个样本都必须在地地址空间中使用，如图 7-36 所示。对于 14 位/18 位和 16 位/20 位分辨率，地址顺序是不同的。

备注

对于分辨率小于 20 位（灰色背景）的样本，样本之间存在未使用的地址，如果未使用，则跳过这些地址。

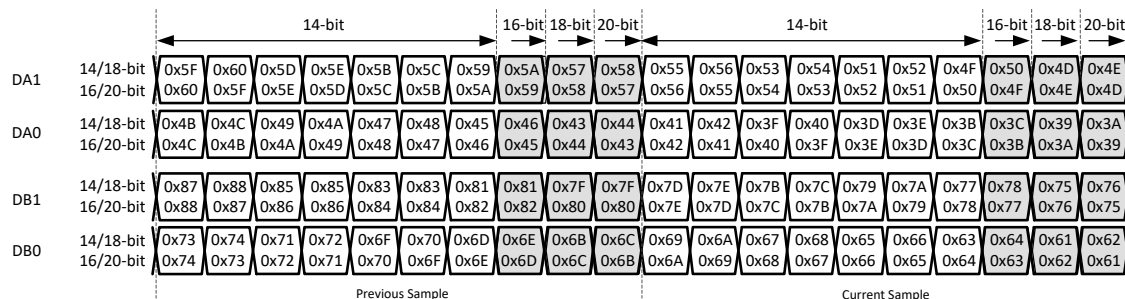


图 7-36. 2 线输出位映射器

在以下示例中（图 7-37），16 位 2 线串行输出被重新排序，其中线路 DA1/DB1 承载 8 个 MSB，线路 DA0/DB0 承载 8 个 LSB。

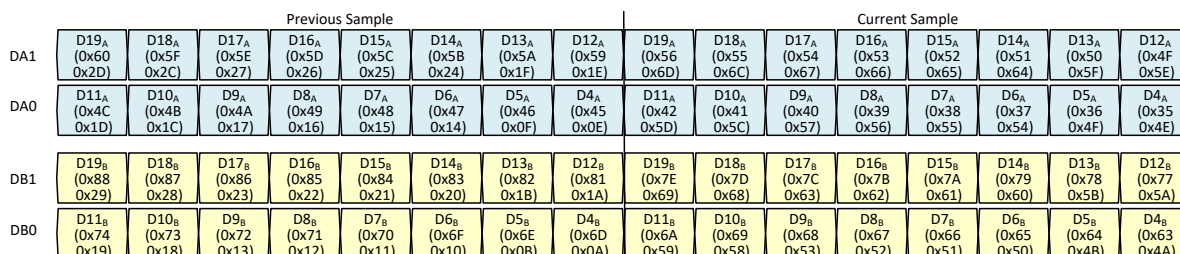


图 7-37. 示例：2 线输出位映射

7.3.5.2.2 1 线模式

只需要将当前采样编程到地址空间中。如果需要，当前样本也会在 DA1/DB1 上复制（使用下面显示的地址），以获得冗余输出。如果线路 DA1/DB1 上电。



图 7-38. 1 线输出位映射

7.3.5.2.3 1/2 线模式

输出仅为线路 DA0，采样顺序被编程到 chA 的 40 个地址中（从 0x39 到 0x60）。包括 2 个采样（一个用于 chA，一个用于 chB），如下所示。为了获得冗余输出，还在 DB0 上进行了复制（使用图 7-39 中显示的地址）。在这种情况下，线路 DB0 上电。

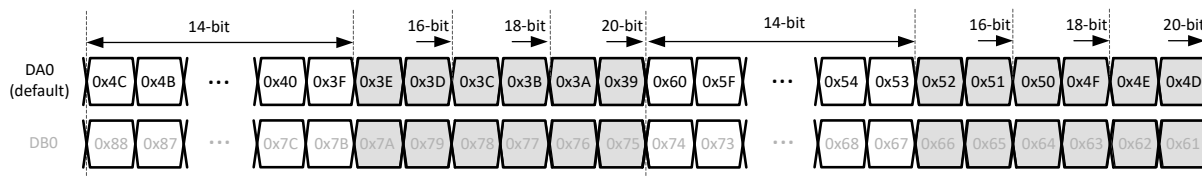


图 7-39. 1/2 线输出位映射

7.3.5.3 输出接口和模式配置

以下序列总结了用于更改输出接口和/或启用抽取滤波器的所有相关寄存器。步骤 1 和 2 必须首先执行，因为电子保险丝负载会重置 SPI 写入，其余步骤可以按任何顺序执行。

表 7-7. 更改接口或抽取的配置步骤

STEP	特性	地址	说明					
1	输出接口	0x07	根据分辨率和输出接口选择输出接口位映射。					
			输出分辨率		2 线	1 线	1/2 线	
			14 位		0x2B	0x6C	0x8D	
			16 位		0x4B			
			18 位		0x2B			
			20 位		0x4B			
2		0x13	使用电子保险丝加载程序 (0x13, D0) 加载输出接口位映射。将寄存器 0x13 编程为 0x01，等待约 1 毫秒，以便正确加载位映射，然后将 0x13 编程为 0x00。					
3		0x19	根据旁路/抽取率和使用的线路数配置 FCLK 频率。					
			旁路/抽取	SLVDS	FCLK SRC (D7)	FCLK DIV (D4)	TOG FCLK (D0)	
			旁路/实抽取	2 线	0	1	0	
				1 线	0	0	0	
				1/2 线	0	0	0	
			复数抽取	2 线	1	0	0	
				1 线	1	0	0	
				1/2 线	0	0	1	
4		0x1B	使用位映射器 (D5-D3) 选择输出接口分辨率。					
5		0x20 0x21 0x22	为抽取选择 FCLK 模式，以便获得适当的帧时钟占空比输出。					
			输出分辨率	2 线	1 线	1/2 线		
	实际抽取		14 位	使用默认值	0xFE000	使用默认值		
			16 位		0xFF000			
			18 位		0xFF800			
			20 位		0xFFC00			
	复数抽取		14 位	使用默认值	0xFFFFF	0xFFFFF		
			16 位					
			18 位					
			20 位					
	6		0x39..0x60 0x61..0x88	根据需要更改 chA 和 chB 的输出位映射。这也适用于默认接口选择。				
	7		抽取滤波器	0x24	启用抽取滤波器			
8	0x25	配置抽取滤波器						
9	0x2A/B/C/D 0x31/2/3/4	对复数抽取的 NCO 频率进行编程 (不适用于实数抽取)						
10	0x27 0x2E	配置复杂输出数据流 (将两个位设置为 0 以实际抽取)						
		SLVDS			OP-Order (D4)	Q-Delay (D3)		
		2 线			1	0		
		1 线			0	1		
		1/2 线			1	1		
11	0x26	设置混合器增益并切换混合器复位位以更新 NCO 频率。						

7.3.5.3.1 配置示例

以下是一个分步编程示例，用于将 ADC3664-xEP 配置为 8 倍复数抽取，采用 1 线 SLVDS 和 16 位输出。

1. 0x07 (地址) 0x6C (加载具有 1 线 SLVDS 的 16 位输出的位映射器配置)
2. 0x13 0x01, 等待 1 毫秒, 0x13 0x00 (加载电子保险丝)
3. 0x19 0x80 (配置 FCLK)
4. 0x1B 0x88 (选择 16 位输出分辨率)
5. 0x20 0xFF、0x21 0xFF、0x22 0x0F (配置 FCLK 模式)
6. 0x24 0x06 (启用抽取滤波器)
7. 0x25 0x30 (配置 8 倍复数抽取)
8. 0x2A/B/C/D 和 0x31/32/33/34 (编程 NCO 频率)
9. 0x27/0x2E 0x08 (配置 Q-Delay 寄存器位)
10. 0x26 0xAA、0x26 0x88 (将数字混频器增益设置为 6dB 并切换混频器更新)

7.3.5.4 输出数据格式

输出数据通过 SPI 寄存器写入 (寄存器 0x8F 和 0x92) 配置为二进制补码 (默认) 或偏移二进制格式。表 7-8 概述了这两种格式选项的最小和最大输出代码。实际输出分辨率由输出位映射器设置。

表 7-8. 不同格式下最小和最大输出代码与输出分辨率间的关系概述

分辨率 (位)	二进制补码 (默认)		偏移二进制	
	14	16	14	16
$V_{IN,MAX}$	0x1FFF	0x7FFF	0x3FFF	0xFFFF
0	0x0000		0x2000	0x8000
$V_{IN,MIN}$	0x2000	0x8000	0x0000	

7.3.6 测试图形

为了实现数字接口的电路内测试，通过 SPI 寄存器写入 (0x14/0x15/0x16) 支持并启用以下测试模式。测试图形发生器位于抽取滤波器之后，如 图 7-40 所示。在抽取模式 (实数和复数) 下，测试图形会取代 DDC 的输出数据；但是，通道 A 控制着两个通道的测试图形。

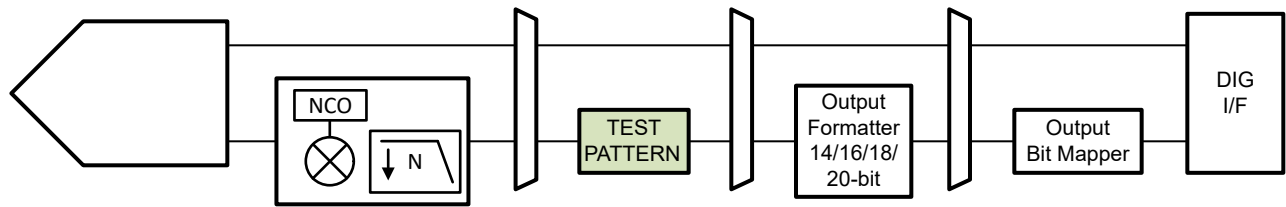


图 7-40. 测试图形发生器

- 斜坡模式：步长需要根据 ADC 的原生分辨率在自定义 PAT 寄存器中进行配置。选择更高的输出分辨率时，在 RAMP 模式下，额外的 LSB 仍为 0。
 - 00001：18 位输出分辨率
 - 00100：16 位输出分辨率
 - 10000：14 位输出分辨率
- 自定义模式：在自定义 PAT 寄存器中配置

7.4 器件功能模式

7.4.1 正常运行

在正常操作模式下，整个 ADC 满量程范围会转换为具有 14 位分辨率的数字输出。对于数字输出，在低至 1 个时钟周期内即可提供输出。

7.4.2 断电选项

可通过 SPI 以及使用断电引脚 (PDN/SYNC) 启用全局断电模式。PDN/SYNC 输入引脚上有一个内部下拉 21k Ω 电阻，并且该引脚为高电平有效，因此必须将该引脚外部拉高才能进入全局掉电模式。

SPI 寄存器映射提供了直接或通过 PDN 引脚掩码启用或禁用单个模块的功能，以便权衡功耗与唤醒时间，如表 7-9 所示。

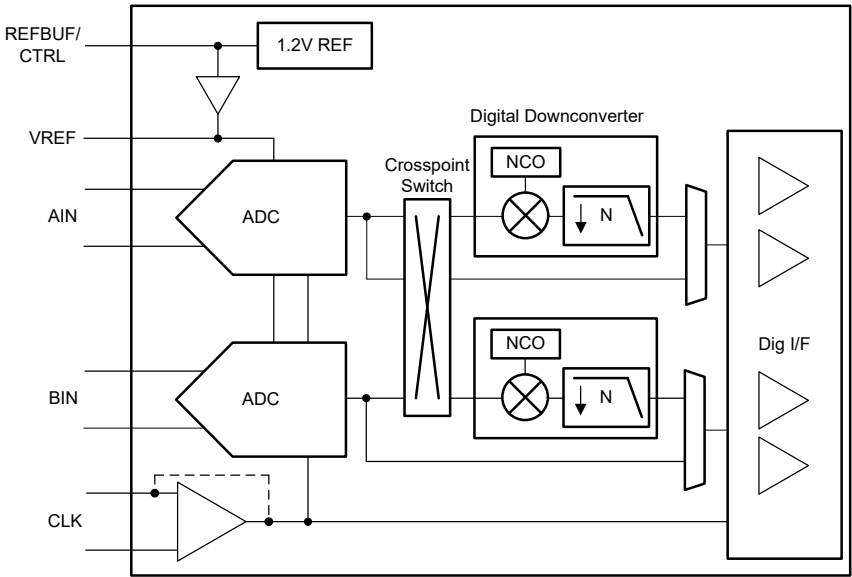


图 7-41. 断电配置

表 7-9. 断电选项概述

功能/寄存器	通过 SPI 的 PDN	全局 PDN 的掩码	功能-默认	功率影响	唤醒时间	注释
ADC	是	-	启用			两个 ADC 通道都自动包含在全局 PDN 中
基准增益放大器	是	是	启用	大约 0.4mA	~3 μ s	应仅在断电状态下断电。
内部 1.2V 基准	是		外部基准	大约 1-3.5mA	大约 3ms	可以通过 SPI 和 REFBUF/CTRL 引脚选择内部/外部参考。
时钟缓冲器	是		差分时钟	大约 1mA	不适用	与差分相比，单端时钟输入节省大约 1mA。可以通过 REFBUF/CTRL 引脚进行一些编程。
输出接口驱动器	是	-	启用	不尽相同	不适用	根据输出接口模式，未使用的输出驱动器将断电，以更大限度地节省功耗
抽取滤波器	是	-	禁用	请参阅电气表	不适用	

7.5 编程

该器件主要使用串行编程接口 (SPI) 进行配置和控制。但是，该器件可以在默认配置下运行，无需 SPI 接口。可以通过引脚控制 (PDN/SYNC 和 REFBUF/CTRL 引脚) 实现掉电功能和内部或外部基准配置。

备注

断电命令 (通过 PIN 或 SPI) 仅在存在 ADC 采样时钟时生效。

初始上电后，默认操作配置如表 7-10 所示。

表 7-10. 上电后的默认器件配置

特性	默认值
信号输入	差分
时钟输入	差分
参考	外部
抽取	DDC 旁路
接口	2 线
输出格式	二进制补码

7.5.1 仅使用 PIN 引脚的配置

使用 REFBUF/CTRL 引脚选择 ADC 电压基准。即使有一个内部 100k Ω 上拉电阻连接到 AVDD，REFBUF/CTRL 引脚也应设置为外部电压而不是悬空。当使用分压器设置 REFBUF/CTRL 电压 (图 7-42 中的 R1 和 R2) 时，应使用 < 5k Ω 的电阻值。

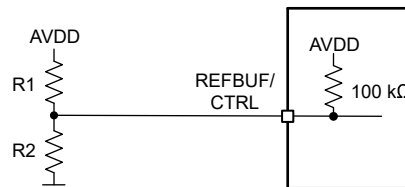


图 7-42. REFBUF/CTRL 引脚上的外部电压配置

表 7-11. REFBUF/CTRL 电压电平控制电压基准选择

REFBUF/CTRL 电压	电压基准选项	时钟选项
>1.7V (默认值)	外部基准	差分时钟输入
1.2V (1.15-1.25V)	REFBUF/CTRL 引脚上使用内部增益缓冲器的外部 1.2V 输入	差分时钟输入
0.5 至 0.7V	内部基准	差分时钟输入
< 0.1V	内部基准	单端时钟输入

7.5.2 使用 SPI 接口的配置

该器件具有一组内部寄存器，这些寄存器可以通过 SEN (串行接口使能)、SCLK (串行接口时钟) 和 SDIO (串行接口数据输入/输出) 引脚构成的串行接口进行访问。当 SEN 为低电平时，支持将位串行移入器件中。当 SEN 处于低电平有效状态时，串行数据输入在每个 SCLK 上升沿锁存。当 SEN 为低电平时，串行数据在每 24 个 SCLK 上升沿加载到寄存器中。当字长超过 24 位的倍数时，超出的位会被忽略。数据可以在单个有效 SEN 脉冲内，以 24 位字的整数倍加载。该接口可以在从 12MHz 到低速 (几赫兹) 的 SCLK 频率下工作，并且还可以在非 50% 的 SCLK 占空比下工作。

7.5.2.1 寄存器写入

可以按照以下步骤对内部寄存器进行编程：

1. 将 SEN 引脚驱动为低电平
2. 将 R/W 位设置为 0 (16 位地址的 A15 位)，并将地址字段中的 A[14:12] 位设置为 0。
3. 通过指定要写入内容的寄存器地址 (A[11:0])，启动一个串行接口周期，以及
4. 写入在 SCLK 上升沿锁存的 8 位数据

图 7-43 显示了串行寄存器写入操作的时序要求。

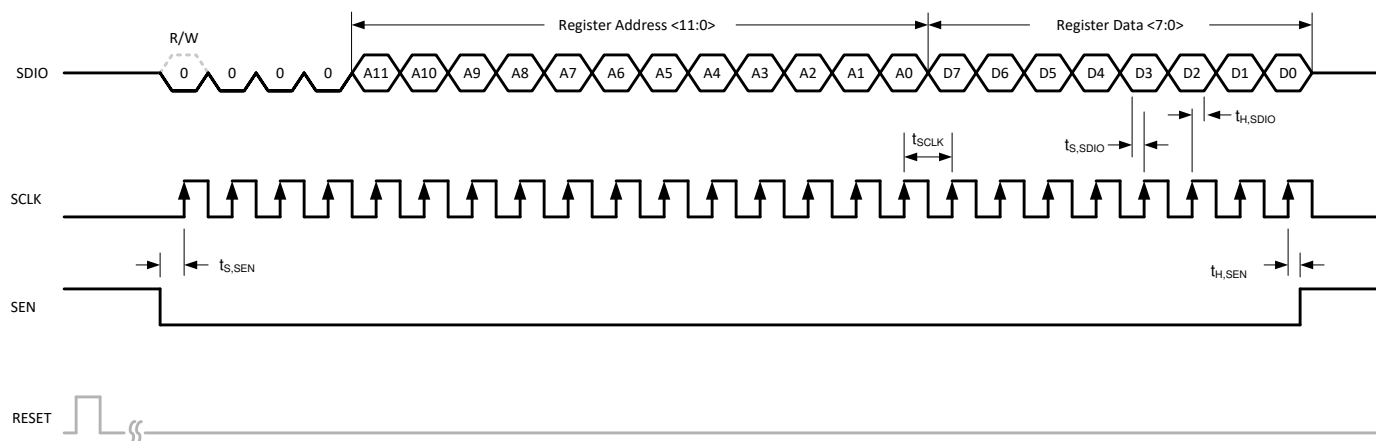


图 7-43. 串行寄存器写入时序图

7.5.2.2 寄存器读取

该器件包含可使用 SDIO 引脚回读内部寄存器内容的模式。该回读模式可用作诊断检查，以验证外部控制器和 ADC 之间的串行接口通信。读取串行寄存器内容的过程如下：

1. 将 SEN 引脚驱动为低电平
2. 将 R/W 位 (A15) 设置为 1。该设置会禁用对寄存器的任何进一步写入。将地址字段中的 A[14:12] 设置为 0。
3. 启动串行接口周期，指定必须读取其内容的寄存器地址 (A[11:0])
4. 该器件在 SCLK 下降沿将所选寄存器的内容 (D[7:0]) 发送到 SDIO 引脚
5. 外部控制器可以在 SCLK 上升沿上捕获内容

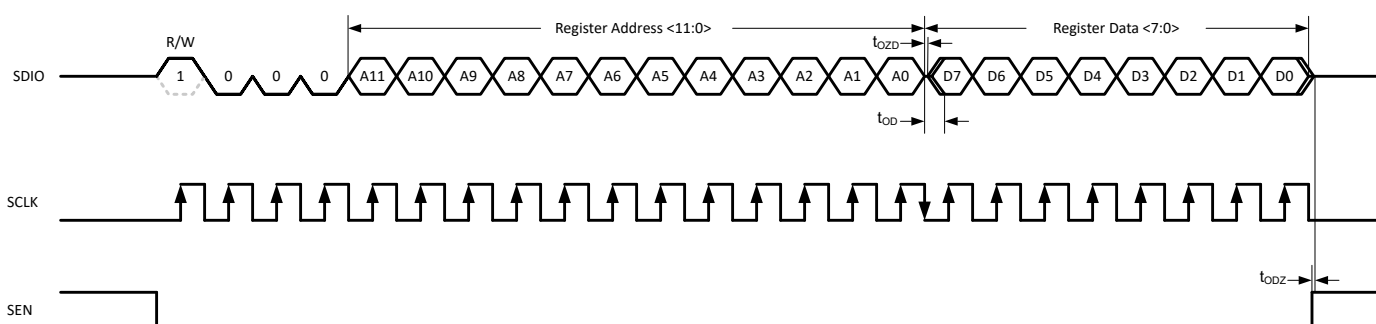


图 7-44. 串行寄存器读取时序图

8 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

频谱分析仪是 ADC3664-xEP 的一种典型频域应用，其前端电路类似于软件定义无线电 (SDR)、声纳、雷达或通信系统等其他几个系统。某些应用需要包括直流或近直流的频率覆盖范围（例如，声纳），本示例中包含了该要求。

(3)

8.2 典型应用

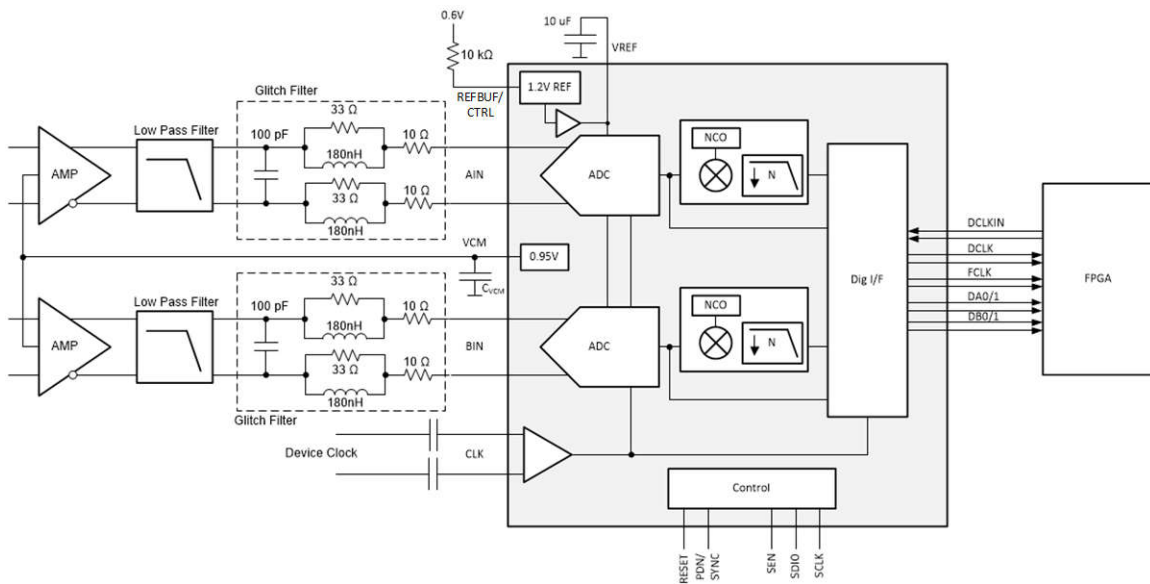


图 8-1. 带有直流支持的频谱分析仪的典型配置

8.2.1 设计要求

频域应用涵盖宽频率范围，包含从第一奈奎斯特区域中的直流或接近直流的低输入频率到更高奈奎斯特区域中的欠采样频率。如果支持低输入频率，则必须对输入进行直流耦合，并且 ADC 由全差分放大器 (FDA) 驱动。如果不需要低频支持，则交流耦合和使用平衡-非平衡变压器可能更合适。

不需要直流精度，因此会使用内部基准。不过，ADC 交流性能在很大程度上取决于外部时钟源的质量。如果可能存在带内干扰，则 ADC SFDR 性能也是一个关键问题。要放宽外部抗混叠滤波器，需要使用更高的 ADC 采样率。随后使用内部抽取滤波器来降低数字输出速率。

表 8-1. 设计主要考虑因素

特性	说明
信号带宽	直流到 30MHz
输入驱动器	单端至差分信号转换和直流耦合
时钟源	低抖动外部时钟

在设计放大器/滤波器驱动电路时，需要考虑 ADC 输入满量程电压。例如，ADC3664-xEP 输入满量程为 3.2Vpp。当考虑滤波器约 1dB 的插入损耗时，该放大器需要提供接近 3.6Vpp 的电压。放大器失真性能随着输出摆幅的增大而降低。考虑到 ADC 共模输入电压，放大器可能无法提供全摆幅。ADC3664-xEP 器件提供 0.95V 的输出共模电压，而 THS4541 只能在其负电源的 250mV 范围内摆动。单极 3.3V 放大器电源将最大电压摆幅限制在约 2.8Vpp。因如果需要更大的输出摆幅（考虑到滤波器插入损耗），则需要为放大器提供负电源来消除该限制。此外，需要输入电压保护二极管来保护 ADC 免受过压事件的影响。

表 8-2. THS4541 的输出电压摆幅与电源间的关系

器件	最小输出电压	在 3.3V/0V 电源下的最大摆幅	在 3.3V/-1V 电源下的最大摆幅
THS4541	VS- + 250mV	2.8Vpp	6.8Vpp

8.2.2 详细设计过程

8.2.2.1 输入信号路径

THS4541 提供了良好的低功耗选项来驱动 ADC 输入。表 8-3 概述了 THS4541 以及功耗和可用频率。

表 8-3. 全差分放大器选项

器件	每通道电流 (IQ)	可用频率范围
THS4541	10mA	< 70MHz

低通滤波器设计（拓扑、滤波器阶数）由应用本身决定。然而，在设计低通滤波器时，也应考虑放大器的最佳负载阻抗。在低通滤波器和 ADC 输入之间，还需要添加采样干扰滤波器，如节 7.3.1.2.1 所示。本例中选择了 DC - 30MHz 干扰滤波器。

8.2.2.2 采样时钟

以低输入频率（例如 DC 到 30MHz）工作的应用通常对时钟抖动导致的性能下降不太敏感。内部 ADC 孔径抖动随着上升和下降时间（即方波与正弦波）缩短而得到改善。表 8-4 概述了基于外部时钟源不同抖动量的 ADC3664-xEP 的估计信噪比性能。SNR 基于 77.5dBFS 的 ADC3664-xEP 热噪声和 -1dBFS 的输入信号进行估算。

对于长时钟布线，需要考虑时钟输入端接。

表 8-4. 不同外部时钟抖动量下 ADC 信噪比性能随输入频率的变化情况

输入频率	T _{J,EXT} = 100fs	T _{J,EXT} = 250fs	T _{J,EXT} = 500fs	T _{J,EXT} = 1ps
10MHz	77.4	77.4	77.3	76.8
20MHz	77.3	77.2	76.7	75.1
30MHz	77.1	76.8	75.8	73.2

8.2.2.3 电压基准

通过向 REFBUF/CTRL 引脚施加 0.6V 电压，将 ADC3664-xEP 配置为内部基准操作。

8.2.3 应用曲线

以下 FFT 图显示了在满量程输入 -1dBFS，输入频率为 5、10 和 20MHz 的条件下，THS4541 驱动 ADC3664-xEP 在 125MSPS 下工作时的性能。

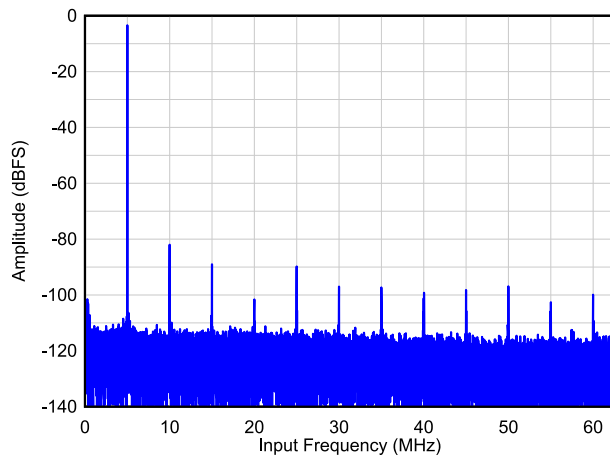


图 8-2. $F_{IN} = 5\text{MHz}$ 时的单音 FFT

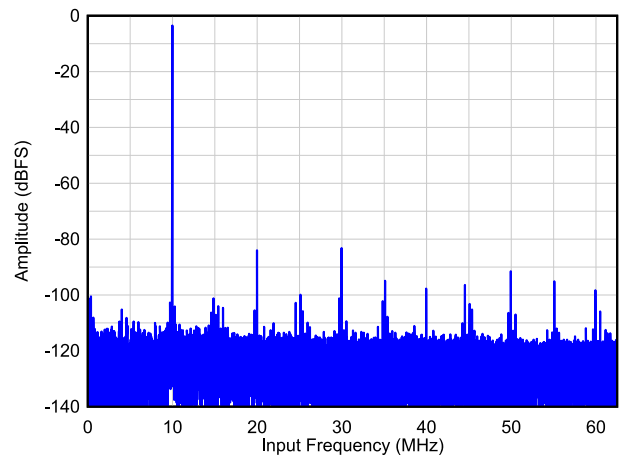


图 8-3. $F_{IN} = 10\text{MHz}$ 时的单音 FFT

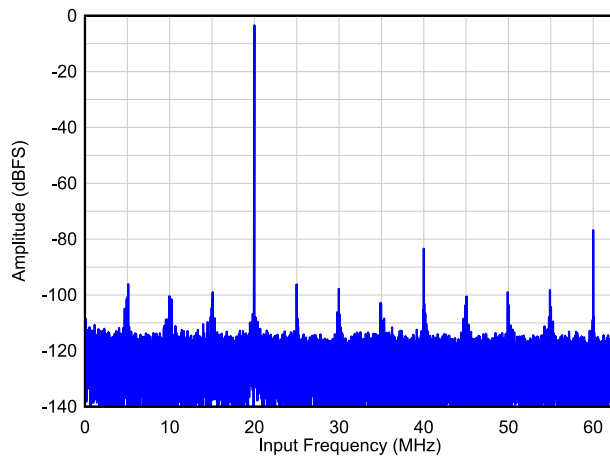


图 8-4. $F_{IN} = 20\text{MHz}$ 时的单音 FFT

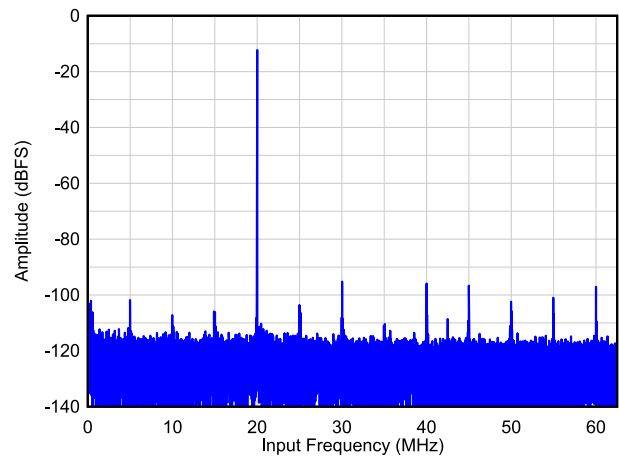


图 8-5. $F_{IN} = 20\text{MHz}$ 时的单音 FFT

8.3 初始化设置

上电后，必须通过在 RESET 引脚上施加高脉冲进行硬件复位，将内部寄存器初始化为默认值，如 图 8-6 所示。

1. 施加 AVDD 和 IOVDD (无需特定顺序)。施加 AVDD 后，内部带隙基准上电并在大约 2ms 内稳定下来。
2. 配置 REFBUF/CTRL 引脚 (即使稍后通过 SPI 进行配置，拉高或拉低)，并应用采样时钟。
3. 进行硬件复位。硬件复位释放后，将从内部保险丝加载默认寄存器，并启动内部上电电容器校准。该校准大约需要 200000 个时钟周期。
4. 使用 SPI 接口开始编程。

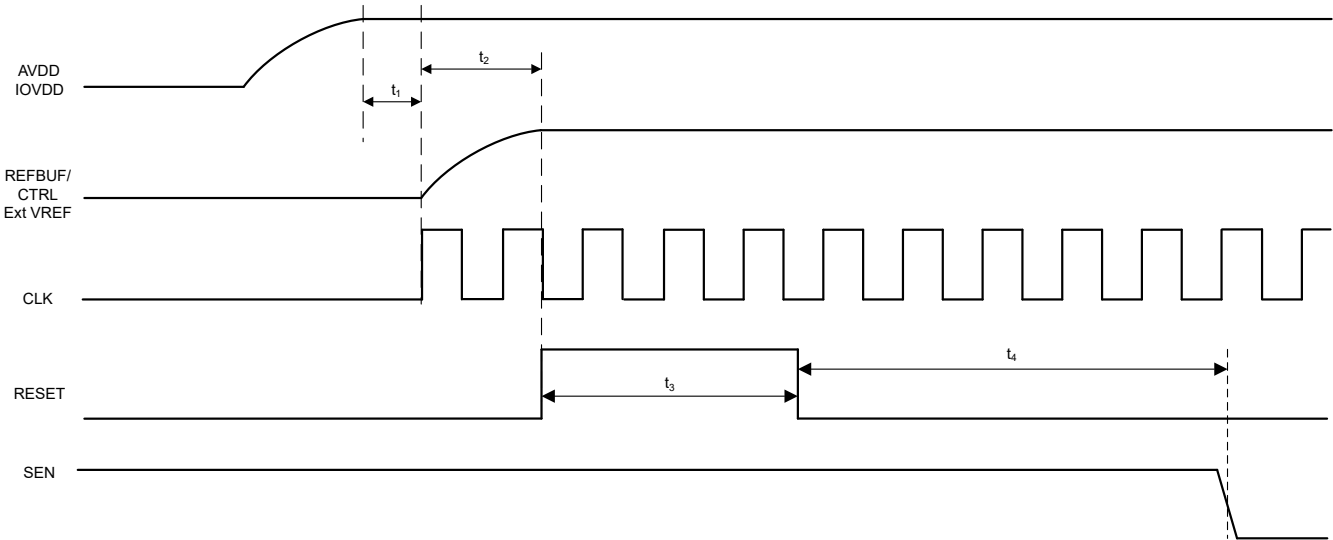


图 8-6. 上电后串行寄存器的初始化

表 8-5. 上电时序

	最小值	典型值	最大值	单位
t_1 上电延迟：从上电到 REFBUF/CTRL 引脚逻辑电平的延迟	2			ms
t_2 从 REFBUF/CTRL 引脚逻辑电平到 RESET 上升沿的延迟	100			ns
t_3 RESET 脉冲宽度	1			us
t_4 从 RESET 禁用到 SEN 有效的延迟	大约 200000			时钟周期

8.3.1 运行期间寄存器初始化

如果需要，可以在运行期间通过下列方式将串行接口寄存器清零并复位为默认设置：

- 硬件复位；或者
- 应用软件复位。使用串行接口时，将 RESET 位 (寄存器地址 0x00 中的 D0) 设置为高电平。该设置会将内部寄存器初始化为默认值，然后将 RESET 位自行复位为低电平。在这种情况下，RESET 引脚会保持低电平。

硬件或软件复位后，也需要等待约 200000 个时钟周期，才能对 SPI 寄存器进行编程。

8.4 电源相关建议

ADC3664-xEP 需要两个不同的电源。AVDD 电源轨为内部模拟电路和 ADC 供电，而 IOVDD 电源轨为数字接口和内部数字电路（如抽取滤波器或输出接口映射器）供电。不需要电源时序。

AVDD 电源必须具有低噪声才能实现数据表性能。在接近直流运行的应用中，还需要考虑电源的 $1/f$ 噪声贡献。该 ADC 专为实现出色的 PSRR 而设计，有助于进行电源滤波器设计。

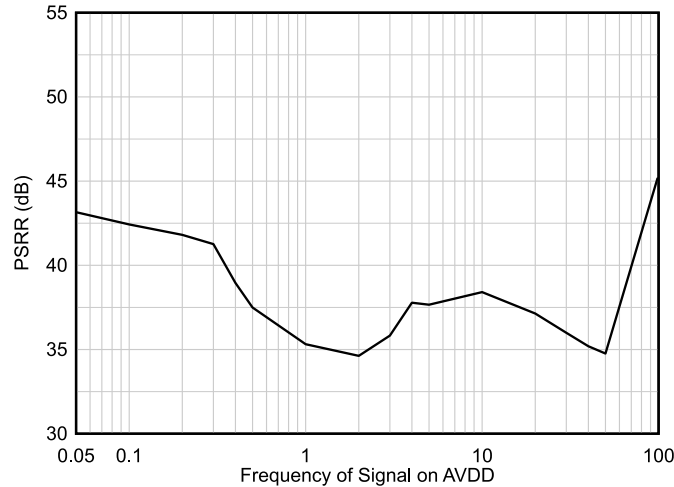


图 8-7. 电源抑制比 (PSRR) 与频率间的关系

推荐的电源架构包括以下两种：

1. 使用高效开关转换器进行降压，然后使用低噪声 LDO 进行第二级稳压，从而降低开关噪声并提高电压精度。
2. 使用高效开关转换器直接降低最终的 ADC 电源电压。该方法可提供出色的效率，但必须注意确保尽可能降低开关噪声，以防止 ADC 性能下降。

TI WEBENCH® Power Designer 用于选择和设计所需的各个电源元件：请参阅 WEBENCH® Power Designer

为第一级推荐的开关稳压器包括 TPS7H4010-SEP 和类似器件。

推荐的低压降 (LDO) 线性稳压器包括 TPS73801-SEP、TPS7H1111-SEP 以及类似器件。

对于仅开关稳压器的方法，纹波滤波器必须设计为与直流/直流转换器的开关纹波频率一致的陷波频率。注意：WEBENCH® 报告的开关频率，并设计 EMI 滤波器和电容器组合，以使陷波频率根据需要居中。图 8-8 和图 8-9 展示了这两种方法。

AVDD 和 IOVDD 电源电压不应共享，以防止数字开关噪声耦合到模拟信号链中。

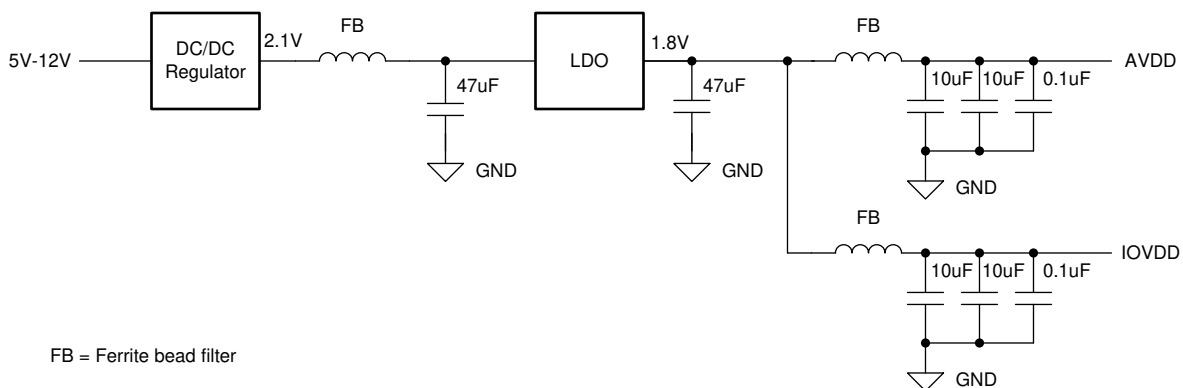


图 8-8. 示例：LDO 线性稳压器方法

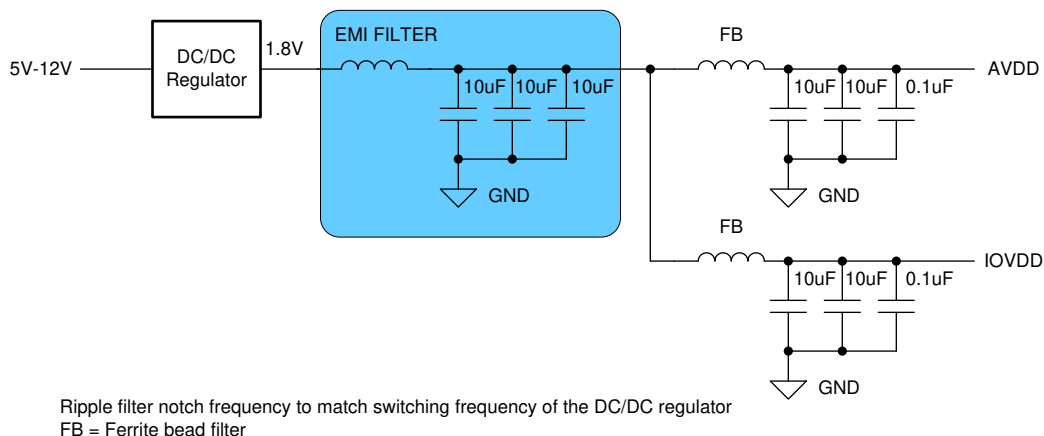


图 8-9. 仅开关方法示例

8.5 布局

8.5.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入和时钟信号
 - 布线应尽可能短，并应尽可能避免过孔，以更大限度地减小阻抗不连续性。
 - 应使用松散耦合的 $100\ \Omega$ 差分线路进行布线。
 - 差分布线长度应尽可能匹配，以更大限度地减少相位不平衡和 HD2 下降。
2. 数字输出接口
 - 应使用紧密耦合的 $100\ \Omega$ 差分线路进行布线。
3. 电压基准
 - 旁路电容应尽可能靠近器件引脚放置，并在顶层 VREF 和 REFGND 之间连接，避免使用过孔。
 - 根据配置，建议在 REFBUF/CTRL 和 REFGND 之间增加一个旁路电容，并将其尽可能靠近顶层上的引脚放置。
4. 电源和接地连接
 - 为所有电源和接地引脚提供低电阻连接路径。
 - 使用电源和接地平面而不是布线。
 - 避免使用狭窄的隔离路径，那会增加连接电阻。
 - 使用信号/接地/电源电路板层叠来更大限度地增加接地平面和电源平面之间的耦合。

8.5.2 布局示例

以下屏幕截图显示了 ADC3664EVM 的顶层。

- 信号和时钟输入在顶层以差分信号形式进行布线，避免使用过孔。
- SLVDS 输出接口通道布线为差分且长度匹配
- 旁路电容靠近顶层的 VREF 引脚，避免过孔。

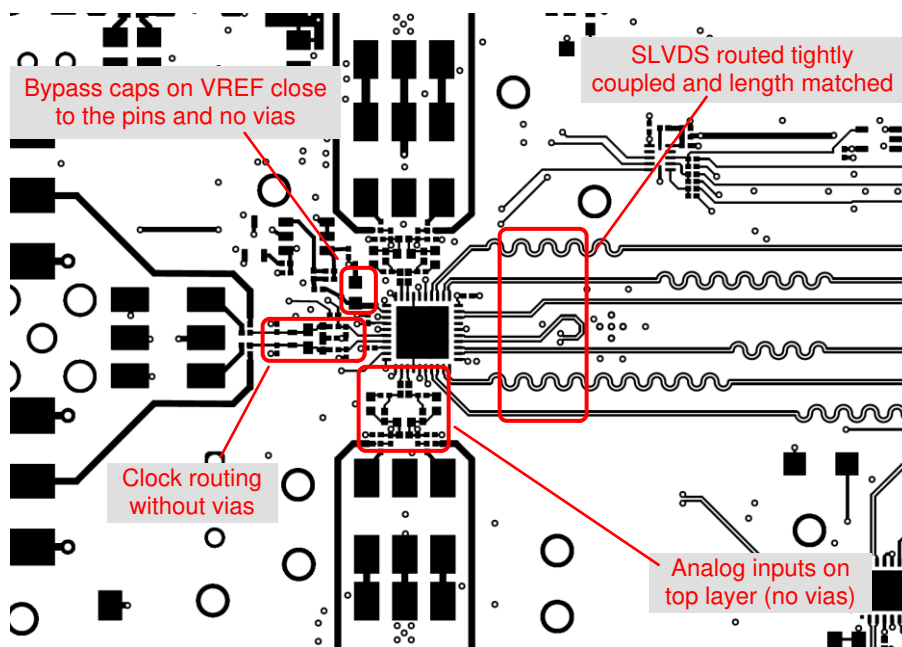


图 8-10. 布局示例：ADC3664EVM 顶层

9 寄存器映射

表 9-1. 寄存器映射摘要

寄存器地址	寄存器数据							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x00	0	0	0	0	0	0	0	复位
0x07	OP IF MAPPER			0	OP IF EN	OP IF SEL		
0x08	0	0	PDN CLKBUF	PDN REFAMP	0	PDN A	PDN B	PDN GLOBAL
0x09	0	0	PDN FCLKOUT	PDN DCLKOUT	PDN DA1	PDN DA0	PDN DB1	PDN DB0
0x0D	0	0	0	0	MASK CLKBUF	MASK REFAMP	MASK BG DIS	0
0x0E	SYNC PIN EN	SPI SYNC	SPI SYNC EN	0	REF CTRL	REF SEL		SE CLK EN
0x11	0	0	SE A	SE B	0	0	0	0
0x13	0	0	0	0	0	0	0	E-FUSE LD
0x14	CUSTOM PAT [7:0]							
0x15	CUSTOM PAT [15:8]							
0x16	TEST PAT B			TEST PAT A			CUSTOM PAT [17:16]	
0x19	FCLK SRC	0	0	FCLK DIV	0	0	0	TOG FCLK
0x1A	0	LVDS ½ 摆幅	0	0	0	0	0	0
0x1B	MAPPER EN	20B EN	BIT MAPPER RES			0	0	0
0x1E	0	0	0	0	LVDS DATA DEL		LVDS DCLK DEL	
0x20	FCLK PAT [7:0]							
0x21	FCLK PAT [15:8]							
0x22	0	0	0	0	FCLK PAT [19:16]			
0x24	0	0	CH AVG EN	DDC 多路复用器		DIG BYP	DDC EN	0
0x25	DDC MUX EN	DECIMATION			REAL OUT	0	0	MIX PHASE
0x26	MIX GAIN A		MIX RES A	FS /4 MIX A	MIX GAIN B		MIX RES B	FS/4 MIX B
0x27	0	0	0	OP ORDER A	Q-DEL A	FS/4 MIX PH A	0	0
0x2A	NCO A [7:0]							
0x2B	NCO A [15:8]							
0x2C	NCO A [23:16]							
0x2D	NCO A [31:24]							
0x2E	0	0	0	OP ORDER B	Q-DEL B	FS/4 MIX PH B	0	0
0x31	NCO B [7:0]							
0x32	NCO B [15:8]							
0x33	NCO B [23:16]							
0x34	NCO B [31:24]							
0x39..0x60	OUTPUT BIT MAPPER CHA							
0x61..0x88	OUTPUT BIT MAPPER CHB							
0x8F	0	0	0	0	0	0	FORMAT A	0
0x92	0	0	0	0	0	0	FORMAT B	0

9.1 寄存器详细说明

图 9-1. 寄存器 0x00

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	复位
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-2. 寄存器 0x00 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0
0	复位	R/W	0	该位会将所有内部寄存器复位为默认值并自行清零。

图 9-2. 寄存器 0x07

7	6	5	4	3	2	1	0
OP IF MAPPER			0	OP IF EN	OP IF SEL		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-3. 寄存器 0x07 字段说明

位	字段	类型	复位	说明
7-5	OP IF MAPPER	R/W	000	输出接口映射器。该寄存器包含不同接口的正确输出接口位映射。接口位映射从电子保险丝内部加载，并且还需要保险丝加载命令才能生效 (0x13、D0)。由于电子保险丝加载会重置 SPI 写入，因此需要在编程序列中首先加载寄存器 0x07 以及电子保险丝加载 (0x13、D0)。 初始复位后，默认输出接口变体自动从内部保险丝加载。然而，在读取该寄存器时，它会返回 000，直到使用 SPI 写入一个值。 001 : 2 线，18 和 14 位 010 : 2 线，16 位 011 : 1 线 100 : 0.5 线 其他：未使用
4	0	R/W	0	必须写入 0
3	OP IF EN	R/W	0	启用更改默认输出接口模式 (D2-D0)。
2-0	OP IF SEL	R/W	000	输出接口模式的选择。OP (如果也需要启用 EN (D3))。 初始复位后，默认输出接口自动从内部保险丝加载。然而，在读取该寄存器时，它会返回 000，直到使用 SPI 写入一个值。 011 : 2 线 100 : 1 线 101 : 0.5 线 其他：未使用

图 9-3. 寄存器 0x08

7	6	5	4	3	2	1	0
0	0	PDN CLKBUF	PDN REFAMP	0	PDN A	PDN B	PDN GLOBAL
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-4. 寄存器 0x08 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0
5	PDN CLKBUF	R/W	0	采样时钟缓冲器断电 0：启用时钟缓冲器 1：时钟缓冲器断电
4	PDN REFAMP	R/W	0	内部基准增益放大器断电 0：已启用 REFAMP 1：REFAMP 断电
3	0	R/W	0	必须写入 0
2	PDN A	R/W	0	ADC 通道 A 断电 0：已启用 ADC A。 1：ADC 通道 A 已断电
1	PDN B	R/W	0	将 ADC 通道 B 断电 0：ADC 通道 B 已启用 1：ADC A 和 B 已断电
0	PDN GLOBAL	R/W	0	通过 SPI 全局断电 0：全局电源已禁用 1：全局断电已启用。断电屏蔽 (寄存器 0x0D) 确定哪些内部块会断电。

图 9-4. 寄存器 0x09

7	6	5	4	3	2	1	0
0	0	PDN FCLKOUT	PDN DCLKOUT	PDN DA0	PDN DA1	PDN DB0	PDN DB1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-5. 寄存器 0x09 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0
5	PDN FCLKOUT	R/W	0	帧时钟 (FCLK) LVDS 输出缓冲器断电 0：FCLK 输出缓冲器已启用 1：FCLK 输出缓冲器已断电
4	PDN DCLKOUT	R/W	0	DCLK LVDS 输出缓冲器断电 0：DCLK 输出缓冲器已启用 1：DCLK 输出缓冲器已断电
3	PDN DA1	R/W	0	通道 A 线路 1 的 LVDS 输出缓冲器断电。在 1 线和 1/2 线模式中不会自动断电。 0：DA1 LVDS 输出缓冲器已启用 1：DA1 LVDS 输出缓冲器断电
2	PDN DA0	R/W	0	通道 A 线路 0 的 LVDS 输出缓冲器断电。 0：DA0 LVDS 输出缓冲器已启用 1：DA0 LVDS 输出缓冲器断电
1	PDN DB1	R/W	0	通道 B 线路 1 的 LVDS 输出缓冲器断电。在 1 线和 1/2 线模式中不会自动断电。 0：DB1 LVDS 输出缓冲器已启用 1：DB1 LVDS 输出缓冲器断电

表 9-5. 寄存器 0x09 字段说明 (续)

位	字段	类型	复位	说明
0	PDN DB0	R/W	0	通道 B 线路 0 的 LVDS 输出缓冲器断电。在 1/2 线模式中不会自动断电。 0 : DB0 LVDS 输出缓冲器已启用 1 : DB0 LVDS 输出缓冲器断电

图 9-5. 寄存器 0x0D (PDN GLOBAL MASK)

7	6	5	4	3	2	1	0
0	0	0	0	MASK CLKBUF	MASK REFAMP	MASK BG DIS	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-6. 寄存器 0x0D 字段说明

位	字段	类型	复位	说明
7-4	0	R/W	0	必须写入 0
3	MASK CLKBUF	R/W	0	采样时钟输入缓冲器的全局断电屏蔽码控制。 0 : 执行全局断电时, 时钟缓冲器将断电。 1 : 执行全局断电时, 时钟缓冲器将不会断电。
2	MASK REFAMP	R/W	0	基准放大器的全局断电屏蔽控制。 0 : 执行全局断电时, 基准放大器将断电。 1 : 执行全局断电时, 基准放大器将不会断电。
1	MASK BG DIS	R/W	0	内部 1.2V 带隙电压基准的全局断电屏蔽控制。设置该位会降低全局断电模式下的功耗, 但会增加唤醒时间。请参阅断电选项概述。 0 : 当执行全局断电时, 内部 1.2V 带隙电压基准将不会断电。 1 : 当执行全局断电时, 内部 1.2V 带隙电压基准将断电。
0	0	R/W	0	必须写入 0

图 9-6. 寄存器 0x0E

7	6	5	4	3	2	1	0
SYNC PIN EN	SPI SYNC	SPI SYNC EN	0	REF CTL	REF SEL		SE CLK EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-7. 寄存器 0x0E 字段说明

位	字段	类型	复位	说明
7	SYNC PIN EN	R/W	0	该位控制 SYNC/PDN 引脚的功能。 0：当引脚被拉高时，SYNC/PDN 引脚会运行全局断电模式。 1：SYNC/PDN 引脚在引脚被拉高时发出 SYNC 命令。
6	SPI SYNC	R/W	0	切换该位会使用 SPI 寄存器写入来发出 SYNC 命令。还必须启用使用 SPI 的 SYNC (D5)。该位不会自行复位为 0。 0：正常运行 1：已发出 SYNC 命令。
5	SPI SYNC EN	R/W	0	该位使用 SPI 而不是 SYNC/PDN 引脚来启用同步。 0：使用 SPI 寄存器位同步已禁用。 1：使用启用的 SPI 寄存器位进行同步。
4	0	R/W	0	必须写入 0
3	REF CTL	R/W	0	该位决定 REFBUF/CTRL 引脚控制电压基准选择还是控制 SPI 寄存器 (D2-D1)。 0：REFBUF/CTRL 引脚选择电压基准选项。 1：可使用 SPI (D2-D1) 和 D0 选择单端时钟来选择电压基准。
2-1	REF SEL	R/W	00	选择电压基准选项。REF CTRL (D3) 必须设置为 1。 00：内部基准 01：使用内部基准缓冲器 (REFBUF/CTRL) 的外部电压基准 (1.2V) 10：外部电压基准 11：未使用
0	SE CLK EN	R/W	0	选择单端时钟输入、并将差分采样时钟输入缓冲器断电。REF CTRL (D3) 必须设置为 1。 0：差分时钟输入 1：单端时钟输入

图 9-7. 寄存器 0x11

7	6	5	4	3	2	1	0
0	0	SE A	SE B	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-8. 寄存器 0x11 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0
5	SE A	R/W	0	该位启用单端模拟输入、通道 A。在此模式下，SNR 降低 3dB。 0：差分输入 1：单端输入
4	SE B	R/W	0	该位启用单端模拟输入、通道 B。在此模式下，SNR 降低 3dB。 0：差分输入 1：单端输入
3-0	0	R/W	0	必须写入 0

图 9-8. 寄存器 0x13

7	6	5	4	3	2	1	0
0	0	0	0	0	0		E-FUSE LD
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-9. 寄存器 0x13 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0
0	E-FUSE LD	R/W	0	该寄存器位用于加载不同接口的内部位映射。在寄存器 0x07 中设置接口后，该 E-FUSE LD 位需要设置为 1 并复位为 0 使加载生效。由于电子保险丝加载会重置 SPI 写入，因此需要在编程序列中首先加载寄存器 0x07 以及电子保险丝加载 (0x13、D0)。 0：电子保险丝负载组 1：电子保险丝负载复位

图 9-9. 寄存器 0x14/15/16

7	6	5	4	3	2	1	0
CUSTOM PAT [7:0]							
CUSTOM PAT [15:8]							
TEST PAT B			TEST PAT A			CUSTOM PAT [17:16]	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-10. 寄存器 0x14/15/16 字段说明

位	字段	类型	复位	说明
7-0	CUSTOM PAT [17:0]	R/W	00000000	该寄存器有两个用途： - 它从 MSB 开始设置常量自定义模式 - 它设置 RAMP 模式的增量步长。 00001：18 位 ADC 的 Ramp 模式 00100：16 位 ADC 的 Ramp 模式 10000：14 位 ADC 的 Ramp 模式
7-5	TEST PAT B	R/W	000	启用通道 B 的测试模式输出模式（注意：测试模式在位映射器之前设置，并且基于 ADC 的原始分辨率（从 MSB 开始）。它们以任一输出格式工作。 000：正常输出模式（测试模式输出已禁用） 010：Ramp 模式：需要使用自定义 PAT 寄存器设置适当的增量 011：使用寄存器 0x14/15/16 中的自定义 PAT [17:0] 的常量模式。 其他：未使用
4-2	TEST PAT A	R/W	000	启用通道 A 的测试图形输出模式(注意：测试模式在位映射器之前设置，并且基于 ADC 的原始分辨率（从 MSB 开始）。它们以任一输出格式工作。 000：正常输出模式（测试模式输出已禁用） 010：Ramp 模式：需要使用自定义 PAT 寄存器设置适当的增量 011：使用寄存器 0x14/15/16 中的自定义 PAT [17:0] 的常量模式。 其他：未使用

图 9-10. 寄存器 0x19

7	6	5	4	3	2	1	0
FCLK SRC	0	0	FCLK DIV	0	0	0	TOG FCLK
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-11. 寄存器 0x19 字段说明

位	字段	类型	复位	说明
7	FCLK SRC	R/W	0	用户必须选择 FCLK 信号来自 ADC 还是来自 DDC 块。此处，实际抽取被视为与旁路模式相同 0：从 ADC 生成 FCLK。对于 DDC 旁路、实际抽取模式和 1/2 线复数抽取模式，FCLK SRC 设置为 0。 1：DDC 块生成 FCLK。在复数抽取模式下、仅需要为 2 线和 1 线输出接口模式设置该位，但不需要为 1/2 线模式设置该位。
6-5	0	R/W	0	必须写入 0
4	FCLK DIV	R/W	0	仅在旁路模式（非抽取）下，对于 2 线输出模式，该位才需要设置为 1。 0：除 2 线旁路模式外的所有输出接口模式。 1：2 线输出接口模式。
3-1	0	R/W	0	必须写入 0
0	TOG FCLK	R/W	0	此位适当地调整 FCLK 信号以适应 1/2 线模式，在该模式下，FCLK 会被拉伸以覆盖通道 A 和通道 B。此位仅需要在具有复数抽取模式的 1/2 线模式下设置。 0：所有其他模式。 1：用于 1/2 线复数抽取模式的 FCLK。

表 9-12. FCLK SRC 和 FCLK DIV 寄存器位配置位与串行接口间的配置

旁路/抽取	串行接口	FCLK SRC	FCLK DIV	TOG FCLK
抽取旁路/实际抽取	2 线	0	1	0
	1 线	0	0	0
	1/2 线	0	0	0
复数抽取	2 线	1	0	0
	1 线	1	0	0
	1/2 线	0	0	1

图 9-11. 寄存器 0x1A

7	6	5	4	3	2	1	0
0	LVDS ½ 摆幅	0	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-13. 寄存器 0x1A 字段说明

位	字段	类型	复位	说明
7	0	R/W	0	必须写入 0
6	LVDS ½ 摆幅	R/W	0	此位将 LVDS 输出电流从 3.5mA 降低到 1.75mA，从而降低功耗。
5-0	0	R/W	0	必须写入 0

图 9-12. 寄存器 0x1B

7	6	5	4	3	2	1	0
MAPPER EN	20B EN	BIT MAPPER RES			0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-14. 寄存器 0x1B 字段说明

位	字段	类型	复位	说明
7	MAPPER EN	R/W	0	该位仅在旁路模式下启用更改输出分辨率（包括输出串行化因子）。20 位分辨率输出不需要该位。 0：输出位映射器已禁用。 1：输出位映射器已启用。
6	20B EN	R/W	0	该位启用 20 位输出分辨率，这对于非常高的抽取设置非常有用，因此量化噪声不会影响 ADC 性能。 0：20 位输出分辨率已禁用。 1：20 位输出分辨率已启用。
5-3	BIT MAPPER RES	R/W	000	使用位映射器设置输出分辨率。在旁路模式下运行时，需要启用 MAPPER EN 位 (D6)。 000：18 位 001：16 位 010：14 位 所有其他值、不适用
2-0	0	R/W	0	必须写入 0

表 9-15. 输出位映射器与工作模式的寄存器设置

旁路/抽取	输出分辨率	MAPPER EN (D7)	BIT MAPPER RES (D5-D3)
抽取旁路	分辨率更改	1	000：18 位 001：16 位 010：14 位
实际抽取	分辨率更改（默认 18 位）	0	
复数抽取		0	

图 9-13. 寄存器 0x1E

7	6	5	4	3	2	1	0
0	0	0	0	LVDS DATA DEL		LVDS DCLK DEL	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-16. 寄存器 0x1E 字段说明

位	字段	类型	复位	说明
7-4	0	R/W	0	必须写入 0

表 9-16. 寄存器 0x1E 字段说明 (续)

位	字段	类型	复位	说明
3-2	LVDS DATA DEL	R/W	00	这些位调节 SLVDS 输出数据的输出时序。 00：无延迟 01：数据提前 50ps 10：数据延迟 50ps 11：数据延迟 100ps
1-0	LVDS DCLK DEL	R/W	00	这些位会调整 SLVDS DCLK 输出的输出时序。 00：无延迟 01：DCLK 提前 50ps 10：DCLK 延迟 50ps 11：DCLK 延迟 100ps

图 9-14. 寄存器 0x20/21/22

7	6	5	4	3	2	1	0
FCLK PAT [7:0]							
FCLK PAT [15:8]							
0	0	0	0	FCLK PAT [19:16]			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-17. 寄存器 0x20/21/22 字段说明

位	字段	类型	复位	说明
7-0	FCLK PAT [19:0]	R/W	0xFFC00	这些位可以调整 FCLK 的占空比。在抽取旁路模式下，FCLK 模式会针对不同的输出分辨率自动调整。表 9-18 展示了实际/复数抽取中 1 线和 1/2 线的正确 FCLK 模式值。

表 9-18. 基于接口的不同分辨率的 FCLK 模式

抽取	输出分辨率	2 线	1 线	1/2 线
实数抽取	14 位	使用默认值	0xFE000	使用默认值
	16 位		0xFF000	
	18 位		0xFF800	
	20 位		0xFFC00	
复数抽取	14 位		0xFFFFF	0xFFFFF
	16 位			
	18 位			
	20 位			

图 9-15. 寄存器 0x24

7	6	5	4	3	2	1	0
0	0	CH AVG EN	DDC 多路复用器		DIG BYP	DDC EN	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-19. 寄存器 0x24 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0
5	CH AVG EN	R/W	0	对 ADC 通道 A 和通道 B 的输出求平均值。必须启用 DDC 多路复用并将其设置为 '11'。需要启用抽取滤波器，并将其设置为旁路（全速率输出）或抽取，并将 DIG BYP 设置为 1。 0：通道均值计算功能已禁用 1：对通道 A 和通道 B 的输出求平均值： $(A+B)/2$ 。
4-3	DDC 多路复用器	R/W	0	配置抽取滤波器前面的 DDC 多路复用。 00：ADC 通道 A 连接到 DDC A；ADC 通道 B 连接到 DDC B 01：ADC 通道 A 连接到 DDC A 和 DDC B。 10：ADC 通道 B 连接到 DDC A 和 DDC B。 11：提供给 DDC A 和 DDC B 的 ADC 平均模块的输出（请参阅 CH AVG EN）。
2	DIG BYP	R/W	0	需要设置该位以启用数字特性模块（包括抽取）。 0：数字功能块旁路——最低延迟 1：数据路径包括数字功能
1	DDC EN	R/W	0	为两个通道启用内部抽取滤波器 0：DDC 已禁用。 1：启用 DDC。
0	0	R/W	0	必须写入 0

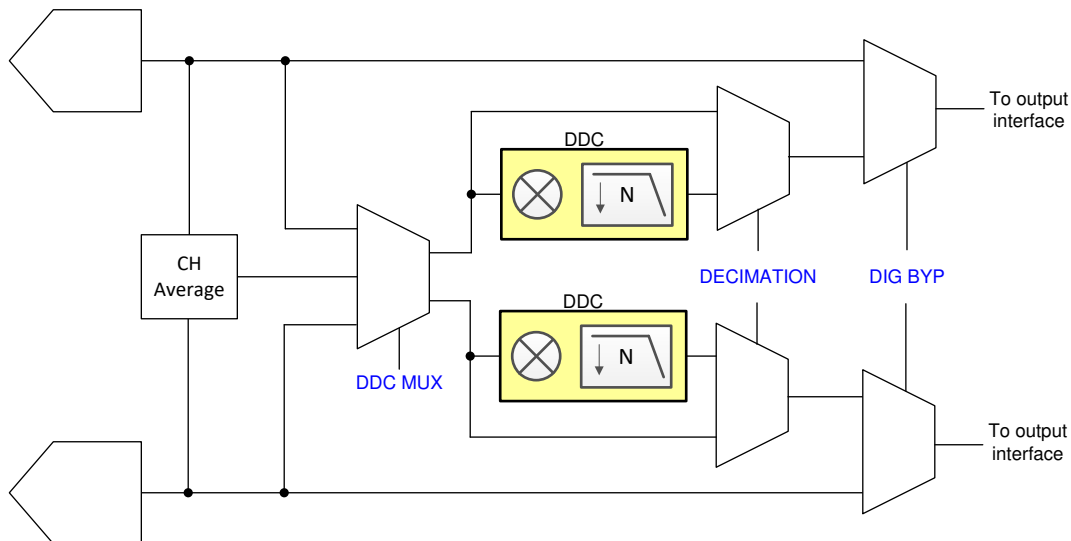


图 9-16. 数字特性的寄存器控制

图 9-17. 寄存器 0x25

7	6	5	4	3	2	1	0
DDC MUX EN	DECIMATION			REAL OUT	0	0	MIX PHASE
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-20. 寄存器 0x25 字段说明

位	字段	类型	复位	说明
7	DDC MUX EN	R/W	0	启用 ADC 与抽取滤波器之间的数字多路复用。为了使寄存器 0x24 (D4, D3) 中的 DDC 多路复用设置生效, 此位必不可少。 0 : DDC 多路复用已禁用 1 : DDC 多路复用已启用
6-4	DECIMATION	R/W	000	复数抽取设置。这适用于两个通道。 000 : 旁路模式 (无抽取) 001 : 抽取 2 010 : 抽取 4 011 : 抽取 8 100 : 抽取 16 101 : 抽取 32 其他 : 未使用
3	REAL OUT	R/W	0	该位选择实际输出抽取。该模式适用于两个通道。在此模式下, 抽取滤波器是低通滤波器, 不会执行复杂混合来降低功耗。为了更最大限度地节省功耗, 在这种情况下, NCO 设置为 0。 0 : 复数抽取 1 : 实际抽取
2-1	0	R/W	0	必须写入 0
0	MIX PHASE	R/W	0	该位用于使 NCO 相位反相 0 : NCO 相位保持原样。 1 : NCO 相位反相。

图 9-18. 寄存器 0x26

7	6	5	4	3	2	1	0
MIX GAIN A		MIX RES A	FS /4 MIX A	MIX GAIN B		MIX RES B	FS/4 MIX B
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-21. 寄存器 0x26 字段说明

位	字段	类型	复位	说明
7-6	MIX GAIN A	R/W	00	此位将 0、3 或 6dB 的数字增益应用于数字混频器的输出, 以补偿通道 A 的混频损耗。 00 : 未添加数字增益 01 : 添加 3dB 数字增益 10 : 添加 6dB 数字增益 11 : 未使用
5	MIX RES A	R/W	0	切换该位会重置通道 A 的 NCO 相位并加载新的 NCO 频率。该位不会自复位。
4	FS /4 MIX A	R/W	0	为 DDC A 启用 FS/4 混合 (仅限复数抽取)。 0 : FS/4 混合已禁用。 1 : FS/4 混合已启用。
3-2	MIX GAIN B	R/W	00	该位向数字混频器的输出应用 0、3 或 6dB 数字增益来补偿通道 B 的混频损耗。 00 : 未添加数字增益 01 : 添加 3dB 数字增益 10 : 添加 6dB 数字增益 11 : 未使用
1	MIX RES B	R/W	0	切换该位会复位通道 B 中的 NCO 相位, 并加载新的 NCO 频率。该位不会自复位。

表 9-21. 寄存器 0x26 字段说明 (续)

位	字段	类型	复位	说明
0	FS/4 MIX B	R/W	0	为 DDC B 启用 FS/4 混频 (仅限复数抽取)。 0 : FS/4 混合已禁用。 1 : FS/4 混合已启用。

图 9-19. 寄存器 0x27

7	6	5	4	3	2	1	0
0	0	0	OP ORDER A	Q-DEL A	FS/4 MIX PH A	0	0
DDC 偏移 A [9:2]							
0	DDC 偏移 A [16:10]						
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-22. 寄存器 0x27 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	OP ORDER A	R/W	0	交换通道 A 的 I 和 Q 输出顺序 0 : 输出顺序为 I[n]、Q[n] 1 : 输出顺序已交换 : Q[n]、i[n]
3	Q-DEL A	R/W	0	这会将通道 A 的 Q 样片输出延迟 1。 0 : 输出顺序为 I[n]、Q[n] 1 : Q 样片延迟 1 个样片 : I[n]、Q[n+1]、I[n+1]、Q[n+2]
2	FS/4 MIX PH A	R/W	0	使用 FS/4 混频器时, 将通道 A 的混频器相位反相 0 : 混频器相位为非反相 1 : 混频器相位已反相
1-0	0	R/W	0	必须写入 0

图 9-20. 寄存器 0x2A/B/C/D

7	6	5	4	3	2	1	0
NCO A [7:0]							
NCO A [15:8]							
NCO A [23:16]							
NCO A [31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-23. 寄存器 0x2A/2B/2C/2D 字段说明

位	字段	类型	复位	说明
7-0	NCO A [31:0]	R/W	0	为抽取滤波器通道 A 设置 32 位 NCO 值。NCO 值为 $f_{\text{NCO}} \times 2^{32}/\text{FS}$ 。 。在实数抽取模式下, 这些寄存器自动设置为 0。

图 9-21. 寄存器 0x2E

7	6	5	4	3	2	1	0
0	0	0	OP ORDER B	Q-DEL B	FS/4 MIX PH B	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-24. 寄存器 0x2E 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	OP ORDER B	R/W	0	交换通道 B 的 I 和 Q 输出顺序 0：输出顺序为 I[n]、Q[n] 1：输出顺序已交换：Q[n]、I[n]
3	Q-DEL B	R/W	0	这会将通道 B 的 Q 样片输出延迟 1。 0：输出顺序为 I[n]、Q[n] 1：Q 样片延迟 1 个样片：I[n]、Q[n+1]、I[n+1]、Q[n+2]
2	FS/4 MIX PH B	R/W	0	使用 FS/4 混频器时，将通道 B 的混频器相位反相 0：混频器相位为非反相 1：混频器相位已反相
1-0	0	R/W	0	必须写入 0

图 9-22. 寄存器 0x31/32/33/34

7	6	5	4	3	2	1	0
NCO B [7:0]							
NCO B [15:8]							
NCO B [23:16]							
NCO B [31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-25. 寄存器 0x31/32/33/34 字段说明

位	字段	类型	复位	说明
7-0	NCO B [31:0]	R/W	0	为抽取滤波器通道 B 设置 32 位 NCO 值。NCO 值为 $f_{NCO} \times 2^{32}/FS$ 。 。在实数抽取模式下，这些寄存器自动设置为 0。

图 9-23. 寄存器 0x39..0x60

7	6	5	4	3	2	1	0
OUTPUT BIT MAPPER CHA							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-26. 寄存器 0x39..0x60 字段说明

位	字段	类型	复位	说明
7-0	OUTPUT BIT MAPPER CHA	R/W	0	这些寄存器用于对输出数据总线进行重新排序。有关如何进行编程，请参阅 节 7.3.5.2。

图 9-24. 寄存器 0x61..0x88

7	6	5	4	3	2	1	0
OUTPUT BIT MAPPER CHB							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-27. 寄存器 0x61..0x88 字段说明

位	字段	类型	复位	说明
7-0	OUTPUT BIT MAPPER CHB	R/W	0	这些寄存器用于对通道 B 的输出数据总线进行重新排序。有关如何进行编程，请参阅节 7.3.5.2。

图 9-25. 寄存器 0x8F

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT A	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-28. 寄存器 0x8F 字段说明

位	字段	类型	复位	说明
7-2	0	R/W	0	必须写入 0
1	FORMAT A	R/W	0	该位设置通道 A 的输出数据格式。数字旁路寄存器位 (0x24、D2) 也需要启用。 0：二进制补码 1：偏移二进制
0	0	R/W	0	必须写入 0

图 9-26. 寄存器 0x92

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT B	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-29. 寄存器 0x92 字段说明

位	字段	类型	复位	说明
7-2	0	R/W	0	必须写入 0
1	FORMAT B	R/W	0	该位设置通道 B 的输出数据格式。数字旁路寄存器位 (0x24、D2) 也需要启用。 0：二进制补码 1：偏移二进制
0	0	R/W	0	必须写入 0

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

PowerPAD™ is a trademark of TI.

TI E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

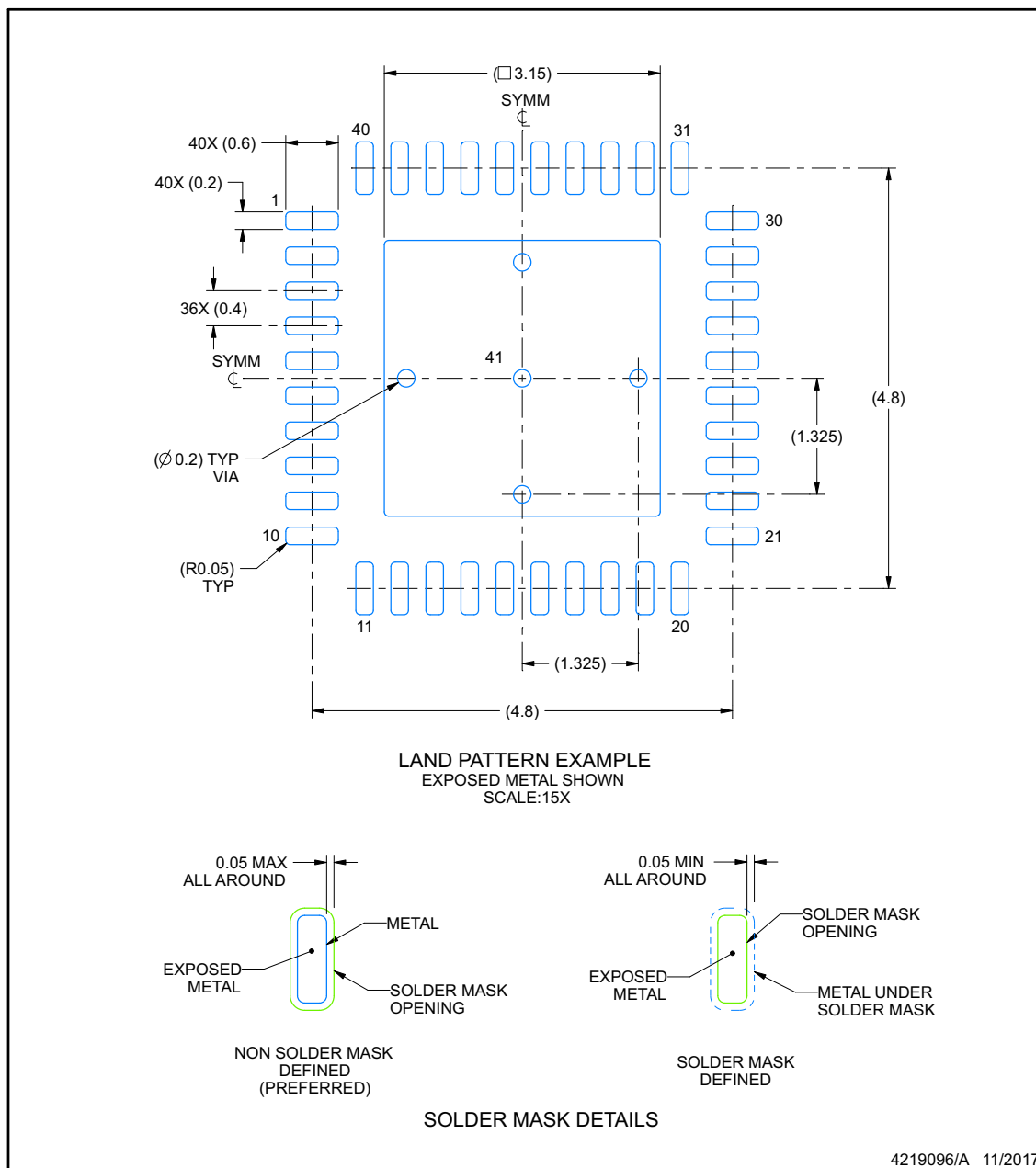
日期	修订版本	注释
April 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

EXAMPLE BOARD LAYOUT**RSB0040E****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

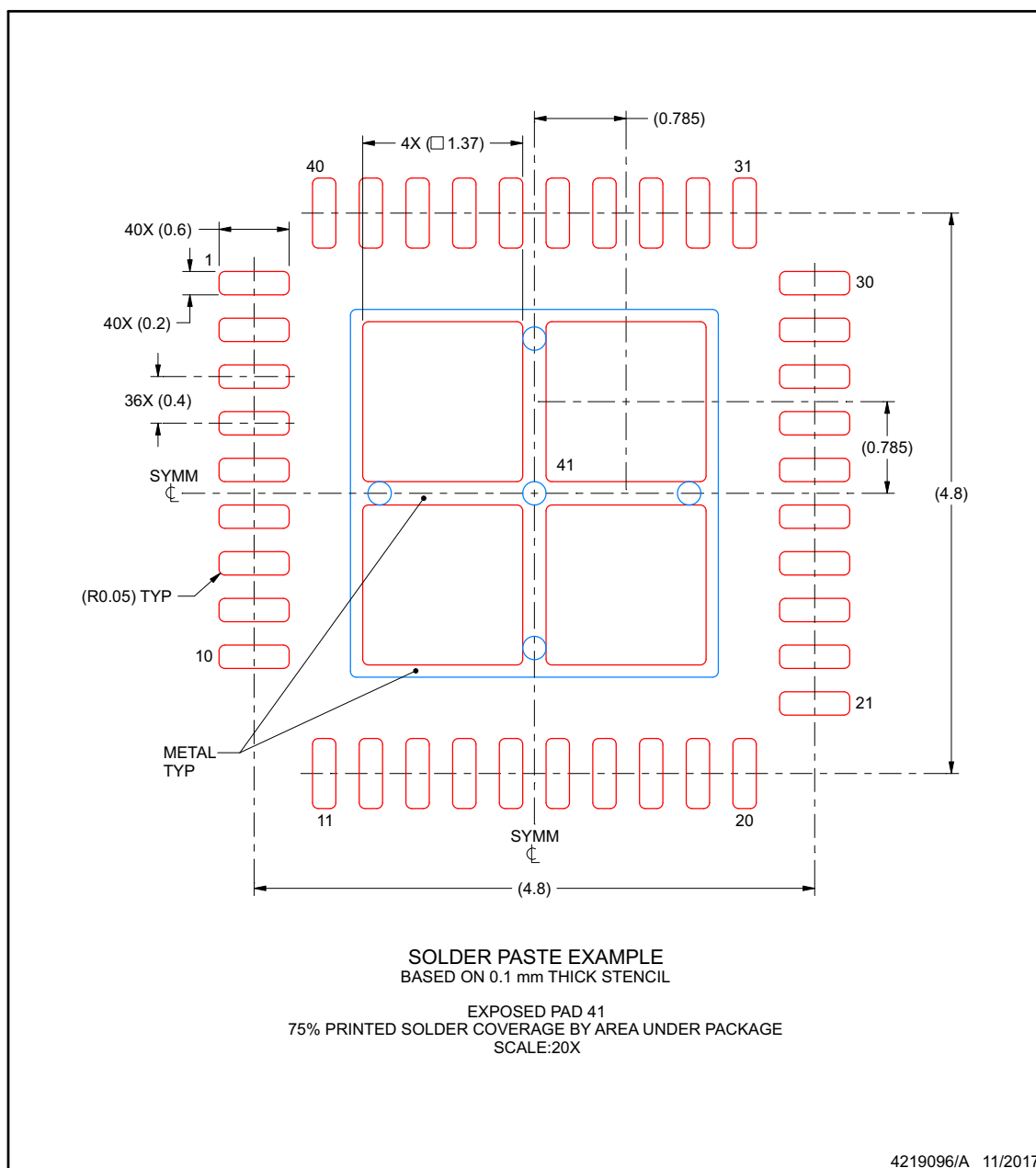
www.ti.com

EXAMPLE STENCIL DESIGN

RSB0040E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC3664RSBTSEP	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	ADC3664 SEP
ADC3664RSBTSEP.A	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	ADC3664 SEP
V62/24601-02XE	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 105	ADC3664 SEP

- (1) Status:** For more details on status, see our [product life cycle](#).
- (2) Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

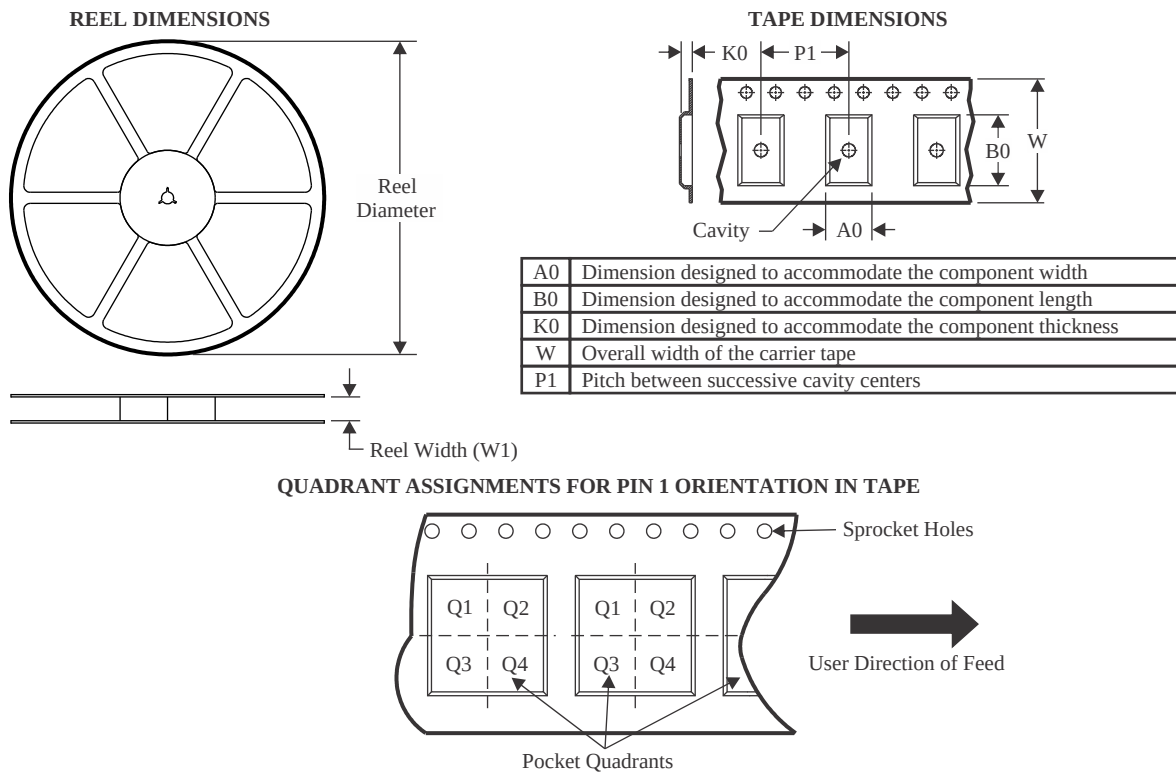
OTHER QUALIFIED VERSIONS OF ADC3664-SEP :

- Space : [ADC3664-SP](#)

NOTE: Qualified Version Definitions:

- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC3664RSBTSEP	WQFN	RSB	40	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC3664RSBTSEP	WQFN	RSB	40	250	210.0	185.0	35.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司