

ACD354x 单通道 14 位 250MSPS 和 500MSPS 模数转换器 (ADC)

1 特性

- 14 位、单通道 250MSPS 和 500MSPS ADC
- 噪声频谱密度：-158.5dBFS/Hz
- 热噪声：74.5dBFS
- 单核（非交错）ADC 架构
- 功耗：
 - 435mW (500MSPS)
 - 369mW (250MSPS)
- 孔径抖动：75fs
- 经缓冲的模拟输入
 - 可编程 100 Ω 和 200 Ω 端接
- 满量程输入：2V_{pp}
- 全功率输入带宽 (-3dB)：1.4GHz
- 频谱性能 ($f_{IN} = 70\text{MHz}$ ，-1dBFS)：
 - SNR：73.8dBFS
 - SFDR HD2,3：82dBc
 - SFDR 最严重毛刺：94dBFS
- 数字下变频器 (DDC)
 - 最多四个独立的 DDC
 - 复数和实数抽取
 - 抽取率：2x、4x 至 32768x 抽取
 - 48 位 NCO 相位相干跳频
- DDR/串行 LVDS 接口
 - 用于 DDC 旁路的 16 位并行 SDR、DDR LVDS
 - 用于抽取的串行 LVDS
 - 用于高抽取率的 32 位输出选项

2 应用

- [软件定义无线电](#)
- [频谱分析仪](#)
- [雷达](#)
- [光谱分析](#)
- [功率放大器线性化](#)
- [通信基础设施](#)

3 说明

ADC3548 和 ADC3549 (ADC354x) 是 14 位 250 和 500MSPS 单通道模数转换器 (ADC)。该器件旨在实现高信噪比 (SNR)，并提供低至 -158.5dBFS/Hz 的噪声频谱密度。

500MSPS 时，高效 ADC 架构的功耗为 435mW，并以较低的采样率提供功率调节（250MSPS 时功耗为 369mW）。

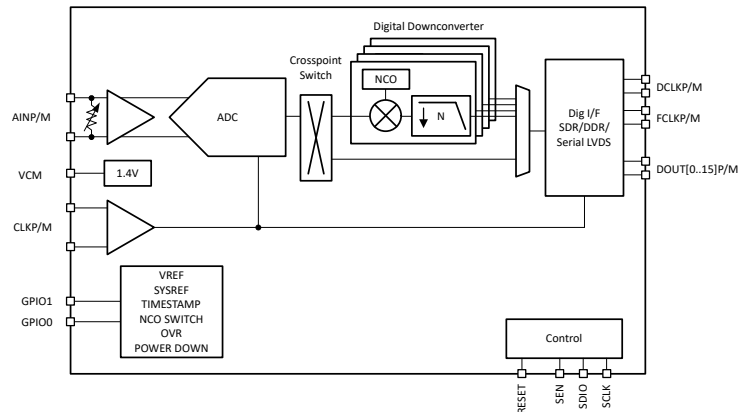
ADC354x 包括一个四频带数字下变频器 (DDC)，支持 1/2 宽带抽取至 1/32768 窄带抽取。DDC 使用 48 位 NCO，该 NCO 支持相位相干和相位连续跳频。

ADC354x 配备了灵活的 LVDS 接口。在抽取旁路模式下，该器件使用 14 位宽的并行 SDR 或 DDR LVDS 接口。使用抽取时，输出数据使用串行 LVDS 接口进行传输，从而减少抽取增加时所需的通道数。对于高抽取率，输出分辨率可提高至 32 位。

器件信息

器件型号	封装 ⁽¹⁾	最大采样率
ADC3549	64 QFN	500MSPS
ADC3548	64 QFN	250MSPS

(1) 有关更多信息，请参阅节 12。



方框图



内容

1 特性.....	1	8.1 概述.....	24
2 应用.....	1	8.2 功能方框图.....	24
3 说明.....	1	8.3 特性说明.....	25
4 器件比较.....	2	8.4 器件功能模式.....	48
5 引脚配置和功能.....	3	8.5 编程.....	49
6 规格.....	5	9 应用和实施.....	67
6.1 绝对最大额定值.....	5	9.1 应用信息.....	67
6.2 ESD 等级.....	5	9.2 典型应用.....	67
6.3 建议运行条件.....	5	9.3 电源相关建议.....	72
6.4 热性能信息.....	6	9.4 布局.....	72
6.5 电气特性 - 功耗.....	6	10 器件和文档支持.....	74
6.6 电气特性 - 直流规格.....	6	10.1 文档支持.....	74
6.7 电气特性 - 交流规格 (ADC3548 - 250MSPS).....	8	10.2 接收文档更新通知.....	74
6.8 电气特性 - 交流规格 (ADC3549 - 500MSPS).....	9	10.3 支持资源.....	74
6.9 时序要求.....	10	10.4 商标.....	74
6.10 典型特性 - ADC3548 (250MSPS).....	11	10.5 静电放电警告.....	74
6.11 典型特性 - ADC3549 (500MSPS).....	16	10.6 术语表.....	74
7 参数测量信息.....	22	11 修订历史记录.....	74
8 详细说明.....	24	12 机械、封装和可订购信息.....	74

4 器件比较

表 4-1. 器件比较表

器件型号	最大采样率	分辨率	通道数量
ADC3669	500MSPS	16 位	2
ADC3668	250MSPS	16 位	2
ADC3569	500MSPS	16 位	1
ADC3568	250MSPS	16 位	1
ADC3649	500MSPS	14 位	2
ADC3648	250MSPS	14 位	2
ADC3549	500MSPS	14 位	1
ADC3548	250MSPS	14 位	1

5 引脚配置和功能

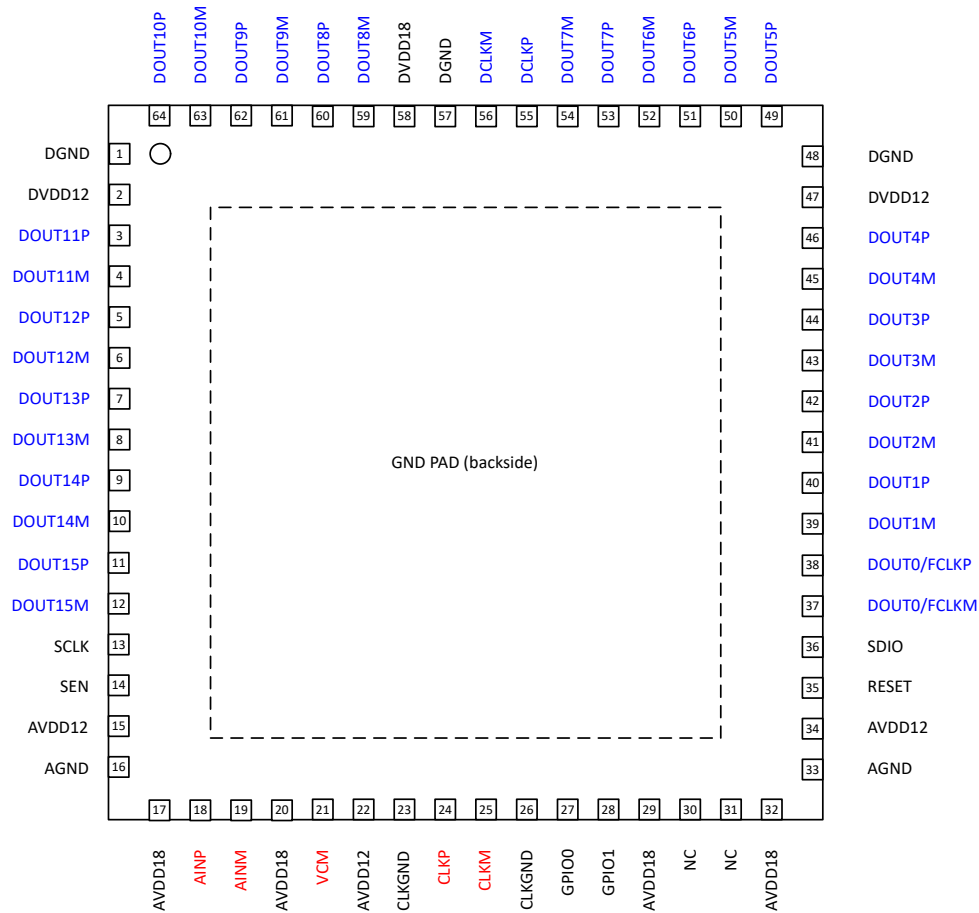


图 5-1. RTD 封装、64 引脚 VQFNFP
(顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
AGND	16、33	I	模拟地，0V
AINM	19	I	通道 A 差分信号输入，负连接。差分输入具有可编程的内部端接（100 Ω 或 200 Ω ）并且自偏置。
AINP	18	I	通道 A 差分信号输入，正连接。
AVDD12	15、22、34	I	模拟 1.2V 电源
AVDD18	17、20、29、32	I	模拟 1.8V 电源
CLKGND	23、26	I	时钟地，0V
CLKP	24	I	器件采样时钟差分输入。为了获得出色的交流性能，建议使用交流耦合和外部端接时钟信号。差分输入自偏置至输入共模电压 (0.75V)。
CLKM	25	I	
DCLKP	55	O	差分 LVDS 数据位时钟输出。
DCLKM	56	O	
DGND	1、48、57	I	数字地，0V

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
DOUT0/FCLKM	37	O	差分 LVDS 数据位输出通道 0。在抽取模式下，该引脚转换为差分 SLVDS 帧时钟输出，以替代 LSB。
DOUT0/FCLKP	38	O	
DOUT1M	39	O	差分 LVDS 数据位输出通道 1。可在不使用时保持悬空并通过 SPI 断电。
DOUT1P	40	O	
DOUT2M	41	O	差分 LVDS 数据位输出通道 2。可在不使用时保持悬空并通过 SPI 断电。
DOUT2P	42	O	
DOUT3M	43	O	差分 LVDS 数据位输出通道 3。可在不使用时保持悬空并通过 SPI 断电。
DOUT3P	44	O	
DOUT4M	45	O	差分 LVDS 数据位输出通道 4。可在不使用时保持悬空并通过 SPI 断电。
DOUT4P	46	O	
DOUT5P	49	O	差分 LVDS 数据位输出通道 5。可在不使用时保持悬空并通过 SPI 断电。
DOUT5M	50	O	
DOUT6P	51	O	差分 LVDS 数据位输出通道 6。可在不使用时保持悬空并通过 SPI 断电。
DOUT6M	52	O	
DOUT7P	53	O	差分 LVDS 数据位输出通道 7。可在不使用时保持悬空并通过 SPI 断电。
DOUT7M	54	O	
DOUT8M	59	O	差分 LVDS 数据位输出通道 8。可在不使用时保持悬空并通过 SPI 断电。
DOUT8P	60	O	
DOUT9M	61	O	差分 LVDS 数据位输出通道 9。可在不使用时保持悬空并通过 SPI 断电。
DOUT9P	62	O	
DOUT10M	63	O	差分 LVDS 数据位输出通道 10。可在不使用时保持悬空并通过 SPI 断电。
DOUT10P	64	O	
DOUT11P	3	O	差分 LVDS 数据位输出通道 11。可在不使用时保持悬空并通过 SPI 断电。
DOUT11M	4	O	
DOUT12P	5	O	差分 LVDS 数据位输出通道 12。可在不使用时保持悬空并通过 SPI 断电。
DOUT12M	6	O	
DOUT13P	7	O	差分 LVDS 数据位输出通道 13。可在不使用时保持悬空并通过 SPI 断电。
DOUT13M	8	O	
DOUT14P	9	O	差分 LVDS 数据位输出通道 14。可在不使用时保持悬空并通过 SPI 断电。
DOUT14M	10	O	
DOUT15P	11	O	差分 LVDS 数据位输出通道 15 (MSB)。可在不使用时保持悬空并通过 SPI 断电。
DOUT15M	12	O	
DVDD12	2、47	I	数字 1.2V 电源
DVDD18	58	I	数字 1.8V 电源
GPIO0	27	I/O	同步或控制输入或状态输出。可在不使用时保持悬空。
GPIO1	28	I/O	控制输入或状态输出或外部电压基准 (1.2V)。可在不使用时保持悬空。
NC	30.31	-	不连接
复位	35	I	硬件复位。高电平有效。该引脚具有内部 21k Ω 下拉电阻器至 DGND。
SCLK	13	I	用于串行接口编程的串行接口时钟。该引脚具有内部 21k Ω 下拉电阻器至 DGND。
SDIO	36	I/O	串行接口数据输入/输出。该引脚具有内部 21k Ω 下拉电阻器至 DGND。
SEN	14	I	串行接口芯片选择。该引脚具有内部 21k Ω 下拉电阻器至 DVDD18。
VCM	21	O	共模电压输出 (1.4V)

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	最大值	单位
电源电压范围, AVDD18		-0.3	2.1	V
电源电压范围, AVDD12		-0.3	1.4	V
电源电压范围, DVDD18		-0.3	2.1	V
电源电压范围, DVDD12		-0.3	1.4	V
施加到输入引脚的电压	AINP/M	-0.3	2.1	V
	CLKP/M	-0.3	1.4	V
	GPIO0/1、RESET、SCLK、SEN、SDIO	-0.3	DVDD18 + 0.2	V
峰值射频输入功率 (AINP/M)	差分 100 Ω 端接		10	dBm
结温, T_J			125	$^{\circ}\text{C}$
贮存温度, T_{stg}		-65	150	

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	1500	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
AVDD18	1.8V 模拟电源		1.75	1.8	1.85	V
AVDD12	1.2V 模拟电源		1.15	1.2	1.225	
DVDD18	1.8V 数字电源		1.75	1.8	1.85	
DVDD12	1.2V 数字电源		1.15	1.2	1.225	
T_A	自然通风条件下的工作温度范围		-40		105	$^{\circ}\text{C}$
T_J	工作结温				115 ⁽¹⁾	

(1) 长时间高于此结温使用可能会增加器件的时基故障 (FIT) 率。

6.4 热性能信息

热指标 ⁽¹⁾		ADC3548/49	单位
		RTD (QFN)	
		64 引脚	
$R_{\theta JA}$	结至环境热阻	22.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	11.4	°C/W
$R_{\theta JB}$	结至电路板热阻	7.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	7.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.1	°C/W

(1) 有关热指标的更多信息，请参阅 *半导体和 IC 封装热指标应用报告 (SPRA953)*。

6.5 电气特性 - 功耗

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^{\circ}\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 - 1dBFS 差分输入条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
ADC3548 - 250MSPS						
I_{AVDD18}	电源电流, 1.8V 模拟电源	DDR LVDS		60	85	mA
I_{AVDD12}	电源电流, 1.2V 模拟电源	DDR LVDS		45	90	mA
I_{DVDD18}	电源电流, 1.8V 数字电源	DDR LVDS		75	105	mA
I_{DVDD12}	电源电流, 1.2V 数字电源	DDR LVDS		60	126	mA
P_{DIS}	功率耗散	DDR LVDS		369		mW
ADC3549 - 500MSPS						
I_{AVDD18}	电源电流, 1.8V 模拟电源	DDR LVDS		66	85	mA
I_{AVDD12}	电源电流, 1.2V 模拟电源	DDR LVDS		65	115	mA
I_{DVDD18}	电源电流, 1.8V 数字电源	DDR LVDS		76	105	mA
I_{DVDD12}	电源电流, 1.2V 数字电源	DDR LVDS		85	155	mA
P_{DIS}	功率耗散	DDR LVDS		435		mW
断电模式						
P_{DIS}	断电模式功耗	全局断电		31		mW

6.6 电气特性 - 直流规格

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^{\circ}\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 - 1dBFS 差分输入、内部基准条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
无丢码			14			位
ADC3548 : 250MSPS (内部基准)						
DNL	微分非线性	$F_{IN} = 70\text{MHz}$	-0.95	± 0.15		LSB
INL	积分非线性	$F_{IN} = 70\text{MHz}$		± 0.5		LSB
V_{OS_ERR}	偏移误差			2.5		LSB
V_{OS_DRIFT}	不同温度下的温漂			2.5		LSB
$GAIN_{ERR}$	增益误差	外部基准		± 1		%FSR
		内部基准		± 3		

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^{\circ}\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入、内部基准条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
GAIN _{DRIFT}	不同温度下的增益漂移	外部基准	±0.5			%FSR
		内部基准	±1			
ADC3549 : 500MSPS (内部基准)						
DNL	微分非线性	F _{IN} = 70MHz	-0.95	±0.15	LSB	
INL	积分非线性	F _{IN} = 70MHz	±0.5			LSB
V _{OS_ERR}	偏移误差		2.5			LSB
V _{OS_DRIFT}	不同温度下的温漂		2.5			LSB
GAIN _{ERR}	增益误差	外部基准	±1			%FSR
		内部基准	±3			
GAIN _{DRIFT}	不同温度下的增益漂移	外部基准	±0.5			%FSR
		内部基准	±1			
ADC 模拟输入 (AINP/M)						
FS	满量程输入	差分	2.0			V _{pp}
V _{ICM}	输入共模电压		1.3	1.4	1.5	V
Z _{IN}	差分输入阻抗	100MHz 处的差分阻抗	100			Ω
V _{CM}	输出共模电压		1.4			V
BW	模拟输入带宽 (-3dB)		1.4			GHz
时钟输入 (CLKP/M)						
输入时钟频率		ADC3549	125	500		MHz
		ADC3548	125	250		MHz
V _{ID}	差分输入电压		0.5	2	2.4	V _{pp}
V _{ICM}	输入共模电压		0.75			V
Z _{IN}	差分输入阻抗	500MHz 处的差分阻抗	5			kΩ
时钟占空比			35	50	65	%
外部基准输入 (GPIO1)						
V _{REF}	外部电压基准		1.175	1.2	1.225	V
I _{VREF}	输入电流，外部电压基准输入		10			uA
数字输入 (GPIO0、GPIO1、RESET、SCLK、SEN、SDIO)						
V _{IH}	高电平输入电压		1.4	1.8	V	
V _{IL}	低电平输入电压		0			V
I _{IH}	高电平输入电流		90			uA
I _{IL}	低电平输入电流		-150	-90	uA	
C _I	输入电容		1.5			pF
数字输出 (GPIO0、GPIO1、SDIO)						
V _{OH}	高电平输出电压	I _{LOAD} = -400 μA	AVDD18 - 0.1 AVDD18			V
V _{OL}	低电平输出电压	I _{LOAD} = 400 μA	0.1			V
LVDS/SLVDS 接口 (DOUT[0..15]P/M、DCLKP/M)						
输出数据格式 (默认)			二进制补码			
V _{OD}	差分输出电压	差分峰峰值	500	700	850	mV _{pp}
V _{OCM}	输出共模电压		0.96	1.02	1.08	V

6.7 电气特性 - 交流规格 (ADC3548 - 250MSPS)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 250MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入、内部基准条件下指定的

参数		测试条件	最小值 ⁽¹⁾	典型值	最大值	单位
交流精度						
NSD	噪声频谱密度	$f_{IN} = 100\text{MHz}$, $A_{IN} = -20\text{dBFS}$		-155.5		dBFS/Hz
NF	噪声系数	$f_{IN} = 100\text{MHz}$, $A_{IN} = -20\text{dBFS}$		25.5		dB
SNR	信噪比	$f_{IN} = 10\text{MHz}$		74.0		dBFS
		$f_{IN} = 70\text{MHz}$	70	73.8		
		$f_{IN} = 170\text{MHz}$		73.2		
		$f_{IN} = 300\text{MHz}$		71.6		
		$f_{IN} = 450\text{MHz}$		69.6		
SINAD	信噪比和失真比	$f_{IN} = 10\text{MHz}$		72.1		dBFS
		$f_{IN} = 70\text{MHz}$		71.9		
		$f_{IN} = 170\text{MHz}$		71.3		
		$f_{IN} = 300\text{MHz}$		69.7		
		$f_{IN} = 450\text{MHz}$		67.8		
ENOB	有效位数	$f_{IN} = 10\text{MHz}$		11.7		位
		$f_{IN} = 70\text{MHz}$		11.7		
		$f_{IN} = 170\text{MHz}$		11.6		
		$f_{IN} = 300\text{MHz}$		11.3		
		$f_{IN} = 450\text{MHz}$		11.0		
THD	总谐波失真 (前五个谐波)	$f_{IN} = 10\text{MHz}$		77		dBc
		$f_{IN} = 70\text{MHz}$		80		
		$f_{IN} = 170\text{MHz}$		75		
		$f_{IN} = 300\text{MHz}$		71		
		$f_{IN} = 450\text{MHz}$		65		
HD2	第二谐波失真	$f_{IN} = 10\text{MHz}$		79		dBc
		$f_{IN} = 70\text{MHz}$	69	85		
		$f_{IN} = 170\text{MHz}$		78		
		$f_{IN} = 300\text{MHz}$		76		
		$f_{IN} = 450\text{MHz}$		68		
HD3	第三谐波失真	$f_{IN} = 10\text{MHz}$		83		dBc
		$f_{IN} = 70\text{MHz}$	71	81		
		$f_{IN} = 170\text{MHz}$		81		
		$f_{IN} = 300\text{MHz}$		79		
		$f_{IN} = 450\text{MHz}$		74		
非 HD2,3	无杂散动态范围 (不包括 HD2 和 HD3)	$f_{IN} = 10\text{MHz}$		96		dBFS
		$f_{IN} = 70\text{MHz}$		96		
		$f_{IN} = 170\text{MHz}$		95		
		$f_{IN} = 300\text{MHz}$		88		
		$f_{IN} = 450\text{MHz}$		81		
IMD3	双音互调失真	$f_1 = 100\text{MHz}$, $f_2 = 120\text{MHz}$, $A_{IN} = -7\text{dBFS}$ /单音		83		dBc

(1) SNR 和 HD3 的最小值由 ATE 确定；HD2 由工作表表征确定。

6.8 电气特性 - 交流规格 (ADC3549 - 500MSPS)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入、内部基准条件下指定的

参数		测试条件	最小值 ⁽¹⁾	典型值	最大值	单位
交流精度						
NSD	噪声频谱密度	$f_{IN} = 100\text{MHz}$, $A_{IN} = -20\text{dBFS}$		-158.5		dBFS/Hz
NF	噪声系数	$f_{IN} = 100\text{MHz}$, $A_{IN} = -20\text{dBFS}$		22.5		dB
SNR	信噪比	$f_{IN} = 10\text{MHz}$		74.0		dBFS
		$f_{IN} = 70\text{MHz}$	70	73.8		
		$f_{IN} = 170\text{MHz}$		73.2		
		$f_{IN} = 300\text{MHz}$		71.6		
		$f_{IN} = 450\text{MHz}$		69.6		
SINAD	信噪比和失真比	$f_{IN} = 10\text{MHz}$		72.1		dBFS
		$f_{IN} = 70\text{MHz}$		71.9		
		$f_{IN} = 170\text{MHz}$		71.3		
		$f_{IN} = 300\text{MHz}$		69.7		
		$f_{IN} = 450\text{MHz}$		67.8		
ENOB	有效位数	$f_{IN} = 10\text{MHz}$		11.7		位
		$f_{IN} = 70\text{MHz}$		11.7		
		$f_{IN} = 170\text{MHz}$		11.6		
		$f_{IN} = 300\text{MHz}$		11.3		
		$f_{IN} = 450\text{MHz}$		11.0		
THD	总谐波失真 (前五个谐波)	$f_{IN} = 10\text{MHz}$		74		dBc
		$f_{IN} = 70\text{MHz}$		77		
		$f_{IN} = 170\text{MHz}$		74		
		$f_{IN} = 300\text{MHz}$		68		
		$f_{IN} = 450\text{MHz}$		63		
HD2	第二谐波失真	$f_{IN} = 10\text{MHz}$		76		dBc
		$f_{IN} = 70\text{MHz}$	69	82		
		$f_{IN} = 170\text{MHz}$		77		
		$f_{IN} = 300\text{MHz}$		81		
		$f_{IN} = 450\text{MHz}$		76		
HD3	第三谐波失真	$f_{IN} = 10\text{MHz}$		88		dBc
		$f_{IN} = 70\text{MHz}$	71	80		
		$f_{IN} = 170\text{MHz}$		83		
		$f_{IN} = 300\text{MHz}$		71		
		$f_{IN} = 450\text{MHz}$		65		
非 HD2,3	无杂散动态范围 (不包括 HD2 和 HD3)	$f_{IN} = 10\text{MHz}$		94		dBFS
		$f_{IN} = 70\text{MHz}$		94		
		$f_{IN} = 170\text{MHz}$		90		
		$f_{IN} = 300\text{MHz}$		86		
		$f_{IN} = 450\text{MHz}$		87		
IMD3	双音互调失真	$f_1 = 100\text{MHz}$, $f_2 = 120\text{MHz}$, $A_{IN} = -7\text{dBFS}$ /单音		86		dBc

(1) SNR 和 HD3 的最小值由 ATE 确定；HD2 由工作表表征确定。

6.9 时序要求

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的

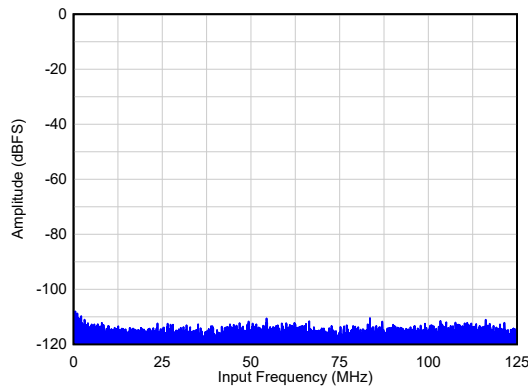
参数		测试条件	最小值	标称值	最大值	单位
ADC 时序规格						
T _{AD}	孔径延迟		200			ps
T _A	孔径抖动		75			fs
CER	误码率	F _S = 500MSPS, 错误 > 256 个代码	1E-10			错误/样本
		F _S = 500MSPS, 错误 > 512 个代码	3E-13			
		F _S = 250MSPS, 错误 > 256 个代码	1E-11			
唤醒时间		退出全局断电模式后数据有效的时间 (内部电压基准关闭)	3			ms
延迟 : t _{PD} + t _{ADC} + t _{DIG}						
t _{PD}	传播延迟 : 采样时钟下降沿到 DCLK 上升沿	传播延迟 : 采样时钟下降沿到 DCLK 上升沿	1.4 + T _S /4	1.7 + T _S /4	2 + T _S /4	ns
t _{ADC}	ADC 延迟	SDR/DDR LVDS, 正常模式	38			ADC 时钟周期
		DDR LVDS, 低延迟模式	4			
	时间戳 : 输入至 LVDS 输出	SDR/DDR LVDS	8			
t _{DIG}	数字延迟 : 接口和抽取	DDC 旁路	5			输出时钟周期
		抽取 2 (实数或复数)	24			
		/4、/8 抽取 (实数或复数)	49			
		/16.../32768 抽取 (实数或复数)	50			
串行编程接口 (SCLK、SEN、SDIO) - 输入						
f _{CLK(SCLK)}	串行时钟频率		1		20	MHz
t _{SLOADS}	SEN 下降沿到 SCLK 上升沿的建立时间		10			ns
t _{SLOADH}	SCLK 上升沿至 SEN 下降沿的保持时间		10			ns
t _{DSU}	SDIO 至 SCLK 上升沿的建立时间		10			ns
t _{DH}	SCLK 上升沿至 SDIO 的保持时间		10			ns
串行编程接口 (SDIO) - 输出						
t _(OZD)	SDIO 三态到被驱动				10	ns
t _(ODZ)	SDIO 数据到三态				14	ns
t _(OD)	从 SCLK 的下降沿到 SDIO 有效				10	ns
时序 : SYSREF						
t _{s(SYSREF)}	建立时间 : SYSREF 有效至 CLKP/M 上升沿		100			ps
t _{h(SYSREF)}	保持时间 : CLKP/M 上升沿至 SYSREF 无效		100			ps
接口时序 : SDR LVDS						
t _{DV}	数据有效时间 : 数据转换到 DCLK 上升沿	F _S = 500MSPS	0.465	0.68	0.905	ns
		F _S = 250MSPS	0.905	1.16	1.415	ns
t _{DI}	数据无效时间 : DCLK 上升沿到数据转换	F _S = 500MSPS	1.095	1.32	1.495	ns
		F _S = 250MSPS	2.615	2.84	3.015	ns
接口时序 : DDR 和 SLVDS						
t _{DV}	数据有效时间 : 数据转换到 DCLK 转换	F _S = 500MSPS	0.465	0.68	0.905	ns
		F _S = 250MSPS	0.905	1.16	1.415	ns

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的

参数		测试条件	最小值	标称值	最大值	单位
t_{DI}	数据无效时间：DCLK 转换到数据转换	$F_S = 500\text{MSPS}$	0.095	0.32	0.535	ns
		$F_S = 250\text{MSPS}$	0.615	0.84	1.065	ns

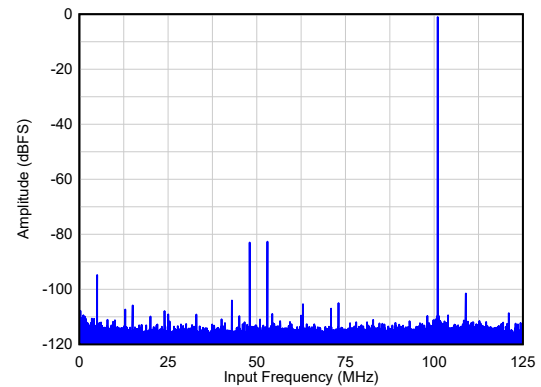
6.10 典型特性 - ADC3548 (250MSPS)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 250MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的



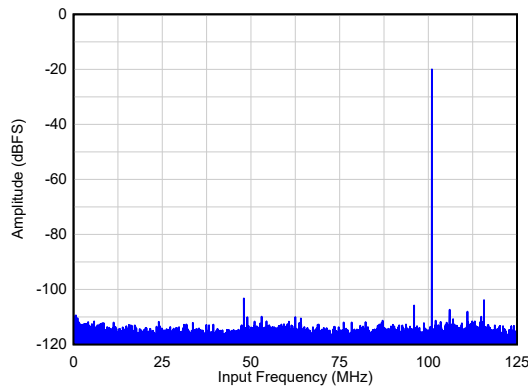
SNR = 74.5dBFS, NSD = -155.5dBFS/Hz

图 6-1. 空闲声道噪声



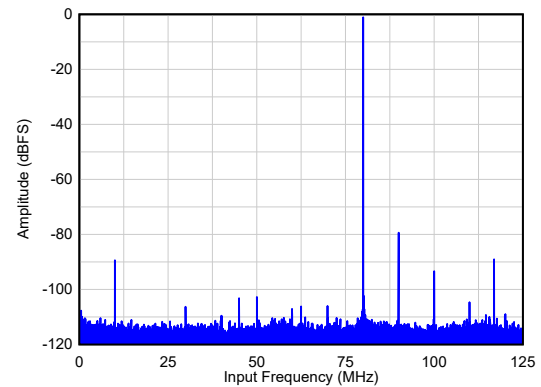
SNR = 74.1dBFS, HD23 = 90dBc, 非 HD23 = 96dBFS

图 6-2. $F_{IN} = 101\text{MHz}$ 时的单音 FFT



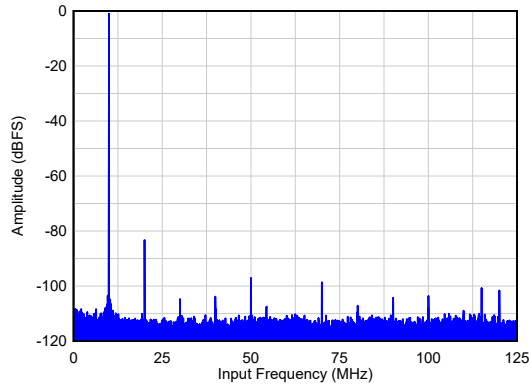
SNR = 74.2dBFS, HD23 = 89dBc, 非 HD23 = 105dBFS

图 6-3. $F_{IN} = 101\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ 时的单音 FFT



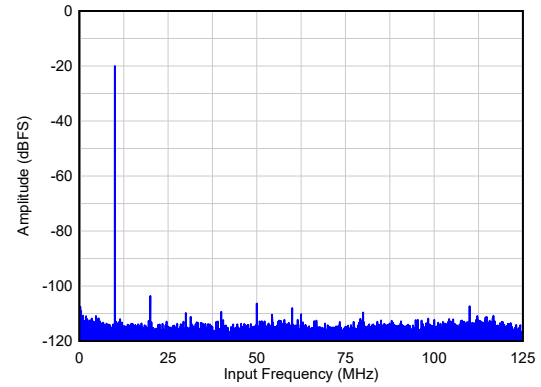
SNR = 72.8dBFS, HD23 = 79dBc, 非 HD23 = 88dBFS

图 6-4. $F_{IN} = 170\text{MHz}$ 时的单音 FFT



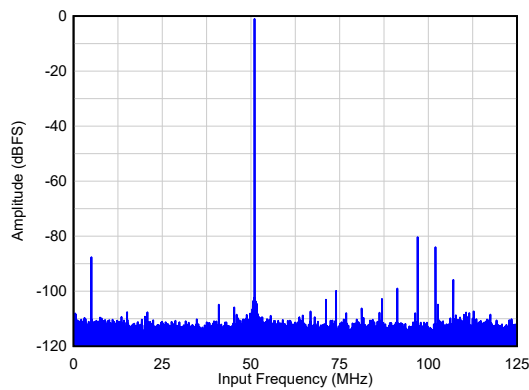
SNR = 72.3dBFS, HD23 = 82dBc, 非 HD23 = 98dBFS

图 6-5. $F_{IN} = 240\text{MHz}$ 时的单音 FFT



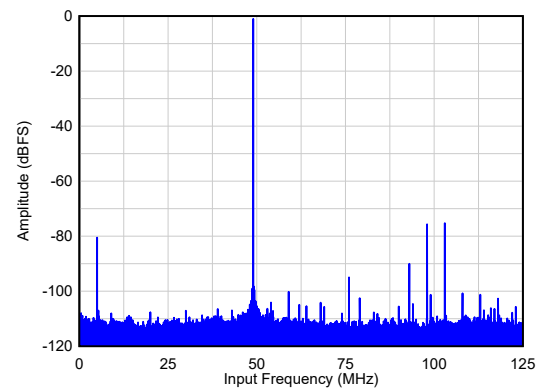
SNR = 74.1dBFS, HD23 = 86dBc, 非 HD23 = 105dBFS

图 6-6. $F_{IN} = 240\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ 时的单音 FFT



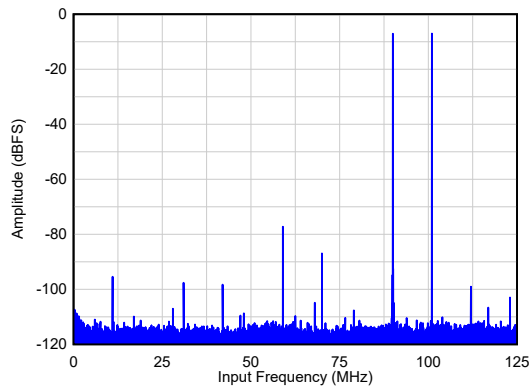
SNR = 71.4dBFS, HD23 = 80dBc, 非 HD23 = 85dBFS

图 6-7. $F_{IN} = 300\text{MHz}$ 时的单音 FFT



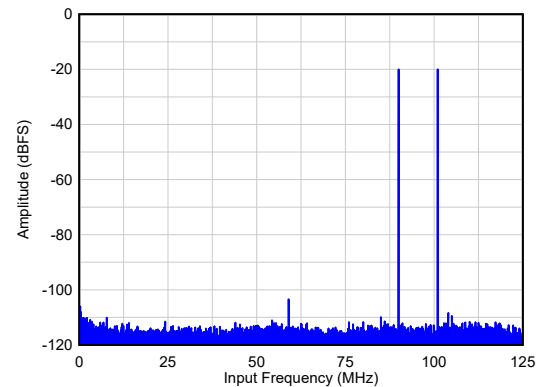
SNR = 70.1dBFS, HD23 = 76dBc, 非 HD23 = 80dBFS

图 6-8. $F_{IN} = 450\text{MHz}$ 时的单音 FFT



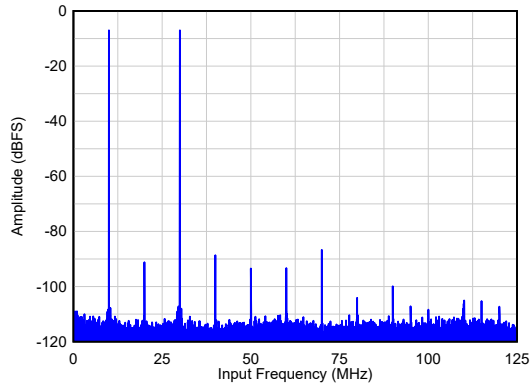
$A_{IN} = -7\text{dBFS/单音}$, IMD3 = 91dBc

图 6-9. $F_{IN} = 90\text{MHz}/110\text{MHz}$ 时的双音 FFT



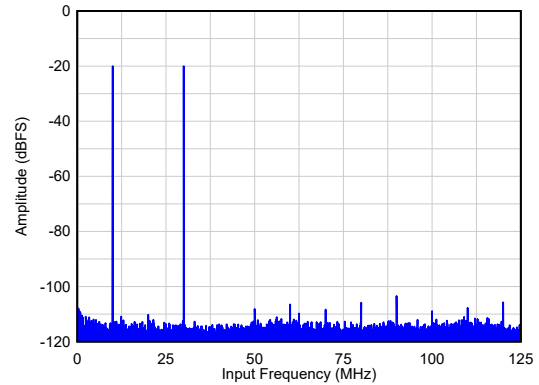
$A_{IN} = -20\text{dBFS/单音}$, IMD3 = 99dBc

图 6-10. $F_{IN} = 70\text{MHz}/100\text{MHz}$ 时的双音 FFT



$A_{IN} = -7\text{dBFS}/\text{单音}$, $\text{IMD3} = 83\text{dBc}$

图 6-11. $F_{IN} = 220\text{MHz}/240\text{MHz}$ 时的双音 FFT



$A_{IN} = -20\text{dBFS}/\text{单音}$, $\text{IMD3} = 87\text{dBc}$

图 6-12. $F_{IN} = 220\text{MHz}/240\text{MHz}$ 时的双音 FFT

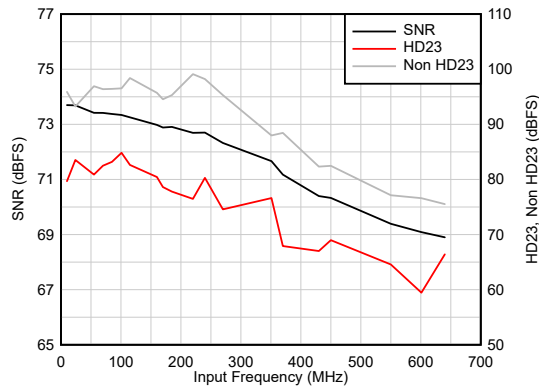
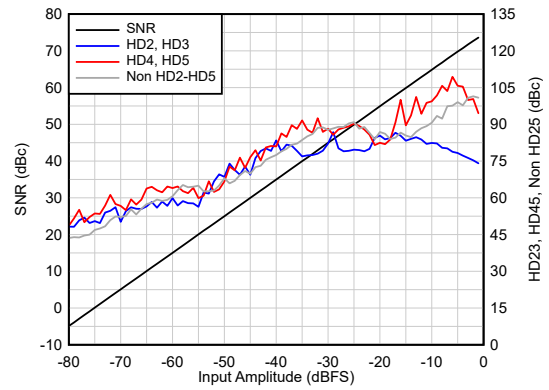
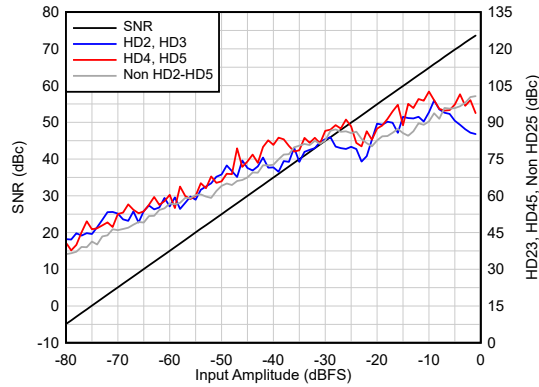


图 6-13. 交流性能与 F_{IN} 间的关系



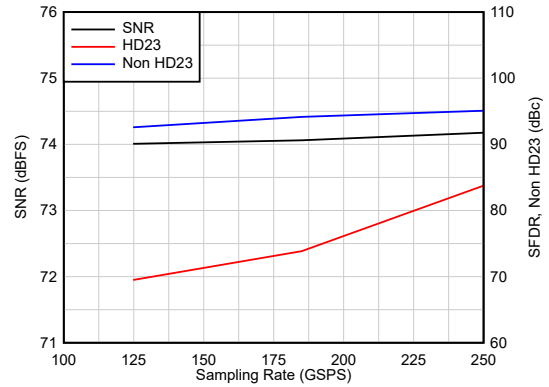
$F_{IN} = 10\text{MHz}$

图 6-14. 交流性能与 A_{IN} 间的关系



$F_{IN} = 100\text{MHz}$

图 6-15. 交流性能与 A_{IN} 间的关系



$F_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$

图 6-16. 交流性能与 F_S 间的关系

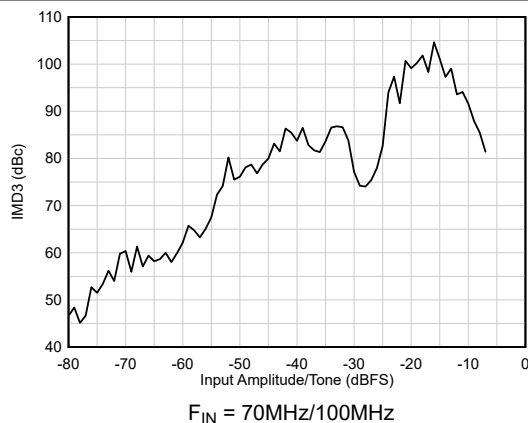
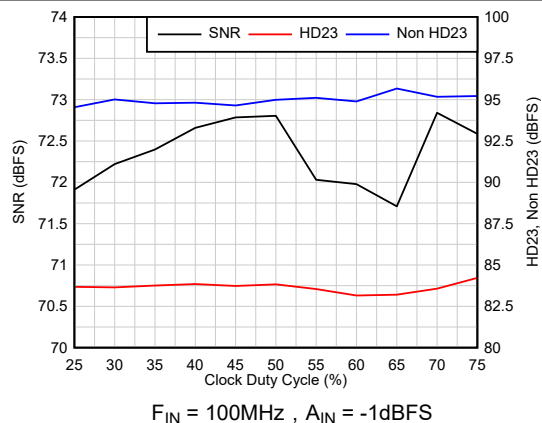
图 6-17. IMD3 与 A_{IN} 间的关系

图 6-18. 交流性能与时钟占空比间的关系

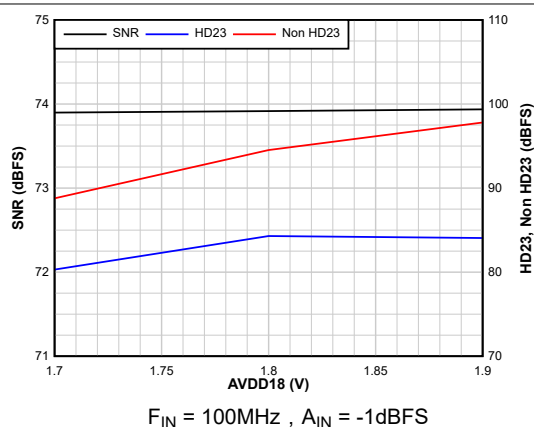


图 6-19. 交流性能与 AVDD18 间的关系

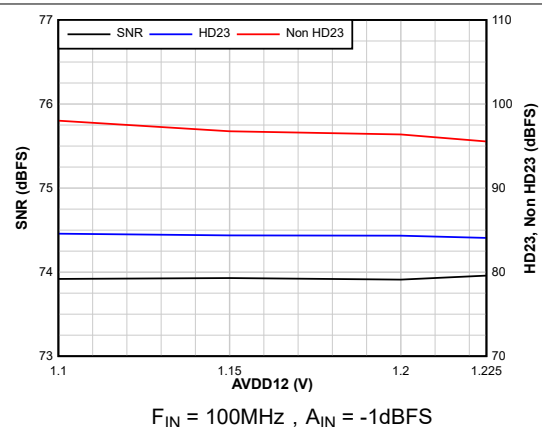


图 6-20. 交流性能与 AVDD12 间的关系

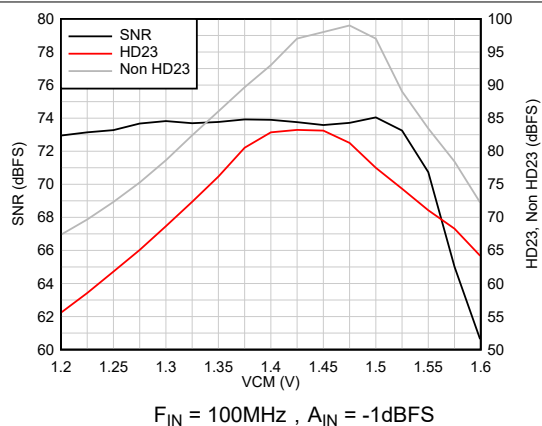


图 6-21. 交流性能与 VCM 间的关系

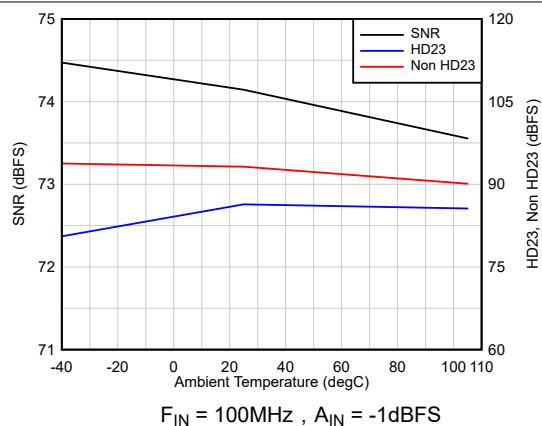


图 6-22. 交流性能与温度间的关系

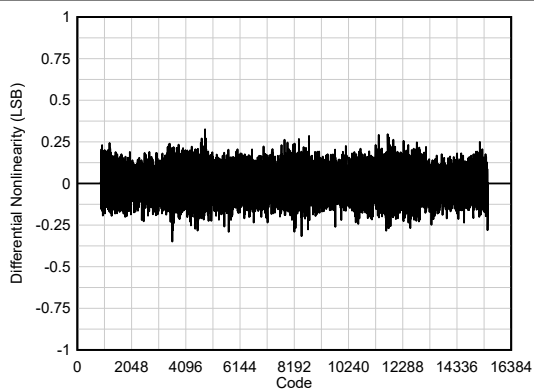


图 6-23. DNL

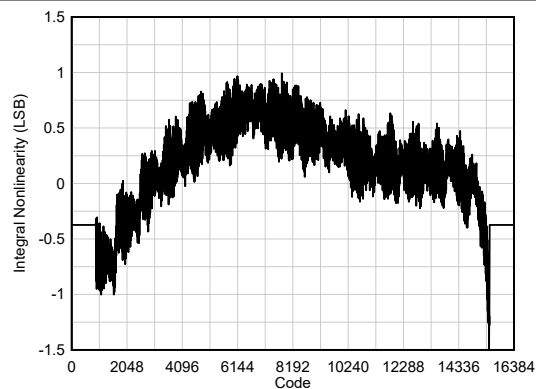


图 6-24. INL

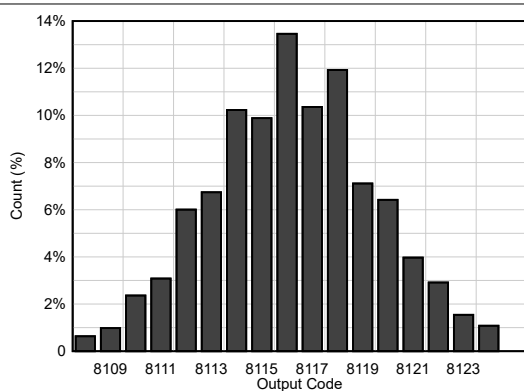


图 6-25. 直流偏移直方图

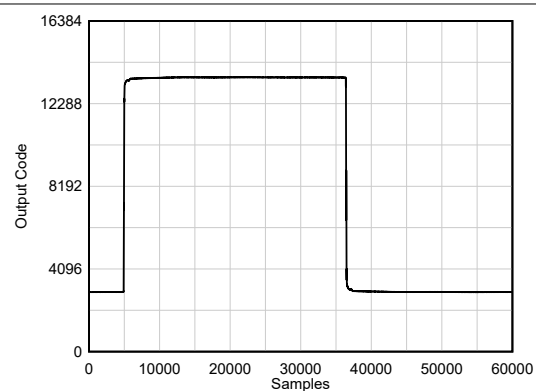
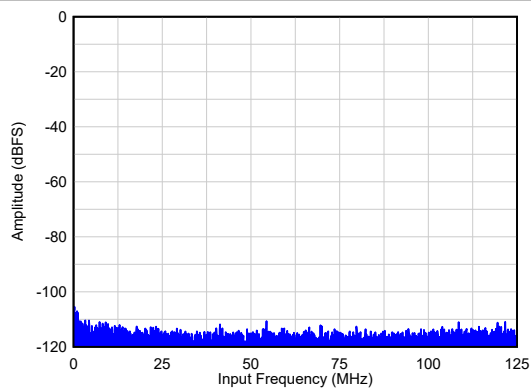


图 6-26. 脉冲响应

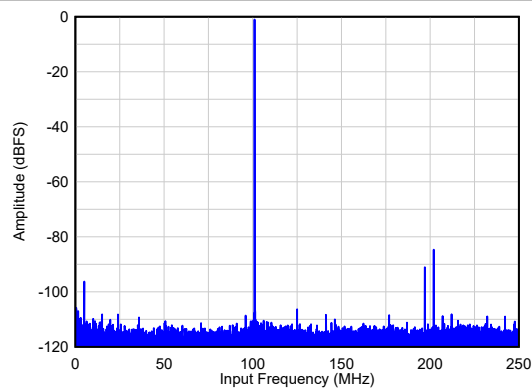
6.11 典型特性 - ADC3549 (500MSPS)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的



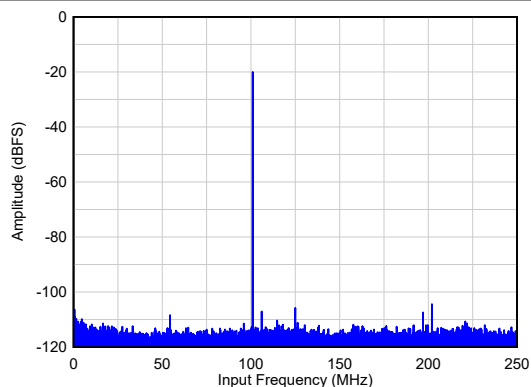
SNR = 74.5dBFS, NSD = -158.5dBFS/Hz

图 6-27. 空闲声道噪声



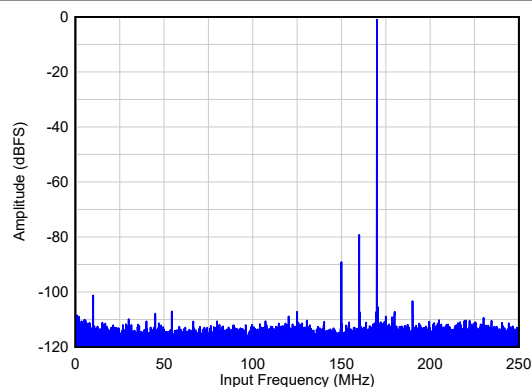
SNR = 74.1dBFS, HD23 = 84dBc, 非 HD23 = 95dBFS

图 6-28. $F_{IN} = 101\text{MHz}$ 时的单音 FFT



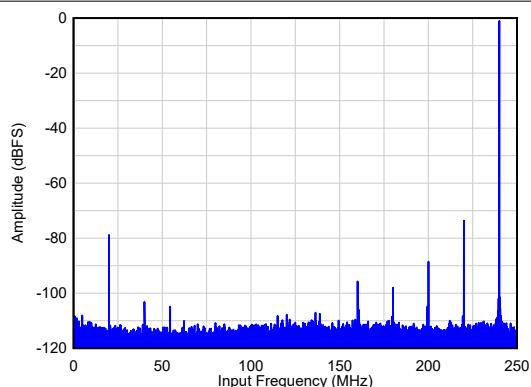
SNR = 74.2dBFS, HD23 = 89dBc, 非 HD23 = 105dBFS

图 6-29. $F_{IN} = 101\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ 时的单音 FFT



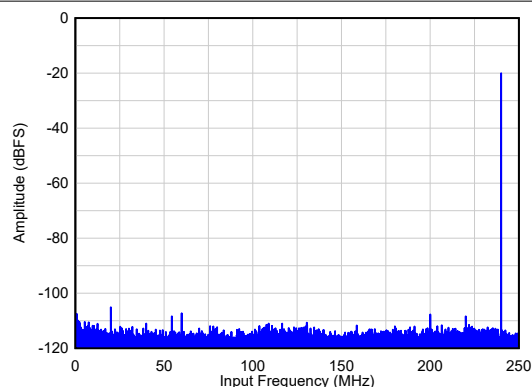
SNR = 72.4dBFS, HD23 = 78dBc, 非 HD23 = 101dBFS

图 6-30. $F_{IN} = 170\text{MHz}$ 时的单音 FFT



SNR = 71.4dBFS, HD23 = 74dBc, 非 HD23 = 89dBFS

图 6-31. $F_{IN} = 240\text{MHz}$ 时的单音 FFT

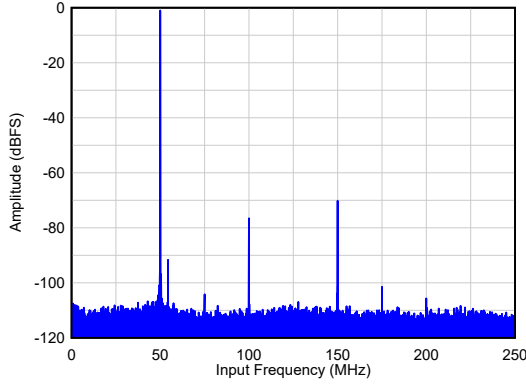


SNR = 74.1dBFS, HD23 = 86dBc, 非 HD23 = 105dBFS

图 6-32. $F_{IN} = 240\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ 时的单音 FFT

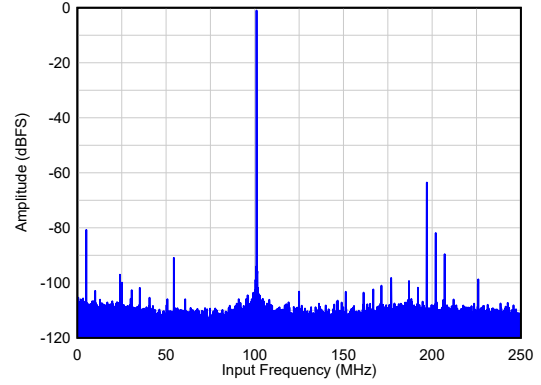
6.11 典型特性 - ADC3549 (500MSPS) (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的



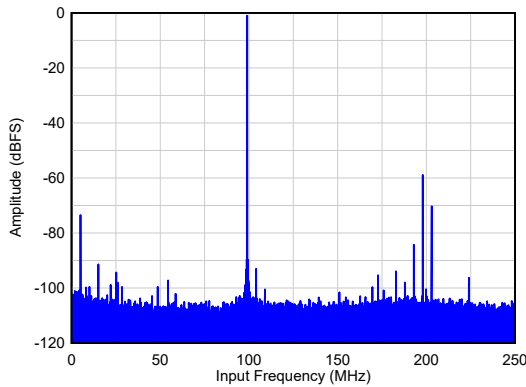
SNR = 68.9dBFS, HD23 = 74dBc, 非 HD23 = 92dBFS

图 6-33. $F_{IN} = 450\text{MHz}$ 时的单音 FFT



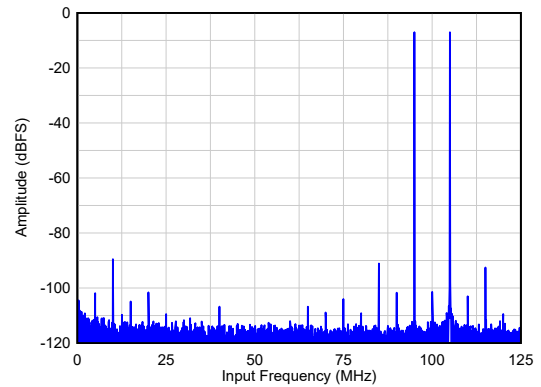
SNR = 67.2dBFS, HD23 = 69dBc, 非 HD23 = 81dBFS

图 6-34. $F_{IN} = 605\text{MHz}$ 时的单音 FFT



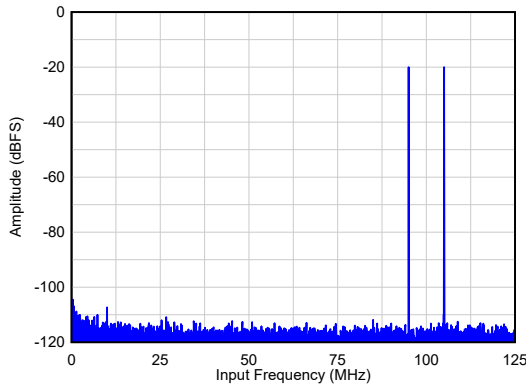
SNR = 64.6dBFS, HD23 = 63dBc, 非 HD23 = 74dBFS

图 6-35. $F_{IN} = 905\text{MHz}$ 时的单音 FFT



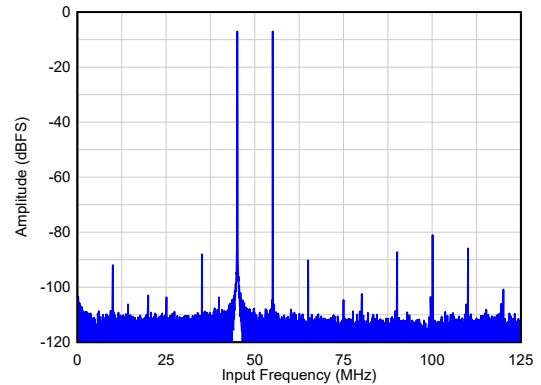
$A_{IN} = -7\text{dBFS/单音}$, IMD3 = 83dBc

图 6-36. $F_{IN} = 95\text{MHz}/105\text{MHz}$ 时的双音 FFT



$A_{IN} = -20\text{dBFS/单音}$, IMD3 = 92dBc

图 6-37. $F_{IN} = 95\text{MHz}/105\text{MHz}$ 时的双音 FFT

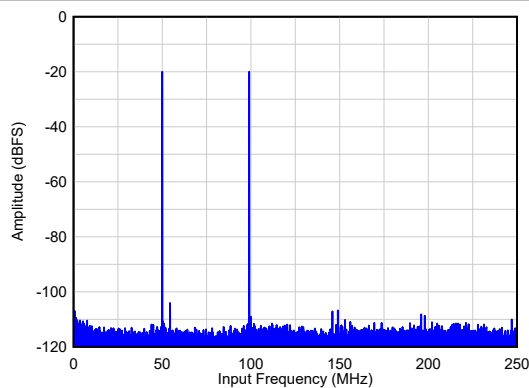


$A_{IN} = -7\text{dBFS/单音}$, IMD3 = 81dBc

图 6-38. $F_{IN} = 445\text{MHz}/455\text{MHz}$ 时的双音 FFT

6.11 典型特性 - ADC3549 (500MSPS) (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的



$A_{IN} = -20\text{dBFS/单音}$, $\text{IMD3} = 97\text{dBc}$

图 6-39. $F_{IN} = 445\text{MHz}/455\text{MHz}$ 时的双音 FFT

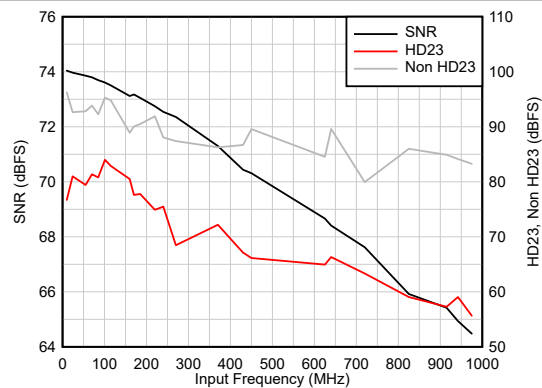


图 6-40. 交流性能与 F_{IN} 间的关系

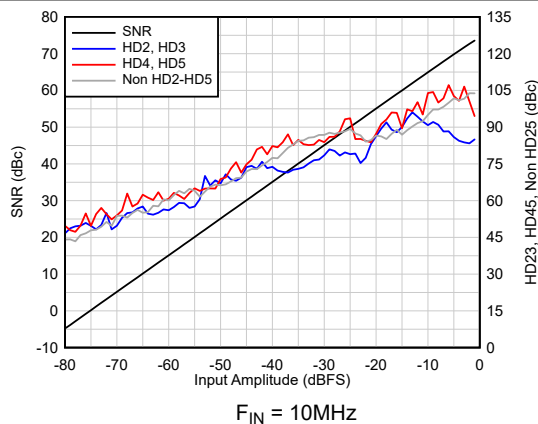


图 6-41. 交流性能与 A_{IN} 间的关系

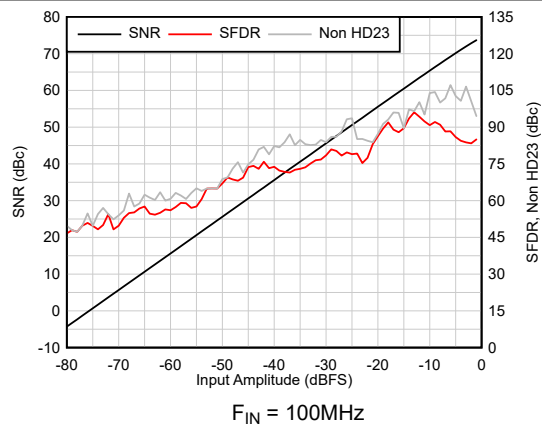


图 6-42. 交流性能与 A_{IN} 间的关系

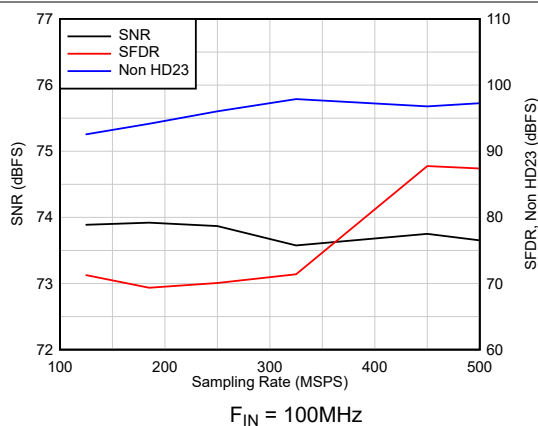


图 6-43. 交流性能与 F_S 间的关系

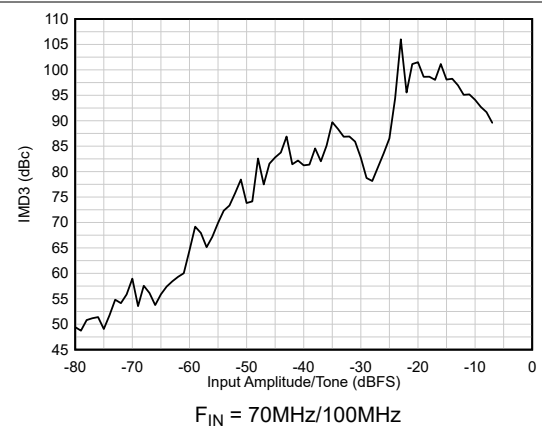


图 6-44. IMD3 与 A_{IN} 间的关系

6.11 典型特性 - ADC3549 (500MSPS) (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的

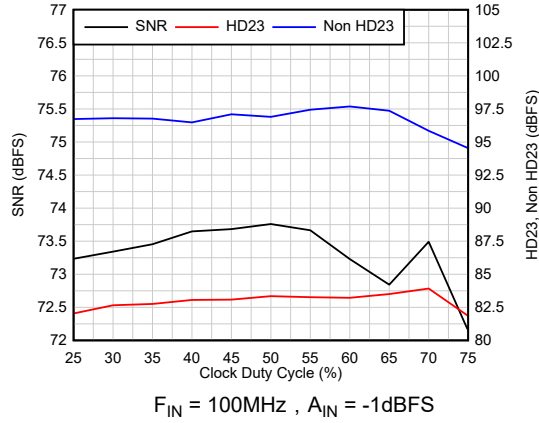


图 6-45. 交流性能与时钟占空比间的关系

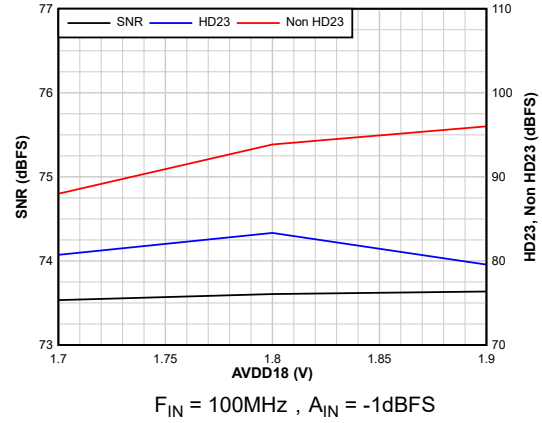


图 6-46. 交流性能与 AVDD18 间的关系

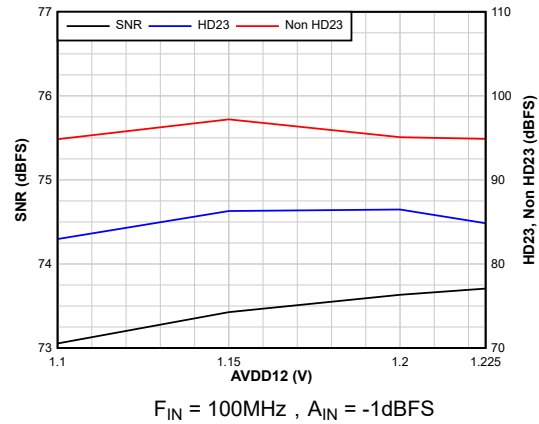


图 6-47. 交流性能与 AVDD12 间的关系

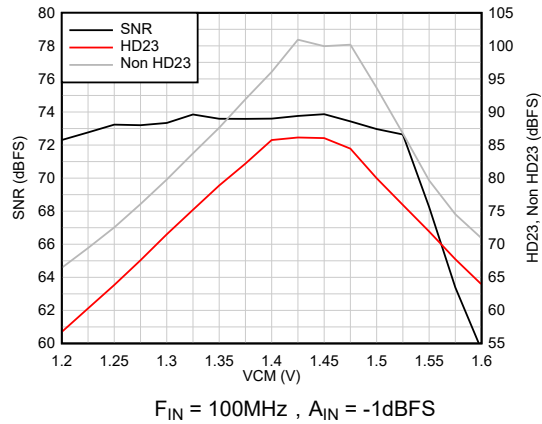


图 6-48. 交流性能与 VCM 间的关系

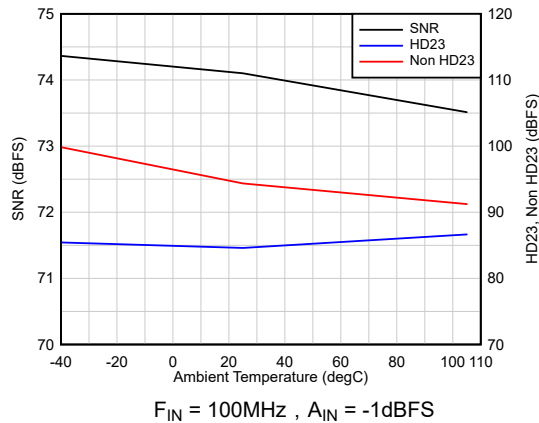


图 6-49. 交流性能与温度间的关系

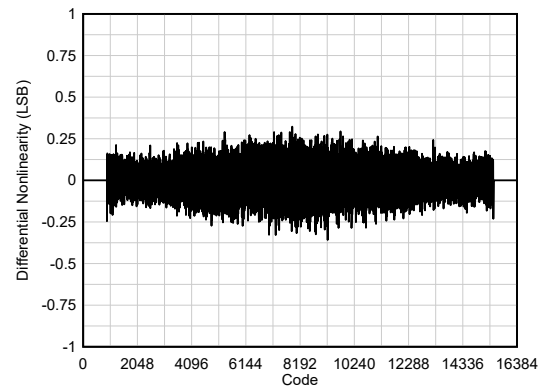


图 6-50. DNL

6.11 典型特性 - ADC3549 (500MSPS) (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的

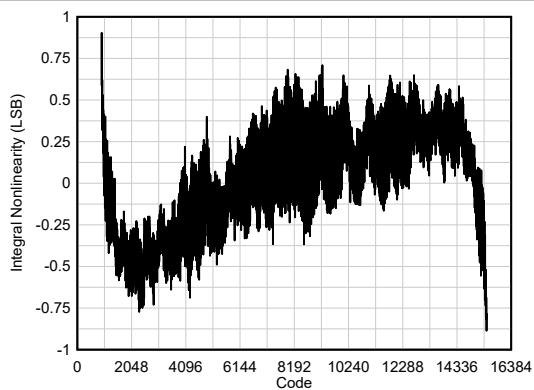


图 6-51. INL

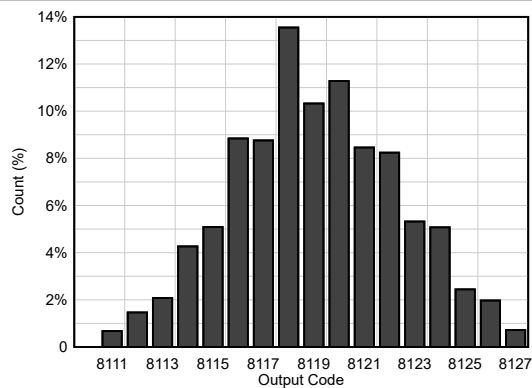


图 6-52. 直流偏移直方图

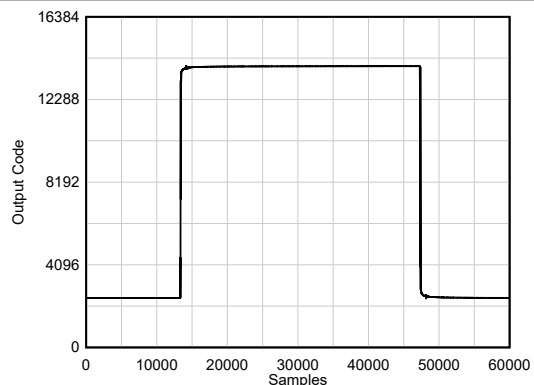
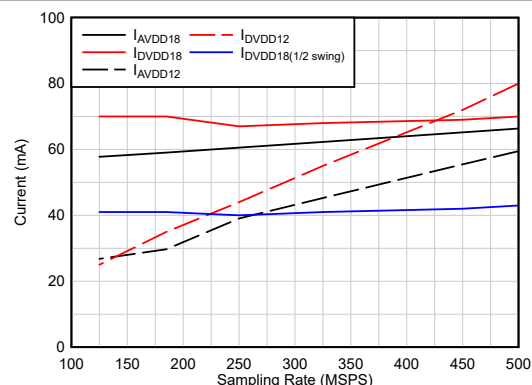
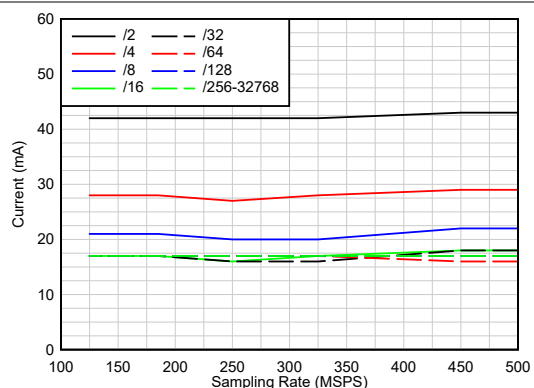


图 6-53. 脉冲响应



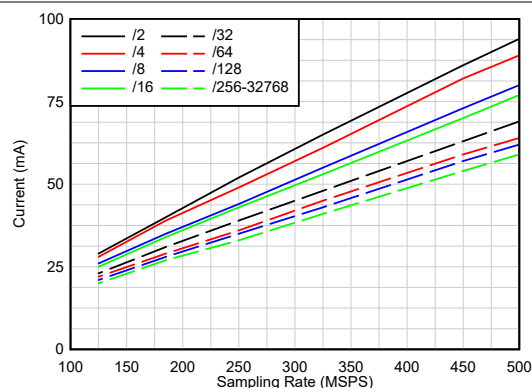
抽取旁路，DDR LVDS

图 6-54. 电流与采样率间的关系



实数抽取，DVDD18

图 6-55. 电流与采样率间的关系

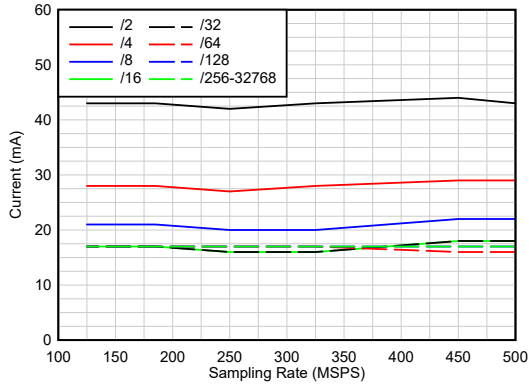


实数抽取，DVDD12

图 6-56. 电流与采样率间的关系

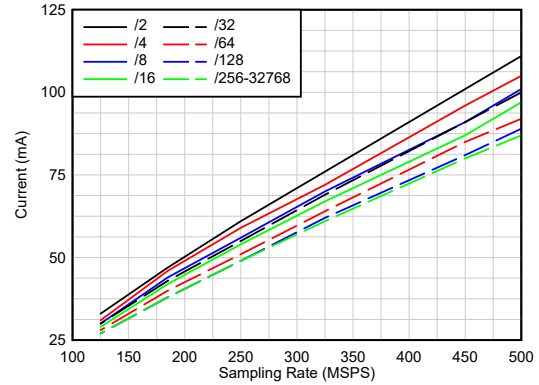
6.11 典型特性 - ADC3549 (500MSPS) (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 500MSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 -1dBFS 差分输入条件下指定的



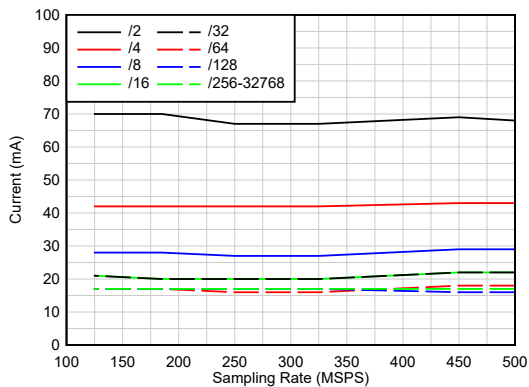
复数抽取, 单频带, DVDD18

图 6-57. 电流与采样率间的关系



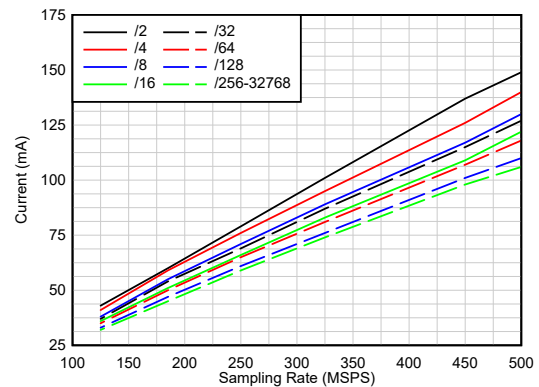
复数抽取, 单频带, DVDD12

图 6-58. 电流与采样率间的关系



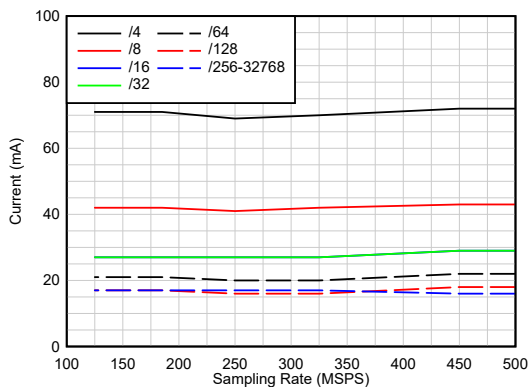
复数抽取, 双频带, DVDD18

图 6-59. 电流与采样率间的关系



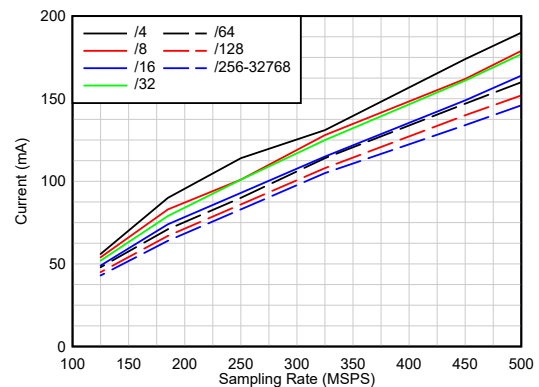
复数抽取, 双频带, DVDD12

图 6-60. 电流与采样率间的关系



复数抽取, 四频带, DVDD18

图 6-61. 电流与采样率间的关系



复数抽取, 四频带, DVDD12

图 6-62. 电流与采样率间的关系

7 参数测量信息

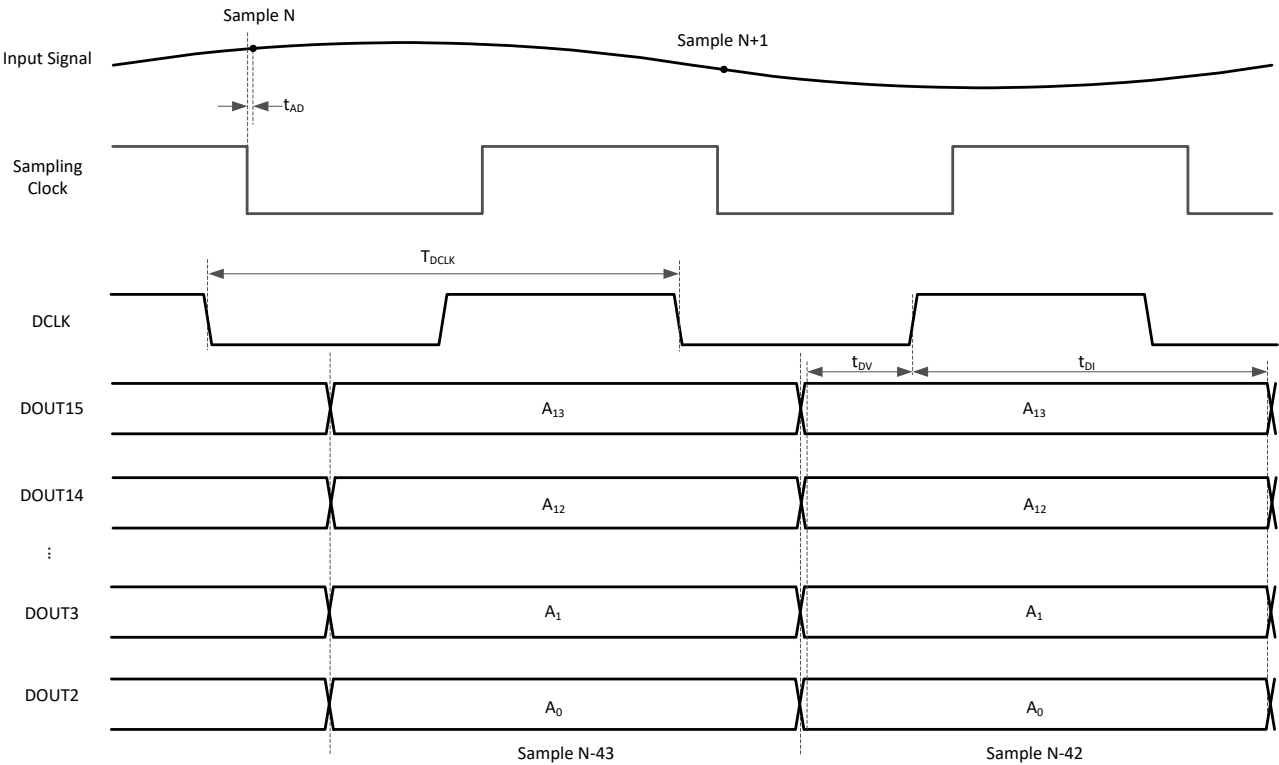


图 7-1. 时序图 - 并行 SDR LVDS (默认)

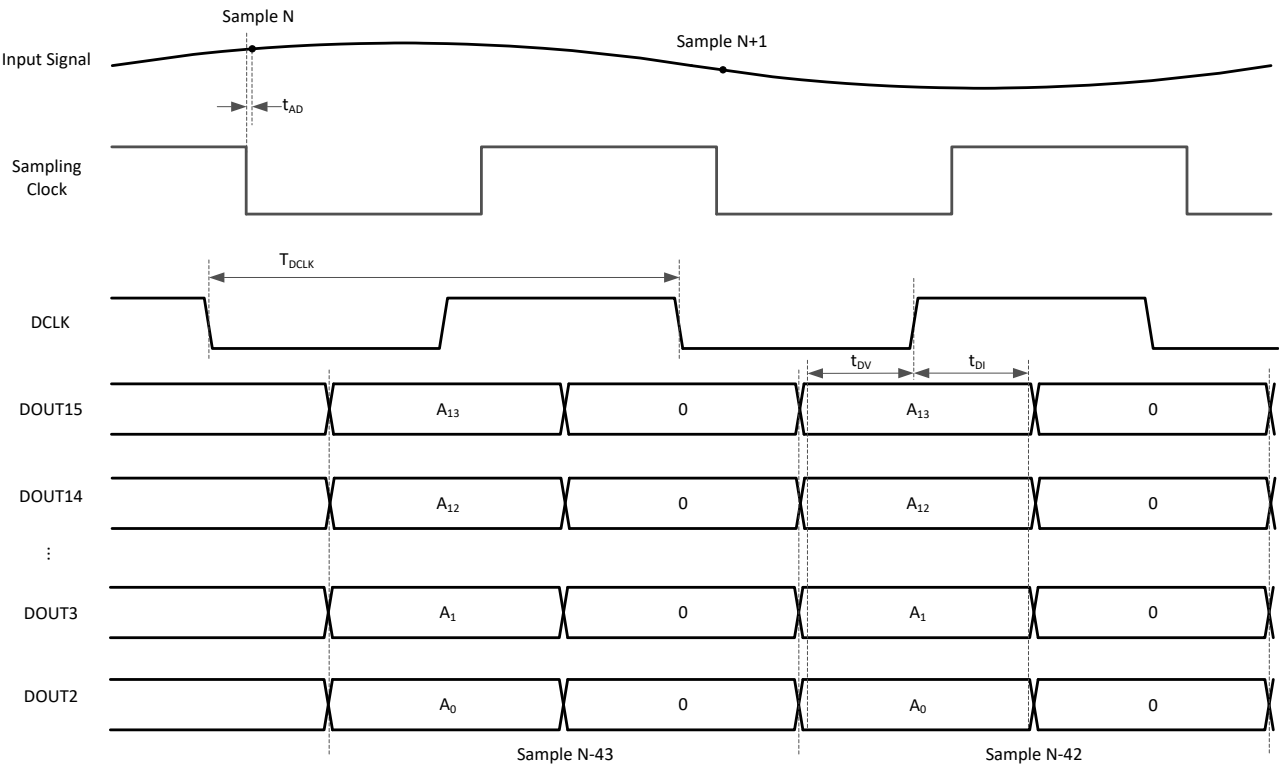


图 7-2. 时序图 - 并行 DDR LVDS (通过寄存器写入寄存器 0x110)

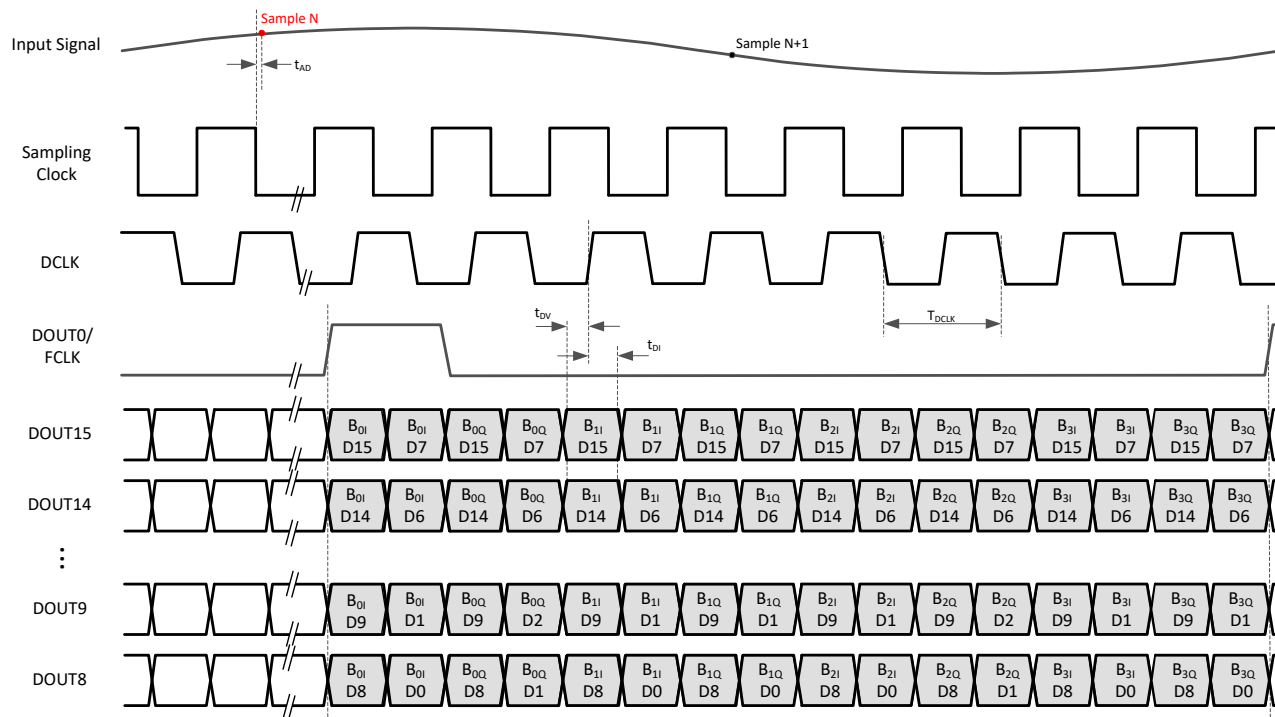


图 7-3. 时序图 - 串行 LVDS (示例 : 四频带、16 位、/8 复数抽取)

8 详细说明

8.1 概述

ADC354x 是一款 14 位、250 至 500MSPS 单通道模数转换器 (ADC)。该器件旨在实现高信噪比 (SNR)，并提供低至 -158.5dBFS/Hz 的噪声频谱密度。缓冲模拟输入支持 $100\ \Omega$ 和 $200\ \Omega$ 的可编程内部端接阻抗，全功率输入带宽为 1.4GHz (-3dB)。

ADC354x 包括一个四频带数字下变频器 (DDC)，支持 $/2$ 宽带抽取至 $/32768$ 窄带抽取。DDC 使用 48 位 NCO，该 NCO 支持相位相干和相位连续跳频。

ADC354x 配备了灵活的 LVDS 接口。在抽取旁路模式下，输出数据使用 SDR 或 DDR 时钟通过 14 个 LVDS 对传输。使用实数或复数抽取时，输出数据使用串行 LVDS 接口进行传输。随着抽取的增加，使用的通道数量减少。

500MSPS 时，高效 ADC 架构的功耗为 435mW ，并以较低的采样率提供功率调节 (250MSPS 时功耗为 369mW)。

8.2 功能方框图

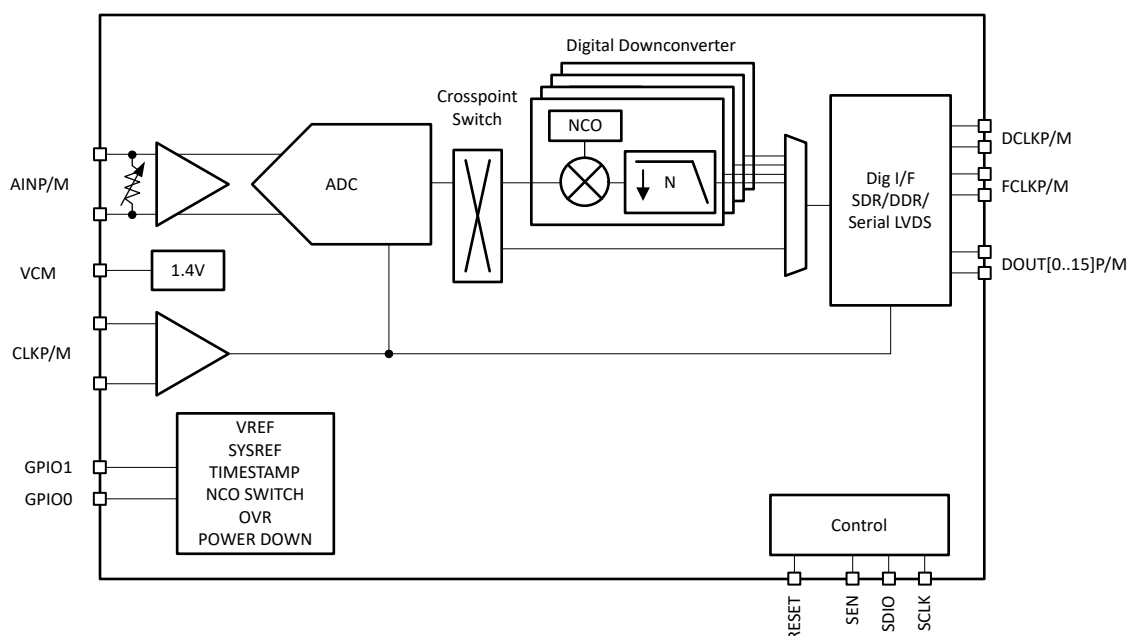


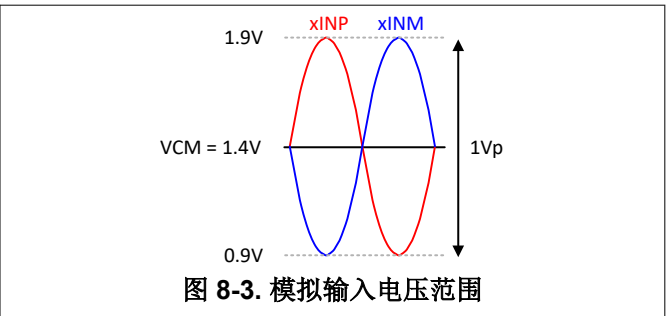
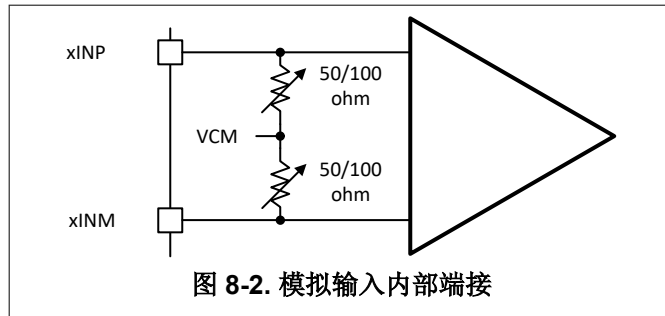
图 8-1. 方框图

8.3 特性说明

8.3.1 模拟输入

ADC354x 的模拟输入端具有内部缓冲器，可将采样电容器干扰噪声与外部输入电路隔离。模拟输入端具有一个带内部偏置的差分 $100\ \Omega$ 分裂端接，如图 8-2 所示。这可通过 SPI 寄存器写入更改为差分 $200\ \Omega$ 端接。

输入满标量程为 $2V_{pp}$ ， V_{cm} 为 $1.4V$ ；因此，模拟输入电压在 $0.9V$ 和 $1.9V$ 之间摆动。ADC 输入经过可靠设计，可支持 $1.9V$ 电压以实现正常运行。



该器件支持模拟输入的交流耦合和直流耦合，如图 8-4 和图 8-5 所示。

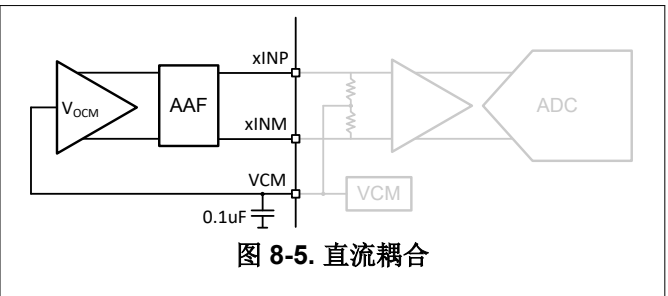
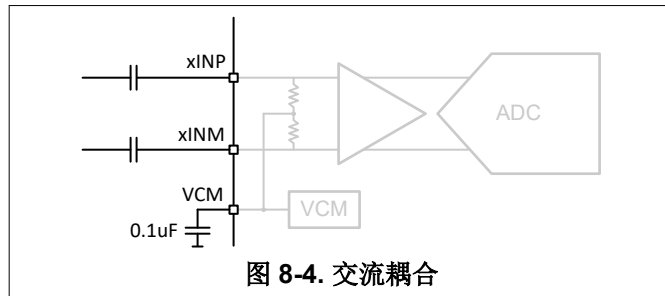


图 8-6 展示了内部 $100\ \Omega$ 和 $200\ \Omega$ 端接的输入带宽 ($-3dB$)。

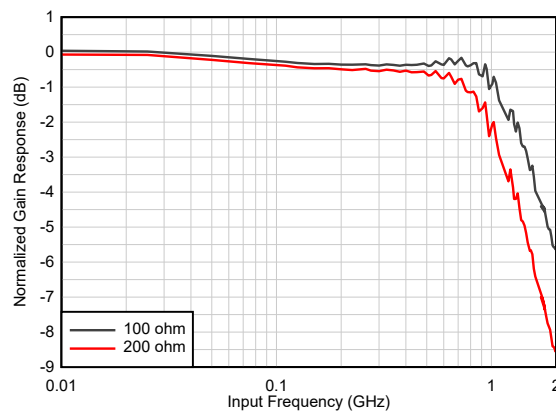


图 8-6. $100\ \Omega$ 和 $200\ \Omega$ 内部端接的全功率输入带宽

8.3.1.1 奈奎斯特区域选择

ADC 包含数字纠错功能，该功能根据目标信号所在的奈奎斯特区域进行优化。为了实现出色性能，必须在 SPI 寄存器映射（寄存器 0x16B）中选择正确的输入频率范围（寄存器 0x132）和奈奎斯特区域。默认情况下会选择第一个奈奎斯特区域。

8.3.1.2 模拟前端设计

为了优化 ADC 的 SNR 和 HD3 性能，建议直接在模拟输入端之前添加一个 RCR 电路。图 8-7 展示了输入频率小于和大于 500MHz 时的建议 RCR 电路（示例显示了交流耦合，但同样适用于直流耦合），其中假设源阻抗为 50 Ω。如果 ADC 由外部放大器驱动，则可能不需要 RCR 电路。

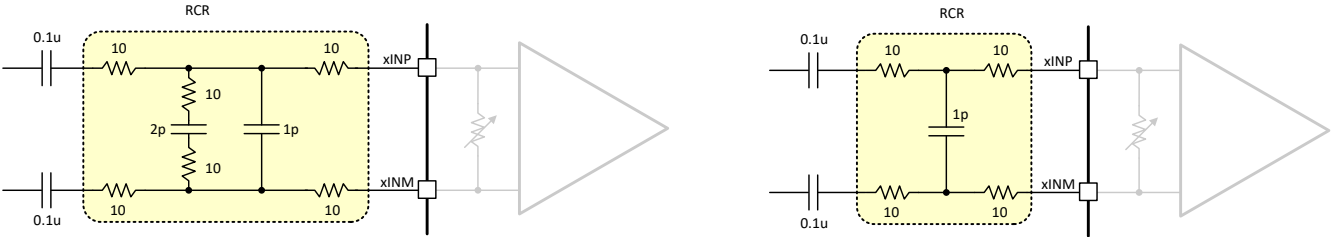


图 8-7. $F_{IN} < 500\text{MHz}$ (左) 和 $F_{IN} > 500\text{MHz}$ (右) 的外部 RCR

8.3.2 采样时钟

采样时钟输入设计为采用外部交流耦合和端接以差分方式驱动。ADC 提供内部共模电压偏置，如图 8-8 所示。

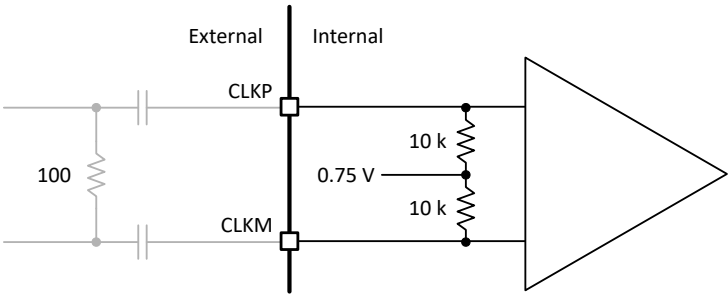


图 8-8. 采样时钟输入电路

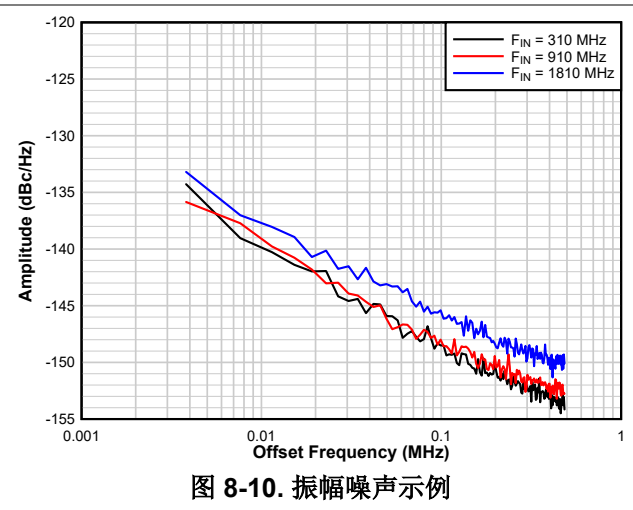
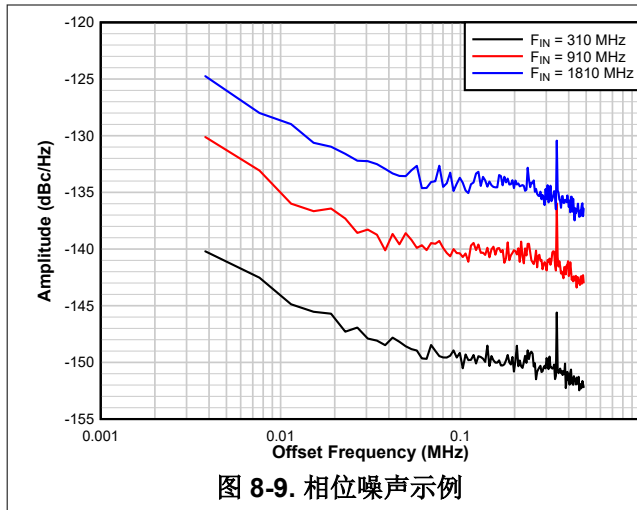
内部采样时钟路径设计用于降低残余相位噪声的影响。采样时钟电路需要专用的低噪声电源，以实现出色的相位噪声和抖动性能。内部残余时钟相位噪声对时钟振幅也很敏感。

内部残余时钟噪声由两个分量组成：相位噪声和振幅噪声，如表 8-1 中所示。相位噪声会随输入频率和采样率而变化 ($20 \cdot \log(f_{IN}/F_S)$)，而振幅噪声则不会随之变化。

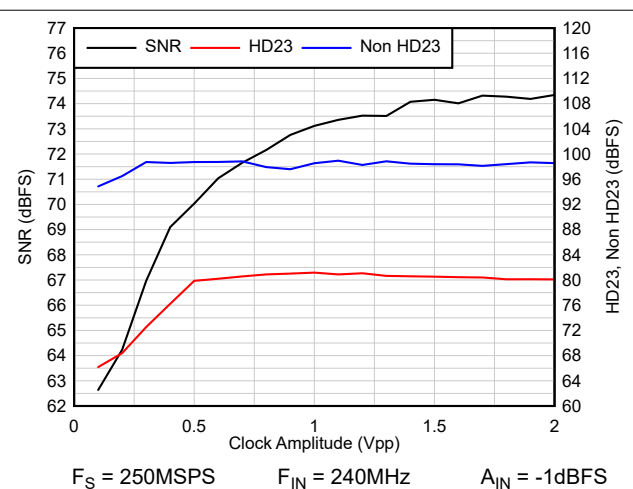
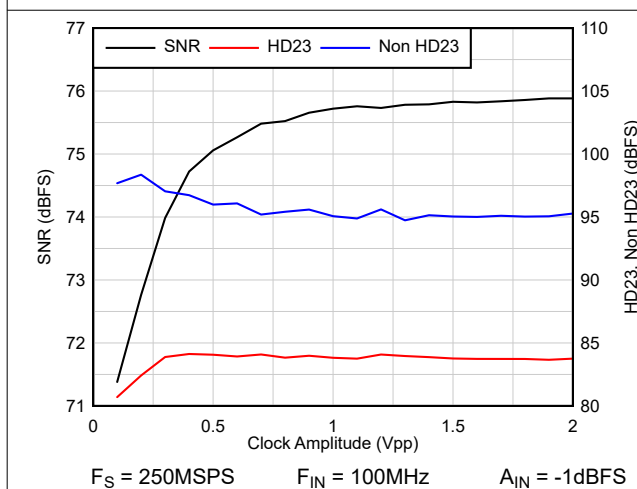
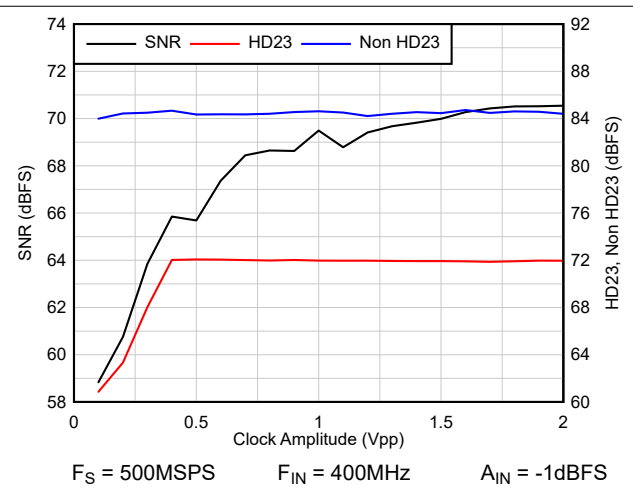
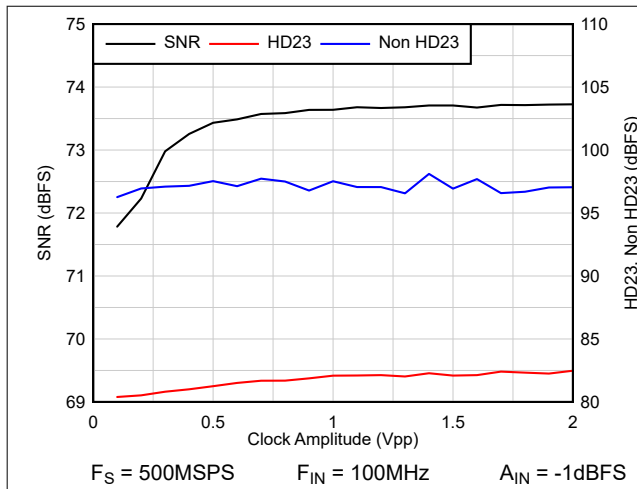
表 8-1. 500MHz 时的相位和振幅噪声

频率偏移 (MHz)	相位噪声 (dBc/Hz)	振幅噪声 (dBc/Hz)
0.001	-130	-129
0.01	-140	-139
0.1	-150	-149
1	-160	-159
3	-165	-164
10	-165	-164

图 8-9 和图 8-10 显示了三个不同输入频率下的相位和振幅噪声。



内部时钟噪声也取决于外部时钟振幅。图 8-11 至图 8-14 展示了在时钟振幅范围内不同输入频率对应的预期交流性能。



8.3.2.1 多芯片同步

该器件提供了一个选项来实现确定性延迟，从而简化多个器件之间的同步，具体取决于工作模式：

- DDC 旁路模式：该器件本身已经具有确定性延迟。外部多芯片同步是通过匹配器件间的时钟布线来实现的。但是，可以使用 **SYSREF** 信号来复位内部 **RAMP** 测试图形。
- DDC 模式：与抽取滤波器相关的内部块（时钟分频器、NCO 相位等）通过使用 **SYSREF** 信号复位为确定性状态。外部多芯片同步则是通过匹配器件间的时钟和 **SYSREF** 信号布线（蓝线）来实现的，如图 8-15 所示。

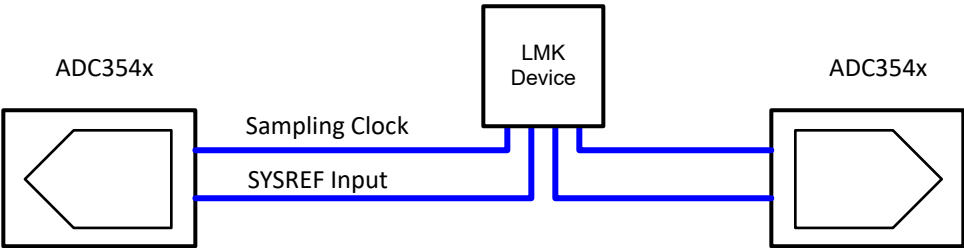


图 8-15. 2 个器件的同步示例

GPIO0 引脚可配置为同步输入。可以施加单个脉冲来实现多芯片同步，如图 8-16 所示。

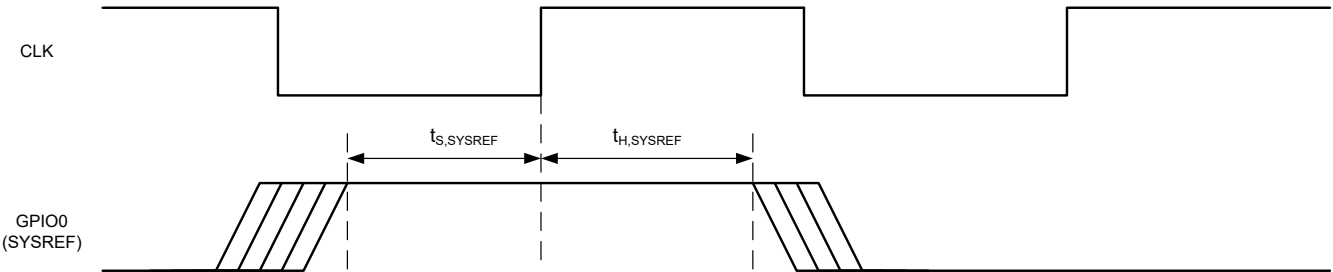


图 8-16. 时序：外部同步输入

SPI 寄存器映射中有多个不同的同步掩码，可用于仅复位特定块，例如 NCO 相位。

表 8-2. 外部 **SYSREF** 配置的寄存器写入示例

ADDR	DATA	说明
0x146	0x00	将引脚 GPIO0 配置为 SYSREF 输入

8.3.2.2 SYSREF 监测器

SYSREF 输入信号的上升沿必须与采样时钟的下降沿对齐，以更大限度地增加建立和保持时间。SYSREF 信号在采样时钟的上升沿加 60ps 时进行内部采样。

该器件包含一个内部 SYSREF 监测电路，用于检测在 SYSREF 采样时刻附近可能出现的 SYSREF 逻辑电平亚稳态情况，该情况可能会导致不同器件之间出现错位情况。SYSREF 监测电路通过检测 SYSREF 逻辑状态转换是否发生在采样时钟上升沿的 -60ps 至 +140ps 范围内，从而提供有关 SYSREF/时钟失准的信息。该电路用于检测并触发与以下匹配 SYSREF 窗口对应的其中一个 SYSREF XOR 标志：

- Window XOR1：SYSREF 将采样时钟提前 20ps 至 60ps
- Window XOR2：SYSREF 将采样时钟提前 20ps 至 0ps，或 SYSREF 将采样时钟滞后 0ps 至 20ps
- Window XOR3：SYSREF 将采样时钟滞后高达 20ps 至 60ps
- Window XOR4：SYSREF 将采样时钟滞后 60ps 至 100ps
- Window XOR5：SYSREF 将采样时钟滞后 100ps 至 140ps

SYSREF 监控寄存器会在 SYSREF 的每个上升沿更新。<SYSREF DET> 寄存器 (D6) 是粘滞寄存器 (表示检测到 SYSREF 边沿)，需要手动清零。

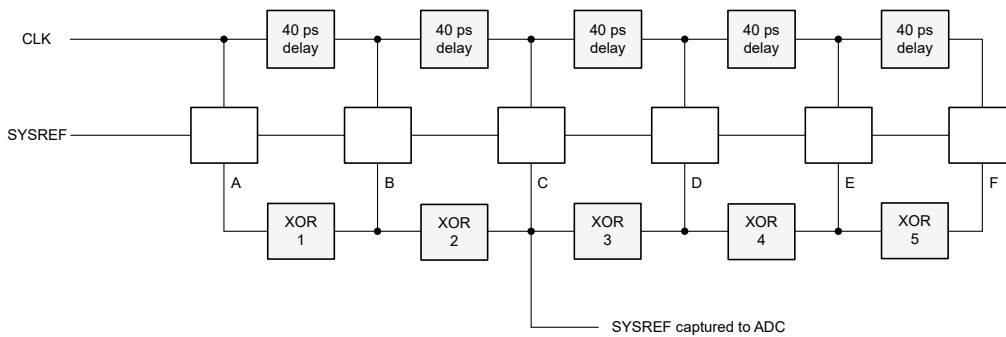


图 8-17. SYSREF 检测电路

图 8-18 中的示例显示了未对齐的 SYSREF 信号，其中 SYSREF 信号的到达时间远远晚于采样时钟下降沿。在本例中，延迟的 SYSREF 信号在“B”和“C”触发器之间切换，从而触发了 XOR2 标志。XOR 标志在寄存器 0x140 中报告。在本例中，寄存器 0x140 读回 0x62，如表 8-3 所示。

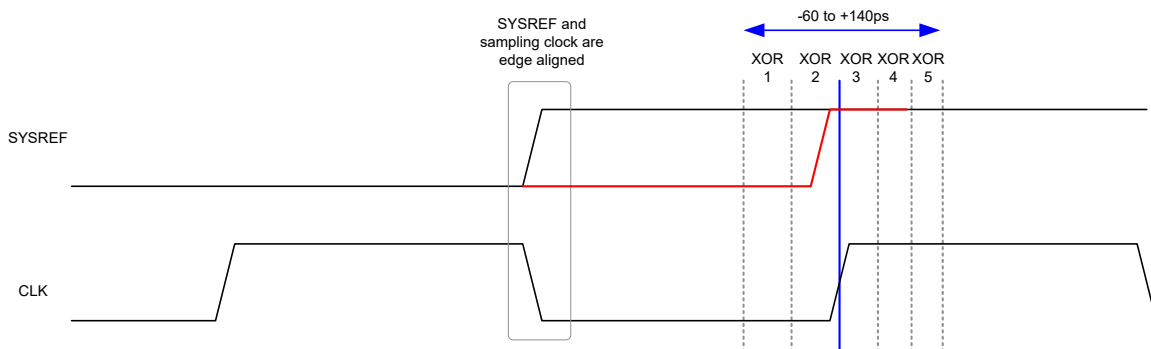


图 8-18. 在“Capture”窗口内检测 SYSREF 转换

表 8-3. SYSREF 窗口寄存器示例 (0x140)

ADDR	D7	D6	D5	D4	D3	D2	D1	D0
0x140	0	SYSREF DET	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1
	0	1	1	0	0	0	1	0

8.3.3 时间戳

ADC354x 包含时间戳功能，支持在 DDC 旁路模式下在模拟输入上标记特定样本。启用该功能（通过 SPI 写入）时，GPIO/SYSREF 引脚上的逻辑低电平到高电平转换会在采样时钟的上升沿进行记录。时间戳信号在通道 DOUT2 (LSB) 上输出，但是，该信号的延迟与输出数据不匹配。SDR 和 DDR LVDS 提供时间戳功能。

如图 8-19 所示，时间戳信号在输出数据之前提前 35 个时钟周期指示：

- 延迟输出数据：43 个时钟周期
- 延迟时间戳输出：8 个时钟周期

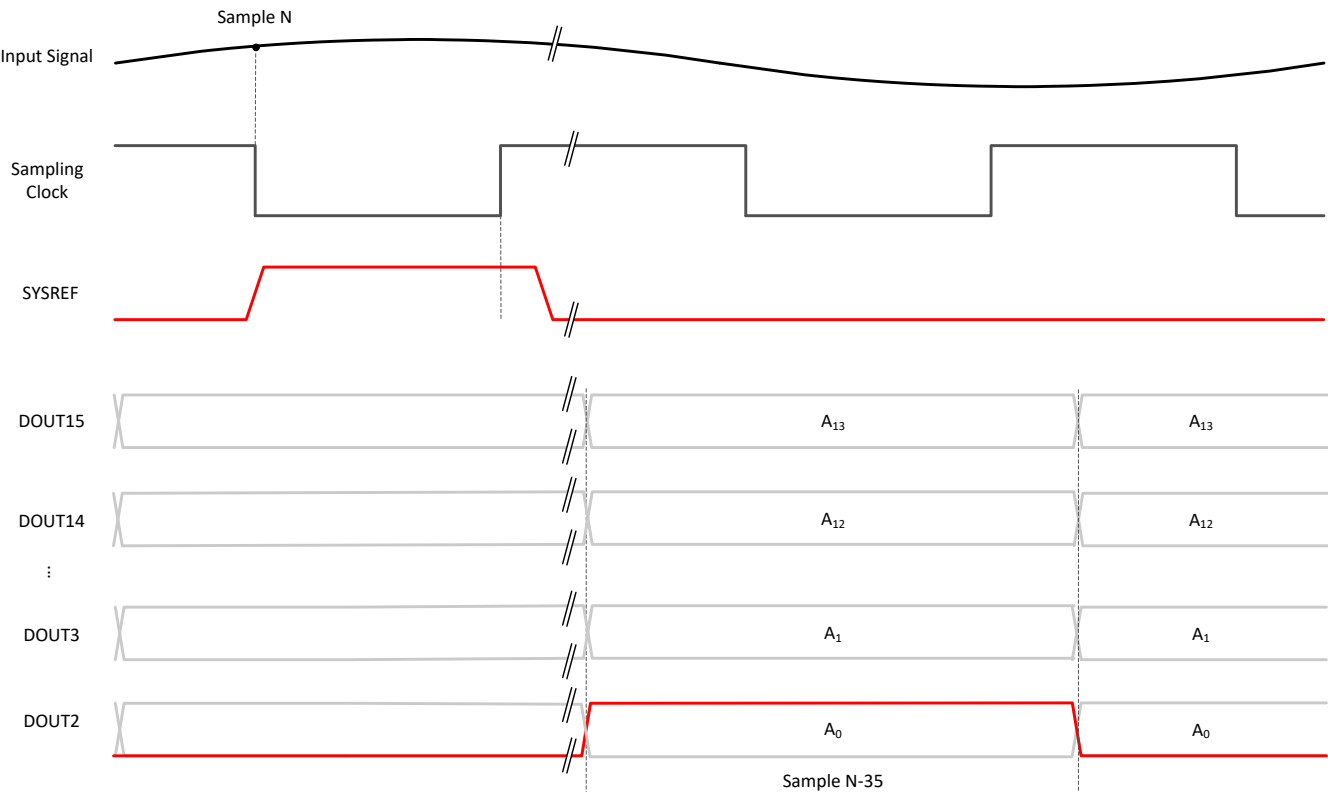


图 8-19. 时序图 - 具有 SDR LVDS 的时间戳输出

表 8-4. 在引脚 GPIO0 上启用时间戳的寄存器写入示例

ADDR	DATA	说明
0x146	0x00	在引脚 GPIO0 上启用 SYSREF。
0x162	0xC0	启用时间戳功能，替换 LSB。

8.3.4 超范围

当信号超出可表示的数字范围时，器件会触发超范围指示器。超范围输出可在寄存器 0x10A/0x10B 中进行配置。OVR 指示的延迟等于或小于数据延迟。

OVR 可通过两种不同的方式进行指示：

- GPIO 引脚：可以使用寄存器 0x146 进行配置
- LSB 数据：OVR 信号取代输出数据（寄存器 0x116）的 LSB。在抽取模式下，OVR 信号取代每个 DDC 输出流中的 LSB。

8.3.5 外部电压基准

为了获得最高精度和最低温度漂移，可为 ADC 提供外部 1.2V 电压基准。外部基准可通过引脚 GPIO1 (通过 SPI 进行配置) 提供。建议在 GPIO0/1 和 AGND 引脚之间连接一个 10uF 和一个 0.1uF 陶瓷旁路电容器 (CVREF)，并尽可能靠近这些引脚放置。

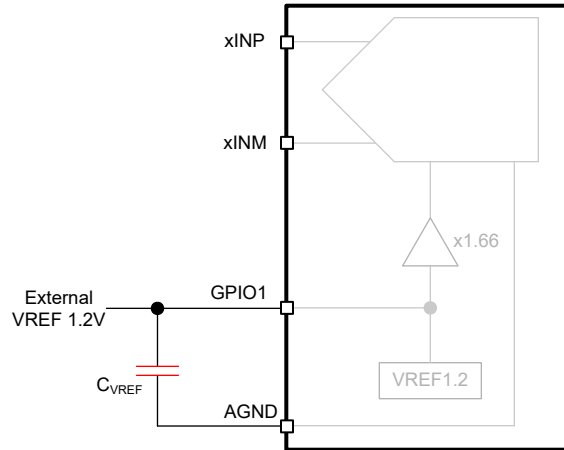


图 8-20. 外部电压基准

8.3.6 数字增益

该器件包含一个可编程数字增益。此增益在寄存器 0x15B 中编程。8 位寄存器字段为 7 位并带符号位 (二进制补码)。

实际增益 (以 dB 为单位) 为： $20 \times \log (1 + (7 \text{ 位增益}/128))$

例如，寄存器值 0x7F 对应于 6dB 的数字增益，而值 0xC0 对应于 -6dB 的数字增益。

8.3.7 抽取滤波器

ADC354x 为每个 ADC 通道提供多达四个数字下变频器，如内部数字下变频器所示。在单频带模式下，支持 $/2$ 到 $/32768$ 的抽取，而在双频带模式下，可能的最低抽取为 $/4$ ，如表 8-5 所示。该器件支持实数抽取（仅限单频带）和复数抽取。在实数抽取中，通带约为 40%，而在复数抽取中，通带约为 80%，如表 8-6 所示。

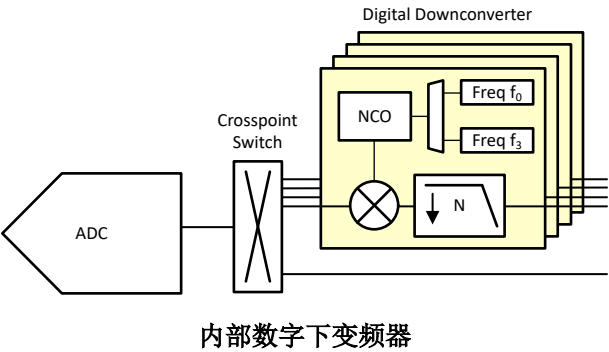


表 8-5. 不同抽取滤波器频带选项汇总

DDC 数量	最小抽取率	最大抽取率
单频带 DDC	$/2$	$/4096$
双频带 DDC	$/4$	$/32768$
四频带 DDC	$/8$	$/4096$

表 8-6. 复数抽取和实数抽取与输出带宽间的关系

抽取因子 (复数)	每个 DDC 的复数输出带宽	每个 DDC 的实数输出带宽
N	$0.8 \times F_S / N$	$0.4 \times F_S / N$

抽取通过设置 <COMMON DECIMATION> SPI 寄存器 (0x169, D3-D0) 来启用。默认情况下，该寄存器为“实数”抽取。“复数”抽取通过寄存器<COMPLEX EN> (0x162, D2) 启用。

8.3.7.1 不同的抽取率

DDC 可编程为具有不等的独立抽取率。输出数据速率基于具有最低抽取率的抽取滤波器。具有较高抽取因子的 DDC 的输出样本会在输出数据流中相应地重复。例如，如果 DDC0 设置为 $/4$ 抽取并 DDC1 设置为 $/8$ 抽取，则 DDC0 的输出数据速率为 DDC1 的两倍 ($F_{out0} = F_S/4$ 与 $F_{out1} = F_S/8$)。因此，DDC1 的输出样本在输出数据流中重复一次，如图 8-21 所示。

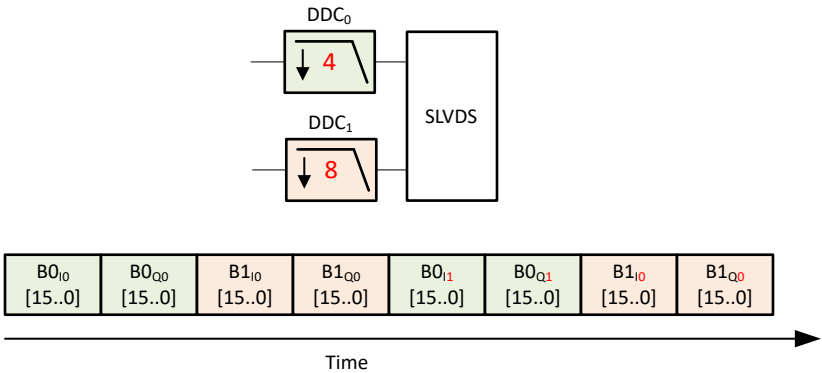


图 8-21. 不等的抽取因子

8.3.7.2 抽取滤波器响应

本节提供了标准化 ADC 采样率下不同抽取滤波器的响应。复数滤波器的通带约为 80% (−1dB)，最小阻带抑制为 85dB。

抽取滤波器响应归一化为 ADC 采样时钟频率 F_S ，如图 8-23 至图 8-52 所示。响应解释如下：每张图都包含滤波器通带、过渡带和混叠或阻带，如图 8-22 所示。x 轴显示了归一化为 ADC 采样率 F_S 的偏移频率（经过 NCO 频率偏移后）。

例如，在 4 分频复数设置中，输出数据速率为 $F_S/4$ 复数，奈奎斯特区域为 $F_S/8$ 或 $0.125 \times F_S$ 。过渡带（蓝色）以 $0.125 \times F_S$ 为中心，混叠过渡带以 $0.375 \times F_S$ 为中心。阻带（红色）在通带顶部混叠，以 $0.25 \times F_S$ 和 $0.5 \times F_S$ 为中心。阻带衰减大于 85dB。

备注

对于更高的抽取比（/32 及以上），远端转换和阻带超过 −120dB，因此抽取滤波器图仅显示衰减小于 −120dB 时的相关较近响应。

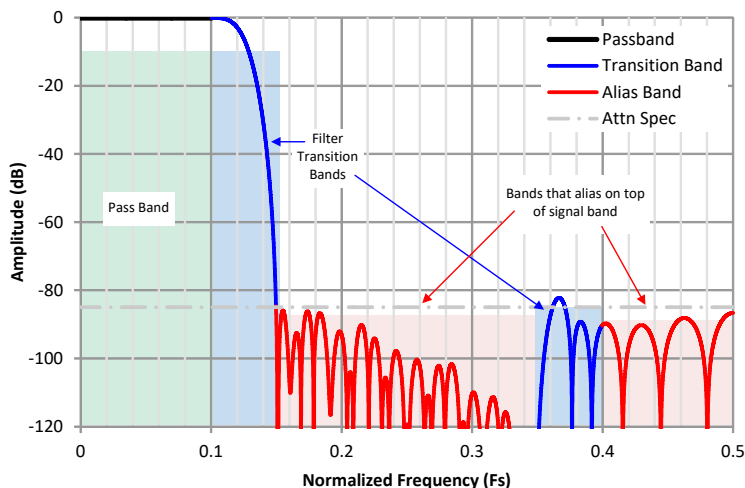


图 8-22. 抽取滤波器图的解释

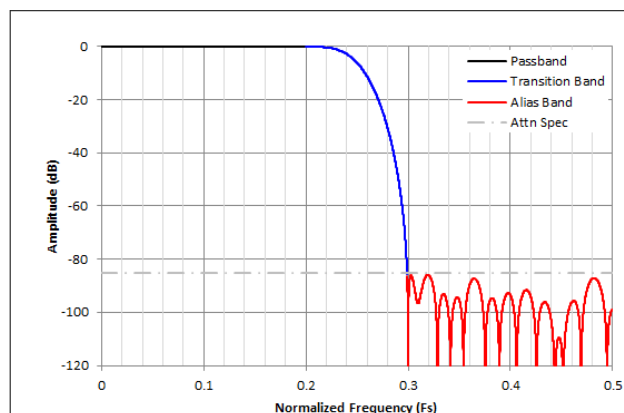


图 8-23. /2 复数抽取滤波器响应

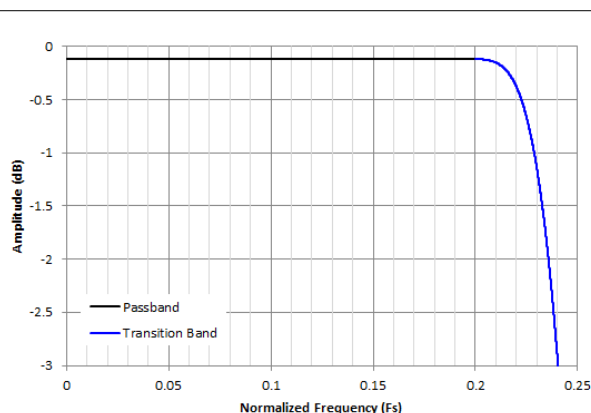


图 8-24. /2 抽取通带纹波响应

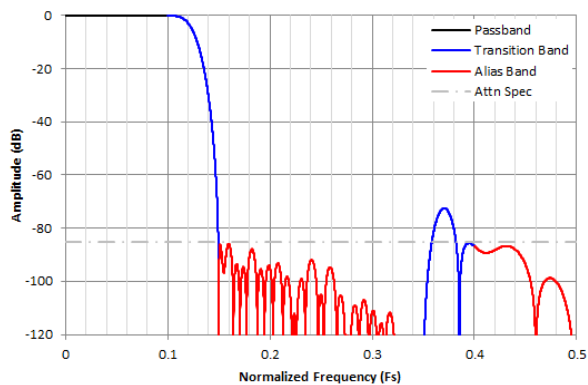


图 8-25. /4 复数抽取滤波器响应

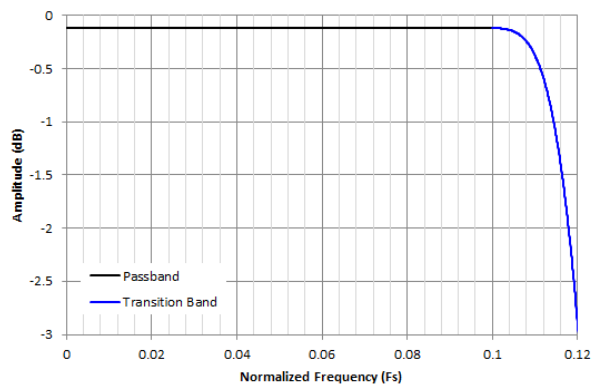


图 8-26. /4 抽取通带纹波响应

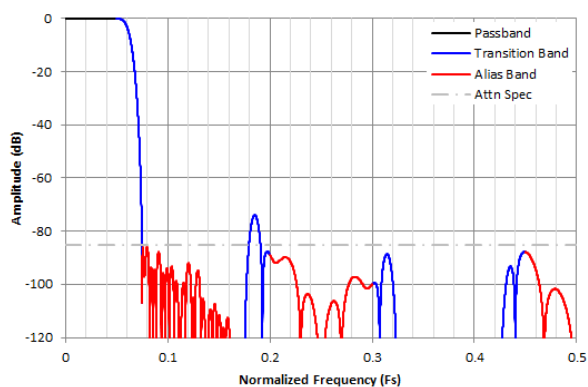


图 8-27. /8 复数抽取滤波器响应

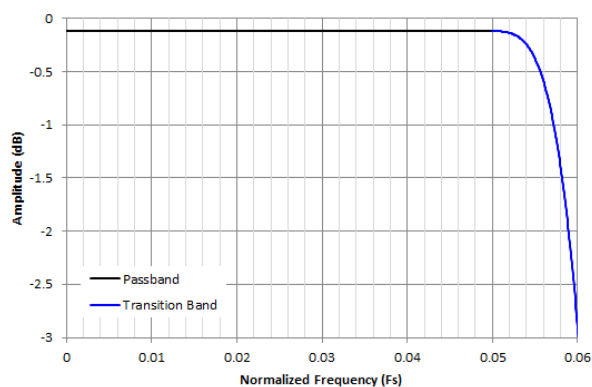


图 8-28. /8 抽取通带纹波响应

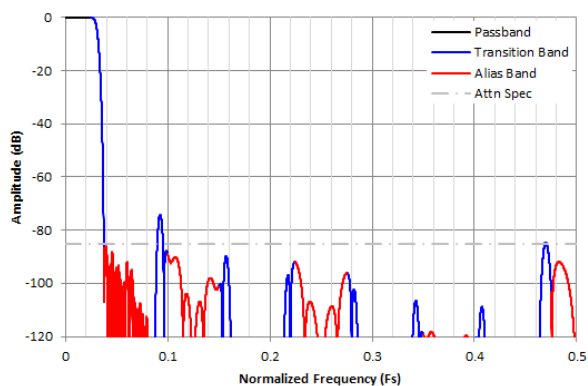


图 8-29. /16 复数抽取滤波器响应

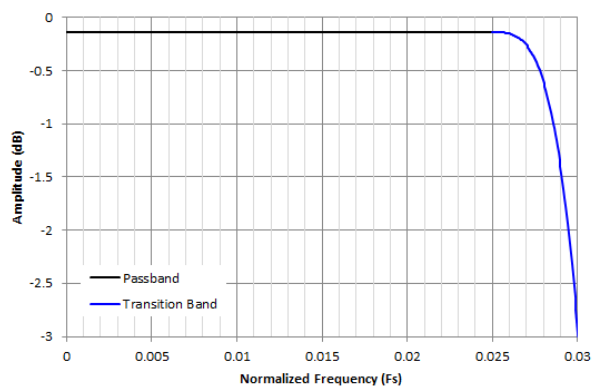


图 8-30. /16 抽取通带纹波响应

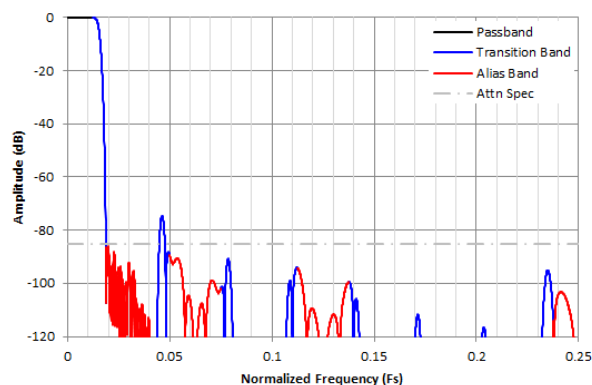


图 8-31. /32 复数抽取滤波器响应

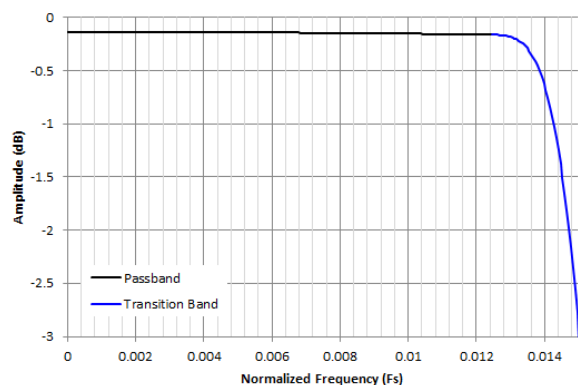


图 8-32. /32 抽取通带纹波响应

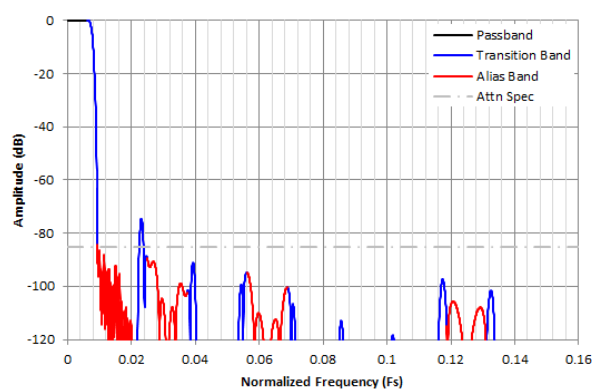


图 8-33. /64 复数抽取滤波器响应

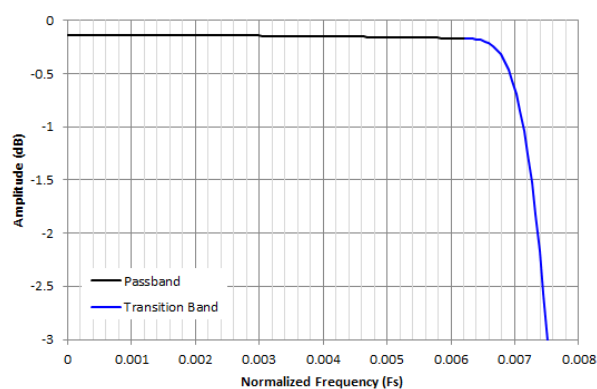


图 8-34. /64 复数抽取通带纹波响应

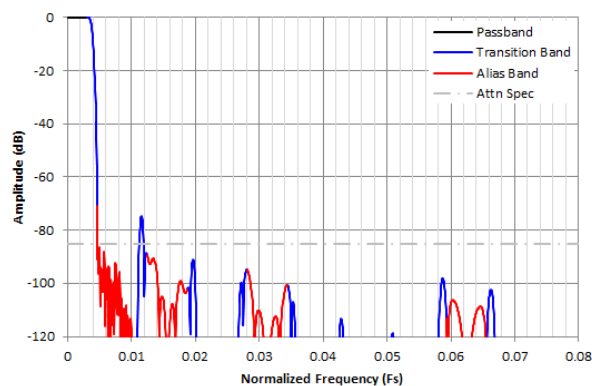


图 8-35. /128 复数抽取滤波器响应

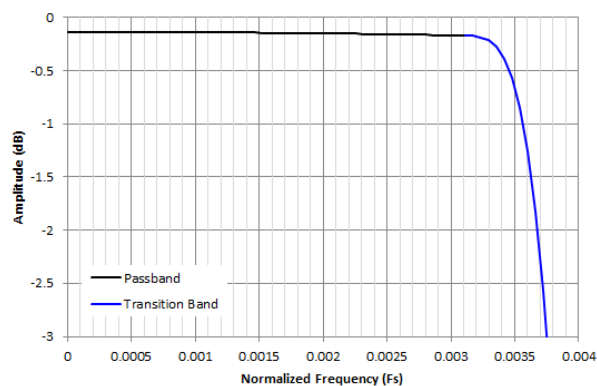


图 8-36. /128 抽取通带纹波响应

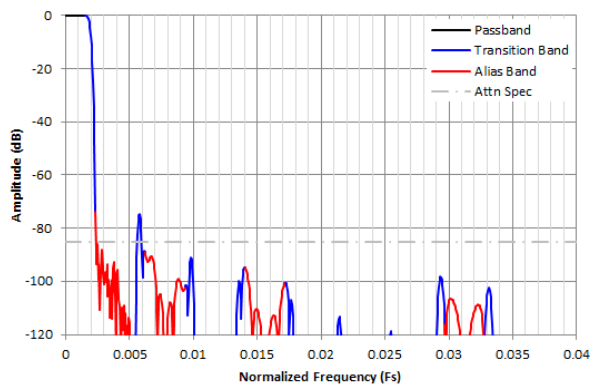


图 8-37. /256 复数抽取滤波器响应

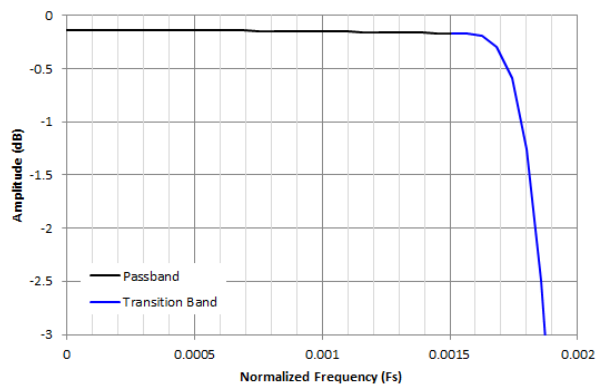


图 8-38. /256 抽取通带纹波响应

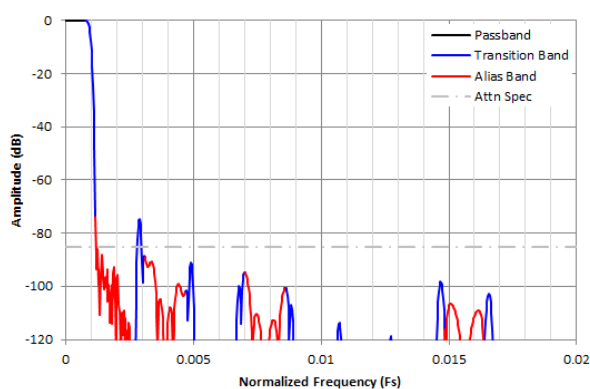


图 8-39. /512 复数抽取滤波器响应

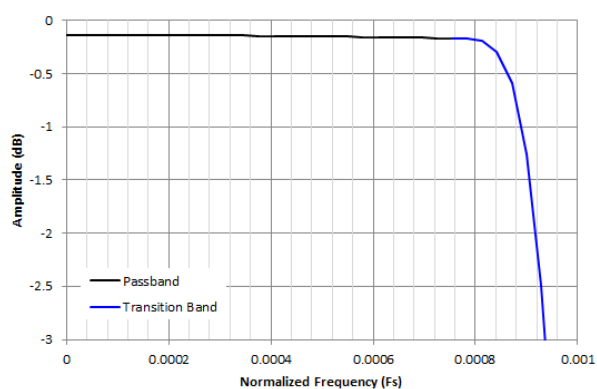


图 8-40. /512 抽取通带纹波响应

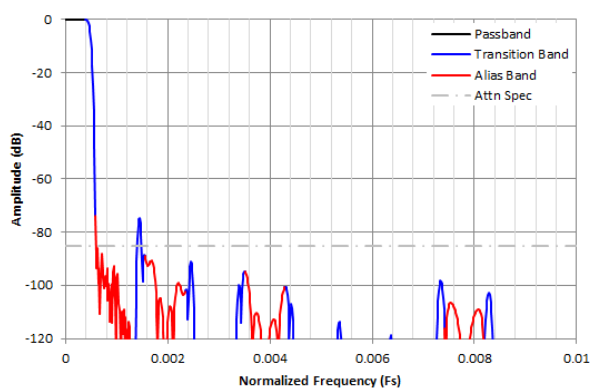


图 8-41. /1024 复数抽取滤波器响应

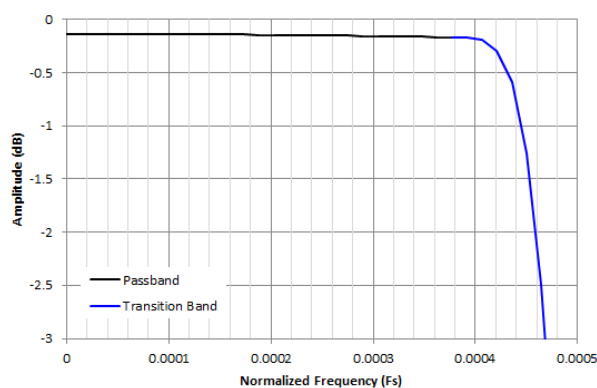


图 8-42. /1024 抽取通带纹波响应

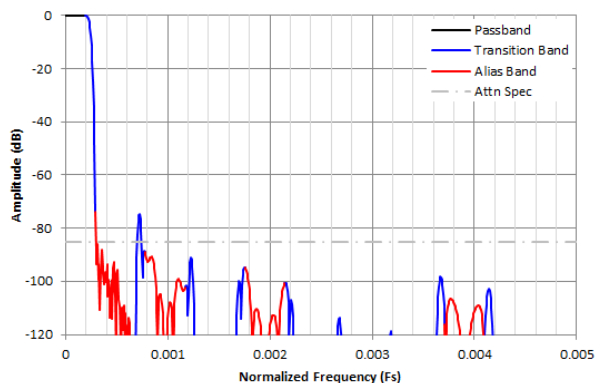


图 8-43. /2048 复数抽取滤波器响应

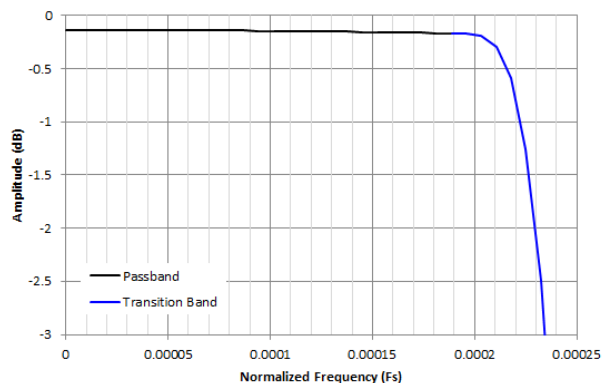


图 8-44. /2048 抽取通带纹波响应

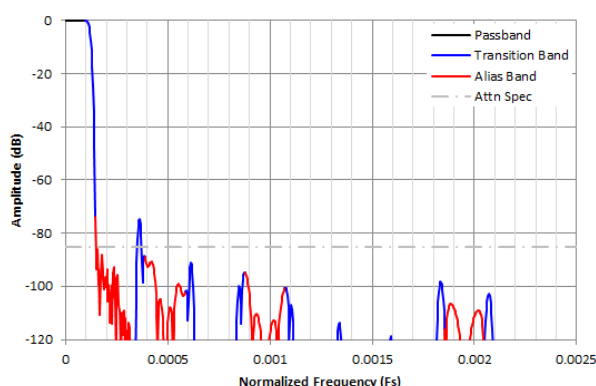


图 8-45. /4096 复数抽取滤波器响应

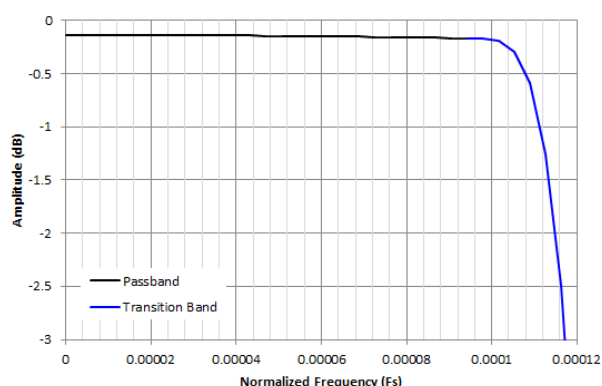


图 8-46. /4096 抽取通带纹波响应

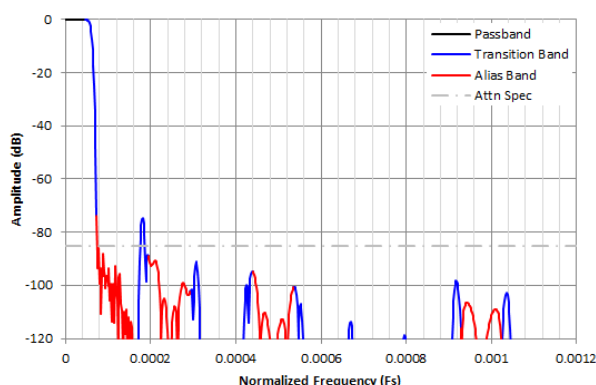


图 8-47. /8192 复数抽取滤波器响应

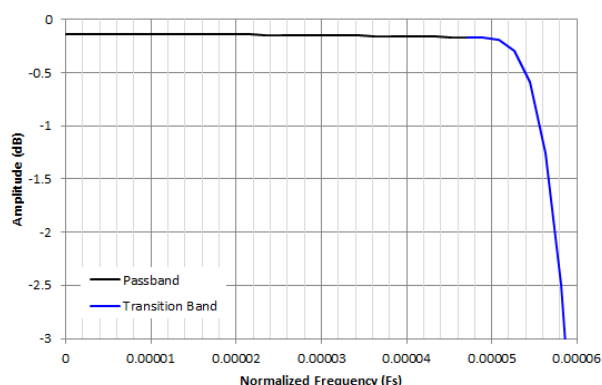


图 8-48. /8192 抽取通带纹波响应

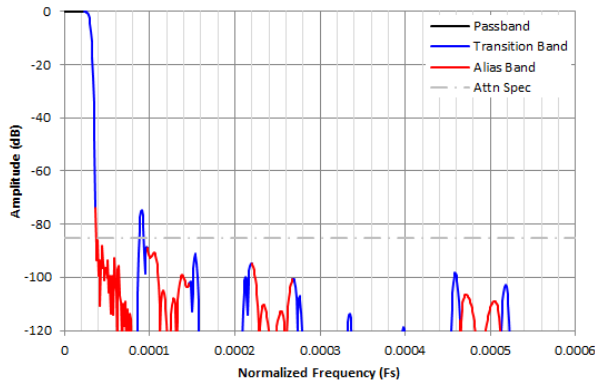


图 8-49. /16384 复数抽取滤波器响应

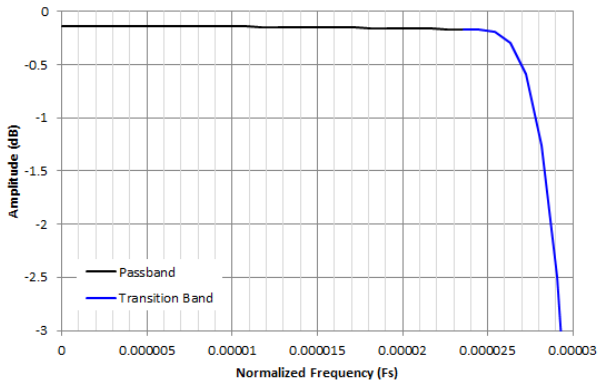


图 8-50. /16384 抽取通带纹波响应

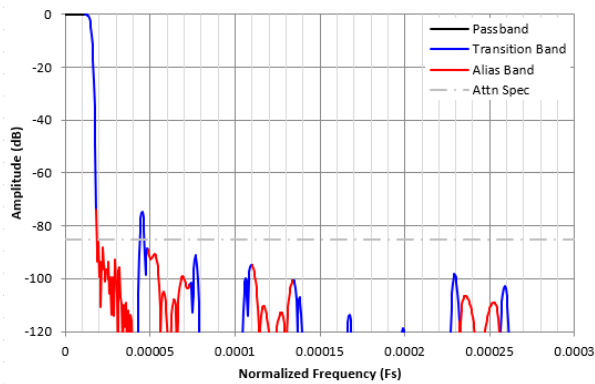


图 8-51. /32768 复数抽取滤波器响应

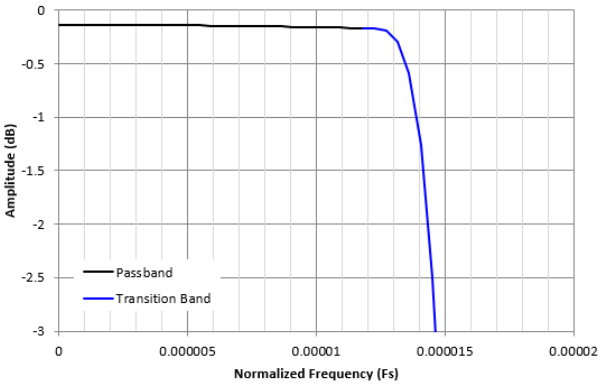


图 8-52. /32768 抽取通带纹波响应

8.3.7.3 抽取滤波器配置

可以使用寄存器 0x163 至 0x169 来控制数字抽取滤波器的运行。NCO 频率映射到寄存器 0x200..0x2DF。DDC 非常灵活，支持多种工作模式。

表 8-7. DDC 的配置

ADDR	说明
0x163	将 ADC ChA 连接到所需的 DDC。默认情况下，ADC 连接到两个 DDC。
0x164	选择 NCO 模式并更新 NCO 频率
0x165	配置 NCO 频率更新
0x166	将 NCO 频率 0.3 分配给每个 NCO
0x167/168	如果使用不相等的抽取因子，则为每个 DDC 选择抽取率
0x169	配置 DDC 数量和通用抽取因子

可使用以下序列来配置 DDC 以静态工作模式（固定 NCO/缓慢变化的 NCO 频率）：/1024 复数抽取、四频带 32 位输出

表 8-8. DDC 示例配置

ADDR	DATA	说明
0x162	0x06	选择复数抽取、32 位输出分辨率。
0x169	0x1A	配置为 4x DDC（四频带），通用抽取因子为 1024。

8.3.7.4 数控振荡器 (NCO)

每个数字下变频器 (DDC) 都使用一个 48 位数控振荡器(NCO) 在数字滤波之前微调频率。使用 SPI 寄存器写入可为每个 DDC 编程多达四个不同的 NCO 频率。数字 NCO 设计为具有至少 100dB 的 SFDR。

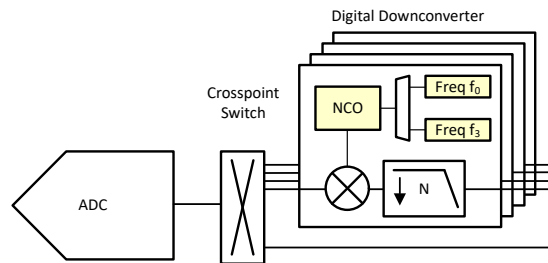


图 8-53. NCO 方框图

有两种不同的 NCO 工作模式，即相位连续和无限相位相干。

1. **相位连续 NCO**：在 NCO 频率变化期间，NCO 相位会逐渐调整到新频率，如图 8-54 (左) 所示。“虚线”表示原始频率 f_1 的相位。
2. **无限相位相干 NCO**：借助相位相干 NCO，所有频率都使用 SYSREF 与单个事件进行同步。由于跳频之间保持相位相干性，因此无需复位 NCO，即可实现无限次跳频。图 8-54 (右) 展示了这一点。当恢复到原始频率 f_1 时，NCO 相位看起来就像 NCO 从未改变过频率一样。

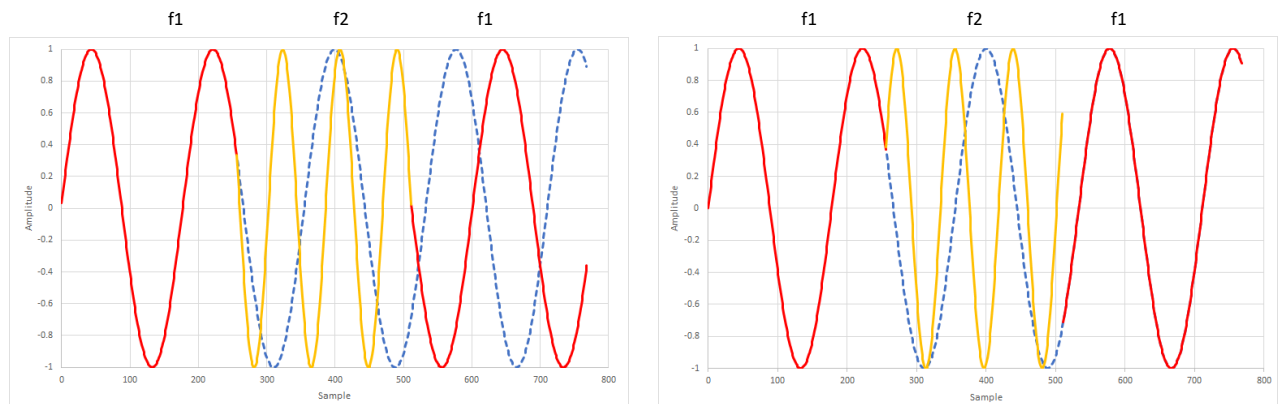


图 8-54. 相位连续 (左) 和无限相位相干 (右) NCO 频率切换

振荡器会生成一个复指数序列：

$$e^{j\omega n} \text{ (default) or } e^{-j\omega n} \tag{1}$$

其中：频率 (ω) 通过 48 位寄存器设置指定为有符号数

复指数序列与 ADC 的实数输入相乘，以将所需的载波混合到等于 $f_{IN} + f_{NCO}$ 的频率。NCO 频率可在 $-F_S/2$ 至 $+F_S/2$ 范围内进行调节，并以带符号的二进制补码形式处理。

NCO 频率设置由 48 位寄存器值设置，计算方式如下：

$$\text{NCO frequency (0 to } +F_S/2\text{): } NCO = f_{NCO} \times 2^{48} / F_S \tag{2}$$

$$\text{NCO frequency } (-F_S/2 \text{ to } 0\text{): } NCO = (f_{NCO} + F_S) \times 2^{48} / F_S \tag{3}$$

其中：

- NCO = NCO 寄存器设置 (十进制值)
- f_{NCO} = 所需的 NCO 频率 (MHz)
- F_S = ADC 采样率 (MSPS)

以下示例说明了 NCO 编程过程：

- ADC 采样率 $F_S = 500\text{MSPS}$
- 所需的 NCO 频率 = 120MHz

$$\text{NCO frequency setting} = f_{NCO} \times 2^{48} / F_S = 120\text{MHz} \times 2^{48} / 500 \text{ MSPS} = 67,553,994,410,557 \tag{4}$$

表 8-9 展示了为将 DDC0 NCO 的频率 0 设置为该频率而进行的寄存器写入：

表 8-9. 用于更改 NCO 频率的寄存器写入示例

ADDR	DATA	说明
0x200	0x3D	将 NCO0 频率设置为 120MHz (67,553,994,410,557)， 即 0x3D70 A3D7 0A3D，起始 LSB 位于 0x200。
0x201	0x0A	
0x202	0xD7	
0x203	0xA3	
0x204	0x70	
0x205	0x3D	
0x165	0x00	使用新的频率加载并更新所有 NCO。
0x165	0x01	
0x165	0x00	
0x160	0x00	发出手动 SYSREF (通过引脚或 SPI SYSREF) 来更新 NCO 频率。
0x160	0x04	
0x160	0x00	

8.3.8 数字接口

ADC354x 根据工作模式支持 3 种不同的 LVDS 接口：

- SDR LVDS (默认)：数据使用 14 位宽的 LVDS 总线输出，其中每个位在输出时钟的上升沿使用一个输出通道。
- DDR LVDS：使用 14 位宽 LVDS 总线并借助输出时钟的上升沿和下降沿来输出数据。数据在时钟的上升沿输出，而 0 在时钟的下降沿输出。
- 串行 LVDS (SLVDS)：使用抽取 (实数或复数) 时，输出数据会进行串行化，并在更少的通道上输出。

8.3.8.1 并行 LVDS (SDR) - 默认

并行 LVDS 用于抽取旁路模式。在 SDR LVDS 中，所有 14 位都使用 DCLK 的上升沿在 14 个 LVDS 通道上传输，如图 8-55 所示。

通道 DOUT0/1/2 上的输出数据可替换为：

- 通道 DOUT0/1/2 上的超范围输出 OVR，在寄存器 0x116 中进行配置
- 通道 DOUT0/1/2 上处于输出扰频模式下的 PRBS 位，在寄存器 0x116 中进行配置
- 仅通道 DOUT0 上的时间戳，在寄存器 0x162 中配置。当配置为 DOUT0 时，时间戳优先于 OVR 和 SCR。

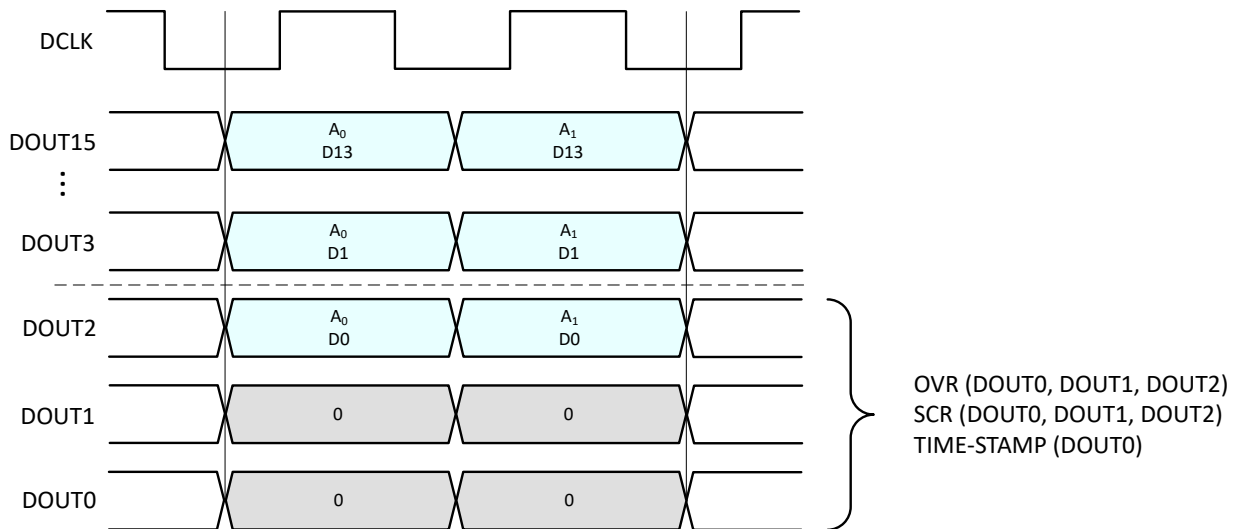


图 8-55. SDR LVDS 模式下的输出数据格式

8.3.8.2 并行 LVDS (DDR)

并行 LVDS 用于抽取旁路模式。通道 A 的所有 14 位都在 DCLK 的上升沿发送，而 0 在 DCLK 的下降沿发送，如图 8-56 所示。

通道 DOUT0/1/2 上 ChA 的输出数据可替换为：

- 通道 DOUT0/1/2 上的超范围输出 OVR，在寄存器 0x116 中进行配置
- 通道 DOUT0/1/2 上处于输出扰频模式下的 PRBS 位，在寄存器 0x116 中进行配置
- 仅通道 DOUT0 上的时间戳，在寄存器 0x162 中配置。当配置为 DOUT0 时，时间戳优先于 OVR 和 SCR。

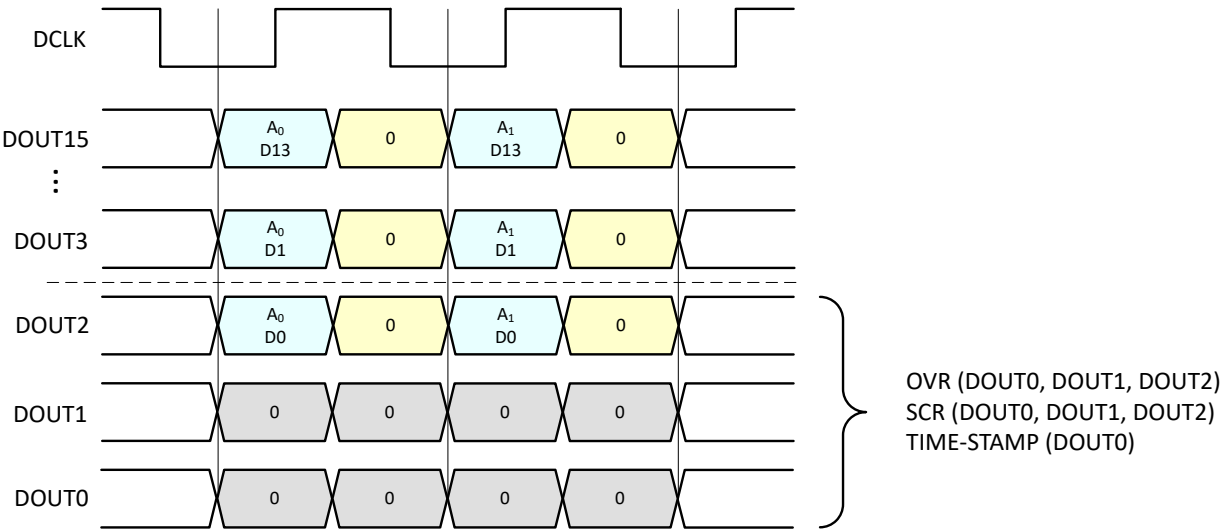


图 8-56. DDR LVDS 模式下的输出数据格式

8.3.8.3 具有抽取功能的 SLVDS

使用实数或复数抽取时，输出数据会进行串行化并使用更少的 LVDS 发送器进行传输。帧时钟 (FCLK) 用于标记采样的开始和停止，而数据位在数据时钟 (DCLK) 的上升沿和下降沿输出。帧时钟在 DOUT0 上输出，并且数据输出最多有 15 个 LVDS 通道可用。输出接口映射始终始于通道 DOUT15。

在实际抽取中，仅支持单频带。

通道数和输出数据速率可通过以下参数计算：

- R：输出分辨率：16 位 = 1，32 位 = 2
- B：频带总数
- C：实数或复数抽取：实数 = 1，复数 = 2
- D：抽取因子
- FS：ADC 采样时钟频率
- $K = R \times B \times C$
- $L = 8 \times K / D$

如果 $L < 1$ ，则需要启用 DCLK 输出分频器 (0x590, D1)

表 8-10. SLVDS 时钟和数据速率计算

参数	$L \geq 1$	$L < 1$
帧时钟 (FCLK) 频率	FS / D	
数据位时钟 (DCLK) 频率	FS	DOUT/2
每个通道的数据输出速率 DOUT (DOUT/L)	FS x 2	FS / D x 16 x K

SLVDS 帧组装由 ADC 自动执行，并遵循以下方案：从通道 DOUT0 开始，且每个通道从 MSB 开始

表 8-11. SLVDS 帧组装

抽取	输出分辨率	频带顺序
实数	16 位	B
	32 位	
复数	16 位	B _{0I} 、B _{0Q} 、B _{1I} 、B _{1Q} 、B _{2I} 、B _{2Q} 、B _{2I} 、B _{2Q}
	32 位	

下面详细介绍了四个不同示例的帧组装和计算。

示例 1：单频带，/8 实数抽取，16 位输出分辨率，FS = 500MSPS

- $K = 1$ ($R = 1$, $B = 1$, $C = 1$)
- $L = 8 \times K / D = 8 \times 1 / 8 = 1$
- $FCLK = FS / D = 500\text{MSPS} / 8 = 62.5\text{MHz}$
- $DCLK = 500\text{MHz}$
- $DOUT/\text{通道} = 1\text{Gbps}$

示例 1 的 SLVDS 帧组装如图 8-57 所示。单通道用于输出数据。

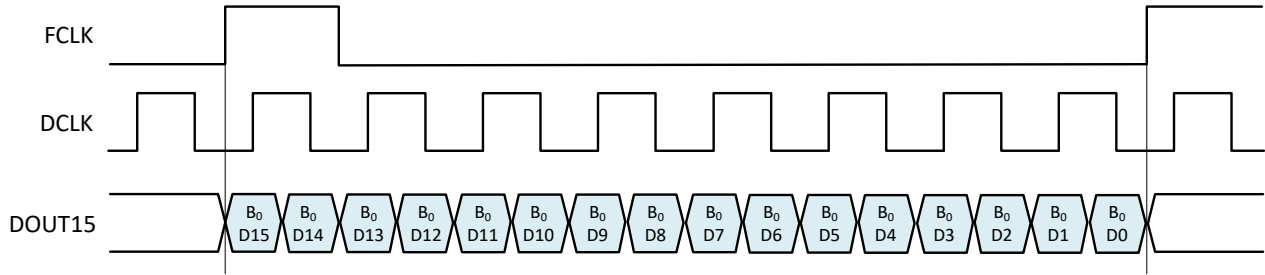


图 8-57. 示例 1 的 SLVDS 帧组装

示例 2：单频带，/128 实数抽取，32 位输出分辨率，FS = 500MSPS

- $K = 2$ ($R = 2$, $B = 1$, $C = 1$)
- $L = 8 \times K / D = 8 \times 2 / 128 = 1/8 \Rightarrow$ 使用一个通道。
- $FCLK = FS / D = 500\text{MSPS} / 128 = 3.91\text{MHz}$
- $DCLK = 62.5\text{MHz}$
- $DOUT/\text{通道} = 125\text{Mbps}$

示例 2 的 SLVDS 帧组装如图 8-58 所示。使用单通道传输 32 位。

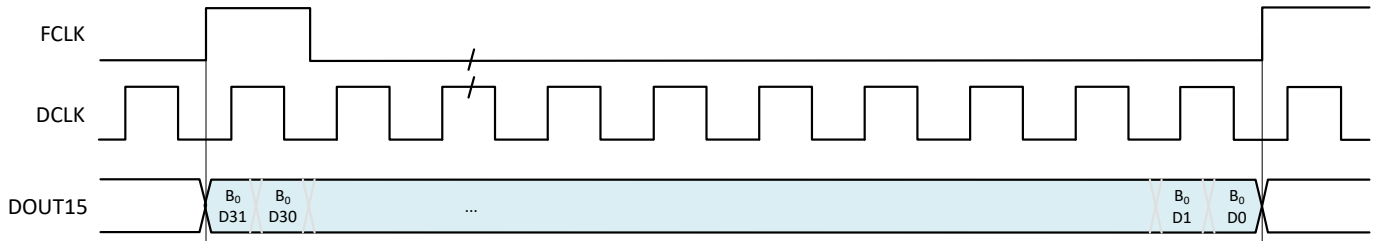


图 8-58. 示例 2 的 SLVDS 帧组装

示例 3：双频带，/8 复数抽取，16 位输出分辨率，FS = 500MSPS

- $K = 4$ ($R = 1$, $B = 2$, $C = 2$)
- $L = 8 \times K / D = 8 \times 4 / 8 = 4$
- $FCLK = FS / D = 500MSPS / 8 = 62.5MHz$
- $DCLK = 500MHz$
- $DOUT/通道 = 1Gbps$

示例 3 的 SLVDS 帧组装如图 8-59 所示。帧组装从 DOUT15 开始，频带 0 的“I”样本为 4 MSB。每个样本通过 4 个通道进行传输。

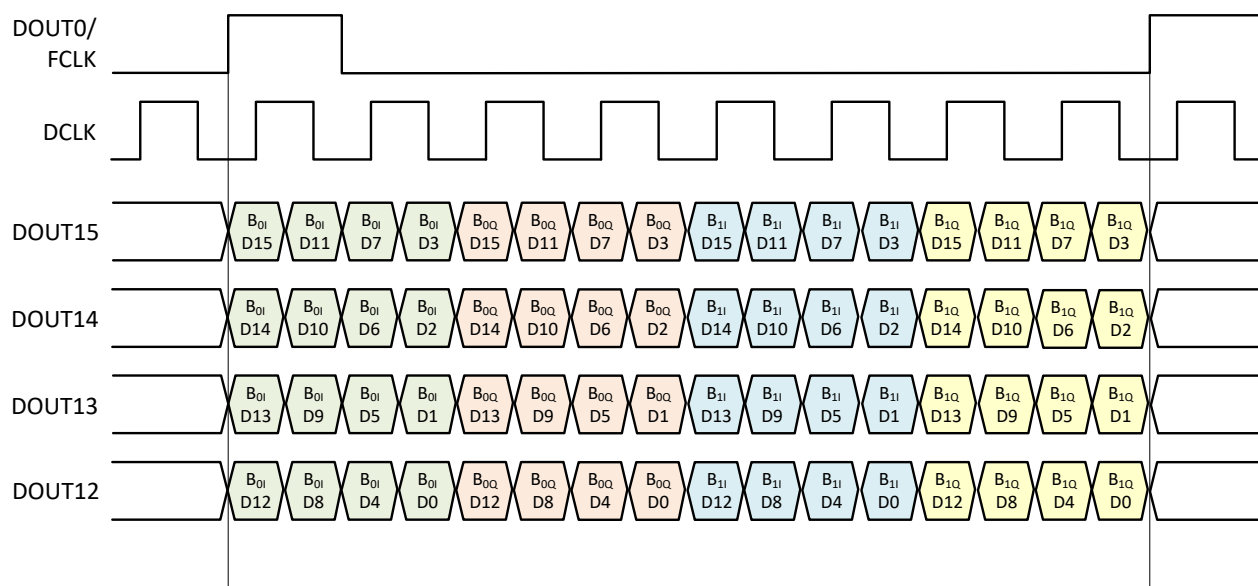


图 8-59. 示例 3 的 SLVDS 帧组装

示例 4：双频带，/256 复数抽取，32 位输出分辨率，FS = 500MSPS

- $K = 8$ ($R = 2$, $B = 2$, $C = 2$)
- $L = 8 \times K / D = 8 \times 8 / 256 = 1/4 \Rightarrow$ 使用一个通道。
- $FCLK = FS / D = 500MSPS / 256 = 1.95MHz$
- $DOUT/通道 = FS / D \times 16 \times K = 500MSPS / 256 \times 16 \times 8 = 250Mbps$
- $DCLK = 125MHz$

示例 4 的 SLVDS 帧组装如图 8-60 所示。帧组装仅使用 DOUT15，从频带 0 的 32 位“I”样本开始，到频带 1 的 32 位“Q”样本结束。

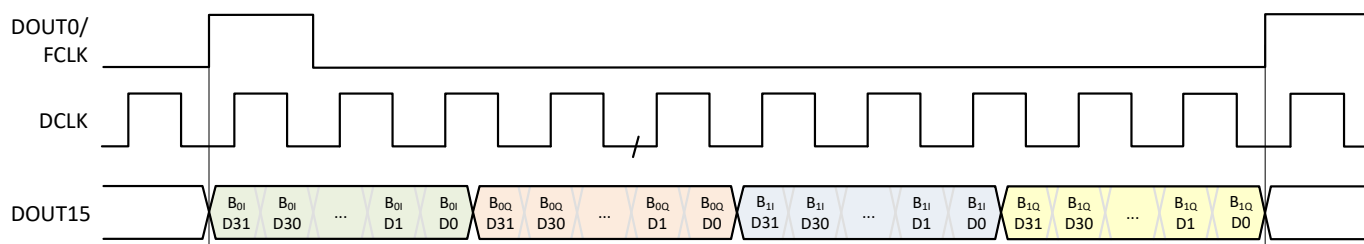


图 8-60. 示例 4 的 SLVDS 帧组装

8.3.8.3.1 SLVDS - 状态位插入

在具有抽取功能的串行 LVDS 中，输出数据也可替换为超量程或 PRBS 扰频位 (SCR)。请注意，FCLK 已在使用输出通道 DOUT0。

当使用 16 个 SLVDS 信道时，OVR 或 PRBS (SCR) 位可以替换为 LSB+1 (DOUT1) 和/或 LSB+2 (DOUT2)，如图 8-61 中的四频带示例所示。

当使用少于 16 条 SLVDS 信道时，OVR 或 PRBS (SCR) 位可以替换为 LSB 和/或 LSB+1，如图 8-62 中的双频带示例所示。

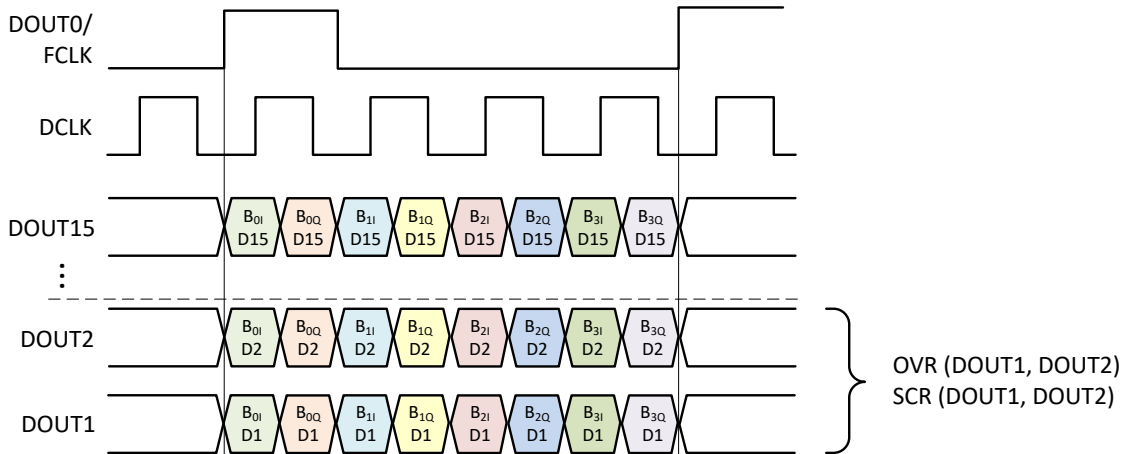


图 8-61. 输出数据替代：16 条 SLVDS 信道

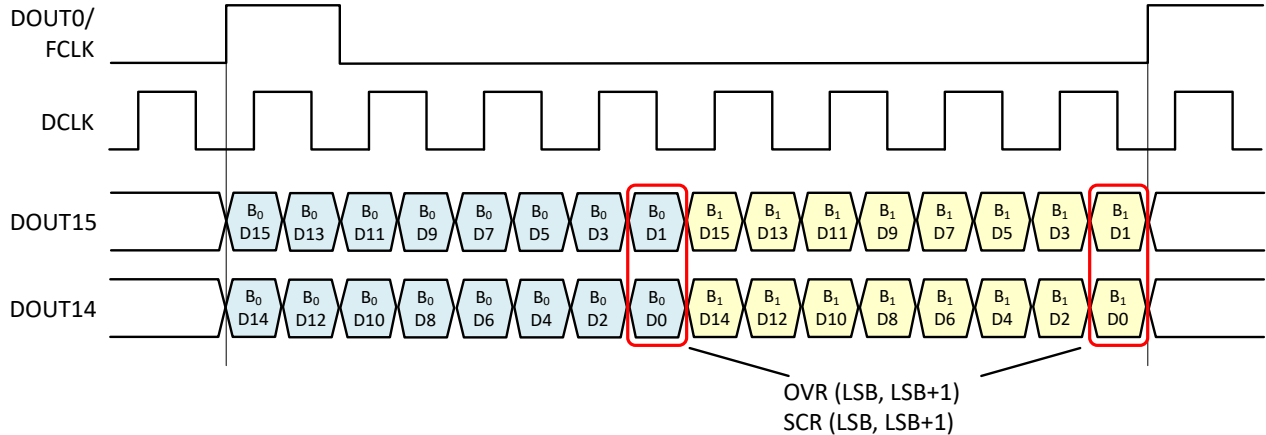


图 8-62. 输出数据替代：<16 条 SLVDS 信道

8.3.8.4 输出数据格式

输出数据可通过 SPI 寄存器写入 (寄存器 0x162) 配置为二进制补码 (默认) 或偏移二进制格式。表 8-12 概述了这两种格式选项的最小和最大输出代码。实际输出分辨率由输出位映射器设置。

表 8-12. 不同格式下最小和最大输出代码与分辨率间的关系概述

分辨率 (位)	二进制补码 (默认)			偏移二进制		
	14	16	32	14	16	32
$V_{IN,MAX}$	0x1FFF	0x7FFF	0x7FFF FFFF	0x3FFF	0xFFFF	0xFFFF FFFF
0	0x0000	0x0000	0x0000 0000	0x2000	0x8000	0x8000 0000
$V_{IN,MIN}$	0x2000	0x8000	0x8000 0000	0x0000	0x0000	0x0000 0000

8.3.8.5 32 位输出分辨率

使用抽取时，ADC 同时支持 16 位和 32 位输出分辨率。对于较高的抽取因子 (/16 实数抽取和 /32 复数抽取及以上)，推荐使用 32 位输出分辨率，以避免因量化噪声限制而导致 SNR 下降，如表 8-13 所示。

输出分辨率可以通过 SPI 写入寄存器 0x162 来更改。

表 8-13. 输出 SNR：抽取与输出分辨率间的关系

基线 SNR (dBFS)	实数抽取	3dB、/2 时的 SNR (dBFS)	16 位输出分辨率时的 SNR (dBFS)	32 位输出分辨率时的 SNR (dBFS)
74	/16	86.0	85.8	86.0
74	/32	89.1	88.5	89.1
74	/256	98.1	95.1	98.1
74	/32768	119.1	98.0	119.1

8.3.8.6 输出扰频器

ADC 包括一个可选的输出扰频器。在 ADC 中，内部 PRBS 发生器生成 PRBS 模式。每个数据位与 PRBS 位流进行异或运算。扰频输出数据与 PRBS 位一起传输 (通过并行或串行 LVDS) (替换 LSB、LSB-1 或 LSB-2 输出数据，在 0x146 中配置)。

接收逻辑器件提取 PRBS 位流，并通过与恢复的 PRBS 位异或运算来解码为接收到的数据。

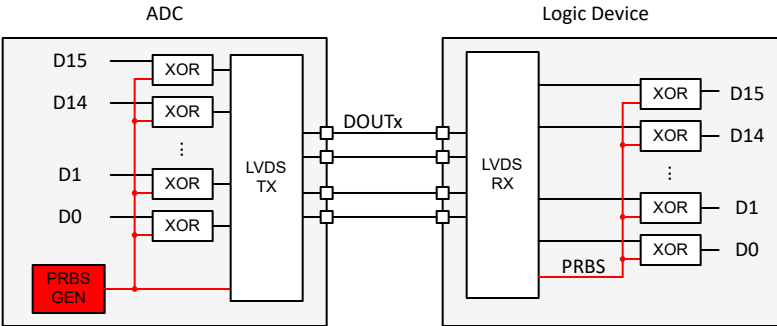


图 8-63. 输出扰频器

8.3.8.7 输出 MUX

LVDS 输出接口包括一个输出多路复用器，允许将任何内部数字通道重新路由至任何 LVDS 输出通道，如图 8-64 所示。这提供了通道映射的灵活性，可用于链路冗余或链路修复。通过设置 <LVDS MUX EN> (寄存器 0x116，位 7) 可以启用 LVDS 输出多路复用器。多路复用器配置可以通过写入 <DOUTxMUX> 寄存器 (0x117 至 0x11E) 来控制。多路复用器配置可以用数学公式表示为 $DOUTk = DIG[DOUTk_MUX]$ ，其中 k 表示通道编号。例如，将 <DOUT2 MUX> 设置为 2 会将 DIG2 重定向到 DOUT2。图 8-65 展示了用于所有 DOUT 引脚的多路复用器结构示例。

此外，在使用串行 LVDS (仅抽取) 时，此输出多路复用器可用于生成重复的冗余输出，方法是将同一个内部数字通道连接到多个 LVDS 输出通道。



图 8-64. LVDS 输出多路复用器

图 8-65. 示例：DOUT2 的输出多路复用器

8.3.8.8 测试图形

该器件具有内置测试图形发生器，可简化 LVDS 输出的调试和/或校准。测试图形发生器位于 DDC 之后，如图 8-66 所示。

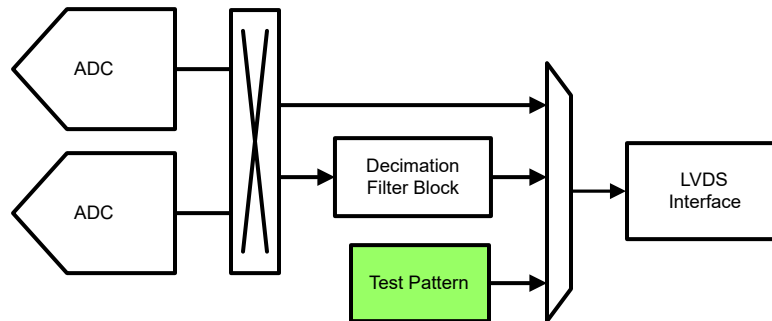


图 8-66. 测试图形发生器

启用测试图形发生器 (0x14A 中的寄存器 <TEST PATTERN>) 会替换所有电流输出数据样本、正常 ADC 或抽取数据。所有通道的测试图形都相同。测试图形块生成 20 位测试图形，图形由 <TEST PATTERN> 字段的值控制。

在抽取中，测试图形块默认采用抽取的时钟运行，并且可以通过设置寄存器 0x14A 的 <PATTERN CLK> 字段切换到采用 FS 时钟运行。无法在低延迟工作模式下启用测试图形功能。

以下寄存器写入可用于配置步长为 1 且分辨率为 14 位的斜坡图形。

表 8-14. 具有自定义步长的斜坡图形配置示例

ADDR	DATA	说明
0x14A	0x02	启用具有自定义步长的斜坡图形
0x14B	0x0E	步长为 14 LSB (在 20 位分辨率下)，相当于 14 位分辨率下的 1 LSB (16 位时的 1 LSB 为 0x10)

8.4 器件功能模式

8.4.1 低延迟模式

该器件通过绕过数字校正和所有其他数字功能（例如抽取滤波器、测试模式或 SDR LVDS）来提供低延迟工作模式。该工作模式实现了 9 个时钟周期的延迟，适用于低延迟控制环路等应用。但是，由于绕过了数字校正块，交流性能可能会下降。以下 FFT 图比较了低延迟模式和正常工作模式下的频谱。低延迟模式可以在 <LOW LATENCY EN> 寄存器 (0x165) 中启用。

低延迟模式仅在 DDR LVDS 接口运行中可用。

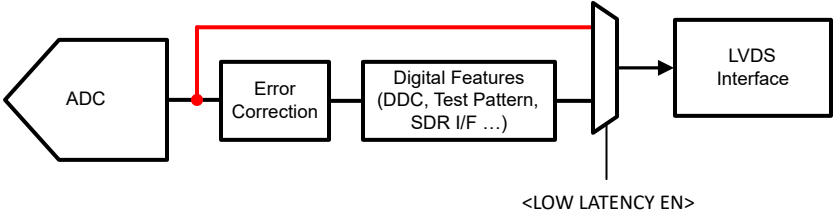


图 8-67. 低延迟模式

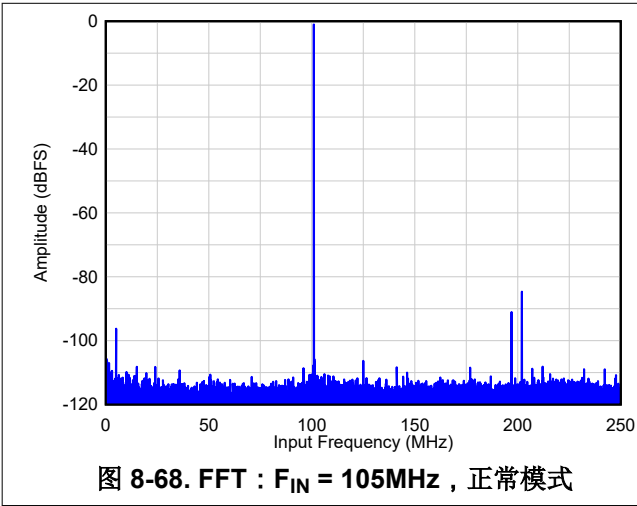


图 8-68. FFT : $F_{IN} = 105\text{MHz}$, 正常模式

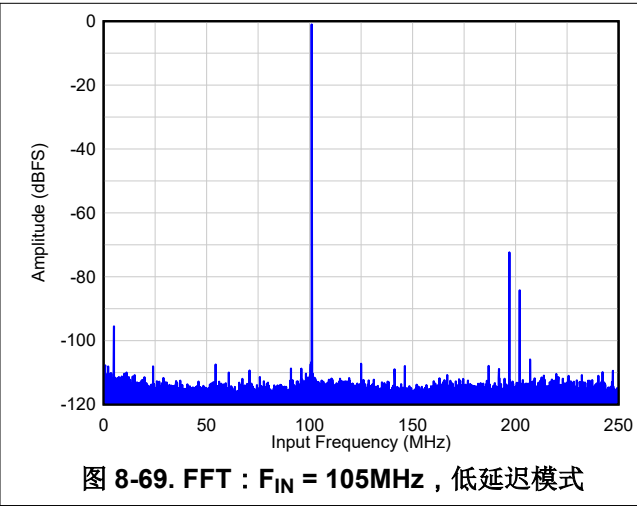


图 8-69. FFT : $F_{IN} = 105\text{MHz}$, 低延迟模式

8.4.2 断电模式

可以使用 SPI 写入或 GPIO 引脚来实现全局断电模式。

表 8-15. 断电模式选项

断电模式	Pd (典型值, mW)	唤醒时间 (典型值)
全局断电	30	3ms

全局断电可以通过在寄存器 0x146 中进行 SPI 写入，分配给 GPIO0 或 GPIO1。

表 8-16. 寄存器 0x146 中的断电 GPIO 引脚配置

GPIO 配置	GPIO1	GPIO0
00011	全局断电	
01010		全局断电
01011		全局断电

8.5 编程

该器件主要使用串行编程接口 (SPI) 进行配置和控制；但是，它可以在默认配置下运行，无需 SPI 接口。此外，断电功能以及内部/外部基准配置均可通过引脚控制 (GPIO0/1 引脚) 实现。

备注

断电命令 (通过 PIN 或 SPI) 仅在存在 ADC 采样时钟时生效。

8.5.1 GPIO 编程

该器件具有两个 GPIO 引脚，这些引脚可以独立配置，以实现多种功能模式。在默认状态下，GPIO0 配置为用作 SYSREF 引脚，而 GPIO1 未使用。表 8-37 提供了 GPIO 功能的完整映射。GPIO 功能可以通过设置寄存器 0x146 中的 <GPIO CONFIG> 来切换。

GPIO 引脚提供以下模式：

- SYSREF 输入
- 时间戳输入
- 外部电压基准
- NCO 开关
- 全局断电
- 超范围

8.5.2 寄存器写入

可以按照以下步骤对内部寄存器进行编程：

1. 将 SEN 引脚驱动为低电平
2. 将 R/W 位设置为 0 (16 位地址的 A15 位)，并将地址字段中的 A[14:12] 位设置为 0。
3. 通过指定要写入内容的寄存器地址 (A[11:0])，启动一个串行接口周期
4. 写入在 SCLK 上升沿锁存的 8 位数据

图 8-70 显示了串行寄存器写入操作的时序要求。

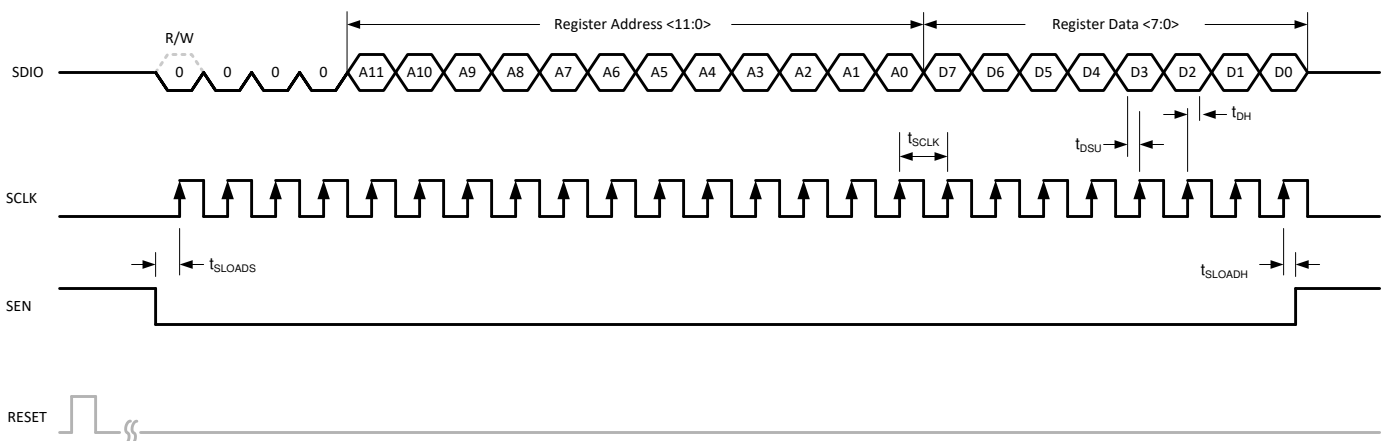


图 8-70. 串行寄存器写入时序图

8.5.3 寄存器读取

该器件包含可使用 SDIO 引脚回读内部寄存器内容的模式。该回读模式可用作诊断检查，以验证外部控制器和 ADC 之间的串行接口通信。读取串行寄存器内容的过程如下：

1. 将 SEN 引脚驱动为低电平
2. 将 R/W 位 (A15) 设置为 1。该设置会禁用对寄存器的任何进一步写入。将地址字段中的 A[14:12] 设置为 0。
3. 启动串行接口周期，指定必须读取其内容的寄存器地址 (A[11:0])
4. 该器件在 SCLK 下降沿将所选寄存器的内容 (D[7:0]) 发送到 SDIO 引脚
5. 外部控制器可以在 SCLK 上升沿上捕获内容

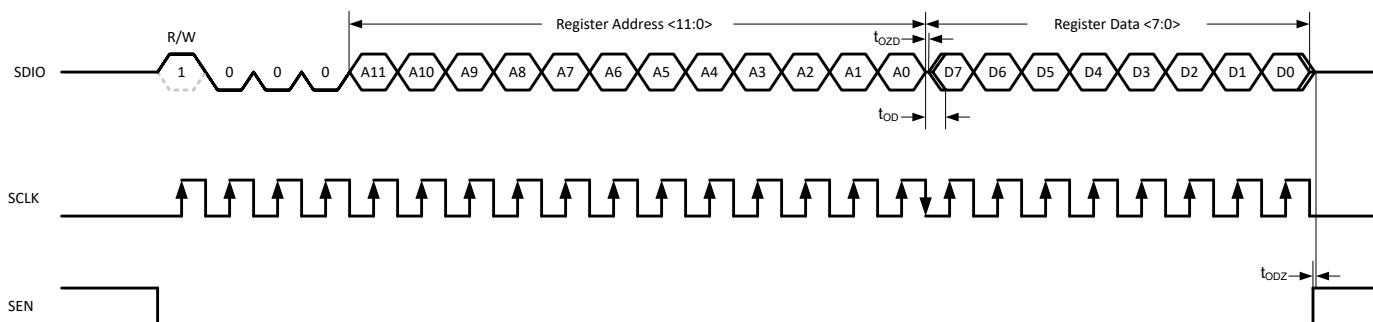


图 8-71. 串行寄存器读取时序图

8.5.4 器件编程

该器件的所有寄存器都可以使用 API (函数库, 使用 python 编写) 进行编程。API 包含针对寄存器映射中每个字段的函数, 同时也提供了一些宏函数。宏函数使用多个低级 API 函数来执行更复杂的操作, 例如设置抽取模式 (因子、实数/复数、频带数量等) 以及根据输入频率设置 NCO 频率字。

从 TI.com 下载 API 时, 会包含 API 用户指南。

8.5.5 寄存器映射

表 8-17. 寄存器映射摘要

寄存器地址	寄存器数据							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x025	0	0	0	CFG RDY	0	0	0	0
0x100	0	0	0	0	0	0	0	复位
0x101	0	0	0	GBL PDN	0	0	0	0
0x102	0	SYSREF DET CLR	0	0	0	0	0	0
0x104	0	0	0	0	0	0	0	CHA TERM
0x10A	0	0	0	0	0	OVR CLR		OVR STICKY
0x10B	OVR LENGTH							
0x110	LVDS TERM	0	LVDS ½ 摆幅	0	0	SDR/DDR	SWAP CH	0
0x111	LVDS DATA INV [7:0]							
0x112	LVDS DATA INV [15:8]							
0x113	LVDS PDN [14:8]							0
0x114	0	0	0	0	0	0	0	LVDS PDN [15]
0x115	0	0	0	0	FCLK DC	FCLK DIS	0	0
0x116	LVDS MUX EN	LVDS 交换上升/下降	0	0	0	LVDS SCR		
0x117	DOUT1 MUX				DOUT0 MUX			
0x118	DOUT3 MUX				DOUT2 MUX			
0x119	DOUT5 MUX				DOUT4 MUX			
0x11A	DOUT7 MUX				DOUT6 MUX			
0x11B	DOUT9 MUX				DOUT8 MUX			
0x11C	DOUT11 MUX				DOUT10 MUX			
0x11D	DOUT13 MUX				DOUT12 MUX			
0x11E	DOUT15 MUX				DOUT14 MUX			
0x132	HIGH FIN	0	0	0	0	0	0	0
0x140	0	SYSREF DET	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1
0x146	0	0	0	GPIO 配置				
0x14A	0	0	0	PATTERN CLK	0	TEST PATTERN		
0x14B	CUSTOM PATTERN [7:0]							
0x14C	CUSTOM PATTERN [15:8]							
0x14D	0	0	0	0	CUSTOM PATTERN [19:16]			
0x15B	DIGITAL GAIN CHA							
0x160	0	0	0	0	0	0	SYSREF MODE	
0x161	LVDS SYSREF MASK		DDC SYSREF MASK		NCO SYSREF MASK		TIMER SYSREF MASK	
0x162	SYSREF TIME STAMP		0	6dB GAIN OVERRIDE		COMPLEX DDC EN	OUTPUT RES	输出格式
0x163	DDC3 MUX		DDC2 MUX		DDC1 MUX		DDC0 MUX	
0x164	NCO3 UPDATE	NCO2 UPDATE	NCO1 UPDATE	NCO0 UPDATE	SEL NEG IM	0	0	NCO MODE

表 8-17. 寄存器映射摘要 (续)

寄存器地址	寄存器数据							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x165	0	0	0	LOW LATENCY EN	0	DIS NCO AUTO UPDATE	NCO SEL EN	NCO COMMON UPDATE
0x166	DDC3 NCO SEL		DDC2 NCO SEL		DDC1 NCO SEL		DDC0 NCO SEL	
0x167	DDC1 DECIMATION				DDC0 DECIMATION			
0x168	DDC3 DECIMATION				DDC2 DECIMATION			
0x169	UNEQUAL DECIMATION	0	DDC 数量		COMMON DECIMATION			
0x16B			UPDATE NYQUIST ZONE			NYQUIST_ZONE		
0x205..0x200	DDC0 NCO FREQUENCY0 [47:0]							
0x20B..0x206	DDC0 NCO FREQUENCY1 [47:0]							
0x211..0x20C	DDC0 NCO FREQUENCY2 [47:0]							
0x217..0x212	DDC0 NCO FREQUENCY3 [47:0]							
0x219/0x218	DDC0 NCO PHASE0 [15:0]							
0x21B/0x21A	DDC0 NCO PHASE1 [15:0]							
0x21D/0x21C	DDC0 NCO PHASE2 [15:0]							
0x21F/0x21E	DDC0 NCO PHASE3 [15:0]							
0x245..0x240	DDC1 NCO FREQUENCY0 [47:0]							
0x24B..0x246	DDC1 NCO FREQUENCY1 [47:0]							
0x251..0x24C	DDC1 NCO FREQUENCY2 [47:0]							
0x257..0x252	DDC1 NCO FREQUENCY3 [47:0]							
0x259/0x258	DDC1 NCO PHASE0 [15:0]							
0x25B/0x25A	DDC1 NCO PHASE1 [15:0]							
0x25D/0x25C	DDC1 NCO PHASE2 [15:0]							
0x25F/0x25E	DDC1 NCO PHASE3 [15:0]							
0x285..0x280	DDC2 NCO FREQUENCY0 [47:0]							
0x28B..0x286	DDC2 NCO FREQUENCY1 [47:0]							
0x291..0x28C	DDC2 NCO FREQUENCY2 [47:0]							
0x297..0x292	DDC2 NCO FREQUENCY3 [47:0]							
0x299/0x298	DDC2 NCO PHASE0 [15:0]							
0x29B/0x29A	DDC2 NCO PHASE1 [15:0]							
0x29D/0x29C	DDC2 NCO PHASE2 [15:0]							
0x29F/0x29E	DDC2 NCO PHASE3 [15:0]							
0x2C5...0x2C0	DDC3 NCO FREQUENCY0 [47:0]							
0x2CB..0x2C6	DDC3 NCO FREQUENCY1 [47:0]							
0x2D1..0x2CC	DDC3 NCO FREQUENCY2 [47:0]							
0x2D7..0x2D2	DDC3 NCO FREQUENCY3 [47:0]							
0x2D9/0x2D8	DDC3 NCO PHASE0 [15:0]							
0x2DB/0x2DA	DDC3 NCO PHASE1 [15:0]							
0x2DD/0x2DC	DDC3 NCO PHASE1 [15:0]							
0x2DF/0x2DE	DDC3 NCO PHASE3 [15:0]							

表 8-17. 寄存器映射摘要 (续)

寄存器地址	寄存器数据							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x590	0	0	0	0	0	0	ENABLE DCLK DIVIDER	0
0x691	LVDS PDN [5:7]			DCLK PD	0	0	0	0
0x692	0	0	0	LVDS PDN [0:4]				

8.5.6 寄存器说明

图 8-72. 寄存器 0x025

7	6	5	4	3	2	1	0
0	0	0	CFG RDY	0	0	0	0

表 8-18. 寄存器 0x025 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
0	CFG RDY	R/W	0	该位指示硬件复位后内部保险丝加载的状态。 0：保险丝加载未完成 1：保险丝已加载并应用，器件已准备好进行编程。
3-0	0	R/W	0	必须写入 0

图 8-73. 寄存器 0x100

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	复位

表 8-19. 寄存器 0x100 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0
0	复位	R/W	0	该位会将所有内部寄存器复位为默认值并自行清零。

图 8-74. 寄存器 0x101

7	6	5	4	3	2	1	0
0	0	0	GBL PDN	0	0	0	0

表 8-20. 寄存器 0x101 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	GBL PDN	R/W	0	全局断电。该位使整个器件断电。该功能也可以使用 GPIO 引脚来实现。 0：正常运行 1：器件处于全局断电模式下
3-0	0	R/W	0	必须写入 0

图 8-75. 寄存器 0x102

7	6	5	4	3	2	1	0
0	SYSREF DET CLR	0	0	0	0	0	0

表 8-21. 寄存器 0x102 字段说明

位	字段	类型	复位	说明
7	0	R/W	0	必须写入 0
6	SYSREF DET CLR	R/W	0	该位复位 SYSREF DET 标志 (0x140 , D6) 0 : 正常运行 1 : SYSREF DET 标志复位。
5-0	0	R/W	0	必须写入 0

图 8-76. 寄存器 0x104

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CHA TERM

表 8-22. 寄存器 0x104 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0
0	CHA TERM	R/W	0	ChA 内部端接。该位设置通道 A 上的内部端接。 0 : 100 Ω 差分端接 1 : 200 Ω 差分端接

表 8-23. 寄存器 0x10A

7	6	5	4	3	2	1	0
0	0	0	0	0	OVR CLR		OVR STICKY

表 8-24. 寄存器 0x10A 字段说明

位	字段	类型	复位	说明
7-3	0	R/W	0	必须写入 0
2-1	OVR CLR	R/W	0	这对于清除粘滞位很有用。将值设置为 0x2 会清除粘滞 OVR
0	OVR STICKY	R/W	0	该位将 OVR 设置为粘滞位。 0 : OVR 不是粘滞位 (基于 <OVR LENGTH> 进行更新) 1 : OVR 是粘滞位 (使用 <OVR CLR> 进行复位)

表 8-25. 寄存器 0x10B

7	6	5	4	3	2	1	0
OVR LENGTH							

表 8-26. 寄存器 0x10B 字段说明

位	字段	类型	复位	说明
7-0	OVR LENGTH	R/W	0	这个控制 OVR 脉冲扩展。该字段根据时钟周期数来指定扩展宽度。例如, 0x0F 将 OVR 长度设置为 16 个时钟周期。

图 8-77. 寄存器 0x110

7	6	5	4	3	2	1	0
LVDS TERM	0	LVDS ½ 摆幅	0	0	SDR/DDR	0	0

表 8-27. 寄存器 0x110 字段说明

位	字段	类型	复位	说明
7	LVDS TERM	R/W	0	该位配置 LVDS 端接电阻。设置该位将启用 100 Ω 端接。默认端接电阻为 50 Ω
6	0	R/W	0	必须写入 0
5	LVDS ½ 摆幅	R/W	0	该位将 LVDS 输出摆幅降低 50% 以节省功耗。 0：正常输出摆幅 1：减小输出摆幅
4-3	0	R/W	0	必须写入 0
2	SDR/DDR	R/W	1	该位配置并行 LVDS 输出接口。仅输出单个通道时，可以启用 SDR LVDS。 0：DDR LVDS 1：SDR LVDS
1-0	0	R/W	0	必须写入 0

图 8-78. 寄存器 0x111/0x112

7	6	5	4	3	2	1	0
LVDS DATA INV [7:0]							
LVDS DATA INV [15:8]							

表 8-28. 寄存器 0x111/0x112 字段说明

位	字段	类型	复位	说明
7-0	LVDS DATA INV [15:0]	R/W	0	这些位允许反转各个 LVDS 输出通道的极性，如表 8-29 所示。 0：极性如引脚图所示。 1：极性反转

表 8-29. LVDS 数据反转寄存器通道分配

寄存器地址	0x112								0x111							
寄存器位	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
LVDS 输出通道	8	9	10	11	12	13	14	15	7	6	5	4	3	2	1	0

图 8-79. 寄存器 0x113/0x114

7	6	5	4	3	2	1	0
LVDS PDN [14:8]							0
0	0	0	0	0	0	0	LVDS PDN [15]

表 8-30. 寄存器 0x113/0x114 字段说明

位	字段	类型	复位	说明
7-0	LVDS PDN [15:8]	R/W	0	这些寄存器位可以通过 LVDS 引脚关断各个 LVDS 输出通道，使其进入高阻抗状态（例如 0x113 (D7) 会将输出通道 14 断电）。其余 LVDS 通道 (0-7) 断电寄存器位于寄存器 0x691/0x692 中。 0：正常运行 1：LVDS 输出通道断电
7-0	0	R/W	0	必须写入 0

图 8-80. 寄存器 0x115

7	6	5	4	3	2	1	0
0	0	0	0	FCLK DC	FCLK DIS	0	LVDS SCR EN

表 8-31. 寄存器 0x115 字段说明

位	字段	类型	复位	说明
7-4	0	R/W	0	必须写入 0
3	FCLK DC	R/W	0	该位允许调整 FCLK 占空比。 0：在输出采样开始时，FCLK 会在一个 DCLK 周期内保持高电平 1：FCLK 在输出采样的 50% 时间内保持高电平
2	FCLK DIS	R/W	0	该位禁用输出 FCLK。FCLK 在通道 DOUT0 上传输。在使用所有 16 个通道的抽取模式下，FCLK 会取代 LSB。 0：FCLK 取代 LSB 数据，并在 DOUT0 上发送 1：FCLK 被禁用，并且 LSB 数据在 DOUT0 上发送。
1	0	R/W	0	必须写入 0
0	0	R/W	0	必须写入 0

图 8-81. 寄存器 0x116

7	6	5	4	3	2	1	0
LVDS MUX EN	LVDS 交换上升/下降	0	0	0	LVDS SCR		

表 8-32. 寄存器 0x116 字段说明

位	字段	类型	复位	说明
7	LVDS MUX EN	R/W	0	该位启用寄存器 0x117..0x11E 中的 LVDS 输出多路复用器。 0：LVDS 输出多路复用器禁用 1：LVDS 输出多路复用器启用
6	LVDS 交换上升/下降	R/W	0	该位交换在 DCLK 的上升沿和下降沿传输的输出数据位。 0：正常运行 1：交换上升沿和下降沿的输出位。
5-3	0	R/W	0	必须写入 0
2-0	LVDS SCR	R/W	0	该字段控制输出数据上的扰频和 LSB 插入配置 000：默认操作 001：数据与 PRBS 位进行异或运算。此 PRBS 插入到 LSB 位置。PRBS 由较大的 LFSR 生成，可以在所有实际场景中视为随机 010：OVR 插入 LSB 位置 011：OVR 插入 LSB+1 位置 100：数据与 PRBS 位进行异或运算，而 PRBS 插入 LSB+1 位置 101：OVR 插入 LSB+1 位置，而 PRBS 插入 LSB 位置。数据与 PRBS 进行异或运算 110：OVR 插入 LSB+2 位置，而 PRBS 插入 LSB+1 位置。数据与 PRBS 进行异或运算 111：未使用

图 8-82. 寄存器 0x117...0x11E

7	6	5	4	3	2	1	0
DOUT1/3/5/7/9/11/13/15 MUX				DOUT0/2/4/6/8/10/12/14 MUX			

表 8-33. 寄存器 0x117...0x11E 字段说明

位	字段	类型	复位	说明
7-4	DOUT1/3/5/7/9/11/13/15 MUX	R/W	0000	这些位配置各个输出通道的数据总线分配。
3-0	DOUT0/2/4/6/8/10/12/14 MUX	R/W	0000	0000 : LVDS 通道 DOUTx 传输内部数字总线通道 DIG0 的数据 0001 : LVDS 通道 DOUTx 传输内部数字总线通道 DIG1 的数据 ... 1111 : LVDS 通道 DOUTx 传输内部数字总线通道 DIG15 的数据

图 8-83. 寄存器 0x132

7	6	5	4	3	2	1	0
HIGH FIN	0	0	0	0	0	0	0

表 8-34. 寄存器 0x132 字段说明

位	字段	类型	复位	说明
7	HIGH FIN	R/W	0	必须设置该位，才能在输入频率大于 500MHz 时实现出色交流性能 0 : 输入频率 < 500MHz 1 : 输入频率 > 500MHz
6-0	0	R/W	0	必须写入 0

图 8-84. 寄存器 0x140

7	6	5	4	3	2	1	0
0	SYSREF EN	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1

表 8-35. 寄存器 0x140 字段说明

位	字段	类型	复位	说明
7	0	R/W	0	必须写入 0
6	SYSREF DET	R/W	0	该寄存器指示是否检测到 SYSREF 信号。检测到该信号时，该位保持高电平，直到该位复位 (0x102, D6) 或发出器件复位。 0 : 未检测到 SYSREF 信号 1 : 检测到 SYSREF 信号
5	SYSREF OR	R/W	0	该位是五个 SYSREF XOR 标志进行逻辑或运算的输出。 0 : SYSREF 标志未触发 1 : 五个 SYSREF XOR 标志之一触发。
4-0	SYSREF X5..X1	R/W	0	这些位是 SYSREF 窗口监控电路的 XOR 标志。采样时钟下降沿用于捕获 SYSREF 信号。如果 SYSREF 信号转换在 SYSREF 采集的 -60/+140ps 内发生，则会触发相应的 XOR 标志。这些位在每个 SYSREF 上升沿更新。 X1: SYSREF 将采样时钟提前 20ps 至 60ps X2 : SYSREF 将采样时钟提前 20ps 至 0ps，或 SYSREF 将采样时钟滞后 0ps 至 20ps X3 : SYSREF 将采样时钟滞后高达 20ps 至 60ps X4 : SYSREF 将采样时钟滞后 60ps 至 100ps X5 : SYSREF 将采样时钟滞后 100ps 至 140ps 0 : 未检测到 SYSREF 转换 1 : 在给定窗口内检测到 SYSREF 转换

图 8-85. 寄存器 0x146

7	6	5	4	3	2	1	0
0	0	0	GPIO 配置				

表 8-36. 寄存器 0x146 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4-0	GPIO 配置	R/W	0	这些寄存器位配置两个 GPIO 引脚的功能，如表 8-37 所示。

表 8-37. GPIO 引脚配置

GPIO 配置	GPIO1	GPIO0
00000	未使用	SYSREF
00011	全局断电	SYSREF
00100	外部基准	SYSREF
00101	NCO SWITCH1	NCO SWITCH0
01000	未使用	SYSREF
01001	OVR CHA	SYSREF
01010	未使用	全局断电
01011	OVR CHA	全局断电
10010	未使用	OVR CHA
所有其他	未使用	

图 8-86. 寄存器 0x14A

7	6	5	4	3	2	1	0
0	0	0	PATTERN CLK	0	TEST PATTERN		

表 8-38. 寄存器 0x14A 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	PATTERN CLK	R/W	0	这个控制图形信号发生器的时钟。设置该位会将图形发生器时钟切换到抽取时钟。
3	0	R/W	0	必须写入 0
2-0	TEST PATTERN	R/W	0	此字段控制注入的图形类型。默认值为 0，表示图形发生器已关闭。生成的图形为 20 位宽。在 16 位分辨率模式下，会发送图形模式的 MSB 16 位。在 32 位分辨率模式下，会给生成的图形填充 12 个零位并将其发送出去。 000：测试图形禁用 001：斜坡图形，步长为 1（在 20 位级别上，相当于在 16 位级别上为 1/16） 010：斜坡图形，且步长值由 CUSTOM PATTERN 设置。例如，若要在 16 位模式下配置单位步长的斜坡图形，必须将 CUSTOM PATTERN 设置为 0x010 011：未使用 100：由 CUSTOM PATTERN 设置的静态图形 101：图形在 CUSTOM PATTERN 和 CUSTOM PATTERN 的反转之间切换 110：图形在 CUSTOM PATTERN 和 0 之间切换 111：未使用

图 8-87. 寄存器 0x14B/0x14C/0x14D

7	6	5	4	3	2	1	0
CUSTOM PATTERN [7:0]							
CUSTOM PATTERN [15:8]							
0	0	0	0	CUSTOM PATTERN [19:16]			

表 8-39. 寄存器 0x14B/0x14C/0x14D 字段说明

位	字段	类型	复位	说明
7-0	CUSTOM PATTERN [19:0]	R/W	0	该字段控制图形发生器。这个根据 TEST PATTERN 设置控制不同的功能

图 8-88. 寄存器 0x15B

7	6	5	4	3	2	1	0
DIGITAL GAIN CHA [7:0]							

表 8-40. 寄存器 0x15B 字段说明

位	字段	类型	复位	说明
7-0	DIGITAL GAIN CHA [7:0]	R/W	0	该寄存器控制通道 A 的数字增益，其值为二进制补码格式。最大增益为 6dB ($20 \times \log(1 + (\text{DIGITAL GAIN CHA} / 128))$)。

图 8-89. 寄存器 0x160

7	6	5	4	3	2	1	0
0	0	0	0	0	SPI SYSREF	SYSREF MODE	

表 8-41. 寄存器 0x160 字段说明

位	字段	类型	复位	说明
7-3	0	R/W	0	必须写入 0
2	SPI SYSREF	R/W	0	必须写入 0
1-0	SYSREF MODE	R/W	0	这可控制全局 SYSREF 屏蔽 00：传递所有 SYSREF 脉冲 01：传递第一个 SYSREF 脉冲并选通后续脉冲 10：选通所有 SYSREF 脉冲 11：发出新的 SYSREF 脉冲。当状态转换为 11 时，发出脉冲

图 8-90. 寄存器 0x161

7	6	5	4	3	2	1	0
LVDS SYSREF MASK		DEC SYSREF MASK		NCO SYSREF MASK		TIMER SYSREF MASK	

表 8-42. 寄存器 0x161 字段说明

位	字段	类型	复位	说明
7-6	LVDS SYSREF MASK	R/W	0	这个控制进入 LVDS 块的 SYSREF 脉冲。默认设置为 0，并传递所有 SYSREF 脉冲。 00：传递所有 SYSREF 脉冲 01：传递第一个 SYSREF 脉冲并选通后续脉冲 10：选通所有 SYSREF 脉冲 11：发出新的 SYSREF 脉冲。当状态转换为 11 时，发出脉冲
5-4	DDC SYSREF MASK	R/W	0	这个控制 DDC 块的 SYSREF 脉冲。值和功能的映射与 LVDS SYSREF MASK 相同
3-2	NCO SYSREF MASK	R/W	0	这个控制 NCO 块的 SYSREF 脉冲。值和功能的映射与 LVDS SYSREF MASK 相同
1-0	TIMER SYSREF MASK	R/W	0	这个控制 TIMER 块的 SYSREF 脉冲。值和功能的映射与 LVDS SYSREF MASK 相同

图 8-91. 寄存器 0x162

7	6	5	4	3	2	1	0
SYSREF TIME STAMP		0	6dB GAIN OVERRIDE		COMPLEX DDC EN	OUTPUT RES	输出格式

表 8-43. 寄存器 0x162 字段说明

位	字段	类型	复位	说明
7-6	SYSREF TIME STAMP	R/W	0	将此字段设置为 0x3 可以允许 SYSREF 取代 LSB。 OVR_ON_LSB 设置优先
5	0	R/W	0	必须写入 0
4-3	6dB GAIN OVERRIDE	R/W	0	该字段控制 DDC 的 6dB 增益设置。默认情况下, 复数 DDC 模式下会应用 6dB 增益。不管 DDC 模式如何, 将此设置为 0x3 都会强制在 DDC 输出上增加 6dB 增益。无论 DDC 模式如何, 将此设置为 0x2 都会强制增加单位增益。
2	COMPLEX DDC EN	R/W	0	该位为所有 DDC 启用复数抽取。抽取因子在 0x167..0x169 中设置 0: 实数抽取 1: 复数抽取
1	OUTPUT RES	R/W	0	该位将输出分辨率从 14 位 (DDC 旁路) /16 位 (DDC) 增加到 32 位。 0: 14/16 位输出分辨率 1: 32 位输出分辨率
0	输出格式	R/W	0	该位选择输出格式 0: 输出格式为二进制补码 1: 输出格式为偏移二进制

图 8-92. 寄存器 0x163

7	6	5	4	3	2	1	0
DDC3 MUX		DDC2 MUX		DDC1 MUX		DDC0 MUX	

表 8-44. 寄存器 0x163 字段说明

位	字段	类型	复位	说明
7-6	DDC3 MUX	R/W	0	这些寄存器位设置各个抽取滤波器的输入数据源。 00: 未连接 01: 通道 A 其他: 未使用
5-4	DDC2 MUX	R/W	0	这些寄存器位设置各个抽取滤波器的输入数据源。 00: 通道 A 01: 未连接 其他: 未使用
3-2	DDC1 MUX	R/W	0	这些寄存器位设置各个抽取滤波器的输入数据源。 00: 未连接 01: 通道 A 其他: 未使用
1-0	DDC0 MUX	R/W	0	这些寄存器位设置各个抽取滤波器的输入数据源。 00: 通道 A 01: 未连接 其他: 未使用

图 8-93. 寄存器 0x164

7	6	5	4	3	2	1	0
NCO3 UPDATE	NCO2 UPDATE	NCO1 UPDATE	NCO0 UPDATE	SEL NEG IM	0	0	NCO MODE

表 8-45. 寄存器 0x164 字段说明

位	字段	类型	复位	说明
7	NCO3 UPDATE	R/W	0	当这些寄存器位从“0”变为“1”时，会更新相应 NCO 的四个 NCO 频率。
6	NCO2 UPDATE	R/W	0	
5	NCO1 UPDATE	R/W	0	
4	NCO0 UPDATE	R/W	0	
3	SEL NEG IM	R/W	0	此字段控制负频率图像的选择，仅适用于 COMPLEX DDC 模型。
2-1	0	R/W	0	必须写入 0
0	NCO MODE	R/W	0	该寄存器用于配置 NCO 的工作模式。 0：相位连续 1：无限相位相干

图 8-94. 寄存器 0x165

7	6	5	4	3	2	1	0
0	0	0	LOW LATENCY EN	0	DIS NCO AUTO UPDATE	NCO SEL EN	NCO COMMON UPDATE

表 8-46. 寄存器 0x165 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	LOW LATENCY EN	R/W	0	该位通过绕过所有数字功能来启用低延迟模式。 0：正常运行 1：启用低延迟模式
3	0	R/W	0	必须写入 0
2	DIS NCO AUTO UPDATE	R/W	0	该寄存器位在使用 GPIO 引脚切换 NCO 时禁用自动更新 0：正常运行 1：自动开关禁用
1	NCO SEL EN	R/W	0	该位支持通过 SPI 寄存器 0x166 而不是 GPIO 引脚选择 NCO 频率。 0：通过 GPIO 引脚选择 NCO 频率 1：通过寄存器 0x166 选择 NCO 频率。
0	NCO COMMON UPDATE	R/W	0	当该寄存器位从“0”变为“1”时，会更新所有 NCO 的四个 NCO 频率。

图 8-95. 寄存器 0x166

7	6	5	4	3	2	1	0
DDC3 NCO SEL		DDC2 NCO SEL		DDC1 NCO SEL		DDC0 NCO SEL	

表 8-47. 寄存器 0x166 字段说明

位	字段	类型	复位	说明
7-6	DDC3 NCO SEL	R/W	0	这些位选择 4 个频率中的哪一个在相应的 DDC/NCO 中有效。同时还必须设置寄存器 0x165 (D1) 中的 <NCO SEL EN> 位。
5-4	DDC2 NCO SEL	R/W	0	
3-2	DDC1 NCO SEL	R/W	0	
1-0	DDC0 NCO SEL	R/W	0	

图 8-96. 寄存器 0x167/168

7	6	5	4	3	2	1	0
DDC1/3 DECIMATION				DDC0/2 DECIMATION			

表 8-48. 寄存器 0x167/0x168 字段说明

位	字段	类型	复位	说明
7-4	DDC1/3 DECIMATION	R/W	0	当使用不等的抽取因子时，这些位为相应的 DDC 设置抽取滤波器因子。同时还必须设置寄存器 0x169 (D7) 中的寄存器 <UNEQUAL DECIMATION>。 0000 : DDC 旁路 0001 : /2 抽取 0010 : /4 抽取 ... 1110 : /16384 抽取 1111 : /32768 抽取
3-0	DDC0/2 DECIMATION	R/W	0	

图 8-97. 寄存器 0x169

7	6	5	4	3	2	1	0
UNEQUAL DECIMATION	0	DDC 数量		抽取 (常见)			

表 8-49. 寄存器 0x169 字段说明

位	字段	类型	复位	说明
7	UNEQUAL DECIMATION	R/W	0	该位使 DDC0..3 配置能够具有不等的抽取因子。 0 : 所有 DDC 使用公共抽取因子 1 : 不等的抽取因子
6	0	R/W	0	必须写入 0
5-4	DDC 数量	R/W	00	该寄存器用于配置有效 DDC 的数量 00 : 双 DDC 模式 01 : 四 DDC 模式 10 : 单 DDC 模式 11 : 未使用
3-0	抽取 (常见)	R/W	0000	该寄存器位设置所有有效 DDC 的抽取滤波器因子。 0000 : DDC 旁路 0001 : /2 抽取 0010 : /4 抽取 ... 1110 : /16384 抽取 1111 : /32768 抽取

图 8-98. 寄存器 0x16B

7	6	5	4	3	2	1	0
0	0	0	UPDATE NYQUIST ZONE	0	NYQUIST ZONE		

表 8-50. 寄存器 0x16B 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	UPDATE NYQUIST ZONE	R/W	0	如果已编程, 该字段必须在奈奎斯特区域之后进行脉冲操作。当该位从 0 变为 1 时, 会将 NYQUIST ZONE 字段复制到内部寄存器。
3	0	R/W	0	必须写入 0
2-0	NYQUIST ZONE	R/W	000	该字段控制奈奎斯特工作区域。器件的内部校准取决于所采样信号的奈奎斯特区域。必须根据奈奎斯特工作区域对该字段进行编程 000: 第一个奈奎斯特区域 (从 0 到 $F_s/2$) 001: 第二个奈奎斯特区域 (从 $F_s/2$ 到 F_s) 010: 第三个奈奎斯特区域 (从 F_s 到 $3F_s/2$) 011: 第四个奈奎斯特区域 (从 $3F_s/2$ 到 $2F_s$) 100: 第五个奈奎斯特区域 (从 $2F_s$ 到 $5F_s/2$) 101: 第六个奈奎斯特区域 (从 $5F_s/2$ 到 $3F_s$) 110、111: 未使用

图 8-99. 寄存器 0x200..0x2DF

7	6	5	4	3	2	1	0
DDCx NCO FREQUENCYy [48:0]							
DDCx NCO PHASEy [15:0]							

表 8-51. 寄存器 0x200..0x2DF 字段说明

位	字段	类型	复位	说明
7-0	DDCx NCO FREQUENCYy [48:0]	R/W	0	这些寄存器位配置四个 DDC/NCO 的 48 位频率字。格式为小端字节序。
7-0	DDCx NCO PHASEy [15:0]	R/W	0	这些寄存器位配置四个 DDC/NCO 的四个频率字的起始相位。格式为小端字节序。相位值为: $90^\circ/16$ 位寄存器

图 8-100. 寄存器 0x590

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ENABLE DCLK DIVIDER	0

表 8-52. 寄存器 0x590 字段说明

位	字段	类型	复位	说明
7-2	0	R/W	0	必须写入 0
1	ENABLE DCLK DIVIDER	R/W	0	该位设置后可启用 DCLK 分频器。对于高抽取因子, 当 LVDS 的位时钟比 ADC 时钟慢时, 需要执行此操作。

图 8-101. 寄存器 0x691/0x692

7	6	5	4	3	2	1	0
LVDS PDN [5:7]			DCLK PDN	0	0	0	0
0	0	0	LVDS PDN [0:4]				

表 8-53. 寄存器 0x691/0x692 字段说明

位	字段	类型	复位	说明
7-0	LVDS PDN [0:7]	R/W	0	这些寄存器位在 LVDS 引脚处于高阻抗状态时使各个 LVDS 输出通道断电，如表 8-54 所示。其余 LVDS 总线断电寄存器位于寄存器 0x113/0x114 中。 0：正常运行 1：LVDS 输出通道断电
4	DCLK PDN	R/W	0	该位使 LVDS 输出时钟断电。 0：正常运行 1：DCLK 断电

表 8-54. LVDS 断电寄存器通道分配

寄存器地址	0x113							0x114	0x691			0x692				
寄存器位	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
LVDS 输出通道	14	13	12	11	10	9	8	15	5	6	7	0	1	2	3	4

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

ADC354x 可用于各种应用，包括雷达、频域数字转换器、频谱分析仪、测试和通信设备以及软件定义无线电 (SDR)。“典型应用”部分描述了一种满足大量此类应用需求的配置。

9.2 典型应用

9.2.1 宽带频谱分析仪

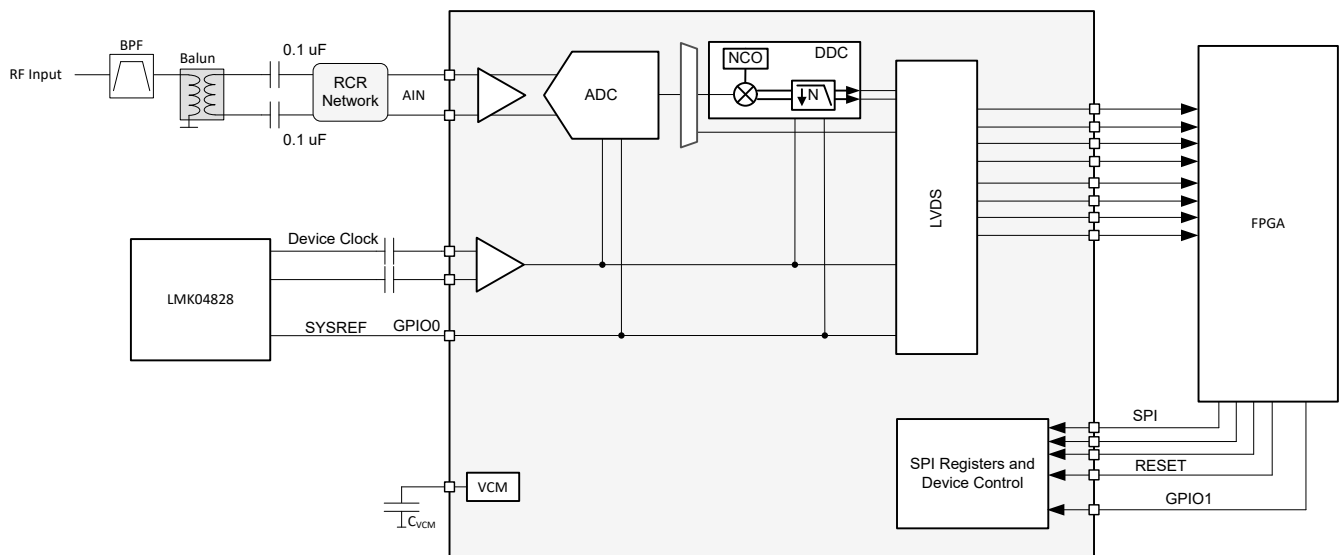


图 9-1. 宽带频谱分析仪的典型配置

9.2.2 设计要求

9.2.2.1 输入信号路径

必须使用适当的频带限制滤波器来抑制接收信号路径中不需要的频率。

需要使用 1:2 (对于 100 Ω 有效端接阻抗) 或 1:1 (对于 50 Ω 有效端接阻抗) 平衡-非平衡变压器将单端射频输入转换为差分，以便输入到 ADC。平衡-非平衡变压器输出必须与 100pF 电容器进行交流耦合。背对背平衡-非平衡变压器配置通常可以提供更好的 SFDR 性能。表 9-1 列出了针对不同阻抗比和频率范围的多种推荐平衡-非平衡变压器。

ADC 输入的 S 参数可用于设计前端匹配网络。

表 9-1. 推荐的平衡-非平衡变压器

器件型号	制造商 ⁽¹⁾	阻抗比	振幅平衡 (dB)	相位平衡 (°)	频率范围
BAL-0009SMG	Marki Microwave	1:2	0.6	5	0.5MHz 至 9GHz
TCM2-43X+	Mini-Circuits	1:2	0.5	7	10MHz 至 4GHz
TCM2-33WX+	Mini-Circuits	1:2	0.7	4	10MHz 至 3GHz
TC1-1-13M+	Mini-Circuits	1:1	0.5	2-3	10MHz 至 3GHz

(1) 请参阅节 10.1.1。

9.2.2.2 时钟

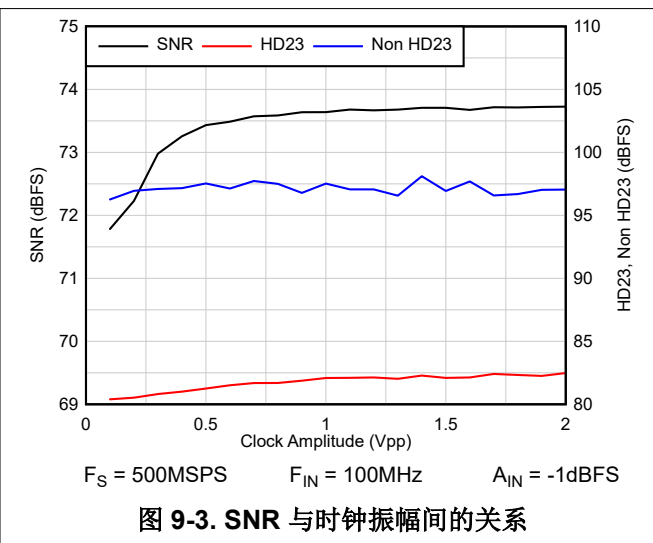
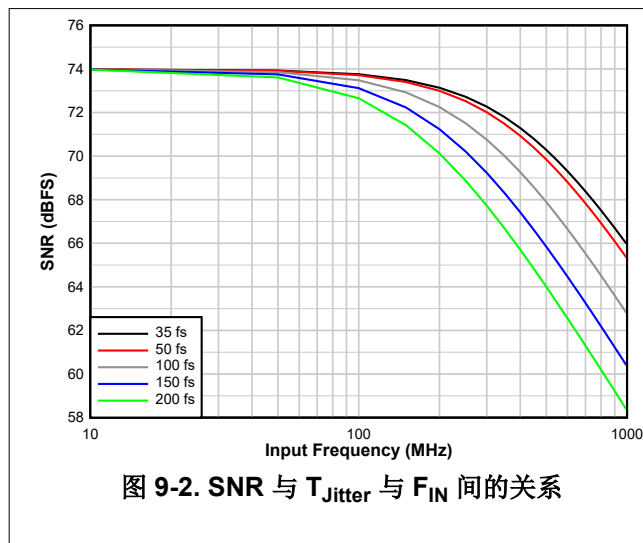
器件时钟输入必须与器件交流耦合，以提供额定性能。时钟源必须具有低抖动 (积分相位噪声)，以使 ADC 达到规定的 SNR 性能，尤其是在较高输入频率下运行时。时钟信号可以使用带通滤波器进行滤波，以消除部分宽带时钟噪声。在多通道系统中，SYSREF 信号可以使用 LMK04828 或 LMK04832 器件生成。LMK 器件也可用作系统时钟合成器。

9.2.3 详细设计过程

9.2.3.1 采样时钟

为了更大限度地提高 ADC 的 SNR 性能，需要低抖动 ($< 75\text{fs}$) 采样时钟。图 9-2 显示了估算的 SNR 性能与输入频率和外部时钟抖动之间的关系。内部 ADC 孔径抖动也与时钟振幅有关（输入频率越高越敏感），如图 9-3 所示。

使用均值计算和/或抽取时，必须先估算单个 ADC 内核的 SNR，然后再添加内部均值计算和/或抽取带来的 SNR 改善。



9.2.4 应用性能曲线图

以下应用曲线仅展示了使用平衡-非平衡变压器前端时的 ADC 性能和结果。在显示的这些曲线中，输入频率为 370MHz ($F_S = 500\text{MSPS}$)，并且输入振幅为 -1dBFS 和 -20dBFS 。工作模式为 DDC 旁路和 $/8$ 复数抽取 (NCO = 360MHz)。

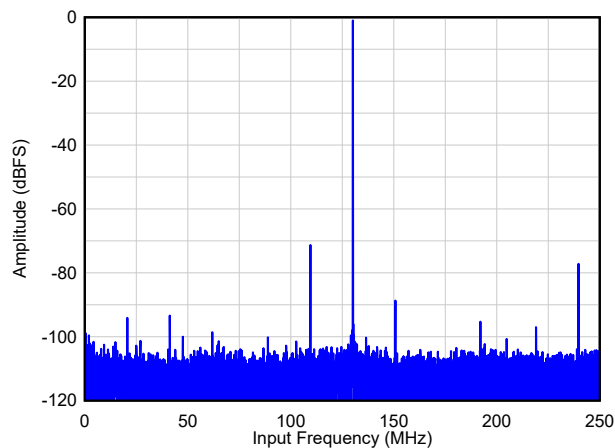

 $A_{IN} = -1\text{dBFS}$

图 9-4. FFT1 : DDC 旁路

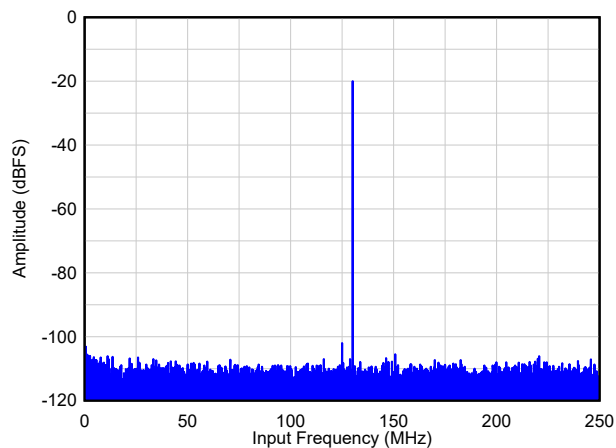
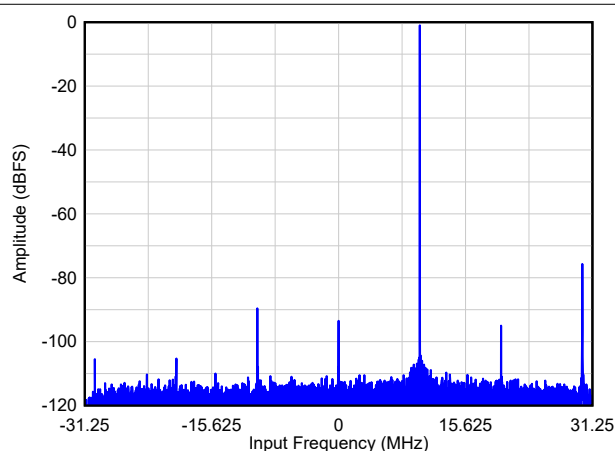
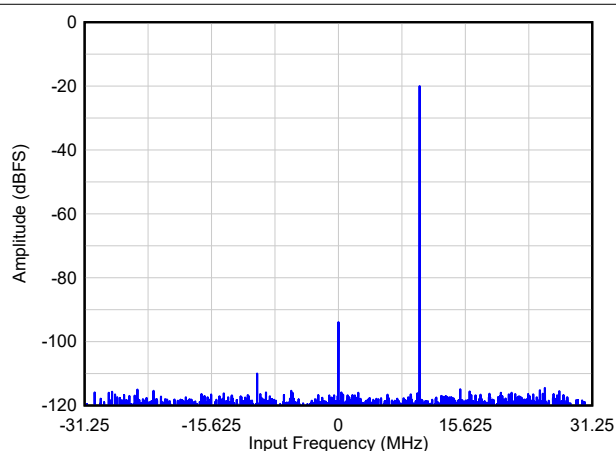

 $A_{IN} = -20\text{dBFS}$

图 9-5. FFT2 : DDC 旁路


 $A_{IN} = -1\text{dBFS}$
图 9-6. FFT3 : $/8$ 抽取
 $A_{IN} = -20\text{dBFS}$
图 9-7. FFT4 : $/8$ 抽取

9.2.5 初始化设置

上电后，必须通过在 RESET 引脚上施加高脉冲进行硬件复位，将内部寄存器初始化为默认值，如图 9-8 所示。

1. 施加 1.2V DVDD12 数字电源
2. 施加 1.2V AVDD12 模拟电源
3. 以任意顺序施加 1.8V 电源 (AVDD18、DVDD18)
4. 施加外部电压基准 (可选)
5. 施加外部采样时钟
6. 进行硬件复位。硬件复位释放后，会从内部保险丝加载默认寄存器。
7. 读回 CFG RDY 寄存器 (0x25, D4)，以检查内部加载是否完成 (< 10k 个时钟周期)。
8. 如果需要，开始使用 SPI 对内部寄存器进行编程。
9. 大约 5M 个时钟周期后即可获得完整的 ADC 性能。

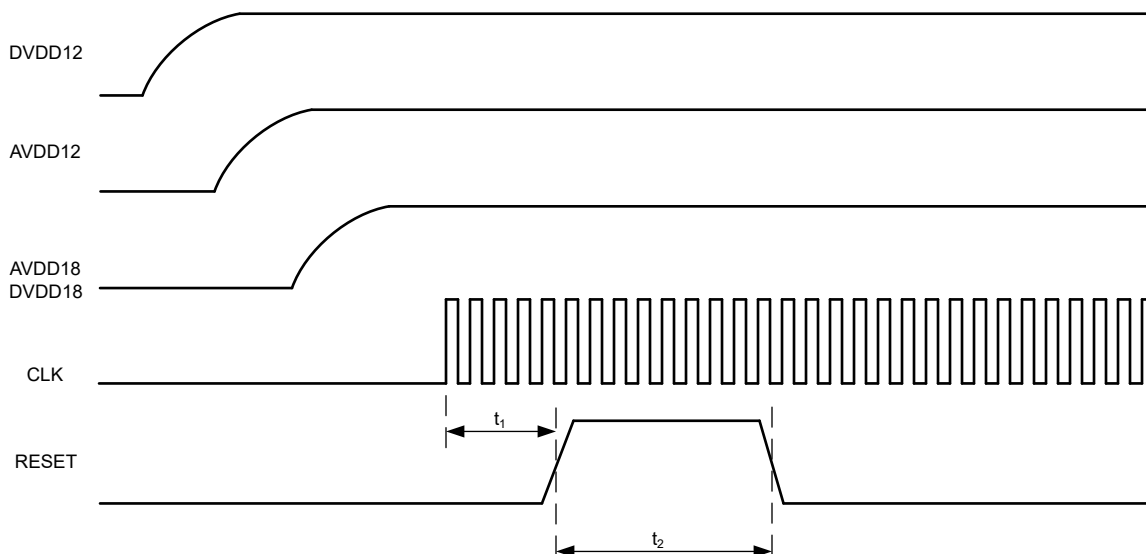


图 9-8. 上电后初始化串行寄存器

表 9-2. 上电时序

	最小值	典型值	最大值	单位
t_1 上电延迟：从上电到高电平有效复位脉冲的延迟	1			μs
t_2 复位脉冲宽度：高电平有效复位脉冲宽度	100			ns

9.3 电源相关建议

ADC 需要四个不同的电源。AVDD18 和 AVDD12 电源轨为 ADC 的内部模拟和时钟电路供电。DVDD18 和 DVDD12 电源轨为数字逻辑 (包括均值和抽取滤波器) 和 LVDS 数字接口供电。

电源时序是必需的, 如节 9.2.5 所示。AVDD18 和 AVDD12 电源必须具有低噪声才能实现数据表性能。在接近直流运行的应用中, 还必须考虑电源的 $1/f$ 噪声贡献。

建议尽可能靠近顶层的引脚放置电源去耦电容器 ($0.1\mu\text{F}$)。

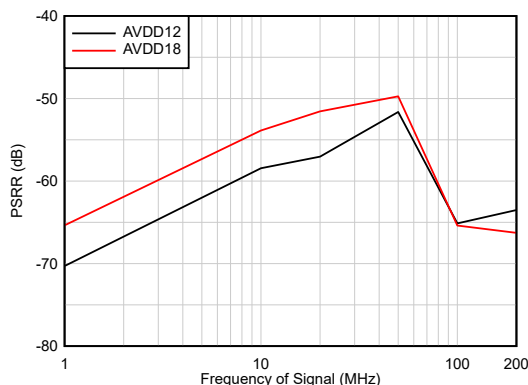


图 9-9. 电源抑制比 (PSRR) 与频率间的关系

低噪声设计的推荐电源架构是首先使用高效降压开关稳压器, 然后使用低噪声 LDO 为每个电源轨进行第二级稳压, 如图 9-10 所示。这进一步降低了开关噪声并提高了电压精度。

TI WEBENCH® Power Designer 可用于选择和设计各个电源元件。为第一级推荐的开关稳压器包括 LMS3635 和类似器件。推荐的低压降 (LDO) 线性稳压器包括 TPS7A8400 以及类似器件。

为防止数字开关噪声耦合到模拟域中, AVDD18 或 AVDD12 不得与 DVDD18/12 共享。

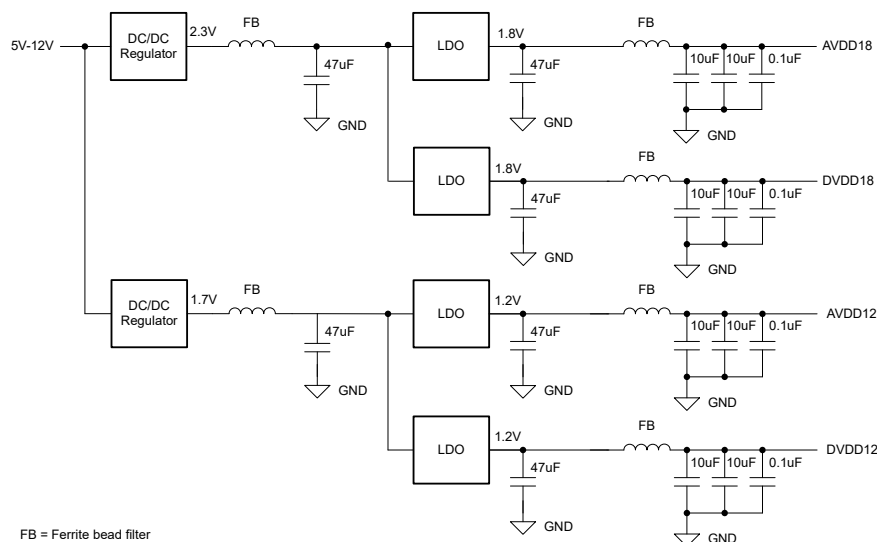


图 9-10. 电源设计示例

9.4 布局

9.4.1 布局指南

在电路板设计过程中, 有几个关键信号需要特别注意:

1. 模拟输入和时钟信号
 - 布线应尽可能短，并尽可能避免过孔，以更大限度地减小阻抗不连续性。
 - 可使用松散耦合的 $100\ \Omega$ 差分线路进行布线。
 - 尽量匹配差分布线长度，以更大限度地减少相位不平衡和 HD2 下降。
2. 数字 LVDS 输出接口
 - 使用紧密耦合的 $100\ \Omega$ 差分线路进行布线。
3. 电源和接地连接
 - 为所有电源和接地引脚提供低电阻连接路径。
 - 使用电源和接地平面而不是布线。
 - 避免使用狭窄的隔离路径，那会增加连接电阻。
 - 使用信号、接地、电源电路板层叠来更大限度地增加接地平面和电源平面之间的耦合。

9.4.2 布局示例

以下屏幕截图显示了 ADC366x EVM 的顶层。ADC354x/6x (单通道 14/16 位) 和 ADC364x/6x (双通道 14/16 位) 共用同一个 EVM。

- 输入信号布线在顶层以松散耦合的差分信号方式进行布线，并避免使用过孔。
- 图 9-11 展示了顶层的布局示例。
- LVDS 输出接口通道布线为差分、紧密耦合且长度匹配。
- 旁路电容靠近顶层的电源引脚，避免过孔。

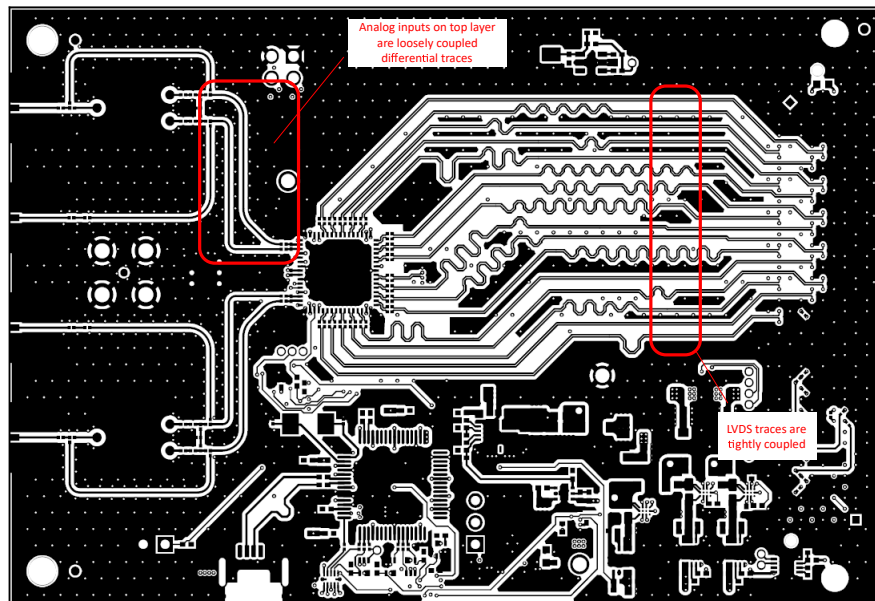


图 9-11. 布局示例：ADC366x EVM 顶层

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2024) to Revision A (January 2025)	Page
• 将 ADC3548 从“产品预发布”更改为“生产”	1
• 在 引脚功能 中将引脚 SCLK 和 SDIO 从下拉更改为上拉	3

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC3548IRTD	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3548
ADC3548IRTD.A	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	AZ3548
ADC3548IRTDT	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3548
ADC3548IRTDT.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	AZ3548
ADC3549IRTD	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3549
ADC3549IRTD.A	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	AZ3549
ADC3549IRTDT	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3549
ADC3549IRTDT.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	AZ3549

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

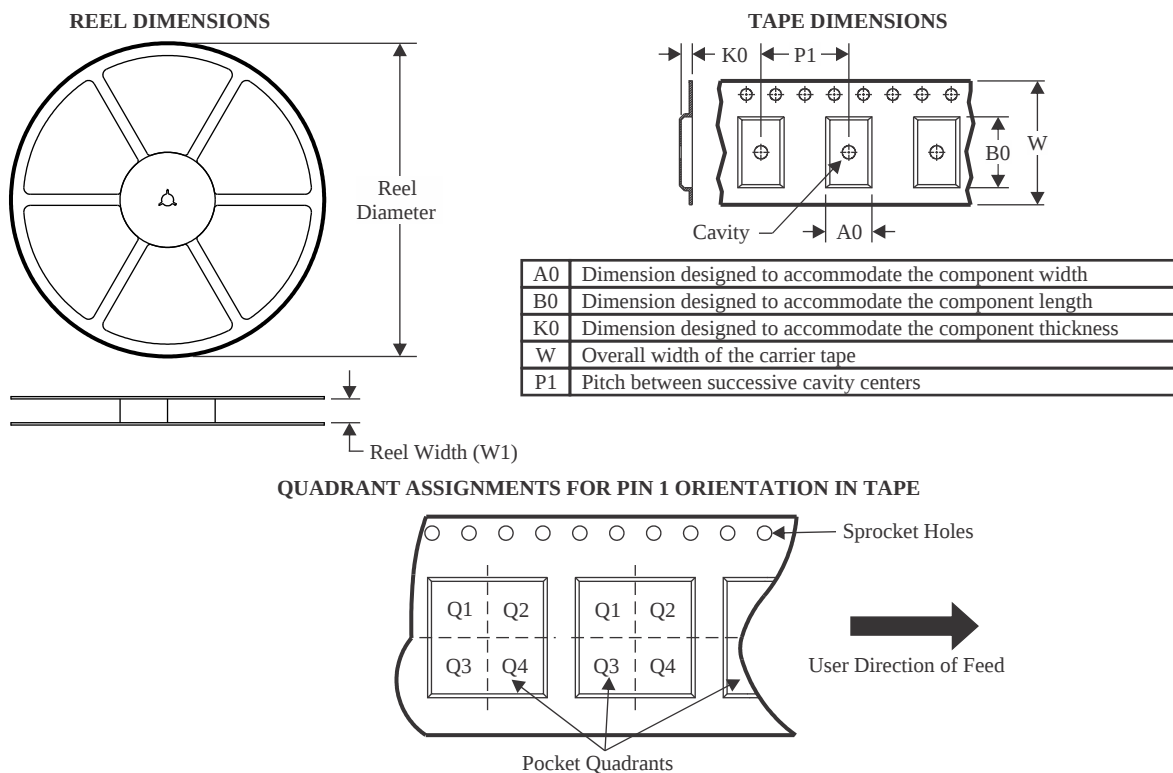
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

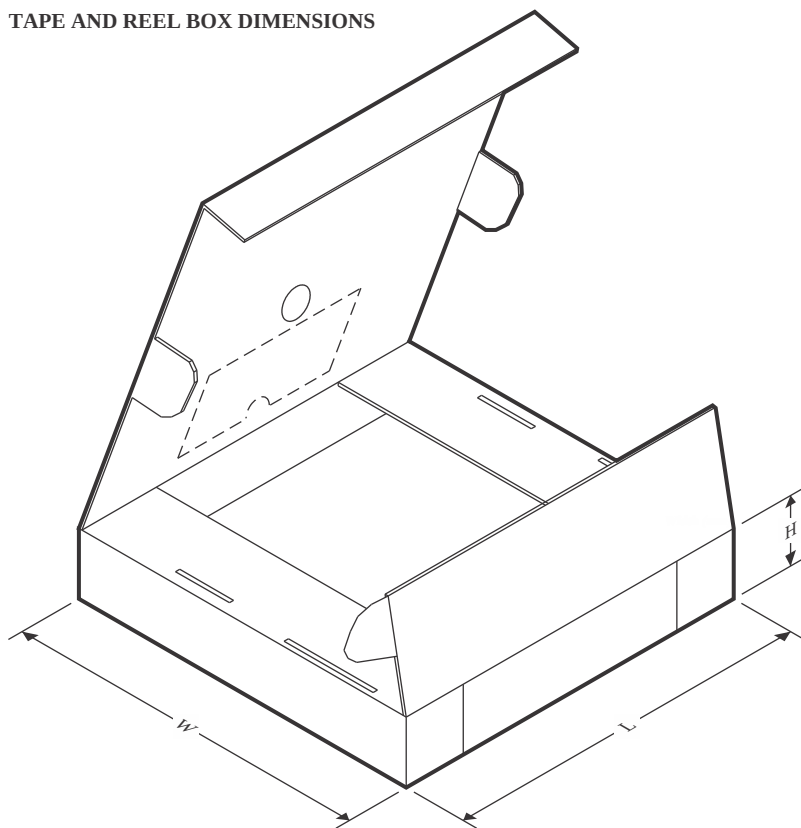
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC3548IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
ADC3549IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

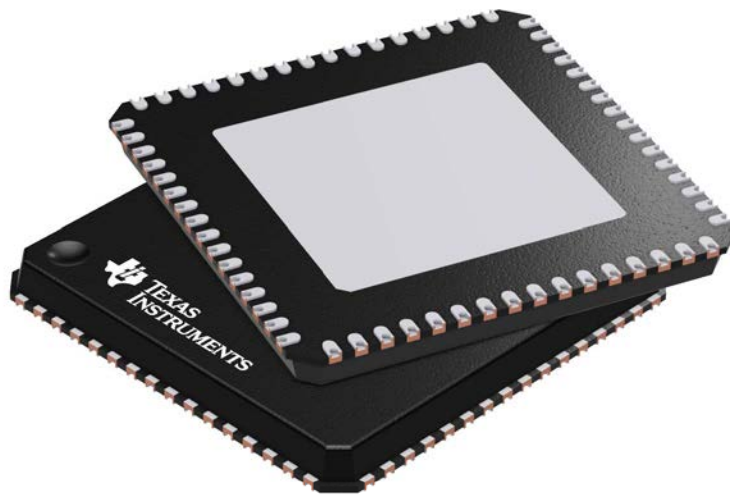
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC3548IRTD	VQFN	RTD	64	250	213.0	191.0	55.0
ADC3549IRTD	VQFN	RTD	64	250	213.0	191.0	55.0

GENERIC PACKAGE VIEW

RTD 64

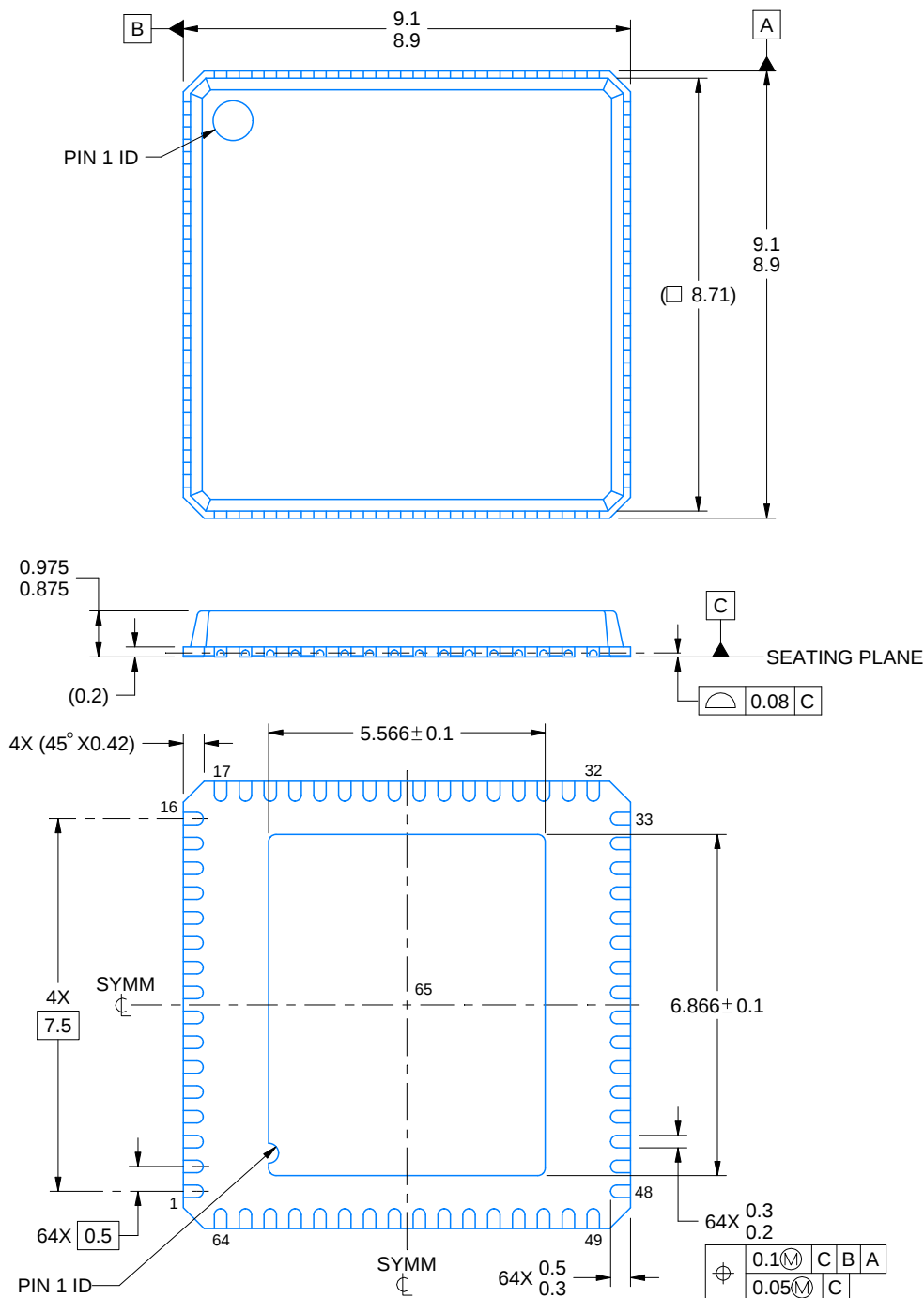
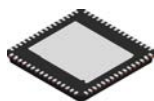
VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4205146/D



4226371/A 11/2020

NOTES:

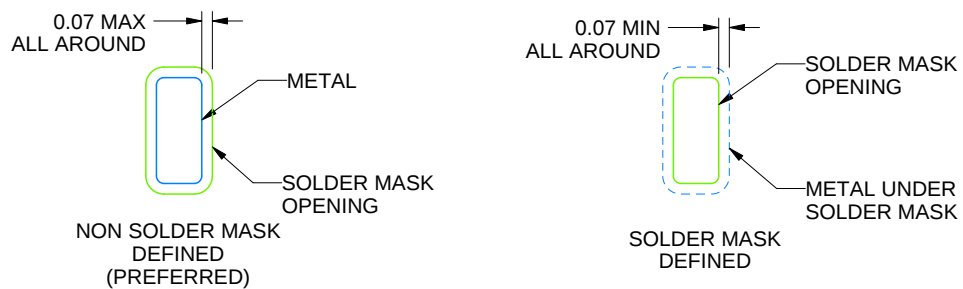
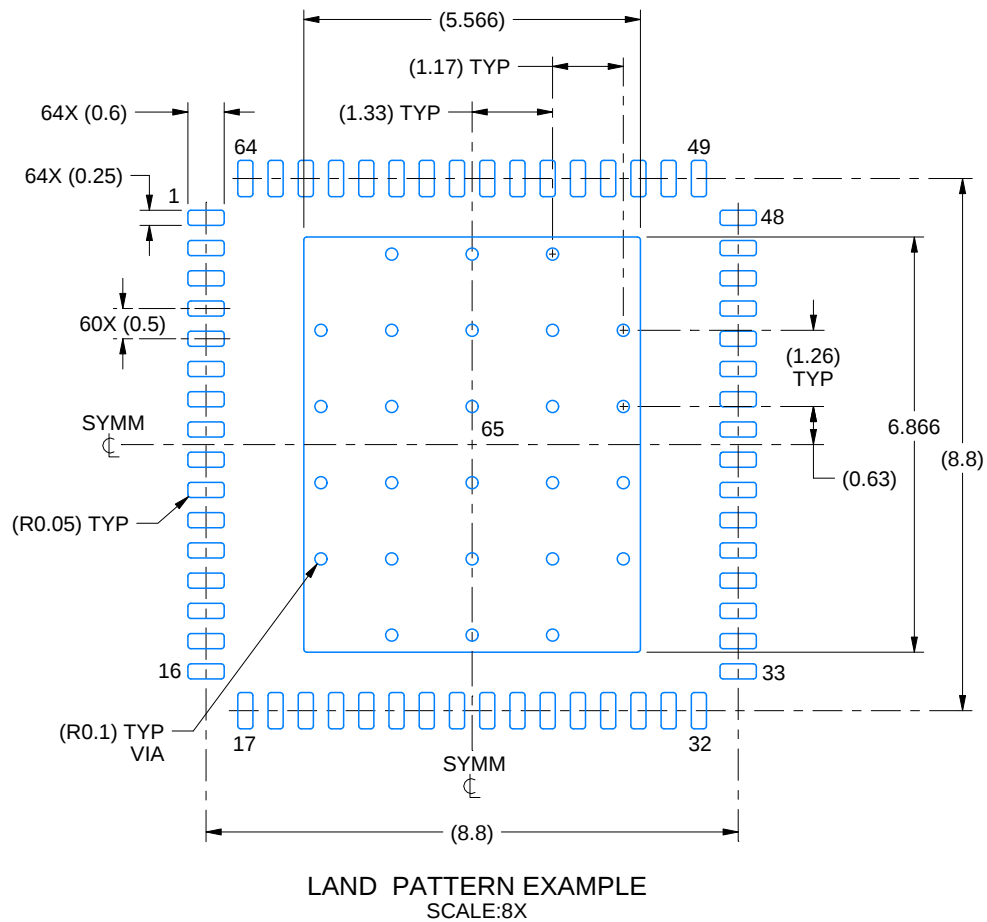
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RTD0064N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER MASK DETAILS

4226371/A 11/2020

NOTES: (continued)

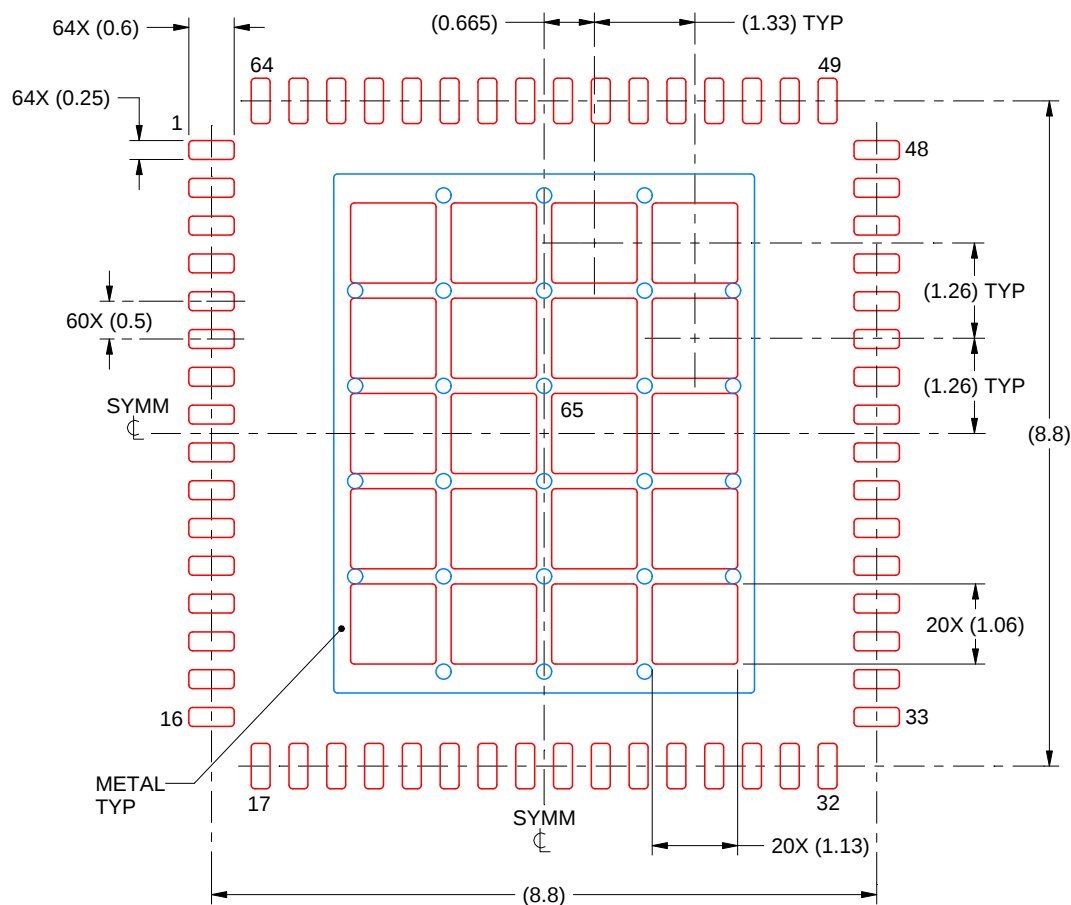
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTD0064N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 65:
63% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:10X

4226371/A 11/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司