ADC12DJ3200QML-SP 6.4GSPS 单通道或 3.2GSPS 双通道 12 位射频采样模数转换器 (ADC)

1 特性

- ADC 内核：
  - 12 位分辨率
  - 单通道模式下的采样率高达 6.4GSPS
  - 双通道模式下的采样率高达 3.2GSPS
- 本底噪声（无信号，V_{FS} = 1$V_{PP-DIFF}$）：
  - 双通道模式： –149.5dBFS/Hz
  - 单通道模式： –152.4dBFS/Hz
- 峰值噪声功率比 (NPR)：45.4dB
- V_{CMI} 为 0V 时的缓冲模拟输入：
  - 模拟输入带宽 (-3dB)：7GHz
  - 可用输入频率范围：> 10GHz
  - 满量程输入电压（V_{FS}，默认值）：0.8V_{PP}
- 无噪声孔径延迟 (t_{AD}) 调节：
  - 精确采样控制：步长为 19fs
  - 温度和电压不变延迟
- 简便易用的同步特性
  - 自动 SYSREF 计时校准
  - 样片标记时间戳
- JESD204B 符合子类 1 标准的接口：
  - 最大通道速率：12.8Gbps
  - 多达 16 个通道，可降低通道速率
- 双通道模式下的数字下变频器：
  - 实际输出：DDC 旁路或双倍抽取
  - 复杂输出：4 倍、8 倍或 16 倍抽取
- 辐射性能：
  - 电离辐射总剂量 (TID)：300krad (Si)
  - 单粒子锁定 (SEL)：120MeV-cm^2/mg
  - 单粒子翻转 (SEU) 抗扰度寄存器
- 功耗：3W

2 应用

- 卫星通信 (SATCOM)
- 相控阵雷达、SIGINT 和 ELINT
- 合成孔径雷达 (SAR)
- 飞行时间和激光雷达测距
- 射频采样软件定义无线电 (SDR)
- 光谱测量

3 说明

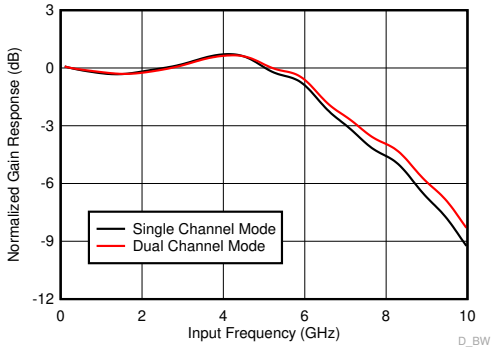
ADC12DJ3200QML-SP 是一款射频采样千兆采样模数转换器 (ADC)，可对从直流到 10GHz 以上的输入频率进行直接采样。在双通道模式下，ADC12DJ3200QML-SP 的采样率高达 3200MSPS。在单通道模式下，器件的采样率高达 6400MSPS。通道数（双通道模式）和奎斯特带宽（单通道模式）的可编程交换功能可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。7GHz 的全功率输入带宽（–3dB），可用频率在双通道和单通道模式下均超过 –3dB，可对频率捷变系统的 L、S、C 和 X 带进行直接射频采样。

ADC12DJ3200QML-SP 采用具有多达 16 个串行通道和符合子类 1 标准的高速 JESD204B 输出接口，可实现确定性延迟和多器件同步。串行输出通道最高支持 12.8Gbps，并且可进行配置，对位速率和通道数进行权衡。无噪声孔径延迟 (t_{AD}) 调节和 SYSREF 窗口等创新的同步特性，简化了合成孔径雷达 (SAR) 和相控阵 MIMO 通信的系统设计。采用双通道模式的可选数字下变频器 (DDC) 可以降低接口速率（实数和复数抽取模式），支持数字化信号混合（仅复数抽取模式）。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADC12DJ3200QML-SP	CLGA (196) CCGA (196) 覆晶	15mm × 15mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



ADC12DJ3200QML-SP 测量的输入带宽

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 9
5.1 绝对最大额定值.... 9
5.2 ESD 等级.... 9
5.3 建议运行条件.... 10
5.4 热性能信息.... 10
5.5 电气特性：直流规格.... 11
5.6 电气特性：功耗.... 13
5.7 电气特性：交流规格（双通道模式）.... 14
5.8 电气特性：交流规格（单通道模式）.... 17
5.9 时序要求.... 20
5.10 开关特性.... 21
5.11 时序图.... 24
5.12 典型特性.... 26
6 详细说明.... 38
6.1 概述.... 38
6.2 功能方框图.... 39
6.3 特性说明.... 40
6.4 器件功能模式.... 62
6.5 编程.... 81
6.6 寄存器映射.... 83
7 应用信息免责声明.... 132
7.1 应用信息.... 132
7.2 典型应用.... 135
7.3 初始化设置.... 140
7.4 布局.... 142
8 器件和文档支持.... 146
8.1 器件支持.... 146
8.2 文档支持.... 146
8.3 第三方产品免责声明.... 146
8.4 接收文档更新通知.... 146
8.5 支持资源.... 146
8.6 商标.... 146
8.7 静电放电警告.... 146
8.8 术语表.... 147
9 修订历史记录.... 147
10 机械、封装和可订购信息.... 147

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	AGND	BG	AGND	INA+	INA-	AGND	NCOA0	ORA0	CALTRIG	DA3+	DA3-	DA2+	DA2-	DGND
B	AGND	$\overline{\text{SYNCSE}}$	AGND	AGND	AGND	AGND	NCOA1	ORA1	CALSTAT	DA7+	DA7-	DA6+	DA6-	DGND
C	TMSTP+	VA19	VA19	VA19	VA19	AGND	AGND	DGND	DGND	VD11	VD11	VD11	DA5+	DA1+
D	TMSTP-	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA5-	DA1-
E	VA19	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA4+	DA0+
F	AGND	VA11	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA4-	DA0-
G	CLK+	AGND	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	$\overline{\text{SCS}}$	SCLK
H	CLK-	AGND	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	SDI	SDO
J	AGND	VA11	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB4-	DB0-
K	VA19	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB4+	DB0+
L	SYSREF+	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB5-	DB1-
M	SYSREF-	VA19	VA19	VA19	VA19	AGND	AGND	DGND	DGND	VD11	VD11	VD11	DB5+	DB1+
N	AGND	TDIODE+	AGND	AGND	AGND	AGND	NCOB1	ORB1	DGND	DB7+	DB7-	DB6+	DB6-	DGND
P	AGND	TDIODE-	AGND	INB+	INB-	AGND	NCOB0	ORB0	PD	DB3+	DB3-	DB2+	DB2-	DGND

图 4-1. ZMX (CGLA) 和 NWE (CCGA) 封装
196 焊盘倒装芯片陶瓷 LGA（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
AGND[(1)]	A1、A3、A6、B1、B3、B4、B6、B6、C6、C7、D4、D5、D6、D7、E4、E5、E6、E7、F1、F4、F5、F6、F7、G2、G4、G5、G6、G7、H2、H4、H5、H6、H7、J1、J4、J5、J6、J7、K4、K5、K6、K7、L4、L5、L6、L7、M6、M7、N1、N3、N4、N5、N6、P1、P3、P6	—	模拟电源接地。AGND 和 DGND 应直接连接到电路板上。
BG	A2	O	带隙电压输出。此引脚能够拉取 100 μA，并可驱动高达 80pF 的负载。有关更多详细信息，请参阅*模拟基准电压*部分。该引脚可以在不使用时保持断开。
CALSTAT	B9	O	前台校准状态输出或器件警报输出。功能通过 CAL_STATUS_SEL 进行编程。该引脚可以在不使用时保持断开。
CALTRIG	A9	I	前台校准触发器输入。只有在 CAL_TRIG_EN 中选择硬件校准触发时才使用此引脚，否则将使用 CAL_SOFT_TRIG 执行软件触发。该引脚可以在不使用时连接到 GND。
CLK+	G1	I	器件（采样）时钟正输入。时钟信号必须与该输入交流耦合。在单通道模式下，在上升沿和下降沿对模拟输入信号进行采样。在双通道模式下，在上升沿对模拟信号进行采样。该差分输入具有内部 100Ω 差分终端，并且自偏置为理想输入共模电压。
CLK –	H1	I	器件（采样）时钟负输入。必须为 AC 耦合。
DA0+	E14	O	用于通道 A、通道 0 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA0 –	F14	O	用于通道 A、通道 0 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA1+	C14	O	用于通道 A、通道 1 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA1 –	D14	O	用于通道 A、通道 1 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA2+	A12	O	用于通道 A、通道 2 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA2 –	A13	O	用于通道 A、通道 2 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
DA3+	A10	O	用于通道 A、通道 3 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA3 –	A11	O	用于通道 A、通道 3 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA4+	E13	O	用于通道 A、通道 4 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA4 –	F13	O	用于通道 A、通道 4 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA5+	C13	O	用于通道 A、通道 5 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA5 –	D13	O	用于通道 A、通道 5 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA6+	B12	O	用于通道 A、通道 6 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA6 –	B13	O	用于通道 A、通道 6 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA7+	B10	O	用于通道 A、通道 7 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA7 –	B11	O	用于通道 A、通道 7 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB0+	K14	O	用于通道 B、通道 0 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB0 –	J14	O	用于通道 B、通道 0 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB1+	M14	O	用于通道 B、通道 1 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB1 –	L14	O	用于通道 B、通道 1 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB2+	P12	O	用于通道 B、通道 2 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB2 –	P13	O	用于通道 B、通道 2 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB3+	P10	O	用于通道 B、通道 3 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB3 –	P11	O	用于通道 B、通道 3 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB4+	K13	O	用于通道 B、通道 4 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB4 –	J13	O	用于通道 B、通道 4 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
DB5+	M13	O	用于通道 B、通道 5 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB5–	L13	O	用于通道 B、通道 5 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB6+	N12	O	用于通道 B、通道 6 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB6–	N13	O	用于通道 B、通道 6 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB7+	N10	O	用于通道 B、通道 7 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB7–	N11	O	用于通道 B、通道 7 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DGND	A14、B14、C8、C9、D8、D9、D10、D11、E8、E9、E10、E11、F8、F9、F10、F11、G8、G9、G10、G11、H8、H9、H10、H11、J8、J9、J10、J11、K8、K9、K10、K11、L8、L9、L10、L11、M8、M9、N9、N14、P14	—	数字电源接地。AGND 和 DGND 应直接连接到电路板上。
INA+	A4	I	通道 A 模拟输入正连接。差分满量程输入范围由满量程电压调整寄存器决定。输入共模电压应设置为 AGND。该输入通过 50Ω 终端电阻器端接至接地。由于具有优化的性能，建议在单通道模式下使用 INA。该引脚可以在不使用时保持断开。
INA-	A5	I	通道 A 模拟输入负连接。该输入通过 50Ω 终端电阻器端接至接地。由于具有优化的性能，建议在单通道模式下使用 INA。该引脚可以在不使用时保持断开。
INB+	P4	I	通道 B 模拟输入正连接。差分满量程输入范围由满量程电压调整寄存器决定。输入共模电压应设置为 AGND。该输入通过 50Ω 终端电阻器端接至接地。该引脚可以在不使用时保持断开。
INB–	P5	I	通道 B 模拟输入负连接。该输入通过 50Ω 终端电阻器端接至接地。该引脚可以在不使用时保持断开。
NCOA0	A7	I	NCO 累加器选择控制 DDC A 的 LSB。NCOA0 和 NCOA1 选择将四个可用 NCO 中的哪一个 NCO 用于数字混合。其余未选择的 NCO 继续运行以保持相位一致性，可以通过更改 NCOA0 和 NCOA1 的值来交换。这是一个异步输入。该引脚可以在不使用时连接到 GND。
NCOA1	B7	I	NCO 累加器选择控制 DDC A 的 MSB。如果不使用该引脚，则应将其连接到 GND。
NCOB0	P7	I	NCO 累加器选择控制 DDC B 的 LSB。NCOB0 和 NCOB1 选择将四个可用 NCO 中的哪一个 NCO 用于数字混合。其余未选择的 NCO 继续运行以保持相位一致性，可以通过更改 NCOB0 和 NCOB1 的值来交换。这是一个异步输入。该引脚可以在不使用时连接到 GND。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
NCOB1	N7	I	NCO 累加器选择控制 DDC B 的 MSB。如果不使用该引脚，则应将其连接到 GND。
ORA0	A8	O	通道 A 的 T0 阈值快速超范围检测状态。当模拟输入超过 OVR_T0 中编程的阈值时，此状态将变为高电平。最小脉冲持续时间由 OVR_N 设置。该引脚可以在不使用时保持断开。
ORA1	B8	O	通道 A 的 T1 阈值快速超范围检测状态。当模拟输入超过 OVR_T1 中编程的阈值时，此状态将变为高电平。最小脉冲持续时间由 OVR_N 设置。该引脚可以在不使用时保持断开。
ORB0	P8	O	通道 B 的 T0 阈值快速超范围检测状态。当模拟输入超过 OVR_T0 中编程的阈值时，此状态将变为高电平。最小脉冲持续时间由 OVR_N 设置。该引脚可以在不使用时保持断开。
ORB1	N8	O	通道 B 的 T1 阈值快速超范围检测状态。当模拟输入超过 OVR_T1 中编程的阈值时，此状态将变为高电平。最小脉冲持续时间由 OVR_N 设置。该引脚可以在不使用时保持断开。
PD	P9	I	当设置为高电平时，该引脚禁用所有模拟电路和串行器输出，仅用于温度二极管校准。请勿使用该引脚关闭器件电源，以节省电能。可在正常工作期间将此引脚连接至 GND。有关串行器可靠运行的信息，请参阅*断电模式* 部分。
SCLK	G14	I	串行接口时钟。此引脚用作串行接口时钟输入，可为串行编程数据输入和输出提供时钟。*使用串行接口* 更详细地介绍了串行接口。此引脚支持 1.1V 至 1.9V CMOS 电平。
$\overline{\text{SCS}}$	G13	I	串行接口芯片选择低电平有效输入。*使用串行接口* 更详细地介绍了串行接口。此引脚支持 1.1V 至 1.9V CMOS 电平。该引脚到 VD11 有一个 82kΩ 上拉电阻器。
SDI	H13	I	串口数据输入。*使用串行接口* 更详细地介绍了串行接口。此引脚支持 1.1V 至 1.9V CMOS 电平。
SDO	H14	O	串行接口数据输出。*使用串行接口* 更详细地介绍了串行接口。该引脚在器件正常运行期间处于高阻抗状态。在串行接口读取操作期间，该引脚输出 1.9V CMOS 电平。该引脚可以在不使用时保持断开。
$\overline{\text{SYNCSE}}$	B2	I	JESD204B SYNC 信号单端低电平有效输入。此引脚提供 JESD204B 所需的同步请求输入。应用于此输入的逻辑低电平会启动代码组同步和初始通道对齐序列。可以通过对 SYNC_SEL 进行编程来选择单端或差分 $\overline{\text{SYNC}}$（使用 TMSTP+ 和 TMSTP- 引脚）。如果将差分 $\overline{\text{SYNC}}$ (TMSTP±) 用作 JESD204B SYNC 信号，则应将该引脚连接到 GND。
SYSREF+	L1	I	SYSREF 正输入用于在 JESD204B 接口上实现同步和确定性延迟。该差分输入（SYSREF+ 至 SYSREF –）有一个内部 100Ω 差分端接。交流耦合时，输入自偏置（SYSREF_LVPECL_EN 必须设置为 0），但可以通过将 SYSREF_LVPECL_EN 设置为 1 来进行直流耦合，这会将每个 SYSREF+和 SYSREF- 输入端的内部端接更改为 50Ω 单端接地端接。当直流耦合时，共模电压必须处于建议的范围内。
SYSREF-	M1	I	SYSREF 负输入。
TDIODE+	N2	I	温度二极管正（阳极）连接。要监测器件的结温，可以将外部温度传感器连接到 TDIODE+ 和 TDIODE-。该引脚可以在不使用时保持断开。
TDIODE –	P2	I	温度二极管负（阴极）连接。该引脚可以在不使用时保持断开。
TMSTP+	C1	I	时间戳输入正连接或差分 JESD204B $\overline{\text{SYNC}}$ 正连接。当 SYNC_SEL 设置为使用 $\overline{\text{SYNCSE}}$ 作为 JESD204B SYNC 信号时，此输入用作时间戳输入。当 SYNC_SEL 设置为使用 TMSTP+ 和 TMSTP – 作为 JESD204B SYNC 信号时，该输入用作 JESD204B SYNC 信号。有关作为时间戳输入的更多使用信息，请参阅*时间戳* 部分。如果使用了 $\overline{\text{SYNCSE}}$ 并且不需要时间戳，则可以使该引脚保持断开状态。
TMSTP –	D1	I	时间戳输入正连接或差分 JESD204B $\overline{\text{SYNC}}$ 负连接。如果使用了 $\overline{\text{SYNCSE}}$ 并且不需要时间戳，则可以使该引脚保持断开状态。
VA11	D3、E3、F2、F3、G3、H3、J2、J3、K3、L3	I	1.1V 模拟电源。

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
VA19	C2、C3、C4、C5、D2、E1、E2、K1、K2、L2、M2、M3、M4、M5	I	1.9V 模拟电源。
VD11	C10、C11、C12、D12、E12、F12、G12、H12、J12、K12、L12、M10、M11、M12	I	1.1V 数字电源。

(1) 器件盖连接到 AGND。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）[1]

			最小值	最大值	单位
V_{DD}	电源电压范围	VA19[2]	-0.3	2.35	V
		VA11[2]	-0.3	1.32	
		VD11[3]	-0.3	1.32	
		VD11 和 VA11 之间的电压	-1.32	1.32	
V_{GND}	AGND 和 DGND 之间的电压		-0.1	0.1	V
V_{PIN}	引脚电压范围	DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–、TMSTP+、TMSTP–[3]	-0.5	VD11 + 0.5[5]	V
		CLK+、CLK-、SYSREF+、SYSREF-[2]	-0.5	VA11 + 0.5[4]	
		BG、TDIODE+、TDIODE–[2]	-0.5	VA19 + 0.5[6]	
		INA+、INA–、INB+、INB–[2]	-1	1	
		CALSTAT、CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、ORA0、ORA1、ORB0、ORB1、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$[2]	-0.5	VA19 + 0.5[6]	
$I_{MAX(ANY)}$	峰值输入电流（除 INA+、INA–、INB+、INB– 之外的任何输入）		-25	25	mA
$I_{MAX(INx)}$	峰值输入电流（INA+、INA–、INB+、INB–）		-50	50	mA
$P_{MAX(INx)}$	峰值射频输入功率（INA+、INA–、INB+、INB–）	Z_{S-SE} = 50Ω 的单端		16.4	dBm
$I_{MAX(ALL)}$	峰值总输入电流（强制输入或输出的所有电流的绝对值之和，不包括电源电流）			100	mA
T_j	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 测量至 AGND。
(3) 测量至 DGND。
(4) 最大电压不超过 VA11 绝对最大额定值。
(5) 最大电压不超过 VD11 绝对最大额定值。
(6) 最大电压不超过 VA19 绝对最大额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±2500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[2]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 允许在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{DD}	电源电压范围	VA19、1.9V 模拟电源(2)	1.8	1.9	2	V
		VA11、1.1V 模拟电源(2)	1.05	1.1	1.15	
		VD11、1.1V 数字电源(3)	1.05	1.1	1.15	
V_{CMI}	输入共模电压	INA+、INA－、INB+、INB－(2)	-50	0	100	mV
		CLK+、CLK-、SYSREF+、SYSREF-(2) (4)	0	0.3	0.55	V
		TMSTP+、TMSTP－(3) (5)	0	0.3	0.55	
V_{ID}	输入电压、差分峰峰值电压	CLK+ 至 CLK－、SYSREF+ 至 SYSREF－、TMSTP+ 至 TMSTP－	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+ 至 INA－，INB+ 至 INB－			1(6)	
V_{IH}	高电平输入电压	CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、PD、SCLK、$\overline{SCS}$、SDI、$\overline{SYNCSE}$ (2)	0.7			V
V_{IL}	低电平输入电压	CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、PD、SCLK、$\overline{SCS}$、SDI、$\overline{SYNCSE}$ (2)			0.45	V
I_{C_TD}	温度二极管输入电流	TDIODE+ 至 TDIODE－		100		μA
C_L	BG 最大负载电容				100	pF
I_O	BG 最大输出电流				100	μA
DC	输入时钟占空比		30%	50%	70%	
T_A	自然通风条件下的工作温度范围		-55			°C
T_j	工作结温				125(1)	°C

(1) 芯片设计用于在 T_J = 150°C 下运行，并在 T_J = 125°C 时使器件和芯片金属化降级高达 150,000 POH 连续运行
(2) 测量至 AGND。
(3) 测量至 DGND。
(4) TI 强烈建议对 CLK± 进行交流耦合，并将 DEVCLK_LVPECL_EN 设置为 0，以使 CLK± 自偏置到最佳输入共模电压，从而实现最高性能。TI 建议对 SYSREF± 进行交流耦合，除非需要直流耦合，在这种情况下，必须使用 LVPECL 输入模式 (SYSREF_LVPECL_EN = 1)。
(5) 无论是 TMSTP_LVPECL_EN=0 时的交流耦合，还是 TMSTP_LVPECL_EN=1 时的直流耦合，TMSTP± 都没有内部偏置，需要从外部对 TMSTP± 进行偏置。
(6) 当 INA± 或 INB± 的 V_{ID} 超出由 INA± 的 FS_RANGE_A 或 INB± 的 FS_RANGE_B 设置的编程满量程电压 (V_{FS}) 时，ADC 输出代码将饱和。

5.4 热性能信息

热指标(1)		ADC12DJ3200QML-SP ZMX (CLGA) NWE (CCGA) 196 引脚	单位
$R_{\theta JA}$	结至环境热阻	24.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	1.9(3)	°C/W
$R_{\theta JB}$	结至电路板热阻	11.4	°C/W
ψ_{JT}	结至顶部特征参数	0.7(3)	°C/W
ψ_{JB}	结至电路板特征参数	11.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	6.5(2)	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) 外壳底部温度在固定温度 PCB 上焊柱底部测得。此参数仅在器件上连接了焊柱时适用。
(3) 改进的热参数适用于从 2023 年开始具有生产日期代码的器件。具有 2022 年及更早生产日期代码的器件具有 16.5°C/W 的 $R_{\theta JC(top)}$ 和 7.5°C/W 的 ψ_{JT}。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
直流精度							
	分辨率	无代码丢失时的分辨率			12		位
DNL	微分非线性	距离理想步长的最大正偏移			0.4		LSB
		距离理想步长的最大负偏移			-0.3		LSB
INL	积分非线性	距离理想传递函数的最大正偏移			3		LSB
		距离理想传递函数的最大负偏移			-2		LSB
模拟输入（INA+、INA–、INB+、INB–）							
V_{OFF}	偏移误差	CAL_OS = 0			±2.0		mV
		CAL_OS = 1			±0.5		mV
V_{OFF_ADJ}	输入失调电压调节范围	可用的偏移校正范围（请参阅 CAL_CFG0 寄存器或 OADJ_A_FG0_VINA 寄存器中的 CAL_OS 位）			±55		mV
V_{OFF_DRIFT}	偏移漂移	仅限标称温度下的前台校准			23		μV/°C
		每个温度下的前台校准			0		
V_{IN_FSR}	模拟差分输入满量程	默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)	[1、2、3]	750	810	850	mV_{PP}
		最大满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xFFFF)			1050		
		最小满量程电压 (FS_RANGE_A = FS_RANGE_B = 0x2000)			490		
$V_{IN_FSR_DRIFT}$	模拟差分输入满量程范围漂移	默认 FS_RANGE_A 和 FS_RANGE_B 设置，仅在标称温度下进行前台校准，由 50Ω 源驱动的输入，包括 R_{IN} 漂移的影响			-0.01		%/°C
		默认 FS_RANGE_A and FS_RANGE_B 设置，每个温度下的前台校准，由 50Ω 源驱动的输入，包括 R_{IN} 漂移的影响			-0.022		
$V_{IN_FSR_MATCH}$	模拟差分输入满量程范围匹配	INA± 和 INB± 之间的匹配，默认设置，双通道模式			1%		
R_{IN}	AGND 单端输入电阻	每个输入引脚端接至 AGND，在 T_A = 25°C 时测量	[1]	48	50	52	Ω
R_{IN_TEMPCO}	输入终端线性温度系数				14.7		mΩ/°C
C_{IN}	单端输入电容	在 DC 时为单通道模式			0.4		pF
		在 DC 时为双通道模式			0.4		

5.5 电气特性：直流规格（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
温度二极管特性 (TDIODE+、TDIODE-)							
ΔV_{BE}	温度二极管电压斜率	100 µA 的强制正向电流；失调电压（在 0°C 下约为 0.792V）随工艺变化，必须针对每个器件进行测量；在器件未上电或 PD 引脚置位的情况下执行失调电压测量，可更大限度地减少器件自发热；只有在进行偏移测量时，才需要将 PD 引脚置为有效达足够长的时间			-1.6		mV/°C
带隙电压输出 (BG)							
V_{BG}	基准输出电压	I_L ≤ 100µA			1.1		V
V_{BG_DRIFT}	基准输出温度漂移	I_L ≤ 100µA			-102		µV/°C
时钟输入（CLK+、CLK–、SYSREF+、SYSREF–、TMSTP+、TMSTP–）							
Z_T	内部端接	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0 且 TMSTP_LVPECL_EN = 0 时的差分终端			100		Ω
		在 DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 时单端终端至 GND（每引脚）			50		
V_{CM}	输入共模电压自偏置	交流耦合时 CLK± 的自偏置共模电压（DEVCLK_LVPECL_EN 必须设置为 0)			0.3		V
		在交流耦合时（SYSREF_LVPECL_EN 必须设置为 0）且接收器启用 (SYSREF_RECV_EN = 1) 时，SYSREF± 的自偏置共模电压			0.3		
		在交流耦合（SYSREF_LVPECL_EN 必须设置为 0）且接收器被禁用 (SYSREF_RECV_EN = 0) 时，SYSREF± 的自偏置共模电压			VA11		
C_{L_DIFF}	差分输入电容	正负差分输入引脚之间			0.1		pF
C_{L_SE}	单端输入电容	每个输入端接地			0.5		pF
串行器/解串器输出（DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–）							
V_{OD}	差分输出电压，峰峰值	100-Ω 负载	[1、2、3]	550	600	650	$mV_{PP\text{-}DIFF}$
V_{CM}	输出共模电压	交流耦合			VD11 / 2		V
Z_{DIFF}	差分输出阻抗				100		Ω

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
CMOS 接口（SCLK、SDI、SDO、$\overline{SCS}$、PD、NCOA0、NCOA1、NCOB0、NCOB1、CALSTAT、CALTRIG、ORA0、ORA1、ORB0、ORB1、$\overline{SYNCSE}$）							
I_{IH}	高电平输入电流		[1、2、3]			40	μA
I_{IL}	低电平输入电流		[1、2、3]	-40			μA
C_I	输入电容				2		pF
V_{OH}	高电平输出电压	I_{LOAD} = -400μA	[1、2、3]	1.65			V
V_{OL}	低电平输出电压	I_{LOAD} = 400μA	[1、2、3]			150	mV

(1) 有关子组定义，请参阅表 5-1。

5.6 电气特性：功耗

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
I_{VA19}	1.9V 模拟电源电流	功率模式 1：单通道模式，JMODE 1（16 个通道，DDC 旁路），前台校准			890		mA
I_{VA11}	1.1V 模拟电源电流				500		mA
I_{VD11}	1.1V 数字电源电流				542		mA
P_{DIS}	功率耗散				2.8		W
I_{VA19}	1.9V 模拟电源电流	功率模式 2：单通道模式，JMODE 0（8 个通道，DDC 旁路），前台校准	[1、2、3]		890	1000	mA
I_{VA11}	1.1V 模拟电源电流		[1、2、3]		500	650	mA
I_{VD11}	1.1V 数字电源电流		[1、2、3]		595	850	mA
P_{DIS}	功率耗散		[1、2、3]		2.9	3.5	W
I_{VA19}	1.9V 模拟电源电流	电源模式 3：单通道模式，JMODE 1（16 个通道，DDC 旁路），后台校准			1172		mA
I_{VA11}	1.1V 模拟电源电流				600		mA
I_{VD11}	1.1V 数字电源电流				561		mA
P_{DIS}	功率耗散				3.5		W
I_{VA19}	1.9V 模拟电源电流	功率模式 4：双通道模式，JMODE 3（16 通道，DDC 旁路），后台校准			1254		mA
I_{VA11}	1.1V 模拟电源电流				600		mA
I_{VD11}	1.1V 数字电源电流				573		mA
P_{DIS}	功率耗散				3.7		W
I_{VA19}	1.9V 模拟电源电流	功率模式 5：双通道模式，JMODE 11（8 个通道，4 倍抽取），前台校准			971		mA
I_{VA11}	1.1V 模拟电源电流				500		mA
I_{VD11}	1.1V 数字电源电流				1033		mA
P_{DIS}	功率耗散				3.6		W

(1) 有关子组定义，请参阅表 5-1。

5.7 电气特性：交流规格（双通道模式）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
FPBW	全功率输入带宽 (–3 dB)[2]	前台校准			7.3		GHz
		后台校准			7.3		
XTALK	通道间串扰	双通道模式、干扰源 = 400 MHz, –1 dBFS			-88		dB
		双通道模式、干扰源 = 3 GHz, –1 dBFS			-56		
		双通道模式、干扰源 = 6 GHz, –1 dBFS			-57		
CER	误码率	不包括串行器/解串器误码率 (BER)			10^{-18}		错误/样本
噪声 $_{DC}$	直流输入噪声标准偏差	无输入，前台校准，不包括直流偏移，包括固定交错杂散（f_S /2 杂散）			2.5		LSB
NSD	噪声频谱密度，无输入信号，不包括固定交错杂散（f_S /2 杂散）	最大满量程电压设置 (FS_RANGE_A = FS_RANGE_B = 0xFFFF)，前台校准			-149.5		dBFS/Hz
		默认满量程电压设置 (FS_RANGE_A = FS_RANGE_B = 0xA000)，前台校准			-147.5		
NF	噪声系数，无输入，Z_S = 100Ω	最大满量程电压设置 (FS_RANGE_A = 0xFFFF)，前台校准			23.5		dB
		默认满量程电压设置 (FS_RANGE_A = 0xA000)，前台校准			25.5		
SNR	信噪比，大信号，不包括直流、HD2 至 HD9 和交错杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			55.7		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			57.2		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			55.5		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	51.0	55.0		
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			56.0		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			53.0		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			51.8		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			50.4		
SNR	信噪比，小信号，不包括直流、HD2 至 HD9 和交错杂散	f_{IN} = 347 MHz，A_{IN} = –16 dBFS			56.4		dBFS
		f_{IN} = 997 MHz，A_{IN} = –16 dBFS			56.6		
		f_{IN} = 2482 MHz，A_{IN} = –16 dBFS			56.5		
		f_{IN} = 4997 MHz，A_{IN} = –16 dBFS			56.3		
		f_{IN} = 6397 MHz，A_{IN} = –16 dBFS			56.5		
		f_{IN} = 8197 MHz，A_{IN} = –16 dBFS			56.0		
SINAD	信噪比和失真比，大信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			55.3		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			54.9		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	50.0	54.4		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			51.3		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			49.9		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			48.1		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
ENOB	有效位数，大信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			8.9		位
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			8.8		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	8.0	8.7		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			8.2		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			8.0		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			7.7		
SFDR	无杂散动态范围，大信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			69		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			70		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			68		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	58	67		
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			62		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			59		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			56		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			53		
SFDR	无杂散动态范围，小信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –16 dBFS			74		dBFS
		f_{IN} = 997 MHz，A_{IN} = –16 dBFS			75		
		f_{IN} = 2482 MHz，A_{IN} = –16 dBFS			74		
		f_{IN} = 4997 MHz，A_{IN} = –16 dBFS			75		
		f_{IN} = 6397 MHz，A_{IN} = –16 dBFS			74		
		f_{IN} = 8197 MHz，A_{IN} = –16 dBFS			76		
f_S / 2	f_S / 2 固定交错杂散，与输入信号无关	无输入	[4、5、6]		-77	-50	dBFS
HD2	二阶谐波失真	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-75		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			-75		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-74		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-75	-58	
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			-74		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-61		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-61		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-64		

5.7 电气特性：交流规格（双通道模式）（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
HD3	三阶谐波失真	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-72		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			-70		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-74		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-67	-58	
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 和 FS_RANGE_B 设置，前台校准			-62		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-59		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-56		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-53		
f_S / 2-f_{IN}	f_S / 2 – f_{IN} 交错杂散，取决于信号	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-76		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-72		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-73	-58	
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-71		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-68		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-66		
SPUR	最差谐波，4 阶失真或更高	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-76		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-74		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-74	-60	
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-72		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-69		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-68		
IMD3	三阶互调失真	f_{IN} = 347 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-86		dBFS
		f_{IN} = 997 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-82		
		f_{IN} = 2482 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-73		
		f_{IN} = 4997 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-65		
		f_{IN} = 6397 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-60		
		f_{IN} = 8197 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-52		

(1) 有关子组定义，请参阅表 5-1。
(2) 全功率输入带宽 (FPBW) 定义为输入频率，在该频率下，ADC 的重构输出在低输入频率时下降至满量程输入信号的功耗以下 3dB。可用带宽可能超过 -3dB，全功率输入带宽。

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
FPBW	全功率输入带宽 (–3 dB)[2]	前台校准			7.1		GHz
		后台校准			7.1		
CER	误码率	不包括串行器/解串器误码率 (BER)			10^{-18}		错误/样本
噪声 $_{DC}$	直流输入噪声标准偏差	无输入、前台校准、不包括直流偏移，包括固定交错杂散（f_S /2 和 f_S / 4 杂散）			2.8		LSB
NSD	噪声频谱密度，无输入信号，不包括固定交错杂散（f_S /2 和 f_S / 4 杂散）	最大满量程电压设置 (FS_RANGE_A = 0xFFFF)，前台校准			-152.4		dBFS/Hz
		默认满量程电压设置 (FS_RANGE_A = 0xA000)，前台校准			-150.0		
NF	噪声系数，无输入，Z_S = 100Ω	最大满量程电压设置 (FS_RANGE_A = 0xFFFF)，前台校准			20.6		dB
		默认满量程电压设置 (FS_RANGE_A = 0xA000)，前台校准			23.1		
SNR	信噪比，大信号，不包括直流、HD2 至 HD9 和交错杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			55.8		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			57.1		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			55.5		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	51.0	54.9		
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			56.1		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			53.1		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			51.9		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			50.6		
SNR	信噪比，小信号，不包括直流、HD2 至 HD9 和交错杂散	f_{IN} = 347 MHz，A_{IN} = –16 dBFS			56.5		dBFS
		f_{IN} = 997 MHz，A_{IN} = –16 dBFS			56.6		
		f_{IN} = 2482 MHz，A_{IN} = –16 dBFS			56.5		
		f_{IN} = 4997 MHz，A_{IN} = –16 dBFS			56.5		
		f_{IN} = 6397 MHz，A_{IN} = –16 dBFS			56.5		
		f_{IN} = 8197 MHz，A_{IN} = –16 dBFS			56.2		
SINAD	信噪比和失真比，大信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			54.6		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			53.6		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	43.9	51.3		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			50.8		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			49.6		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			47.2		
ENOB	有效位数，大信号，不包括直流和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			8.8		位
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			8.6		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	7.0	8.2		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			8.1		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			7.9		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			7.5		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
SFDR	无杂散动态范围，大信号，不包括直流，f_S / 4 和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			66		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			67		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			60		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]	45	56		
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			52		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			58		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			57		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			52		
SFDR	无杂散动态范围，小信号，不包括直流 f_S / 4 和 f_S / 2 固定杂散	f_{IN} = 347 MHz，A_{IN} = –16 dBFS			70		dBFS
		f_{IN} = 997 MHz，A_{IN} = –16 dBFS			66		
		f_{IN} = 2482 MHz，A_{IN} = –16 dBFS			66		
		f_{IN} = 4997 MHz，A_{IN} = –16 dBFS			67		
		f_{IN} = 6397 MHz，A_{IN} = –16 dBFS			68		
		f_{IN} = 8197 MHz，A_{IN} = –16 dBFS			65		
f_S / 2	f_S / 2 固定交错杂散，与输入信号无关	无输入，OS_CAL 禁用，可以通过运行 OS_CAL 来改善杂散			-64		dBFS
f_S / 4	f_S / 4 固定交错杂散，与输入信号无关	无输入	[4、5、6]		-70	-50	dBFS
HD2	二阶谐波失真	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-72		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			-69		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-70		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-71	-58	
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			-73		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-66		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-65		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-67		
HD3	三阶谐波失真	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-71		dBFS
		F_{IN} = 347 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			-67		
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-70		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-67	-58	
		F_{IN} = 2482 MHz，A_{IN} = –1dBFS，最大 FS_RANGE_A 设置，前台校准			-62		
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-61		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-59		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-56		
f_S / 2-f_{IN}	f_S / 2 – f_{IN} 交错杂散，取决于信号	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-68		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-63		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-56	-45	
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-58		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-57		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-56		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

T_A = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值在*建议运行条件*表中提供的标称电源电压和工作温度范围内

参数		测试条件	子组[(1)]	最小值	典型值	最大值	单位
f_S / 4±f_{IN}	f_S / 4 ± f_{IN} 交错杂散，取决于信号	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-76		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-74		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-75	-58	
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-73		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-69		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-70		
SPUR	最差谐波 4 阶失真或更高	f_{IN} = 347 MHz，A_{IN} = –1 dBFS			-74		dBFS
		f_{IN} = 997 MHz，A_{IN} = –1 dBFS			-75		
		f_{IN} = 2482 MHz，A_{IN} = –1 dBFS	[4、5、6]		-74	-60	
		f_{IN} = 4997 MHz，A_{IN} = –1 dBFS			-70		
		f_{IN} = 6397 MHz，A_{IN} = –1 dBFS			-70		
		f_{IN} = 8197 MHz，A_{IN} = –1 dBFS			-66		
IMD3	三阶互调失真	f_{IN} = 347 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-89		dBFS
		f_{IN} = 997 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-79		
		f_{IN} = 2482 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-73		
		f_{IN} = 4997 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-65		
		f_{IN} = 6397 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-61		
		f_{IN} = 8197 MHz ± 5 MHz, A_{IN} = –7 dBFS/单音			-54		

(1) 有关子组定义，请参阅表 5-1。
(2) 全功率输入带宽 (FPBW) 定义为输入频率，在该频率下，ADC 的重构输出在低输入频率时下降至满量程输入信号的功耗以下 3dB。可用带宽可能超过 -3dB，全功率输入带宽。

5.9 时序要求

			子组[1]	最小值	标称值	最大值	单位
器件（采样）时钟（CLK+、CLK-）							
f_{CLK}	输入时钟频率（CLK+、CLK-），单通道和双通道模式[2]	最大输入时钟频率	[4、5、6]	3200			MHz
		最小输入时钟频率			800		MHz
SYSREF（SYSREF+、SYSREF－）							
t_{CLK}	输入时钟周期（CLK+、CLK-），单通道和双通道模式[2]	最大输入时钟频率	[4、5、6]	312.5			ps
		最小输入时钟频率			1250		ps
$t_{INV(SYSREF)}$	由 SYSREF_POS 状态寄存器测量的 CLK± 周期的无效 SYSREF 采集区域的持续时间，表示建立或保持时间违例[3]				48		ps
$t_{INV(TEMP)}$	无效 SYSREF 采集区域在温度范围内的漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位				0		ps/°C
$t_{INV(VA11)}$	VA11 电源电压上的无效 SYSREF 采集区域漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位				0.36		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB 的延迟	SYSREF_ZOOM = 0			77		ps
		SYSREF_ZOOM = 1			24		
$t_{(PH_SYS)}$	SYSREF± 上升沿事件后的最小 SYSREF± 置位持续时间				4		ns
$t_{(PL_SYS)}$	SYSREF± 下降沿事件后的最小 SYSREF± 置为无效持续时间				4		ns
JESD204B 同步时序（$\overline{SYNCSE}$ 或 TMSTP±）							
$t_{H(\overline{SYNCSE})}$	从多帧边界（SYSREF 上升沿采集为高电平）到 JESD204B SYNC 信号（如果 SYNC_SEL = 0，则为 $\overline{SYNCSE}$，或如果 SYNC_SEL = 1 则为 TMSTP±）置为无效的最短保持时间，用于 NCO 同步 (NCO_SYNC_ILA = 1)	JMODE = 0、2、4、6、10、13 或 15			21		t_{CLK} 周期数
		JMODE = 1、3、5、7、9、11、14 或 16			17		
		JMODE = 12、17 或 18			9		
$t_{SU(\overline{SYNCSE})}$	从 JESD204B SYNC 信号（如果 SYNC_SEL = 0，则为 $\overline{SYNCSE}$，或如果 SYNC_SEL = 1 则为 TMSTP±）置为无效到多帧边界（SYSREF 上升沿采集为高电平）的最短建立时间，用于 NCO 同步 (NCO_SYNC_ILA = 1)	JMODE = 0、2、4、6、10、13 或 15			-2		t_{CLK} 周期数
		JMODE = 1、3、5、7、9、11、14 或 16			2		
		JMODE = 12、17 或 18			10		
$t_{(\overline{SYNCSE})}$	触发链路重新同步的 $\overline{SYNCSE}$ 最短置为有效时间				4		帧
串行编程接口（SCLK、SDI、$\overline{SCS}$）							
$f_{CLK(SCLK)}$	串行时钟频率		[4、5、6]	0.0		15.625	MHz
$t_{(PH)}$	串行时钟高电平值脉冲持续时间		[4、5、6]	32			ns
$t_{(PL)}$	串行时钟低电平值脉冲持续时间		[4、5、6]	32			ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ 至 SCLK 上升沿的建立时间		[4、5、6]	25			ns
$t_{H(\overline{SCS})}$	SCLK 上升沿至 $\overline{SCS}$ 的保持时间		[4、5、6]	3			ns
$t_{SU(SDI)}$	SDI 至 SCLK 上升沿的建立时间		[4、5、6]	25			ns
$t_{H(SDI)}$	SCLK 上升沿至 SDI 的保持时间		[4、5、6]	3			ns

(1) 有关子组定义，请参阅表 5-1。
(2) 除非在功能上根据编程的 JMODE 限制在 表 6-18 中的一个较小的范围内。
(3) 使用 SYSREF_POS 为 SYSREF 采集选择理想的 SYSREF_SEL 值，更多有关 SYSREF 窗口的信息，请参阅 SYSREF 位置检测器和采样位置选择（SYSREF 窗口）部分。由 $t_{INV(SYSREF)}$ 指定的无效区域，表示由 SYSREF_SEL 测量的 CLK± 周期 (t_{CLK}) 的一部分，该部分可能导致建立和保持时间违例。验证 SYSREF± 和 CLK± 在系统工作条件下与在标称条件（用于查找更优 SYSREF_SEL）下的计时偏斜不会导致在 SYSREF_POS 中选定的 SYSREF_SEL 位置发生无效区域。否则，可能需要依赖温度的 SYSREF_SEL 选择来跟踪 CLK± 和 SYSREF± 之间的偏斜。

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值条件为*建议运行条件*表中提供的标称电源电压和工作温度范围

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
器件（采样）时钟（CLK+、CLK-）							
t_{AD}	从 CLK±上升沿（双通道模式）或上升沿和下降沿（单通道模式）到采样时刻的采样（孔径）延迟	TAD_COARSE = 0x00、TAD_FINE = 0x00 且 TAD_INV = 0			350		ps
$t_{AD(MAX)}$	最大 t_{AD} 调整可编程延迟，不包括时钟反转 (TAD_INV = 0)	粗调 (TAD_COARSE = 0xFF)			289		ps
		精细调整 (TAD_FINE = 0xFF)			4.9		
$t_{AD(STEP)}$	t_{AD} 调整可编程延迟步长	粗调 (TAD_COARSE)			1.13		ps
		微调 (TAD_FINE)			19		
t_{AJ}	孔径抖动，rms	最小 t_{AD} 调整粗调设置（TAD_COARSE = 0x00、TAD_INV = 0）			56		fs
		最大 t_{AD} 调整粗调设置 (TAD_COARSE = 0xFF)，不包括 TAD_INV (TAD_INV = 0)			68[4]		
串行数据输出（DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–）							
f_{SERDES}	串行输出比特率	最大输出比特率	[9、10、11]	12.8			Gbps
		最小输出比特率			1		Gbps
UI	串行输出单位间隔	最小输出单位间隔	[9、10、11]			78.125	ps
		最大输出单位间隔			1000		ps
t_{TLH}	低电平到高电平转换时间（差分）	20% 至 80%，PRBS-7 测试模式，12.8Gbps，SER_PE = 0x04			27		ps
t_{THL}	高电平到低电平转换时间（差分）	20% 至 80%，PRBS-7 测试模式，12.8Gbps，SER_PE = 0x04			27		ps
DDJ	数据相关抖动峰峰值	PRBS-7 测试模式，12.8Gbps，SER_PE = 0x04，JMODE = 2			11.7		ps
RJ	随机抖动，RMS	PRBS-7 测试模式，12.8Gbps，SER_PE = 0x04，JMODE = 2			0.8		ps

5.10 开关特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值条件为*建议运行条件*表中提供的标称电源电压和工作温度范围

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
TJ	总抖动峰峰值，高斯部分根据 BER = 1e-15 (Q = 7.94) 定义	PRBS-7 测试模式，12.8Gbps，SER_PE = 0x04，JMODE = 0、2			24		ps
		PRBS-7 测试模式，6.4Gbps，SER_PE = 0x04，JMODE = 1、3			20		
		PRBS-7 测试模式，8Gbps，SER_PE = 0x04，JMODE = 4、5、6、7			31		
		PRBS-7 测试模式，8Gbps，SER_PE = 0x04，JMODE = 9			32		
		PRBS-7 测试模式，8Gbps，SER_PE = 0x04，JMODE = 10、11			35		
		PRBS-7 测试模式，3.2Gbps，SER_PE = 0x04，JMODE = 12			24		
		PRBS-7 测试模式，8Gbps，SER_PE = 0x04，JMODE = 13、14			35		
		PRBS-7 测试模式，8Gbps，SER_PE = 0x04，JMODE = 15、16			31		
ADC 内核延迟							
t_{ADC}	从对参考样本进行采样的 CLK± 边沿到对 SYSREF 转换为高电平进行采样的 CLK± 边沿的确定性延迟时间[2]	JMODE = 0			-8.5		t_{CLK} 周期数
		JMODE = 1			-20.5		
		JMODE = 2			-9		
		JMODE = 3			-21		
		JMODE = 4			-4.5		
		JMODE = 5			-24.5		
		JMODE = 6			-5		
		JMODE = 7			-25		
		JMODE = 9			60		
		JMODE = 10			140		
		JMODE = 11			136		
		JMODE = 12			120		
		JMODE = 13			232		
		JMODE = 14			232		
		JMODE = 15			446		
		JMODE = 16			430		
		JMODE = 17			-48.5		
		JMODE = 18			-49		

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下应用至 INA± 的输入信号，f_{IN} = 347 MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率，滤波 1-V_{PP} 正弦波时钟，JMODE = 1，以及后台校准（除非另外指明）；最小值和最大值条件为*建议运行条件*表中提供的标称电源电压和工作温度范围

参数		测试条件	子组[1]	最小值	典型值	最大值	单位
JESD204B 和串行器延迟							
t_{TX}	从对 SYSREF 高电平进行采样的 CLK± 上升沿到 JESD204B 串行输出通道上对应 t_{ADC} 参考样本的多帧的第一位的延迟时间[3]	JMODE = 0		72[5]		84[5]	t_{CLK} 周期数
		JMODE = 1		119[5]		132[5]	
		JMODE = 2		72[5]		84[5]	
		JMODE = 3		119[5]		132[5]	
		JMODE = 4		67[5]		80[5]	
		JMODE = 5		106[5]		119[5]	
		JMODE = 6		67[5]		80[5]	
		JMODE = 7		106[5]		119[5]	
		JMODE = 9		106[5]		119[5]	
		JMODE = 10		67[5]		80[5]	
		JMODE = 11		106[5]		119[5]	
		JMODE = 12		213[5]		225[5]	
		JMODE = 13		67[5]		80[5]	
		JMODE = 14		106[5]		119[5]	
		JMODE = 15		67[5]		80[5]	
		JMODE = 16		106[5]		119[5]	
		JMODE = 17		195[5]		208[5]	
		JMODE = 18		195[5]		208[5]	
串行编程接口 (SDO)							
$t_{(OZD)}$	在读取操作期间从第 16 个 SCLK 周期的下降沿到 SDO 从三态转换至数据生效的延迟时间			1[5]			ns
$t_{(ODZ)}$	从 $\overline{SCS}$ 上升沿到 SDO 从数据生效转换至三态的延迟时间					10[5]	ns
$t_{(OD)}$	在读操作期间从 SCLK 的下降沿到 SDO 生效的延迟时间		[4、5、6]	1		10	ns

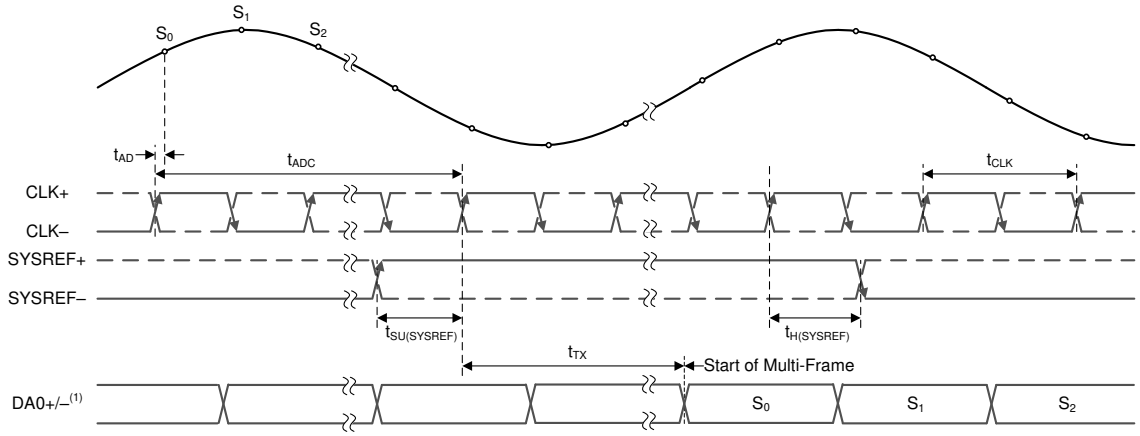
(1) 有关子组定义，请参阅表 5-1。
(2) t_{ADC} 是精确的、未四舍五入的确定性延迟时间。如果在 SYSREF 高电平采集点之后对参考样本进行采样，则延迟时间可能为负，在这种情况下，总延迟小于 t_{TX} 给出的延迟。
(3) 为 t_{TX} 指定的值包括确定性延迟时间和非确定性延迟时间。该延迟会随工艺、温度和电压而变化。在子类 1 模式下运行时，JESD204B 会考虑这些变化，从而实现确定性延迟。必须选择适当的接收器 RBD 值，使弹性缓冲器释放点不会出现在本地多帧时钟 (LMFC) 周期的无效区域内。
(4) t_{AJ} 会因为内部时钟路径上的额外衰减而增加。
(5) 此参数根据设计指定，而未经生产测试

5.11 时序图

表 5-1. 质量合格检验 (1)

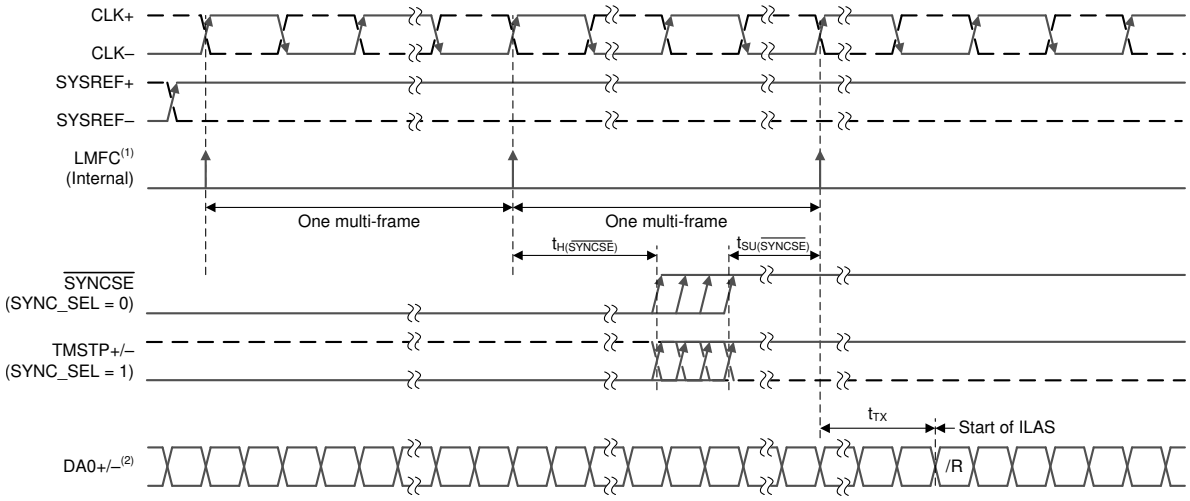
子组	说明	温度 (°C)
1	静态测试	25
2	静态测试	125
3	静态测试	-55
4	动态测试	25
5	动态测试	125
6	动态测试	-55
7	功能测试	25
8A	功能测试	125
8B	功能测试	-55
9	开关测试	25
10	开关测试	125
11	开关测试	-55

(1) MIL-STD-883，方法 5005 - 组 A



A. 仅显示了串行器/解串器通道 DA0±，但 DA0± 代表所有通道。使用的输出通道数和位打包格式取决于设定的 JMODE 值。

图 5-1. ADC 时序图



A. 假设内部 LMFC 与采集 SYSREF± 高电平值的 CLK± 上升沿对齐。

Copyright © 2025 Texas Instruments Incorporated

B. 仅显示了串行器/解串器通道 DA0±，但 DA0± 代表所有通道。所有通道在大致相同的时间点输出 /R。通道数取决于设定的 JMODE 值。

图 5-2. NCO 同步的 $\overline{\text{SYNCSE}}$ 和 TMSTP± 时序图

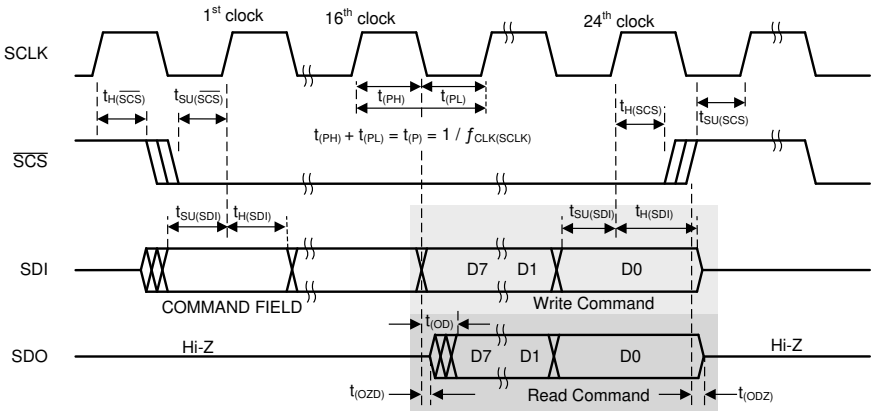
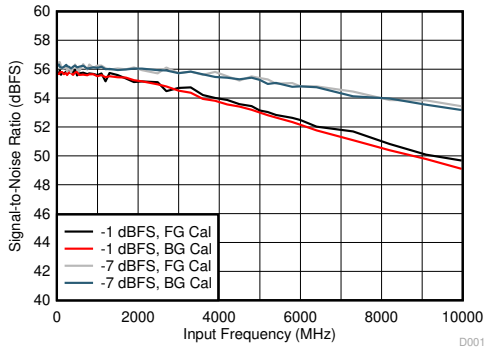


图 5-3. 串行接口时序

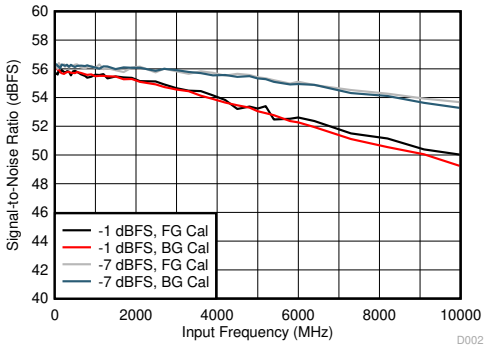
5.12 典型特性

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



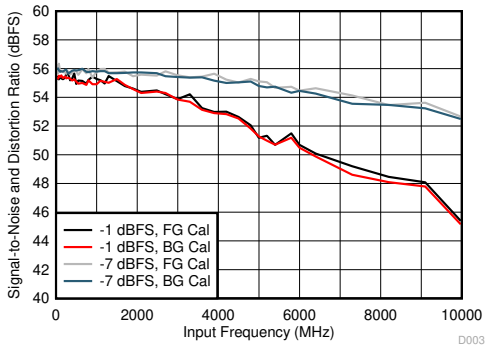
JMODE 3，f_S = 3200MHz，前台 (FG) 和后台 (BG) 校准

图 5-4. SNR 与输入频率间的关系



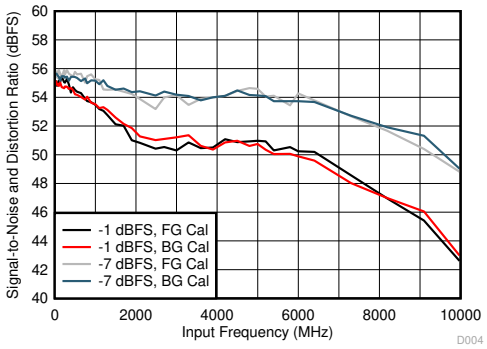
JMODE 1，f_S = 6400MHz，FG 和 BG 校准

图 5-5. SNR 与输入频率间的关系



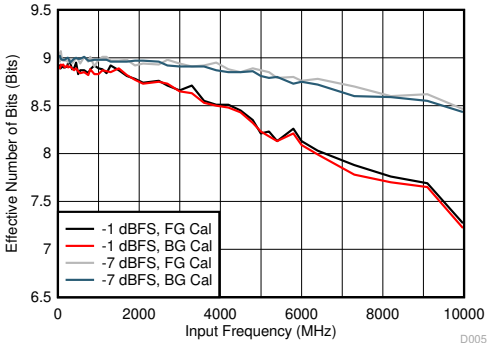
JMODE 3，f_S = 3200MHz，FG 和 BG 校准

图 5-6. SINAD 与输入频率间的关系



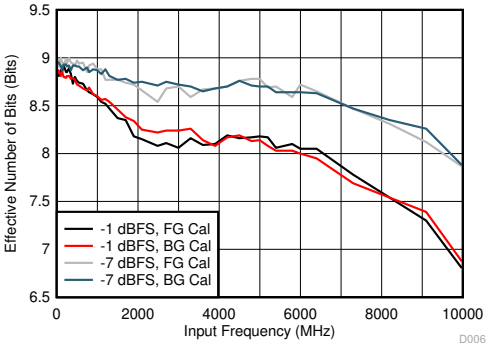
JMODE 1，f_S = 6400MHz，FG 和 BG 校准

图 5-7. SINAD 与输入频率间的关系



JMODE 3，f_S = 3200MHz，FG 和 BG 校准

图 5-8. ENOB 与输入频率间的关系



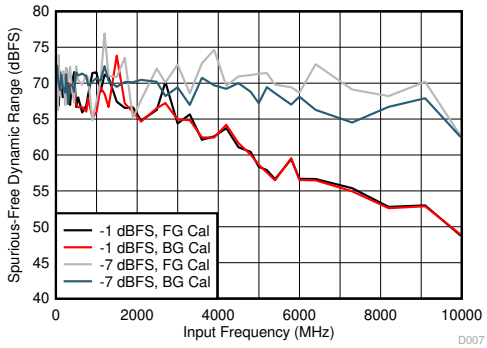
JMODE 1，f_S = 6400MHz，FG 和 BG 校准

图 5-9. ENOB 与输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

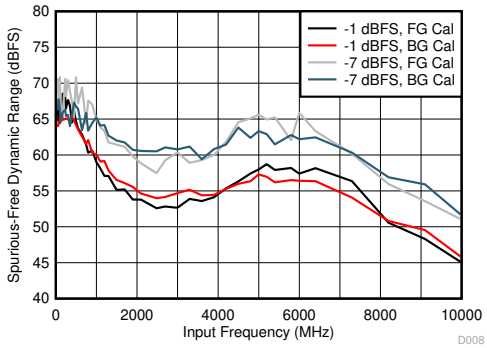
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



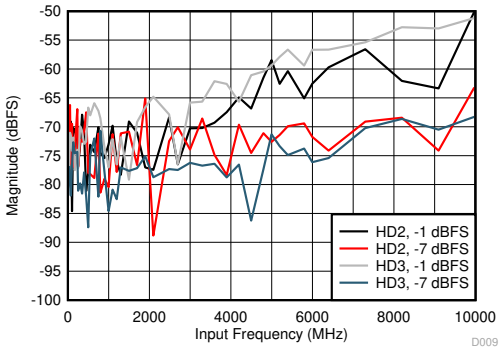
JMODE 3，f_S = 3200MHz，FG 和 BG 校准

图 5-10. SFDR 与输入频率间的关系



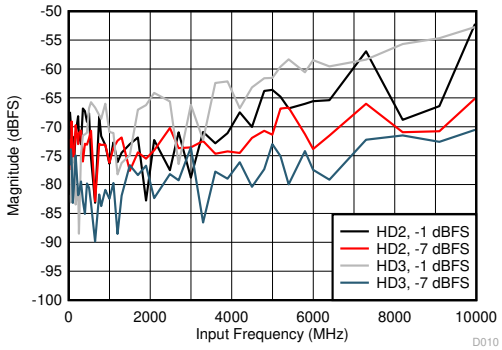
JMODE 1，f_S = 6400MHz，FG 和 BG 校准

图 5-11. SFDR 与输入频率间的关系



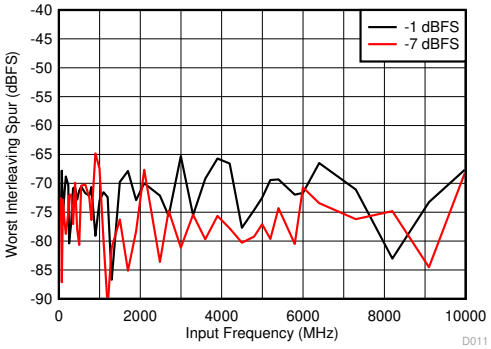
JMODE 3，f_S = 3200MHz，FG 校准

图 5-12. HD2 和 HD3 与输入频率间的关系



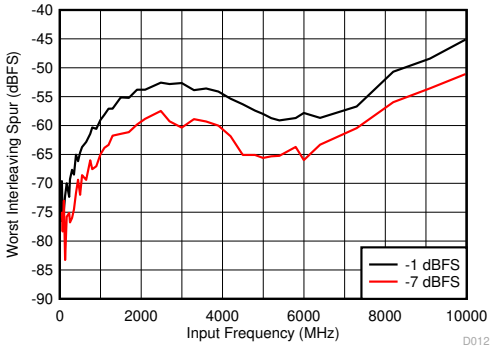
JMODE 1，f_S = 6400MHz，FG 校准

图 5-13. HD2 和 HD3 与输入频率间的关系



JMODE 3，f_S = 3200MHz，FG 校准，仅包括 f_S / 2 – f_{IN} 杂散

图 5-14. 最差交错杂散与输入频率间的关系

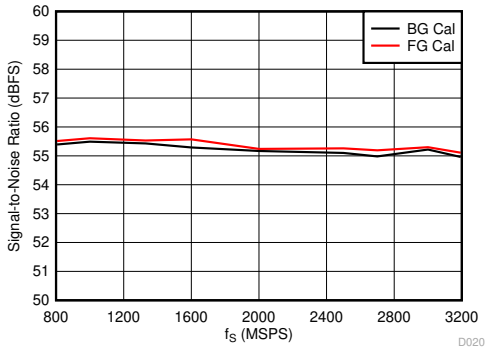


JMODE 1，f_S = 6400MHz，FG 校准，仅包括 f_S / 2 – f_{IN} 和 f_S /4 ± f_{IN} 杂散

图 5-15. 最差交错杂散与输入频率间的关系

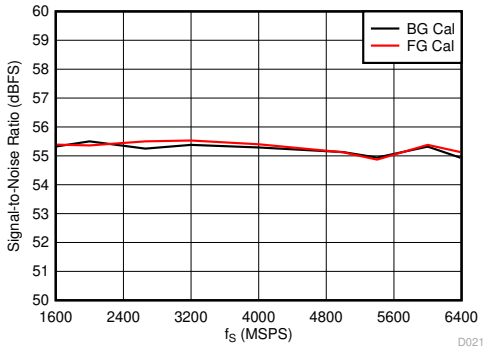
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



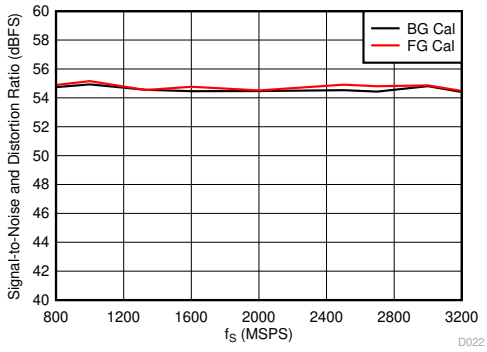
JMODE 3，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-16. SNR 与采样率间的关系



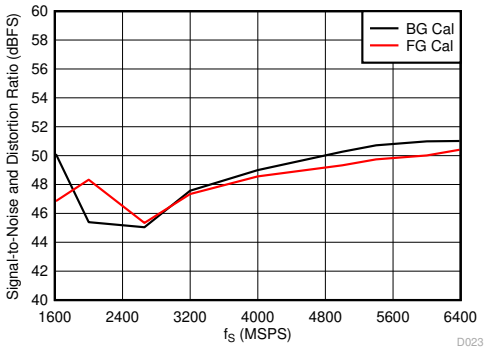
JMODE 1，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-17. SNR 与采样率间的关系



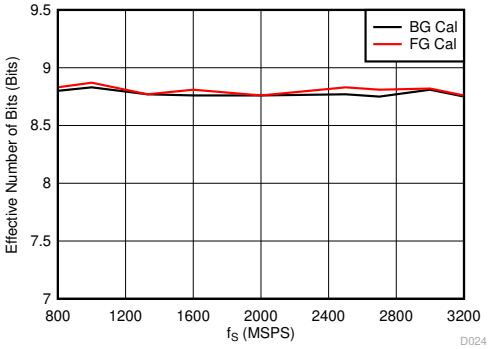
JMODE 3，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-18. SINAD 与采样率间的关系



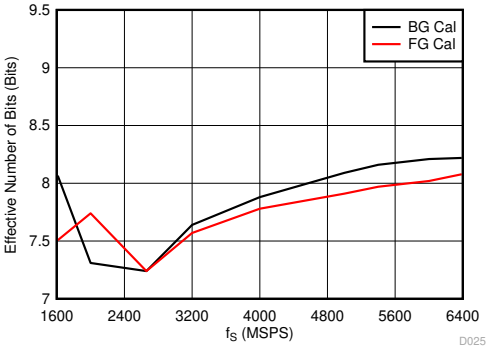
JMODE 1，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-19. SINAD 与采样率间的关系



JMODE 3，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-20. ENOB 与采样率间的关系



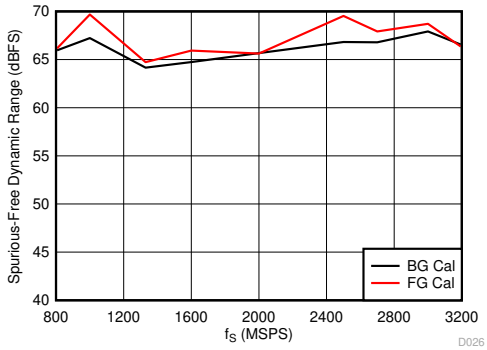
JMODE 1，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-21. ENOB 与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

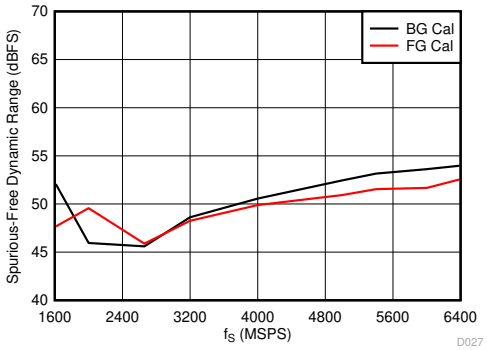
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



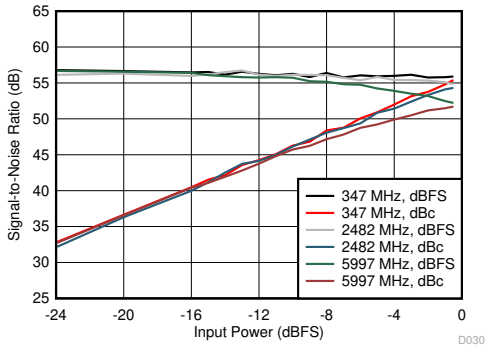
JMODE 3，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-22. SFDR 与采样率间的关系



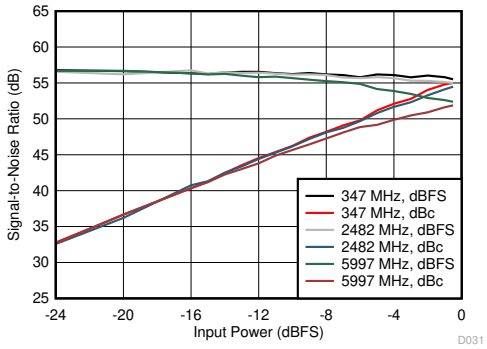
JMODE 1，FG 和 BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-23. SFDR 与采样率间的关系



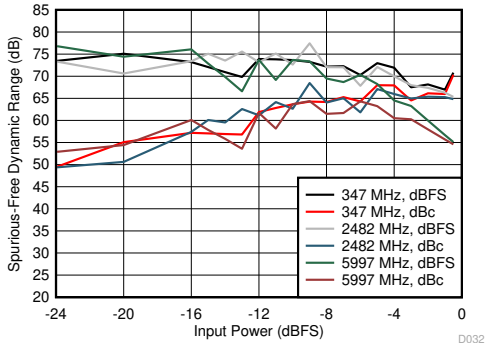
JMODE 3，FG 校准，f_S = 3200MSPS

图 5-24. SNR 与输入功率间的关系



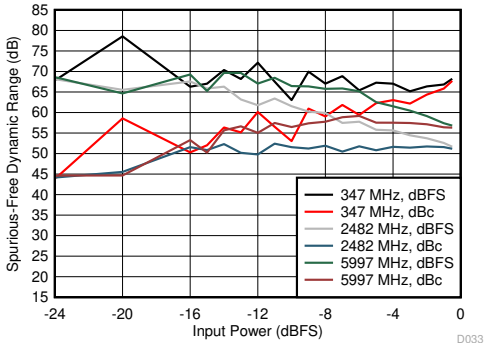
JMODE 1，FG 校准，f_S = 6400MSPS

图 5-25. SNR 与输入功率间的关系



JMODE 3，FG 校准，f_S = 3200MSPS

图 5-26. SFDR 与输入功率间的关系

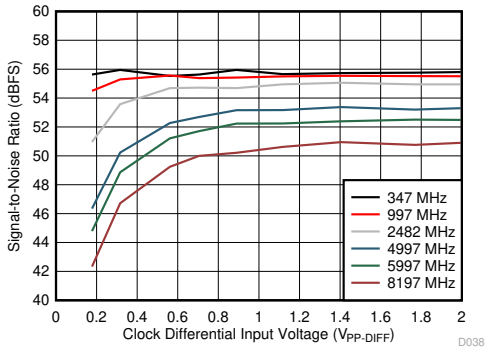


JMODE 1，FG 校准，f_S = 6400MSPS

图 5-27. SFDR 与输入功率间的关系

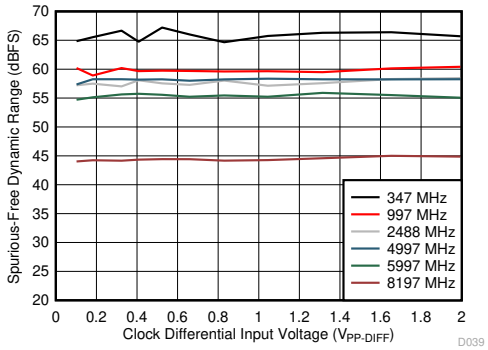
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



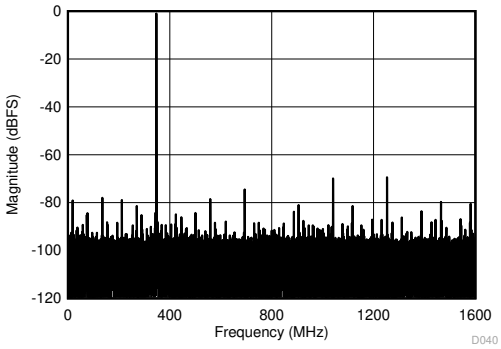
JMODE 1，FG 校准，f_S = 6400MSPS，A_{IN} = –1dBFS

图 5-28. SNR 与时钟振幅间的关系



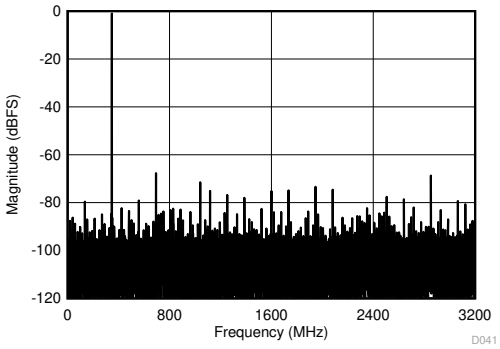
JMODE 1，FG 校准，f_S = 6400MSPS，A_{IN} = –1dBFS

图 5-29. SFDR 与时钟振幅间的关系



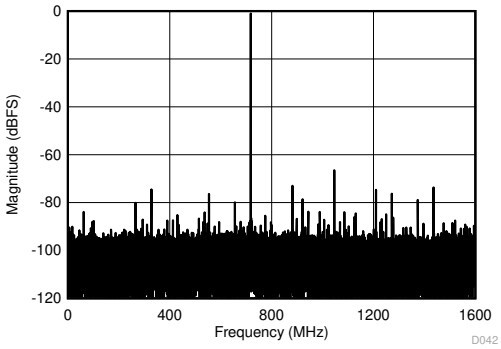
JMODE 3，FG 校准，f_S = 3200MSPS，SNR = 56.3dBFS，SFDR = 69dBFS，ENOB = 9.0 位

图 5-30. f_{IN} = 347MHz、A_{IN} = -1dBFS 时的单音 FFT



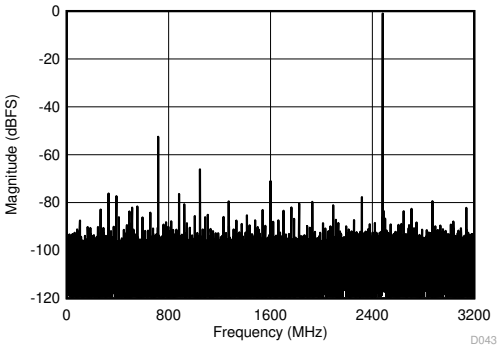
JMODE 1，FG 校准，f_S = 6400MSPS，SNR = 55.9dBFS，SFDR = 68dBFS，ENOB = 8.9 位

图 5-31. f_{IN} = 347MHz、A_{IN} = -1dBFS 时的单音 FFT



JMODE 3，FG 校准，f_S = 3200MSPS，SNR = 55.3dBFS，SFDR = 66dBFS，ENOB = 8.8 位

图 5-32. f_{IN} = 2482MHz、A_{IN} = -1dBFS 时的单音 FFT



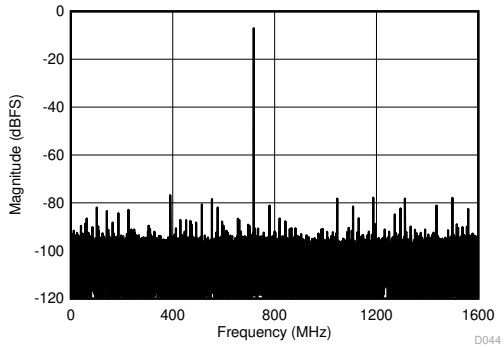
JMODE 1，FG 校准，f_S = 6400MSPS，SNR = 55.5dBFS，SFDR = 52dBFS，ENOB = 8.1 位

图 5-33. f_{IN} = 2482MHz、A_{IN} = -1dBFS 时的单音 FFT

Copyright © 2025 Texas Instruments Incorporated

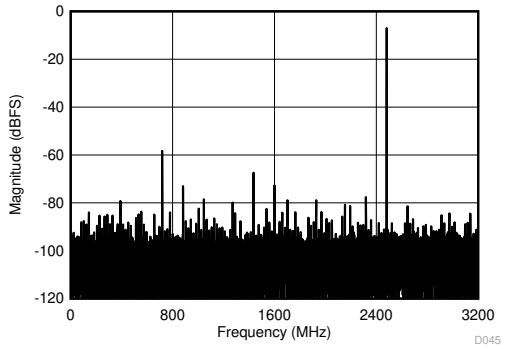
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



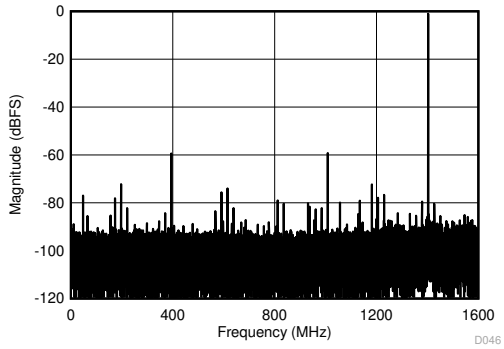
JMODE 3，FG 校准，f_S = 3200MSPS，SNR = 56.2dBFS，SFDR = 77dBFS，ENOB = 9.0 位

图 5-34. f_{IN} = 2482MHz、A_{IN} = -7dBFS 时的单音 FFT



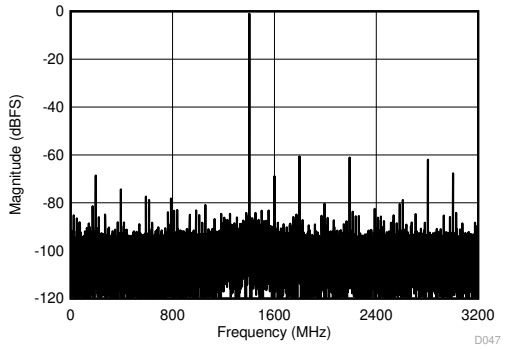
JMODE 1，FG 校准，f_S = 6400MSPS，SNR = 56.1dBFS，SFDR = 58dBFS，ENOB = 8.6 位

图 5-35. f_{IN} = 2482MHz、A_{IN} = -7dBFS 时的单音 FFT



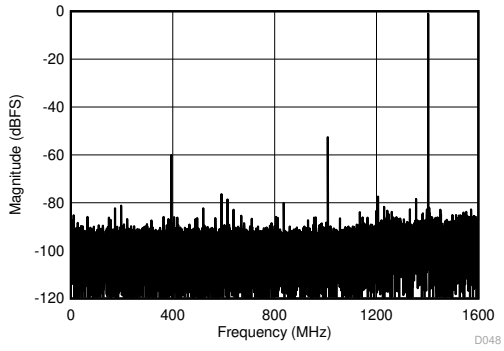
JMODE 3，FG 校准，f_S = 3200MSPS，SNR = 53dBFS，SFDR = 59dBFS，ENOB = 8.2 位

图 5-36. f_{IN} = 4997MHz、A_{IN} = -1dBFS 时的单音 FFT



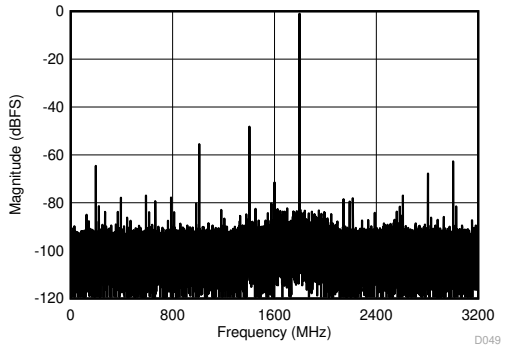
JMODE 1，FG 校准，f_S = 6400MSPS，SNR = 53.5dBFS，SFDR = 61dBFS，ENOB = 8.2 位

图 5-37. f_{IN} = 4997MHz、A_{IN} = -1dBFS 时的单音 FFT



JMODE 3，FG 校准，f_S = 3200MSPS，SNR = 51.1dBFS，SFDR = 53dBFS，ENOB = 7.8 位

图 5-38. f_{IN} = 8197MHz、A_{IN} = -1dBFS 时的单音 FFT



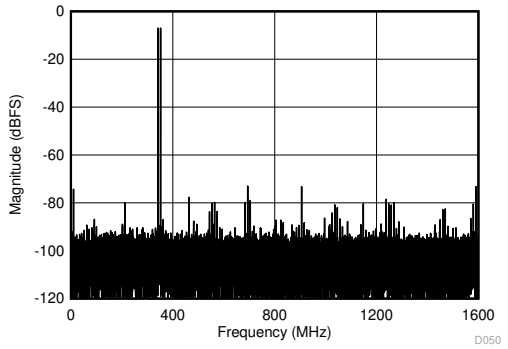
JMODE 1，FG 校准，f_S = 6400MSPS，SNR = 51.4dBFS，SFDR = 48dBFS，ENOB = 7.3 位

图 5-39. f_{IN} = 8197MHz、A_{IN} = -1dBFS 时的单音 FFT

Copyright © 2025 Texas Instruments Incorporated

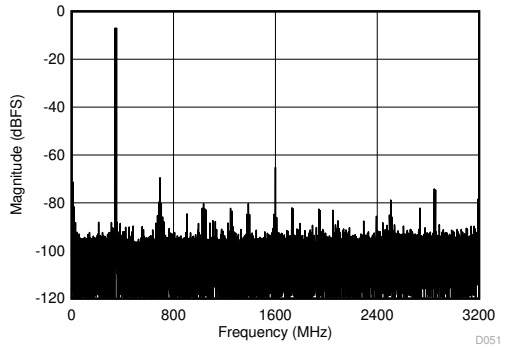
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



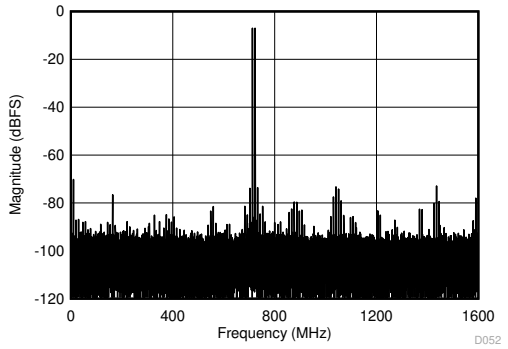
JMODE 3，FG 校准，f_S = 3200MSPS，f_1 = 342MHz，f_2 = 352MHz，A_{IN} = –7dBFS/单音，SFDR = –73dBFS，IMD3 = –87dBFS，IMD2 = –74dBFS

图 5-40. f_{IN} = 347MHz、A_{IN} = -1dBFS 时的双音 FFT



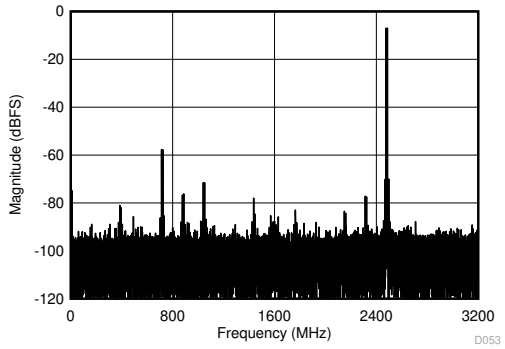
JMODE 1，FG 校准，f_S = 6400MSPS，f_1 = 342MHz，f_2 = 352MHz，A_{IN} = –7dBFS/单音，SFDR = –70dBFS，IMD3 = –91dBFS，IMD2 = –71dBFS

图 5-41. f_{IN} = 347MHz、A_{IN} = -1dBFS 时的双音 FFT



JMODE 3，FG 校准，f_S = 3200MSPS，f_1 = 2477MHz，f_2 = 2487MHz，A_{IN} = –7dBFS/单音，SFDR = –70dBFS，IMD3 = –74dBFS，IMD2 = –70dBFS

图 5-42. f_{IN} = 2482MHz、A_{IN} = -1dBFS 时的双音 FFT



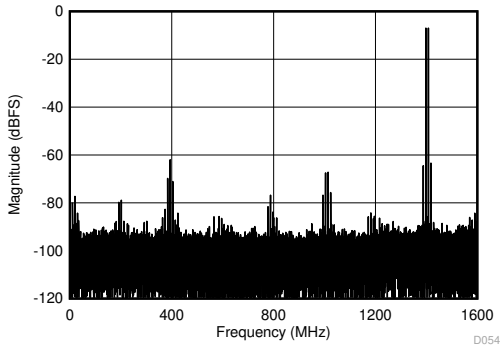
JMODE 1，FG 校准，f_S = 6400MSPS，f_1 = 2477MHz，f_2 = 2487MHz，A_{IN} = –7dBFS/单音，SFDR = –58dBFS，IMD3 = –70dBFS，IMD2 = –75dBFS

图 5-43. f_{IN} = 2482MHz、A_{IN} = -1dBFS 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

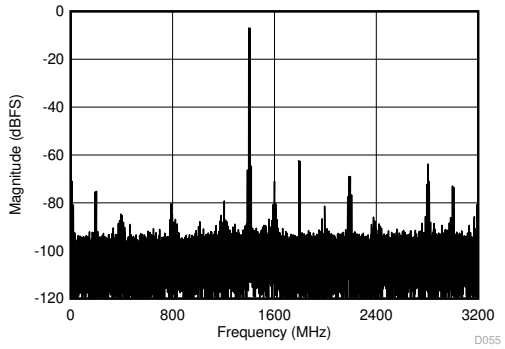
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



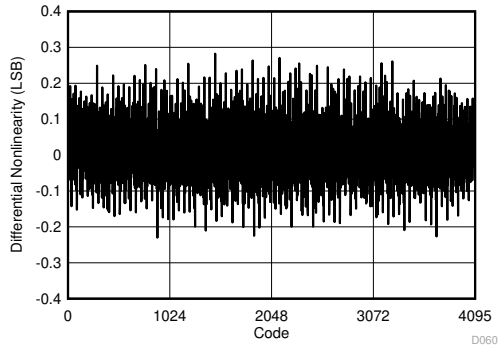
JMODE 3，FG 校准，f_S = 3200MSPS，f_1 = 4992MHz，f_2 = 5002MHz，A_{IN} = –7dBFS/单音，SFDR = –62dBFS，IMD3 = –63dBFS，IMD2 = –80dBFS

图 5-44. f_{IN} = 4997MHz、A_{IN} = -1dBFS 时的双音 FFT



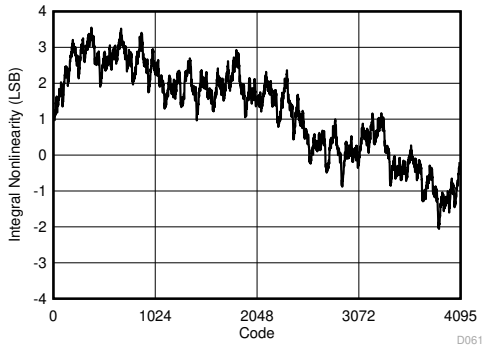
JMODE 1，FG 校准，f_S = 6400MSPS，f_1 = 4992MHz，f_2 = 5002MHz，A_{IN} = –7dBFS/单音，SFDR = –62dBFS，IMD3 = –65dBFS，IMD2 = –71dBFS

图 5-45. f_{IN} = 4997MHz、A_{IN} = -1dBFS 时的双音 FFT



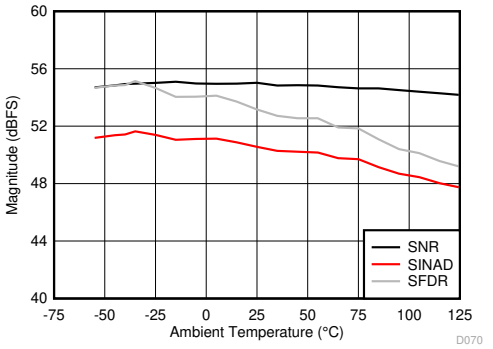
JMODE 1，FG 校准，f_S = 6400MSPS，f_{IN} = 99.97MHz

图 5-46. DNL 与代码间的关系



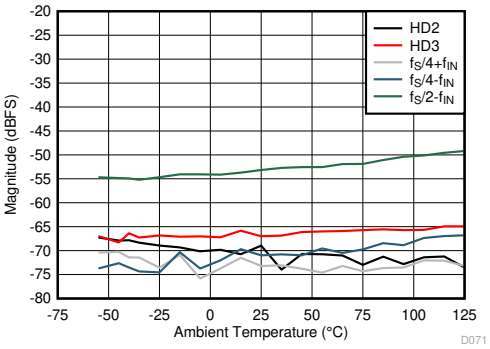
JMODE 1，FG 校准，f_S = 6400MSPS，f_{IN} = 99.97MHz

图 5-47. INL 与代码间的关系



JMODE 1，BG 校准，f_S = 6400MSPS，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-48. 性能与温度间的关系

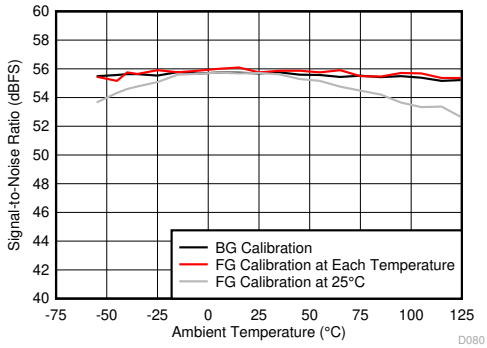


JMODE 1，FG 校准，f_S = 6400MSPS，f_{IN} = 2482MHz，A_{IN} =-1dBFS

图 5-49. 性能与温度间的关系

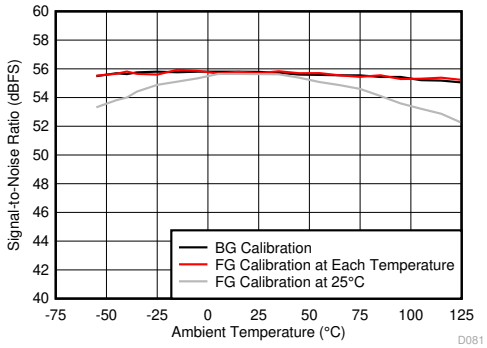
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



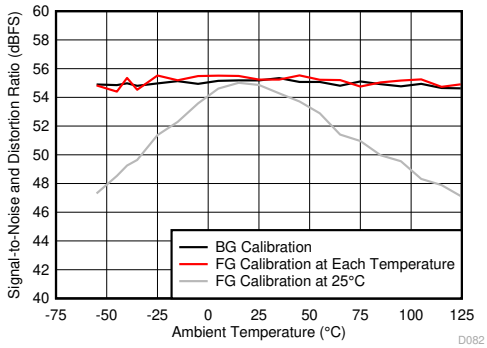
JMODE 3，f_S = 3200MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-50. SNR 与温度和校准模式间的关系



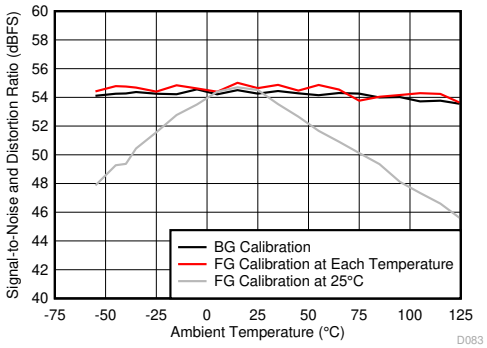
JMODE 1，f_S = 6400MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-51. SNR 与温度和校准模式间的关系



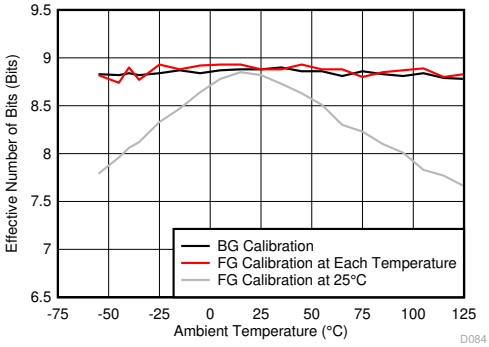
JMODE 3，f_S = 3200MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-52. SINAD 与温度和校准模式间的关系



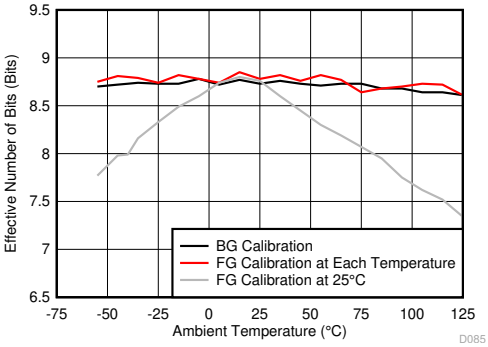
JMODE 1，f_S = 6400MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-53. SINAD 与温度和校准模式间的关系



JMODE 3，f_S = 3200MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-54. ENOB 与温度和校准模式间的关系



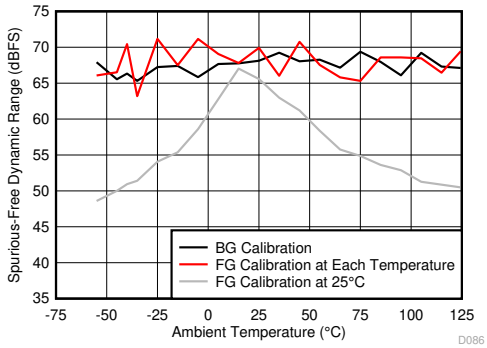
JMODE 1，f_S = 6400MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-55. ENOB 与温度和校准模式间的关系

Copyright © 2025 Texas Instruments Incorporated

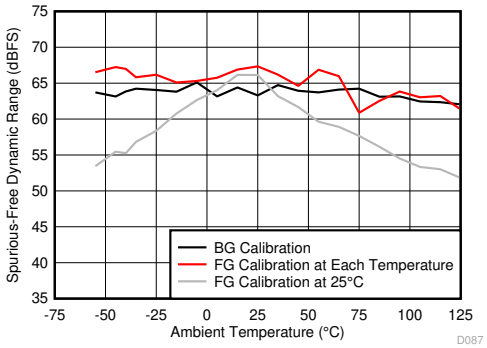
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



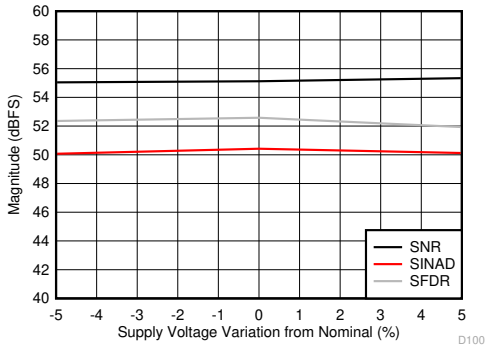
JMODE 3，f_S = 3200MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-56. SFDR 与温度和校准模式间的关系



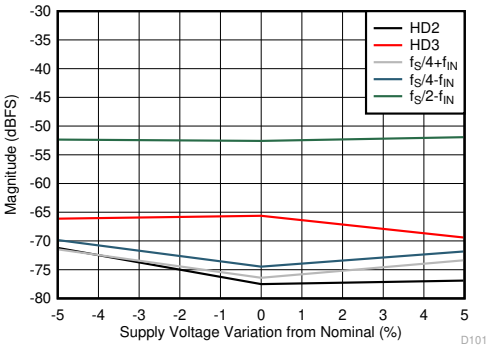
JMODE 1，f_S = 6400MSPS，f_{IN} = 347MHz，A_{IN} = –1dBFS

图 5-57. SFDR 与温度和校准模式间的关系



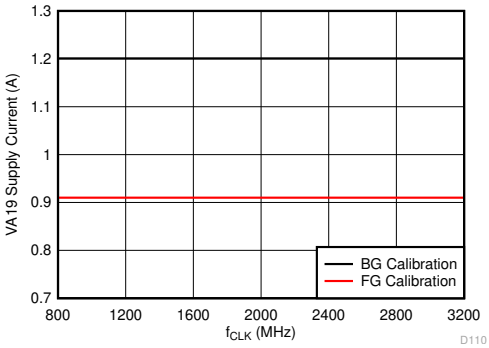
JMODE 1，FG 校准，f_S = 6400MSPS，f_{IN} = 2482MHz，A_{IN} =-1dBFS

图 5-58. 性能与电源电压间的关系



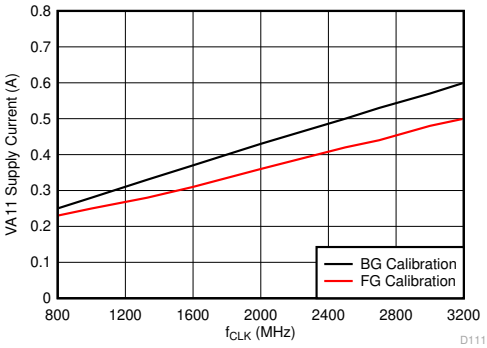
JMODE 1，FG 校准，f_S = 6400MSPS，f_{IN} = 2482MHz，A_{IN} =-1dBFS

图 5-59. 性能与电源电压间的关系



JMODE 1，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-60. VA19 电源电流与时钟速率间的关系

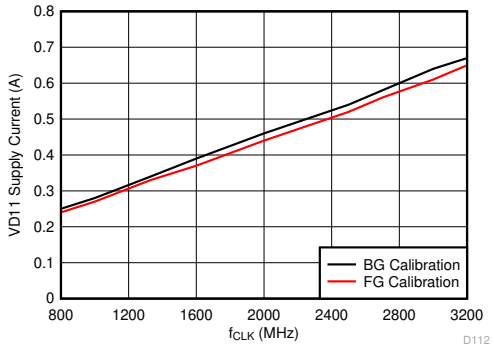


JMODE 1，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-61. VA11 电源电流与时钟速率间的关系

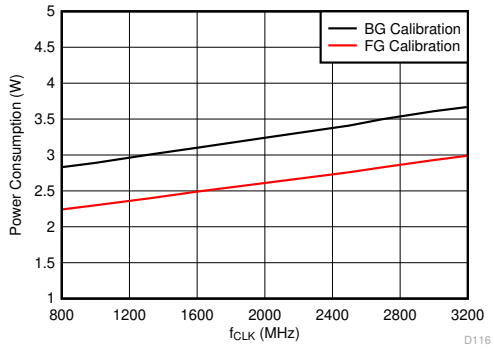
5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）



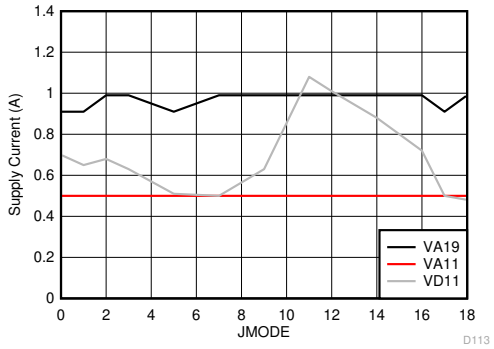
JMODE 1，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-62. VD11 电源电流与时钟速率间的关系



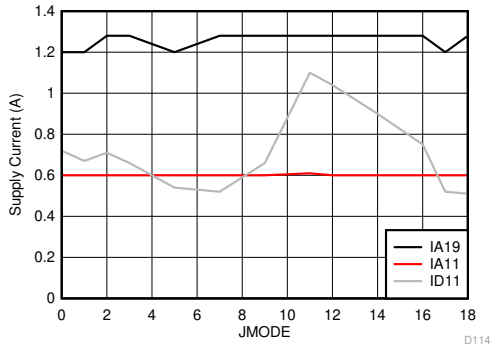
JMODE 1，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-63. 功耗与时钟速率之间的关系



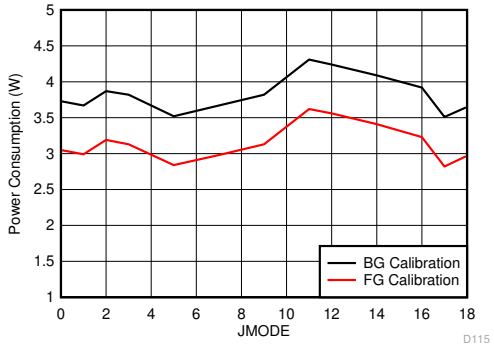
f_{CLK} = 3200MHz，FG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-64. 电源电流与 JMODE 间的关系



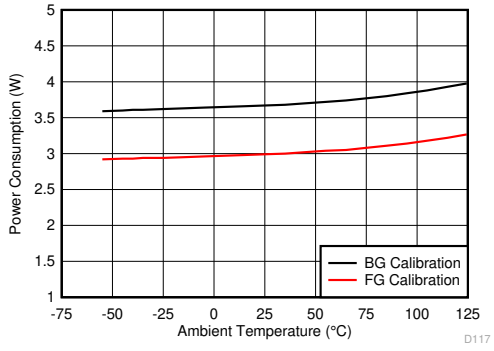
f_{CLK} = 3200MHz，BG 校准，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-65. 电源电流与 JMODE 间的关系



f_{CLK} = 3200MHz，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-66. 功耗与 JMODE 间的关系



JMODE 1，f_S = 6400MSPS，f_{IN} = 2482MHz，A_{IN} = –1dBFS

图 5-67. 功耗与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）

典型值条件为 T_A = 25°C，标称电源电压，默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，在单通道模式下施加到 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 最大额定时钟频率、滤波 1V_{PP} 正弦波时钟，JMODE = 1，以及背景校准（除非另有说明）；SNR 结果不包括 DC、HD2 至 HD9 和交织杂散；SINAD 和 ENOB 不包括直流和 f_S / 2 固定杂散；SFDR 结果不包括直流和信号无关的交织杂散（f_S / 4 和 f_S / 2 杂散）

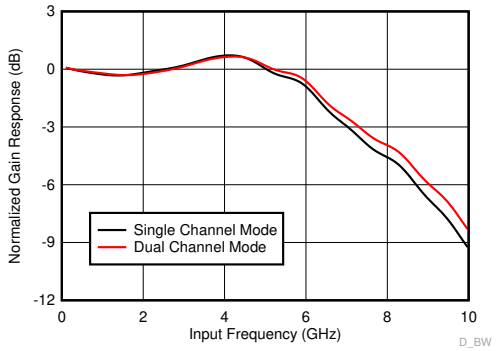
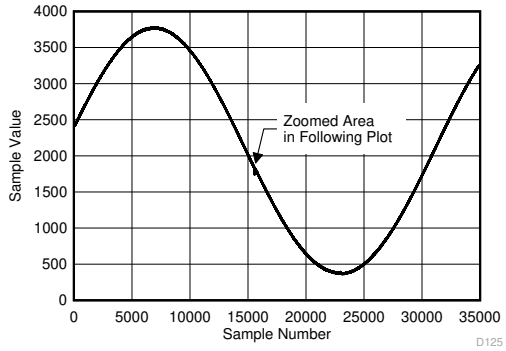
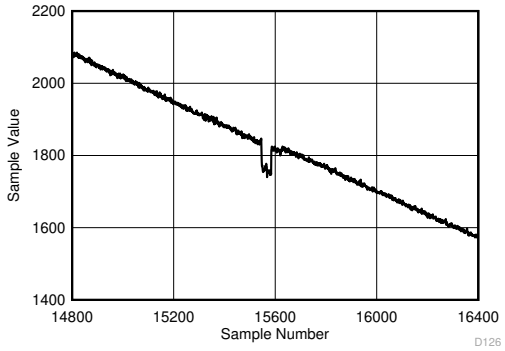


图 5-68. 增益响应与输入频率间的关系



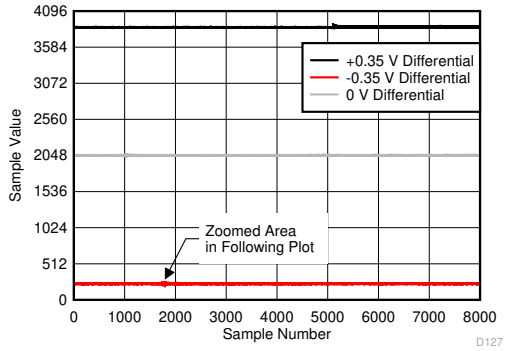
JMODE 1，f_S = 6400MSPS，f_{IN} = 3199.9MHz

图 5-69. 后台校准内核转换（交流信号）



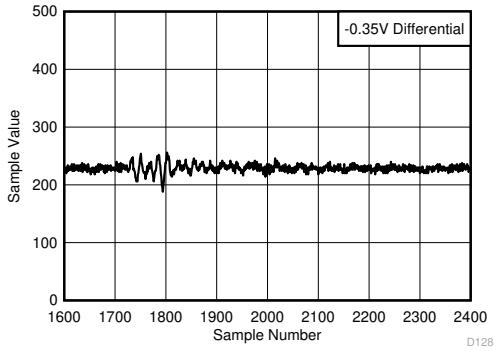
JMODE 1，f_S = 6400MSPS，f_{IN} = 3199.9MHz

图 5-70. 后台校准内核转换（放大交流信号）



JMODE 1，f_S = 6400MSPS，直流输入

图 5-71. 后台校准内核转换（直流信号）



JMODE 1，f_S = 6400MSPS，直流输入

图 5-72. 后台校准内核转换（放大直流信号）

6 详细说明

6.1 概述

ADC12DJ3200QML-SP 是一款射频采样千兆采样模数转换器 (ADC)，可对从直流到 10GHz 以上的输入频率进行直接采样。在双通道模式下，ADC12DJ3200QML-SP 的采样率高达 3200MSPS，在单通道模式下的采样率高达 6400MSPS。通道数（双通道模式）和奎斯特带宽（单通道模式）的可编程交换功能可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。7GHz 的全功率输入带宽（–3dB)，可用频率在双通道和单通道模式下均超过 –3dB，可对频率捷变系统的 L、S、C 和 X 带进行直接射频采样。

ADC12DJ3200QML-SP 使用具有多达 16 个串行通道的高速 JESD204B 输出接口。串行输出通道最高支持 12.8Gbps，并且可进行配置，对位速率和通道数进行权衡。JESD204B 块支持子类 1 方法，可使用 SYSREF 实现确定性延迟和多器件同步。无噪声孔径延迟 (t_{AD}) 调整和 SYSREF 窗口等大量创新的同步特性可简化多通道系统的系统设计。孔径延迟调整可用于简化 SYSREF 采集，在多个 ADC 之间对齐采样实例或对前端跟踪和保持 (T&H) 放大器输出的理想位置进行采样。SYSREF 窗口化提供了一种简单的方法，可测量 SYSREF 相对于器件时钟的无效时序区域，然后选择理想采样位置。双边沿采样 (DES) 在单通道模式下实现，可降低应用于 ADC 的最大时钟速率，从而支持各种时钟源，并放宽 SYSREF 采集的建立和保持时序。

可选数字下变频器 (DDC) 采用双通道模式。DDC 块提供一系列抽取设置,使器件能够在超宽带、宽带和较窄带接收系统中工作。抽取可减少将数据传输到逻辑器件所需的接口速率或通道数。此外，对于多频带接收应用或为了支持冗余逻辑器件，可以将来自单个 ADC 通道（在双通道模式下）的数据发送到单独的 DDC 块。

ADC12DJ3200QML-SP 针对增益、偏移电压和静态线性误差提供了前台和后台校准选项。前台校准在系统启动时运行，或在 ADC 离线且不向逻辑器件发送数据的指定时间运行。后台校准允许 ADC 在后台校准内核的同时持续运行，因此系统不会出现停机情况。校准例程还用于匹配子 ADC 内核之间的增益和偏移，以更大限度地减少时间交错产生的杂散伪影。

ADC12DJ3200QML-SP 具有 120MeV-cm^2/mg 的单粒子闩锁容差和 300krad (Si) 的总电离剂量，适用于辐射敏感型应用。串行编程接口和编程寄存器可防止辐射翻转，而其他关键电路则由警报监控，以便快速检测翻转。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

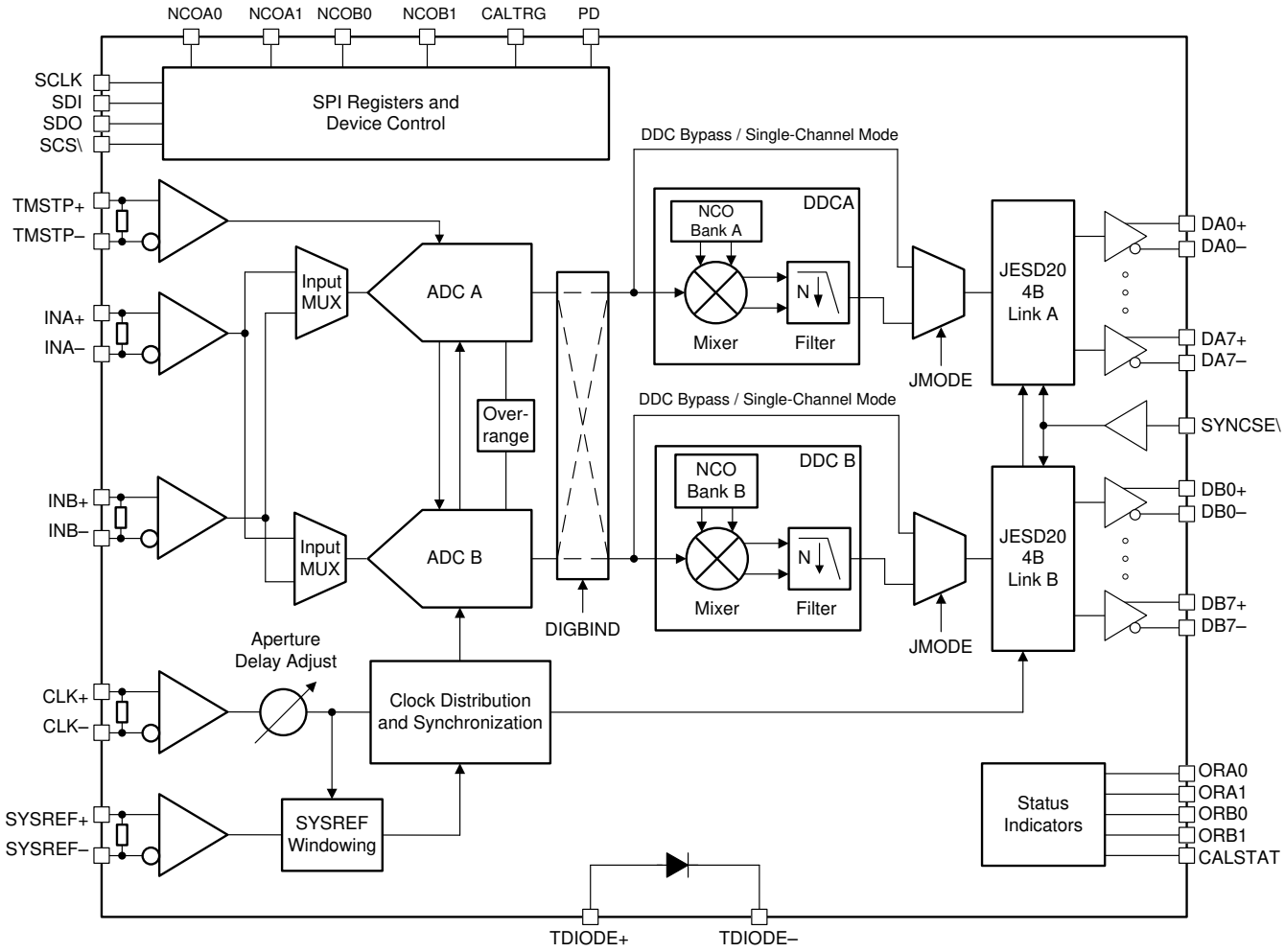


图 6-1. 功能方框图

6.3 特性说明

6.3.1 模拟输入

ADC12DJ3200QML-SP 的模拟输入端配有内部缓冲器，可支持高输入带宽并能将采样电容器干扰噪声与输入电路隔离。模拟输入必须采用差分驱动，因为单端信号运行会导致性能下降。支持模拟输入的交流耦合和直流耦合。模拟输入专为 0V 的输入共模电压 (V_{CMI}) 而设计，采用单端 50Ω 电阻器将该电压在内部端接至每个输入引脚上的接地处(GND)。直流耦合输入信号的共模电压必须满足*建议运行条件*表中 V_{CMI} 器件输入共模要求。0V 输入共模电压简化了分离式全差分放大器以及各种变压器和平衡-非平衡变压器的接口。ADC12DJ3200QML-SP 有一项内部模拟输入保护功能，在超出范围输入条件下能保护 ADC 输入；请参阅*模拟输入保护*部分。图 6-2 示出了简化的模拟输入模型。

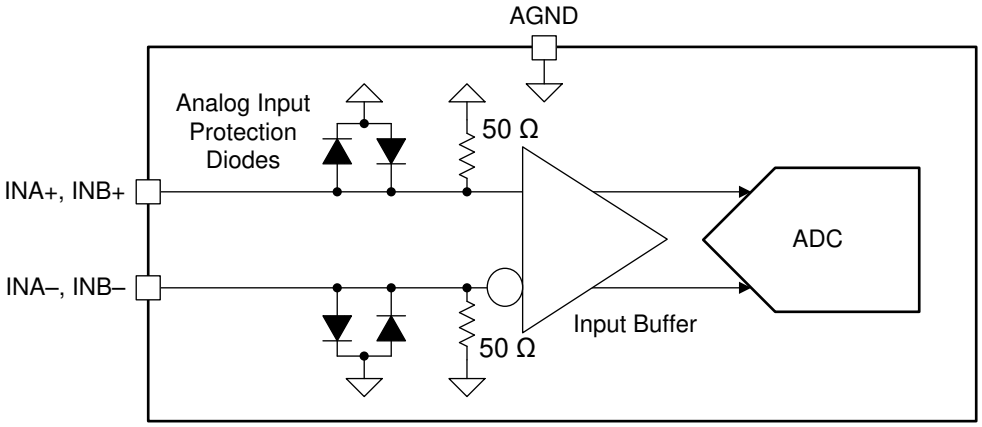


图 6-2. ADC12DJ3200QML-SP 模拟输入内部端接和保护图

使用单通道模式和双通道模式时，模拟输入带宽的下降非常小。在单通道模式下，强烈建议使用 INA± 作为 ADC 的输入，因为 ADC 性能针对 INA± 进行了优化。然而，可以使用模拟输入（INA+ 和 INA– 或者 INB+ 和 INB–）。除非使用了定制修整例程来优化每个器件中 INB± 的性能，否则使用 INB± 会导致性能下降。可以使用输入多路复用器控制寄存器中的 SINGLE_INPUT 来选择所需的输入。

备注

强烈建议在单通道模式下将 INA± 用作 ADC 的输入，以优化性能。

6.3.1.1 模拟输入保护

内部钳位二极管可在超出范围的情况下拉取或灌入输入电流，从而保护模拟输入免受过驱条件的影响，请参阅*绝对最大额定值*表中的电压和电流限制。*绝对最大额定值* 表中还为峰值射频输入功率定义了超范围保护，该保护与频率无关。如果运行条件高于*建议运行条件*表中列出的最大条件会导致时基故障 (FIT) 率升高，则系统必须尽快纠正过驱条件。图 6-2 显示了模拟输入保护二极管。

6.3.1.2 满量程电压 (V_{FS}) 调整

分别通过 INA± 和 INB± 的 FS_RANGE_A 寄存器设置（请参阅 INA 满量程范围调整寄存器）和 FS_RANGE_ B 寄存器设置（请参阅 INB 满量程范围调整寄存器），可以对每个模拟输入以精细增量进行输入满量程电压 (V_{FS}) 调整。可用的调整范围如*电气特性 中所示。直流规格*表。较大的满量程电压可提高 SNR 和本底噪声（以 dBFS/Hz 为单位）性能，但会降低谐波失真。在开发多转换器系统时，满量程电压调整适用于匹配多个 ADC 的满量程，或适用于多个 ADC12DJ3200QML-SP 的外部交错，以实现更高的采样率。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.3 模拟输入失调电压调整

可通过 OADJ_x_INy 寄存器（寄存器 0x08A 和 0x095）调整每个输入的输入失调电压，其中 x 表示 ADC 内核（A、B 或 C），y 表示模拟输入（INA± 或 INB±）。差分调节范围约为 28mV 至 -28mV。更多信息，请参阅*校准模式和修整*部分。

6.3.2 ADC 内核

ADC12DJ3200QML-SP 总共包含六个 ADC 内核。根据工作模式的要求，交错内核以获得更高的采样率，并动态交换内核以进行校准。该部分重点介绍了 ADC 内核的理论和主要特性。

6.3.2.1 ADC 工作原理

模拟输入端的差分电压由双通道模式下 CLK± 的上升沿捕获，或由单通道模式下 CLK± 的上升沿和下降沿捕获。捕获输入信号后，ADC 先比较电压与内部基准电压，再将模拟电压转换为数字值。如果 INA – 或 INB – 上的电压分别高于 INA+ 或 INB+ 上的电压，则数字输出为负二进制补码值。如果 INA+ 或 INB+ 上的电压分别高于 INA – 或 INB – 上的电压，则数字输出为正二进制补码值。方程式 1 可以根据数字输出计算输入引脚上的差分电压。

$$V_{IN} = \frac{Code}{2^N} V_{FS} \tag{1}$$

其中

- 代码是指有符号的抽取输出代码（例如，-2048 至 +2047）
- N 为 ADC 分辨率
- 及 V_{FS} 是 *节 5.3* 表中指定的 ADC 的满量程输入电压，包括通过编程 FS_RANGE_A 或 FS_RANGE_B 执行的任何调整

6.3.2.2 ADC 内核校准

需要进行 ADC 内核校准来优化 ADC 内核的模拟性能。当工作条件（即温度）发生显著变化时，必须重复校准，以保持最佳性能。ADC12DJ3200QML-SP 配有内置校准例程，可作为前台操作或后台操作运行。前台操作需要 ADC 停机，一旦停机，ADC 不再对输入信号进行采样，从而完成此过程。后台校准可以用来克服这种限制，并使 ADC 能持续运行。参阅*校准模式和修整*部分，了解每种模式的详细信息。

6.3.2.3 ADC 超范围检测

为了确保系统增益管理具有尽可能短的响应时间，加入了一个低延迟可配置的超范围功能。超范围功能的工作原理是监视 ADC 上已转换的 12 位样本，以快速检测 ADC 是否接近饱和或已经处于超范围状态。根据两个可编程阈值 OVR_T0 和 OVR_T1 检查 ADC 数据高 8 位的绝对值。这些阈值适用于双通道模式下的通道 A 和通道 B。表 6-1 列出了如何将 ADC 样本转换为绝对值以进行阈值比较。

表 6-1. 转换 ADC 样本，进行超范围比较

ADC 样本（偏移二进制）	ADC 样本（二进制补码）	绝对值	用于比较的高 8 位
1111 1111 1111 (4095)	0111 1111 1111 (+2047)	111 1111 1111 (2047)	1111 1111 (255)
1111 1111 0000 (4080)	0111 1111 0000 (+2032)	111 1111 0000 (2032)	1111 1110 (254)
1000 0000 0000 (2048)	0000 0000 0000 (0)	000 0000 0000 (0)	0000 0000 (0)
0000 0001 0000 (16)	1000 0001 0000 (-2032)	111 1111 0000 (2032)	1111 1110 (254)
0000 0000 0000 (0)	1000 0000 0000 (-2048)	111 1111 1111 (2047)	1111 1111 (255)

如果绝对值的高 8 位在监控期间等于或超过 OVR_T0 或 OVR_T1 阈值，则与阈值关联的超范围位将被设置为 1，否则超范围位为 0。在双通道模式下，可以在通道 A 的 ORA0 和 ORA1 引脚以及通道 B 的 ORB0 和 ORB1 引脚上监控超范围状态，其中 ORx0 对应于 OVR_T0 阈值，ORx1 对应于 OVR_T1 阈值。在单通道模式下，OVR_T0 阈值的超范围状态通过监控 ORA0 和 ORB0 输出来确定，而 OVR_T1 阈值通过监控 ORA1 和 ORB1 输出来确定。在单通道模式下，每个阈值的两个输出必须一起进行“或”运算，以确定是否发生了超范围情况。OVR_N 可用于设置上次超范围事件的输出脉冲持续时间。表 6-2 列出了各种 OVR_N 设置的超范围脉冲长度（请参阅超范围配置寄存器）。在抽取模式下（仅在 表 6-18 中 $\overline{CS}$ = 1 的 JMODE 下），超范围状态也嵌入到输出数据样本中。对于复数抽取模式，OVR_T0 阈值状态作为为 LSB 连同每个复数 I 样本的高 15 位嵌入，而 OVR_T1 阈值状态作为为 LSB 连同每个复数 Q 样本的高 15 位嵌入。对于实数抽取模式，OVR_T0 阈值状态作为每个偶数样本的 LSB 嵌入，而 OVR_T1 阈值状态作为每个奇数样本的 LSB 嵌入。表 6-3 列出了输出、相关数据样本、阈值设置和监控周期公式。如果相关通道在通过 OVR_N 设置的监控周期内超过相关的超范围阈值，则嵌入式超范围位会变为高电平。使用表 6-3 来计算监控周期。

表 6-2. ORA0、ORA1、ORB0 和 ORB1 输出的超范围监控周期

OVR_N	自上次超范围事件以来的超范围脉冲长度（DEVCLK 周期）
0	8
1	16
2	32
3	64
4	128
5	256
6	512
7	1024

表 6-3. 双通道抽取模式下嵌入式超范围指示器的阈值和监控周期

超范围指示器	相关阈值	抽取类型	嵌入了超范围状态	监控周期（ADC 样本）
ORA0	OVR_T0	实数抽取 (JMODE 9)	通道 A 偶数样本	2^{OVR_N+1} (1)
		复数降压转换（JMODE 10-16，JMODE 12 除外）	通道 A 同相 (I) 样本	2^{OVR_N} (1)
ORA1	OVR_T1	实数抽取 (JMODE 9)	通道 A 奇数样本	2^{OVR_N+1} (1)
		复数降压转换（JMODE 10-16，JMODE 12 除外）	通道 A 正交 (Q) 样本	2^{OVR_N} (1)

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 双通道抽取模式下嵌入式超范围指示器的阈值和监控周期（续）

超范围指示器	相关阈值	抽取类型	嵌入了超范围状态	监控周期（ADC 样本）
ORB0	OVR_T0	实数抽取 (JMODE 9)	通道 B 偶数样本	2^{OVR_N+1} (1)
		复数降压转换（JMODE 10-16，JMODE 12 除外）	通道 B 同相 (I) 样本	2^{OVR_N} (1)
ORB1	OVR_T1	实数抽取 (JMODE 9)	通道 B 奇数样本	2^{OVR_N+1} (1)
		复数降压转换（JMODE 10-16，JMODE 12 除外）	通道 B 正交 (Q) 样本	2^{OVR_N} (1)

(1) OVR_N 是监控周期寄存器设置。

通常，OVR_T0 阈值可设置为接近满量程值（例如 228）。触发该阈值后，典型的系统可关闭系统增益以避免削波。可以将 OVR_T1 阈值设置为低得多的值。例如，OVR_T1 阈值可以设置为 64（−12 dBFS 的峰值输入电压）。如果输入信号较强、则偶尔会触发 OVR_T1 阈值。如果输入非常弱、则永远不会触发阈值。下游逻辑器件会监控 OVR_T1 位。如果 OVR_T1 长时间保持低电平，则可以增大系统增益，直到偶尔触发阈值（意味着信号的峰值电平高于 −12 dBFS）。

6.3.2.4 误码率 (CER)

ADC 内核可能会在样本中产生位误差，通常称为*代码误差 (CER)* 或称为*闪码*，这是由不理想的比较器限制引起的元稳定性导致的。ADC12DJ3200QML-SP 使用独特的 ADC 架构，与传统流水线型闪存或逐次逼近寄存器 (SAR) ADC 相比，该架构本身能显著改善代码误差率。在等效采样率下，ADC12DJ3200QML-SP 的代码误差率比其他架构可实现的误差率高出多个数量级，从而显著提高了信号可靠性。

6.3.3 时间戳

TMSTP+ 和 TMSTP – 差分输入可作为时间戳输入使用，根据外部触发事件相对于采样信号的时序标记特定样本。要使用时间戳特性并输出时间戳数据，则必须设置 TIMESTAMP_EN（请参阅 LSB 控制位输出寄存器）。启用后，12 位 ADC 数字输出的 LSB 会报告 TMSTP± 输入的状态。实际上，12 位输出样本由 12 位转换器的上 11 位组成，12 位输出样本的 LSB 是并行 1 位转换器 (TMSTP±) 的输出，具有与 ADC 内核相同的延迟。在 8 位工作模式中，8 位输出样本的 LSB 用于输出时间戳状态。必须将触发器施加到差分 TMSTP+ 和 TMSTP- 输入上。触发器可以与 ADC 采样时钟异步，并与模拟输入大约同时进行采样。当选择具有抽取的 JMODE 时，不能使用时间戳，而必须使用 SYSREF 通过 JESD204B 子类 1 方法来实现同步，以实现确定性延迟。

6.3.4 时钟

ADC12DJ3200QML-SP 的时钟子系统具有两种输入信号：器件时钟（CLK+ 和 CLK－）和 SYSREF（SYSREF+、SYSREF－）。时钟子系统内有无噪声孔径延迟调节（t_{AD} 调节）、时钟占空比校正器和 SYSREF 采集块。图 6-3 展示了时钟子系统。

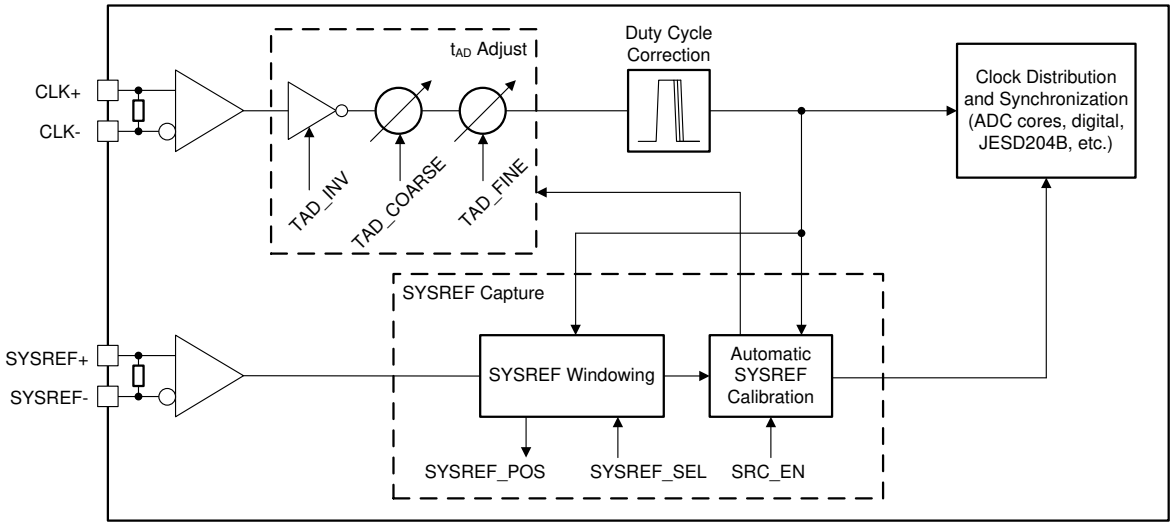


图 6-3. ADC12DJ3200QML-SP 时钟子系统

器件时钟用作 ADC 内核的采样时钟，以及数字处理和串行器输出的时钟。使用低噪声（低抖动）器件时钟，以保持 ADC 内的高信噪比 (SNR)。在双通道模式下，在器件时钟的上升沿对每个输入的模拟输入信号进行采样。在单通道模式下，器件时钟的上升沿和下降沿都用于捕获模拟信号，以降低 ADC 所需的最大时钟速率。无噪声孔径延迟调整（t_{AD} 调整）使用户能够以精细的步长移动 ADC 的采样实例，从而同步多个 ADC12DJ3200QML-SP 或对系统延迟进行微调。ADC12DJ3200QML-SP 中实现了占空比校正功能，可在保持高性能的同时降低对外部器件时钟的要求。表 6-4 总结了双通道模式和单通道模式下的器件时钟接口。

表 6-4. 器件时钟与工作模式间的关系

工作模式	采样率与 f_{CLK} 的关系	采样时刻
双通道模式	$1 \times f_{CLK}$	上升沿
单通道模式	$2 \times f_{CLK}$	上升沿和下降沿

SYSREF 是一种系统时序基准，用于确定性延迟的 JESD204B 子类 1 实现。SYSREF 用于实现确定性延迟和多器件同步。为了实现可重复延迟和同步，必须用正确的器件时钟边沿捕获 SYSREF。ADC12DJ3200QML-SP 具有 SYSREF 窗口化和自动 SYSREF 校正功能，可降低对外部时钟电路的要求并简化同步过程。SYSREF 可以作为单个脉冲或周期时钟实现。在周期性实现中，SYSREF 必须等于本地多帧时钟频率，或者为其整数分频。方程式 2 用于计算有效的 SYSREF 频率。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \tag{2}$$

其中

- R 和 F 通过 JMODE 设置（请参阅 表 6-18）
- f_{CLK} 是器件时钟频率 (CLK±)
- K 是编程的多帧长度（有关有效的 K 设置，请参阅 表 6-18）
- n 是任意正整数

Copyright © 2025 Texas Instruments Incorporated

6.3.4.1 无噪声孔径延迟调节（t_{AD} 调节）

ADC12DJ3200QML-SP 在器件时钟（采样时钟）输入路径上包含一个称为 t_{AD} 调整的延迟调整，可用于移动器件内的采样实例，以便在多个器件之间对齐采样实例或用于多个 ADC12DJ3200QML-SP 的外部交错。此外，t_{AD} 调整可用于自动 SYSREF 校准以简化同步；请参阅*自动 SYSREF 校准*部分。孔径延迟调节的实现方式不会向时钟路径添加额外的噪声，但由于内部时钟路径衰减，在 TAD_COARSE 为较大值时可能会略微减少孔径抖动 (t_{AJ})。孔径抖动的减少会导致高输入频率下 SNR 略有下降（请参阅*开关特性* 表中的 t_{AJ}）。使用 DEVCLK 时序调整斜坡控制寄存器中的 TAD_INV、TAD_COARSE 和 TAD_FINE 对此特性进行编程。设置 TAD_INV 会使输入时钟反相，从而产生等于时钟周期一半的延迟。表 6-5 总结了 TAD_COARSE 和 TAD_FINE 可变模拟延迟的步长和范围。所有三个延迟选项都是独立的，可结合使用。器件内的所有时钟都按照设定的 t_{AD} 调整量进行移位，这会导致 JESD204B 串行输出的时序移位并影响 SYSREF 的采集。

表 6-5. t_{AD} 调整的调整范围

调整参数	调整步长	延迟设置	最大延迟
TAD_INV	1 / (f_{CLK} × 2)	1	1 / (f_{CLK} × 2)
TAD_COARSE	请参阅*开关特性* 表中的 $t_{TAD(STEP)}$	256	请参阅*开关特性* 表中的 $t_{TAD(MAX)}$
TAD_FINE	请参阅*开关特性* 表中的 $t_{TAD(STEP)}$	256	请参阅*开关特性* 表中的 $t_{TAD(MAX)}$

为了保持转换器之间的时序对齐，必须提供稳定且匹配的电源电压和器件温度。

在正常运行期间可以动态更改孔径延迟调整，但可能会导致 JESD204B 数据链路的短暂翻转。使用 TAD_RAMP 来降低 JESD204B 链路失去同步的可能性；请参阅*孔径延迟斜坡控制 (TAD_RAMP)* 部分。

6.3.4.2 孔径延迟斜坡控制 (TAD_RAMP)

ADC12DJ3200QML-SP 包含一个功能，用于逐渐将 t_{AD} 调整设置调整为新写入的 TAD_COARSE 值。利用该功能，可在尽量降低内部时钟电路干扰的情况下调整 t_{AD} 调整设置。TAD_RAMP_RATE 参数允许选择较慢的（每 256 个 t_{CLK} 周期一个 TAD_COARSE LSB）或较快的斜坡（每 256 个 t_{CLK} 周期四个 TAD_COARSE LSB）。TAD_RAMP_EN 参数启用斜坡功能，任何后续对 TAD_COARSE 的写入都会开始新的斜坡。

6.3.4.3 用于多器件同步和确定性延迟的 SYSREF 采集

时钟子系统主要负责实现多器件同步和确定性延迟。ADC12DJ3200QML-SP 使用 JESD204B 子类 1 方法来实现确定性延迟和同步。子类 1 要求在每次系统上电时及系统中每个器件上，通过确定性器件时钟 (CLK±) 边沿采集 SYSREF 信号。这一要求对相对于 CLK± 的 SYSREF 施加了建立和保持限制。在所有系统运行条件下，都很难以千兆采样时钟频率来满足该要求。ADC12DJ3200QML-SP 具有很多特性，可简化同步过程并放宽系统时序限制：

- ADC12DJ3200QML-SP 在单通道模式下使用双边沿采样 (DES) 将 CLK± 输入频率降低一半并使 SYSREF 的时序窗口加倍（请参阅表 6-4）
- SYSREF 位置检测器（相对于 CLK±）和可选的 SYSREF 采样位置有助于用户在所有条件下满足建立时间和保持时间；请参阅 *SYSREF 位置检测器和采样位置选择（SYSREF 窗口）*部分
- 易于使用的自动 SYSREF 校准使用孔径时序调整块（t_{AD} 调整），根据 SYSREF 的相位来移动 ADC 采样实例（而不是根据 ADC 采样实例的相位来调整 SYSREF）；请参阅*自动 SYSREF 校准* 部分

6.3.4.3.1 SYSREF 位置检测器和采样位置选择（SYSREF 窗口）

SYSREF 窗口化块用于首先检测 SYSREF 相对于 CLK± 上升沿的位置，然后选择所需的 SYSREF 采样实例（该实例是 CLK± 的延迟版本），以最大程度地提高建立和保持时序裕度。在很多情况下，单个 SYSREF 采样位置 SYSREF_SEL 足以满足所有系统（器件间的差异）和条件（温度和电压差异）的时序要求。但是，系统也可以使用此功能来扩展计时窗口（方法是在工作条件发生变化时跟踪 SYSREF 的移动），或者在生产测试时消除系统间的差异（方法是为每个系统在标称条件下寻找唯一的更优值）。

本部分介绍了 SYSREF 窗口化块的正确用法。首先，将器件时钟和 SYSREF 应用于器件。SYSREF 相对于器件时钟周期的位置将被确定并存储在 SYSREF 采集位置寄存器的 SYSREF_POS 位中。在 SYSREF_POS 变为有

效之前，必须至少向 SYSREF± 输入施加三个上升沿。SYSREF_POS 的每个位代表一个潜在的 SYSREF 采样位置。如果 SYSREF_POS 中的位设置为 1，则相应的 SYSREF 采样位置可能存在建立或保持时间违例。确定有效的 SYSREF 采样位置（SYSREF_POS 的位置设置为 0）后，可以通过将时钟控制寄存器 0 中的 SYSREF_SEL 设置为对应于该 SYSREF_POS 位置的值来选择所需的采样位置。选择两个建立和保持实例之间的中间采样位置。理想情况下，SYSREF_POS 和 SYSREF_SEL 在系统的标称工作条件（温度和电源电压）下执行，以便提供最大裕度来适应工作条件的变化。此过程可在最终测试中执行，并且可存储更优 SYSREF_SEL 设置，以便在每次系统上电时使用。此外，SYSREF_POS 可用于通过扫描系统温度和电源电压来表征系统工作条件下 CLK± 和 SYSREF± 之间的偏斜。对于 CLK± 到 SYSREF± 偏斜有较大变化的系统，此表征可用于在系统工作条件发生变化时跟踪更优 SYSREF 采样位置。可以找到满足匹配良好的系统在所有条件下的时序要求的单个值，例如 CLK± 和 SYSREF± 来自单个时钟器件的条件。

备注

使用自动 SYSREF 校准时，SYSREF_SEL 必须设置为 0；请参阅*自动 SYSREF 校准* 部分。

每个 SYSREF_POS 采样位置之间的步长可使用 SYSREF_ZOOM 进行调整。当 SYSREF_ZOOM 设置为 0 时，延迟步长较粗。当 SYSREF_ZOOM 设置为 1 时，延迟步长较细。请参阅*开关特性* 表，了解当 SYSREF_ZOOM 被启用和禁用时的延迟步长。通常，建议始终使用 SYSREF_ZOOM (SYSREF_ZOOM = 1)，除非未观察到转换区域（体现在 SYSREF_POS 中就是 1），低时钟速率就是这种情况。SYSREF_POS 的位 0 和 23 始终设置为 1，因为没有足够的信息来确定这些设置是否接近时序违例，尽管实际有效窗口可以扩展到这些采样位置之外。编程到 SYSREF_SEL 中的值是表示 SYSREF_POS 中所需位位置的十进制数。表 6-6 列出了一些 SYSREF_POS 读数示例和更优 SYSREF_SEL 设置。尽管 SYSREF_POS 状态寄存器提供了 24 个采样位置，但 SYSREF_SEL 仅允许选择前 16 个采样位置，对应于 SYSREF_POS 位 0 至 15。附加的 SYSREF_POS 状态位仅用于提供 SYSREF 有效窗口的额外信息。由于电源电压的延迟变化，选择较低的 SYSREF_SEL 值，但在第四个示例中，值 15 可提供额外裕度，因此可以选择该值。

表 6-6. SYSREF_POS 读数和 SYSREF_SEL 选择示例

SYSREF_POS[23:0]			更优 SYSREF_SEL 设置
0x02E[7:0]（最大延迟）	0x02D[7:0](1)	0x02C[7:0](1)（最小延迟）	
b10000000	b01100000	b00011001	8 或 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b00000001	6 或 7
b10000000	b00000011	b00000001	4 或 15
b10001100	b01100011	b00011001	6

(1) 红色着色表示选定的位，如表的最后一列中所示。

6.3.4.3.2 自动 SYSREF 校准

ADC12DJ3200QML-SP 具有自动 SYSREF 校准功能，可更好地满足与千兆采样数据转换器的 SYSREF 采集相关的通常具有挑战性的建立时间和保持时间要求。自动 SYSREF 校准使用 t_{AD} 调整特性来移动器件时钟，以最大限度地增加 SYSREF 建立时间和保持时间，或根据 SYSREF 上升沿对齐采样实例。

在开始自动 SYSREF 校准之前，ADC12DJ3200QML-SP 必须应用适当的器件时钟并对其进行编程以确保正常运行。当准备好启动自动 SYSREF 校准时，必须施加连续的 SYSREF 信号。使用自动 SYSREF 校准时，SYSREF 必须是连续（周期性）信号。使用 SRC_CFG 寄存器配置自动 SYSREF 校准后，通过在 SYSREF 校准使能寄存器中将 SRC_EN 设置为高电平来开始校准过程。将 SRC_EN 设置为高电平后，ADC12DJ3200QML-SP 会搜索最优的 t_{AD} 调整设置，直到器件时钟下降沿在内部与 SYSREF 上升沿对齐。可以监控 SYSREF 校准状态寄存器中的 TAD_DONE，以确保 SYSREF 校准已完成。通过将器件时钟下降沿与 SYSREF 上升沿对齐，自动 SYSREF 校准可最大限度地增加相对于器件时钟的内部 SYSREF 建立时间和保持时间，并根据 SYSREF 上升沿设置采样瞬间。自动 SYSREF 校准完成后，可以执行启动过程的其余部分以完成系统启动。

Copyright © 2025 Texas Instruments Incorporated

对于多器件同步，必须在所有器件上匹配 SYSREF 上升沿时序，因此必须匹配从通用 SYSREF 源到每个 ADC12DJ3200QML-SP 的布线长度。每个器件上 SYSREF 上升沿之间的任何偏差都会导致器件之间的采样实例产生额外误差，但从系统启动到每个器件启动之间仍然必须实现可重复的确定性延迟。只要在 JESD2048 接收器中选择适当的弹性缓冲器释放点，无需其他设计要求即可实现多器件同步。

图 6-4 展示了 SYSREF 校准过程的时序图。优化的建立时间和保持时间分别显示为 $t_{SU(OPT)}$ 和 $t_{H(OPT)}$。器件时钟和 SYSREF 在此图中称为*内部*时钟，因为在器件内部是与内部信号的相位对齐，而不是与器件时钟或 SYSREF 的外部（施加的）相位对齐。

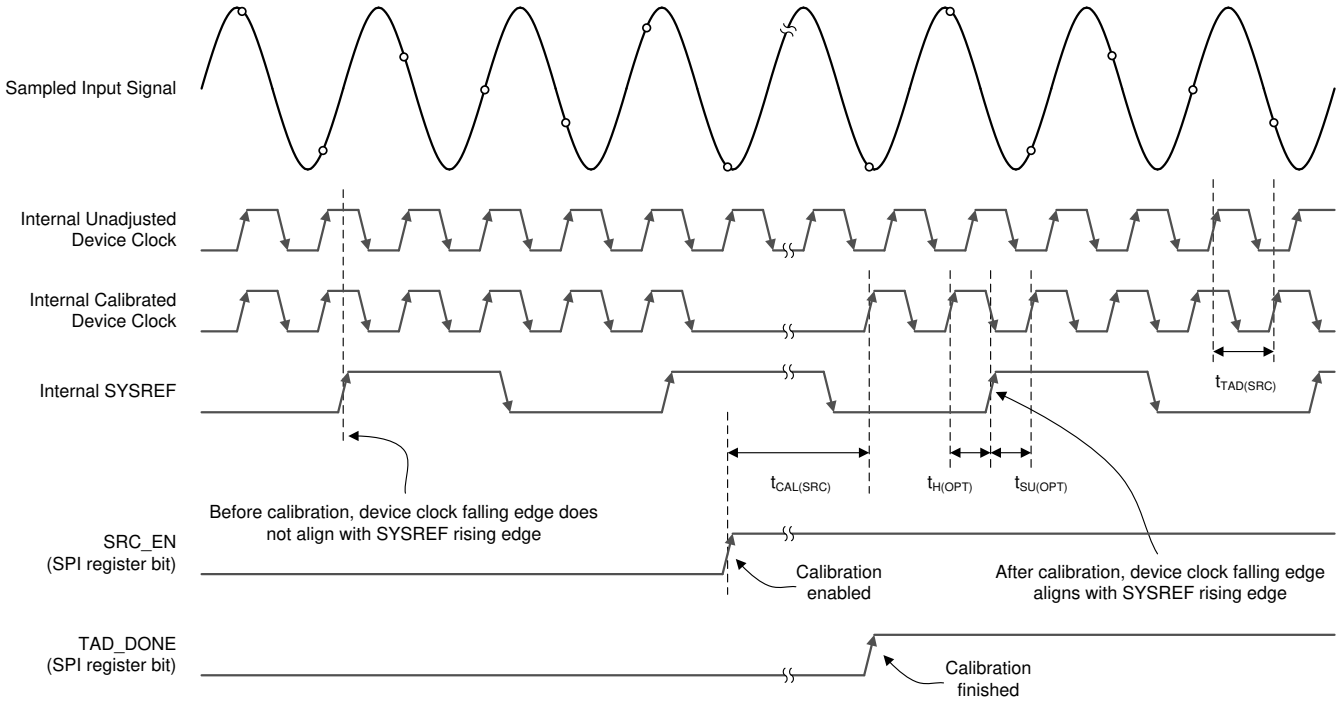


图 6-4. SYSREF 校准时序图

完成后，可以从 SYSREF 校准状态寄存器中的 SRC_TAD 读取通过自动 SYSREF 校准确定的 t_{AD} 调整设置。校准后，系统继续使用校准后的 t_{AD} 调整设置运行，直到系统断电。但是如果需要，用户可以禁用 SYSREF 校准并根据系统需求微调 t_{AD} 调整设置。或者，可在每个系统的最优 t_{AD} 调整设置的乘积测试（或定期重校准）时使用自动 SYSREF 校准。可在系统启动时将此值存储并写入 TAD 寄存器（TAD_INV、TAD_COARSE 和 TAD_FINE）。

当 ADC 校准正在运行时（前台或后台），请勿运行 SYSREF 校准。如果后台校准是所需的用例，请在使用 SYSREF 校准时禁用后台校准，然后在 TAD_DONE 变为高电平后重新启用后台校准。使用 SYSREF 校准时，时钟控制寄存器 0 中的 SYSREF_SEL 必须设置为 0。

SYSREF 校准使用非反相 (TAD_INV = 0) 和反相时钟极性 (TAD_INV = 1) 搜索 TAD_COARSE 延迟，以最大限度地降低所需的 TAD_COARSE 设置，从而最大限度地减小时钟路径上的损耗以减少孔径抖动 (t_{AJ})。

6.3.5 数字下变频器（仅限双通道模式）

在将模拟电压转换为数字值后，数字化样本可以直接发送到 JESD204B 接口块（DDC 旁路）或发送到数字下变频 (DDC) 块以进行频率转换和抽取（仅限双通道模式）。频率转换和抽取支持选择特定频带并在数字数据流中输出，同时降低有效数据速率和接口速度或宽度。DDC 设计成不会降低 ADC 的噪声频谱密度 (NSD) 性能。图 6-5 展示了 ADC12DJ3200QML-SP 通道 A 的数字下变频器。通道 B 具有相同的结构，其中输入数据由 DIG_BIND_B 选择，NCO 选择多路复用器由引脚 NCOB[1:0] 或通过 CSELB[1:0] 进行控制。

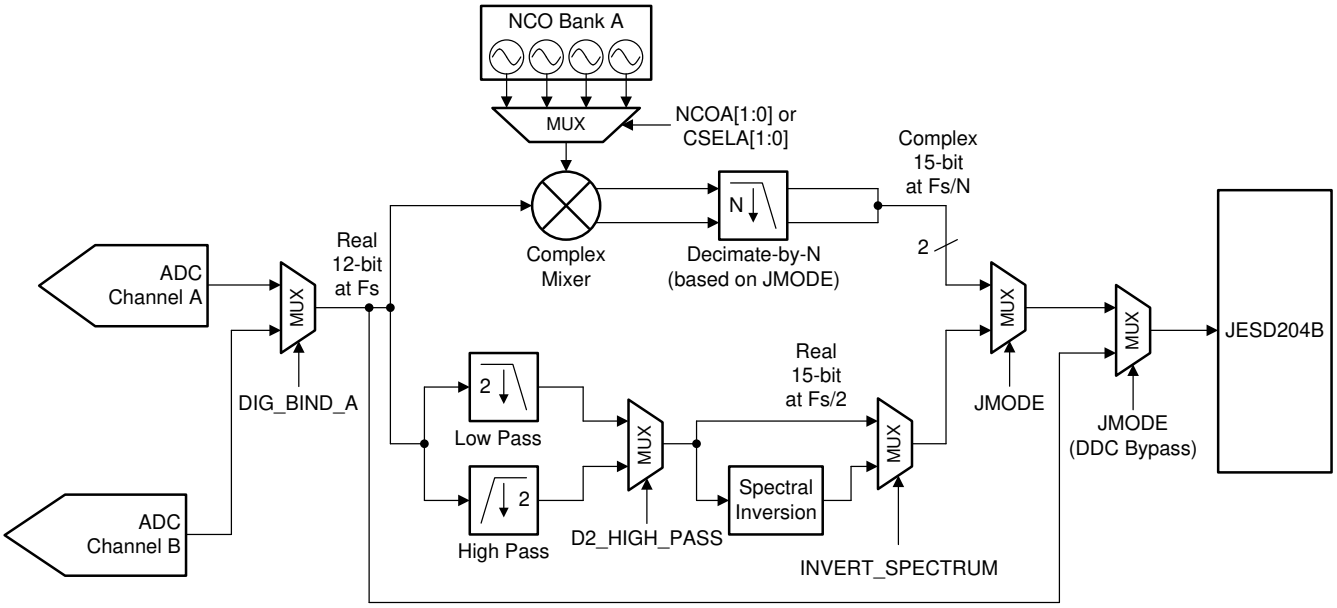


图 6-5. 通道 A 数字下变频转换块（仅限双通道模式）

Copyright © 2025 Texas Instruments Incorporated

6.3.5.1 数控振荡器和复频混频器

DDC 包含一个复频数控荡器 (NCO) 和一个复频混频器。方程式 3 显示了由振荡器生成的复指数序列。

$$x[n] = e^{j\omega n} \tag{3}$$

频率 (ω) 通过 32 位寄存器设置指定。复指数序列乘以来自 ADC 的实数输入以将所需载波混合到等于 $f_{IN} + f_{NCO}$ 的频率，其中 f_{IN} 是混叠后的模拟输入频率（在欠采样系统中），f_{NCO} 是设定的 NCO 频率。

6.3.5.1.1 NCO 快速跳频 (FFH)

由于每个 DDC 都具有四个独立的 NCO，因此可以实现快速跳频 (FFH)，这些 NCO 可通过 DDC A 的 NCOA0 和 NCOA1 引脚以及 DDC B 的 NCOB0 和 NCOB1 引脚进行控制。每个 NCO 都具有独立的频率设置（请参阅*基本 NCO 频率设置模式* 部分）和可以单独设置的初始相位设置（请参阅 *NCO 相位偏移设置* 部分）。此外，所有 NCO 都具有独立的相位累加器，这些相位累加器在未选择特定 NCO 时继续运行，从而允许 NCO 在两次选择之间保持相位，这样下游处理就不需要在每次跳频后执行载波恢复。

当 NCO GPIO 引脚状态发生变化时，会发生 NCO 跳频。这些引脚是异步控制的，因此无法实现同步开关。图 6-6 中展示了相关的延迟，其中*开关特性* 表中提供了 t_{TX} 和 t_{ADC}。表 6-7 中的所有延迟仅为近似值。

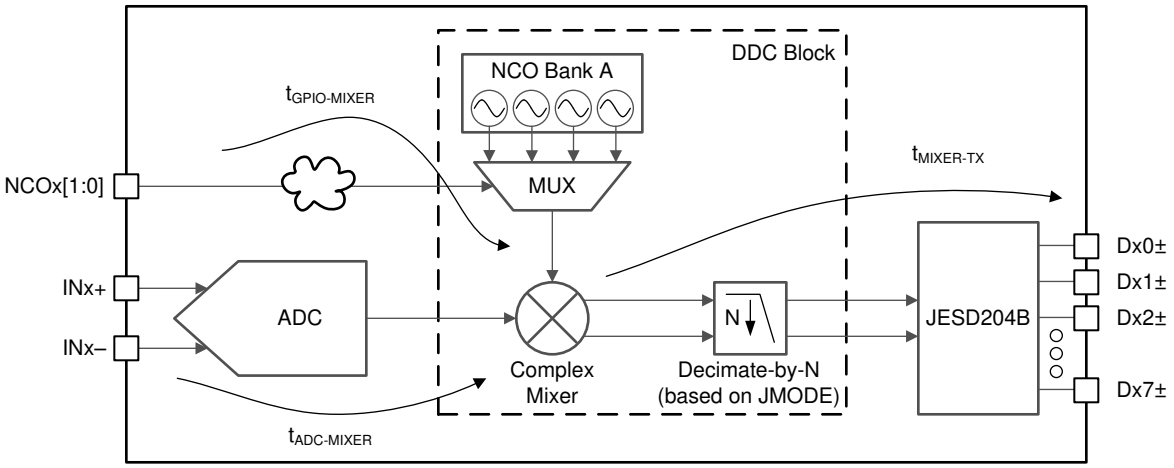


图 6-6. NCO 快速跳频延迟图

表 6-7. NCO 快速跳频延迟定义

延迟参数	价值或计算	单位
$t_{GPIO-MIXER}$	约 36 至约 40	t_{CLK} 周期数
$t_{ADC-MIXER}$	约 36	t_{CLK} 周期数
$t_{MIXER-TX}$	$(t_{TX} + t_{ADC}) - t_{ADC-MIXER}$	t_{CLK} 周期数

6.3.5.1.2 NCO 选择

在每个通道 DDC 内，有四种不同的频率和相位设置可供使用。四种设置中的每种设置使用 NCO 内的不同相位累加器。由于所有四相累加器都是独立的且持续运行的，因此可以在不同的 NCO 频率之间快速切换，从而实现相位相干跳频。

当 CMODE 设置为 1 时，通过 NCOA[1:0] 或 NCOB[1:0] 输入引脚选择每个通道使用的特定频率相位对。或者，可以将 CMODE 设置为 0（默认），依据 DDC A 的 CSELA，以及 DDC B 的 CSELB，通过 SPI 来选择所选的 NCO。表 6-8 中提供了 GPIO 和 SPI 选择选项的 NCO 选择逻辑表。

表 6-8. 使用 GPIO 或 SPI 的 NCO 选择逻辑表

NCO 选择	CMODE	NCOx1	NCOx0	CSELx[1]	CSELx[0]
使用 GPIO 的 NCO 0	1	0	0	X	X
使用 GPIO 的 NCO 1	1	0	1	X	X
使用 GPIO 的 NCO 2	1	1	0	X	X
使用 GPIO 的 NCO 3	1	1	1	X	X
使用 SPI 的 NCO 0	0	X	X	0	0
使用 SPI 的 NCO 1	0	X	X	0	1
使用 SPI 的 NCO 2	0	X	X	1	0
使用 SPI 的 NCO 3	0	X	X	1	1

每个相位累加器的频率可通过 FREQAx、FREQBx（x = 0 至 3）和可选的 NCO_RDIV 寄存器设置来独立设定。每个累加器的相位偏移可通过 PHASEAx 和 PHASEBx（x = 0 至 3）寄存器设置来独立设定。

6.3.5.1.3 基本 NCO 频率设置模式

在基本 NCO 频率设置模式下 (NCO_RDIV = 0x0000)，NCO 频率设置由 32 位寄存器值 FREQAx 和 FREQBx（x = 0 至 3）设置。DDC A 的 NCO 频率可以使用方程式 4 计算，其中 FREQAx 可以替换为 FREQBx，以计算 DDC B 的 NCO 频率。

$$f_{(NCO)} = \text{FREQAx} \times 2^{-32} \times f_{(DEVCLK)} \ (x = 0 - 3) \tag{4}$$

备注

在运行期间更改 FREQAx 和 FREQBx 寄存器设置会导致非确定性 NCO 相位。如果需要确定性相位，则必须重新同步 NCO；请参阅 *NCO 相位同步*部分。

6.3.5.1.4 合理 NCO 频率设置模式

在基本 NCO 频率模式下，频率步长非常小，可以合成许多频率，但有时应用需要介于两个频率步长之间的非常特定的频率。例如，当 f_S 等于 2457.6MHz，期望的 $f_{(NCO)}$ 等于 5.02MHz 时，FREQAx 的值为 8773085.867。截断小数部分会使 $f_{(NCO)}$ 等于 5.0199995 MHz，这并不是所需的频率。

为了生成所需的频率，使用 NCO_RDIV 参数来强制相位累加器在没有错误的情况下达到特定频率。首先，选择适合所需 NCO 频率步长的频率步长 ($f_{(STEP)}$)。$f_{(STEP)}$ 的典型值为 10kHz。接下来，使用 方程式 5 对 NCO_RDIV 值进行设定。

$$\text{NCO_RDIV} = \frac{\left(f_{DEVCLK} / f_{STEP}\right)}{64} \tag{5}$$

方程式 5 的结果必须为整数值。如果该值不是整数，请调整任一参数，直到结果为整数值。

例如，为 NCO_RDIV 选择值 1920。

Copyright © 2025 Texas Instruments Incorporated

备注

大于 8192 的 NCO_RDIV 值会降低 NCO SFDR 性能，因此不建议使用。

现在使用方程式 6 来计算 FREQAx 寄存器值。

$$\text{FREQAx} = \text{round}\left(2^{32} \times f_{\text{NCO}} / f_{\text{DEVCLK}}\right) \tag{6}$$

或者，可以使用以下公式：

$$N = \frac{f_{(\text{NCO})}}{f_{(\text{STEP})}} \tag{7}$$

$$\text{FREQAx} = \text{round}\left(2^{26} \times N / \text{NCO_RDIV}\right) \tag{8}$$

表 6-9 列出了采用 10kHz 频率步长的 NCO_RDIV 的常见值。

表 6-9. 常见 NCO_RDIV 值（针对 10kHz 频率阶跃）

f_{CLK} (MHz)	NCO_RDIV
3200	5000
3072	4800
2949.12	4608
2457.6	3840
1966.08	3072
1600	2500
1474.56	2304
1228.8	1920

6.3.5.1.5 NCO 相位偏移设置

每个 NCO 的 NCO 相位偏移设置通过 16 位寄存器值 PHASEAx 和 PHASEBx（其中 x = 0 到 3）来设置。该值左对齐到 32 位字段中，然后添加到相位累加器。

使用方程式 9 计算相位偏移（以弧度为单位）。

$$\Phi(\text{rad}) = \text{PHASEA/Bx} \times 2^{-16} \times 2 \times \pi \quad (x=0 \text{ to } 3) \tag{9}$$

6.3.5.1.6 NCO 相位同步

设置或更改 FREQAx 或 FREQBx 的值后，必须同步 NCO。在 JESD204B 链路初始化或采用 SYSREF 时，会根据 NCO_SYNC_ILA 和 NCO_SYNC_NEXT 的设置执行 NCO 同步。JESD204B 初始化过程和直流耦合和交流耦合 SYSREF 信号的 SYSREF 过程如下所示。

使用 JESD204B SYNC 信号（$\overline{\text{SYNCSE}}$ 或 TMSTP±）进行 NCO 同步：

1. 器件必须经过设定才能正常运行
2. 将 NCO_SYNC_ILA 设置为 1
3. 将 JESD_EN 设置为 0
4. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
5. 在 JESD204B 接收器（逻辑器件）中，通过将 $\overline{\text{SYNC}}$ 设置为高电平来使 $\overline{\text{SYNC}}$ 信号无效
6. 将 JESD_EN 设置为 1
7. 通过在 JESD204B 接收器中将 $\overline{\text{SYNC}}$ 设置为低电平来启动代码组同步 (CGS) 过程，从而将 $\overline{\text{SYNC}}$ 信号置为有效

8. 实现 CGS 后，通过同时将 $\overline{\text{SYNC}}$ 设置为高电平以使所有 ADC 同步，并验证是否满足 SYNC 建立和保持时间（如节 5.9 表中所述），从而使 $\overline{\text{SYNC}}$ 信号无效

使用 SYSREF 的 NCO 同步（直流耦合）：

1. 器件必须经过设定才能正常运行
2. 将 JESD_EN 设置为 1 以启动 JESD204B 链路（SYNC 信号可在 CGS 过程期间正常响应）
3. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
4. 验证 SYSREF 是否已禁用（保持低电平）
5. 通过将 NCO_SYNC_NEXT 设置为 1 来启用 NCO 同步
6. 向所有 ADC 发出单个 SYSREF 脉冲，以同步所有器件中的 NCO

使用 SYSREF 的 NCO 同步（交流耦合）：

1. 器件必须经过设定才能正常运行
2. 将 JESD_EN 设置为 1 以启动 JESD204B 链路（SYNC 信号可在 CGS 过程期间正常响应）
3. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
4. 连续运行 SYSREF
5. 通过对 SPI 写入结束时最后一个数据位 (LSB) 的 SCLK 上升沿进行计时，在所有 ADC 同时将 NCO_SYNC_NEXT 设置为 1 来启用 NCO 同步，以便 SCLK 上升沿发生在 SYSREF 上升沿之后，并且足够早地发生在下一个 SYSREF 上升沿之前，以便在下一个 SYSREF 上升沿（建议使用较长 SYSREF 期间）之前启用触发器
6. 所有 ADC 中的 NCO 由下一个 SYSREF 上升沿同步

6.3.5.2 抽取滤波器

抽取滤波器经过精心设计，可提供 2、4、8 或 16 倍的可编程总体抽取。所有滤波器输出都具有 15 位分辨率。2 倍抽取率滤波器具有实数输出，而 4 倍抽取率、8 倍抽取率和 16 倍抽取率滤波器具有复数输出。表 6-10 列出了每种抽取模式的有效输出采样率、可用信号带宽、输出格式和阻带衰减。由于 I/Q 数据和复数信号的性质，复数输出模式的可用带宽是等效实数抽取模式的两倍。这种更高的带宽会导致 2 倍抽取实数模式和 4 倍抽取复数模式具有大致相同的有用输出带宽。

表 6-10. 输出采样率和信号带宽

抽取设置	$f_{(DEVCLK)}$				输出格式
	输出速率 (MSPS)	最大混叠保护信号带宽 (MHz)	阻带衰减	通带纹波	
无抽取	$f_{(DEVCLK)}$	$f_{(DEVCLK)}$ / 2	—	< ±0.001dB	实数信号，12 位数据
2 倍抽取率	$f_{(DEVCLK)}$ / 2	0.4 × $f_{(DEVCLK)}$ / 2	> 89dB	< ±0.001dB	实数信号，15 位数据
4 倍抽取率 (D4_AP87 = 0)	$f_{(DEVCLK)}$ / 4	0.8 × $f_{(DEVCLK)}$ / 4	> 90dB	< ±0.001dB	复数信号，15 位数据
4 倍抽取率 (D4_AP87 = 1)	$f_{(DEVCLK)}$ / 4	0.875 × $f_{(DEVCLK)}$ / 4	> 66dB	< ±0.005dB	复数信号，15 位数据
8 倍抽取率	$f_{(DEVCLK)}$ / 8	0.8 × $f_{(DEVCLK)}$ / 8	> 90dB	< ±0.001dB	复数信号，15 位数据
16 倍抽取率	$f_{(DEVCLK)}$ / 16	0.8 × $f_{(DEVCLK)}$ / 16	> 90dB	< ±0.001dB	复数信号，15 位数据

图 6-7 至图 6-18 提供了复合抽取滤波器响应。通带部分（黑色迹线）示出了响应的混叠保护区域。过渡带（红色迹线）显示了响应的转换区域，或混叠到转换区域中的区域，该转换区域不受混叠保护，因此所需信号不得处于该频带内。混叠带（蓝色迹线）显示了在抽取后混叠回通带的衰减，这些衰减足够低，可防止在通带中出现不需要的信号。使用模拟输入滤波来实现混叠频带的进一步衰减，或防止谐波、交错杂散或其他有害杂散信号在抽取滤波器之前折叠到所需的信号频带中。

Copyright © 2025 Texas Instruments Incorporated

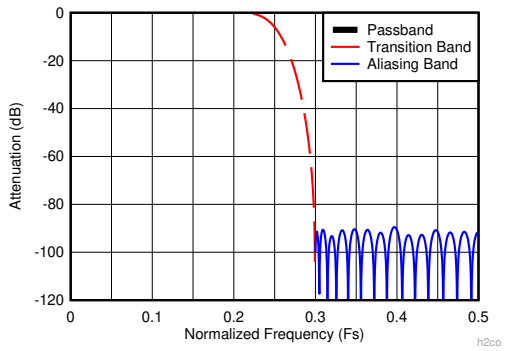


图 6-7. 2 倍抽取率复合响应 (D2_HIGH_PASS = 0)

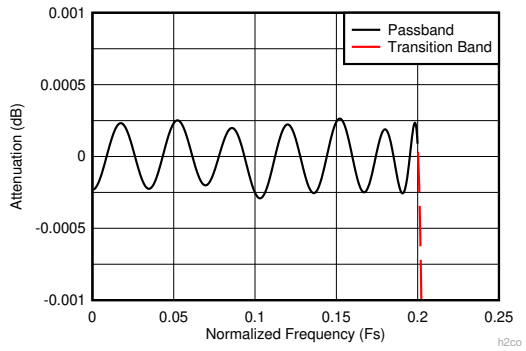


图 6-8. 2 倍抽取率复合放大通带响应 (D2_HIGH_PASS = 0)

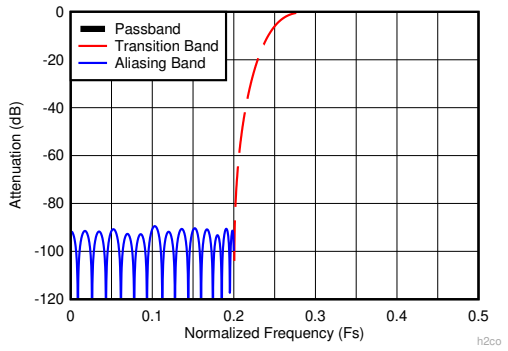


图 6-9. 2 倍抽取率复合响应 (D2_HIGH_PASS = 1)

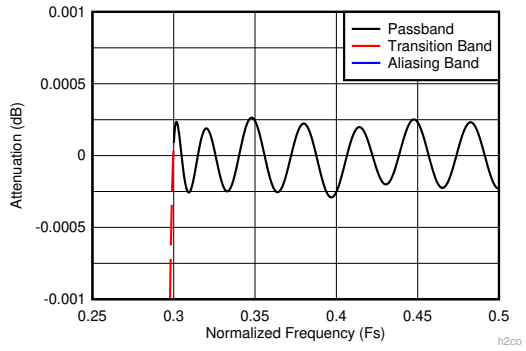


图 6-10. 2 倍抽取率复合放大通带响应 (D2_HIGH_PASS = 1)

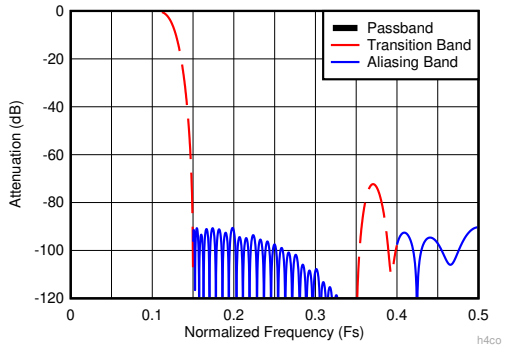


图 6-11. 4 倍抽取率复合响应 (D4_AP87 = 0)

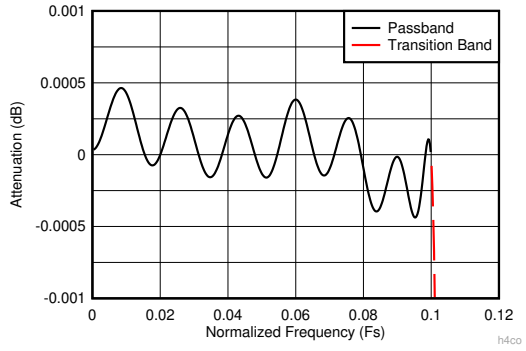


图 6-12. 4 倍抽取率复合放大通带响应 (D4_AP87 = 0)

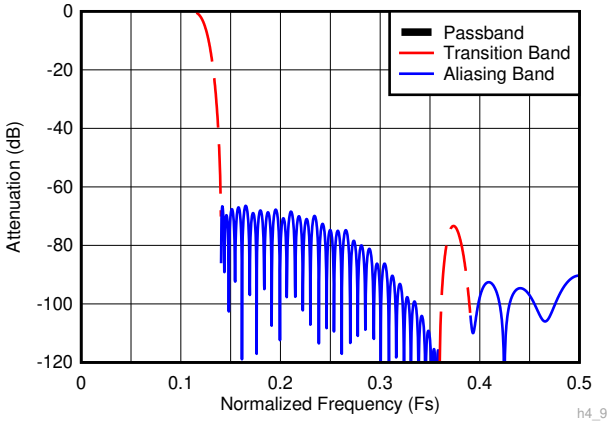


图 6-13. 4 倍抽取率复合响应 (D4_AP87 = 1)

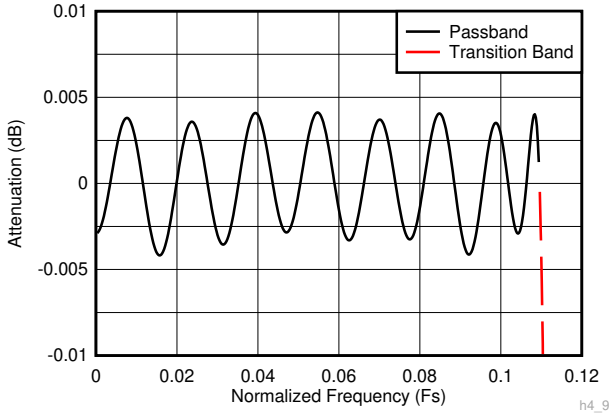


图 6-14. 4 倍抽取率复合放大通带响应 (D4_AP87 = 1)

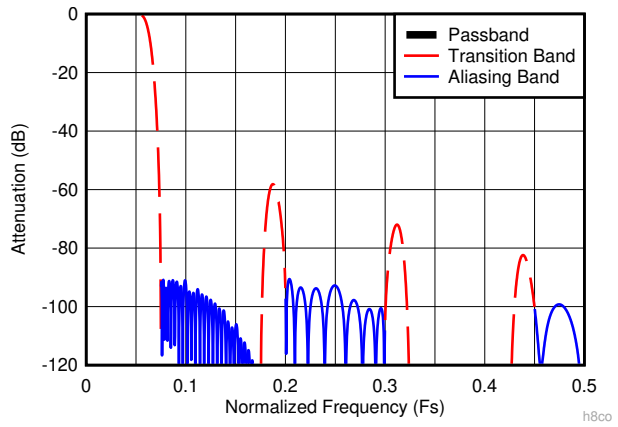


图 6-15. 8 倍抽取率复合响应

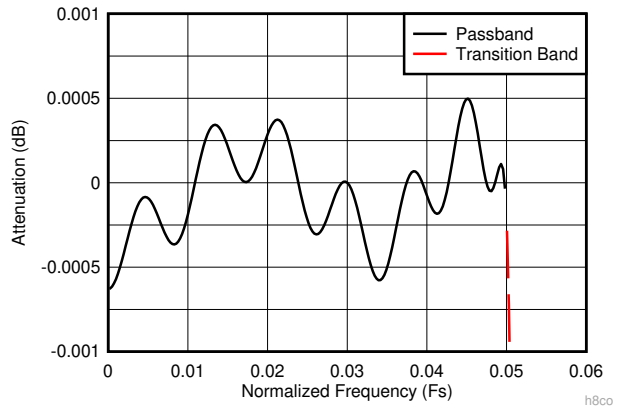


图 6-16. 8 倍抽取率复合放大通带响应

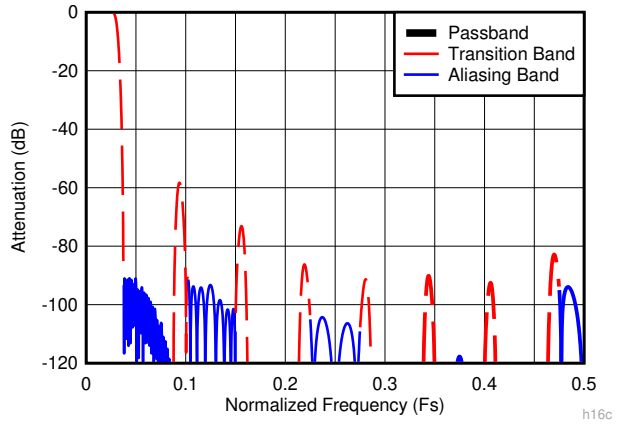


图 6-17. 16 倍抽取率复合响应

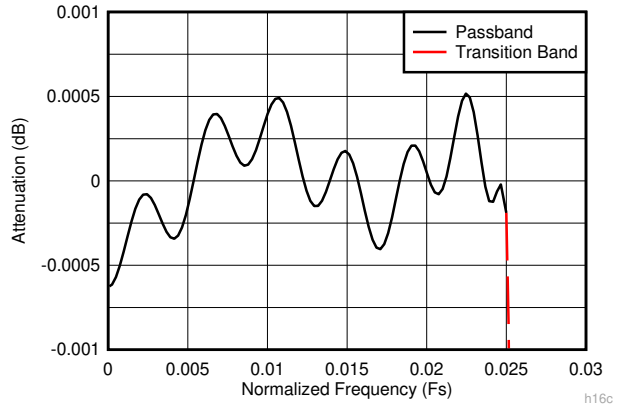


图 6-18. 16 倍抽取率复合放大通带响应

为了实现最高效率，一组高速滤波器块与用于每个抽取设置的特定块一起实现，以实现图 6-7 至图 6-18 中所示的复合响应。表 6-11 描述了用于每个抽取设置的滤波器块组合，表 6-12 列出了每个滤波器块的系数详细信息和抽取因子。系数是对称的，中心抽头用粗体文本表示。

表 6-11. 抽取模式滤波器用法

抽取设置	使用的滤波器块
2	CS80
4 (D4_AP87 = 0)	CS45、CS80
4 (D4_AP87 = 1)	CS45、CS87
8	CS20、CS40、CS80
16	CS10、CS20、CS40、CS80

表 6-12. 滤波器系数详细信息

滤波器系数集（滤波器的抽取因子）											
CS10 (2)		CS20 (2)		CS40 (2)		CS45 (2)		CS80 (2)		CS87 (2)	
-65	-65	109	109	-327	-327	56	56	-37	-37	-15	-15
0	0	0	0	0	0	0	0	0	0	0	0
577	577	-837	-837	2231	2231	-401	-401	118	118	23	23
1024		0	0	0	0	0	0	0	0	0	0
		4824	4824	-8881	-8881	1596	1596	-291	-291	-40	-40
		8192		0	0	0	0	0	0	0	0
				39742	39742	-4979	-4979	612	612	64	64
				65536		0	0	0	0	0	0

Copyright © 2025 Texas Instruments Incorporated

表 6-12. 滤波器系数详细信息（续）

滤波器系数集（滤波器的抽取因子）											
CS10 (2)		CS20 (2)		CS40 (2)		CS45 (2)		CS80 (2)		CS87 (2)	
						20113	20113	-1159	-1159	-97	-97
						32768		0	0	0	0
								2031	2031	142	142
								0	0	0	0
								-3356	-3356	-201	-201
								0	0	0	0
								5308	5308	279	279
								0	0	0	0
								-8140	-8140	-380	-380
								0	0	0	0
								12284	12284	513	513
								0	0	0	0
								-18628	-18628	-690	-690
								0	0	0	0
								29455	29455	939	939
								0	0	0	0
								-53191	-53191	-1313	-1313
								0	0	0	0
								166059	166059	1956	1956
								262144		0	0
										-3398	-3398
										0	0
										10404	10404
										16384	

6.3.5.3 输出数据格式

DDC 输出数据根据所选的 JMODE 而变化。实数 2 倍抽取率模式 (JMODE 9) 由 15 位实数输出数据组成。复数抽取模式（JMODE 10 至 16）（JMODE 12 除外）由 15 位附属数据加上两个超范围阈值检测控制位组成。JMODE 12 输出数据由 12 位复数数据组成，但不包括两个超范围阈值检测控制位，而这两个阈值检测控制位必须使用 ORA0、ORA1 和 ORB0、ORB1 输出引脚进行监控。表 6-13 列出了 JMODE 9 的数据格式，而表 6-14 列出了除 JMODE 12 之外所有 JMODE 的数据格式。

表 6-13. 实数抽取 (JMODE 9) 输出样本格式

DDC 通道	奇数、偶数样本	16 位输出字															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A	偶数	DDC A 偶数样本，15 位输出数据															OVR_T0
A	奇数	DDC A 奇数样本，15 位输出数据															OVR_T1
B	偶数	DDC B 偶数样本，15 位输出数据															OVR_T0
B	奇数	DDC B 奇数样本，15 位输出数据															OVR_T1

表 6-14. 复数抽取输出样本格式（JMODE 12 除外）

I/Q 样本	16 位输出字															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	DDC 同相 (I) 15 位输出数据															OVR_T0
Q	DDC 正交 (Q) 15 位输出数据															OVR_T1

6.3.5.4 抽取设置

6.3.5.4.1 抽取因子

抽取设置可以通过以下设置进行调节，并通过 JMODE 参数进行设置。有关可用的 JMODE 值和相应的抽取设置，请参阅表 6-18。

- DDC 旁路：无抽取、实时输出
- 2 倍抽取率：实数输出 (JMODE 9)
- 4 倍抽取率：复数输出（JMODE 10 至 12）
- 8 倍抽取率：复数输出（JMODE 13 至 14）
- 16 倍抽取率：复数输出（JMODE 15 至 16）

6.3.5.4.2 DDC 增益提升

DDC 增益提升（请参阅 DDC 配置寄存器）通过 DDC 块提供额外的增益。将 BOOST 设置为 1 会将总抽取滤波器链增益设置为 6.02dB。设置为 0 时，总抽取滤波器链的增益为 0dB。仅当输入信号的负图像被抽取滤波器滤除时才使用该设置，否则可能会发生削波。启用或禁用增益增强时，模拟性能并不会降低，但必须注意了解基准输出功率，以便进行正确的性能计算。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 JESD204B 接口

ADC12DJ3200QML-SP 使用 JESD204B 高速串行接口，可在数据转换器中将数据从 ADC 传输到接收逻辑器件。ADC12DJ3200QML-SP 串行通道能够以高达 12.8 Gbps 的速率运行，略高于 JESD204B 最大通道速率。最多可使用 16 个通道，从而降低与速度受限逻辑器件连接时的通道速率。图 6-19 显示了 JESD204B 接口协议的简化框图。

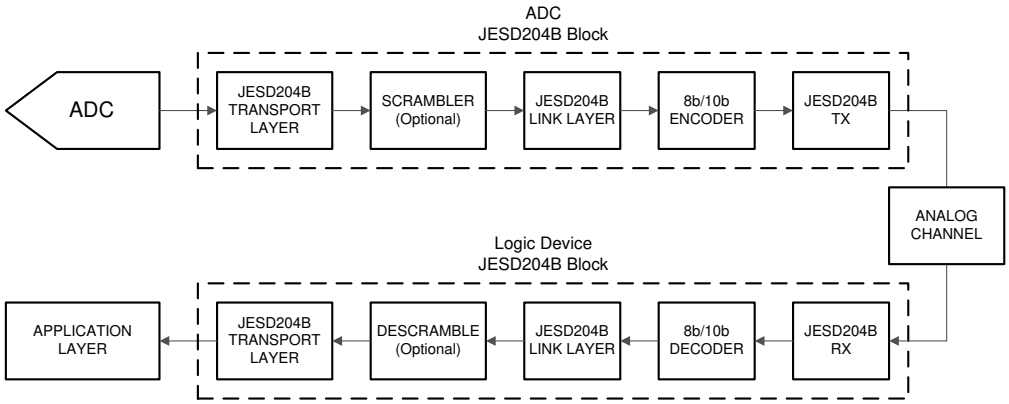


图 6-19. 简化的 JESD204B 接口图

JESD204B 接口中使用的各种信号和相关 ADC12DJ3200QML-SP 引脚名称在表 6-15 中进行了简要总结以供参考。

表 6-15. JESD204B 信号总结

信号名称	ADC12DJ3200QML-SP 引脚名称	说明
数据	DA0+...DA7+、DA0 – ...DA7 – 、DB0+...DB7+、DB0 – ...DB7 –	8b、10b 编码后的高速串行化数据
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$、TMSTP+、TMSTP –	链路初始化信号（握手），切换为低电平以启动代码组同步 (CGS) 过程
器件时钟	CLK+、CLK-	ADC 采样时钟，也用于为数字逻辑和输出串行器计时。
SYSREF	SYSREF+、SYSREF –	用于确定性复位每个 JESD204B 器件中的内部本地多帧计数器的系统定时基准

6.3.6.1 传输层

传输层从 ADC 输出（在抽取旁路模式下）或 DDC 输出中获取样本，并将样本映射到八位位组、帧、多帧和通道。采样映射由所使用的 JESD204B 模式定义，该模式由 L、M、F、S、N、N'、CF 等参数定义。在表 6-18 中定义的 ADC12DJ3200QML-SP 中有许多预定义的传输层模式。表 6-16 中介绍了 ADC12DJ3200QML-SP 中传输层的高级配置参数。为简单起见，只需设置 JMODE 参数和所需的 K 值即可选择传输层模式。作为参考，表 6-17 中定义了 JESD204B 的各种配置参数。

6.3.6.2 扰频器

可选的数据扰频器可用于在通过通道上传输之前对八位位组进行扰频。建议进行扰频，以避免传输数据中出现频谱峰值。JESD204B 接收器会自动将其解扰器与传入的扰频数据流同步。初始通道对齐序列 (ILA) 绝不会进行扰频。通过设置 SCR（在 JESD204B 控制寄存器中），可以启用扰频。

6.3.6.3 链路层

链路层在 JESD204B 中具有多种用途，包括建立代码边界（请参阅*代码组同步 (CGS)* 部分）、初始化链路（请参阅*初始通道对齐序列 (ILAS)* 部分）、对数据进行编码（请参阅 *8b、10b 编码* 部分）和监控链路运行状况（请参阅*帧和多帧监控* 部分）。

6.3.6.3.1 代码组同步 (CGS)

初始化 JESD204B 链路的第一步是在处理 SYSREF 后实现代码组同步。当准备好初始化链路时，接收器首先使 SYNC 信号变为有效。发送器通过发送一连串 K28.5 字符来响应请求。然后接收器将其字符时钟与 K28.5 字符序列对齐。成功接收到四个 K28.5 字符后，即可实现代码组同步。在实现 CGS 后，接收器在下一个本地多帧时钟 (LMFC) 边沿使 SYNC 变为无效，并等待发送器启动初始通道对齐序列。

6.3.6.3.2 初始通道对齐序列 (ILAS)

在发送器检测到 SYNC 信号无效后，它会一直等到其下一个 LMFC 边沿开始发送初始通道对齐序列为止。ILAS 由四个多帧组成，每个多帧都包含预定的序列。接收器会搜索 ILAS 的起始位置以确定帧和多帧边界。一旦 ILAS 到达每个通道的接收器，通道便会开始缓冲其数据，直到所有接收器都接收到 ILAS，然后同时从所有通道中释放 ILAS 以对齐这些通道。ILAS 的第二个多帧包含 JESD204B 的配置参数，接收器可以使用这些参数来验证发送器和接收器配置是否匹配。

6.3.6.3.3 8b、10b 编码

数据链路层会将传输层的 8 位八位位组转换为 10 位字符，以便使用 8b、10b 编码在链路中进行传输。8b、10b 编码可带来串行器/解串器链路的交流耦合的直流平衡，并为接收器提供足够数量的边沿转换，以可靠地恢复数据时钟。8b、10b 编码还提供了一些错误检测，在检测中可能发现的字符中的一位错误可能会导致无法找到 8b、10b 解码器查找表中的 10 位字符或字符差异不正确。

6.3.6.3.4 帧和多帧监控

ADC12DJ3200QML-SP 支持帧和多帧监控，以验证 JESD204B 链路的运行状况。如果帧的最后一个八位位组与前一帧的最后一个八位位组匹配，则第二帧的最后一个八位位组被替换为 /F/ (/K28.7/) 字符。如果第二帧也是多帧的最后一个帧，则改用 /A/ (/K28.3/) 字符。启用扰频时，如果帧的最后一个八位位组为 0xFC，则发送器会将该八位位组替换为 /F/ (/K28.7/) 字符。有扰频时，如果某个多帧的最后一个八位位组是 0x7C，则发送器会将该八位位组替换为 /A/ (/K28.3/) 字符。当接收器检测到 /F/ 或 /A/ 字符时，接收器会检查该字符是否出现在帧或多帧的末尾，并使用相应的数据字符替换该八位位组。如果对齐字符出现在错误的位置并触发链路重新对齐，则接收器会报告错误。

6.3.6.4 物理层

JESD204B 物理层由电流模式逻辑 (CML) 输出驱动器和接收器组成。接收器由时钟检测和恢复 (CDR) 单元组成，可从串行化数据流中提取数据时钟，其中可包含均衡器，以便校正物理传输通道的低通响应。同样，发送器可以包含预均衡功能，以解决通道上与频率相关的损耗。串行器/解串器链路的总覆盖范围取决于数据速率、电路板材料、连接器、均衡、噪声和抖动以及所需的误码性能。不必对串行器/解串器通道进行长度匹配，因为接收器会在初始通道对齐序列期间对齐这些通道。

6.3.6.4.1 串行器/解串器预加重功能

ADC12DJ3200QML-SP 高速输出驱动器可通过使用预加重功能对传输的数据流进行预均衡，进而补偿传输通道的低通响应。可配置的预加重设置可针对不同的 PCB 材料和信号传输距离对输出驱动波形进行优化。预加重设置通过串行器预加重设置 SER_PE（位于串行器预加重控制寄存器）进行调整。提高数值可增加预加重，进而补偿损耗更大的 PCB 材料。此调整最好与接收器中的眼图分析功能结合使用。调整预加重设置，以便针对特定的硬件配置和所需的线路速率优化眼图张开度。

6.3.6.5 JESD204B 启用

在修改任何其他 JESD204B 参数时，必须通过 JESD_EN（在 JESD204B 使能寄存器中）禁用 JESD204B 接口。当 JESD_EN 设置为 0 时，该块保持复位状态，并且串行器断电。此部分的时钟也会关闭以进一步省电。在根据需要设置这些参数时，可以启用 JESD204B 块（JESD_EN 设置为 1）。

6.3.6.6 多器件同步和确定性延迟

JESD204B 子类 1 概述了一种通过串行链路实现确定性延迟的方法。如果两个器件实现相同的确定性延迟，则可以将其视为同步。从系统启动到启动的这一延迟必须是确定性的。实现确定性延迟有两个关键要求。第一项要求

Copyright © 2025 Texas Instruments Incorporated

是正确采集 SYSREF 使 ADC12DJ3200QML-SP 能为其提供多种功能，以简化千兆采样时钟速率下的这一要求（有关更多信息，请参阅*用于多器件同步和确定性延迟的 SYSREF 采集*部分）。

第二项要求是在接收器中选择适当的弹性缓冲器释放点。因为 ADC12DJ3200QML-SP 是 ADC，因此在 JESD204B 链路接中 ADC12DJ3200QML-SP 是发送器 (TX)，而逻辑器件是接收器 (RX)。弹性缓冲器是实现确定性延迟的关键块，通过在数据从发送器传输到接收器时吸收串行化数据传播延迟的变化来实现。适当的释放点是针对延迟变化提供足够裕度的释放点。错误的释放点会导致一个 LMFC 周期的延迟变化。要选择合适的释放点，需要了解弹性缓冲器中以 LMFC 边沿为基准的数据的平均到达时间以及所有器件的总预期延迟变化。利用此信息，可以定义 LMFC 周期内无效释放点的区域，该区域从所有通道的最小延迟一直延展到最大延迟。本质上，设计人员必须确保所有通道的数据在释放点发生之前到达所有器件。

图 6-20 示出了用于演示此要求的时序图。在此图中，显示了两个 ADC 的数据。第二个 ADC 具有更长的布线距离 (t_{PCB})，因此链路延迟更长。首先，根据所有器件的数据到达时间，将 LMFC 周期的无效区域标记为关闭。然后，使用释放缓冲器延迟 (RBD) 参数设置释放点，将释放点从 LMFC 边缘移动适当数量的帧时钟，以便释放点发生在 LMFC 周期的有效区域内。在图 6-20 中，由于有效区域的每一侧都有足够的裕度，因此 LMFC 边沿 (RBD = 0) 是释放点的理想选择。

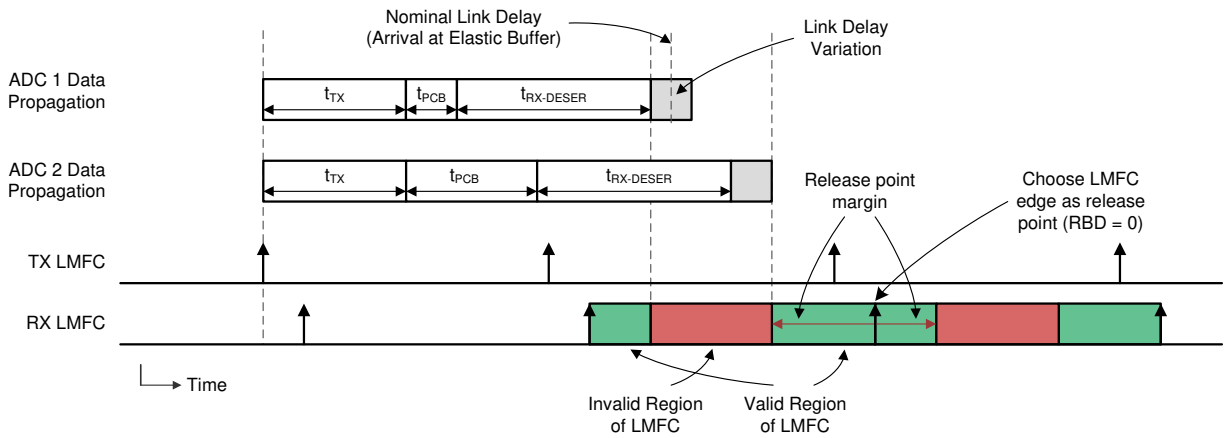


图 6-20. 用于弹性缓冲器释放点选择的 LMFC 有效区域定义

TX 和 RX LMFC 未必需要进行相位对齐，但了解其相位对于正确选择弹性缓冲器释放点至关重要。此外，弹性缓冲器释放点在每个 LMFC 周期内发生，但缓冲器仅在所有通道均已到达时释放。因此，总链路延迟可能超过单个 LMFC 周期；请参阅 *JESD204B 多器件同步：将要求进行分解技术概要*了解更多信息。

6.3.6.7 在子类 0 系统中运行

ADC12DJ3200QML-SP 可与子类 0 兼容，前提是不需要多 ADC 同步和确定性延迟。由于这些限制，该器件无需 SYSREF 应用即可运行。内部本地多帧时钟自动自生成，时序未知。SYNC 照常用来启动 CGS 和 ILA。

6.3.7 报警监控

许多内置警报可用于监控内部事件。此功能可检测多种类型的警报和翻转：

1. 串行器 PLL 未锁定
2. JESD204B 链路未传输数据（未处于数据传输状态）
3. SYSREF 会导致内部时钟重组
4. 一项会影响内部时钟的翻转

发生警报时，在 ALM_STATUS 中为每个特定的警报设置一个位。每个警报位保持为已设置状态，直到主机系统写入 1 以清除警报。如果未屏蔽警报类型（请参阅警报屏蔽寄存器），则 ALARM 寄存器上会显示警报。CALSTAT 输出引脚可以配置为警报输出，当发出警报时它会变为高电平；请参阅校准引脚配置寄存器中的 CAL_STATUS_SEL 位。

6.3.7.1 NCO 翻转检测

NCO_ALM 寄存器位指示通道 A 或 B 中的 NCO 是否已翻转。通道 A 中的 NCO 相位累加器持续与通道 B 进行比较。如果累加器甚至在一个时钟周期内不相同，NCO_ALM 寄存器位会被置位，并保持置位状态，直到主机系统通过写入 1 来将其清除。此特性能要求将 DDC A（PHASEAx、FREQAx）中每个 NCO 累加器的相位和频率字设置为与 DDC B（PHASEBx、FREQBx）中的 NCO 累加器相同的值。例如，PHASEA0 必须与 PHASEB0 相同，FREQA0 必须与 FREQB0 相同，但是 PHASEA1 可被设定为一个与 PHASEA0 不同的值。这一要求最终将可用于相位同调跳频的 NCO 频率数量从每个 DDC 四个减少到两个。通过将 NCOB[1:0] 引脚设置为不同于 NCOA[1:0] 的值，DDC B 可以使用与 DDC A 不同的 NCO 频率。此检测仅在 NCO 通过 SYSREF 或开始 ILA 序列进行同步后有效（由 NCO 同步寄存器确定）。为了使 NCO 翻转检测正常工作，请执行以下步骤：

1. 编程 JESD_EN = 0
2. 确保器件配置为使用两个通道（PD_ACH = 0，PD_BCH = 0）
3. 选择一个使用 NCO 的 JMODE
4. 将通道 A 和 B 的所有 NCO 频率和相位编程为相同（例如，FREQA0 = FREQB0、FREQA1 = FREQB1、FREQA2 = FREQB2、FREQA3 = FREQB3）
5. 如果需要，使用 CMODE 和 CSEL 寄存器或 NCOA[1:0] 和 NCOB[1:0] 引脚为通道 A 和通道 B 选择唯一频率
6. 编程 JESD_EN = 1
7. 同步 NCO（使用 ILA 或使用 SYSREF）；请参阅 NCO 相位同步
8. 向 NCO_ALM 寄存器位写入“1”将使其清零。
9. 如果 CAL_STATUS_SEL 配置正确，则监测 NCO_ALM 状态位或 CALSTAT 输出引脚
10. 如果在使能 NCO 时更改了频率或相位寄存器，则 NCO 可能会退出同步
11. 重复步骤 7 至 9。
12. 如果器件进入并退出全局断电模式，请重复步骤 7-9

Copyright © 2025 Texas Instruments Incorporated

6.3.7.2 时钟翻转检测

CLK_ALM 寄存器位会指明内部时钟是否已翻转。通道 A 中的时钟持续与通道 B 进行比较。如果时钟在甚至一个 DEVCLK/2 周期内不相同，CLK_ALM 寄存器位会被置位，并保持置位状态，直到主机系统通过写入 1 来清除。要使 CLK_ALM 寄存器位正常工作，请执行以下步骤：

1. 编程 JESD_EN = 0
2. 确保部件配置为使用两个通道 (PD_ACH = 0，PD_BCH = 0)
3. 编程 JESD_EN = 1
4. 写入 CLK_ALM = 1 以清除 CLK_ALM
5. 如果 CAL_STATUS_SEL 配置正确，则监测 CLK_ALM 状态位或 CALSTAT 输出引脚
6. 退出全局断电模式（通过 MODE 或 PD 引脚）时，可以设置 CLK_ALM 状态位，并且必须通过向 CLK_ALM 写入 1 来清除

6.3.8 温度监测二极管

TDIODE+ 和 TDIODE- 引脚上有一个内置热监测二极管。该二极管有助于在较高环境温度环境中监控温度对器件进行温度监测和表征分析。尽管片上二极管的表征不太明确，但通过在已知环境温度或电路板温度下执行基线测量（偏移电压），并使用 *电气特性：直流规格* 表中提供的二极管电压斜率创建线性方程，便可以有效地使用该二极管。在器件未上电或 PD 引脚置位的情况下执行失调电压测量，可更大限度地减少器件自发热。只有在进行偏移测量时，才可以长时间断开 PD 引脚。推荐的监控器件包括 LM95233 器件以及德州仪器 (TI) 的类似远程二极管温度监控产品。

6.3.9 模拟基准电压

ADC12DJ3200QML-SP 的基准电压源自内部带隙基准。为方便用户，BG 引脚上提供基准电压的缓冲版本。该输出具有 ±100μA 的输出电流能力。如果需要更大的电流，BG 输出必须被缓冲。未提供使用外部基准电压的配置，但满量程输入电压可以通过满标量程寄存器的设置进行调整。在特定情况下，通过设置 BG_BYPASS 可以将 VA11 电源电压用作基准电压（参见内部基准旁路寄存器）。

6.4 器件功能模式

ADC12DJ3200QML-SP 可配置为在多种功能模式下运行。本部分会介绍这些模式。

6.4.1 双通道模式

ADC12DJ3200QML-SP 可用作双通道 ADC，其中采样率等于在 CLK+ 和 CLK– 引脚提供的时钟频率 (f_S = f_{CLK})。AIN± 和 BIN± 这两个输入在此模式下作为每个通道的相应输入。只需将 JMODE 设置为所需配置的适当设置即可选择此模式，如表 6-18 中所述。可以通过设置 DUAL_INPUT 来交换模拟输入（请参阅输入多路复用器控制寄存器）

6.4.2 单通道模式（DES 模式）

ADC12DJ3200QML-SP 也可用作单通道 ADC，其采样率等于在 CLK+ 和 CLK– 引脚提供的时钟频率 (f_S = 2 × f_{CLK}) 的两倍。该模式有效地将两个 ADC 通道交错在一起，形成一个具有两倍采样率的单通道 ADC。只需将 JMODE 设置为所需配置的适当设置即可选择此模式，如表 6-18 中所述。模拟输入 INA± 或 INB± 都可以作为 ADC 的输入，但建议使用 INA± 以获得最佳性能。可以使用 SINGLE_INPUT 来选择模拟输入（请参阅输入多路复用器控制寄存器）。数字下变频器无法在单通道模式下使用。

备注

为了在单通道模式下优化性能，请使用 INA± 作为 ADC 的输入。

6.4.3 JESD204B 模式

ADC12DJ3200QML-SP 可编程为单通道或双通道 ADC，具有或不具有抽取功能以及数字 JESD204B 输出格式。表 6-16 总结了基本工作模式配置参数以及这些参数是由用户配置的还是派生的。

小心

将高速数据输出（DA0± ...DA7±、DB0± ...DB7±）断电过长时间可能会损坏输出串行器，尤其是在高数据速率下。有关串行器可靠运行的信息，请参阅*断电模式*部分。

表 6-16. ADC12DJ3200QML-SP 工作模式配置参数

参数	说明	用户配置或推导出	值
JMODE	在 JESD204B 工作模式下，可自动获得其余的 JESD204B 参数、单通道或双通道模式以及抽取因子	用户配置	由 JMODE 设置（请参阅 JESD204B 模式寄存器）
D	抽取因子	推导出	请参阅 表 6-18
DES	1 = 单通道模式，0 = 双通道模式	推导出	请参阅 表 6-18
R	每个 DEVCLK 周期中每个通道传输的位数。JESD204B 线路速率为 DEVCLK 频率乘以 R。此参数可设置串行器/解串器 PLL 的乘法因子或控制串行器/解串器 PLL 的旁路。	推导出	请参阅 表 6-18
链路	使用的 JESD204B 链路数	推导出	请参阅 表 6-18
K	每个多帧的帧数	用户配置	由 KM1 设置（请参阅 JESD204B K 参数寄存器），请参阅表 6-18 中的允许值

定义 JESD204B 格式需要许多参数，所有这些参数都在初始通道对齐序列期间通过链路发送。在 ADC12DJ3200QML-SP 中，大多数参数是根据所选的 JMODE 自动推导出的；但是，少数参数由用户配置。表 6-17 介绍了这些参数。

表 6-17. JESD204B 初始通道对齐序列参数

参数	说明	用户配置或推导出	值
ADJCNT	LMFC 调整量（不适用）	推导出	始终为 0

Copyright © 2025 Texas Instruments Incorporated

表 6-17. JESD204B 初始通道对齐序列参数（续）

参数	说明	用户配置或推导出	值
ADJDIR	LMFC 调整方向（不适用）	推导出	始终为 0
BID	存储体 ID	推导出	始终为 0
CF	每帧的控制字数	推导出	始终为 0
CS	每个样本的控制位	推导出	在 ILAS 中始终设置为 0，实际用法请参阅 表 6-18
DID	器件标识符，用于标识链路	用户配置	由 DID 设置（请参阅 JESD204B DID 参数寄存器），请参阅表 6-19
F	每帧的八位位组（字节）数（每通道）	推导出	请参阅 表 6-18
HD	高密度格式（在各通道间拆分样本）	推导出	始终为 0
JESDV	JESD204 标准修订版	推导出	始终为 1
K	每个多帧的帧数	用户配置	由 KM1 寄存器设置，请参阅 JESD204B K 参数寄存器
L	每个链路的串行输出通道数	推导出	请参阅 表 6-18
LID	每个通道的通道标识符	推导出	请参阅 表 6-19
M	用于确定通道位封装的转换器数量；可能与器件中的 ADC 通道数量不一致	推导出	请参阅 表 6-18
N	采样分辨率（添加控制位和尾位之前）	推导出	请参阅 表 6-18
N'	添加控制和尾位后每个样本的位数	推导出	请参阅 表 6-18
S	每帧每个转换器 (M) 的样本数	推导出	请参阅 表 6-18
SCR	启用扰频器	用户配置	由 JESD204B 控制寄存器设置
SUBCLASSV	器件子类版本	推导出	始终为 1
RES1	保留字段 1	推导出	始终为 0
RES2	保留字段 2	推导出	始终为 0
CHKSUM	用于 ILAS 检查的校验和（以上所有参数的总和，模数为 256）	推导出	根据该表中的参数进行计算

通过使用称为 JMODE 的单个配置参数，可以轻松配置 ADC12DJ3200QML-SP（请参阅 JESD204B 模式寄存器）。使用 表 6-18，可以找到所需工作模式的正确 JMODE 值。表 6-18 中列出的模式是唯一可用的工作模式。该表还给出了 K 参数（由 KM1 设置，请参阅 JESD204B K 参数寄存器）的范围和允许的步长，该参数以帧数设置多帧长度。

表 6-18. ADC12DJ3200QML-SP 工作模式

ADC12DJ3200QML-SP 工作模式	用户指定的参数		推导出的参数											输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	D	DES	链路	N	CS	N'	L（每个链路）	M（每个链路）	F	S	R (Fbit / Fclk)	
12 位，单通道，8 通道	0	3:1:32	1	1	2	12	0	12	4	4(1)	8	5	4	800-3200
12 位，单通道，16 通道	1	3:1:32	1	1	2	12	0	12	8	8(1)	8	5	2	800-3200
12 位，双通道，8 通道	2	3:1:32	1	0	2	12	0	12	4	4(1)	8	5	4	800-3200
12 位，双通道，16 通道	3	3:1:32	1	0	2	12	0	12	8	8(1)	8	5	2	800-3200
8 位，单通道，4 通道	4	18:2:32	1	1	2	8	0	8	2	1	1	2	5	800-2560
8 位，单通道，8 通道	5	18:2:32	1	1	2	8	0	8	4	1	1	4	2.5	800-3200
8 位，双通道，4 通道	6	18:2:32	1	0	2	8	0	8	2	1	1	2	5	800-2560
8 位，双通道，8 通道	7	18:2:32	1	0	2	8	0	8	4	1	1	4	2.5	800-3200
保留	8	—	—	—	—	—	—	—	—	—	—	—	—	—

表 6-18. ADC12DJ3200QML-SP 工作模式（续）

ADC12DJ3200QML-SP 工作模式	用户指定的参数		推导出的参数											输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	D	DES	链路	N	CS	N'	L（每个链路）	M（每个链路）	F	S	R (Fbit / Fclk)	
15 位，实数数据，2 倍抽取率，8 通道	9	9:1:32	2	0	2	15	1(2)	16	4	1	2	4	2.5	800-3200
15 位，4 倍抽取率，4 通道	10	9:1:32	4	0	2	15	1(2)	16	2	2	2	1	5	800-2560
15 位，4 倍抽取率，8 通道	11	9:1:32	4	0	2	15	1(2)	16	4	2	2	2	2.5	800-3200
12 位，4 倍抽取率，16 通道	12	3:1:32	4	0	2	12	0	12	8	8(1)	8	5	1	1000-3200
15 位，8 倍抽取率，2 通道	13	5:1:32	8	0	2	15	1(2)	16	1	2	4	1	5	800-2560
15 位，8 倍抽取率，4 通道	14	9:1:32	8	0	2	15	1(2)	16	2	2	2	1	2.5	800-3200
15 位，16 倍抽取率，1 通道	15	3:1:32	16	0	1	15	1(2)	16	1	4	8	1	5	800-2560
15 位，16 倍抽取率，2 通道	16	5:1:32	16	0	2	15	1(2)	16	1	2	4	1	2.5	800-3200
8 位，单通道，16 通道	17	18:2:32	1	1	2	8	0	8	8	1	1	8	1.25	800-3200
8 位，双通道，16 通道	18	18:2:32	1	0	2	8	0	8	8	1	1	8	1.25	800-3200

(1) 在这些模式下 M 等于 L，以便可以通过 L 通道按时间顺序发送样本。M 参数并不代表实际的转换器数。将来自接收器中每条链路的 M 样本流交错，以生成正确的样本数据；有关更多详细信息，请参阅表 6-20 至表 6-37 了解更多详情。
(2) 在 ADC12DJ3200QML-SP 的初始通道对齐序列 (ILAS) 中，$\overline{CS}$ 始终报告为 0。

Copyright © 2025 Texas Instruments Incorporated

ADC12DJ3200QML-SP 共有 16 个高速输出驱动器，这些驱动器分为两个 8 通道 JESD204B 链路。大多数工作模式使用两个链路，每个链路最多八个通道。有关通道及其派生配置参数的说明，请参阅 表 6-19。在指定的 JMODE 中，使用每个链路索引度最低的通道，每个链路索引度较高的通道会自动断电。始终将索引度最低的通道路由到逻辑器件。

表 6-19. ADC12DJ3200QML-SP 通道分配和参数

器件引脚名称	链路	DID（用户配置）	LID（派生）
DA0±	A	由 DID 设置（请参阅 JESD204B DID 参数寄存器），有效 DID 等于 DID 寄存器设置 (DID)	0
DA1±			1
DA2±			2
DA3±			3
DA4±			4
DA5±			5
DA6±			6
DA7±			7
DB0±	B	由 DID 设置（请参阅 JESD204B DID 参数寄存器），有效 DID 等于 DID 寄存器设置加 1 (DID+1)	0
DB1±			1
DB2±			2
DB3±			3
DB4±			4
DB5±			5
DB6±			6
DB7±			7

6.4.3.1 JESD204B 输出数据格式

对于每个 JMODE 设置，输出数据以特定的优化方式进行格式化。不使用 DDC 时（抽取率 = 1），12 位偏移的二进制值将映射到八位位组。在 DDC 模式下，16 位值（15 位复数数据加 1 个超范围位）映射到八位位组。下表给出了单帧的具体映射格式。在所有映射中，尾位 (T) 均为 0（零）。在表 6-20 到表 6-37 中，单通道格式样本被定义为 Sn，其中 n 是帧内的样本编号。在双通道实数输出格式（DDC 旁路和 2 倍抽取率）中，样本定义为 A 和 Bn，其中 A 是通道 A 的样本，Bn 是通道 B 的样本。在复数输出格式中（4 倍抽取率、8 倍抽取率、16 倍抽取率），样本定义为 AIn、AQn、BIn 和 BQn，其中，AIn 和 AQn 是通道 A 的同相和正交相位样本，而 BIn 和 BQn 是通道 B 的同相和正交相位样本。所有样本的格式都先设置为 MSB，最后设置为 LSB。

表 6-20. JMODE 0（12 位，1 倍抽取率，单通道，8 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S0		S8				S16				S24		S32			T
DA1	S2		S10				S18				S26		S34			T
DA2	S4		S12				S20				S28		S36			T
DA3	S6		S14				S22				S30		S38			T
DB0	S1		S9				S17				S25		S33			T
DB1	S3		S11				S19				S27		S35			T
DB2	S5		S13				S21				S29		S37			T
DB3	S7		S15				S23				S31		S39			T

表 6-21. JMODE 1（12 位，1 倍抽取率，单通道，16 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S0		S16				S32				S48		S64			T
DA1	S2		S18				S34				S50		S66			T
DA2	S4		S20				S36				S52		S68			T
DA3	S6		S22				S38				S54		S70			T
DA4	S8		S24				S40				S56		S72			T
DA5	S10		S26				S42				S58		S74			T
DA6	S12		S28				S44				S60		S76			T
DA7	S14		S30				S46				S62		S78			T
DB0	S1		S17				S33				S49		S65			T
DB1	S3		S19				S35				S51		S67			T
DB2	S5		S21				S37				S53		S69			T
DB3	S7		S23				S39				S55		S71			T
DB4	S9		S25				S41				S57		S73			T
DB5	S11		S27				S43				S59		S75			T
DB6	S13		S29				S45				S61		S77			T
DB7	S15		S31				S47				S63		S79			T

表 6-22. JMODE 2（12 位，1 倍抽取率，双通道，8 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A0		A4				A8				A12		A16			T
DA1	A1		A5				A9				A13		A17			T
DA2	A2		A6				A10				A14		A18			T
DA3	A3		A7				A11				A15		A19			T
DB0	B0		B4				B8				B12		B16			T
DB1	B1		B5				B9				B13		B17			T
DB2	B2		B6				B10				B14		B18			T
DB3	B3		B7				B11				B15		B19			T

Copyright © 2025 Texas Instruments Incorporated

表 6-23. JMODE 3（12 位，1 倍抽取率，双通道，16 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A0		A8		A16		A24		A32		T					
DA1	A1		A9		A17		A25		A33		T					
DA2	A2		A10		A18		A26		A34		T					
DA3	A3		A11		A19		A27		A35		T					
DA4	A4		A12		A20		A28		A36		T					
DA5	A5		A13		A21		A29		A37		T					
DA6	A6		A14		A22		A30		A38		T					
DA7	A7		A15		A23		A31		A39		T					
DB0	B0		B8		B16		B24		B32		T					
DB1	B1		B9		B17		B25		B33		T					
DB2	B2		B10		B18		B26		B34		T					
DB3	B3		B11		B19		B27		B35		T					
DB4	B4		B12		B20		B28		B36		T					
DB5	B5		B13		B21		B29		B37		T					
DB6	B6		B14		B22		B30		B38		T					
DB7	B7		B15		B23		B31		B39		T					

表 6-24. JMODE 4（8 位，1 倍抽取率，单通道，4 通道）

八位位组	0	
半字节	0	1
DA0	S0	
DA1	S2	
DB0	S1	
DB1	S3	

表 6-25. JMODE 5（8 位，1 倍抽取率，单通道，8 通道）

八位位组	0	
半字节	0	1
DA0	S0	
DA1	S2	
DA2	S4	
DA3	S6	
DB0	S1	
DB1	S3	
DB2	S5	
DB3	S7	

表 6-26. JMODE 6（8 位，1 倍抽取率，双通道，4 通道）

八位位组	0	
半字节	0	1
DA0	A0	
DA1	A1	
DB0	B0	
DB1	B1	

表 6-27. JMODE 7（8 位，1 倍抽取率，双通道，8 通道）

八位位组	0	
半字节	0	1
DA0	A0	
DA1	A1	
DA2	A2	
DA3	A3	
DB0	B0	
DB1	B1	
DB2	B2	
DB3	B3	

表 6-28. JMODE 9（15 位，2 倍抽取率，双通道，8 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	A0			
DA1	A1			
DA2	A2			
DA3	A3			
DB0	B0			
DB1	B1			
DB2	B2			
DB3	B3			

表 6-29. JMODE 10（15 位，4 倍抽取率，双通道，4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI0			
DA1	AQ0			
DB0	BI0			
DB1	BQ0			

表 6-30. JMODE 11（15 位，8 倍抽取率，双通道，4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI0			
DA1	AI1			
DA2	AQ0			
DA3	AQ1			
DB0	BI0			
DB1	BI1			
DB2	BQ0			
DB3	BQ1			

Copyright © 2025 Texas Instruments Incorporated

表 6-31. JMODE 12（12 位，4 倍抽取率，双通道，16 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	AI0		AI4		AI8		AI12		AI16		T					
DA1	AQ0		AQ4		AQ8		AQ12		AQ16		T					
DA2	AI1		AI5		AI9		AI13		AI17		T					
DA3	AQ1		AQ5		AQ9		AQ13		AQ17		T					
DA4	AI2		AI6		AI10		AI14		AI18		T					
DA5	AQ2		AQ6		AQ10		AQ14		AQ218		T					
DA6	AI3		AI7		AI11		AI15		AI19		T					
DA7	AQ3		AQ7		AQ11		AQ15		AQ19		T					
DB0	BI0		BI4		BI8		BI12		BI16		T					
DB1	BQ0		BQ4		BQ8		BQ12		BQ16		T					
DB2	BI1		BI5		BI9		BI13		BI17		T					
DB3	BQ1		BQ5		BQ9		BQ13		BQ17		T					
DB4	BI2		BI6		BI10		BI14		BI18		T					
DB5	BQ2		BQ6		BQ10		BQ14		BQ218		T					
DB6	BI3		BI7		BI11		BI15		BI19		T					
DB7	BQ3		BQ7		BQ11		BQ15		BQ19		T					

表 6-32. JMODE 13（15 位，8 倍抽取率，双通道，2 通道）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
DA0	AI0				AQ0			
DB0	BI0				BQ0			

表 6-33. JMODE 14（15 位，8 倍抽取率，双通道，4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI0			
DA1	AQ0			
DB0	BI0			
DB1	BQ0			

表 6-34. JMODE 15（15 位，16 倍抽取率，双通道，1 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	AI0				AQ0				BI0				BQ0			

表 6-35. JMODE 16（15 位，16 倍抽取率，双通道，2 通道）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
DA0	AI0				AQ0			
DB0	BI0				BQ0			

表 6-36. JMODE 17（8 位，1 倍抽取率，单通道，16 通道）

八位位组	0	
半字节	0	1
DA0	S0	
DA1	S2	
DA2	S4	
DA3	S6	
DA4	S8	
DA5	S10	
DA6	S12	
DA7	S14	
DB0	S1	
DB1	S3	
DB2	S5	
DB3	S7	
DB4	S9	
DB5	S11	
DB6	S13	
DB7	S15	

表 6-37. JMODE 18（8 位，1 倍抽取率，双通道，16 通道）

八位位组	0	
半字节	0	1
DA0	A0	
DA1	A1	
DA2	A2	
DA3	A3	
DA4	A4	
DA5	A5	
DA6	A6	
DA7	A7	
DB0	B0	
DB1	B1	
DB2	B2	
DB3	B3	
DB4	B4	
DB5	B5	
DB6	B6	
DB7	B7	

Copyright © 2025 Texas Instruments Incorporated

6.4.3.2 双 DDC 和冗余数据模式

在双通道模式下运行时，可以使用 DIG_BIND_A 或 DIG_BIND_B 将来自一个通道的数据路由到两个数字下变频器块（请参阅数字通道绑定寄存器）。此特性可实现从单个 ADC 通道对两个单独的捕获频带进行降频转换。在此模式下，可以通过设置 PD_ACH 或 PD_BCH（请参阅器件配置寄存器）将第二个 ADC 断电。

此外，通过将数据从一个 ADC 通道路由到两个 JESD204B 链路，DIG_BIND_A 或 DIG_BIND_B 可用于为单独的数字处理器提供冗余数据。冗余数据模式可用于除单通道模式之外的所有 JMODE 模式。图 6-21 演示了双 DDC 模式和冗余数据模式，其中 ADC 通道 A 的数据路由到两个 DDC，然后传输到单个处理器或两个处理器（用于冗余）。

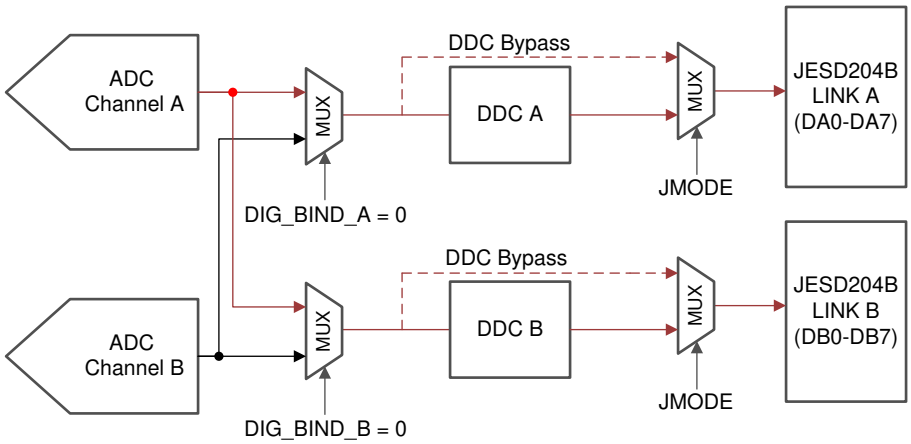


图 6-21. 通道 A 的双 DDC 模式或冗余数据模式

6.4.4 断电模式

PD 输入引脚允许 ADC12DJ3200QML-SP 器件完全断电。断电也可以通过 MODE 控制（请参阅器件配置寄存器）。当 PD 为高电平时，串行数据输出驱动器被禁用。当器件恢复正常运行时，必须重新建立 JESD204 链路，而且由于 ADC 流水线和抽取滤波器包含无意义的信息，系统必须等待足够的时间来刷新数据。如果需要通过断电来节能，系统必须关闭 VA19、VA11 和 VD11 的电源稳压器，而不是使用 PD 输入或 MODE 设置。

小心

将高速数据输出（DA0± ...DA7、DB0 ...DB7±）断电过长时间可能会损坏输出串行器，尤其是在高数据速率下。当 PD 引脚保持高电平，MODE 寄存器设定为 0x00 或 0x01 以外的值，PD_ACH 或 PD_BCH 寄存器设置设定为 1，或 JMODE 寄存器设置设定为所用通道数少于器件允许的 16 个的模式时，会使串行器断电。例如，JMODE 0 总共使用八个通道，因此每个 JESD204B 链路四个索引最高的通道（DA4±...DA7、DB4 ...DB7±）在此模式下会断电。当 PD 引脚保持高电平或 MODE 寄存器被设定为 0x00 或 0x01 以外的值时，所有输出串行器都会断电。当 PD_ACH 或 PD_BCH 寄存器设置设定为 1 时，关联的 ADC 通道和通道会断电。为了防止运行不稳定，PD 引脚和 MODE 寄存器只能短时间用于温度二极管偏移测量，不能用于长期节能。此外，如果使用少于 16 个通道的 JMODE，则会导致未使用的通道运行不稳定。如果系统绝不会在器件的生命周期内使用未使用的通道，则未使用的通道不会导致问题，可以将其断电。如果系统稍后可以利用未使用的通道，则可以通过启用 JEXTRA_A 和 JEXTRA_B 来保持串行器输出的可靠运行，这会导致 VD11 功耗增加并使输出串行器切换。

Copyright © 2025 Texas Instruments Incorporated

6.4.5 测试模式

可使用多种器件测试模式。这些模式将已知的信息模式插入器件数据路径中，以协助系统调试、开发或表征分析。

6.4.5.1 串行器测试模式详细信息

通过将 JTEST（请参阅 JESD204B 测试模式控制寄存器）设置为所需的测试模式来启用测试模式。以下各节详细介绍了每个测试模式。无论使用何种测试模式，串行器输出都会根据 JMODE 上电。仅在禁用 JESD204B 链路时启用测试模式。图 6-22 提供了展示各种测试模式插入点的例图。

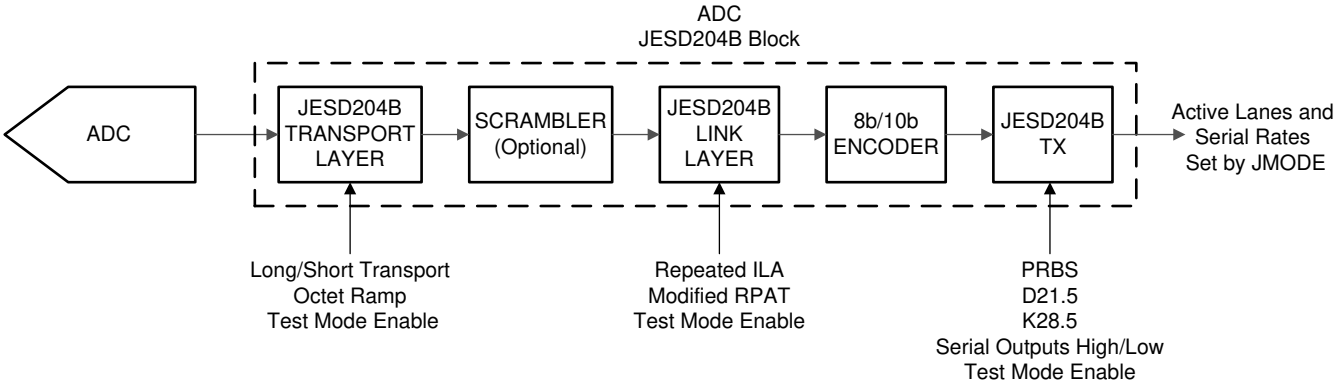


图 6-22. 测试模式插入点

6.4.5.2 PRBS 测试模式

PRBS 测试模式绕过 8b、10b 编码器。这些测试模式产生符合 ITU-T O.150 规范的伪随机位流。这些位流与可以自同步到位模式的实验室测试设备配合使用，因此未定义模式的初始相位。

序列由递归公式定义。例如，方程式 10 可定义 PRBS7 序列。

$$y[n] = y[n - 6] \oplus y[n - 7] \tag{10}$$

其中

- 位 n 是之前发送的位 [n – 6] 和位 [n – 7] 的异或运算结果

表 6-38 列出了可用 PRBS 测试模式的公式和序列长度。该模式的初始相位对于每个通道都具有唯一性。

表 6-38. PBRS 模式公式

PRBS 测试模式	序列	序列长度（位）
PRBS7	$y[n] = y[n - 6] \oplus y[n - 7]$	127
PRBS15	$y[n] = y[n - 14] \oplus y[n - 15]$	32767
PRBS23	$y[n] = y[n - 18] \oplus y[n - 23]$	8388607

6.4.5.3 斜坡测试模式

在斜坡测试模式下，JESD204B 链路层正常运行，但传输层被禁用，格式器的输入被忽略。在 ILA 序列之后，每个通道传输一个相同的八位位组流，该八位位组流从 0x00 递增至 0xFF 并重复。

6.4.5.4 近程和远程传输测试模式

JESD204B 可定义近程和远程传输测试模式，以验证发送器和接收器中的传输层是否正常运行。ADC12DJ3200QML-SP 具有三种不同的传输层测试模式，具体取决于指定 JMODE 的 N' 值（请参阅表 6-18）。

6.4.5.4.1 近程传输测试模式

近程传输测试模式可发送预定义的八位位组格式，该格式在每帧中重复发生。在 ADC12DJ3200QML-SP 中，N' 值为 8 或 12 的所有 JMODE 配置都使用短传输测试模式。表 6-39 和表 6-40 定义了 N' 值 8 和 12 的短传输测试模式。图中显示了所有适用的通道，但仅使用为配置的 JMODE 启用的通道（索引度最低）。

表 6-39. N' = 8 种模式的近程传输测试模式（长度 = 2 帧）

帧	0	1
DA0	0x00	0xFF
DA1	0x01	0xFE
DA2	0x02	0xFD
DA3	0x03	0xFC
DB0	0x00	0xFF
DB1	0x01	0xFE
DB2	0x02	0xFD
DB3	0x03	0xFC

表 6-40. N' = 12 种模式的近程传输测试模式（长度 = 1 帧）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	0xF01		0xF02		0xF03		0xF04		0xF05		T					
DA1	0xE11		0xE12		0xE13		0xE14		0xE15		T					
DA2	0xD21		0xD22		0xD23		0xD24		0xD25		T					
DA3	0xC31		0xC32		0xC33		0xC34		0xC35		T					
DA4	0xB41		0xB42		0xB43		0xB44		0xB45		T					
DA5	0xA51		0xA52		0xA53		0xA54		0xA55		T					
DA6	0x961		0x962		0x963		0x964		0x965		T					
DA7	0x871		0x872		0x873		0x874		0x875		T					
DB0	0xF01		0xF02		0xF03		0xF04		0xF05		T					
DB1	0xE11		0xE12		0xE13		0xE14		0xE15		T					
DB2	0xD21		0xD22		0xD23		0xD24		0xD25		T					
DB3	0xC31		0xC32		0xC33		0xC34		0xC35		T					
DB4	0xB41		0xB42		0xB43		0xB44		0xB45		T					
DB5	0xA51		0xA52		0xA53		0xA54		0xA55		T					
DB6	0x961		0x962		0x963		0x964		0x965		T					
DB7	0x871		0x872		0x873		0x874		0x875		T					

Copyright © 2025 Texas Instruments Incorporated

6.4.5.4.2 远程传输测试模式

远程传输测试模式用于 N' 等于 16 的所有 JMODE 模式。根据 JESD204B 标准生成模式，对于表 6-18 中定义的每个输出格式，这些模式都是不同的。下面定义了模式的规则。方程式 11 提供测试模式的长度。链路 A 和链路 B 的远程传输测试模式相同，其中 DAx 通道属于链路 A，DBx 通道属于链路 B。

$$\text{Long Test Pattern Length (Frames)} = K \times \text{ceil}[(M \times S + 2) / K] \quad (11)$$

- 样本数据：
  - 第 0 帧：每个样本包含 N 位，其中所有样本均设置为转换器 ID (CID) + 1 (CID + 1)。CID 是根据链路中的转换器编号定义的；除 JMODE 15 之外的所有模式中均使用两个链路。在一个链路中，转换器按通道（A 或 B）、同相 (I) 和正交相位 (Q) 进行编号，链路之间可复位。例如，在 JMODE 10 中使用了两个链路，因此通道 A 和 B 数据将分隔为单独的链路，并且每个通道的同相分量的 CID = 0，且正交相位分量的 CID = 1。在 JMODE 15 中，使用了一个链路，因此通道 A 和 B 在同一链路中，AI 的 CID = 0，AQ 的 CID = 1，BI 的 CID = 2，BQ 的 CID = 3。
  - 第 1 帧：每个样本包含 N 位，其中每个样本（对于每个转换器）被设定为帧内单独样本 ID (SID) 加 1 (SID + 1)。
  - 帧 2 +：每个样本包含 N 位，所有样本的数据设置为 2^{N-1}（例如，如果 N 为 15，则 2^{N-1} = 16384）
- 控制位（如果 $\overline{CS}$ > 0）：
  - 帧 0 到 M × S – 1：属于转换器本底（I、S）的样本调制器（I、S）的控制位设置为 1，所有其他位设置为 0，其中 I 是帧索引（i = 0 是模式的第一个帧）。本质上，控制位从索引度最低的采样*移动到*索引度最高的采样，并从索引度最低的转换器移动到索引度最高的转换器，每帧改变位置。
  - 帧 M × S +：所有控制位均设置为 0。

表 6-41 描述了当 JMODE = 10、K = 10 时的示例远程传输测试模式。

表 6-41. 远程传输测试模式示例（JMODE = 10、K = 10）

TIME →																						模式重复→
八位位组编号	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
DA0	0x0003		0x0002		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0003	
DA1	0x0004		0x0003		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0004	
DB0	0x0003		0x0002		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0003	
DB1	0x0004		0x0003		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0004	
	帧 n		帧 n + 1		帧 n + 2		帧 n + 3		帧 n + 4		帧 n + 5		帧 n + 6		帧 n + 7		帧 n + 8		帧 n + 9		帧 n + 10	

模式从初始通道对齐序列 (ILAS) 结束时开始，并在链路保持运行时无限期重复。有关更多详细信息，请参阅 JESD204B 规范第 5.1.6.3 节。

6.4.5.5 D21.5 测试模式

在此测试模式下，控制器发送连续的 D21.5 字符串流（交替显示 0s 和 1s）。

6.4.5.6 K28.5 测试模式

在此测试模式下，控制器发送连续的 K28.5 字符流。

6.4.5.7 重复 ILA 测试模式

在此测试模式下，JESD204B 链路层正常运行，但 ILA 序列 (ILAS) 会无限期重复，而不是启动数据阶段。每当接收器发出同步请求时，发送器都会启动代码组同步。代码组同步完成后，发送器重复发送 ILA 序列。

6.4.5.8 修改的 RPAT 测试模式

INCITS TR-35-2004 中定义了 12 个八位位组的重复模式。该模式的目的是为 JESD204B 合规性和抖动测试生成白频谱内容。表 6-42 列出了 8b、10b 编码前后的模式。

表 6-42. 修改了 RPAT 模式值

八位位组编号	DX.y 标记	8b、10b 编码器的 8 位输入	8b、10b 编码器的 20 位输出（两个字符）
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

Copyright © 2025 Texas Instruments Incorporated

6.4.6 校准模式和修整

ADC12DJ3200QML-SP 有两种校准模式：前台校准和后台校准。启动前台校准时，ADC 会自动离线以进行校准，在校准进行中时输出数据变为中间码（二进制补码中的 0x000）。后台校准使 ADC 能够继续正常运行，同时通过交换不同的 ADC 内核来代替 ADC 内核，在后台校准 ADC 内核。前台和后台校准模式下都提供了额外的失调电压校准功能。此外，可以修整许多 ADC 参数以优化用户系统中的性能。

ADC12DJ3200QML-SP 由总共六个子 ADC 组成，每个子 ADC 称为一个*组*，其中两个组构成一个 ADC 内核。组以异相采样方式进行采样，这样每个 ADC 内核均为双向交错。六个组构成三个 ADC 内核，称为 ADC A、ADC B 和 ADC C。在前台校准模式下，ADC A 可以双通道模式采样 INA±，ADC B 可以双通道模式采样 INB±，并且 ADC A 和 ADC B 均以单通道模式采样 INA±（或 INB±）。在后台校准模式下，第三个 ADC 内核 ADC C 会定期交换 ADC A 和 ADC B，以便可以在不中断运行的情况下对其进行校准。图 6-23 示出了校准系统图，其中对组成每个 ADC 内核的组进行了标记。执行校准时，每组的线性度，增益和失调电压根据内部生成的校准信号进行校准。在校准期间，前台和后台都可以驱动模拟输入，除非使用偏移校准（OS_CAL 或 BGOS_CAL）时，直流附近必须没有信号（或混叠信号），以便正确估算偏移（请参阅*偏移校准*部分）。

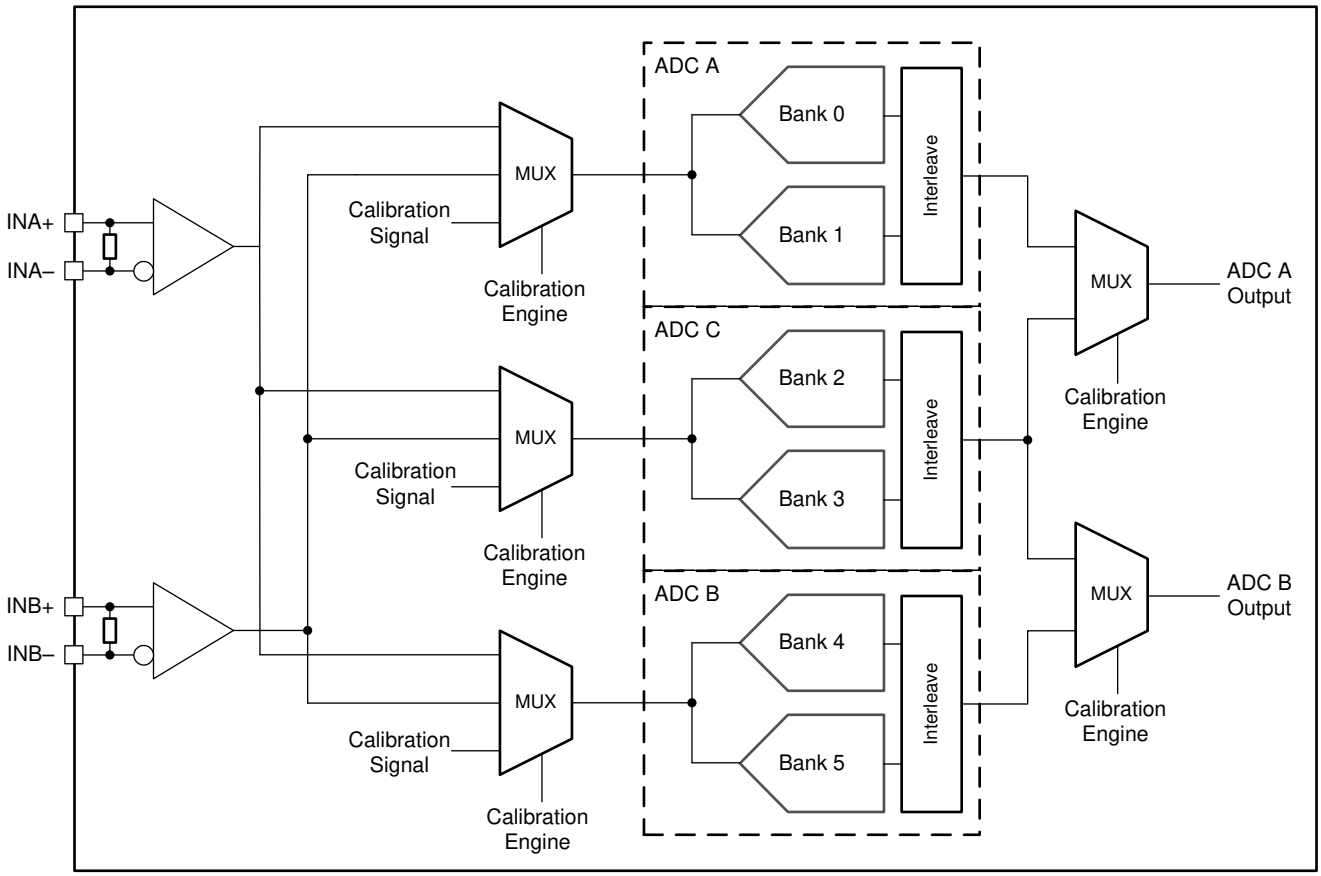


图 6-23. ADC12DJ3200QML-SP 校准系统方框图

除了校准之外，许多 ADC 参数是用户可控制的，为了达到最佳性能可进行修整。这些参数包括输入失调电压、ADC 增益、交错定时和输入端接电阻。默认修整值在出厂时被编程为每个器件的唯一值，这些器件在测试系统工作条件下被确定为最佳值。用户可以从修整寄存器中读取出厂编程值，并根据需要进行调整。根据正在被采样的输入（INA± 或 INB±）、正在被修整的组或正在被修整的 ADC 内核，对控制修整的寄存器字段进行标记。不要求用户随着运行条件的变化而更改修整值，但这样可以达到最佳性能。由于工艺差异，任何定制修整都必须基于每个器件的情况，这意味着所有器件都没有全局最佳设置。有关可用的修整参数和相关寄存器信息，请参阅 *修整* 部分。

6.4.6.1 前台校准模式

在前台校准时要求 ADC 在该过程中停止转换模拟输入信号。前台校准始终在上电时运行。在对器件编程之前，用户必须等待足够的时间，确保校准完成。可通过触发校准引擎来启动前台校准。触发源可以是 CAL_TRIG 引脚或 CAL_SOFT_TRIG（请参阅校准软件触发器寄存器），可以通过设置 CAL_TRIG_EN 来选择（请参阅校准引脚配置寄存器）。

6.4.6.2 后台校准模式

后台校准模式支持 ADC 持续运行，且不会中断数据。通过激活已校准的额外 ADC 内核，然后接管之前其他任一有源 ADC 内核的运行，而使此项运行能持续。当 ADC 内核脱机时，对 ADC 进行校准，然后可以转而校准下一个 ADC。这一过程会持续运行，确保无论系统工作条件如何变化，ADC 内核都能始终提供出色的性能。由于额外的有效 ADC 内核，与前台校准模式相比，后台校准模式的功耗增加。*低功耗后台校准 (LPBG) 模式* 部分所述的低功耗后台校准 (LPBG) 模式提供了与标准后台校准模式相比更低的平均功耗。可以通过设置 CAL_BG 来启用后台校准（请参阅校准配置 0 寄存器）。CAL_TRIG_EN 必须设置为 0，CAL_SOFT_TRIG 必须设置为 1。

在内核切换过程时，已非常小心地以最大限度地减少对转换数据的影响，但是，随着内核交换，转换器数据上仍可能会出现短暂的毛刺脉冲。

6.4.6.3 低功耗后台校准 (LPBG) 模式

低功耗后台校准 (LPBG) 模式可降低启用额外 ADC 内核的功耗开销。离线内核在准备好进行校准并联机之前处于断电状态。设置 LP_EN = 1 以启用低功耗后台校准功能。LP_SLEEP_DLY 用于调整 ADC 唤醒以进行校准之前处于睡眠状态的时间（当 LP_EN=1 且 LP_TRIG = 0 时）。LP_WAKE_DLY 设置在校准开始并联机之前允许内核用于稳定的时间。LP_TRIG 用于在自动开关过程或由用户通过 CAL_SOFT_TRIG 或 CAL_TRIG 控制的开关过程之间进行选择。在此模式下，ADC 内核校准期间的功耗会增加。当备用 ADC 内核校准时，功耗大致在前台校准中的功耗与校准备用 ADC 时后台校准中的功耗之间交替。设计电源网络以处理此模式的瞬态电源要求。

Copyright © 2025 Texas Instruments Incorporated

6.4.7 偏移校准

前台校准和后台校准模式本身会校准 ADC 内核的偏移；然而，输入缓冲器在校准环路之外，因此其偏移不会通过标准校准过程进行校准。在双通道模式和单通道模式中，未经校准的输入缓冲器偏移会导致无输入的中间代码输出（直流偏移电压）发生移位。此外，在单通道模式下，未校准的输入缓冲器偏移会导致 f_S / 2 处产生固定杂散。为了校正输入缓冲器偏移，需提供单独的校准。

为了正确校准偏移，直流或接近直流时不得有信号，或者在直流或接近直流时不得有混叠信号。在正常运行期间不得存在这些输入信号，或者系统必须设计为在校准期间使输入信号静音。前台偏移校准通过 CAL_OS 使能，作为前台校准过程的一部分，仅执行一次校准。后台偏移校准通过 CAL_BGOS 使能，作为后台校准例程的一部分继续校正偏移，以应对运行条件变化。设置 CAL_BGOS 时，系统必须确保在正常运行期间没有直流或近直流信号，也没有直流或接近直流的混叠信号。在使用后台校准时，在设置 CAL_EN 之前将 CAL_OS 设置为 1，可将偏移校准作为前台操作执行，但不能校正操作条件改变时的变化。

偏移校准校正使用输入偏移修整寄存器（请参阅表 6-43）来校正偏移，因此用户在使用偏移校准时不得写入该寄存器。校准完成后，用户可以通过读取 OADJ_x_VINy 寄存器来读取校准值，其中 x 是 ADC 内核，y 是输入（INA± 或 INB±）。使用前台偏移校准时 (CAL_OS = 1) 只读取 FG_DONE 为 1 时的值，而使用后台偏移校准时 (CAL_BGOS = 1) 不读取这些值。

6.4.8 修整

表 6-43 列出了可修整的参数以及相关的寄存器。

表 6-43. 修整寄存器说明

修整参数	修整寄存器	注释
带隙基准	BG_TRIM	BG 输出引脚上的测量值。
输入终端电阻	RTRIM_x， 其中 x = A 表示 INA±，B 表示 INB±）	器件上电时必须使用时钟。
输入失调电压	OADJ_x_VINy， 其中 x = ADC 内核（A、B 或 C） ，y = A（对于 INA±）或等于 B (对于 INB±)	每个 ADC 内核（A、B 或 C）都允许使用不同的修整值，以便在后台校准模式下实现更一致的偏移性能。
INA± 和 INB± 增益	GAIN_TRIM_x， 其中 x = A 表示 INA±，B 表示 INB±）	在修整输入之前，将 FS_RANGE_A 和 FS_RANGE_B 设置为默认值。使用 FS_RANGE_A 和 FS_RANGE_B 调整满量程输入电压。
INA± 和 INB± 满量程输入电压	FS_RANGE_x， 其中 x = A 表示 INA±，B 表示 INB±）	针对每个输入进行满量程输入电压调整。默认值受 GAIN_TRIM_x（x = A 或 B）的影响。在将 FS_RANGE_x 设置为默认值的情况下，修整 GAIN_TRIM_x。然后可以使用 FS_RANGE_x 来修整满量程输入电压。
ADC 内部内核时序（组时序）	Bx_TIME_y， 其中 x = 组编号 (0 – 5) ，y = 0° 或 – 90° 时钟相位	针对两个时钟相位（0° 或 – 90°）修整 ADC 内核（ADC A、B 或 C）的两个组之间的时序。– 90° 时钟相位仅用于单通道模式。
ADC 间内核时序（双通道模式）	TADJ_A、TADJ_B、TADJ_CA、TADJ_CB	后缀字母（A、B、CA 或 CB）表示正在被修整的 ADC 内核。CA 指示在为 ADC A 驻留时 ADC C 在后台校准模式下的时序修整，而 CB 是在为 ADC B 驻留时 ADC C 的时序修整。
ADC 间内核时序（单通道模式）	TADJ_A_FG90、TADJ_B_FG0、 TADJ_A_BG90、TADJ_C_BG0、 TADJ_C_BG90、TADJ_B_BG0	中间的字母（A、B 或 C）表示正在修整的 ADC 内核。FG 表示前台校准的修整，而 BG 表示后台校准。后缀 0 或 90 表示应用于 ADC 内核的时钟相位。0 表示 0° 时钟，采样时与时钟输入同相。90 表示 90° 时钟，因此采样时与时钟输入异相。如果用户更喜欢在单通道模式下使用 INB±，则必须修整这些时序以实现出色性能。在出厂时已针对 INA± 调整了这些时序。

6.4.9 偏移滤波

ADC12DJ3200QML-SP 具有一项附加特性，可启用该特性来减少 f_S / 2 和 f_S / 4 下与偏移电压相关的交错杂散（仅限单输入模式）。通过 CAL_OSFILT 使能偏移滤波。可以调整 OSFILT_BW 和 OSFILT_SOAK 参数，以权衡偏移杂散抑制，会对正在处理的任务模式信号中的信息产生潜在影响。在大多数情况下，应将这两个参数设置为相同的值。DC_RESTORE 设置用于保留或滤除信号中的所有直流相关内容。

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

6.5.1 使用串行接口

使用以下四个引脚访问串行接口：串行时钟 (SCLK)、串行数据输入 (SDI)、串行数据输出 (SDO) 和串行接口片选 ($\overline{SCS}$)。通过 $\overline{SCS}$ 引脚启用寄存器访问。

6.5.1.1 $\overline{SCS}$

该信号必须置位低电平才能通过串行接口访问寄存器。必须遵守相对于 SCLK 的建立和保持时间。

6.5.1.2 SCLK

在该信号的上升沿接受串行数据输入。SCLK 没有最低频率要求。

6.5.1.3 SDI

每个寄存器访问都需要在此输入端采用特定的 24 位模式。该模式包含一个读写 (R/W) 位、寄存器地址和寄存器值。数据以 MSB 优先的方式移动，多字节寄存器始终采用小端字节序格式（存储在最低地址的最低有效字节）。必须遵守相对于 SCLK 的建立和保持时间（请参阅*时序要求*表）。

6.5.1.4 SDO

SDO 信号提供读取命令所请求的输出数据。该输出在写入总线周期以及读取总线周期的读取位和寄存器地址部分期间具有高阻抗。

如图 6-24 所示，每个寄存器访问都由 24 位组成。第一个位为高电平时进行读取，为低电平时进行写入。

接下来的 15 位是要写入的寄存器的地址。在写入操作期间，最后 8 位是写入到已寻址寄存器的数据。在读取操作期间，SDI 上的最后 8 个位将被忽略，在此期间，SDO 将输出来自已寻址寄存器的数据。图 6-24 展示了串行协议详细信息。

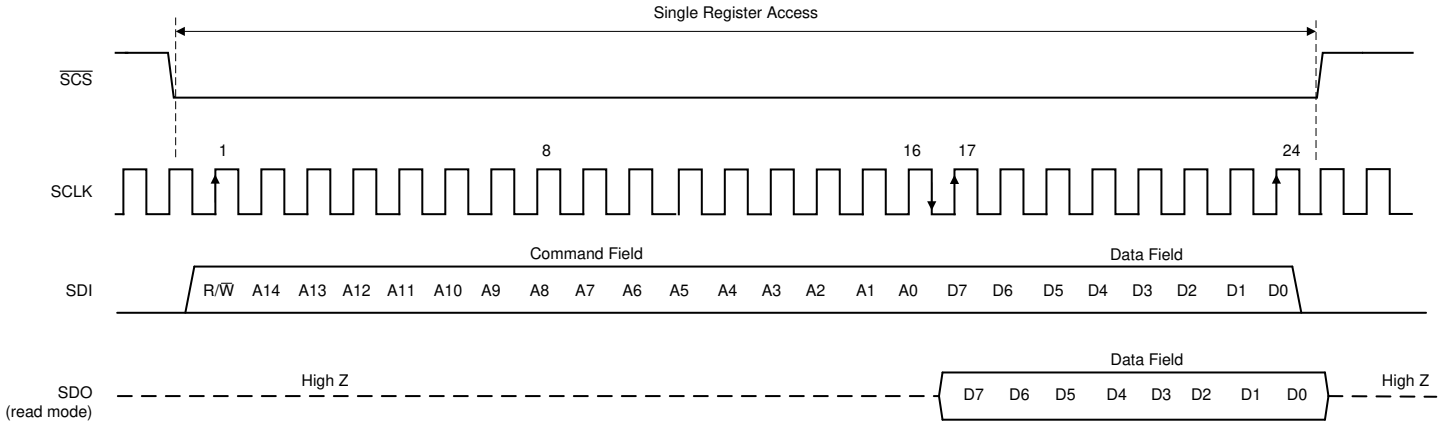


图 6-24. 串行接口协议：单读取/写入

6.5.1.5 流模式

串行接口支持流式读取和写入。在此模式下，事务的前 24 位将照常指定访问类型、寄存器地址和数据值。只要 $\overline{SCS}$ 输入保持在置位（逻辑低电平）状态，读/写数据的额外时钟周期就会立即传输。对于每次后续的 8 位流事务传输，寄存器地址都会自动递增（默认）或递减。ADDR_ASC 位（寄存器 000h，位 5 和 2）控制地址值是上升（递增）还是下降（递减）。可以通过设置 ADDR_HOLD 位来禁用流模式（请参阅用户 SPI 配置寄存器）。图 6-25 展示了流模式事务详细信息。

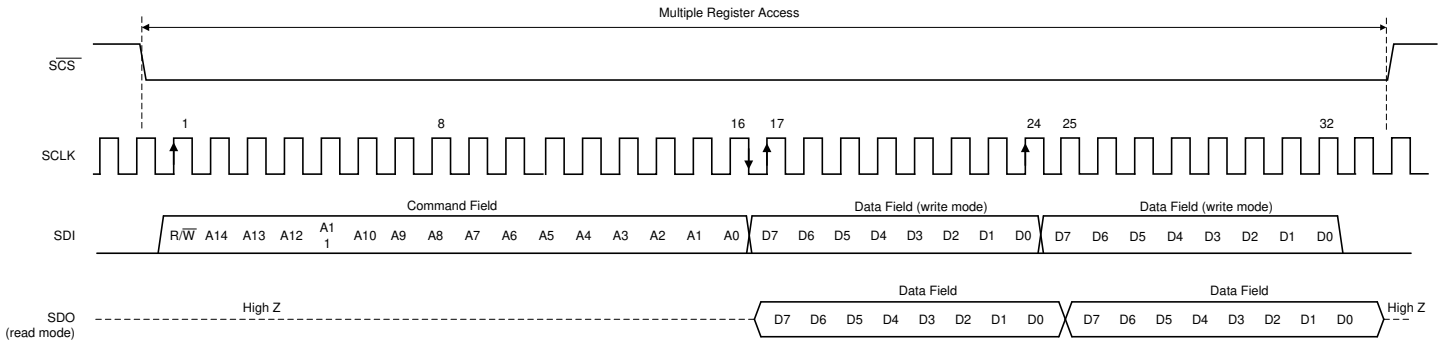


图 6-25. 串行接口协议：流式读写

有关这些寄存器的详细信息，请参阅 *节 6.6* 部分

备注

切勿在 ADC 校准期间访问串行接口。在此期间访问串行接口会降低器件性能，直到正确校准器件为止。对串行寄存器进行写入或读取操作还会降低寄存器访问期间的动态 ADC 性能。

Copyright © 2025 Texas Instruments Incorporated

6.6 寄存器映射

存储器映射列出了所有 ADC12DJ3200QML-SP 寄存器。

表 6-44.

地址	复位	首字母缩写词	类型	寄存器名称
标准 SPI-3.0（0x000 至 0x00F）				
0x000	0x30	CONFIG_A	R/W	配置 A 寄存器
0x001	未定义	RESERVED	R	RESERVED
0x002	0x00	DEVICE_CONFIG	R/W	器件配置寄存器
0x003	0x03	CHIP_TYPE	R	芯片类型寄存器
0x004-0x005	0x0020	CHIP_ID	R	芯片 ID 寄存器
0x006	0x0A	CHIP_VERSION	R	芯片版本寄存器
0x007-0x00B	未定义	RESERVED	R	RESERVED
0x00C-0x00D	0x0451	VENDOR_ID	R	供应商标识寄存器
0x00E-0x00F	未定义	RESERVED	R	RESERVED
用户 SPI 配置（0x010 至 0x01F）				
0x010	0x00	USR0	R/W	用户 SPI 配置寄存器
0x011-0x01F	未定义	RESERVED	R	RESERVED
其他模拟寄存器（0x020 至 0x047）				
0x020-0x028	未定义	RESERVED	R	RESERVED
0x029	0x00	CLK_CTRL0	R/W	时钟控制寄存器 0
0x02A	0x20	CLK_CTRL1	R/W	时钟控制寄存器 1
0x02B	未定义	RESERVED	R	RESERVED
0x02C-0x02E	未定义	SYSREF_POS	R	SYSREF 采集位置寄存器
0x02F	未定义	RESERVED	R	RESERVED
0x030-0x031	0xA000	FS_RANGE_A	R/W	INA 满量程范围调整寄存器
0x032-0x033	0xA000	FS_RANGE_B	R/W	INB 满量程范围调整寄存器
0x034-0x037	未定义	RESERVED	R	RESERVED
0x038	0x00	BG_BYPASS	R/W	内部基准旁路寄存器
0x039-0x03A	未定义	RESERVED	R	RESERVED
0x03B	0x00	TMSTP_CTRL	R/W	TMSTP± 控制寄存器
0x03C-0x047	未定义	RESERVED	R	RESERVED
串行器寄存器（0x048 至 0x05F）				
0x048	0x00	SER_PE	R/W	串行器预加重控制寄存器
0x049-0x05F	未定义	RESERVED	R	RESERVED
校准寄存器（0x060 至 0x0FF）				
0x060	0x01	INPUT_MUX	R/W	输入多路复用器控制寄存器
0x061	0x01	CAL_EN	R/W	校准使能寄存器
0x062	0x01	CAL_CFG0	R/W	校准配置 0 寄存器
0x063-0x069	未定义	RESERVED	R	RESERVED
0x06A	未定义	CAL_STATUS	R	校准状态寄存器
0x06B	0x00	CAL_PIN_CFG	R/W	校准引脚配置寄存器
0x06C	0x01	CAL_SOFT_TRIG	R/W	校准软件触发器寄存器
0x06D	未定义	RESERVED	R	RESERVED
0x06E	0x88	CAL_LP	R/W	低功耗后台校准寄存器
0x06F	未定义	RESERVED	R	RESERVED

Copyright © 2025 Texas Instruments Incorporated

表 6-44.（续）

地址	复位	首字母缩写词	类型	寄存器名称
0x070	0x00	CAL_DATA_EN	R/W	校准数据使能寄存器
0x071	未定义	CAL_DATA	R/W	校准数据寄存器
0x072-0x079	未定义	RESERVED	R	RESERVED
0x07A	未定义	GAIN_TRIM_A	R/W	通道 A 增益修整寄存器
0x07B	未定义	GAIN_TRIM_B	R/W	通道 B 增益修整寄存器
0x07C	未定义	BG_TRIM	R/W	带隙基准修整寄存器
0x07D	未定义	RESERVED	R	RESERVED
0x07E	未定义	RTRIM_A	R/W	VINA 输入电阻器修整寄存器
0x07F	未定义	RTRIM_B	R/W	VINB 输入电阻器修整寄存器
0x080	未定义	TADJ_A_FG90	R/W	A-ADC、单通道模式、前台校准寄存器的时序调整
0x081	未定义	TADJ_B_FG0	R/W	B-ADC、单通道模式、前台校准寄存器的时序调整
0x082	未定义	TADJ_A_BG90	R/W	A-ADC、单通道模式、后台校准寄存器的时序调整
0x083	未定义	TADJ_C_BG0	R/W	C-ADC、单通道模式、后台校准寄存器的时序调整
0x084	未定义	TADJ_C_BG90	R/W	C-ADC、单通道模式、后台校准寄存器的时序调整
0x085	未定义	TADJ_B_BG0	R/W	B-ADC、单通道模式、后台校准寄存器的时序调整
0x086	未定义	TADJ_A	R/W	A-ADC、双通道模式寄存器的时序调整
0x087	未定义	TADJ_CA	R/W	用于 A-ADC 的 C-ADC、双通道模式寄存器的时序调整
0x088	未定义	TADJ_CB	R/W	用于 B-ADC 的 C-ADC、双通道模式寄存器的时序调整
0x089	未定义	TADJ_B	R/W	B-ADC、双通道模式寄存器的时序调整
0x08A-0x08B	未定义	OADJ_A_INA	R/W	A-ADC 和 INA 寄存器的偏移调整
0x08C-0x08D	未定义	OADJ_A_INB	R/W	A-ADC 和 INB 寄存器的偏移调整
0x08E-0x08F	未定义	OADJ_C_INA	R/W	C-ADC 和 INA 寄存器的偏移调整
0x090-0x091	未定义	OADJ_C_INB	R/W	C-ADC 和 INB 寄存器的偏移调整
0x092-0x093	未定义	OADJ_B_INA	R/W	B-ADC 和 INA 寄存器的偏移调整
0x094-0x095	未定义	OADJ_B_INB	R/W	B-ADC 和 INB 寄存器的偏移调整
0x096	未定义	RESERVED	R	RESERVED
0x097	0x00	OSFILT0	R/W	偏移滤波控制 0
0x098	0x33	OSFILT1	R/W	偏移滤波控制 1
0x099-0x0FF	未定义	RESERVED	R	RESERVED
ADC 组寄存器（0x100 至 0x15F）				
0x100-0x101	未定义	RESERVED	R	RESERVED
0x102	未定义	B0_TIME_0	R/W	组 0（0° 时钟）寄存器的时序调整
0x103	未定义	B0_TIME_90	R/W	组 0（-90° 时钟）寄存器的时序调整
0x104-0x111	未定义	RESERVED	R	RESERVED
0x112	未定义	B1_TIME_0	R/W	组 1（0° 时钟）寄存器的时序调整
0x113	未定义	B1_TIME_90	R/W	组 1（-90° 时钟）寄存器的时序调整
0x114-0x121	未定义	RESERVED	R	RESERVED
0x122	未定义	B2_TIME_0	R/W	组 2（0° 时钟）寄存器的时序调整
0x123	未定义	B2_TIME_90	R/W	组 2（-90° 时钟）寄存器的时序调整
0x124-0x131	未定义	RESERVED	R	RESERVED
0x132	未定义	B3_TIME_0	R/W	组 3（0° 时钟）寄存器的时序调整
0x133	未定义	B3_TIME_90	R/W	组 3（-90° 时钟）寄存器的时序调整
0x134-0x141	未定义	RESERVED	R	RESERVED

Copyright © 2025 Texas Instruments Incorporated

表 6-44.（续）

地址	复位	首字母缩写词	类型	寄存器名称
0x142	未定义	B4_TIME_0	R/W	组 4（0° 时钟）寄存器的时序调整
0x143	未定义	B4_TIME_90	R/W	组 4（-90° 时钟）寄存器的时序调整
0x144-0x151	未定义	RESERVED	R	RESERVED
0x152	未定义	B5_TIME_0	R/W	组 5（0° 时钟）寄存器的时序调整
0x153	未定义	B5_TIME_90	R/W	组 5（-90° 时钟）寄存器的时序调整
0x154-0x15F	未定义	RESERVED	R	RESERVED
LSB 控制寄存器（0x160 至 0x1FF）				
0x160	0x00	ENC_LSB	R/W	LSB 控制位输出寄存器
0x161-0x1FF	未定义	RESERVED	R	RESERVED
JESD204B 寄存器（0x200 至 0x20F）				
0x200	0x01	JESD_EN	R/W	JESD204B 使能寄存器
0x201	0x02	JMODE	R/W	JESD204B 模式 (JMODE) 寄存器
0x202	0x1F	KM1	R/W	JESD204B K 参数寄存器
0x203	0x01	JSYNC_N	R/W	JESD204B 手动 SYNC 请求寄存器
0x204	0x02	JCTRL	R/W	JESD204B 控制寄存器
0x205	0x00	JTEST	R/W	JESD204B 测试模式控制寄存器
0x206	0x00	DID	R/W	JESD204B DID 参数寄存器
0x207	0x00	FCHAR	R/W	JESD204B 帧字符寄存器
0x208	未定义	JESD_STATUS	R/W	JESD204B 系统状态寄存器
0x209	0x00	PD_CH	R/W	JESD204B 通道断电
0x20A	0x00	JEXTRA_A	R/W	JESD204B 额外通道使能（链路 A）
0x20B	0x00	JEXTRA_B	R/W	JESD204B 额外通道使能（链路 B）
0x20C-0x20F	未定义	RESERVED	R	RESERVED
数字下变频器寄存器 (0x210-0x2AF)				
0x210	0x00	DDC_CFG	R/W	DDC 配置寄存器
0x211	0xF2	OVR_T0	R/W	超范围阈值 0 寄存器
0x212	0xAB	OVR_T1	R/W	超范围阈值 1 寄存器
0x213	0x07	OVR_CFG	R/W	超范围配置寄存器
0x214	0x00	CMODE	R/W	DDC 配置预设模式寄存器
0x215	0x00	CSEL	R/W	DDC 配置预设选择寄存器
0x216	0x02	DIG_BIND	R/W	数字通道绑定寄存器
0x217-0x218	0x0000	NCO_RDIV	R/W	Rational NCO 基准除数寄存器
0x219	0x02	NCO_SYNC	R/W	NCO 同步寄存器
0x21A-0x21F	未定义	RESERVED	R	RESERVED
0x220-0x223	0xC0000000	FREQA0	R/W	NCO 频率（DDC A 预设 0）
0x224-0x225	0x0000	PHASEA0	R/W	NCO 相位（DDC A 预设 0）
0x226-0x227	未定义	RESERVED	R	RESERVED
0x228-0x22B	0xC0000000	FREQA1	R/W	NCO 频率（DDC A 预设 1）
0x22C-0x22D	0x0000	PHASEA1	R/W	NCO 相位（DDC A 预设 1）
0x22E-0x22F	未定义	RESERVED	R	RESERVED
0x230-0x233	0xC0000000	FREQA2	R/W	NCO 频率（DDC A 预设 2）
0x234-0x235	0x0000	PHASEA2	R/W	NCO 相位（DDC A 预设 2）
0x236-0x237	未定义	RESERVED	R	RESERVED

Copyright © 2025 Texas Instruments Incorporated

表 6-44.（续）

地址	复位	首字母缩写词	类型	寄存器名称
0x238-0x23B	0xC0000000	FREQA3	R/W	NCO 频率（DDC A 预设 3）
0x23C-0x23D	0x0000	PHASEA3	R/W	NCO 相位（DDC A 预设 3）
0x23E-0x23F	未定义	RESERVED	R	RESERVED
0x240-0x243	0xC0000000	FREQB0	R/W	NCO 频率（DDC B 预设 0）
0x244-0x245	0x0000	PHASEB0	R/W	NCO 相位（DDC B 预设 0）
0x246-0x247	未定义	RESERVED	R	RESERVED
0x248-0x24B	0xC0000000	FREQB1	R/W	NCO 频率（DDC B 预设 1）
0x24C-0x24D	0x0000	PHASEB1	R/W	NCO 相位（DDC B 预设 1）
0x24E-0x24F	未定义	RESERVED	R	RESERVED
0x250-0x253	0xC0000000	FREQB2	R/W	NCO 频率（DDC B 预设 2）
0x254-0x255	0x0000	PHASEB2	R/W	NCO 相位（DDC B 预设 2）
0x256-0x257	未定义	RESERVED	R	RESERVED
0x258-0x25B	0xC0000000	FREQB3	R/W	NCO 频率（DDC B 预设 3）
0x25C-0x25D	0x0000	PHASEB3	R/W	NCO 相位（DDC B 预设 3）
0x25E-0x296	未定义	RESERVED	R	RESERVED
0x297	未定义	SPIN_ID	R	Spin 标识值
0x298-0x2AF	未定义	RESERVED	R	RESERVED
SYSREF 校准寄存器（0x2B0 至 0x2BF）				
0x2B0	0x00	SRC_EN	R/W	SYSREF 校准使能寄存器
0x2B1	0x05	SRC_CFG	R/W	SYSREF 校准配置寄存器
0x2B2-0x2B4	未定义	SRC_STATUS	R	SYSREF 校准状态
0x2B5-0x2B7	0x00	TAD	R/W	DEVCLK 孔径延迟调整寄存器
0x2B8	0x00	TAD_RAMP	R/W	DEVCLK 时序调整斜坡控制寄存器
0x2B9-0x2BF	未定义	RESERVED	R	RESERVED
警报寄存器 (0x2C0 至 0x2C2)				
0x2C0	未定义	ALARM	R	警报中断状态寄存器
0x2C1	0x1F	ALM_STATUS	R/W	警报状态寄存器
0x2C2	0x1F	ALM_MASK	R/W	警报屏蔽寄存器

Copyright © 2025 Texas Instruments Incorporated

6.6.1 寄存器说明

6.6.1.1 标准 SPI-3.0（0x000 至 0x00F）

表 6-45. 标准 SPI-3.0 寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x000	0x30	CONFIG_A	配置 A 寄存器	节 6.6.1.2
0x001	未定义	RESERVED	RESERVED	—
0x002	0x00	DEVICE_CONFIG	器件配置寄存器	节 6.6.1.3
0x003	0x03	CHIP_TYPE	芯片类型寄存器	节 6.6.1.4
0x004-0x005	0x0020	CHIP_ID	芯片 ID 寄存器	节 6.6.1.5
0x006	0x0A	CHIP_VERSION	芯片版本寄存器	节 6.6.1.6
0x007-0x00B	未定义	RESERVED	RESERVED	—
0x00C-0x00D	0x0451	VENDOR_ID	供应商标识寄存器	节 6.6.1.7
0x00E-0x00F	未定义	RESERVED	RESERVED	—

6.6.1.2 配置 A 寄存器（地址 = 0x000）[复位 = 0x30]

图 6-26. 配置 A 寄存器 (CONFIG_A)

7	6	5	4	3	2	1	0
SOFT_RESET	RESERVED	ADDR_ASC	SDO_ACTIVE	RESERVED			
R/W-0	R-0	R/W-1	R-1	R-0000			

表 6-46. CONFIG_A 字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0	设置该位会使器件完全复位。该位会自行清除。写入该位后，器件可能需要长达 750ns 的时间才能复位。在此期间，请勿执行任何 SPI 事务。
6	RESERVED	R	0	RESERVED
5	ADDR_ASC	R/W	1	0：下降 – 流式读取/写入时递减地址 1：上升 - 流式读取/写入时递增地址（默认值）
4	SDO_ACTIVE	R	1	始终返回 1，表示器件始终使用 4 线 SPI 模式。
3-0	RESERVED	R	0000	RESERVED

6.6.1.3 器件配置寄存器（地址 = 0x002）[复位 = 0x00]

图 6-27. 器件配置寄存器 (DEVICE_CONFIG)

7	6	5	4	3	2	1	0
RESERVED						模式	
R-0000 00						R/W-00	

表 6-47. DEVICE_CONFIG 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0000 00	RESERVED
1-0	模式	R/W	00	SPI 3.0 规范将 1 列为低功耗功能模式，将 2 列为低功耗快速恢复，将 3 列为断电。此器件不支持这些模式。 0：正常运行 - 全功率和全性能（默认值） 1：正常运行 - 全功率和全性能 2：断电 - 一切都已断电。仅在短时间内使用此设置来校准片上温度二极管测量。有关更多信息，请参阅*建议工作条件*表。 3：断电 - 一切都已断电。仅在短时间内使用此设置来校准片上温度二极管测量。有关更多信息，请参阅*建议工作条件*表。

6.6.1.4 芯片类型寄存器（地址 = 0x003）[复位 = 0x03]

图 6-28. 芯片类型寄存器 (CHIP_TYPE)

7	6	5	4	3	2	1	0
RESERVED				CHIP_TYPE			
R-0000				R-0011			

表 6-48. CHIP_TYPE 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000	RESERVED
3-0	CHIP_TYPE	R	0011	始终返回 0x3，表示该器件是高速 ADC。

6.6.1.5 芯片 ID 寄存器（地址 = 0x004 至 0x005）[复位 = 0x0020]

图 6-29. 芯片 ID 寄存器 (CHIP_ID)

15	14	13	12	11	10	9	8
CHIP_ID[15:8]							
R-0x00h							
7	6	5	4	3	2	1	0
CHIP_ID[7:0]							
R-0x20h							

表 6-49. CHIP_ID 字段说明

位	字段	类型	复位	说明
15-0	CHIP_ID	R	0x0020h	始终返回 0x0020，表示该器件是 ADC12DJ3200QML-SP 器件。

6.6.1.6 芯片版本寄存器（地址 = 0x006）[复位 = 0x01]

图 6-30. 芯片版本寄存器 (CHIP_VERSION)

7	6	5	4	3	2	1	0
CHIP_VERSION							

Copyright © 2025 Texas Instruments Incorporated

图 6-30. 芯片版本寄存器 (CHIP_VERSION) （续）

R-0000 1010

表 6-50. CHIP_VERSION 字段说明

位	字段	类型	复位	说明
7-0	CHIP_VERSION	R	0000 1010	芯片版本，返回 0x0A。

6.6.1.7 供应商标识寄存器（地址 = 0x00C 至 0x00D）[复位 = 0x0451]

图 6-31. 供应商标识寄存器 (VENDOR_ID)

15	14	13	12	11	10	9	8
VENDOR_ID[15:8]							
R-0x04h							
7	6	5	4	3	2	1	0
VENDOR_ID[7:0]							
R-0x51h							

表 6-51. VENDOR_ID 字段说明

位	字段	类型	复位	说明
15-0	VENDOR_ID	R	0x0451h	始终返回 0x0451（TI 供应商 ID）。

6.6.1.8 用户 SPI 配置（0x010 至 0x01F）

表 6-52. 用户 SPI 配置寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x010	0x00	USR0	用户 SPI 配置寄存器	节 6.6.1.9
0x011-0x01F	未定义	RESERVED	RESERVED	—

6.6.1.9 用户 SPI 配置寄存器（地址 = 0x010）[复位 = 0x00]

图 6-32. 用户 SPI 配置寄存器 (USR0)

7	6	5	4	3	2	1	0
RESERVED							ADDR_HOLD
R-0000 000							R/W-0

表 6-53. USR0 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	ADDR_HOLD	R/W	0	0：使用 ADDR_ASC 位定义流式传输期间地址发生的情况（默认值） 1：地址在整个流操作中保持静态；此设置有助于在 CAL_DATA 寄存器上读取和写入校准矢量信息

6.6.1.10 其他模拟寄存器（0x020 至 0x047）

表 6-54. 其他模拟寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x020-0x028	未定义	RESERVED	RESERVED	—
0x029	0x00	CLK_CTRL0	时钟控制寄存器 0	节 6.6.1.11
0x02A	0x20	CLK_CTRL1	时钟控制寄存器 1	节 6.6.1.12
0x02B	未定义	RESERVED	RESERVED	—
0x02C-0x02E	未定义	SYSREF_POS	SYSREF 采集位置寄存器	节 6.6.1.13
0x02F	未定义	RESERVED	RESERVED	—
0x030-0x031	0xA000	FS_RANGE_A	INA 满量程范围调整寄存器	节 6.6.1.14
0x032-0x033	0xA000	FS_RANGE_B	INB 满量程范围调整寄存器	节 6.6.1.15
0x034-0x037	未定义	RESERVED	RESERVED	—
0x038	0x00	BG_BYPASS	内部基准旁路寄存器	节 6.6.1.16
0x039-0x03A	未定义	RESERVED	RESERVED	—
0x03B	0x00	SYNC_CTRL	TMSTP± 控制寄存器	节 6.6.1.17
0x03C-0x047	未定义	RESERVED	RESERVED	—

6.6.1.11 时钟控制寄存器 0（地址 = 0x029）[复位 = 0x00]

图 6-33. 时钟控制寄存器 0 (CLK_CTRL0)

7	6	5	4	3	2	1	0
RESERVED	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0000			

表 6-55. CLK_CTRL0 字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	RESERVED
6	SYSREF_PROC_EN	R/W	0	该位可使能 SYSREF 处理器。必须设置该位才能让器件处理 SYSREF 事件。在设置 SYSREF_PROC_EN 之前，必须先设置 SYSREF_RECV_EN。
5	SYSREF_RECV_EN	R/W	0	设置该位可使能 SYSREF 接收器电路。
4	SYSREF_ZOOM	R/W	0	设置该位可*放大* SYSREF 选通状态（影响 SYSREF_POS）。
3-0	SYSREF_SEL	R/W	0000	设置该字段以选择要使用的 SYSREF 延迟。根据 SYSREF_POS 返回的结果设置该字段。将此字段设置为 0 可使用 SYSREF 校准。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.12 时钟控制寄存器 1（地址 = 0x02A）[复位 = 0x00]

图 6-34. 时钟控制寄存器 1 (CLK_CTRL1)

7	6	5	4	3	2	1	0
RESERVED					DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED
R/W-0010 0					R/W-0	R/W-0	R/W-0

表 6-56. CLK_CTRL1 字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0010 0	RESERVED
2	DEVCLK_LVPECL_EN	R/W	0	为 DEVCLK 激活低压 PECL 模式。
1	SYSREF_LVPECL_EN	R/W	0	为 SYSREF 激活低压 PECL 模式。
0	SYSREF_INVERTED	R/W	0	反转用于对齐的 SYSREF 信号。

6.6.1.13 SYSREF 采集位置寄存器（地址 = 0x02C-0x02E）[复位 = 未定义]

图 6-35. SYSREF 采集位置寄存器 (SYSREF_POS)

23	22	21	20	19	18	17	16
SYSREF_POS[23:16]							
R-未定义							
15	14	13	12	11	10	9	8
SYSREF_POS[15:8]							
R-未定义							
7	6	5	4	3	2	1	0
SYSREF_POS[7:0]							
R-未定义							

表 6-57. SYSREF_POS 字段说明

位	字段	类型	复位	说明
23-0	SYSREF_POS	R	未定义	该字段返回一个 24 位状态值，指示 SYSREF 边沿相对于 DEVCLK 的位置。使用该字段可对 SYSREF_SEL 进行编程。

6.6.1.14 INA 满量程范围调整寄存器（地址 = 0x030-0x031）[复位 = 0xA000]

图 6-36. INA 满量程范围调整寄存器 (FS_RANGE_A)

15	14	13	12	11	10	9	8
FS_RANGE_A[15:8]							
R/W-0xA0h							
7	6	5	4	3	2	1	0
FS_RANGE_A[7:0]							
R/W-0x00h							

表 6-58. FS_RANGE_A 字段说明

位	字段	类型	复位	说明
15-0	FS_RANGE_A	R/W	0xA000h	该字段可以调整 INA 的模拟满量程范围。 0x0000：0x2000 以下的设置可能导致器件性能下降 0x2000：500mV$_{PP}$ - 建议的最小设置 0xA000：800 mV$_{PP}$（默认值） 0xFFFF：1000mV$_{PP}$

6.6.1.15 INB 满量程范围调整寄存器（地址 = 0x032-0x033）[复位 = 0xA000]

图 6-37. INB 满量程范围调整寄存器 (FS_RANGE_B)

15	14	13	12	11	10	9	8
FS_RANGE_B[15:8]							
R/W-0xA0							
7	6	5	4	3	2	1	0
FS_RANGE_B[7:0]							
R/W-0x00							

表 6-59. FS_RANGE_B 字段说明

位	字段	类型	复位	说明
15-0	FS_RANGE_B	R/W	0xA000h	该字段可以调整 INB 的模拟满量程范围。 0x0000：0x2000 以下的设置可能导致器件性能下降 0x2000：500mV$_{PP}$ - 建议的最小设置 0xA000：800 mV$_{PP}$（默认值） 0xFFFF：1000mV$_{PP}$

6.6.1.16 内部基准旁路寄存器（地址 = 0x038）[复位 = 0x00]

图 6-38. 内部基准旁路寄存器 (BG_BYPASS)

7	6	5	4	3	2	1	0
RESERVED							BG_BYPASS
R/W-0000 000							R/W-0

表 6-60. BG_BYPASS 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	BG_BYPASS	R/W	0	设置了 VA11 时，其可用作电压基准，而不是内部基准。

6.6.1.17 TMSTP± 控制寄存器（地址 = 0x03B）[复位 = 0x00]

图 6-39. TMSTP± 控制寄存器 (TMSTP_CTRL)

7	6	5	4	3	2	1	0
RESERVED						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0000 00						R/W-0	R/W-0

表 6-61. TMSTP_CTRL 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1	TMSTP_LVPECL_EN	R/W	0	设置后，该位可激活差分 TMSTP± 输入的低压 PECL 模式。
0	TMSTP_RECV_EN	R/W	0	该位会使能差分 TMSTP± 输入。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.18 串行器寄存器（0x048 至 0x05F）

表 6-62. 串行器寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x048	0x00	SER_PE	串行器预加重控制寄存器	节 6.6.1.19
0x049-0x05F	未定义	RESERVED	RESERVED	—

6.6.1.19 串行器预加重控制寄存器（地址 = 0x048））[复位 = 0x00]

图 6-40. 串行器预加重控制寄存器 (SER_PE)

7	6	5	4	3	2	1	0
RESERVED				SER_PE			
R/W-0000				R/W-0000			

表 6-63. SER_PE 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3-0	SER_PE	R/W	0000	该字段设置串行通道的预加重，以补偿 PCB 布线的低通响应。该设置是一个全局设置，会影响所有 16 个通道。

6.6.1.20 校准寄存器（0x060 至 0x0FF）

表 6-64. 校准寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x060	0x01	INPUT_MUX	输入多路复用器控制寄存器	节 6.6.1.21
0x061	0x01	CAL_EN	校准使能寄存器	节 6.6.1.22
0x062	0x01	CAL_CFG0	校准配置 0 寄存器	节 6.6.1.23
0x063-0x069	未定义	RESERVED	RESERVED	—
0x06A	未定义	CAL_STATUS	校准状态寄存器	节 6.6.1.24
0x06B	0x00	CAL_PIN_CFG	校准引脚配置寄存器	节 6.6.1.25
0x06C	0x01	CAL_SOFT_TRIG	校准软件触发器寄存器	节 6.6.1.26
0x06D	未定义	RESERVED	RESERVED	—
0x06E	0x88	CAL_LP	低功耗后台校准寄存器	节 6.6.1.27
0x06F	未定义	RESERVED	RESERVED	—
0x070	0x00	CAL_DATA_EN	校准数据使能寄存器	节 6.6.1.28
0x071	未定义	CAL_DATA	校准数据寄存器	节 6.6.1.29
0x072-0x079	未定义	RESERVED	RESERVED	—
0x07A	未定义	GAIN_TRIM_A	通道 A 增益修整寄存器	节 6.6.1.30
0x07B	未定义	GAIN_TRIM_B	通道 B 增益修整寄存器	节 6.6.1.31
0x07C	未定义	BG_TRIM	带隙基准修整寄存器	节 6.6.1.32
0x07D	未定义	RESERVED	RESERVED	—
0x07E	未定义	RTRIM_A	VINA 输入电阻器修整寄存器	节 6.6.1.33
0x07F	未定义	RTRIM_B	VINB 输入电阻器修整寄存器	节 6.6.1.34
0x080	未定义	TADJ_A_FG90	A-ADC、单通道模式、前台校准寄存器的时序调整	节 6.6.1.35
0x081	未定义	TADJ_B_FG0	B-ADC、单通道模式、前台校准寄存器的时序调整	节 6.6.1.36
0x082	未定义	TADJ_A_BG90	A-ADC、单通道模式、后台校准寄存器的时序调整	节 6.6.1.37
0x083	未定义	TADJ_C_BG0	C-ADC、单通道模式、后台校准寄存器的时序调整	节 6.6.1.39
0x084	未定义	TADJ_C_BG90	C-ADC、单通道模式、后台校准寄存器的时序调整	节 6.6.1.39
0x085	未定义	TADJ_B_BG0	B-ADC、单通道模式、后台校准寄存器的时序调整	节 6.6.1.40
0x086	未定义	TADJ_A	A-ADC、双通道模式寄存器的时序调整	节 6.6.1.41
0x087	未定义	TADJ_CA	用于 A-ADC 的 C-ADC、双通道模式寄存器的时序调整	节 6.6.1.42
0x088	未定义	TADJ_CB	用于 B-ADC 的 C-ADC、双通道模式寄存器的时序调整	节 6.6.1.43
0x089	未定义	TADJ_B	B-ADC、双通道模式寄存器的时序调整	节 6.6.1.44
0x08A-0x08B	未定义	OADJ_A_INA	A-ADC 和 INA 寄存器的偏移调整	节 6.6.1.45
0x08C-0x08D	未定义	OADJ_A_INB	A-ADC 和 INB 寄存器的偏移调整	节 6.6.1.46
0x08E-0x08F	未定义	OADJ_C_INA	C-ADC 和 INA 寄存器的偏移调整	节 6.6.1.47
0x090-0x091	未定义	OADJ_C_INB	C-ADC 和 INB 寄存器的偏移调整	节 6.6.1.48
0x092-0x093	未定义	OADJ_B_INA	B-ADC 和 INA 寄存器的偏移调整	节 6.6.1.49
0x094-0x095	未定义	OADJ_B_INB	B-ADC 和 INB 寄存器的偏移调整	节 6.6.1.50
0x096	未定义	RESERVED	RESERVED	—
0x097	0x00	0SFILT0	偏移滤波控制 0	节 6.6.1.51
0x098	0x33	OSFILT1	偏移滤波控制 1	节 6.6.1.52
0x099-0x0FF	未定义	RESERVED	RESERVED	—

Copyright © 2025 Texas Instruments Incorporated

6.6.1.21 输入多路复用器控制寄存器（地址 = 0x060）[复位 = 0x01]

图 6-41. 输入多路复用器控制寄存器 (INPUT_MUX)

7	6	5	4	3	2	1	0
RESERVED			DUAL_INPUT	RESERVED		SINGLE_INPUT	
R/W-000			R/W-0	R/W-00		R/W-01	

表 6-65. INPUT_MUX 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	RESERVED
4	DUAL_INPUT	R/W	0	该位为双通道模式选择输入。如果 JMODE 选择单通道模式，则该寄存器无效。 0：A 通道采样 INA，B 通道采样 INB（无交换，默认值） 1：A 通道采样 INB，B 通道采样 INA（交换）
3-2	RESERVED	R/W	00	RESERVED
1-0	SINGLE_INPUT	R/W	01	该字段定义在单通道模式下对哪个输入采样。如果 JMODE 没有选择单通道模式，则该寄存器无效。 0：保留 1：使用 INA（默认值） 2：使用 INB 3：保留

6.6.1.22 校准使能寄存器（地址 = 0x061）[复位 = 0x01]

图 6-42. 校准使能寄存器 (CAL_EN)

7	6	5	4	3	2	1	0
RESERVED							CAL_EN
R/W-0000 000							R/W-1

表 6-66. CAL_EN 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	CAL_EN	R/W	1	校准使能。设置该位为高电平可运行校准。设置该位为低电平可将校准保持在复位状态，以便对新的校准设置进行编程。清零 CAL_EN 还会复位为数字块和 JESD204B 接口计时的时钟分频器。 有些校准寄存器需要在进行任何更改之前清零 CAL_EN。所有具有此要求的寄存器在其说明中都包含注释。更改寄存器后，设置 CAL_EN 可使用新设置重新运行校准。 在设置 JESD_EN 之前，务必设置 CAL_EN。在清零 CAL_EN 之前，务必清零 JESD_EN。

6.6.1.23 校准配置 0 寄存器（地址 = 0x062）[复位 = 0x01]

仅在 CAL_EN 为 0 时更改该寄存器。

图 6-43. 校准配置 0 寄存器 (CAL_CFG0)

7	6	5	4	3	2	1	0
RESERVED			CAL_OSFILT	CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-000			R/W-0	R/W-0	R/W-0	R/W-0	R/W-1

表 6-67. CAL_CFG0 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0000	RESERVED
4	CAL_OSFILT	R/W	0	通过将该位设置为高电平来使能偏移滤波。
3	CAL_BGOS	R/W	0	0：禁用后台偏移校准（默认值） 1：使能后台偏移校准（需要设置 CAL_BG）。
2	CAL_OS	R/W	0	0：禁用前台偏移校准（默认值） 1：使能前台偏移校准（需要设置 CAL_FG）
1	CAL_BG	R/W	0	0：禁用后台校准（默认值） 1：使能后台校准
0	CAL_FG	R/W	1	0：复位校准值，跳过前台校准 1：复位校准值，然后运行前台校准（默认值）

Copyright © 2025 Texas Instruments Incorporated

6.6.1.24 校准状态寄存器（地址 = 0x06A）[复位 = 未定义]

图 6-44. 校准状态寄存器 (CAL_STATUS)

7	6	5	4	3	2	1	0
RESERVED						CAL_STOPPED	FG_DONE
R						R	R

表 6-68. CAL_STATUS 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R		RESERVED
1	CAL_STOPPED	R		当后台校准在请求的相位成功停止时，该位返回 1。当校准再次开始运行时，该位返回 0。如果禁用后台校准，则应在完成或跳过前台校准时设置该位。
0	FG_DONE	R		当前台校准完成时，该位设置为高电平。

6.6.1.25 校准引脚配置寄存器（地址 = 0x06B）[复位 = 0x00]

图 6-45. 校准引脚配置寄存器 (CAL_PIN_CFG)

7	6	5	4	3	2	1	0
RESERVED					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0000 0					R/W-00		R/W-0

表 6-69. CAL_PIN_CFG 字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0000 0	RESERVED
2-1	CAL_STATUS_SEL	R/W	00	0：CALSTAT 输出引脚与 FG_DONE 匹配 1：RESERVED 2：CALSTAT 输出引脚与 ALARM 匹配 3：CALSTAT 输出引脚始终为低电平
0	CAL_TRIG_EN	R/W	0	使用该位选择硬件或软件触发源。 0：使用 CAL_SOFT_TRIG 寄存器进行校准触发；CAL_TRIG 输入被禁用（忽略） 1：将 CAL_TRIG 输入用于校准触发器；CAL_SOFT_TRIG 寄存器被忽略

6.6.1.26 校准软件触发器寄存器（地址 = 0x06C）[复位 = 0x01]

图 6-46. 校准软件触发器寄存器 (CAL_SOFT_TRIG)

7	6	5	4	3	2	1	0
RESERVED							CAL_SOFT_TRIG
R/W-0000 000							R/W-1

表 6-70. CAL_SOFT_TRIG 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	CAL_SOFT_TRIG	R/W	1	CAL_SOFT_TRIG 是一个用于提供 CAL_TRIG 输入的功能的软件位。对 CAL_TRIG_EN=0 进行编程，可将 CAL_SOFT_TRIG 用于校准触发。如果不需要校准触发器，则使 CAL_TRIG_EN=0 且 CAL_SOFT_TRIG=1（触发器设置为高电平）。

6.6.1.27 低功耗后台校准寄存器（地址 = 0x06E）[复位 = 0x88]

图 6-47. 低功耗后台校准寄存器 (CAL_LP)

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		RESERVED	LP_TRIG	LP_EN
R/W-010			R/W-01		R/W-0	R/W-0	R/W-0

表 6-71. CAL_LP 字段说明

位	字段	类型	复位	说明
7-5	LP_SLEEP_DLY	R/W	010	调整 ADC 在唤醒校准前的睡眠时间（仅在 LP_EN = 1 且 LP_TRIG = 0 时适用）。由于整体降低功耗的优势有限，因此不建议使用低于 4 的值。 0：睡眠延迟 = $(2^3 + 1) \times 256 \times t_{DEVCLK}$ 1：睡眠延迟 = $(2^{15} + 1) \times 256 \times t_{DEVCLK}$ 2：睡眠延迟 = $(2^{18} + 1) \times 256 \times t_{DEVCLK}$ 3：睡眠延迟 = $(2^{21} + 1) \times 256 \times t_{DEVCLK}$ 4：睡眠延迟 = $(2^{24} + 1) \times 256 \times t_{DEVCLK}$：默认约为 1338 ms，具有 3.2-GHz 时钟 5: 睡眠延迟 = $(2^{27} + 1) \times 256 \times t_{DEVCLK}$ 6：睡眠延迟 = $(2^{30} + 1) \times 256 \times t_{DEVCLK}$ 7：睡眠延迟 = $(2^{33} + 1) \times 256 \times t_{DEVCLK}$
4-3	LP_WAKE_DLY	R/W	01	调整在唤醒后校准 ADC 前提供的趋稳时间（仅在 LP_EN = 1 时适用）。不建议使用小于 1 的值，因为在校准开始前没有足够的时间让内核稳定下来。 0：唤醒延迟 = $(2^3 + 1) \times 256 \times t_{DEVCLK}$ 1：唤醒延迟 = $(2^{18} + 1) \times 256 \times t_{DEVCLK}$：默认约为 21 ms，具有 3.2-GHz 时钟 2: 唤醒延迟 = $(2^{21} + 1) \times 256 \times t_{DEVCLK}$ 3：唤醒延迟 = $(2^{24} + 1) \times 256 \times t_{DEVCLK}$
2	RESERVED	R/W	0	RESERVED
1	LP_TRIG	R/W	0	0：ADC 睡眠持续时间由 LP_SLEEP_DLY（自主模式）设置。 1：ADC 会一直休眠，直到被触发器唤醒；当校准触发器（CAL_SOFT_TRIG 位或 CAL_TRIG 输入）为低电平时，会唤醒 ADC
0	LP_EN	R/W	0	0：禁用低功耗后台校准（默认值） 1：使能低功耗后台校准（仅在 CAL_BG=1 时适用）。

6.6.1.28 校准数据使能寄存器（地址 = 0x070）[复位 = 0x00]

图 6-48. 校准数据使能寄存器 (CAL_DATA_EN)

7	6	5	4	3	2	1	0
RESERVED							CAL_DATA_EN
R/W-0000 000							R/W-0

表 6-72. CAL_DATA_EN 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	CAL_DATA_EN	R/W	0	设置该位可使能 CAL_DATA 寄存器，从而能够读取和写入校准数据；有关更多信息、请参阅校准数据寄存器。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.29 校准数据寄存器（地址 = 0x071）[复位 = 未定义]

图 6-49. 校准数据寄存器 (CAL_DATA)

7	6	5	4	3	2	1	0
CAL_DATA							
R/W							

表 6-73. CAL_DATA 字段说明

位	字段	类型	复位	说明
7-0	CAL_DATA	R/W	未定义	设置 CAL_DATA_EN 后，该寄存器的重复读取会返回 ADC 的所有校准值。重复写入该寄存器会输入 ADC 的所有校准值。要读取校准数据，请读取寄存器 673 次。要写入此矢量，请将之前存储的校准数据写入寄存器 673 次。 为加快读取/写入操作，请设置 ADDR_HOLD = 1 并使用流式读取或写入过程。 当 CAL_STOPPED = 0 会破坏校准时访问 CAL_DATA 寄存器。此外，在读取或写入 673 次之前停止该过程会使校准数据处于无效状态。

6.6.1.30 通道 A 增益修整寄存器（地址 = 0x07A）[复位 = 未定义]

图 6-50. 通道 A 增益修整寄存器 (GAIN_TRIM_A)

7	6	5	4	3	2	1	0
GAIN_TRIM_A							
R/W							

表 6-74. GAIN_TRIM_A 字段说明

位	字段	类型	复位	说明
7-0	GAIN_TRIM_A	R/W	未定义	该寄存器使能通道 A 的增益修整。复位后，可根据需要读取和调整出厂修整值。

6.6.1.31 通道 B 增益修整寄存器（地址 = 0x07B）[复位 = 未定义]

图 6-51. 通道 B 增益修整寄存器 (GAIN_TRIM_B)

7	6	5	4	3	2	1	0
GAIN_TRIM_B							
R/W							

表 6-75. GAIN_TRIM_B 字段说明

位	字段	类型	复位	说明
7-0	GAIN_TRIM_B	R/W	未定义	该寄存器使能通道 B 的增益修整。复位后，可根据需要读取和调整出厂修整值。

6.6.1.32 带隙基准修整寄存器（地址 = 0x07C）[复位 = 未定义]

图 6-52. 带隙基准修整寄存器 (BG_TRIM)

7	6	5	4	3	2	1	0
RESERVED				BG_TRIM			
R/W-0000				R/W			

表 6-76. BG_TRIM 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3-0	BG_TRIM	R/W	未定义	该寄存器可修整内部带隙基准。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.33 VINA 输入电阻器修整寄存器（地址 = 0x07E）[复位 = 未定义]

图 6-53. VINA 输入电阻调整寄存器 (RTRIM_A)

7	6	5	4	3	2	1	0
RTRIM							
R/W							

表 6-77. RTRIM_A 字段说明

位	字段	类型	复位	说明
7-0	RTRIM_A	R/W	未定义	该寄存器可控制 VINA ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.34 VINB 输入电阻器修整寄存器（地址 = 0x07F）[复位 = 未定义]

图 6-54. VINB 输入电阻调整寄存器 (RTRIM_B)

7	6	5	4	3	2	1	0
RTRIM							
R/W							

表 6-78. RTRIM_B 字段说明

位	字段	类型	复位	说明
7-0	RTRIM_B	R/W	未定义	该寄存器可控制 VINB ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.35 A-ADC、单通道模式、前台校准寄存器的时序调整（地址 = 0x080）[复位 = 未定义]

图 6-55. 寄存器 (TADJ_A_FG90)

7	6	5	4	3	2	1	0
TADJ_A_FG90							
R/W							

表 6-79. TADJ_A_FG90 字段说明

位	字段	类型	复位	说明
7-0	TADJ_A_FG90	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.36 B-ADC、单通道模式、前台校准寄存器的时序调整（地址 = 0x081）[复位 = 未定义]

图 6-56. 寄存器 (TADJ_B_FG0)

7	6	5	4	3	2	1	0
TADJ_B_FG0							
R/W							

表 6-80. TADJ_B_FG0 字段说明

位	字段	类型	复位	说明
7-0	TADJ_B_FG0	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.37 A-ADC、单通道模式、后台校准寄存器的时序调整（地址 = 0x082）[复位 = 未定义]

图 6-57. 寄存器 (TADJ_A_BG90)

7	6	5	4	3	2	1	0
TADJ_A_BG90							
R/W							

表 6-81. TADJ_B_FG0 字段说明

位	字段	类型	复位	说明
7-0	TADJ_A_BG90	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.38 C-ADC、单通道模式、后台校准寄存器的时序调整（地址 = 0x083）[复位 = 未定义]

图 6-58. C-ADC、单通道模式、后台校准寄存器的时序调整 (TADJ_C_BG0)

7	6	5	4	3	2	1	0
TADJ_C_BG0							
R/W							

表 6-82. TADJ_B_FG0 字段说明

位	字段	类型	复位	说明
7-0	TADJ_C_BG0	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.39 C-ADC、单通道模式、后台校准寄存器的时序调整（地址 = 0x084）[复位 = 未定义]

图 6-59. C-ADC、单通道模式、后台校准寄存器的时序调整 (TADJ_C_BG90)

7	6	5	4	3	2	1	0
TADJ_C_BG90							
R/W							

表 6-83. TADJ_B_FG0 字段说明

位	字段	类型	复位	说明
7-0	TADJ_C_BG90	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.40 B-ADC、单通道模式、后台校准寄存器的时序调整（地址 = 0x085）[复位 = 未定义]

图 6-60. B-ADC、单通道模式、后台校准寄存器的时序调整 (TADJ_B_BG0)

7	6	5	4	3	2	1	0
TADJ_B_BG0							
R/W							

表 6-84. TADJ_B_FG0 字段说明

位	字段	类型	复位	说明
7-0	TADJ_B_BG0	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.41 A-ADC、双通道模式寄存器的时序调整（地址 = 0x086）[复位 = 未定义]

图 6-61. A-ADC、双通道模式寄存器的时序调整 (TADJ_A)

7	6	5	4	3	2	1	0
TADJ_A							
R/W							

表 6-85. TADJ_A 字段说明

位	字段	类型	复位	说明
7-0	TADJ_A	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.42 用于 A-ADC 的 C-ADC、双通道模式寄存器的时序调整（地址 = 0x087）[复位 = 未定义]

图 6-62. 用于 A-ADC 的 C-ADC、双通道模式寄存器的时序调整 (TADJ_CA)

7	6	5	4	3	2	1	0
TADJ_CA							
R/W							

表 6-86. TADJ_CA 字段说明

位	字段	类型	复位	说明
7-0	TADJ_CA	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.43 用于 B-ADC 的 C-ADC、双通道模式寄存器的时序调整（地址 = 0x088）[复位 = 未定义]

图 6-63. 用于 B-ADC 的 C-ADC、双通道模式寄存器的时序调整 (TADJ_CB)

7	6	5	4	3	2	1	0
TADJ_CB							
R/W							

表 6-87. TADJ_CB 字段说明

位	字段	类型	复位	说明
7-0	TADJ_CB	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.44 B-ADC、双通道模式寄存器的时序调整（地址 = 0x089）[复位 = 未定义]

图 6-64. B-ADC、双通道模式寄存器的时序调整 (TADJ_B)

7	6	5	4	3	2	1	0
TADJ_B							
R/W							

表 6-88. TADJ_B 字段说明

位	字段	类型	复位	说明
7-0	TADJ_B	R/W	未定义	该寄存器（以及其他后续 TADJ* 寄存器）用于调整每个 ADC 内核的采样时刻。在后台校准的不同模式或阶段，不同的 TADJ 寄存器适用于不同的 ADC。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.45 A-ADC 和 INA 寄存器的偏移调整（地址 = 0x08A-0x08B）[复位 = 未定义]

图 6-65. A-ADC 和 INA 寄存器的偏移调整 (OADJ_A_INA)

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_A_INA[7:0]							
R/W							

表 6-89. OADJ_A_INA 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_A_INA	R/W	未定义	ADC0 对 INA 进行采样时，应用 ADC0 (A-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

Copyright © 2025 Texas Instruments Incorporated

6.6.1.46 A-ADC 和 INB 寄存器的偏移调整（地址 = 0x08C-0x08D）[复位 = 未定义]

图 6-66. A-ADC 和 INB 寄存器的偏移调整 (OADJ_A_INB)

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_A_INB[7:0]							
R/W							

表 6-90. OADJ_A_INB 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_A_INB	R/W	未定义	ADC0 对 INB 进行采样时，应用 ADC0 (A-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。 重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

6.6.1.47 C-ADC 和 INA 寄存器的偏移调整（地址 = 0x08E-0x08F）[复位 = 未定义]

图 6-67. C-ADC 和 INA 寄存器的偏移调整 (OADJ_C_INA)

15	14	13	12	11	10	9	8
RESERVED				OADJ_C_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_C_INA[7:0]							
R/W							

表 6-91. OADJ_C_INA 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_C_INA	R/W	未定义	ADC1 对 INA 进行采样时，应用 ADC1 (A-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。 重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

6.6.1.48 C-ADC 和 INB 寄存器的偏移调整（地址 = 0x090-0x091）[复位 = 未定义]

图 6-68. C-ADC 和 INB 寄存器的偏移调整 (OADJ_C_INB)

15	14	13	12	11	10	9	8
RESERVED				OADJ_C_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_C_INB[7:0]							
R/W							

表 6-92. OADJ_C_INB 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_C_INB	R/W	未定义	ADC1 对 INB 进行采样时，应用 ADC1 (A-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。 重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

6.6.1.49 B-ADC 和 INA 寄存器的偏移调整（地址 = 0x092-0x093）[复位 = 未定义]

图 6-69. B-ADC 和 INA 寄存器的偏移调整 (OADJ_B_INA)

15	14	13	12	11	10	9	8
RESERVED				OADJ_B_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_B_INA[7:0]							
R/W							

表 6-93. OADJ_B_INA 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_B_INA	R/W	未定义	ADC2 对 INA 进行采样时，应用 ADC2 (B-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。 重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

Copyright © 2025 Texas Instruments Incorporated

6.6.1.50 B-ADC 和 INB 寄存器的偏移调整（地址 = 0x094-0x095）[复位 = 未定义]

图 6-70. B-ADC 和 INB 寄存器的偏移调整 (OADJ_B_INB)

15	14	13	12	11	10	9	8
RESERVED				OADJ_B_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_B_INB[7:0]							
R/W							

表 6-94. OADJ_B_INB 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0000	RESERVED
11-0	OADJ_B_INB	R/W	未定义	ADC2 对 INB 进行采样时，应用 ADC2 (B-ADC) 的偏移调整。格式为无符号型。复位后，可以根据需要读取和调整出厂修整值。重要说明： • 在进行前台校准时切勿写入 OADJ* 寄存器 • 如果设置了 CAL_BG 和 CAL_BGOS，则切勿写入 OADJ* 寄存器 • 如果 CAL_OS = 1 且 CAL_BGOS = 0，则在 FG_DONE = 1 时仅读取 OADJ* 寄存器 • 如果 CAL_BG = 1 且 CAL_BGOS = 1，则仅在 CAL_STOPPED = 1 时读取 OADJ* 寄存器

6.6.1.51 偏移滤波控制 0 寄存器（地址 = 0x097）[复位 = 0x00]

图 6-71. 偏移滤波控制 0 寄存器 (OSFILT0)

7	6	5	4	3	2	1	0
RESERVED							DC_RESTORE
R/W-0000 000							R/W

表 6-95. OSFILT0 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	DC_RESTORE	R/W	0	设置后，偏移电压滤波特性（由 CAL_OSFILT 使能）仅滤除 ADC 组之间的偏移不匹配，不会消除直流附近的频率成分。清零后，该特性会过滤来自所有组的所有偏移，从而过滤信号中的所有直流成分；请参阅*偏移滤波*部分。

6.6.1.52 偏移滤波控制 1 寄存器（地址 = 0x098）[复位 = 0x33]

图 6-72. 偏移滤波控制 1 寄存器 (OSFILT1)

7	6	5	4	3	2	1	0
OSFILT_BW				OSFILT_SOAK			
R/W-0011				R/W-0011			

表 6-96. OSFILT1 字段说明

位	字段	类型	复位	说明
7-4	OSFILT_BW	R/W	0011	该字段调整偏移滤波特性（通过 CAL_OSFILT 使能）的 IIR 滤波器带宽。更高的带宽会抑制来自 ADC 的更多闪烁噪声并减少偏移杂散。较小的带宽可最大限度地减小滤波器对任务模式信号的影响。 OSFILT_BW：IIR 系数：–3dB 带宽（单面） 0：保留 1：2^{-10}：609e-9 × F_{DEVCLK} 2：2^{-11}：305e-9 × F_{DEVCLK} 3：2^{-12}：152e-9 × F_{DEVCLK} 4：2^{-13}：76e-9 × F_{DEVCLK} 5：2^{-14}：38e-9 × F_{DEVCLK} 6-15：保留
3-0	OSFILT_SOAK	R/W	0011	该字段调整偏移滤波特性的 IIR 均热时间。当偏移滤波和后台校准都使能时，该字段适用。该字段决定在校准 ADC 后首次连接到 ADC 时允许 IIR 滤波器用于稳定的时间。均热时间结束后，使用 IIR 滤波器将 ADC 置于在线状态。设置 OSFILT_SOAK = OSFILT_BW。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.53 ADC 组寄存器（0x100 至 0x15F）

表 6-97. ADC 组寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x100-0x101	未定义	RESERVED	RESERVED	—
0x102	未定义	B0_TIME_0	组 0（0° 时钟）寄存器的时序调整	节 6.6.1.54
0x103	未定义	B0_TIME_90	组 0（-90° 时钟）寄存器的时序调整	节 6.6.1.55
0x104-0x111	未定义	RESERVED	RESERVED	—
0x112	未定义	B1_TIME_0	组 1（0° 时钟）寄存器的时序调整	节 6.6.1.56
0x113	未定义	B1_TIME_90	组 1（-90° 时钟）寄存器的时序调整	节 6.6.1.57
0x114-0x121	未定义	RESERVED	RESERVED	—
0x122	未定义	B2_TIME_0	组 2（0° 时钟）寄存器的时序调整	节 6.6.1.58
0x123	未定义	B2_TIME_90	组 2（-90° 时钟）寄存器的时序调整	节 6.6.1.59
0x124-0x131	未定义	RESERVED	RESERVED	—
0x132	未定义	B3_TIME_0	组 3（0° 时钟）寄存器的时序调整	节 6.6.1.60
0x133	未定义	B3_TIME_90	组 3（-90° 时钟）寄存器的时序调整	节 6.6.1.61
0x134-0x141	未定义	RESERVED	RESERVED	—
0x142	未定义	B4_TIME_0	组 4（0° 时钟）寄存器的时序调整	节 6.6.1.62
0x143	未定义	B4_TIME_90	组 4（-90° 时钟）寄存器的时序调整	节 6.6.1.63
0x144-0x151	未定义	RESERVED	RESERVED	—
0x152	未定义	B5_TIME_0	组 5（0° 时钟）寄存器的时序调整	节 6.6.1.64
0x153	未定义	B5_TIME_90	组 5（-90° 时钟）寄存器的时序调整	节 6.6.1.65
0x154-0x15F	未定义	RESERVED	RESERVED	—

6.6.1.54 组 0（0° 时钟）寄存器的时序调整（地址 = 0x102）[复位 = 未定义]

图 6-73. 组 0（0° 时钟）寄存器的时序调整 (B0_TIME_0)

7	6	5	4	3	2	1	0
B0_TIME_0							
R/W							

表 6-98. B0_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B0_TIME_0	R/W	未定义	组 0 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.55 组 0（-90° 时钟）寄存器的时序调整（地址 = 0x103）[复位 = 未定义]

图 6-74. 组 0（-90° 时钟）寄存器的时序调整 (B0_TIME_90)

7	6	5	4	3	2	1	0
B0_TIME_90							
R/W							

表 6-99. B0_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B0_TIME_90	R/W	未定义	组 0 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.56 组 1（0° 时钟）寄存器的时序调整（地址 = 0x112）[复位 = 未定义]

图 6-75. 组 1（0° 时钟）寄存器的时序调整 (B1_TIME_0)

7	6	5	4	3	2	1	0
B1_TIME_0							
R/W							

表 6-100. B1_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B1_TIME_0	R/W	未定义	组 1 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.57 组 1（-90° 时钟）寄存器的时序调整（地址 = 0x113）[复位 = 未定义]

图 6-76. 组 1（-90° 时钟）寄存器的时序调整 (B1_TIME_90)

7	6	5	4	3	2	1	0
B1_TIME_90							
R/W							

表 6-101. B1_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B1_TIME_90	R/W	未定义	组 1 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.58 组 2（0° 时钟）寄存器的时序调整（地址 = 0x122）[复位 = 未定义]

图 6-77. 组 2（0° 时钟）寄存器的时序调整 (B2_TIME_0)

7	6	5	4	3	2	1	0
B2_TIME_0							
R/W							

表 6-102. B2_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B2_TIME_0	R/W	未定义	组 2 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.59 组 2（-90° 时钟）寄存器的时序调整（地址 = 0x123）[复位 = 未定义]

图 6-78. 组 2（-90° 时钟）寄存器的时序调整 (B2_TIME_90)

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-78. 组 2（-90° 时钟）寄存器的时序调整 (B2_TIME_90)（续）

B2_TIME_90
R/W

表 6-103. B2_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B2_TIME_90	R/W	未定义	组 2 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.60 组 3（0° 时钟）寄存器的时序调整（地址 = 0x132）[复位 = 未定义]

图 6-79. 组 3（0° 时钟）寄存器的时序调整 (B3_TIME_0)

7	6	5	4	3	2	1	0
B3_TIME_0							
R/W							

表 6-104. B3_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B3_TIME_0	R/W	未定义	组 3 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.61 组 3（-90° 时钟）寄存器的时序调整（地址 = 0x133）[复位 = 未定义]

图 6-80. 组 3（-90° 时钟）寄存器的时序调整 (B3_TIME_90)

7	6	5	4	3	2	1	0
B3_TIME_90							
R/W							

表 6-105. B3_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B3_TIME_90	R/W	未定义	组 3 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.62 组 4（0° 时钟）寄存器的时序调整（地址 = 0x142）[复位 = 未定义]

图 6-81. 组 4（0° 时钟）寄存器的时序调整 (B4_TIME_0)

7	6	5	4	3	2	1	0
B4_TIME_0							
R/W							

表 6-106. B4_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B4_TIME_0	R/W	未定义	组 4 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.63 组 4（-90° 时钟）寄存器的时序调整（地址 = 0x143）[复位 = 未定义]

图 6-82. 组 4（-90° 时钟）寄存器的时序调整 (B4_TIME_90)

7	6	5	4	3	2	1	0
B4_TIME_90							

图 6-82. 组 4（-90° 时钟）寄存器的时序调整 (B4_TIME_90)（续）

R/W

表 6-107. B4_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B4_TIME_90	R/W	未定义	组 4 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.64 组 5（0° 时钟）寄存器的时序调整（地址 = 0x152）[复位 = 未定义]

图 6-83. 组 5（0° 时钟）寄存器的时序调整 (B5_TIME_0)

7	6	5	4	3	2	1	0
B5_TIME_0							
R/W							

表 6-108. B5_TIME_0 字段说明

位	字段	类型	复位	说明
7-0	B5_TIME_0	R/W	未定义	组 5 的时间调整（在 ADC 配置为 0° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

6.6.1.65 组 5（-90° 时钟）寄存器的时序调整（地址 = 0x153）[复位 = 未定义]

图 6-84. 组 5（-90° 时钟）寄存器的时序调整 (B5_TIME_90)

7	6	5	4	3	2	1	0
B5_TIME_90							
R/W							

表 6-109. B5_TIME_90 字段说明

位	字段	类型	复位	说明
7-0	B5_TIME_90	R/W	未定义	组 5 的时间调整（在 ADC 配置为 -90° 时钟相位时应用）。复位后，可以根据需要读取和调整出厂修整值。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.66 LSB 控制寄存器（0x160 至 0x1FF）

表 6-110. LSB 控制寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x160	0x00	ENC_LSB	LSB 控制位输出寄存器	图 6-85
0x161-0x1FF	未定义	RESERVED	RESERVED	—

6.6.1.67 LSB 控制位输出寄存器（地址 = 0x160）[复位 = 0x00]

图 6-85. LSB 控制位输出寄存器 (ENC_LSB)

7	6	5	4	3	2	1	0
RESERVED							TIMESTAMP_EN
R/W-0000 000							R/W-0

表 6-111. ENC_LSB 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	TIMESTAMP_EN	R/W	0	设置后，传输层可在输出样本的 LSB 上传输时间戳信号。仅在 1 倍抽取率（DDC 旁路）模式下受支持。TIMESTAMP_EN 的优先级高于 CAL_STATE_EN。使用时间戳时，TMSTP_RECV_EN 也必须设置为高电平。时间戳信号的延迟（在整个器件上）与模拟 ADC 输入的延迟相匹配。 在 8 位模式下，控制位置于 8 位样本的 LSB 上（留下 7 位样本数据）。如果器件配置为传输 12 位数据，则将控制位置于 12 位数据的 LSB 上（留下 11 位样本数据）。 该寄存器使能的控制位绝不会在 ILA 中广播（在 ILA 中 $\overline{CS}$ 字段为 0）。

6.6.1.68 JESD204B 寄存器（0x200 至 0x20F）

表 6-112. JESD204B 寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x200	0x01	JESD_EN	JESD204B 使能寄存器	节 6.6.1.69
0x201	0x02	JMODE	JESD204B 模式寄存器	节 6.6.1.70
0x202	0x1F	KM1	JESD204B K 参数寄存器	节 6.6.1.71
0x203	0x01	JSYNC_N	JESD204B 手动 SYNC 请求寄存器	节 6.6.1.72
0x204	0x02	JCTRL	JESD204B 控制寄存器	节 6.6.1.73
0x205	0x00	JTEST	JESD204B 测试模式控制寄存器	节 6.6.1.74
0x206	0x00	DID	JESD204B DID 参数寄存器	节 6.6.1.75
0x207	0x00	FCHAR	JESD204B 帧字符寄存器	节 6.6.1.76
0x208	未定义	JESD_STATUS	JESD204B 系统状态寄存器	节 6.6.1.77
0x209	0x00	PD_CH	JESD204B 通道断电	节 6.6.1.78
0x20A	0x00	JEXTRA_A	JESD204B 额外通道使能（链路 A）	节 6.6.1.79
0x20B	0x00	JEXTRA_B	JESD204B 额外通道使能（链路 B）	节 6.6.1.80
0x20C-0x20F	未定义	RESERVED	RESERVED	—

6.6.1.69 JESD204B 使能寄存器（地址 = 0x200）[复位 = 0x01]

图 6-86. JESD204B 使能寄存器 (JESD_EN)

7	6	5	4	3	2	1	0
RESERVED							JESD_EN
R/W-0000 000							R/W-1

表 6-113. JESD_EN 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	JESD_EN	R/W	1	0：禁用 JESD204B 接口 1：使能 JESD204B 接口 更改其他 JESD204B 寄存器之前，必须将 JESD_EN 清零。当 JESD_EN 为 0 时，该块保持复位状态，串行器断电。时钟关闭以省电。LMFC 计数器也保持在复位状态，因此 SYSREF 不会对齐 LMFC。 在设置 JESD_EN 之前，务必设置 CAL_EN。 在清零 CAL_EN 之前，务必清零 JESD_EN。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.70 JESD204B 模式寄存器（地址 = 0x201）[复位 = 0x02]

图 6-87. JESD204B 模式寄存器 (JMODE)

7	6	5	4	3	2	1	0
RESERVED			JMODE				
R/W-000			R/W-0001 0				

表 6-114. JMODE 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	RESERVED
4-0	JMODE	R/W	0001 0	指定 JESD204B 输出模式（包括 DDC 抽取因子）。 仅当 JESD_EN = 0 且 CAL_EN = 0 时更改该寄存器。

6.6.1.71 JESD204B K 参数寄存器（地址 = 0x202）[复位 = 0x1F]

图 6-88. JESD204B K 参数寄存器 (KM1)

7	6	5	4	3	2	1	0
RESERVED			KM1				
R/W-000			R/W-1111 1				

表 6-115. KM1 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	RESERVED
4-0	KM1	R/W	1111 1	K 表示每个多帧的帧数，该寄存器必须编程为 K-1。根据 JMODE 设置，K 的合法值受到约束（默认设置：KM1 = 31、K = 32）。 仅在 JESD_EN 为 0 时更改该寄存器。

6.6.1.72 JESD204B 手动 SYNC 请求寄存器（地址 = 0x203）[复位 = 0x01]

图 6-89. JESD204B 手动 SYNC 请求寄存器 (JSYNC_N)

7	6	5	4	3	2	1	0
RESERVED							JSYNC_N
R/W-0000 000							R/W-1

表 6-116. JSYNC_N 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	JSYNC_N	R/W	1	将该位设置为 0 以请求 JESD204B 同步（相当于使 $\overline{\text{SYNCSE}}$ 引脚生效）。正常运行时，将该位设置为 1。 无论 SYNC_SEL 寄存器如何设置，JSYNC_N 寄存器始终可以生成同步请求。但是，如果所选的 SYNC 引脚保持低电平，除非对 SYNC_SEL = 2 进行编程，否则无法将同步请求置为无效。

6.6.1.73 JESD204B 控制寄存器（地址 = 0x204）[复位 = 0x02]

图 6-90. JESD204B 控制寄存器 (JCTRL)

7	6	5	4	3	2	1	0
RESERVED				SYNC_SEL		SFORMAT	SCR
R/W-0000				R/W-00		R/W-1	R/W-0

表 6-117. JCTRL 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3-2	SYNC_SEL	R/W	00	0：使用 SYNC~ 功能的 $\overline{\text{SYNCSE}}$ 输入（默认值） 1：使用 TMSTP± 差分输入来实现 SYNC~ 功能；还必须设置 TMSTP_RECV_EN 2：请勿使用任何同步输入信号(通过 JSYNC_N 使用软件 SYNC~)
1	SFORMAT	R/W	1	JESD204B 样本的输出样本格式。 0：偏移二进制 1：有符号的二进制补码（默认）
0	SCR	R/W	0	0：禁用扰频器（默认） 1：使能扰频器 仅当 JESD_EN 为 0 时更改此寄存器。

6.6.1.74 JESD204B 测试模式控制寄存器（地址 = 0x205）[复位 = 0x00]

图 6-91. JESD204B 测试模式控制寄存器 (JTEST)

7	6	5	4	3	2	1	0
RESERVED				JTEST			
R/W-0000				R/W-0000			

表 6-118. JTEST 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3-0	JTEST	R/W	0000	0：禁用测试模式；正常运行（默认值） 1：PRBS7 测试模式 2：PRBS15 测试模式 3：PRBS23 测试模式 4：斜坡测试模式 5：传输层测试模式 6：D21.5 测试模式 7：K28.5 测试模式 8：重复的 ILA 测试模式 9：修改的 RPAT 测试模式 10：串行输出保持低电平 11：串行输出保持高电平 12 – 15：保留 仅在 JESD_EN 为 0 时更改该寄存器。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.75 JESD204B DID 参数寄存器（地址 = 0x206）[复位 = 0x00]

图 6-92. JESD204B DID 参数寄存器 (DID)

7	6	5	4	3	2	1	0
DID							
R/W-0000 0000							

表 6-119. DID 字段说明

位	字段	类型	复位	说明
7-0	DID	R/W	0000 0000	指定在 JESD204B ILA 的第二个多帧期间传输的器件 ID (DID) 值。链路 A 传输 DID，链路 B 传输 DID+1。位 0 被忽略，并且始终返回 0（如果对奇数进行设定，则该数字递减至偶数）。 仅在 JESD_EN 为 0 时更改该寄存器。

6.6.1.76 JESD204B 帧字符寄存器（地址 = 0x207）[复位 = 0x00]

图 6-93. JESD204B 帧字符寄存器 (FCHAR)

7	6	5	4	3	2	1	0
RESERVED						FCHAR	
R/W-0000 00						R/W-00	

表 6-120. FCHAR 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1-0	FCHAR	R/W	00	指定用于表示帧结束的逗号字符。该字符根据情况传输（请参阅节 6.3.6.3.4 部分）。 0：使用 K28.7（默认值，符合 JESD204B） 1：使用 K28.1（不符合 JESD204B） 2：使用 K28.5（不符合 JESD204B） 3：保留 使用 JESD204B 接收器时，必须使用 FCHAR=0。当使用通用 8b、10b 接收器时，K28.7 字符可能会导致问题发生。当 K28.7 与某些数据字符组合时，可能会出现错误、未对齐的逗号字符，而且某些接收器会重新对齐到错误的逗号。为避免这种情况，应将 FCHAR 设定为 1 或 2。 仅在 JESD_EN 为 0 时更改该寄存器。

6.6.1.77 JESD204B 系统状态寄存器（地址 = 0x208）[复位 = 未定义]

图 6-94. JESD204B 系统状态寄存器 (JESD_STATUS)

7	6	5	4	3	2	1	0
RESERVED	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	PLL_LOCKED	RESERVED	
R	R	R	R/W	R/W	R	R	

表 6-121. JESD_STATUS 字段说明

位	字段	类型	复位	说明
7	RESERVED	R	未定义	RESERVED
6	LINK_UP	R	未定义	设置后，该位表示 JESD204B 链路已启动。
5	SYNC_STATUS	R	未定义	返回 JESD204B SYNC~ 信号的状态。 0：SYNC~ 置为有效 1：SYNC~ 置为无效
4	REALIGNED	R/W	未定义	当为高电平时，该位表示内部数字时钟、帧时钟或多帧 (LMFC) 时钟相位由 SYSREF 重新对齐。写入 1 以将该位清零。

表 6-121. JESD_STATUS 字段说明（续）

位	字段	类型	复位	说明
3	ALIGNED	R/W	未定义	当为高电平时，该位表示 SYSREF 已建立多帧 (LMFC) 时钟相位。启用 JESD204B 编码器后的第一个 SYSREF 事件将设置该位。写入 1 以将该位清零。
2	PLL_LOCKED	R	未定义	当为高电平时，该位表示 PLL 被锁定。
1-0	RESERVED	R	未定义	RESERVED

6.6.1.78 JESD204B 通道断电寄存器（地址 = 0x209）[复位 = 0x00]

图 6-95. JESD204B 通道断电寄存器 (PD_CH)

7	6	5	4	3	2	1	0
RESERVED						PD_BCH	PD_ACH
R/W-0000 00						R/W-0	R/W-0

表 6-122. PD_CH 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1	PD_BCH	R/W	0	该位置位时，*B* ADC 通道断电。绑定到 *B* ADC 通道的数字通道也会断电（请参阅数字通道绑定寄存器）。 重要说明： 在更改 PD_CH 之前设置 JESD_EN = 0。 要将两个 ADC 通道断电，请使用 MODE。 如果两个通道都断电，则整个 JESD204B 子系统（包括 PLL 和 LMFC）将断电 如果所选的 JESD204B 模式在链路 A 上传输 A 和 B 数据，而 B 数字通道被禁用，则链路 A 保持运行状态、但 B 通道样本未定义。
0	PD_ACH	R/W	0	该位置位时，*A* ADC 通道断电。绑定到 *A* ADC 通道的数字通道也会断电（数字通道绑定寄存器）。 重要说明： 在更改 PD_CH 之前设置 JESD_EN = 0。 要将两个 ADC 通道断电，请使用 MODE。 如果两个通道都断电，则整个 JESD204B 子系统（包括 PLL 和 LMFC）将断电 如果所选的 JESD204B 模式在链路 A 上传输 A 和 B 数据，而 B 数字通道被禁用，则链路 A 保持运行状态、但 B 通道样本未定义。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.79 JESD204B 额外通道使能（链路 A）寄存器（地址 = 0x20A）[复位 = 0x00]

图 6-96. JESD204B 额外通道使能（链路 A）寄存器 (JEXTRA_A)

7	6	5	4	3	2	1	0
EXTRA_LANE_A							EXTRA_SER_A
R/W-0000 000							R/W-0

表 6-123. JESD204B 额外通道使能（链路 A）字段说明

位	字段	类型	复位	说明
7-1	EXTRA_LANE_A	R/W	0000 000	对这些寄存器位进行编程以使能额外的通道（即使选定的 JMODE 不需要使能这些通道）。EXTRA_LANE_A (n) 使能 An（n = 1 至 7）。该寄存器会为受影响的通道使能链路层时钟。要使能额外串行化，请设置 EXTRA_SER_A = 1。
0	EXTRA_SER_A	R/W	0	0：仅使能额外通道的链路层时钟。 1：此外还使能了用于额外通道的串行器。使用此模式可从额外的通道传输数据。 重要说明： 仅在 JESD_EN = 0 时更改该寄存器。 额外通道的比特率和模式通过 JMODE 和 JTEST 参数设置。 此寄存器不会覆盖 PD_CH 寄存器，因此请确保链路已使能才能使用此特性。 要使能串行器 n，还必须使能数字较小的通道 0 至 n-1，否则串行器 n 不会接收时钟。

6.6.1.80 JESD204B 额外通道使能（链路 B）寄存器（地址 = 0x20B）[复位 = 0x00]

图 6-97. JESD204B 额外通道使能（链路 B）寄存器 (JEXTRA_B)

7	6	5	4	3	2	1	0
EXTRA_LANE_B							EXTRA_SER_B
R/W-0000 000							R/W-0

表 6-124. JESD204B 额外通道使能（链路 B）字段说明

位	字段	类型	复位	说明
7-1	EXTRA_LANE_B	R/W	0000 000	对这些寄存器位进行编程以使能额外的通道（即使选定的 JMODE 不需要使能这些通道）。EXTRA_LANE_B (n) 使能 Bn（n = 1 至 7）。该寄存器会为受影响的通道使能链路层时钟。要使能额外串行化，请设置 EXTRA_SER_B = 1。
0	EXTRA_SER_B	R/W	0	0：仅使能额外通道的链路层时钟。 1：此外还使能了用于额外通道的串行器。使用此模式可从额外的通道传输数据。 重要说明： 仅在 JESD_EN = 0 时更改该寄存器。 额外通道的比特率和模式通过 JMODE 和 JTEST 参数设置。 此寄存器不会覆盖 PD_CH 寄存器，因此请确保链路已使能才能使用此特性。 要使能串行器 n，还必须使能数字较小的通道 0 至 n-1，否则串行器 n 不会接收时钟。

6.6.1.81 数字下变频器寄存器 (0x210-0x2AF)

表 6-125. 数字下变频器和超范围寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x210	0x00	DDC_CFG	DDC 配置寄存器	节 6.6.1.82
0x211	0xF2	OVR_T0	超范围阈值 0 寄存器	节 6.6.1.83
0x212	0xAB	OVR_T1	超范围阈值 1 寄存器	节 6.6.1.84
0x213	0x07	OVR_CFG	超范围配置寄存器	节 6.6.1.85
0x214	0x00	CMODE	DDC 配置预设模式寄存器	节 6.6.1.86
0x215	0x00	CSEL	DDC 配置预设选择寄存器	节 6.6.1.87
0x216	0x02	DIG_BIND	数字通道绑定寄存器	节 6.6.1.88
0x217-0x218	0x0000	NCO_RDIV	Rational NCO 基准除数寄存器	节 6.6.1.89
0x219	0x02	NCO_SYNC	NCO 同步寄存器	节 6.6.1.90
0x21A-0x21F	未定义	RESERVED	RESERVED	—
0x220-0x223	0xC0000000	FREQA0	NCO 频率（DDC A 预设 0）	节 6.6.1.91
0x224-0x225	0x0000	PHASEA0	NCO 相位（DDC A 预设 0）	节 6.6.1.92
0x226-0x227	未定义	RESERVED	RESERVED	—
0x228-0x22B	0xC0000000	FREQA1	NCO 频率（DDC A 预设 1）	节 6.6.1.91
0x22C-0x22D	0x0000	PHASEA1	NCO 相位（DDC A 预设 1）	节 6.6.1.92
0x22E-0x22F	未定义	RESERVED	RESERVED	—
0x230-0x233	0xC0000000	FREQA2	NCO 频率（DDC A 预设 2）	节 6.6.1.91
0x234-0x235	0x0000	PHASEA2	NCO 相位（DDC A 预设 2）	节 6.6.1.92
0x236-0x237	未定义	RESERVED	RESERVED	—
0x238-0x23B	0xC0000000	FREQA3	NCO 频率（DDC A 预设 3）	节 6.6.1.91
0x23C-0x23D	0x0000	PHASEA3	NCO 相位（DDC A 预设 3）	节 6.6.1.92
0x23E-0x23F	未定义	RESERVED	RESERVED	—
0x240-0x243	0xC0000000	FREQB0	NCO 频率（DDC B 预设 0）	节 6.6.1.91
0x244-0x245	0x0000	PHASEB0	NCO 相位（DDC B 预设 0）	节 6.6.1.92
0x246-0x247	未定义	RESERVED	RESERVED	—
0x248-0x24B	0xC0000000	FREQB1	NCO 频率（DDC B 预设 1）	节 6.6.1.91
0x24C-0x24D	0x0000	PHASEB1	NCO 相位（DDC B 预设 1）	节 6.6.1.92
0x24E-0x24F	未定义	RESERVED	RESERVED	—
0x250-0x253	0xC0000000	FREQB2	NCO 频率（DDC B 预设 2）	节 6.6.1.91
0x254-0x255	0x0000	PHASEB2	NCO 相位（DDC B 预设 2）	节 6.6.1.92
0x256-0x257	未定义	RESERVED	RESERVED	—
0x258-0x25B	0xC0000000	FREQB3	NCO 频率（DDC B 预设 3）	节 6.6.1.91
0x25C-0x25D	0x0000	PHASEB3	NCO 相位（DDC B 预设 3）	节 6.6.1.92
0x25E-0x296	未定义	RESERVED	RESERVED	—
0x297	未定义	SPIN_ID	Spin 标识值	节 6.6.1.93
0x298-0x2AF	未定义	RESERVED	RESERVED	—

6.6.1.82 DDC 配置寄存器（地址 = 0x210）[复位 = 0x00]

图 6-98. DDC 配置寄存器 (DDC_CFG)

7	6	5	4	3	2	1	0
RESERVED				D4_AP87	D2_HIGH_PASS	INVERT_SPECTRUM	升压
R/W-0000				R/W-0	R/W-0	R/W-0	R/W-0

Copyright © 2025 Texas Instruments Incorporated

表 6-126. DDC_CFG 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3	D4_AP87	R/W	0	0：4 倍抽取率模式使用 80% 混叠保护，抑制 > 80dB 1：4 倍抽取率模式使用 87.5% 混叠保护，抑制 > 60dB
2	D2_HIGH_PASS	R/W	0	0：2 倍抽取率模式使用低通滤波器 1：2 倍抽取率模式使用高通滤波器。抽取高通信号会导致频谱反转。这个反相可通过设置 INVERT_SPECTRUM 来撤消。
1	INVERT_SPECTRUM	R/W	0	0：未对输出频谱应用反转 1：输出频谱反转 。此寄存器仅在 DDC 使能且正在产生实际输出（非复数）时适用。通过将信号与 FSOUT / 2 混合，可将频谱反转（例如，将所有奇数样本反转）。
0	升压	R/W	0	DDC 增益控制。仅适用于具有复数抽取的 DDC 模式。 0：最终滤波器增益为 0dB（默认值） 1：最终滤波器的增益为 6.02dB。仅当确定输入信号的负图像被 DDC 滤除时才使用该设置，否则可能会发生数字削波。

6.6.1.83 超范围阈值 0 寄存器（地址 = 0x211）[复位 = 0xF2]

图 6-99. 超范围阈值 0 寄存器 (OVR_T0)

7	6	5	4	3	2	1	0
OVR_T0							
R/W-1111 0010							

表 6-127. OVR_T0 字段说明

位	字段	类型	复位	说明
7-0	OVR_T0	R/W	1111 0010	超范围阈值 0。该参数可定义导致将控制位设置为 0 的绝对采样电平。以 dBFS（峰值）为单位的检测水平为： 20_{log10}(OVR_T0 / 256) 默认值：0xF2 = 242 → –0.5 dBFS。

6.6.1.84 超范围阈值 1 寄存器（地址 = 0x212）[复位 = 0xAB]

图 6-100. 超范围阈值 1 寄存器 (OVR_T1)

7	6	5	4	3	2	1	0
OVR_T1							
R/W-1010 1011							

表 6-128. OVR_T1 字段说明

位	字段	类型	复位	说明
7-0	OVR_T1	R/W	1010 1011	超范围阈值 1。该参数可定义导致将控制位设置为 1 的绝对采样电平。以 dBFS（峰值）为单位的检测水平为： 20_{log10}(OVR_T1 / 256) 默认值：0xAB = 171 → –3.5 dBFS。

6.6.1.85 超范围配置寄存器（地址 = 0x213）[复位 = 0x07]

图 6-101. 超范围配置寄存器 (OVR_CFG)

7	6	5	4	3	2	1	0
RESERVED				OVR_EN	OVR_N		
R/W-0000				R/W-0	R/W-111		

表 6-129. OVR_CFG 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000 0	RESERVED
3	OVR_EN	R/W	0	设置为高电平时，可使能超范围状态输出引脚。当 OVR_EN 设置为低电平时，ORA0、ORA1、ORB0 和 ORB1 输出保持低电平状态。该寄存器仅影响超范围输出引脚 (ORxx)，而不影响数据样本中嵌入的超范围状态。
2-0	OVR_N(1)	R/W	111	对该寄存器进行编程，可调整 ORA0、ORA1 和 ORB0、ORB1 输出的扩展。超范围输出的最小脉冲持续时间为 8×2^{OVR_N} DEVCLK 周期。将该字段递增会使监控周期加倍。

(1) 在 JESD_EN=1 时更改 OVR_N 设置可能会导致监控周期的相位发生变化。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.86 DDC 配置预设模式寄存器（地址 = 0x214）[复位 = 0x00]

图 6-102. DDC 配置预设模式寄存器 (CMODE)

7	6	5	4	3	2	1	0
RESERVED						CMODE	
R/W-0000 00						R/W-00	

表 6-130. CMODE 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1-0	CMODE	R/W	00	DDC A 的 NCO 频率和相位由 FREQAx 和 PHASEAx 寄存器设置，DDC B 的 NCO 频率和相位由 FREQBx 和 PHASEBx 寄存器设置，其中 *x* 是配置预设（0 至 3）。 0：使用 CSEL 寄存器选择 DDC A 和 DDC B 的有效 NCO 配置预设 1：使用 NCOA[1:0] 引脚选择 DDC A 的有效 NCO 配置预设，使用 NCOB[1:0] 引脚选择 DDC B 的有效 NCO 配置预设 2：使用 NCOA[1:0] 引脚选择 DDC A 和 DDC B 的有效 NCO 配置预设 3：保留

6.6.1.87 DDC 配置预设选择寄存器（地址 = 0x215）[复位 = 0x00]

图 6-103. DDC 配置预设选择寄存器 (CSEL)

7	6	5	4	3	2	1	0
RESERVED				CSELB		CSELA	
R/W-0000				R/W-00		R/W-00	

表 6-131. CSEL 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	RESERVED
3-2	CSELB	R/W	00	当 CMODE = 0 时，该寄存器用于选择 DDC B 的活动 NCO 配置预设。
1-0	CSELA	R/W	00	当 CMODE = 0 时，该寄存器用于选择 DDC A 的活动 NCO 配置预设。 示例：如果 CSELA = 0，则 FREQA0 和 PHASEA0 为有效设置。如果 CSELA = 1，则 FREQA1 和 PHASEA1 为有效设置。

6.6.1.88 数字通道绑定寄存器（地址 = 0x216）[复位 = 0x02]

图 6-104. 数字通道绑定寄存器 (DIG_BIND)

7	6	5	4	3	2	1	0
RESERVED						DIG_BIND_B	DIG_BIND_A
R/W-0000 00						R/W-1	R/W-0

表 6-132. DIG_BIND 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1	DIG_BIND_B	R/W	0	数字通道 B 输入选择： 0：数字通道 B 从 ADC 通道 A 接收数据 1：数字通道 B 从 ADC 通道 B 接收数据（默认值）
0	DIG_BIND_A	R/W	0	数字通道 A 输入选择： 0：数字通道 A 从 ADC 通道 A 接收数据（默认值） 1：数字通道 A 从 ADC 通道 B 接收数据 在使用单通道模式时，始终使用 DIG_BIND 的默认设置，否则器件无法正常工作。 在更改 DIG_BIND 之前，设置 JESD_EN = 0 和 CAL_EN = 0。DIG_BIND 设置与 PD_ACH、PD_BCH 结合使用，以确定数字通道是否断电。当 ADC 通道绑定到的断电（通过 PD_ACH、PD_BCH）时，每个数字通道（和链路）断电。

6.6.1.89 Rational NCO 基准除数寄存器（地址 = 0x217 至 0x218）[复位 = 0x0000]

图 6-105. Rational NCO 基准除数寄存器 (NCO_RDIV)

15	14	13	12	11	10	9	8
NCO_RDIV[15:8]							
R/W-0000 0000							
7	6	5	4	3	2	1	0
NCO_RDIV[7:0]							
R/W-0000 0000							

表 6-133. NCO_RDIV 字段说明

位	字段	类型	复位	说明
15-0	NCO_RDIV	R/W	0x0000h	有时，32 位 NCO 频率字不提供所需的频率步长，只能近似得出所需的频率。这种情况会导致频率误差。使用该寄存器可消除频率误差。该寄存器用于所有配置预设；请参阅 *节 6.3.5.1.4* 部分。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.90 NCO 同步寄存器（地址 = 0x219）[复位 = 0x02]

图 6-106. NCO 同步寄存器 (NCO_SYNC)

7	6	5	4	3	2	1	0
RESERVED						NCO_SYNC_ILA	NCO_SYNC_NEXT
R/W-0000 00						R/W-1	R/W-0

表 6-134. NCO_SYNC 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1	NCO_SYNC_ILA	R/W	0	设置该位时，NCO 相位由开始 ILA 序列的 LMFC 边沿初始化（默认设置）。
0	NCO_SYNC_NEXT	R/W	0	在向该位写入 0 然后写入 1 之后，下一个 SYSREF 上升沿将初始化 NCO 相位。当 NCO 相位由 SYSREF 初始化时，除非再次向该位写入 0 和 1，否则 NCO 不会在未来的 SYSREF 边沿上重新初始化。 按照以下步骤在多个器件中对齐 NCO： • 确保器件已上电，设置了 JESD_EN，器件时钟正在运行。 • 确保未禁用 SYSREF（未切换）。 • 在所有器件上设定 NCO_SYNC_ILA = 0。 • 在所有器件上写入 NCO_SYNC_NEXT = 0。 • 在所有器件上写入 NCO_SYNC_NEXT = 1。NCO 同步已使能。 • 指示 SYSREF 源生成 1 个或多个 SYSREF 脉冲。 • 所有器件都使用第一个 SYSREF 上升沿初始化其 NCO。

6.6.1.91 NCO 频率（DDC A 或 DDC B 和预设 x）寄存器（地址 = 请参阅 表 6-125 ）[复位 = 请参阅 表 6-125]

图 6-107. NCO 频率（DDC A 或 DDC B 和预设 x）寄存器（FREQAx 或 FREQBx）

31	30	29	28	27	26	25	24
FREQAx[31:24] 或 FREQBx[31:24]							
R/W-0xC0							
23	22	21	20	19	18	17	16
FREQAx[23:16] 或 FREQBx[23:16]							
R/W-0x00							
15	14	13	12	11	10	9	8
FREQAx[15:8] 或 FREQBx[15:8]							
R/W-0x00							
7	6	5	4	3	2	1	0
FREQAx[7:0] 或 FREQBx[7:0]							
R/W-0x00							

表 6-135. FREQAx 或 FREQBx 字段说明

位	字段	类型	复位	说明
31-0	FREQAx 或 FREQBx	R/W	请参阅 表 6-125	在 JESD204B 接口运行后更改该寄存器将导致非确定性 NCO 相位。如果需要确定性相位，则必须在更改该寄存器后重新初始化 JESD204B 接口。该寄存器可以解释为有符号或无符号。当解释为有符号（二进制补码）时，NCO 频率介于 $-f_S / 2$ 到 $f_S / 2$ 之间。当被解释为无符号时，NCO 频率介于 0 和 f_S 之间。

6.6.1.92 NCO 相位（DDC A 或 DDC B 和预设 x）寄存器（地址 = 请参阅 表 6-125 ）[复位 = 请参阅 表 6-125]

图 6-108. NCO 相位（DDC A 或 DDC B 和预设 x）寄存器（PHASEAx 或 PHASEBx）

15	14	13	12	11	10	9	8
PHASEAx[15:8] 或 PHASEBx[15:8]							
R/W-0x00							
7	6	5	4	3	2	1	0
PHASEAx[7:0] 或 PHASEBx[7:0]							
R/W-0x00							

表 6-136. PHASEAx 或 PHASEBx 字段说明

位	字段	类型	复位	说明
15-0	PHASEAx 或 PHASEBx	R/W	请参阅 表 6-125	该值 MSB 对齐到 32 位字段中，然后添加到相位累加器。该寄存器可以解释为有符号或无符号；请参阅 *节 6.3.5.1.5* 部分

6.6.1.93 Spin 标识寄存器（地址 = 0x297）[复位 = 未定义]

图 6-109. Spin 标识寄存器 (SPIN_ID)

7	6	5	4	3	2	1	0
RESERVED			SPIN_ID				
R-000			R				

表 6-137. SPIN_ID 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	000	RESERVED
4-0	SPIN_ID	R	5	引脚标识值。 5：ADC12DJ3200QML-SP

Copyright © 2025 Texas Instruments Incorporated

6.6.2 SYSREF 校准寄存器（0x2B0 至 0x2BF）

表 6-138. SYSREF 校准寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x2B0	0x00	SRC_EN	SYSREF 校准使能寄存器	节 6.6.2.1
0x2B1	0x05	SRC_CFG	SYSREF 校准配置寄存器	节 6.6.2.2
0x2B2-0x2B4	未定义	SRC_STATUS	SYSREF 校准状态	节 6.6.2.3
0x2B5-0x2B7	0x00	TAD	DEVCLK 孔径延迟调整寄存器	节 6.6.2.4
0x2B8	0x00	TAD_RAMP	DEVCLK 时序调整斜坡控制寄存器	节 6.6.2.5
0x2B9-0x2BF	未定义	RESERVED	RESERVED	—

6.6.2.1 SYSREF 校准使能寄存器（地址 = 0x2B0）[复位 = 0x00]

图 6-110. SYSREF 校准使能寄存器 (SRC_EN)

7	6	5	4	3	2	1	0
RESERVED							SRC_EN
R/W-0000 000							R/W-0

表 6-139. SRC_EN 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000 000	RESERVED
0	SRC_EN	R/W	0	0：禁用 SYSREF 校准；使用 TAD 寄存器手动控制 TAD[16:0] 输出并调整 DEVCLK 延迟（默认值） 1：使能 SYSREF 校准；自动校准 DEVCLK 延迟；忽略 TAD 寄存器 SRC_EN 上的 0 到 1 转换将启动 SYSREF 校准序列。在设置 SRC_EN 之前对 SRC_CFG 进行编程。在设置 SRC_EN 之前，确保当前没有运行 ADC 校准。

6.6.2.2 SYSREF 校准配置寄存器（地址 = 0x2B1）[复位 = 0x05]

图 6-111. SYSREF 校准配置寄存器 (SRC_CFG)

7	6	5	4	3	2	1	0
RESERVED				SRC_AVG		SRC_HDUR	
R/W-0000				R/W-01		R/W-01	

表 6-140. SRC_CFG 字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000 00	RESERVED
3-2	SRC_AVG	R/W	01	指定用于 SYSREF 校准的均值计算量。较大的值会增加校准时间并减小校准值的变化。 0：4 样本均值计算 1：16 样本均值计算 2：64 样本均值计算 3：256 样本均值计算
1-0	SRC_HDUR	R/W	01	指定用于 SYSREF 校准的每个高速累积的持续时间。如果 SYSREF 周期超过支持的值，校准将失败。较大的值会增加校准时间并支持更长的 SYSREF 周期。对于给定的 SYSREF 周期，较大的值也会减少校准值的变化。 0：每次累积 4 个周期，最大 SYSREF 周期为 85 DEVCLK 周期 1：每次累积 16 个周期，最大 SYSREF 周期为 1100 DEVCLK 周期 2：每次累积 64 个周期，最大 SYSREF 周期为 5200 DEVCLK 周期 3：每次累积 256 个周期，最大 SYSREF 周期为 21580 个 DEVCLK 周期 SYSREF 校准的最大持续时间由以下公式限制： $T_{SYSREFCAL}$（以 DEVCLK 周期计）= $256 \times 19 \times 4^{(SRC_AVG + SRC_HDUR + 2)}$

6.6.2.3 SYSREF 校准状态寄存器（地址 = 0x2B2 至 0x2B4）[复位 = 未定义]

图 6-112. SYSREF 校准状态寄存器 (SRC_STATUS)

23	22	21	20	19	18	17	16
RESERVED						SRC_DONE	SRC_TAD[16]
R						R	R
15	14	13	12	11	10	9	8
SRC_TAD[15:8]							
R							
7	6	5	4	3	2	1	0
SRC_TAD[7:0]							
R							

表 6-141. SRC_STATUS 字段说明

位	字段	类型	复位	说明
23-18	RESERVED	R	未定义	RESERVED
17	SRC_DONE	R	未定义	当 SRC_EN = 1 并且 SYSREF 校准完成时，该位返回 1。
16-0	SRC_TAD	R	未定义	该字段返回由 SYSREF 校准计算的 TAD[16:0] 的值。此字段仅在 SRC_DONE = 1 时有效。

Copyright © 2025 Texas Instruments Incorporated

6.6.2.4 DEVCLK 孔径延迟调整寄存器（地址 = 0x2B5 至 0x2B7）[复位 = 0x000000]

图 6-113. DEVCLK 孔径延迟调整寄存器 (TAD)

23	22	21	20	19	18	17	16
RESERVED							TAD_INV
R/W-0000 000							R/W-0
15	14	13	12	11	10	9	8
TAD_COARSE							
R/W-0000 0000							
7	6	5	4	3	2	1	0
TAD_FINE							
R/W-0000 0000							

表 6-142. TAD 字段说明

位	字段	类型	复位	说明
23-17	RESERVED	R/W	0000 000	RESERVED
16	TAD_INV	R/W	0	通过将该位设置为 1 使 DEVCLK 反转。
15-8	TAD_COARSE	R/W	0000 0000	当 SRC_EN = 0 时，该寄存器控制 DEVCLK 孔径延迟调整。当禁用 SYSREF 校准时，可使用该寄存器手动控制 DEVCLK 孔径延迟。如果正在运行 ADC 校准或 JESD204B，TI 建议逐渐增大或减小此值（一次 1 个代码）以避免时钟干扰。有关 TAD_COARSE 分辨率，请参阅 *节 5.10* 表。
7-0	TAD_FINE	R/W	0000 0000	有关 TAD_FINE 分辨率，请参阅 *节 5.10* 表。

6.6.2.5 DEVCLK 时序调整斜坡控制寄存器（地址 = 0x2B8）[复位 = 0x00]

图 6-114. DEVCLK 时序调整斜坡控制寄存器 (TAD_RAMP)

7	6	5	4	3	2	1	0
RESERVED						TAD_RAMP_RATE	TAD_RAMP_EN
R/W-0000 00						R/W-0	R/W-0

表 6-143. TAD_RAMP 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0000 00	RESERVED
1	TAD_RAMP_RATE	R/W	0	指定在 TAD_RAMP_EN = 1 时写入 TAD[15:8] 寄存器时 TAD[15:8] 输出的斜坡速率。 0：每 256 个 DEVCLK 周期，TAD[15:8] 斜升或斜降一个代码。 1：每 256 个 DEVCLK 周期，TAD[15:8] 斜升或斜降 4 个代码。
0	TAD_RAMP_EN	R/W	0	TAD 斜坡使能。如果需要粗略 TAD 调整来斜升或斜降，而不是突然变化，请设置该位。 0：写入 TAD[15:8] 寄存器后，孔径延迟会在 1024 个 DEVCLK 周期内更新 1：写入 TAD[15:8] 寄存器后，孔径延迟会斜升或斜降，直到孔径延迟与 TAD[15:8] 寄存器匹配

6.6.3 警报寄存器 (0x2C0 至 0x2C2)

表 6-144. 警报寄存器

地址	复位	首字母缩写词	寄存器名称	章节
0x2C0	未定义	ALARM	警报中断状态寄存器	节 6.6.3.1
0x2C1	0x1F	ALM_STATUS	警报状态寄存器	节 6.6.3.2
0x2C2	0x1F	ALM_MASK	警报屏蔽寄存器	节 6.6.3.3

6.6.3.1 警报控制寄存器（地址 = 0x2C0）[复位 = 未定义]

图 6-115. 警报中断寄存器 (ALARM)

7	6	5	4	3	2	1	0
RESERVED							ALARM
R							R

表 6-145. ALARM 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	未定义	RESERVED
0	ALARM	R	未定义	只要发生的任何未在 ALM_STATUS 寄存器中屏蔽的警报，该位就会返回“1”。使用 ALM_MASK 可屏蔽（禁用）各个警报。CAL_STATUS_SEL 可用于将警报位驱动到 CALSTAT 输出引脚上，以提供硬件警报中断信号。

6.6.3.2 警报状态寄存器（地址 = 0x2C1）[复位 = 0x1F]

图 6-116. 警报状态寄存器 (ALM_STATUS)

7	6	5	4	3	2	1	0
RESERVED			PLL_ALM	LINK_ALM	REALIGNED_ALM	NCO_ALM	CLK_ALM
R/W-000			R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

表 6-146. ALM_STATUS 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	RESERVED
4	PLL_ALM	R/W	1	PLL 锁定丢失警报。只要 PLL 未锁定，就会设置该位。写入 1 以将该位清零。
3	LINK_ALM	R/W	1	链路警报。只要启用了 JESD204B 链路，但未处于 DATA_ENC 状态，就会设置该位。写入 1 以将该位清零。
2	REALIGNED_ALM	R/W	1	重新对齐警报。只要 SYSREF 导致内部时钟（包括 LMFC）重新对齐，就会设置该位。写入 1 以将该位清零。
1	NCO_ALM	R/W	1	NCO 警报。该位可用于检测 NCO 相位的翻转。当发生以下任一情况时，均会设置此位： • 禁用 NCO (JESD_EN = 0) • NCO 被同步（有意或无意） • 通道 A 中的任何相位累加器都与通道 B 不匹配 写入 1 以将该位清零。
0	CLK_ALM	R/W	1	时钟警报。该位可用于检测数字块和 JESD204B 时钟的翻转。只要 A 和 B 通道的内部时钟分频器不匹配，就会设置该位。写入 1 以将该位清零。

Copyright © 2025 Texas Instruments Incorporated

6.6.3.3 警报屏蔽寄存器（地址 = 0x2C2）[复位 = 0x1F]

图 6-117. 警报屏蔽寄存器 (ALM_MASK)

7	6	5	4	3	2	1	0
RESERVED			MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	MASK_NCO_ALM	MASK_CLK_ALM
R/W-000			R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

表 6-147. ALM_MASK 字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	RESERVED
4	MASK_PLL_ALM	R/W	1	设置后，PLL_ALM 被屏蔽，不会影响 ALARM 寄存器位。
3	MASK_LINK_ALM	R/W	1	设置后，LINK_ALM 被屏蔽，不会影响 ALARM 寄存器位。
2	MASK_REALIGNED_ALM	R/W	1	设置后，REALIGNED_ALM 被屏蔽，不会影响 ALARM 寄存器位。
1	MASK_NCO_ALM	R/W	1	设置后，NCO_ALM 被屏蔽，不会影响 ALARM 寄存器位。
0	MASK_CLK_ALM	R/W	1	设置后，CLK_ALM 被屏蔽，不会影响 ALARM 寄存器位。

7 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

ADC12DJ3200QML-SP 可用于各种航天应用，包括宽带卫星通信 (SATCOM) 和合成孔径雷达 (SAR)。较宽的输入带宽支持至少 8GHz 的直接射频采样，而高采样率支持大于 2GHz 的信号带宽。*节 7.2* 一节介绍了一种可满足大量此类应用需求的配置，而以下各节则介绍了一般应用信息。

7.1.1 模拟输入

大多数应用可分为两类：需要直流耦合的应用和不需要直流耦合的应用。每个类别的需求和接口建议有所不同。在大多数情况下，驱动电路需要针对 ADC12DJ3200QML-SP 输入执行从信号源的单端信号到差分信号的转换。

需要直流耦合的应用将需要使用直流耦合放大器来驱动 ADC。由于驱动器放大器和 ADC12DJ3200QML-SP 之间需要匹配的共模电压 (V_{CM})，直流耦合通常较为困难。由于 ADC12DJ3200QML-SP 具有 0V 输入共模电压 (V_{ICM})，因此在许多应用中都可以轻松实现这一点。0V V_{ICM} 允许分离式电源差分放大器在没有 V_{CM} 漂移的情况下直接驱动 ADC，从而使放大器能够在其最佳工作点运行，此时其输出共模电压 (V_{OCM}) 通常等于两个电源的中点。如果差分放大器有一个引脚用于设置其 V_{OCM}，则该引脚可以直接连接到 GND。LMH5401-SP 是一个能够驱动 ADC12DJ3200QML-SP 的示例放大器，该放大器能够将单端信号转换为差分信号，并且具有与 ADC12DJ3200QML-SP 带宽功能相匹配的高增益带宽积。

在第二类不需要直流耦合的应用中，通常会发现若使用变压器或平衡-非平衡变压器将单端信号转换为差分信号，可以实现出色性能。这些变压器还可以执行阻抗转换，以便 50Ω 单端源与 ADC12DJ3200QML-SP 内部的 100Ω 差分端接良好匹配。例如，1:2 阻抗比变压器可提供单端到差分转换和适当的阻抗匹配。变压器输出可以是交流耦合的，也可以直接连接到 ADC 差分输入，后者通过 50Ω 电阻器在内部端接至每个输入引脚上的 GND。必须选择平衡-非平衡变压器来覆盖所需的频率范围，其具有 1:2 的阻抗比，并在所需的频率范围内具有可接受的增益和相位平衡。增益和相位平衡不佳将导致二次谐波失真性能下降。表 7-1 列出了多种推荐用于不同频率范围的平衡-非平衡变压器，但并非详尽列表。

表 7-1. 推荐的平衡-非平衡变压器

器件型号	制造商[(1)]	最小频率 (MHz)	最大频率 (MHz)
BAL-0009SMG	Marki Microwave	0.5	9000
BAL-0208SMG	Marki Microwave	2000	8000
TCM2-43X+	迷你电路	10	4000
TCM2-33WX+	迷你电路	10	3000
B0430J50100AHF	Anaren	400	3000

(1) 请参阅*第三方产品免责声明*部分。

7.1.2 模拟输入带宽

ADC12DJ3200QML-SP 具有非常高的全功率输入带宽，支持对高达 10GHz 的信号进行直接采样。在许多情况下，变压器或平衡-非平衡变压器用于将前端信号链的单端信号转换为 ADC12DJ3200QML-SP 所需的差分信号。2:1 变压器将从单端 50Ω 源向 ADC 提供 100Ω 差分源阻抗，但输出回波损耗较差的平衡-非平衡变压器或变压器（与差分 100Ω 阻抗未良好匹配）将导致 ADC12DJ3200QML-SP 频率响应中出现频率纹波。为了改善频率纹波，可以使用电阻衰减器（Pi 或 T 型）来改善驱动元件的输出回波损耗，从而抑制频率响应纹波，但代价是前面放大器链中会产生额外的增益和驱动强度。通常，3dB 的衰减足以抑制由较差的输出回波损耗引入的频率响应纹波。更笼统地说，使用 ADC12DJ3200QML-SP 来实现最大频率响应平坦度（如图 5-68 所示）要求器件或

Copyright © 2025 Texas Instruments Incorporated

ADC12DJ3200QML-SP 之前的无源元件的输出阻抗与差分 100Ω 电阻良好匹配。额外的阻抗匹配通常将无法改善带宽。

7.1.3 时钟

ADC12DJ3200QML-SP 时钟输入必须与器件交流耦合，以提供额定性能。时钟源必须具有极低的抖动（集成相位噪声）才能实现额定性能。推荐的时钟合成器包括 LMX2615-SP。

JESD204B 数据转换器系统 (ADC + FPGA) 需要额外的 SYSREF 和器件时钟。LMK04832 器件是生成这些时钟的理想选择。根据 ADC 时钟频率和抖动要求，此器件也可用作系统时钟合成器或器件时钟和 SYSREF 分配器件（在系统中使用了多个 ADC12DJ3200QML-SP 器件时）。

7.1.4 辐射环境建议

在辐射环境中使用产品时，应仔细考虑环境条件。

7.1.4.1 单粒子闩锁 (SEL)

根据 EIA/JEDEC 标准 EIA/JEDEC57 进行了一次性单粒子闩锁 (SEL) 测试。特性中显示的线性能量传输阈值 (LETth) 是测试的最大 LET。

7.1.4.2 单粒子功能中断 (SEFI)

ADC12DJ3200QML-SP 的寄存器映射旨在将辐射事件期间的编程值保持在 SEL 测试中使用的最大 LET 以内。

7.1.4.3 单粒子翻转 (SEU)

ADC12DJ3200QML-SP 的高速数字路径（包括 DDC 块和 JESD204B 块）容易受到辐射事件的影响。提供以下建议是为了实现自动恢复，并缩短 ADC12DJ3200QML-SP 的 JESD204B 接口块在翻转后的恢复时间。

- 始终使用连续的周期性 SYSREF，以快速恢复内部时钟和计数器。将周期设置为足够长，来限制耦合导致的杂散性能下降，但又应足够短，以便在系统要求范围内恢复。SYSREF 将有助于发送器 (ADC12DJ3200QML-SP) 和接收器（FPGA 或 ASIC）在 SEU 后恢复。SYSREF 设置链路发现帧或多帧失准所需时间的上限。作为最低要求，当接收器使 JESD204B $\overline{\text{SYNC}}$ 信号有效时，必须激活 SYSREF。
- 接收器（FPGA 或 ASIC）必须执行帧和多帧对齐监控。监控应包括查找放错位置或丢失帧结束字符和多帧结束字符。放错位置的字符是指出现在帧或多帧的错误位置的字符（即不是帧或多帧的最后一个字符）。缺失字符是指接收器根据 JESD204B 的字符替换规则，认为应包含在帧或多帧末尾的字符。当发现两个或更多个放错位置或缺失的字符时（没有在正确的位置接收到任何字符），应通过将 $\overline{\text{SYNC}}$ 置为有效来重新建立链路，从而重新启动 CGS 和 ILAS 流程。
- 启用扰频以确保生成对齐字符，且概率一致，与 ADC 数据无关。如果不使用扰频，可能会导致在帧或多帧对齐中移位后恢复时间较长。
- 确保根据 JESD204B 标准实现接收器帧对齐状态机，包括对通过数据接口重新初始化的支持。 如果发送器 (ADC12DJ3200QML-SP) 重新初始化链路（通过发送 K28.5 字符来指示，而接收器未将 $\overline{\text{SYNC}}$ 信号置为有效），接收器应转换到初始帧和通道对齐状态。
- 通过监控每帧末尾的四个尾位，可在 12 位 DDC 旁路 JMODE 中实现额外的稳健性。对于丢失或放错尾位的处理方式与帧失准错误相同。

DDC 块使用的数控振荡器 (NCO) 的累加器也容易出现翻转。通过使用节 6.3.7.1 中所述的 NCO 翻转报警功能，可以检测 NCO 相位的翻转。检测到翻转后，如果需要在多个 ADC12DJ3200QML-SP 器件之间实现相位同步，则必须重新初始化 NCO。如果选择的 NCO 频率是 SYSREF 频率（与 SYSREF 频率相关的整数）的谐波，并且使用了 NCO 相位同步中所述的使用 SYSREF（交流耦合）的 NCO 同步，则可以实现更稳健的解决方案。这使得 SYSREF 能够在翻转后自动复位 NCO 相位，并自动恢复多个 ADC12DJ3200QML-SP 器件之间的相位同步，而无需重新同步系统中的所有 ADC12DJ3200QML-SP 器件。如果 $f_{NCO} = n \times f_{SYSREF}$，则满足此条件。

Copyright © 2025 Texas Instruments Incorporated

7.2 典型应用

ADC12DJ3200QML-SP 的一个常见用例是宽带射频采样接收器中的数字转换器。宽带卫星通信或合成孔径雷达 (SAR) 等许多应用都属于这种常见配置。在这种情况下，不需要直流耦合，因此使用变压器或平衡-非平衡变压器将单端放大器与 ADC12DJ3200QML-SP 的差分输入接合。

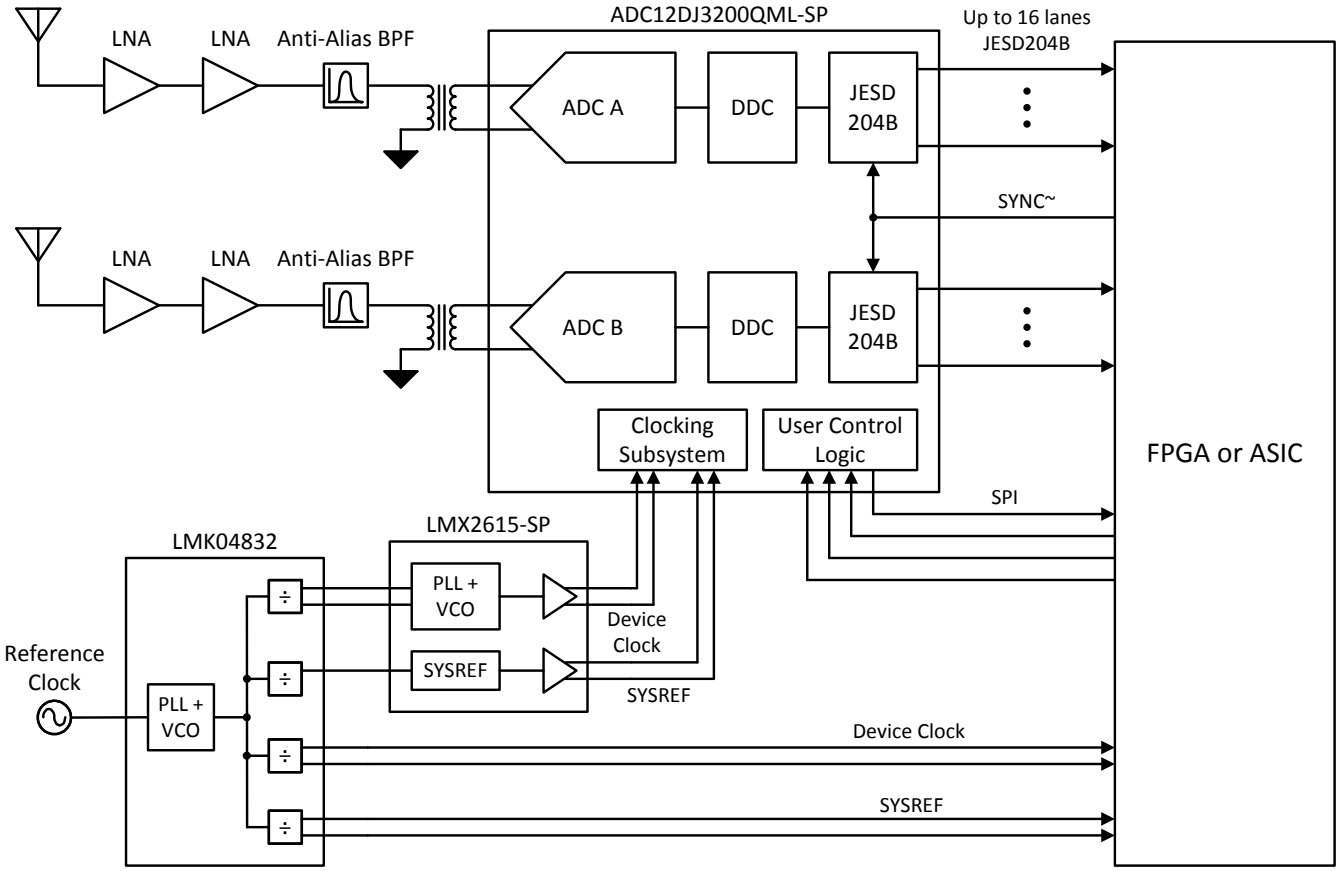


图 7-1. 宽带射频采样接收器的典型配置

7.2.1 设计要求

宽带射频采样接收器可配置为多种不同模式。例如，ADC12DJ3200QML-SP 可以在双通道模式下运行，并在第一、第二或第三奈奎斯特区域进行采样。但在此示例中，假设 ADC12DJ3200QML-SP 在单通道模式下以 6.4GSPS 的采样率运行，并使用第二奈奎斯特区域。然后，在单通道模式下以 6.4GSPS 运行时，输入信号可以在 3.2GHz 到 6.4GHz 之间，具有较低的抗混叠滤波裕度。此处并未详细介绍射频分量，而是在*射频输入信号路径*部分概括性讨论。

表 7-2. 宽带射频采样接收器系统要求

系统要求	规格	单位
采样速率	6.4	GSPS
瞬时信号带宽	2.5	GHz
输入信号中心频率	4.8	GHz
ADC 接口	JESD204B	—
最大串行器/解串器线路速率	6.4	Gbps

7.2.2 详细设计过程

本节讨论了节 7.2.1 中所述应用的元件选择和 ADC12DJ3200QML-SP 配置。表 7-3 中给出了宽带射频采样接收器的元件以及进行选择的原因。

表 7-3. 宽带射频采样接收器元件选择

元件	选择	原因
ADC	德州仪器 (TI) 的 ADC12DJ3200QML-SP	采样率要求 (6.4GSPS) 和高输入频率使得 ADC12DJ3200QML-SP 成为必然选择。
采样时钟生成	德州仪器 (TI) 的 LMX2615-SP	由于低抖动 (45fs) 和高输出摆幅，LMX2615-SP 会生成高性能采样时钟。SYSREF 特性可简化多器件同步。
时钟分配	德州仪器 (TI) 的 LMK04832	支持 7 个 JESD204 ADC、DAC 或逻辑器件（FPGA 或 ASIC）和多种工作模式，例如单 PLL 模式、双 PLL 模式或时钟分配模式。
变压器/平衡-非平衡变压器	Marki Microwave 的 BAL-0208SMG(1)	小巧、宽频率范围，并具有所需频带内的良好性能。

(1) 请参阅*第三方产品免责声明*部分。

表 7-4 中提供了 ADC12DJ3200QML-SP 配置和关键参数。在适用的情况下，还提供了各种参数的计算结果或来源。

表 7-4. ADC12DJ3200QML-SP 配置和主要参数

参数	计算	设置或值	单位
JMODE	—	1	—
DDC 模式	在 JMODE 选择中	不适用（仅限双通道模式）	—
ADC 通道	在 JMODE 选择中	1	—
使用了模拟输入	INA± 在单通道模式下可提供最佳性能	INA±	—
串行器/解串器通道总数	在 JMODE 选择中	16	通道数
R (f_{BIT} / f_{CLK})	在 JMODE 选择中	2	Gbps / GHz
串行器/解串器线路速率	$f_{LINERATE} = f_{CLK} * R$	6.4	Gbps
链路	在 JMODE 选择中	2	链路
L（每个链路）	在 JMODE 选择中	8	通道/链路
m（每个链路）	在 JMODE 选择中	8	转换器/链路
F	在 JMODE 选择中	8	帧/通道
S	在 JMODE 选择中	5	样本/帧
K	ceil(17/F) ≤ K ≤ min(32, floor(1024/F))	8（允许其他）	帧/多帧
CLK± 频率	$f_{CLK} = f_S / 2$（适用于单通道模式）	3.2	GHz
SYSREF 频率	$f_{SYSREF} = f_{LINERATE} / (10 * F * K * n)$	10 / n	MHz
总时钟抖动	$\tau_T = sqrt(\tau_{CLK}^2 + \tau_{AJ}^2)$	83	fs

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 射频输入信号路径

大多数射频采样接收器将在天线后包含许多低噪声放大器 (LNA) 或增益块，以增加所需信号的信号电平。通过抑制不需要的频率，在 LNA 之后使用适当的带限滤波器可以降低因阻塞信号而导致的接收器灵敏度损失。最后一个放大器将通过变压器驱动 ADC12DJ3200QML-SP，必须选择它以在 ADC12DJ3200QML-SP 的满量程输入功率等级下提供高线性度（IMD3、SFDR）以及变压器的插入损耗。只要先前的增益级提供了足够的增益，最终驱动器放大器的噪声系数性能就不如其线性度重要。在过驱情况下，最大输出功率必须小于 ADC12DJ3200QML-SP 的绝对最大输入功率。如果放大器能够驱动的输出功率大于 ADC12DJ3200QML-SP 可以承受的输出功率，则必须实施外部钳位或限制电路来保护 ADC12DJ3200QML-SP 输入。必须快速纠正过驱状况，以防止 ADC12DJ3200QML-SP 受到累积损坏。

7.2.2.2 计算交流耦合电容的值

输入 CLK μ± 和 JESD204B 输出数据对中使用了交流耦合电容器。电容器值必须足够大，以满足所需的最低频率信号要求，但不能太大，因为这会导致启动偏置时间过长或产生不必要的寄生电感。

最小电容器值可根据通过电容器传输的最低频率信号计算得出。在给定 50Ω 单端时钟或数据路径阻抗的情况下，不错的做法是在所需的最低频率下将电容器阻抗设置为 < 1Ω。此设置对该频率下的信号电平影响极小。对于 CLK± 路径，最小额定时钟频率为 800 MHz。因此，最小电容值可以通过以下公式计算：

$$Z_C = 1/\left(2 \times \pi \times f_{CLK} \times C\right) \tag{12}$$

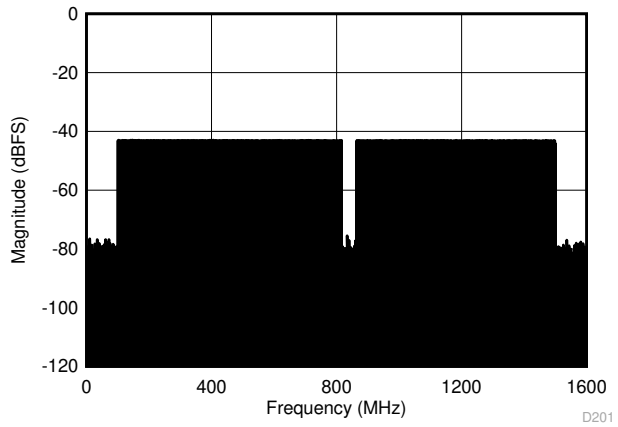
设置 Z_c = 1Ω 并重新排列，将得出：

$$C = 1/\left(2 \times \pi \times 800\ \text{MHz} \times 1\ \Omega\right) = 199\ \text{pF} \tag{13}$$

因此，需要至少 199pF 的电容值来为 CLK± 路径提供低频响应。如果最小时钟频率高于 800 MHz，则可以针对该频率重新进行此计算。可以根据该接口中的最低频率对 JESD204B 输出数据电容器进行类似的计算。还必须选择电容器，以便在高频（低电感）下实现良好的响应，并且电容器的尺寸与它们所连接的高频信号布线相匹配。0201 尺寸的电容器通常非常适合这些应用。

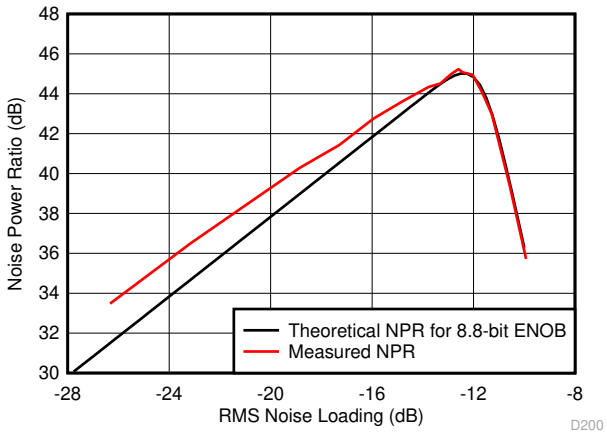
7.2.3 应用曲线

可以在多种不同的工作模式下使用 ADC12DJ3200QML-SP，以适应多种应用。节 5 详细介绍了单音和双音性能。噪声功率比 (NPR) 是一种性能指标，通常用于量化宽带多通道接收器的性能。这些系统接收到大量不相关的密集信号。对这些不相关信号求和会形成一个看起来像正态（高斯）分布式噪声源的信号，而 NPR 会尝试量化此类型信号的性能。NPR 测量陷波频带中的噪声功率与等幅频带中的信号功率之比。图 7-2 示出了双通道模式下的 NPR 测量示例。输入信号范围从 100MHz 到 1.5GHz，陷波为 45MHz 宽，中心频率为 839.7MHz。扫描输入电源以找到最佳 RMS 噪声负载，即 NPR 处于最大值时的输入功率。在最佳输入功率负载时发生的峰值 NPR 成为具有正常分布式输入信号的宽带多通道接收器所需的工作点。双通道模式的输入功率扫描如图 7-3 所示，其中显示了在相对于 ADC 峰值（饱和）输入功率的 –12.6dB 的最佳负载下，发生的 45.2dB 的峰值 NPR。此峰值 NPR 大致相当于 8.8 位 ADC 的性能，因此有效位数 (ENOB) 为 8.8 位。图 7-4 和图 7-5 示出了单通道模式下的示例测量。信号发生器输出限制为 1.5GHz，以实现足够的输出功率，使单通道模式测量中的 ADC 输入饱和。NPR 计算可补偿受限的信号带宽。



JMODE 3，f_S = 3200MSPS，信号频带为 100MHz 到 1500MHz，陷波中心频率 = 839.7MHz，陷波带宽 = 45MHz

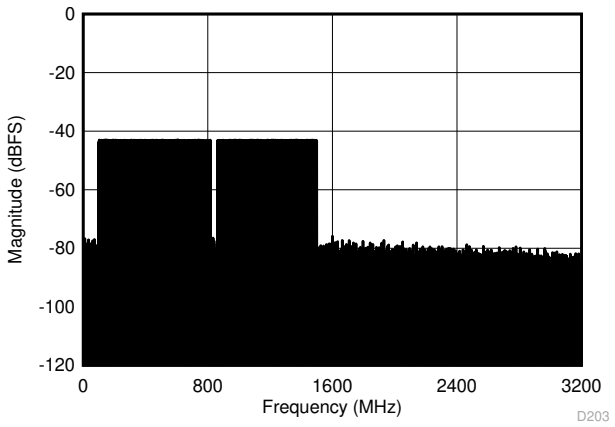
图 7-2. ADC12DJ3200QML-SP 在双通道模式下以最佳负载运行时的 NPR 测量示例



JMODE 3，f_S = 3200MSPS，信号频带为 100MHz 到 1500MHz，陷波中心频率 = 839.7MHz，陷波带宽 = 45MHz，峰值 NPR = 45.2dB（噪声负载为 -12.6dB 时）

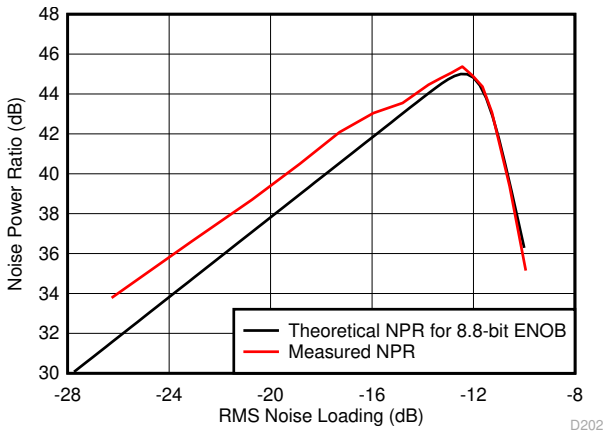
图 7-3. 双通道模式下 NPR 与输入 RMS 噪声负载间的关系

Copyright © 2025 Texas Instruments Incorporated



JMODE 1，f_S = 6400MSPS，信号频带为 100MHz 到 1500MHz，陷波中心频率 = 839.7MHz，陷波带宽 = 45MHz

图 7-4. ADC12DJ3200QML-SP 在单通道模式下以最佳负载运行时的 NPR 测量示例



JMODE 1，f_S = 6400MSPS，信号频带为 100MHz 到 1500MHz，陷波中心频率 = 839.7MHz，陷波带宽 = 45MHz，峰值 NPR = 45.4dB（噪声负载为 -12.4dB 时）

图 7-5. 单通道模式下 NPR 与输入 RMS 噪声负载间的关系

7.3 初始化设置

器件和 JESD204 接口需要特定的启动和对齐序列。在以下步骤中列出了该序列的一般顺序。

1. 器件上电或复位。
2. 以所需频率施加稳定的器件 CLK 信号。
3. 对 JESD_EN = 0 进行编程，以停止 JESD204B 状态机并允许更改设置。
4. 对 CAL_EN = 0 进行编程以停止校准状态机并允许更改设置。
5. 对所需的 JMODE 进行编程。
6. 对所需的 KM1 值进行编程。KM1 = K – 1。
7. 根据需要对 SYNC_SEL 进行编程。选择 SYNCSE 或时间戳差分输入。
8. 根据需要配置器件校准设置。根据需要选择前台或后台校准模式和偏移校准。
9. 对 CAL_EN = 1 进行编程以启用校准状态机。
10. 通过 OVR_EN 启用超范围，并根据需要调整设置。
11. 在 SYSREF 源上启用连续 SYSREF 生成。
12. 通过运行自动 SYSREF 校准或使用 SYSREF 窗口化，验证 SYSREF 是否符合相对于 CLK± 的建立时间和保持时间（有关更多信息，请参阅用于多器件同步和确定性延迟的 SYSREF 采集部分）。
13. 对 JESD_EN = 1 进行编程，以重新启动 JESD204B 状态机并允许重新启动链路。
14. JESD204B 接口在运行时响应所施加的来自接收器的 SYNC 信号。
15. 编程 CAL_SOFT_TRIG = 0。
16. 编程 CAL_SOFT_TRIG = 1 以启动校准。

电源相关建议

该器件需要两个不同的电源电压。VA19 电源总线需要 1.9V 直流电，VA11 和 VD11 电源总线需要 1.1V 直流电。电源电压必须具有低噪声，并提供所需的电流以实现额定器件性能。

推荐的电源架构包括以下两种：

1. 使用高效直流/直流开关转换器从系统电压降压，然后使用低压降线性稳压器 (LDO) 进行第二级低噪声调节。如果放置在 ADC 本地，LDO 可降低开关噪声，减少无源滤波要求并提高电压精度。
2. 使用高效直流/直流开关转换器直接将系统电压降至最终的 ADC 电源电压。该方法可提供出色的效率，但必须注意确保尽可能降低开关噪声，以防止 ADC 性能下降。为了获得最佳性能，需要额外的无源滤波，任何串联元件都可能会降低 ADC 的实际电压。

TI WEBENCH® Power Designer 可用于选择和设计所需的各个电源元件：请参阅 WEBENCH® Power Designer。

第一级推荐的直流/直流开关稳压器是 TPS50601A-SP，但也可以使用其他类似器件。推荐用于第二级的 LDO 包括 TPS7H1101A-SP、TPS7A4501-SP 和其他类似器件。

对于仅开关的方法，纹波滤波器经设计必须能对直流/直流转换器的开关频率和谐波进行充分的滤波。WEBENCH® 报告用于设计电源时的开关频率。每种应用对电源电压噪声的容忍度不同，因此没有严格的纹波要求。图 7-6 和图 7-7 展示了这两种方法。

Copyright © 2025 Texas Instruments Incorporated

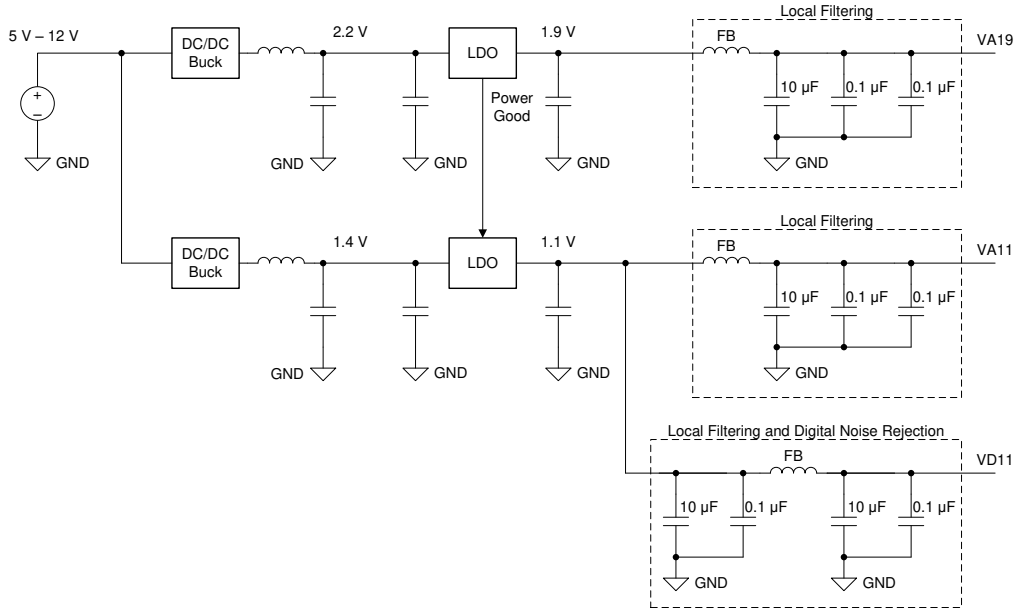


图 7-6. LDO 线性稳压器示例

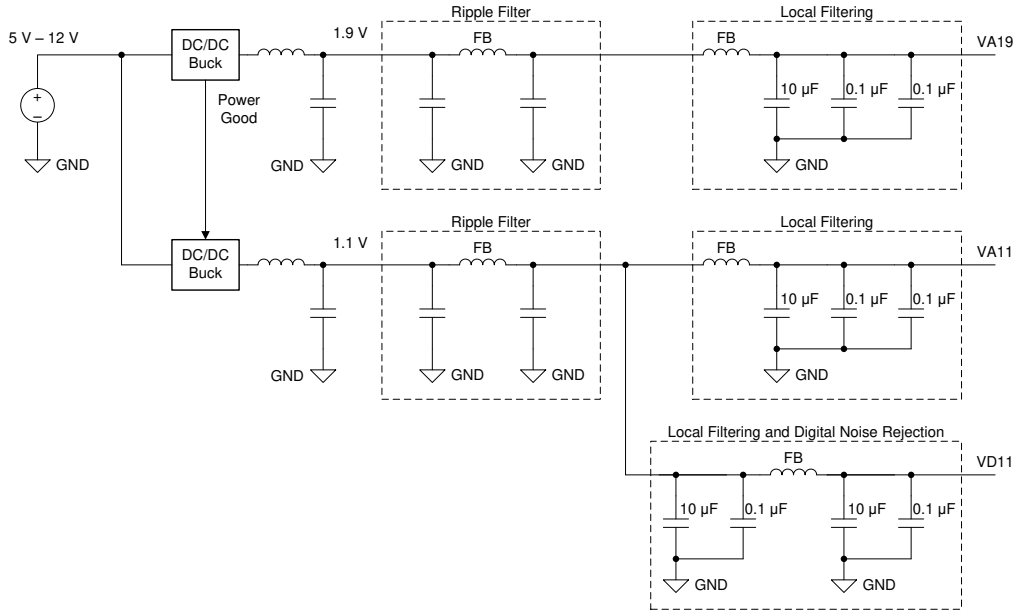


图 7-7. 直流/直流开关稳压器示例

7.1 电源时序

必须使用电源正常输出和使能输入对稳压器进行定序，以确保在 VA19 电源状态良好后启用 Vx11 稳压器。同样，只要 VA19 电源在断电时降至稳压范围之外，Vx11 稳压器就会被禁用。

ADC 的一般要求是在上电、运行和断电期间 VA19 ≥ Vx11。

TI 还建议 VA11 和 VD11 源自常见的 1.1V 稳压器。此建议可确保所有 1.1V 模块均处于相同电压，并且这些电源之间不存在时序控制问题。还使用铁氧体磁珠滤波器来防止 VA11 和 VD11 总线上的任何噪声相互影响。

7.4 布局

7.4.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入信号
2. CLK 和 SYSREF
3. JESD204B 数据输出：
   a. DA[0:3] 和 DB[0:3] 以高达 12.8Gbit/秒的速率运行
   b. DA[4:7] 和 DB[4:7] 以高达 6.4Gbit/秒的速率运行
4. 电源连接
5. 接地连接

模拟输入信号，时钟信号和 JESD204B 数据输出的路由必须在高频下实现出色的信号质量，但也必须进行路由，以最大限度地相互隔离。请使用以下常规做法：

1. 尽可能使用松散耦合的 100Ω 差分布线进行路由。这种布线可更大限度地降低角和长度匹配蛇形对成对阻抗的影响。
2. 提供足够的线对间距以更大限度地减少串扰，尤其是在松散耦合差分布线情况下。当无法提供足够的间距时，紧密耦合的差分布线可用于降低自辐射噪声或提高相邻布线的抗噪性。
3. 提供足够的接地平面覆铜间距，更大限度地减少与高速布线的耦合。任何接地平面覆铜都必须有足够的过孔连接到电路板的主接地平面。请勿使用悬空或接地不良的覆铜。
4. 使用平滑的半径角。避免 45 或 90 度弯曲，以减少阻抗不匹配。
5. 在元件着陆垫上引入接地平面开孔，以避免这些位置的阻抗不连续。在这些着陆垫下方的一个或多个接地平面上进行开孔，以实现焊盘尺寸或层叠高度，从而实现所需的 50Ω 单端阻抗。
6. 避免在基准接地平面中的不平顺处附近布线。不平顺处包括与电源和信号过孔以及通孔器件引线相关的接地平面或接地层间隙的切割处。
7. 在将由布线传输的最大频率 (<< $\lambda_{MIN}/8$) 决定的适当间距下，提供与任何高速信号相邻的对称接地连接拼接过孔。
8. 当高速信号必须使用过孔转换到另一层时，应尽可能远地穿过电路板（最好是从上到下），以更大限度地减少过孔顶部或底部的过孔残桩。如果层选择不灵活，请使用背钻或埋入式盲孔来消除残桩。在各层之间转换时，务必使接地过孔靠近信号过孔放置，就近形成接地回路。

请特别注意 JESD204B 数据输出路由和模拟输入路由之间的潜在耦合。JESD204B 输出的开关噪声可耦合到模拟输入布线中，并由于 ADC 的高输入带宽而显示为宽带噪声。JESD204B 数据输出在 ADC 输入布线之外的单独层上布线，以避免噪声耦合（*布局示例* 部分中未显示）。紧密耦合布线也可用于减少噪声耦合。

由于信号反射或驻波，CLK± 输入引脚和时钟源之间的阻抗不匹配会导致 ADC CLK± 引脚上时钟信号的振幅降低。减小时钟幅度可能会降低 ADC 噪声性能，尤其是在高输入频率条件下。因此，应使时钟源靠近 ADC（如*布局示例* 部分中所示）或在 ADC CLK± 输入引脚上实现阻抗匹配。

此外，TI 建议在进行制造之前对关键信号布线执行信号质量仿真。务必评估插入损耗、回波损耗和时域反射法 (TDR)。

Copyright © 2025 Texas Instruments Incorporated

此器件的电源和接地连接也非常重要。必须遵循以下规则：

1. 为所有电源和接地引脚提供低电阻连接路径。
2. 如有必要，可使用多个电源层接入所有引脚。
3. 避免使用狭窄的隔离路径，那会增加连接电阻。
4. 使用信号、接地或电源电路板层叠来最大限度地增加接地平面和电源平面之间的耦合。

7.4.2 布局示例

图 7-8 至 图 7-10 提供了器件评估模块 (EVM) 上重要布线的示例。

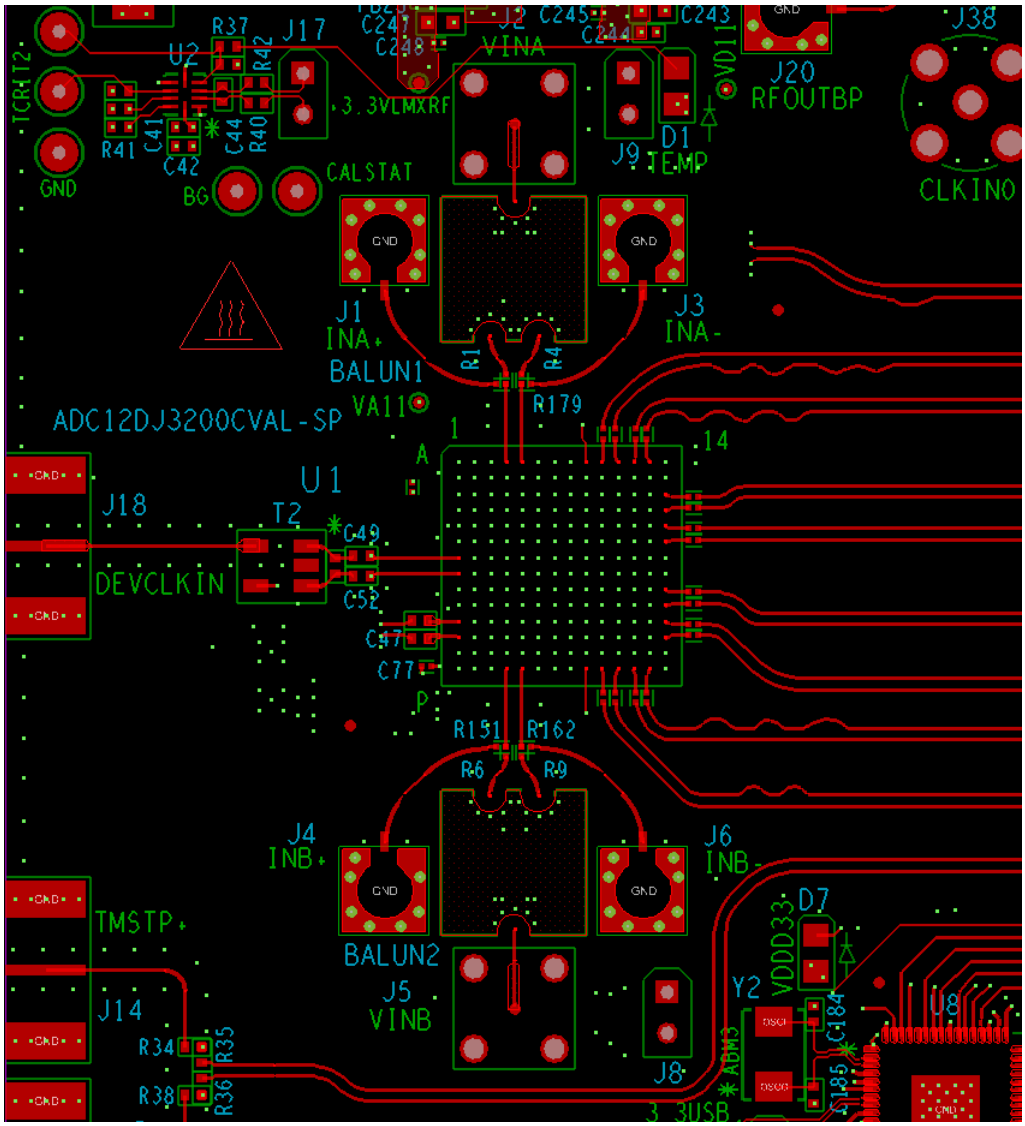


图 7-8. 顶层布线：模拟输入，CLK 和 SYSREF，DA0-3，DB0-3

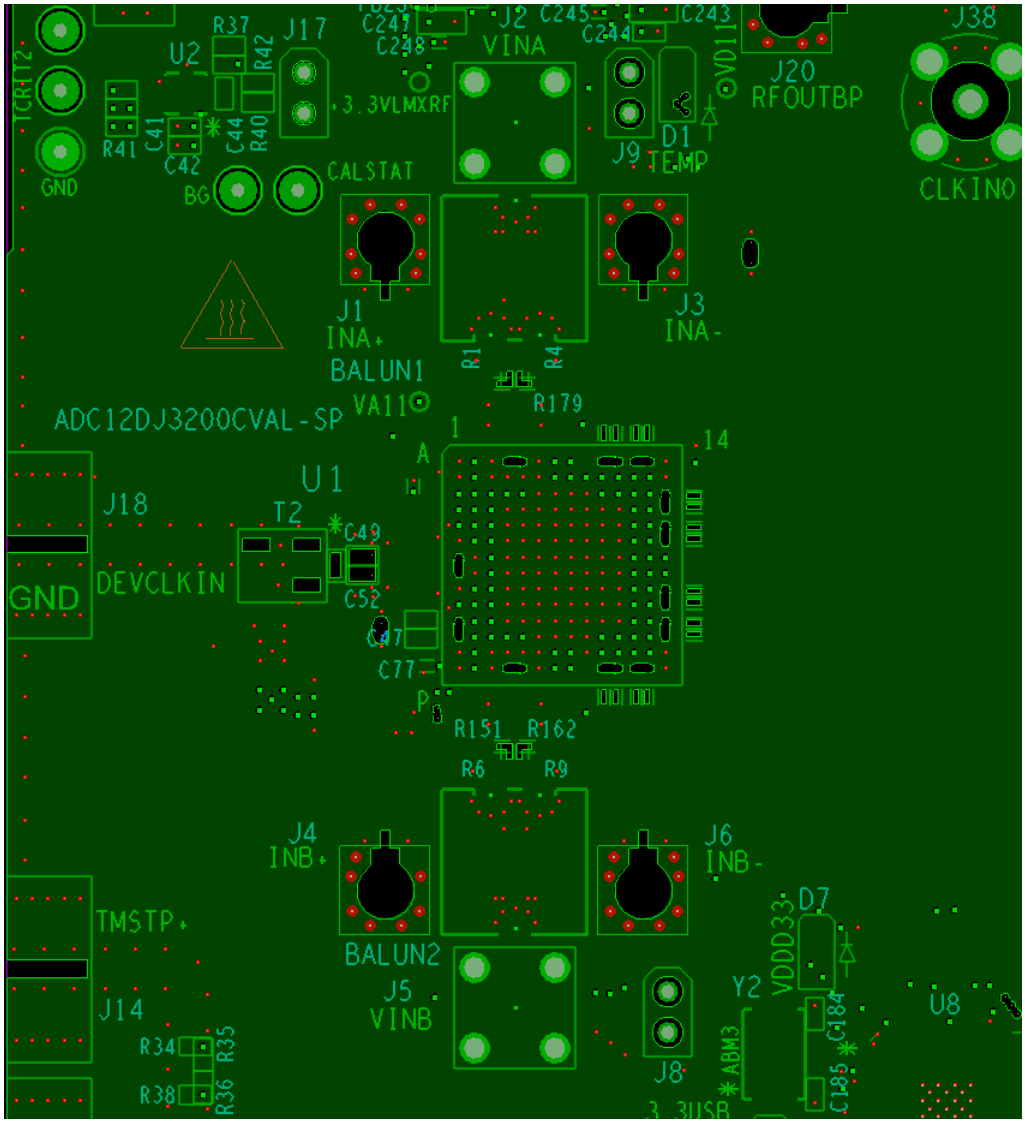


图 7-9. GND1 开孔可优化元件焊盘的阻抗

Copyright © 2025 Texas Instruments Incorporated

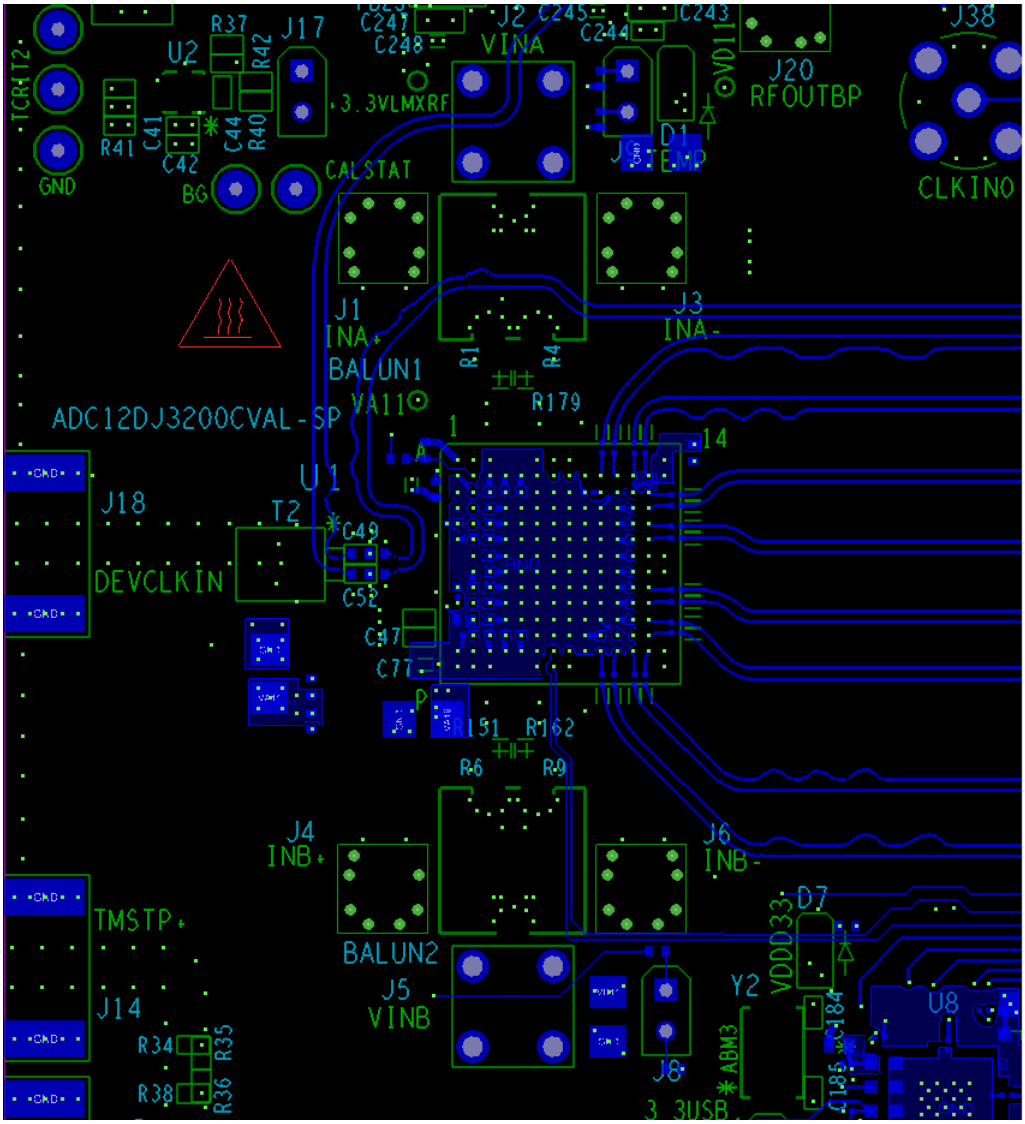


图 7-10. 底层布线：附加 CLK 布线，DA4-7，DB4-7

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

- *WEBENCH® Power Designer*
- *采用 ADC12DJ3200 的 L、S、C 和 X 带的直接射频采样雷达接收器参考设计*
- *适用于 DSO、雷达和 5G 无线测试系统的灵活的 3.2GSPS 多通道 AFE 参考设计*
- *适用于 DSO、雷达和 5G 无线测试仪的多通道 JESD204B 15GHz 时钟参考设计*

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

-
- 德州仪器 (TI)，*JESD204B 多器件同步：分解要求技术概要*
- 德州仪器 (TI)，*LMX2615-SP 具有相位同步功能且支持 JESD204B 的航空级 40MHz 至 15GHz 宽带合成器*
- 德州仪器 (TI)，*具有双环路 PLL 且符合 JESD204B 标准的 LMK04832 超低噪声时钟抖动消除器*
- 德州仪器 (TI)，*LMH5401-SP 6.5GHz 耐辐射低噪声、低功率、增益可配置全差分放大器*
- 德州仪器 (TI)，*TMP461-SP 耐辐射远程和本地数字温度传感器*
- 德州仪器 (TI)，*LMT01-SP 耐辐射 2 引脚精密数字输出温度传感器*
- 德州仪器 (TI)，*MSP430FR5969-SP 耐辐射混合信号微控制器*
- 德州仪器 (TI)，*TPS50601A-SP 耐辐射 3V 至 7V 输入电压、6A 同步降压转换器*
- 德州仪器 (TI)，*TPS7H1101A-SP 1.5V 至 7V 输入、3A、耐辐射 LDO 稳压器*
- 德州仪器 (TI)，*TPS7A4501-SP 低压降稳压器*
- 德州仪器 (TI)，*ADC12DJ3200EVMCVAL 评估模块用户指南*

8.3 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.6 商标

TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2025 Texas Instruments Incorporated

8.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision B (May 2021) to Revision C (March 2025) **Page**

- 将*器件信息* 表更改为*封装信息* 表 1
- 更改了*引脚功能* 表中所有 DAx+、DAx-、DBx+ 和 DBx- 引脚的说明 3
- 向*引脚功能* 表中添加了注释 1 3
- 更新了*建议运行条件*中的注释 1 10
- 更改了*热性能信息* 中的值 10
- 在*热性能信息* 中添加了注释 3 10

Changes from Revision A (May 2019) to Revision B (March 2021) **Page**

- 向*器件信息* 表中添加了封装 CCGA (196) 1
- 向*引脚配置和功能* 部分添加了 CCGA (196) 封装 3
- 在*热性能信息* 表中添加了 CCGA (196) 封装 10

Changes from Revision * (November 2018) to Revision A (May 2019) **Page**

- 向*特性* 中添加了 NPR 1
- 用量产数据更新了规格。 9
- 添加了*典型特性*部分 26
- 为接收有效的 SYSREF 窗口化输出，添加了在 SYSREF± 引脚处至少有 3 个 SYSREF 上升沿的要求（请参阅 *SYSREF 窗口化*部分） 45
- 更新了*应用信息* 部分。 132
- 向*典型应用*部分添加了 NPR 测量数据 135
- 更新了*开发支持*部分和*相关文档*部分中的相关内容列表 146

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962F1820901VYF	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	F1820901VYF ADC12DJ32FM
5962F1820901VYF.A	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	F1820901VYF ADC12DJ32FM
ADC12DJ3200NWE/EM	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	25 to 25	ADC12DJ32EM EVAL
ADC12DJ3200NWE/EM.A	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	25 to 25	ADC12DJ32EM EVAL

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

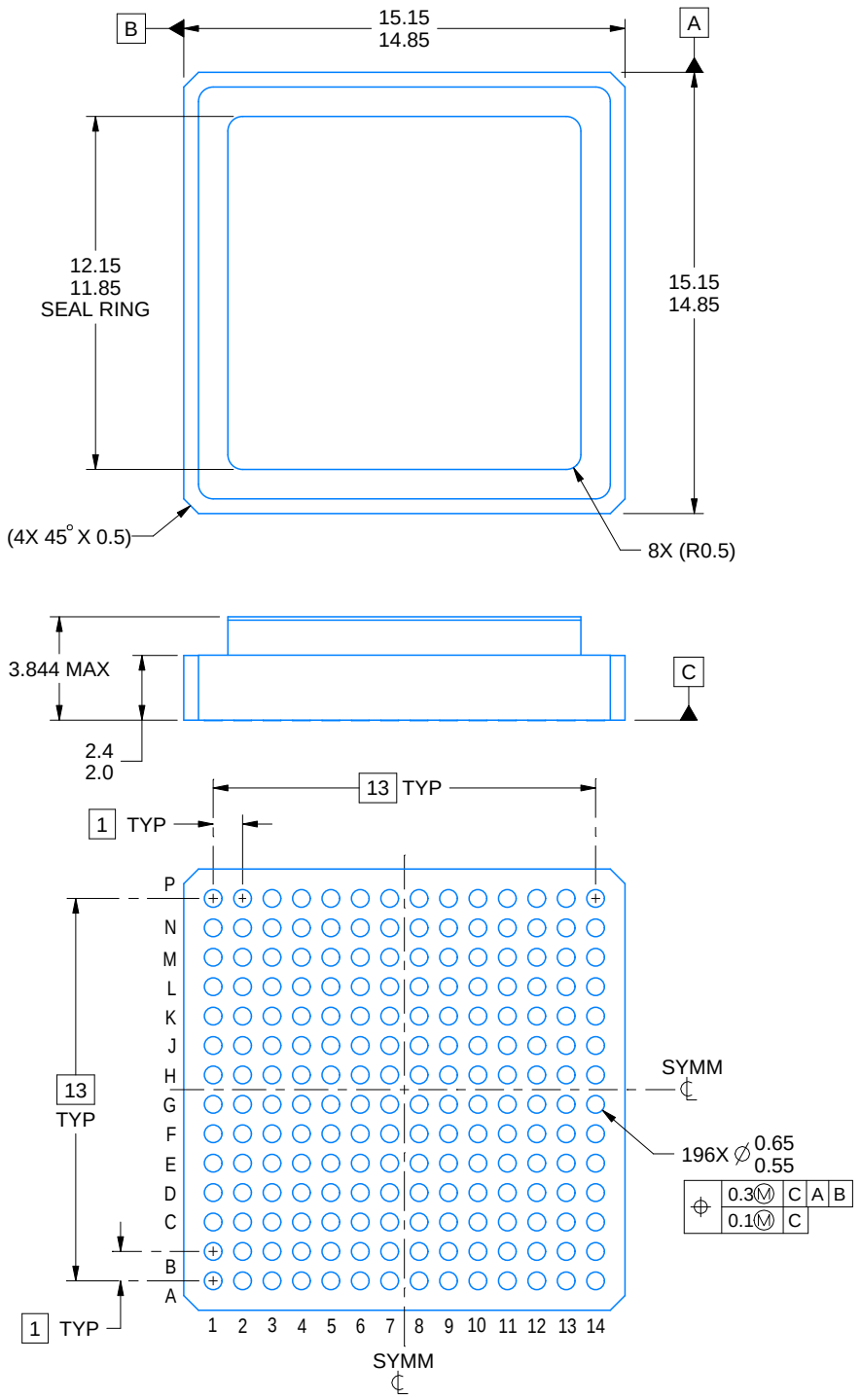
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

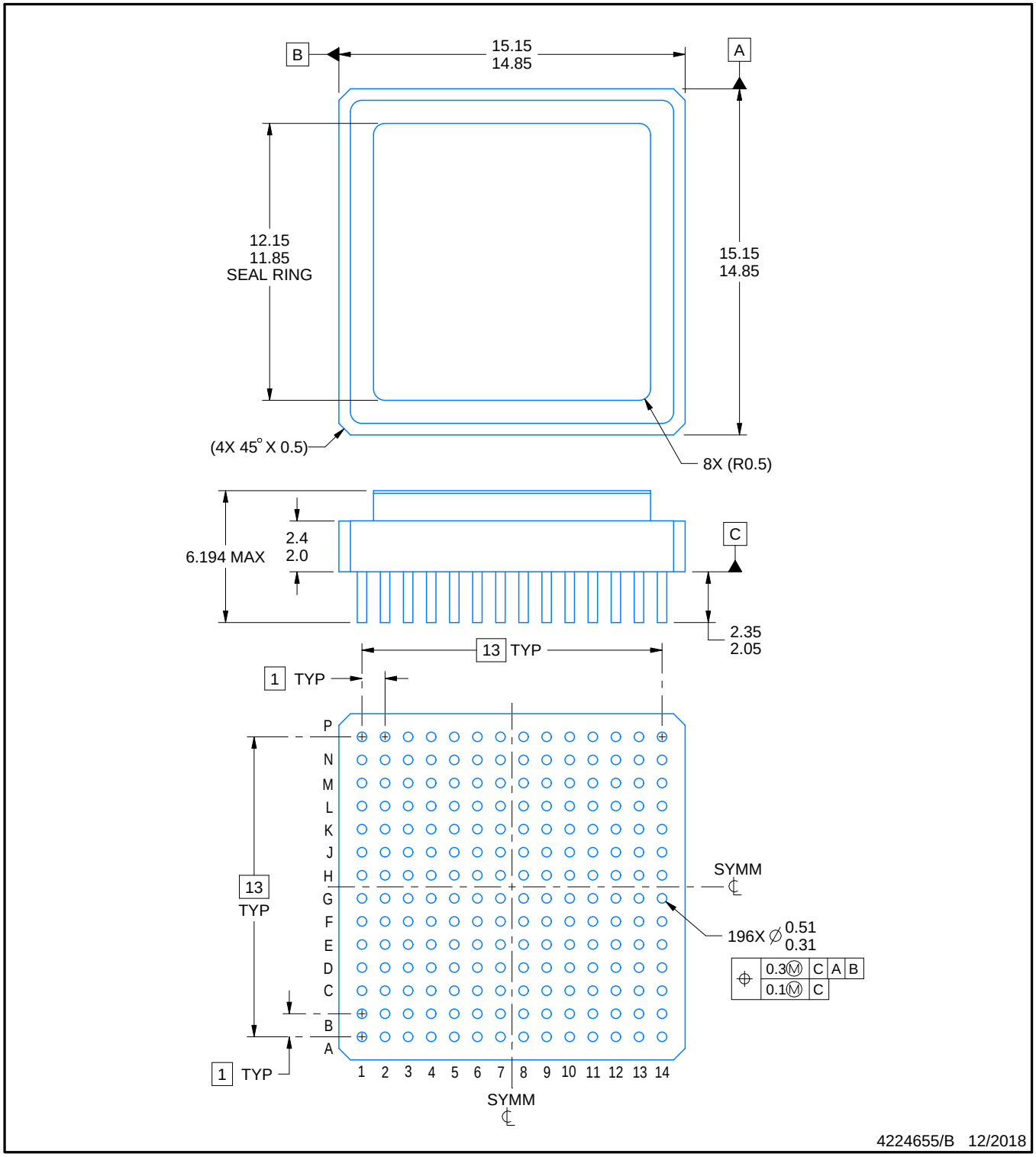
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4222071/D 06/2018

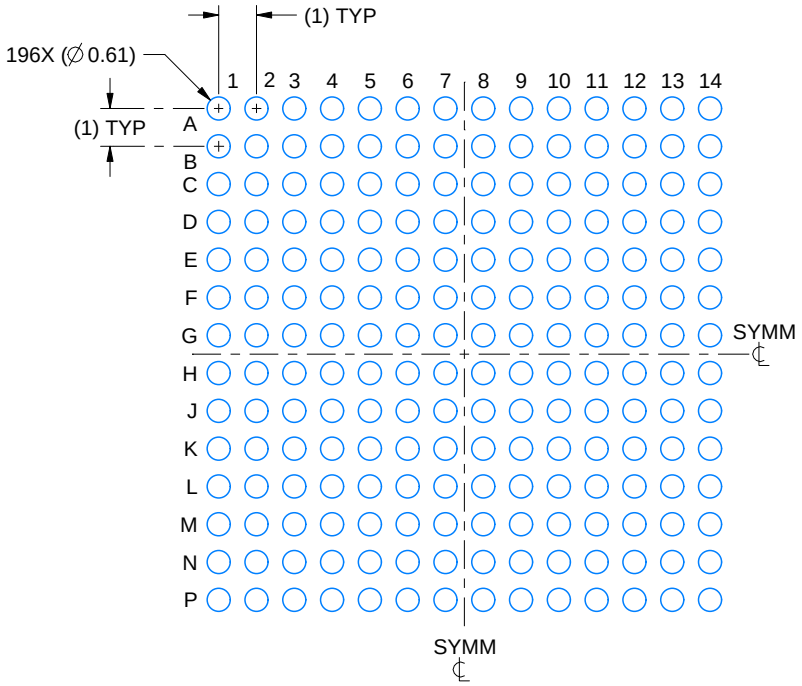
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

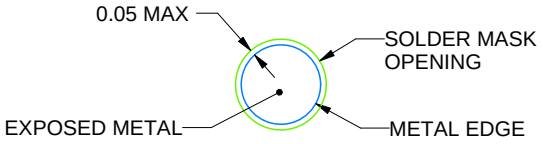


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



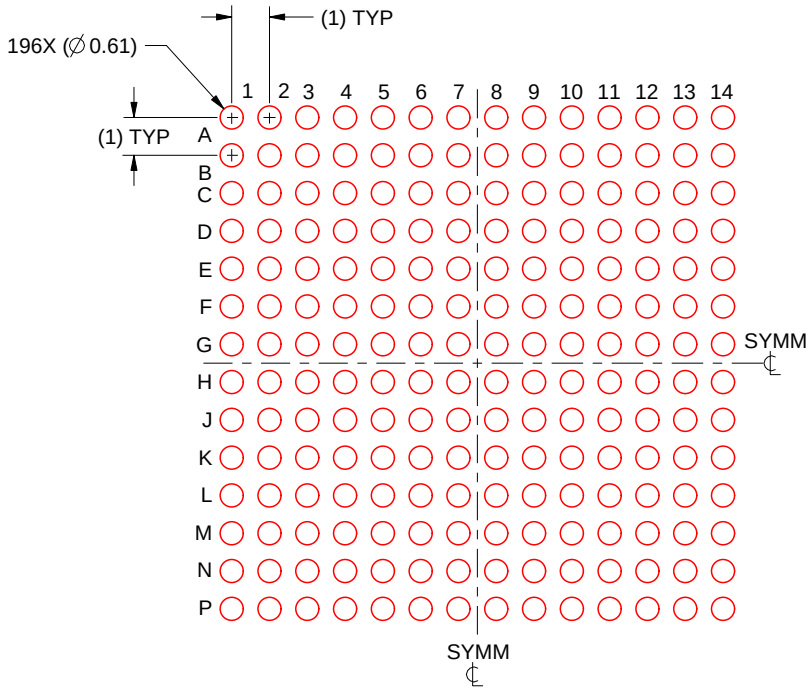
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 5X



NON-SOLDER MASK
DEFINED

SOLDER MASK DETAIL
NOT TO SCALE

4224655/B 12/2018



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 5X

4224655/B 12/2018

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月